

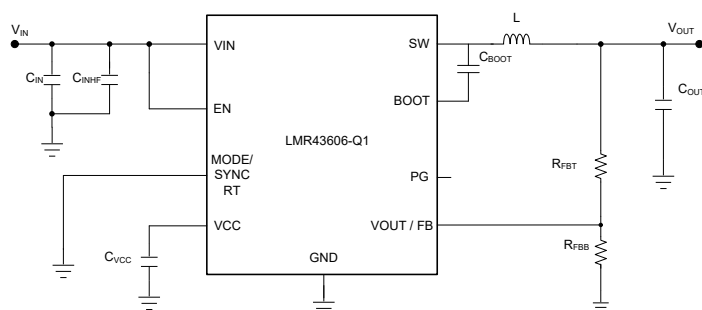
LMR43606-Q1、36V、0.6A 車載用降圧コンバータ、 T_{JMAX} 150°Cで 2.5 μ A 未満の I_Q 、4mm² HotRod™ QFN

1 特長

- 車載アプリケーション用に AEC-Q100 認定取得済み:
 - 温度グレード 1: -40°C ~ +125°C、 T_A
- 機能安全対応
 - 機能安全システムの設計に役立つ資料を利用可能
- 効率が 85% 以上 (1mA 時)
- 小さなデザイン サイズとわずかな部品コスト
 - ウェットブル フランク付きの 2mm × 2mm HotRod™ パッケージ
 - 内部補償
- 超低 EMI 要件向けの設計
 - スペクトラム拡散によりピーク エミッションを削減
 - 軽負荷時の固定周波数 FPWM モードを MODE/SYNC ピンで選択可能
 - MODE/SYNC ピンによる F_{SW} 同期
- 車載用アプリケーション向けの設計
 - 接合部温度範囲: -40°C ~ +150°C
 - 42V の車載用ロード ダンプに対応
 - 車載のコールドクランク用に $V_{IN} = 3V$ に対応
 - V_{IN} の最大 95% に調整可能、3.3V および 5V 固定の V_{OUT} オプションが利用可能
- スケーラブルな電源に対応した設計
 - 調整可能な F_{SW} : 200kHz ~ 2.2MHz (RT ピン)
 - 次の製品とピン互換:
 - LMR43610-Q1 (36V、1A)
 - LMR36506-Q1 (65V、600mA)
 - LMR36503-Q1 (65V、300mA)

2 アプリケーション

- 先進運転支援システム: レーダー ECU
- インフォテインメントおよびクラスタ: ヘッド ユニット、eCall
- ボディ エレクトロニクス / 照明



概略回路図

3 説明

LMR43606-Q1 は、小型の 36V、0.6A 同期整流降圧型 DC/DC コンバータで、2mm × 2mm の HotRod パッケージで供給されています。この使いやすいコンバータは 3.0V ~ 36V の広い入力電圧範囲と最大 42V の過渡電圧に対応しています。

LMR43606-Q1 は、特に常時オンの車載アプリケーションの低スタンバイ電力要件を満たすように設計されています。自動モードでは、軽負荷動作時の周波数フォールドバックが可能であり、1.5 μ A ($V_{IN} = 13.5V$) の無負荷時消費電流と、軽負荷時の効率向上を実現できます。PWM モードと PFM モードの間のシームレスな移行と非常に小さな MOSFET ON 抵抗により、負荷範囲全体にわたって非常に優れた効率が得られます。

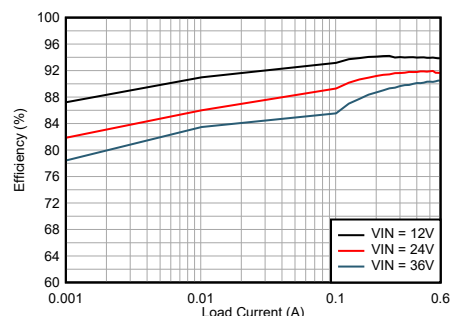
制御アーキテクチャと機能セットは、超小型のデザイン サイズに合わせて設計されています。本デバイスは、ピーク電流モード制御を使用して出力容量を最小化しています。LMR43606-Q1 は、デュアル ランダム拡散スペクトラム、低 EMI の HotRod パッケージ、最適化されたピン配置を使用して入力フィルタのサイズを最小化しています。MODE/SYNC および RT ピンのバリエーションを使用すると、200kHz ~ 2.2MHz の周波数に設定または同期して、ノイズの影響を受けやすい周波数帯域を回避できます。

LMR43606-Q1 の豊富な機能セットは、広範な車載用最終機器を簡単に実装できるように設計されています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
LMR43606-Q1	RPE (VQFN-HR, 9)	2mm × 2mm

- 詳細については、[セクション 11](#) を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



効率: $V_{OUT} = 5V$ (固定)、400 kHz



目次

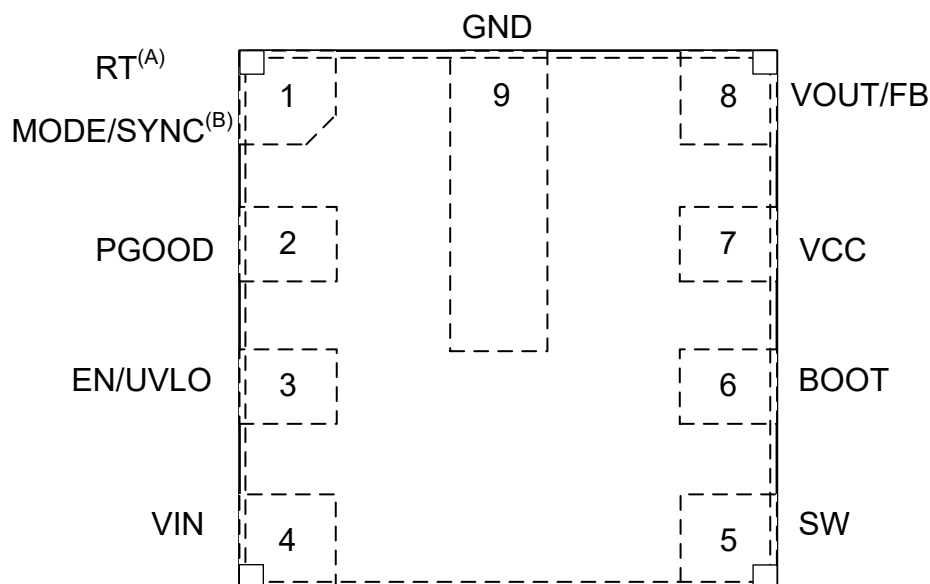
1 特長.....	1	7.4 デバイスの機能モード.....	21
2 アプリケーション.....	1	8 アプリケーションと実装.....	27
3 説明.....	1	8.1 使用上の注意.....	27
4 デバイス比較表.....	3	8.2 代表的なアプリケーション.....	28
5 ピン構成および機能.....	4	8.3 設計のベスト プラクティス.....	39
6 仕様.....	5	8.4 電源に関する推奨事項.....	39
6.1 絶対最大定格.....	5	8.5 レイアウト.....	39
6.2 ESD 定格.....	5	9 デバイスおよびドキュメントのサポート.....	42
6.3 推奨動作条件.....	5	9.1 デバイス サポート.....	42
6.4 熱に関する情報.....	6	9.2 ドキュメントのサポート.....	42
6.5 電気的特性.....	6	9.3 ドキュメントの更新通知を受け取る方法.....	43
6.6 システム特性.....	8	9.4 サポート・リソース.....	43
6.7 代表的特性.....	9	9.5 商標.....	43
7 詳細説明.....	10	9.6 静電気放電に関する注意事項.....	43
7.1 概要.....	10	9.7 用語集.....	43
7.2 機能ブロック図.....	11	10 改訂履歴.....	43
7.3 機能説明.....	12	11 メカニカル、パッケージ、および注文情報.....	44

4 デバイス比較表

発注用製品型番 ⁽¹⁾	出力電流	出力電圧	外部との同期	F _{sw}	スペクトラム拡散
LMR43606MSC3RPERQ1	0.6A	3.3V 固定/可変	あり (PFM/FPWM を選択可能)	固定 2.2MHz	あり
LMR43606MSC5RPERQ1	0.6A	5V 固定/可変	あり (PFM/FPWM を選択可能)	固定 2.2MHz	あり
LMR43606RS3RPERQ1	0.6A	3.3V 固定/可変	なし (軽負荷時のデフォルトの PFM)	RT 抵抗で調整可能	あり
LMR43606RS5RPERQ1	0.6A	5V 固定/可変	なし (軽負荷時のデフォルトの PFM)	RT 抵抗で調整可能	あり

(1) デバイスの発注用製品型番の詳細については、[デバイスの命名規則](#) を参照してください。

5 ピン構成および機能



- A. 詳細については、[セクション 4](#) を参照してください。外部調整可能スイッチング周波数 RT バリエーションの場合のみ、ピン 1 は出荷時設定済みです。
- B. 固定スイッチング周波数 MODE/SYNC バリエーションの場合のみ、ピン 1 は出荷時設定済みです。

図 5-1. 9 ピン (2mm x 2mm) VQFN-HR RPE パッケージ (上面図)

表 5-1. ピンの機能

ピン		タイプ	説明
番号	名称		
1	RT または MODE/SYNC	A	RT バリエーションの場合、スイッチング周波数は 200kHz ~ 2.2MHz の範囲で調整できます。MODE/SYNC バリエーションの場合、スイッチング周波数はユーザーが選択できる PFM/FPWM モードで動作し、外部クロックと同期できます。このピンをフローティングにしないでください。
2	PGOOD	A	オープンドレインのパワー グッド フラグ出力。電流制限抵抗を介して、このピンを適切な電圧源に接続します。High = パワー OK、Low = フォルト。EN = Low のとき、このピンは Low になります。未使用時は、このピンを解放、またはグラウンドに接続できます。
3	EN/UVLO	A	レギュレータへのイネーブル入力。High = オン、Low = オフ。VIN に直接接続できます。このピンをフローティングにしないでください。
4	VIN	P	レギュレータへの入力電源。高品質のバイパス コンデンサまたはコンデンサをこのピンと GND に直接接続します。
5	SW	P	レギュレータのスイッチ ノード。パワー インダクタに接続します。
6	BOOT	P	内部ハイサイドドライバのブートストラップ電源電圧。このピンと SW ピンとの間に高品質の 100nF コンデンサを接続します。
7	VCC	P	内部 LDO 出力。内部制御回路への電源として使用されます。外部負荷に接続しないでください。パワー グッド フラグのロジック電源として使用できます。このピンと GND との間に高品質の 1μF コンデンサを接続します。
8	VOUT/FB	A	VOUT/FB ピンのバリエーションでは、固定出力オプションおよび可変出力オプションが利用できます。固定 VOUT では、出力電圧ノードに接続します。可変 VOUT では、帰還電圧デバイダのタップ ポイントに接続します。帰還抵抗デバイダの値の選択方法については、 セクション 8.2.2.2.1 を参照してください。詳細は、 セクション 4 を参照してください。このピンをフローティングにしないでください。
9	GND	G	電源グラウンド ピン。システム グラウンドに接続。短くかつ広いパターンで C _{IN} に接続します。

A = アナログ、P = 電源、G = グラウンド

6 仕様

6.1 絶対最大定格

接合部の推奨動作時温度範囲において ⁽¹⁾

パラメータ		最小値	最大値	単位
電圧	VIN から GND へ	-0.3	42	V
電圧	SW から GND へ	-0.3	V _{IN} + 0.3	V
電圧	100ns 未満の過渡電圧に対する SW から GND ⁽²⁾	-3.5	42	V
電圧	BOOT から SW へ	-0.3	5.5	V
電圧	VCC から GND へ	-0.3	5.5	V
電圧	VOOUT/FB から GND へ	-0.3	16	V
電圧	SYNC/MODE または RT から GND へ	-0.3	5.5	V
電圧	PGOOD から GND へ	-0.3	20	V
電圧	EN から GND へ	-0.3	42	V
温度	T _J 、接合部温度	-40	150	°C
温度	T _{stg} 、保管温度	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) SW ピンを外部から駆動しないでください。

6.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002、HBD ESD 分類レベル 2 準拠 ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C5 準拠	±750	V

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

接合部温度の推奨動作範囲が -40°C～150°Cである場合 (特に記述のない限り)

		最小値	最大値	単位
V _{IN}	スタートアップの入力電圧範囲	3.6	36	V
	入力電圧範囲 (起動後)	3.0	36	V
V _{OUT}	可変出力電圧設定による出力電圧範囲	1	0.95 × V _{IN}	V
I _{OUT}	LMR43606-Q1 の連続 DC 出力電流範囲	0	0.6	A
T _J	動作時接合部温度	-40	150	°C

6.4 熱に関する情報

この表の $R_{\theta JA}$ の値は、他のパッケージと比較するためのものです。これらの値は JESD 51-7 に従って計算されており、4 層 JEDEC 基板上でシミュレーションされています。これらの値は、実際のアプリケーションで得られた性能を表すものではありません。たとえば 4 層 PCB では $R_{\theta JA} = 50^{\circ}\text{C/W}$ を達成可能です。

熱評価基準 ⁽¹⁾		LMR43606-Q1	単位
		RPE (VQFN-HR)	
		9 ピン	
$R_{\theta JA}$	LMR43606MQ3EVM-2M の接合部から周囲への熱抵抗	50	$^{\circ}\text{C/W}$
$R_{\theta JA}$	接合部から周囲への熱抵抗	84.4	$^{\circ}\text{C/W}$
$R_{\theta JC(\text{top})}$	接合部からケース (上面) への熱抵抗	47.5	$^{\circ}\text{C/W}$
$R_{\theta JB}$	接合部から基板への熱抵抗	26.1	$^{\circ}\text{C/W}$
Ψ_{JT}	接合部から上面への特性パラメータ	0.9	$^{\circ}\text{C/W}$
Ψ_{JB}	接合部から基板への特性パラメータ	25.9	$^{\circ}\text{C/W}$

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

6.5 電気的特性

制限値は、接合部の動作時推奨温度範囲である $-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ において適用されます (特に記述のない限り)。最小値および最大値は、試験、設計、および統計的相関に基づいて規定されています。標準値は $T_J = 25^{\circ}\text{C}$ における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。 $V_{IN} = 13.5\text{V}$ 。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源電圧 (VIN ピン)						
V_{INMIN}	スタートアップの入力電圧立ち上がりスレッシュホールド	起動前	3.2	3.35	3.5	V
	入力電圧立ち下がりスレッシュホールド	動作開始後	2.45	2.7	3	V
$I_{SD(VIN)}$	VIN ピンのシャットダウン時の静止電流	EN = 0V	0.25		1	μA
$I_{QVIN(\text{nonsw})}$	非スイッチング入力電流 (VIN ピンで測定) ⁽¹⁾	固定 5.0V V_{OUT} 、 $V_{VOUT/FB} = 5.25\text{V}$	1.6		3	μA
$I_{QVIN(\text{nonsw})}$	非スイッチング入力電流 (VIN ピンで測定) ⁽¹⁾	固定 3.3V V_{OUT} 、 $V_{VOUT/FB} = 3.47\text{V}$	1.2		2.2	μA
イネーブル (EN ピン)						
$V_{EN-WAKE}$	EN ウェークアップ スレッシュホールド		0.5	0.7	1	V
$V_{EN-VOUT}$	V_{OUT} の高精度イネーブル立ち上がりスレッシュホールド		1.16	1.23	1.3	V
$V_{EN-HYST}$	$V_{EN-VOUT}$ 未満でのイネーブル ヒステリシス		0.3	0.35	0.4	V
I_{LKG-EN}	イネーブル ピン入力リーク電流	$V_{EN} = V_{IN} = 13.5\text{V}$	10			nA
内部 LDO (VCC ピン)						
V_{CC}	VCC ピン出力電圧	$V_{FB} = 0\text{V}$ 、 $I_{VCC} = 1\text{mA}$	3.1	3.3	3.45	V
電圧帰還 (VOUT/FB ピン)						
V_{OUT}	固定 V_{OUT} の出力電圧精度	3.3V V_{OUT} 、 $V_{IN} = 3.6\text{V} \sim 36\text{V}$ 、FPWM モード	3.27	3.3	3.33	V
V_{OUT}	固定 V_{OUT} の出力電圧精度	5V V_{OUT} 、 $V_{IN} = 5.5\text{V} \sim 36\text{V}$ 、FPWM モード	4.94	5.00	5.06	V
V_{FB}	内部リファレンス電圧精度	$V_{OUT} = 1\text{V}$ 、 $V_{IN} = 3.0\text{V} \sim 36\text{V}$ 、FPWM モード	0.99	1.00	1.01	V
$I_{FB(LKG)}$	FB 入力電流	可変構成、FB = 1V	10			nA
電流制限						
$I_{PEAKMAX}$	ハイサイド ピーク電流制限	LMR43606-Q1	1.25	1.4	1.55	A
I_{VALMAX}	ローサイドのバレー電流制限	LMR43606-Q1	0.75	1	1.25	A
$I_{PEAKMIN}$	最小ピーク電流制限	LMR43606-Q1、自動モード	0.17	0.27	0.37	A
I_{NEGMIN}	ローサイドのバレー電流の負の制限	LMR43606-Q1、FPWM モード	-0.9	-0.7	-0.5	A
I_{ZC}	ゼロクロスの電流制限値	自動モード	30	80	135	mA
パワーグッド (PGOOD ピン)						

6.5 電気的特性 (続き)

制限値は、接合部の動作時推奨温度範囲である $-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ において適用されます (特に記述のない限り)。最小値および最大値は、試験、設計、および統計的相関に基づいて規定されています。標準値は $T_J = 25^{\circ}\text{C}$ における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。 $V_{IN} = 13.5\text{V}$ 。

パラメータ		テスト条件	最小値	標準値	最大値	単位
PGD _{OV}	PGOOD の上限 - 立ち上がり	VOUT/FB に対する % (固定または可変出力)	104	108	111	%
PGD _{UV}	PGOOD の上側スレッショルド - 立ち下がり	VOUT/FB に対する % (固定または可変出力)	89	91	94.2	%
PGD _{HYST}	OV の PGOOD リカバリヒステリシス	VOUT/FB のターゲットレギュレーション電圧の %	2	2.4	2.8	%
	UV の PGOOD リカバリヒステリシス	VOUT/FB のターゲットレギュレーション電圧の %	1.1	3.3	5.9	%
V _{PGD-VAL}	PGOOD 機能の最小 V_{IN}	$V_{EN} = 0\text{V}$, $R_{PGD_PU} = 10\text{k}\Omega$			1.5	V
R _{PGD}	PGOOD オン抵抗	$V_{EN} = 3.3\text{V}$, $200\mu\text{A}$ のプルアップ電流			100	Ω
R _{PGD}	PGOOD オン抵抗	$V_{EN} = 0\text{V}$, $200\mu\text{A}$ のプルアップ電流			100	Ω
t _{RESET_FILTER}	立ち下がりエッジでの PGOOD グリッチ除去遅延		25	40	75	μs
t _{PGOOD_ACT}	PGOOD High 信号までの遅延時間		1.35	2.5	4	ms
ソフト スタート						
t _{SS}	最初の SW パルスから、VOUT/FB が設定ポイントの 90% に達するまでの時間。		2	3.5	4.6	ms
t _{HICCUP}	ソフトスタート再試行前のヒカップの時間		30	50	75	ms
発振器 (SYNC/MODE ピン)						
t _{PULSE_H}	パルスとして認識されるのに必要な High の継続時間		100			ns
t _{PULSE_L}	パルスとして認識されるのに必要な Low の継続時間		100			ns
t _{SYNC}	有効なクロック信号として認識されるための High/Low レベルパルスの最大期間				6	μs
t _{MODE}	FPWM または自動モードを示すために必要な 1 つのレベルの時間		12.5			μs
f _{SYNC}	同期周波数範囲		0.2		2.5	MHz
V _{MODE_L}	SYNC/MODE 入力電圧の Low レベル スレッショルド				1	V
V _{MODE_H}	SYNC/MODE 入力電圧の High レベル スレッショルド		1.6			V
発信機 (RT ピン)						
F _{SW(1MHz)}	内部固定 1MHz 設定でのスイッチング周波数	RT ピンを V_{CC} に接続	900	1000	1070	kHz
F _{SW(2p2MHz)}	2.2MHz に固定したスイッチング周波数	RT ピンを GND に接続	2100	2200	2300	kHz
F _{SW(Adj)}	外部周波数の精度、400kHz	$R_{RT} = 39.2\text{k}\Omega$ 0.1% 抵抗	340	400	460	kHz
スペクトラム拡散						
DeltaFc	内部発振器のスペクトラム拡散による周波数の増加 / 減少	DRSS		± 4		%
スイッチ ノード						
t _{ON-MIN}	HS スwitchの最小オン時間	FPWM モード $I_{OUT} = 1\text{A}$, 2.2MHz 固定	65	75		ns
t _{OFF-MIN}	HS スwitchの最小オフ時間		60	85		ns
t _{ON-MAX}	HS スwitchの最大オン時間	ドロップアウト時の HS タイムアウト	6	9	13	μs
電力段						
V _{BOOT_UVLO}	ハイサイド スwitchがオフになる BOOT ピンの電圧 (SW 基準)		2.1			V
R _{DS(on)-HS}	ハイサイド MOSFET オン抵抗	負荷 = 1A	132	260		m Ω

6.5 電気的特性 (続き)

制限値は、接合部の動作時推奨温度範囲である $-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ において適用されます (特に記述のない限り)。最小値および最大値は、試験、設計、および統計的相関に基づいて規定されています。標準値は $T_J = 25^{\circ}\text{C}$ における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。 $V_{IN} = 13.5\text{V}$ 。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$R_{DS(on)-LS}$	ローサイド MOSFET オン抵抗	負荷 = 1A		75	140	mΩ

- (1) この値は、デバイスの開ループが使用する電流です。この値は、レギュレーション中にシステムに流れ込む入力電流の合計を示すものではありません。

6.6 システム特性

以下の仕様は、標準的なアプリケーション回路にのみ適用され、コンポーネントの公称値が設定されています。「代表値 (TYP)」列の仕様は、 $T_J = 25^{\circ}\text{C}$ にのみ適用されます。 $T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$ の温度範囲での標準的な部品の場合、最小 (MIN) および最大 (MAX) 列の仕様は適用されます。これらの仕様は、製造試験では保証されていません。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源電流						
I_{QVIN}	I_{IN} に対する入力電流	$V_{IN} = 13.5\text{V}$ 、固定 3.3V V_{OUT} 、 $I_{OUT} = 0\text{A}$ 、自動モード		1.5		μA
		$V_{IN} = 13.5\text{V}$ 、固定 5V V_{OUT} 、 $I_{OUT} = 0\text{A}$ 、自動モード		2		μA
電力段						
V_{DROP1}	周波数フォールドバック動作時に、 V_{OUT} レギュレーション $\geq 95\%$ を維持するための入力と出力との電圧差	$V_{OUT} = 3.3\text{V}$ 、固定 2.2MHz 、 $I_{OUT} = 0.6\text{A}$		0.2		V
		$V_{OUT} = 5\text{V}$ 、固定 2.2MHz 、 $I_{OUT} = 0.6\text{A}$		0.2		V
V_{DROP2}	V_{OUT} レギュレーション $\geq 95\%$ および $F_{SW} \geq 1.85\text{MHz}$ を維持するための入力と出力との電圧差	$V_{OUT} = 3.3\text{V}$ 、固定 2.2MHz 、 $I_{OUT} = 0.6\text{A}$		0.7		V
	V_{OUT} レギュレーション $\geq 95\%$ および $F_{SW} \geq 1.85\text{MHz}$ を維持するための入力と出力との電圧差	$V_{OUT} = 5\text{V}$ 、固定 2.2MHz トリム、 $I_{OUT} = 0.6\text{A}$		0.9		V
D_{MAX}	最大デューティ サイクル	$V_{OUT} = 5\text{V}$ 、周波数フォールドバック時、 $I_{OUT} = 0.6\text{A}$		98		%
		$F_{SW} = 1.85\text{MHz}$ 、 $V_{OUT} = 5.0\text{V}$ 、 $I_{OUT} = 0.6\text{A}$		87		%
$R_{FBPARA(min)}$	並列帰還抵抗の最小値: R_{FBT}/R_{FBB}			5		kΩ
PROTECTION						
$T_{SD(trip)}$	サーマル シャットダウン温度	シャットダウン温度	158	168	186	$^{\circ}\text{C}$
$T_{SD(hyst)}$	サーマル シャットダウン温度	復帰温度		15	20	$^{\circ}\text{C}$

6.7 代表的特性

特に記述のない限り、次の条件が適用されます。 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 13.5\text{V}$

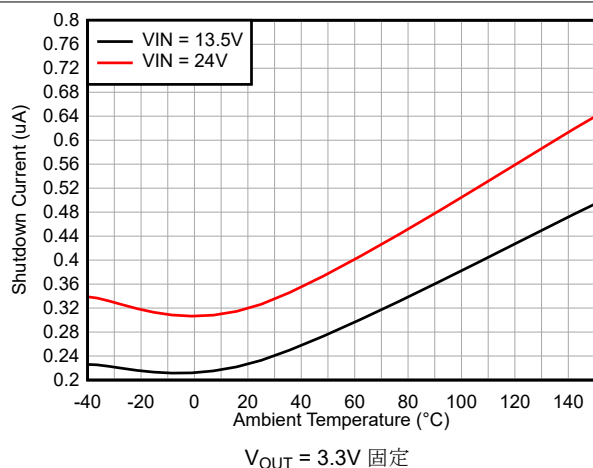


図 6-1. シャットダウン電流と温度との関係

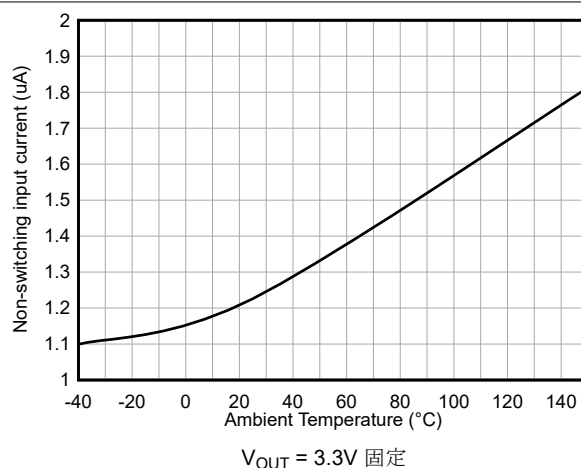


図 6-2. 非スイッチング入力電流 ($I_{QVIN(nonsw)}$) と温度との関係

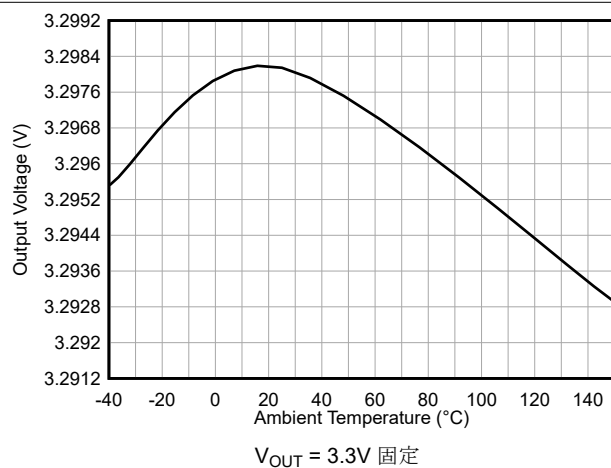


図 6-3. 出力電圧精度と温度との関係

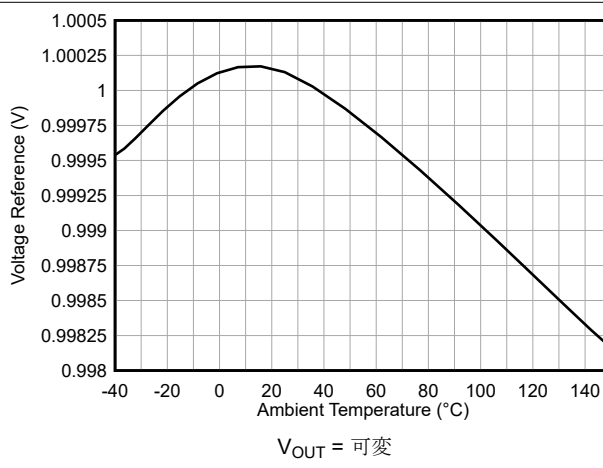


図 6-4. 帰還電圧精度と温度との関係

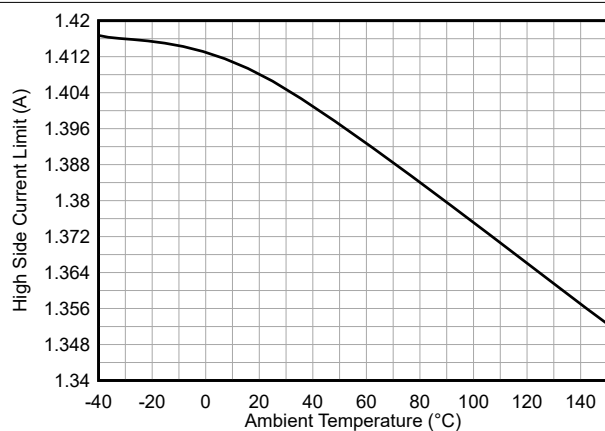


図 6-5. ハイサイド MOSFET 電流制限と温度との関係

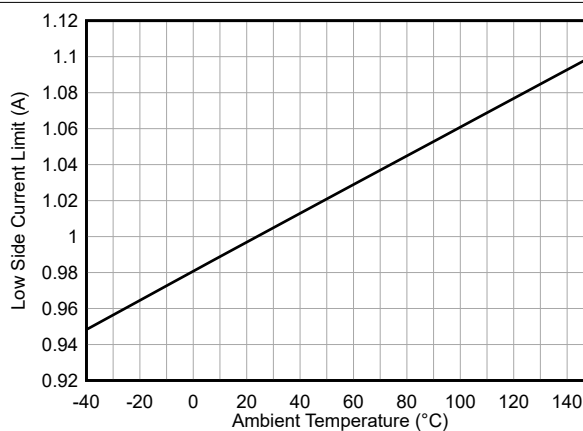


図 6-6. ローサイド MOSFET 電流制限と温度との関係

7 詳細説明

7.1 概要

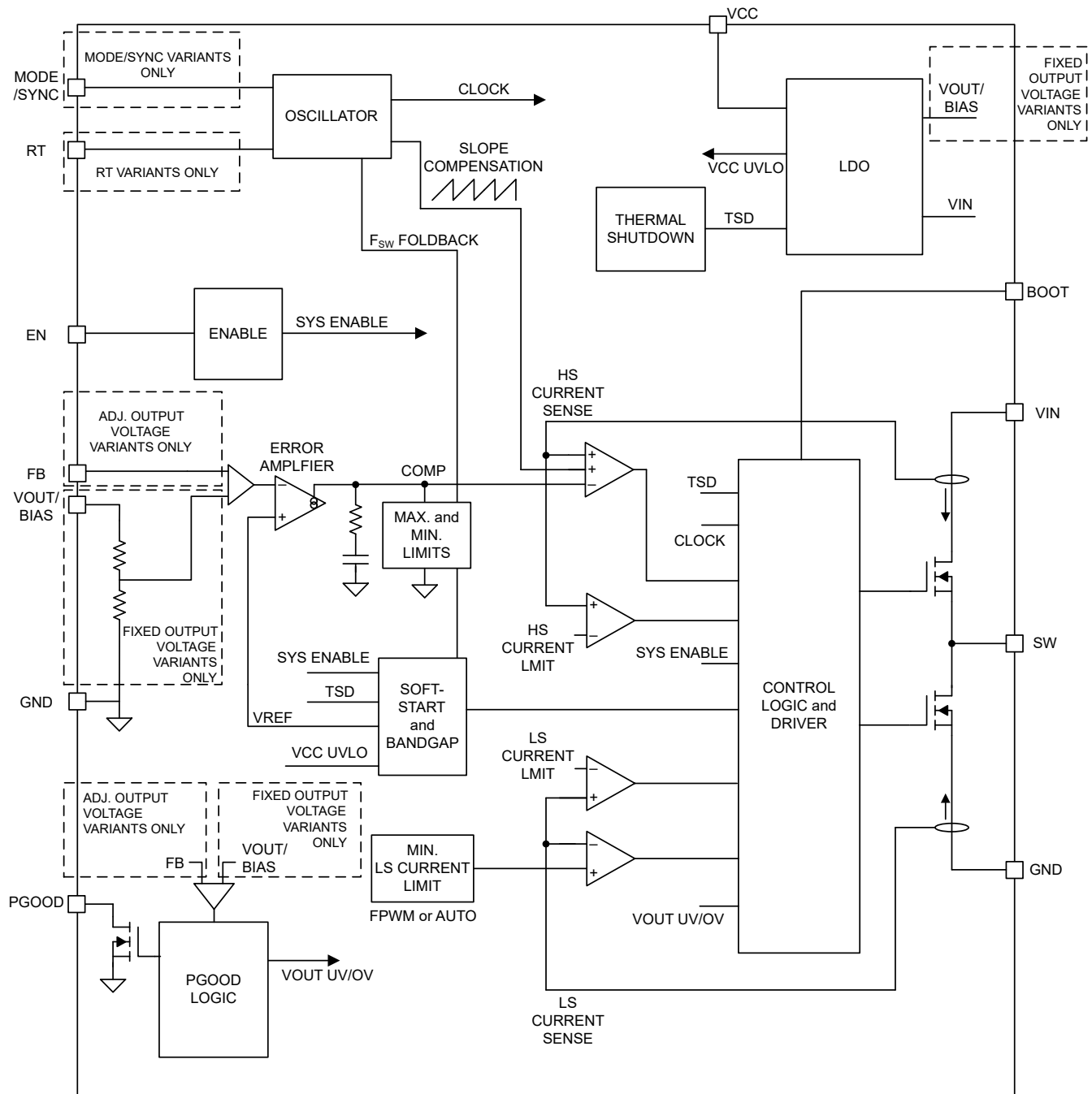
LMR43606-Q1 は、広い入力範囲、低静止電流、高性能を特長とするレギュレータであり、デューティサイクルおよびスイッチング周波数の広い範囲で動作可能で、400kHz の AM 帯域未満および 2.2MHz の AM 帯域以上を含みます。広い入力過渡中に、最小オン時間または最小オフ時間が高いスイッチング周波数設定で所望のデューティサイクルを維持できない場合、スイッチング周波数は自動的に低下し、LMR43606-Q1 は出力電圧のレギュレーションを維持します。最小限の出力コンデンサに最適化された内部補償設計により、LMR43606-Q1 を用いたシステム設計プロセスは、市場にある他の降圧レギュレータと比べて大幅に簡素化されます。

LMR43606-Q1 は、あらゆる厳しい車載環境で動作しながら、外付け部品コストと設計サイズを最小限に抑えるように設計されています。LMR43606-Q1 ファミリーには、RT ピンとグランド間に適切な抵抗を選択することで、200kHz から 2.2MHz の広いスイッチング周波数範囲で動作するように設定できるバリエーションが含まれています。さらにシステムコストを削減するため、遅延リリースを備えた PGOOD 出力機能が用意されており、多くのアプリケーションでリセットスーパーバイザが不要になります。

LMR43606-Q1-Q1 ファミリーは EMI/EMC 放射を低減するように設計されています。この設計では、デュアル ランダム スペクトラム拡散スイッチング周波数のディザリング方式を採用しており、ボンドワイヤを使用しないフリップチップ オンリード (HotRod) パッケージを使用しています。また、(一部のバリエーションは) MODE/SYNC 機能を備えているため、外部クロックが利用可能な場合は同期が可能です。これらの機能を組み合わせることでコモンモードチョーク、シールド、複雑な入力フィルタの設計手法のニーズを低減し、EMI/EMC 低減対策の複雑さとコストを大幅に削減することができます。

LMR43606-Q1 は、ウェットブル フランクを備えた超小型の 2mm × 2mm QFN パッケージで提供され、迅速な光学検査が可能であるとともに、信頼性の高い基板レベルのはんだ接続を実現するために特別に設計されたコーナー アンカーピンを備えています。

7.2 機能ブロック図



7.3 機能説明

7.3.1 イネーブル、起動、およびシャットダウン

EN ピンの電圧によって、LMR43606-Q1 ファミリのデバイスの起動またはリモートシャットダウンを制御します。EN ピンの電圧が $V_{EN_WAKE} = 0.5V$ 未満である限り、本部品はシャットダウン状態を維持します。シャットダウン中に、デバイスから引き込まれる入力電流は通常 $0.25\mu A$ ($V_{IN} = 13.5V$) まで低下します。EN ピンの電圧が V_{EN_WAKE} を上回ると、本デバイスはスタンバイモードに移行し、内部 LDO が起動して VCC を生成します。EN の電圧がさらに上昇し、 $V_{EN-VOUT}$ に近づくと、本デバイスは最終的にスイッチングを開始し、ソフトスタートを使って起動モードに移行します。本デバイスのシャットダウン プロセス中に、EN 入力電圧の測定値が $(V_{EN-VOUT} - V_{EN-HYST})$ を下回ると、レギュレータのスイッチングが停止し、デバイス スタンバイ モードに戻ります。EN ピンの電圧が $V_{EN-WAKE}$ を下回ると、本デバイスは確実にシャットダウンされます。リモート高精度制御が不要な場合、高電圧に対応した EN 入力ピンを V_{IN} 入力ピンに直接接続できます。EN 入力ピンをフローティングにすることはできません。各種 EN スレッシュホールドパラメータとそれらの値については、[セクション 6.5](#) に記載されています。[図 7-2](#) は、精度有効化時の動作を示し、アプリケーションにおけるリモート EN の起動時の代表的な波形を示しています。EN が High になってから約 1ms の遅延の後、出力電圧はソフトスタートで上がり始め、約 3.5ms (t_{ss}) 後にほぼ最終値に達します。約 2.5 ms (t_{PGOOD_ACT}) の遅延の後、PGOOD フラグが high になります。起動中、ソフトスタート時間が経過するまで、本デバイスは FPWM モードに移行できません。この時間は、EN の立ち上がりエッジから測定されます。コンポーネントの選択については、[セクション 8.2.2.9](#) を確認してください。

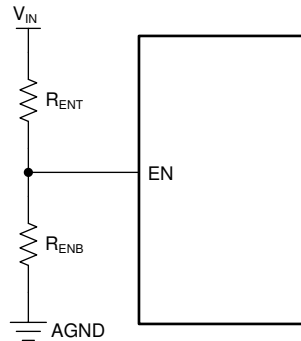


図 7-1. EN ピンを使った VIN/UVLO

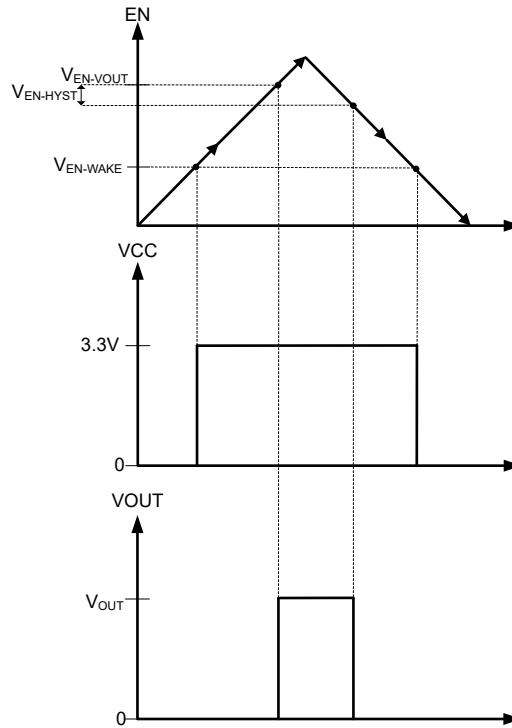


図 7-2. 高精度イネーブルの動作

7.3.2 外部CLK SYNC (MODE/SYNC 付き)

1 つのシステムの中で複数のレギュレータの動作を同期させ、特定のシステム レベル性能を実現することは、通常魅力的な機能です。MODE/SYNC ピンを備えた、LMR43606-Q1 の一部のバリエーションを使用すると、電源設計者は本デバイスを共通の外部クロックに同期させることができます。LMR43606-Q1 には同相ロック方式が実装されますが、この方式では、LMR43606-Q1 の MODE/SYNC ピンに供給されるクロック信号の立ち上がりエッジが、ハイサイド デバイスのターンオンと一致します。外部クロック同期は、すべての大きなグリッチを除去するフェーズロックループ (PLL) を使用して実装されます。LMR43606-Q1 に供給される外部クロックは、内部の自走クロックを置き換えますが、いかなる周波数フォールドバック動作にも影響しません。出力電圧は引き続き適切にレギュレートされます。同期信号が入力されている場合、本デバイスは FPWM モードに維持され、軽負荷時には CCM で動作します。

LMR43606-Q1 の MODE/SYNC 入力ピンは次の 3 つの選択可能なモードのいずれかで動作できます。

- 自動モード: パルス周波数変調 (PFM) 動作は、軽負荷時に有効化され、ダイオード エミュレーションは、インダクタを流れる逆電流を防止します。詳細については、[セクション 7.4.3.2](#) を参照してください。
- FPWM モード: FPWM モードでは、ダイオード エミュレーションは無効化され、電流はインダクタを逆方向に流れることができます。これにより、負荷電流が流れなくても最大周波数で動作できます。詳細については、[セクション 7.4.3.3](#) を参照してください。
- SYNC モード: 内部クロックは、MODE/SYNC ピンに印加された外部信号にロックします。出力電圧が全周波数で制御可能であり、最小オフ時間または最小オン時間によって制限されない限り、クロック周波数は MODE/SYNC ピンに印加された信号の周波数に一致します。本デバイスは、SYNC モードに入っているにもかかわらず、FPWM モードであるかのよう動作します (ダイオードエミュレーションが無効化され、無負荷でも、MODE/SYNC ピンに印加された周波数に適合できます)。

7.3.2.1 パルス依存 MODE/SYNC ピン制御

LMR43606-Q1 で複数の動作モードを必要とするほとんどのシステムは、マイクロプロセッサなどのデジタル回路によって制御されます。これらのシステムは、動的な信号は簡単に生成できますが、マルチレベル信号を生成するのは不得意です。パルス依存 MODE/SYNC ピン制御は、これらのシステムに有効です。パルス依存 MODE/SYNC ピン制御を開始するには、有効な同期信号を印加する必要があります。[表 7-1](#) に、パルス依存モード選択設定の概要を示します。

表 7-1. パルス依存モード選択の設定

MODE/SYNC 入力	モード
$> V_{MODE_H}$	FPWM (工場出荷時にスペクトラム拡散機能を設定)
$< V_{MODE_L}$	自動モード (工場出荷時にスペクトラム拡散機能を設定)
同期クロック	SYNC モード

図 7-3 に、パルス依存 MODE/SYNC 制御中の自動モードと FPWM モードとの間の遷移を示します。LMR43606-Q1 は、 t_{MODE} の時間の後に新しい動作モードに遷移します。図 7-3 と図 7-4 に詳細を示します。

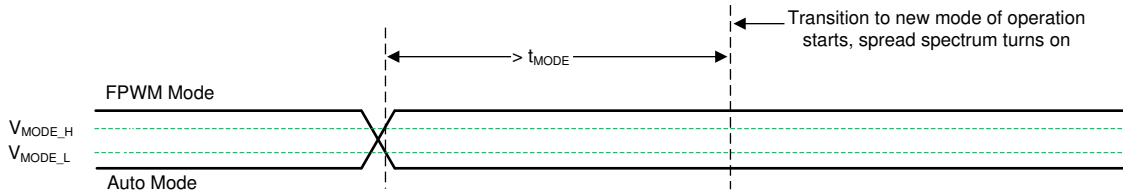


図 7-3. 自動モードと FPWM モードとの間の遷移

MODE/SYNC 電圧が一定のまま t_{MODE} より長い時間が経過すると、LMR43606-Q1 は (工場出荷時の設定が有効化されている場合) スペクトラム拡散をオンにして、自動モードと FPWM モードのどちらかに移行し、MODE/SYNC はパルス依存方式で動作し続けます。

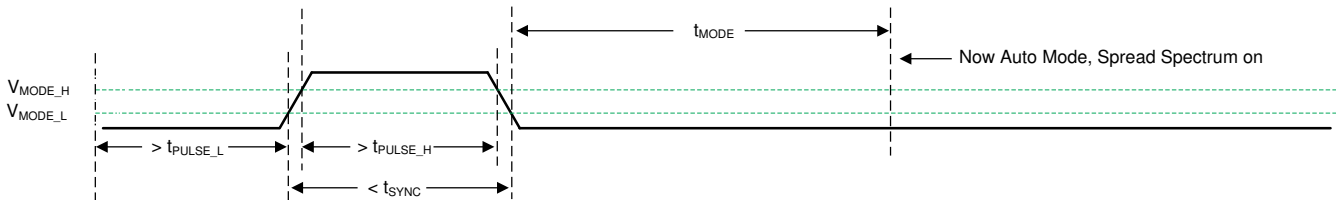


図 7-4. 同期モードから自動モードへの遷移

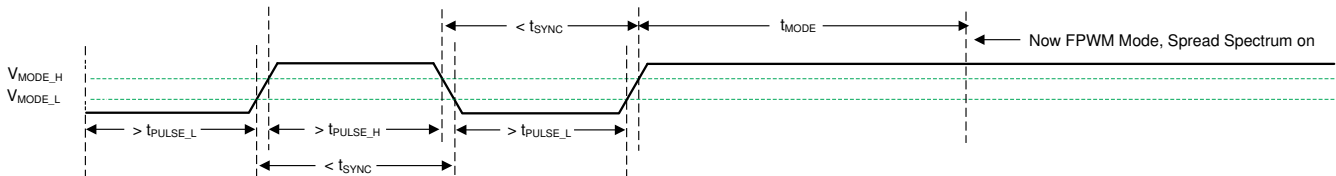


図 7-5. 同期モードから FPWM モードへの遷移

7.3.3 調整可能なスイッチング周波数 (RT 付き)

LMR43606-Q1 ファミリの一部のバリエーションでは、RT ピンにより、電源設計者はアプリケーションにおいて 200kHz から 2.2MHz の間で任意の動作周波数を設定できます。目的のスイッチング周波数に必要な抵抗値を決定するには、図 7-6 を参照してください。RT ピンバリエーションと MODE/SYNC ピンバリエーションは、同じピン位置を共有しています。電源設計者は、RT ピンバリエーションを使って、アプリケーションの必要性に応じて動作スイッチング周波数を調整することと、MODE/SYNC バリエーションを使って、外部クロック信号と同期させることのどちらかを行うことができます。RT ピンのプログラミングに関する選択については、表 7-2 を参照してください。

表 7-2. RT ピンの設定

RT 入力	スイッチング周波数
VCC	1MHz
GND	2.2MHz
RT 抵抗から GND へ	図 7-6 に従って調整可能

表 7-2. RT ピンの設定 (続き)

RT 入力	スイッチング周波数
フローティング (推奨しません)	スイッチングなし

目的の周波数の RT の値を計算するには、式 1 を使用します。

$$RT = \frac{18286}{F_{SW}^{1.021}} \quad (1)$$

ここで、

- RT は周波数設定抵抗の値 (kΩ) です。
- F_{SW} はスイッチング周波数 (kHz) です。

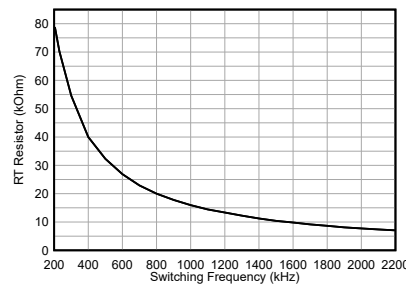


図 7-6. RT の値と周波数との関係

7.3.4 パワー グッド出力動作

LMR43606-Q1 の PGOOD ピンを使ったパワーグッド機能は、出力電圧が安定化範囲を外れたときはすぐにシステム マイクロプロセッサをリセットするために使用できます。通常の起動中だけでなく、デバイス フォルト条件 (電流制限、サーマル シャットダウンなど) の際も、このオープンドレイン出力は Low に維持されます。グリッチ フィルタは、出力電圧の短時間の変動 (ラインおよび負荷過渡時など) に対するフラグの誤動作を防止します。t_{RESET_FILTER} よりも短い出力電圧変動では、パワー グッド フラグは立ちません。図 7-7 に、パワー グッド動作を分かりやすく図示します。表 7-3 に、PGOOD 動作の詳細な内訳を示します。ここで、V_{PGD_UV} は V_{OUT} (目的の安定化出力電圧) と PGD_{UV} の積、V_{PGD_HYST} は V_{OUT} と PGD_{HYST} の積として定義されます。ここで、PGD_{UV} と PGD_{HYST} はどちらもセクション 6.5 に記載されています。最初の起動時に、V_{EN-VOUT} がトリガされてからパワーグッドに High のフラグが立つまでに生じる総遅延時間は 6 ms (標準値) です。この遅延は本デバイスの起動時にのみ発生し、パワー グッド機能のその他の通常動作中は発生しません。EN が Low にプルされると、パワー グッド フラグ出力も Low に強制されます。EN が Low であれば、入力電圧 (V_{PGD-VAL}) が 1.5V (最大値) 以上である限り、パワーグッドは有効です。

パワー グッド出力回路はオープンドレインの N チャネル MOSFET で構成されており、適切なロジック電源に接続された外付けプルアップ抵抗を必要とします。パワー グッド出力は、必要に応じて適切な抵抗を介して V_{CC} または V_{OUT} にプルアップすることもできます。この機能が不要な場合、PGOOD ピンをオープンにし、またはグラウンドに接続できます。このピンに流れ込む電流は、4mA 以下に制限します。

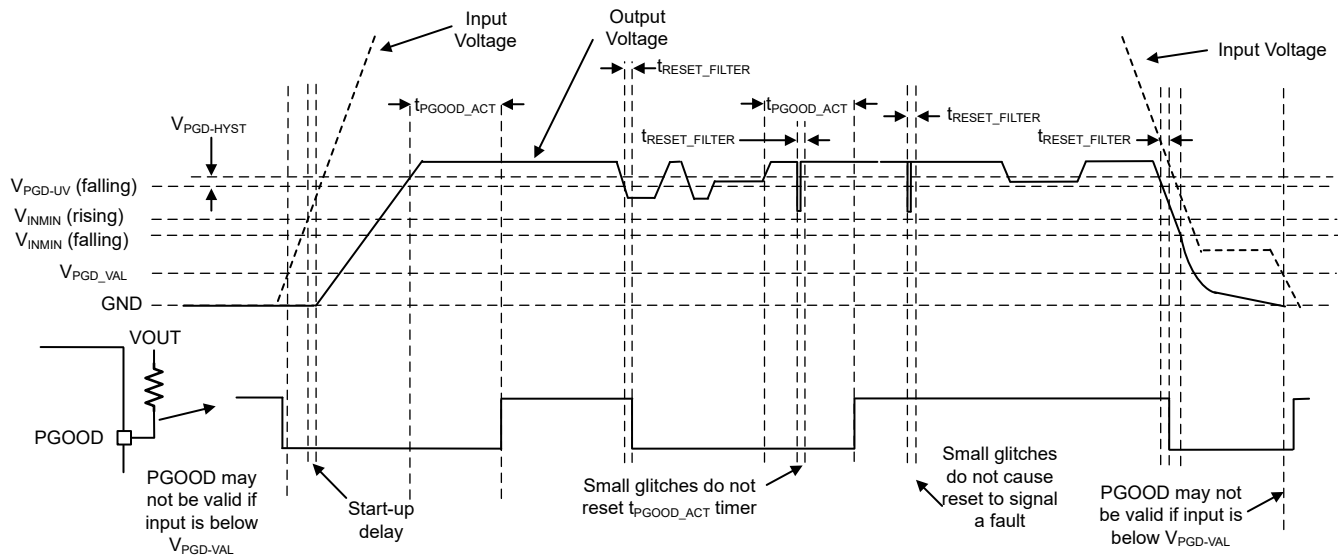


図 7-7. パワー グッド動作 (OV イベントは含まれません)

表 7-3. PGOOD のフォルト条件 (Low にプル)

フォルト条件の開始	フォルト条件の終了 (その後、PGOOD 出力が解放される前に t_{PGOOD_ACT} が経過する必要があります。)
$V_{OUT} < V_{PGD_UV}$ かつ $t > t_{RESET_FILTER}$	出力電圧がレギュレートされている。 $V_{PGD_UV} + V_{PGD_HYST} < V_{OUT} < V_{PGD_OV} - V_{PGD_HYST}$
$V_{OUT} > V_{PGD_OV}$ かつ $t > t_{RESET_FILTER}$	出力電圧がレギュレートされている。
$T_J > T_{SD(trip)}$	$T_J < T_{SD(trip)} - T_{SD(hyst)}$ かつ出力電圧がレギュレートされている
$EN < V_{EN-VOUT} - V_{EN-HYST}$	$EN > V_{EN-VOUT}$ かつ出力電圧がレギュレートされている

7.3.5 内部 LDO、VCC、VOUT / FB 入力

LMR43606-Q1 では、内部 LDO 出力と VCC ピンを使用してすべての内部電源を供給しています。VCC ピンには、 V_{IN} (可変出力バリエーションの場合) または VOUT / FB (固定出力バリエーションの場合) から電力が供給されます。固定出力バリエーションでは、LMR43606-Q1 がアクティブになった後であっても、まだレギュレーションに達していない場合、VOUT / FB 電圧が 3.3V を超えるまで (またはソフトスタート後、本デバイスが定常状態のレギュレーションに達するまで)、VCC レールには入力電圧 V_{IN} から電力が供給され続けます。可変出力バリエーションと固定出力バリエーションの両方で、VCC レールは通常 3.3V と測定されます。起動中、VCC は瞬間的に通常の動作電圧を超えた後、通常の動作電圧まで低下します。

7.3.6 ブートストラップ電圧および $V_{BOOT-UVLO}$ (BOOT 端子)

HS スイッチを確実にターンオンさせるため、ハイサイドスイッチドライバ回路には、 V_{IN} よりも高いバイアス電圧が必要です。BOOT と SW の間に接続されたコンデンサは、BOOT 端子の電圧を ($SW + VCC$) に昇圧するチャージポンプとして機能します。デザインの物理的なサイズを最小化するため、LMR43606-Q1 のダイにはブートダイオードが内蔵されています。TI では、CBOOT に定格 10V 以上の 100nF コンデンサを推奨しています。BOOT レールには UVLO 設定が備わっています。この UVLO のしきい値は $V_{BOOT-UVLO}$ ですが、標準設定値は 2.1V です。CBOOT コンデンサが、SW ピンを基準として、この電圧を超えて充電されていない場合、本デバイスは充電シーケンスを開始し、ハイサイド素子をオンにしようとする前にローサイドスイッチをオンにします。

7.3.7 出力電圧の選択

この LMR43606-Q1 ファミリーでは、可変出力または固定出力の電圧オプションを、すべてのデバイスバリエーションに対して設定できます (セクション 4 を参照)。可変出力の場合、図 7-8 に示すように、出力電圧ノード、デバイスの FB ピン、システムの GND との間に外付け抵抗分圧回路を接続する必要があります。可変出力電圧動作では、1V の内部基準電圧を使用します。出力電圧の調整方法の詳細については、セクション 8.2.2.2.1 セクションを参照してください。

LMR43606-Q1 ファミリの固定出力構成を使用する場合は、FB ピン (データシートの他の部分では、固定出力バリエーションについては VOUT/FB ピンという名称になっています) をシステムの出力量電圧ノードに接続するだけです。詳細については、[セクション 4](#) を参照してください。

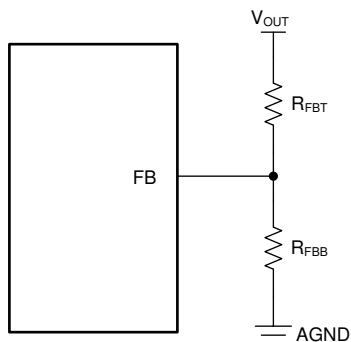


図 7-8. 可変出力バリエーションの出力量電圧の設定

可変出力量電圧構成では、 R_{FBT} と並列に追加のフィードフォワード コンデンサ C_{FF} を使用することで、位相マージンと過渡応答を最適化できます。詳細については、[セクション 8.2.2.8](#) を参照してください。固定出力バリエーションの場合、抵抗分圧回路もフィードフォワードコンデンサも追加する必要はありません。

7.3.8 スペクトラム拡散

スペクトラム拡散は、固定周波数で動作する部品よりも広範囲の周波数帯域にピークを拡散することにより、特定の周波数によるピーク放射に対する影響を低減します。LMR43606-Q1 は、スイッチング周波数の最初のいくつかの高調波からの低周波伝導放射を低減するように設計された変調パターンを実装しています。このパターンは、FM 帯域に落ちる可能性があり、フィルタ処理が難しい高調波を低減させるのにも役立ちます。これらの高調波はしばしば、スイッチ ノードとインダクタの周囲の電界によって環境と結合します。LMR43606-Q1 は周波数拡散を採用しており、FM および TV 帯域全体にエネルギーをスムーズに拡散できます。このデバイスには、デュアル ランダム スペクトラム拡散 (DRSS) 機能が実装されています。DRSS は、三角波の周波数拡散パターンと疑似ランダム周波数ホッピングを組み合わせたものです。これらの組み合わせにより、スペクトラム拡散は、次のとおりエネルギー拡散に非常に効果的です：

- 低速三角波パターンによる基本スイッチング高調波
- スwitching周波数に疑似ランダムジャンプを付加した高周波ハーモニクス

DRSS の利点は、基本周波数偏差が小さく、高域の周波数で等価高調波減衰が得られることです。この利点により、変調周波数で生じる入力電流と出力電圧リップルの量が低減されます。また、LMR43606-Q1 では、ユーザーがスペクトラム拡散変調パターンに起因する出力電圧リップルをさらに低減できます。

スペクトラム拡散は、本デバイスのクロックが本来の周波数で自走している間に限り利用できます。以下のいずれかの条件がスペクトラム拡散に優先する場合、スペクトラム拡散はオフになります：

- 低い入力電圧での動作 (ドロップアウトでの動作) により、クロック速度が低下している場合。
- 自動モードで軽負荷によりクロック速度が低下した場合。FPWM モードで動作している場合、無負荷であってもスペクトラム拡散が有効となっている可能性があるため、注意してください。
- 入出力電圧比が大きいため、クロック速度が低下した場合。オン時間が最小オン時間に達した場合にこの動作モードが想定されます。「[セクション 6.5](#)」を参照してください。
- クロックが外部クロックに同期している。

7.3.9 ソフトスタートとドロップアウトからの回復

LMR43606-Q1 を使用して設計する場合、[図 7-9](#) および [図 7-10](#) に示すように、ドロップアウトからの回復とソフトスタートに起因する出力電圧の上昇は、2 つの個別の動作条件として考慮します。ソフト スタートは、以下のいずれかの条件によってトリガされます。

- デバイスの VIN ピンに電力が供給され、低電圧ロックアウトが解除される。
- 本デバイスをオンにするために EN が使われた。
- 過熱保護によるシャットダウンから回復した。

ソフトスタートがトリガされた後、本 IC は以下の動作を実行します。

- 出力電圧を制御するために本 IC が使用する基準電圧が、ゆっくりと上昇します。その結果、出力電圧が (それまで 0V だった場合)、 t_{SS} の時間をかけて目的の値の 90% に達します。
- 動作モードが自動動作モードに設定され、ローサイド MOSFET のダイオード エミュレーション モードがアクティブになります。これにより、出力を Low にしなくても起動できます。これは、プリバイアススタートアップ時に出力に電圧がすでに存在している場合にも当てはまります。

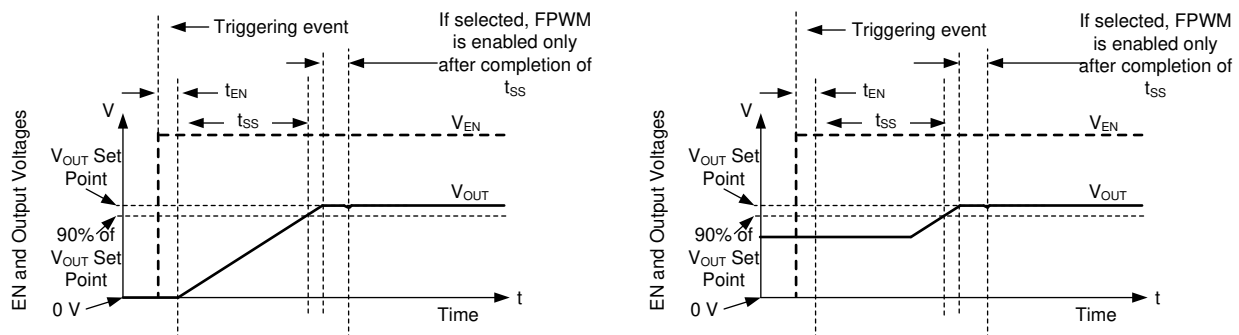


図 7-9. プリバイアス電圧の有無によるソフトスタート

7.3.9.1 ドロップアウトからの回復

出力電圧の低下が数 % を超えると常に、出力電圧はゆっくり上昇します。この条件は、本書ではドロップアウトからの正常な回復と呼ばれ、ソフトスタートとは以下の 2 つの重要な点で異なります。

- 基準電圧は、現在の出力電圧を実現するために必要な値よりも約 1% 高い値に設定される。
- 本デバイスが FPWM に設定されている場合、ドロップアウトからの回復中は FPWM モードで動作し続けます。外部電源によって出力電圧が突然プルアップされた場合、LMR43606-Q1 は出力をプルダウンする場合があります。通常動作中に存在するすべての保護機能は作動しており、出力が高い電圧またはグランドに短絡した場合の致命的な障害を防止していることに注意します。

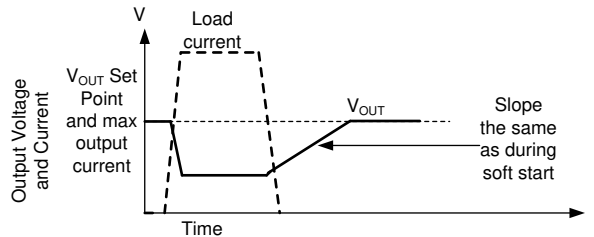


図 7-10. ドロップアウトからの回復

出力電圧の低下が、高負荷と低入力電圧のどちらによるものであっても、出力がその設定点を下回る原因となっている条件が解消された後、起動時と同じ速度で出力は上昇します。に、この挙動の例を示します。

7.3.10 電流制限と短絡

LMR43606-Q1 にはピークおよびバレー インダクタ電流制限が組み込まれており、過負荷や短絡からデバイスを保護し、最大出力電流を制限します。バレー電流制限は、出力短絡時のインダクタ電流暴走を防止します。また、ピーク制限とバレー制限は連携して、コンバータの最大出力電流を制限します。過負荷にはサイクルごとの電流制限が使われ、持続的な短絡にはヒカップ モードが使われます。最後に、軽負荷時にダイオード エミュレーション (DEM) を実現するために、ローサイド パワー MOSFET にゼロ電流検出器が使用されます。この電流制限の標準値は、セクション 6.5 の I_{ZC} に記載されています。

デバイスが過負荷になると、次のクロック サイクルの前に、インダクタ電流のバレーが I_{VALMAX} を下回ることにはできません（「電気的特性」表を参照）。このイベントが発生すると、バレー電流制限制御がそのサイクルをスキップし、スイッチング周波数が低下します。さらに過負荷になると、スイッチング周波数は引き続き低下し、インダクタのリップル電流は増加します。インダクタ電流のピークがハイサイド電流制限値 $I_{PEAKMAX}$ （セクション 6.5 を参照）に達すると、スイッチのデューティサイクルが減少し、出力電圧がレギュレーション範囲外になります。この動作は、コンバータからの最大出力電流を表し、式 2 で求められます：

$$I_{OUT}|_{max} = \frac{I_{PEAKMAX} + I_{VALMAX}}{2} \quad (2)$$

電流制限中に短絡が発生して FB 入力の電圧が約 0.4V を下回ると、本デバイスはヒカップ モードに入ります。このモードでは、デバイスは t_{HICUP} （セクション 6.5 を参照）または約 94ms の間スイッチングを停止し、その後ソフト スタートを伴って通常の再起動を行います。短絡状態が続く場合、本デバイスは電流制限内で約 20ms（標準値）動作した後、再度シャットダウンします。短絡状態が持続する限り、このサイクルが繰り返されます。この動作モードにより、出力のハード短絡時におけるデバイスの温度上昇を抑制できます。もちヒカップ モードでは出力電流が大幅に低下します。出力の短絡が解消され、ヒカップ遅延が経過すると、出力電圧は通常どおり回復します。

7.3.11 サーマル シャットダウン

サーマル シャットダウンは、本デバイスの接合部温度が 168°C（標準値）を超えると内部スイッチをオフにすることで、総電力損失を制限します。サーマル シャットダウンは、158°C（最小値）未満ではトリガされません。サーマル シャットダウン

が発生した後、ヒステリシスにより、接合部温度が約 153°C (標準値) に低下するまで、本デバイスはスイッチングできません。接合部温度が 153°C (標準値) を下回ると、LMR43606-Q1 は 再度ソフト スタートを試みます。

接合部温度が上昇して、LMR43606-Q1 がシャットダウンされても、電力は VCC に供給され続けます。高い接合部温度のせいで本デバイスが無効化されると同時に、VCC の短絡による過熱を防止するため、VCC に電力を供給する LDO の電流制限値が低減されます。サーマル シャットダウン時の LDO の供給電流はわずか数ミリアンペアです。

7.3.12 入力電源電流

LMR43606-Q1 は、軽負荷をレギュレートする際に入力電源電流が非常に小さくなるように設計されています。これは、内部回路の多くに、出力から電力を供給することで実現されています。固定出力電圧バリエーション内の VOUT/FB ピンは、制御回路の大部分に電力を供給する LDO への入力です。VOUT/FB 入力ピンをレギュレータの出力ノードに接続することで、出力から少量の電流が流れ込みます。この電流は、入力で V_{OUT} / V_{IN} の比率で減少します (式 3 参照)。

$$I_{QVIN} = I_Q + I_{EN} + I_{BIAS} \times \frac{V_{OUT}}{\eta_{eff} \times V_{IN}} \quad (3)$$

ここで、

- I_{QVIN} は、動作 (スイッチング) 中の降圧コンバータが無負荷時に消費する総スタンバイ (スイッチング) 電流です。
- I_Q は、 V_{IN} 端子から流れ込む電流です
- I_{EN} は、EN 端子に流れ込む電流です。EN が V_{IN} に接続されている場合、この電流を含めます I_{EN} の場合、 I_{LKG-EN} をセクション 6.5 で確認します。
- I_{BIAS} は、BIAS LDO により流れ込むバイアス電流です。
- η_{eff} は、降圧コンバータの入力電流から I_{QVIN} を除いた場合の降圧コンバータの軽負荷効率です。 $\eta_{eff} = 0.8$ は、通常動作条件で利用できる控えめな値です。

7.4 デバイスの機能モード

7.4.1 シャットダウンモード

EN ピンは、本デバイスの電氣的オン / オフ制御に使用できます。EN ピンの電圧が 0.7V (標準値) を下回ると、コンバータと内部 LDO の両方が電圧を出力しなくなり、本デバイスはシャットダウン モードに入ります。シャットダウン モードでは、通常、静止電流が 250nA まで低下します。

7.4.2 スタンバイモード

内部 LDO の EN スレッシュホールドは、コンバータの出力よりも低い値です。EN ピンの電圧が 1V (最大値) より高く、かつ出力電圧の高精度イネーブル スレッシュホールドより低い場合、内部 LDO は VCC 電圧を 3.3V (標準値) にレギュレートします。EN ピンの電圧が高精度イネーブルしきい値を上回らない限り、SW ノードの内部パワー MOSFET はオフのままです。LMR43606-Q1 は UVLO 保護も採用しています。

7.4.3 アクティブモード

EN ピンの電圧が $V_{EN-VOUT}$ を上回っており、かつ V_{IN} が V_{INMIN} を満たすのに十分高く、かつその他の故障条件が存在しない場合は常に、LMR43606-Q1 はアクティブモードに入ります。この動作を可能にする最も簡単な方法は、EN ピンを V_{IN} に接続することです。これにより、印加された入力電圧が最小 V_{INMIN} を超えると自動的に起動できます。

アクティブモードでは、負荷電流、入力電圧、出力電圧に応じて、LMR43606-Q1 は次の 5 つのモードのいずれかになります。

- 連続導通モード (CCM)。負荷電流がインダクタリップル電流の 1/2 より大きいときには、固定周波数の連続導通モードになります。
- 自動モード - 軽負荷動作時: パルス周波数変調 (PFM) (非常に軽い負荷でスイッチング周波数が低下した場合)
- FPWM モード - 軽負荷動作: 不連続導通モード (CCM)。負荷電流がインダクタリップル電流の 1/2 未満である場合。
- 最小オン時間: 高入力電圧、低出力電圧の場合、レギュレーションを維持するためにスイッチング周波数が低下します
- ドロップアウト モード: 電圧低下を最小限に抑えるため、スイッチング周波数が低下します。

7.4.3.1 CCM モード

LMR43606-Q1 の以下の動作の説明は、[セクション 7.2](#) と以下の波形 ([図 7-11](#)) を参照しています。CCM では、LMR43606-Q1 は、各種デューティ サイクル (D) で内蔵ハイサイド (HS) およびローサイド (LS) スイッチをオンにすることで、出力電圧のレギュレーションを実現します。HS スイッチのオン時間の間、SW ピンの電圧 (V_{SW}) は V_{IN} の付近までスイングし、インダクタ電流 (i_L) は線形的な傾きで増加します。HS スイッチは、制御ロジックによってオフにされます。HS スイッチのオフ時間 (t_{OFF}) の間、LS スイッチはオンにされます。インダクタ電流は LS スイッチを通して放電され、LS スイッチの両端の電圧降下によって V_{SW} をグランドの下まで強制的にスイングさせます。一定の出力電圧を維持するため、コンバータ ループはデューティ サイクルを調整します。D は、HS スイッチのオン時間をスイッチング周期で割った値として次のように定義されます。

$$D = T_{ON} / T_{SW} \quad (4)$$

損失が無視される理想的な降圧コンバータでは、次のように D は出力電圧に比例し、入力電圧に反比例します。

$$D = V_{OUT} / V_{IN} \quad (5)$$

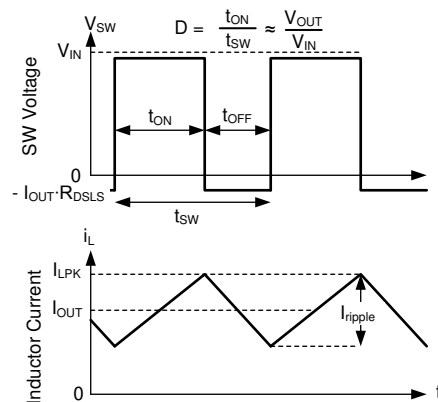


図 7-11. 連続モード (CCM) における SW 電圧とインダクタ電流の波形

7.4.3.2 自動モード – 軽負荷動作

軽負荷時、LMR43606-Q1 は 2 種類の動作を行うことができます。自動モード動作と呼ばれる動作を使うと、負荷が重い際の通常電流モードと高効率の軽負荷動作との間を継ぎ目なく移行できます。FPWM モードと呼ばれるもう 1 つの動作では、無負荷時でも最大周波数が維持されます。LMR43606-Q1 がどのモードで動作するかは、このファミリから選定したバリエーションによって異なります。周波数を外部信号に同期させる場合、すべてのデバイスは FPWM モードで動作することに注意します。

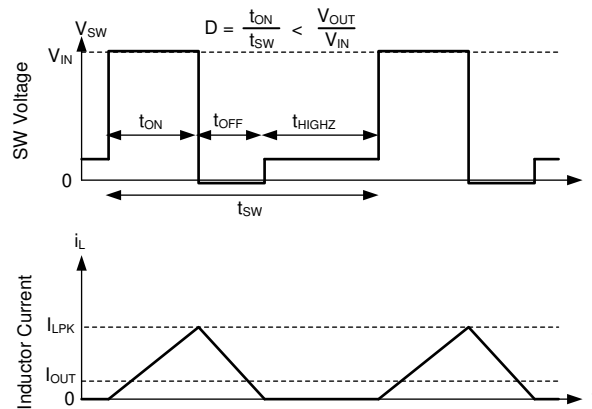
LMR43606-Q1 で軽負荷動作を採用しているのは自動モードのみです。軽負荷動作では、効率を向上させるため次の 2 つの手法が使われます。

- DCM 動作が可能なダイオード エミュレーション (図 7-12 を参照)
- 周波数低減 (図 7-12 を参照)

これら 2 つの機能は、同時に動作することで軽負荷時の効率を向上させますが、独立して機能します。

7.4.3.2.1 ダイオード エミュレーション

ダイオードエミュレーションは、インダクタを流れる逆電流を防止し、固定ピークインダクタ電流の場合、レギュレーションのためにより低い周波数が必要となります。ダイオード エミュレーションは、周波数が下がった際のリップル電流も制限します。固定ピーク電流では、出力電流がゼロに向かって低下するにつれて、レギュレーションを維持するために周波数をゼロに近い値まで下げる必要があります。



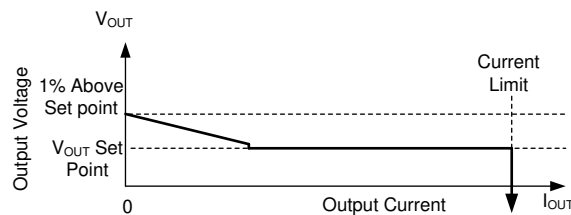
自動モードでは、SW ノード電流がゼロに近づくとローサイド素子はオフになります。その結果、出力電流が CCM で発生する可能性があるインダクタリップルの 1/2 未満になると、本デバイスは DCM で動作します。これは、ダイオード エミュレーションが機能しているということと等価です。

図 7-12. PFM 動作

LMR43606-Q1 には、自動モードの最小ピーク インダクタ電流設定があります (セクション 6.5 の $I_{PEAKMIN}$ を参照)。入力電圧を一定にした状態で、電流値が下がると、オン時間は一定になります。その後、周波数を調整することで、レギュレーションが達成されます。この動作モードを PFM モード レギュレーションと呼びます。

7.4.3.2.2 周波数低減

LMR43606-Q1 は、出力電圧が高くなると常に周波数を下げます。この機能は、内部誤差アンプ補償出力 (内部信号 COMP) が Low でありかつ V_{OUT}/FB のレギュレーション設定点と V_{OUT}/FB に印加される電圧との間にオフセットが存在する場合、常に有効化されます。結果的に、自動モードでの軽負荷の間、通常動作の場合よりも出力インピーダンスが大きくなります。本デバイスが完全に無負荷である場合、出力電圧は約 1% 高くなるはずで



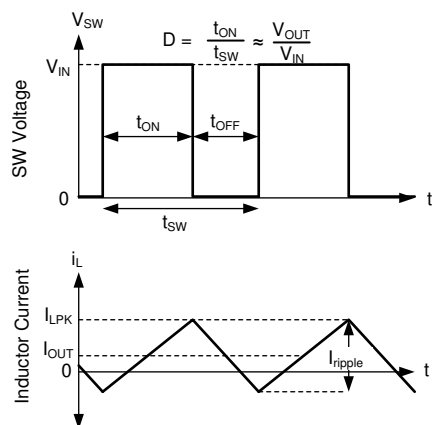
自動モードでは、本デバイスの出力電流が定格電流の約 1/10 を下回ると、降圧コンバータが完全に無負荷になった際に出力電圧が 1% 高くなるように出力抵抗が増大します。

図 7-13. 定常状態の出力電圧と自動モードの出力電流との関係

PFM 動作では、PFM 検出回路を動作させるために、出力電圧に小さな正の DC オフセットが必要となります。PFM の周波数が低いほど、 V_{OUT} に必要な DC オフセットは大きくなります。 V_{OUT} での DC オフセットが許容できない場合、 V_{OUT} に接続したダミー負荷または FPWM モードを使うことで、このオフセットを低減または除去できます。

7.4.3.3 FPWM モード - 軽負荷動作

FPWM モードでは、軽負荷時に周波数が維持されます。周波数を維持するため、インダクタを流れる逆電流が制限されます。逆電流制限回路により、逆電流が制限されます。逆電流制限の設定については、[セクション 6.5](#)を参照してください。



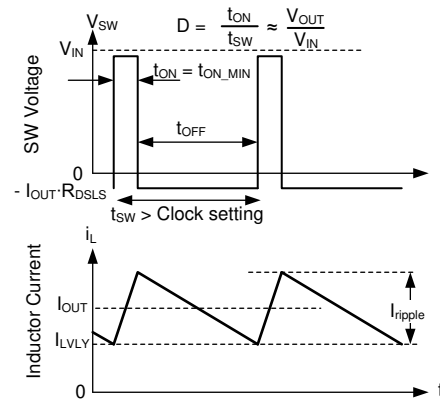
FPWM モードでは、 I_{OUT} が I_{ripple} の半分未満でも連続導通 (CCM) が可能です。

図 7-14. FPWM モード動作

デバイスの種類にかかわらず、FPWM モードでは、軽負荷時であっても最小オン時間を指示できるほど出力電圧が高ければ、依然として周波数を低減できるため、出力をプルアップする必要があるフォルト中も良好に動作できます。

7.4.3.4 最小オン時間 (高入力電圧) での動作

出力電圧に対する入力電圧の比が要求するオン時間が、与えられたクロック設定のチップの最小オン時間より短い場合でも、LMR43606-Q1 は出力電圧をレギュレートし続けます。このイベントは、バレー電流制御を使用して実行されます。補償回路は常に最大ピーク インダクタ電流と最大バレー インダクタ電流の両方を指示します。何らかの理由でバレー電流を超過した場合、補償回路によって決定された値をバレー電流が下回るまで、クロック サイクルは延長されます。コンバータが電流制限動作をしていない場合、最大バレー電流はピーク インダクタ電流よりも高く設定され、ピーク電流のみを使ったレギュレーションに失敗しない限りバレー制御が使われることがないようにしています。補償回路が指示したピークコマンドをインダクタ ピーク電流値が上回るほど、出力電圧に対する入力電圧の比が高すぎる場合、出力電圧をレギュレートするのに十分な速さではハイサイド素子をオフにすることはできません。結果的に、補償回路はピーク電流とバレー電流の両方を小さくします。補償回路によって十分小さい電流が選択されると、バレー電流は、補償回路が指示した電流に一致します。これらの条件では、ローサイド素子がオンに維持され、目的のバレー電流をインダクタ電流が下回るまで、次のクロック サイクルは開始されません。オン時間は最小値に固定されているため、このタイプの動作は、コンスタント オンタイム (COT) 制御方式を採用したデバイスの動作と似ています。[図 7-15](#)を参照してください。

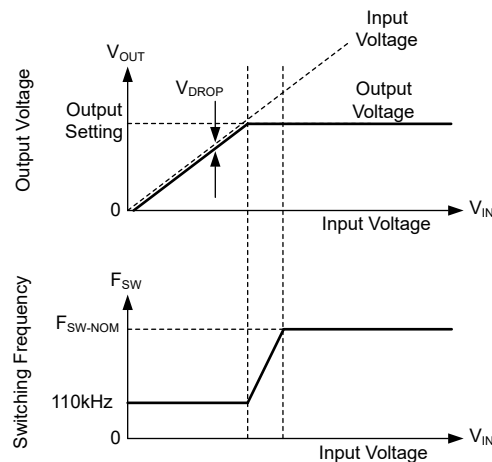


バレー制御モードでは、ピーク インダクタ電流ではなく、最小インダクタ電流が制御されます。

図 7-15. バレー電流モード動作

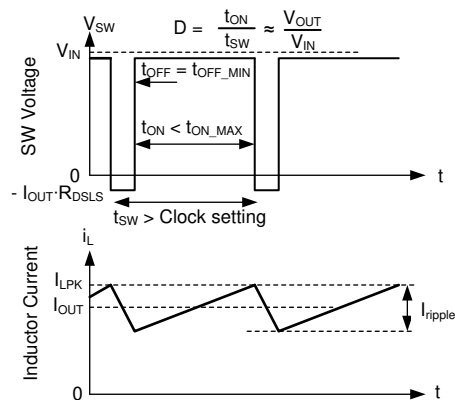
7.4.3.5 ドロップアウト

ドロップアウト動作とは、必要なデューティ サイクルを達成するために周波数を下げ、入力電圧に対する出力電圧の比を任意の値に制御することです。与えられたクロック周波数において、デューティ サイクルは最小オフ時間によって制限されます。クロック周波数が維持される場合、図 7-17 に示すように、この制限値に達した後、出力電圧が低下します。LMR43606-Q1 は、出力電圧が下がるのを許容するのではなく、クロック サイクルが終わっても必要なピーク インダクタ電流が達成されるまでハイサイド スwitch のオン時間を延長します。必要なピーク インダクタ電流に達すると、または所定の最大オン時間 (t_{ON-MAX} 、約 9 μ s) が経過すると、クロックは新しいサイクルを開始できます。その結果、最小オフ時間の存在に起因して、選択されたクロック周波数において必要なデューティ サイクルが達成できない場合、レギュレーションを維持するために周波数が低下します。図 7-16 に示すように、 t_{ON-MAX} のオン時間を使っても出力電圧をレギュレートできないほど入力電圧が低い場合、出力電圧は入力電圧よりもわずかに (V_{DROP}) 低い値に下がります。ドロップアウトからの回復の詳細については、図 7-10 を参照してください。



出力電圧および周波数と入力電圧との関係: 入力電圧と出力電圧設定値との差がほとんどない場合、本 IC はレギュレーションを維持するために周波数を下げます。入力電圧が低すぎて、約 110kHz で目的の出力電圧を供給できない場合、入力電圧は出力電圧に追従します。

図 7-16. ドロップアウト時の周波数と出力電圧



ドロップアウト中のスイッチング波形。インダクタ電流は、目的のピーク値に達するのに通常のクロックよりも長い時間を要します。その結果、周波数は低下します。この周波数の低下は t_{ON-MAX} によって制限されます。

図 7-17. ドロップアウト波形

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

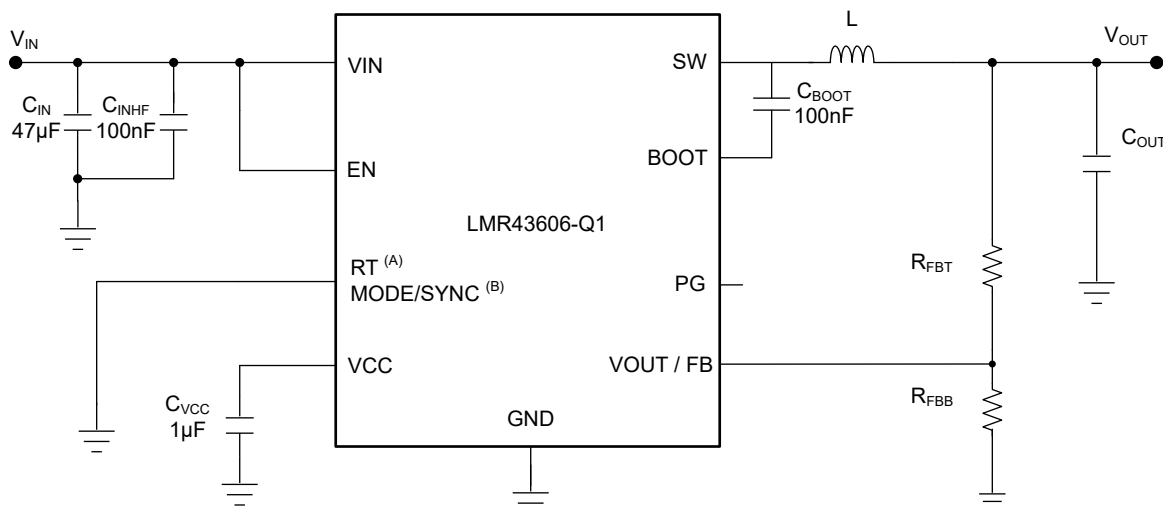
LMR43606-Q1 降圧 DC/DC コンバータは、高い DC 電圧を低い DC 電圧に変換するために使われることが一般的です。LMR43606-Q1 の最大出力電流は 0.6A です。LMR43606-Q1 の部品を選択する際には、次の設計手順を使用します。

注

以下のアプリケーション情報に記載されているすべての容量値は、特に記述のない限り実効値を指しています。実効値は、定格値や銘板値ではなく、DC バイアスおよび温度における実際の容量として定義されます。X7R 以上の誘電体を使用した、高品質で低 ESR のセラミック コンデンサを全体にわたって使用してください。値の大きいセラミック コンデンサは、すべて、通常の許容誤差と温度効果に加えて、電圧係数が大きくなります。DC バイアスを印加すると、静電容量は大幅に低下します。この点については、ケース サイズが大きく、より高い電圧定格のものが望ましいです。これらの影響を軽減するために、複数のコンデンサを並列に使用すれば、最小実効静電容量を必要な値まで大きくすることができます。これにより、個別のコンデンサの RMS 電流要件も緩和されます。「実効」静電容量の最小値を確実に実現するために、コンデンサ バンクのバイアスおよび温度変動を慎重に検討する必要があります。

8.2 代表的なアプリケーション

図 8-1 に、LMR43606-Q1 の代表的なアプリケーション回路を示します。本デバイスは、幅広い外付け部品とシステム パラメータで機能するように設計されています。しかし、内部補償は、一定の範囲の外付けインダクタンスおよび出力容量に合わせて設計されています。クイックスタート ガイドとして、最も一般的な出力電圧範囲に対する標準的な部品の値を示します。



- A. 外部調整可能スイッチング周波数 RT バリエーションの場合のみ、RT ピンは工場出荷時に設定済みです。このピンを GND に接続すると、スイッチング周波数は 2.2MHz になります。詳細については、[セクション 7.3.3](#) を参照してください。
- B. 固定周波数の MODE/SYNC バリエーションの場合のみ、MODE/SYNC ピンは工場出荷時に設定済みです。このピンを GND に接続すると、自動モードになります。詳細については、[セクション 7.3.2](#) を参照してください。

図 8-1. アプリケーション回路例

表 8-1. 調整可能な出力 LMR43606-Q1 における外付け部品の標準値

$f_{sw}^{(1)}$ (2) (kHz)	V_{OUT} (V)	L (µH)	公称 C_{OUT} (定格容量)	$R_{FBT}^{(3)}$ (kΩ)	R_{FBB} (kΩ)	C_{IN}	C_{BOOT}	C_{VCC}
400	3.3	33	3 × 22µF	33.2	14.3	4.7µF + 1 × 100nF	100nF	1µF
2200	3.3	4.7	1 × 22µF	33.2	14.3	4.7µF + 1 × 100nF	100nF	1µF
400	5	47	3 × 22µF	49.9	12.4	4.7µF + 1 × 100nF	100nF	1µF
2200	5	5.6	1 × 22µF	49.9	12.4	4.7µF + 1 × 100nF	100nF	1µF

- (1) インダクタ値は一般的な $V_{IN} = 12V$ に基づき計算されます。
- (2) ここに示すスイッチング周波数は、デバイスのバリエーションに応じて、さまざまな方法で実現できます。RT デバイスについては、[セクション 7.3.3](#) を参照してください。MODE/SYNC デバイスについては、[セクション 7.3.2](#) を参照してください。
- (3) 上記の範囲外の R_{FBT} と R_{FBB} の値については、[セクション 8.2.2.1](#) を参照してください。

表 8-2. 固定出力 LMR43606-Q1 における外付け部品の標準値

f_{sw} (kHz)	V_{OUT} (V)	L (µH)	公称 C_{OUT} (定格容量)	R_{FBT} (kΩ)	R_{FBB} (kΩ)	C_{IN}	C_{BOOT}	C_{VCC}
400	3.3	33	3 × 22µF	0	DNP	4.7µF + 1 × 100nF	100nF	1µF
2200	3.3	4.7	1 × 22µF	0	DNP	4.7µF + 1 × 100nF	100nF	1µF
400	5	47	3 × 22µF	0	DNP	4.7µF + 1 × 100nF	100nF	1µF
2200	5	5.6	1 × 22µF	0	DNP	4.7µF + 1 × 100nF	100nF	1µF

8.2.1 設計要件

セクション 8.2.2 に、表 8-3 に基づく詳細な設計手順を示します。

表 8-3. 詳細設計パラメータ

設計パラメータ	数値の例
入力電圧	12V、(4V ~ 36V)
出力電圧	3.3V
最大出力電流	0A ~ 0.6A
スイッチング周波数	2200kHz

8.2.2 詳細な設計手順

以下の設計手順は、図 8-1 と表 8-2 に適用されます。

8.2.2.1 スwitchング周波数の選択

スイッチング周波数の選択は、変換効率と設計全体のサイズとのトレードオフとなります。スイッチング周波数を低くすると、スイッチング損失は減少し、一般的にシステム効率が高くなります。一方、スイッチング周波数を高くすると、より小型のインダクタと出力コンデンサを使用できるようになるため、よりコンパクトな設計が可能となります。この例では、**2200kHz** を使用します。

8.2.2.2 出力電圧の設定

デバイスの **VOUT/FB** ピンは、出力コンデンサに直接接続、または帰還抵抗デバイダの midpoint に接続できます。出力コンデンサに直接接続すると、デバイスは固定出力オプションとして動作します。**3.3V** または **5V** 固定出力オプションは、工場で個々のデバイスごとに固有の調整が行われます。固定出力電圧バリエーションの選択についてはセクション 4 を参照してください。

8.2.2.2.1 可変出力用 FB

他の電圧が望ましい場合は、**VOUT/FB** ピンを帰還抵抗デバイダに接続して、出力電圧を設定できます。分圧回路は **R_{FBT}** と **R_{FBB}** で構成され、出力電圧とコンバータの間のループを閉じています。コンバータは、**FB** ピン電圧を内部基準電圧 (**V_{REF}**) と同じ電圧に保持することで、出力電圧をレギュレートします。コンバータは、起動時に帰還経路の抵抗を検出することで、固定出力電圧と可変出力電圧のどちらが必要かを判断します。コンバータが希望する出力電圧を確実にレギュレートするように、**R_{FBT}** と **R_{FBB}** を並列接続した場合の抵抗値は、式 6 に示す通り、その最小値を **5kΩ** (標準値)、最大値を **10kΩ** (標準値) にしてください。式 7 は、**R_{FBT}** の値を決定するための出発点として使用できます。各種出力電圧に対応する抵抗値の一覧は、表 8-4 を参照してください。

$$5\text{ k}\Omega < R_{FBT} || R_{FBB} \leq 10\text{ k}\Omega \quad (6)$$

$$R_{FBT} \leq 10\text{ k}\Omega \times \frac{V_{OUT}}{1V} \quad (7)$$

表 8-4. 各種出力電圧に対する帰還抵抗の推奨値

V _{OUT} (V)	R _{FBT} ⁽¹⁾ (kΩ)	R _{FBB} (kΩ)
2.5	24.9	16.5
3.3	33.2	14.3
5	49.9	12.4
6	60.4	12.1
9	90.9	11.3

(1) 1%の標準抵抗値に基づいた **R_{FBT}** および **R_{FBB}**

この **3.3V** の例では、「**LMR43606MSC3RPERQ1**」を選択して、**VOUT/FB** ピンを出力コンデンサに直接接続できます。

8.2.2.3 インダクタの選択

インダクタを選択するためのパラメータはインダクタンスと飽和電流です。目的のピーク ツー ピーク インダクタ リップル電流がデバイスの最大出力電流定格の 20%～40% の範囲に収まるように、インダクタを選択します。このデバイスで利用可能な最大電流よりも最大負荷電流の方がはるかに小さいアプリケーションの場合でも、リップル電流を選択する際はデバイスの最大電流を使用してください。式 8 を使用して、インダクタンスの値を決定することができます。定数 K はインダクタ電流リップルのパーセンテージです。この例では、 $K = 0.4$ を選択して、 $L = 4.53\mu\text{H}$ のインダクタンスを求めます。標準値である $4.7\mu\text{H}$ を選択します。

$$L = \frac{(V_{IN} - V_{OUT})}{f_{SW} \times K \times I_{OUTmax}} \times \frac{V_{OUT}}{V_{IN}} \quad (8)$$

理想的には、インダクタの飽和電流定格は、ハイサイド スイッチの電流制限値 $I_{PEAKMAX}$ 以上にする必要があります (セクション 6.5 を参照)。この大きさであれば、出力の短絡時にもインダクタが飽和しないようになります。インダクタのコア材が飽和すると、インダクタンスは非常に小さい値に低下し、インダクタ電流は急増します。バレー電流制限値 I_{VALMAX} は、電流が暴走しづらいように設計されているとはいえ、インダクタが飽和することで電流値が急増する可能性があります。このイベントは部品の損傷につながる可能性があります。したがって、インダクタを飽和させないようにしてください。フェライト コア材を採用したインダクタは飽和特性が非常に急峻ですが、コア損失は通常、圧粉コアよりも小さいです。圧粉コアは穏やかな飽和特性を示すため、インダクタの電流定格をある程度緩和できます。ただし、圧粉コアは約 1MHz を超える周波数でコア損失が大きくなります。いずれにしても、インダクタの飽和電流が、全負荷時のピーク インダクタ電流の最大値よりも小さくならないようにする必要があります。

最大インダクタンスは、電流モード制御を正しく行うために必要な最小電流リップルによって制限されます。決め事として、インダクタの最小リップル電流は、公称条件でのデバイスの最大定格電流の約 10% 以上とする必要があります。

8.2.2.4 出力コンデンサの選択

LMR43606-Q1 デバイスは、電流モード制御方式により、広い範囲の出力容量で動作できます。出力コンデンサ バンクは、通常、出力電圧リップルではなく負荷過渡要件および安定性によって制限されます。3.3V および 5V 出力電圧に対する標準的な出力コンデンサ値については、表 8-1 を参照してください。表 8-1 に基づき、3.3V 出力の設計では、この例で推奨される $2 \times 22\mu\text{F}$ のセラミック出力コンデンサを選択できます。他の出力電圧の設計では、出力コンデンサの値を選択するための出発点として WEBENCH を使用できます。

実際には、過渡応答とループ位相 マージンに最も影響を与えるのは出力コンデンサです。負荷過渡テストおよびボード線図は、特定の設計を検証する最善の方法であり、アプリケーションを量産に移行する前に必ず完了する必要があります。必要な出力容量に加えて、出力に小さなセラミックコンデンサを配置すると、高周波ノイズの低減に役立ちます。小さいケース サイズで $1\text{nF} \sim 100\text{nF}$ の範囲のセラミック コンデンサは、インダクタや基板の寄生成分に起因する出力のスパイクを低減するのに非常に役立ちます。

合計出力容量の最大値は、設計値の約 10 倍、または $1000\mu\text{F}$ のどちらか小さい方に制限します。出力容量の値が大きいと、レギュレータのスタートアップ動作やループの安定性に悪影響を及ぼす可能性があります。ここに記載した値よりも大きい値を使用する必要がある場合、全負荷でのスタートアップおよびループ安定性を慎重に検討する必要があります。

8.2.2.5 入力コンデンサの選択

セラミック入力コンデンサは、レギュレータに低インピーダンス ソースを供給するだけでなく、リップル電流を供給して、他の回路からスイッチング ノイズを絶縁します。LMR43606-Q1 の入力には、少なくとも $4.7\mu\text{F}$ のセラミック コンデンサが必要です。これは、少なくともアプリケーションが必要とする最大入力電圧を定格とする必要があり、可能であれば、最大入力電圧の 2 倍が推奨されます。この容量を増やすことで、入力電圧リップルを低減し、負荷過渡時の入力電圧を維持できます。また、小さいケース サイズの 100nF セラミック コンデンサを入力に使用し、レギュレータのできるだけ近くに配置する必要があります。LMR43606MQ3EVM-2M の場合、このコンデンサはレギュレータから約 0.4mm 離して配置されています。この配置により、デバイス内部の制御回路に高周波バイパスができます。この例では、 $4.7\mu\text{F}$ 、50V、X7R (またはそれ以上) のセラミック コンデンサを選択しています。また、 100nF コンデンサも、X7R 誘電体を使用した 50V 定格品とする必要があります。

多くの場合、入力にセラミックと並列に電解コンデンサを使用することが推奨されます。これは、長い配線またはパターンを使って入力電源をレギュレータに接続する場合に特に当てはまります。このコンデンサに中程度の ESR を持つコンデンサを使うことは、長い電源配線によって生じる入力電源のリンギングを減衰させるのに有効です。この追加コンデンサの使用は、インピーダンスの非常に高い入力電源によって生じる電圧低下の防止にも有効です。

入力スイッチング電流のほとんどは、セラミック入力コンデンサを流れます。この電流の RMS 近似値は式 9 から計算でき、メーカーの最大定格に照らしてチェックする必要があります。

$$I_{RMS} \cong \frac{I_{OUT}}{2} \quad (9)$$

8.2.2.6 C_{BOOT}

LMR43606-Q1 では、BOOT ピンと SW ピンの間にブートストラップ コンデンサを接続する必要があります。このコンデンサは、パワー MOSFET のゲートドライバに電力を供給するために使用するエネルギーを蓄積します。16V 以上の 100nF 高品質セラミック コンデンサが必要です。

8.2.2.7 VCC

VCC ピンは、レギュレータの制御回路に電力を供給するために使用される内部 LDO の出力です。この出力を適切に動作させるには、VCC と GND との間に 1μF、16V のセラミックコンデンサを接続する必要があります。一般に、この出力に負荷として外部回路を接続できません。ただし、この出力は、パワー グッド機能のプルアップに電力を供給するために使えます (セクション 7.3.4 を参照)。この場合では、10kΩ ~ 100kΩ の範囲の抵抗値が適切な選択となります。VCC の公称出力電圧は 3.3V です。限界値については、セクション 6.5 を参照してください。

8.2.2.8 C_{FF} の選択

場合によっては、R_{FBT} の両端にフィードフォワード コンデンサを接続して、負荷過渡応答やループ位相マージンを改善できます。『内部的に補正される、フィードフォワード コンデンサを持つ DC/DC コンバータの過渡応答の最適化』アプリケーション レポートは、フィードフォワード コンデンサの実験に役立ちます。

可変出力電圧設定の場合、帰還検出回路の性質上、希望する出力電圧が確実に達成されるように、C_{FF} の値を制限する必要があります。C_{FF} が確実に最大値を下回るように、式 10 に従ってください。

$$C_{FF} < C_{OUT} \times \frac{\sqrt{V_{OUT}}}{1.2 M\Omega} \quad (10)$$

8.2.2.9 外部 UVLO

場合によっては、本デバイスが内部的に備えているものとは異なる入力 UVLO レベルが必要とされることがあります。このレベルは、図 8-2 に示す回路を使うことで実現できます。本デバイスがオンする入力電圧を V_{ON}、オフする入力電圧を V_{OFF} と表します。まず R_{ENB} の値を 10kΩ ~ 100kΩ の範囲で選択した後、式 11 と式 12 を使って R_{ENT} と V_{OFF} をそれぞれ計算します。

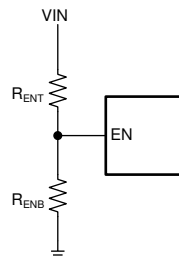


図 8-2. 外部 UVLO アプリケーション用のセットアップ

$$R_{ENT} = \left(\frac{V_{ON}}{V_{EN} - V_{OFF}} - 1 \right) \times R_{ENB} \quad (11)$$

$$V_{OFF} = V_{ON} \times \left(1 - \frac{V_{EN-HYS}}{V_{EN-VOUT}}\right) \quad (12)$$

ここで、

- V_{ON} は V_{IN} のターンオン電圧、
- V_{OFF} は V_{IN} のターンオフ電圧です。

8.2.2.10 最大周囲温度

他の電力変換デバイスと同様に、LMR43606-Q1 は動作中に内部で電力を消費します。この消費電力の影響により、コンバータの内部温度が周囲温度よりも高くなります。内部ダイ温度 (T_J) は、周囲温度、電力損失、デバイスと PCB の組み合わせの実効熱抵抗 $R_{\theta JA}$ の関数です。LMR43606-Q1 の最大接合部温度は、150°C に制限する必要があります。この制限により、デバイスの最大消費電力が制限され、それに伴って負荷電流も制限されます。式 13 に、重要なパラメータ間の関係を示します。周囲温度 (T_A) が高いほど、また、 $R_{\theta JA}$ が大きいほど、利用可能な最大出力電流が低減されます。コンバータの効率は、このデータシートに示す曲線を使用して推定できます。いずれかの曲線に目的の動作条件が見つからない場合は、補間によって効率を推定できます。または、目的のアプリケーション要件に合わせて EVM を調整し、効率を直接測定することもできます。 $R_{\theta JA}$ の正確な値を推定するのは、より困難です。詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

$$I_{OUT} \Big|_{MAX} = \frac{(T_J - T_A)}{R_{\theta JA}} \times \frac{\eta}{(1 - \eta)} \times \frac{1}{V_{OUT}} \quad (13)$$

ここで、

- η は効率です。

実効 $R_{\theta JA}$ は重要なパラメータであり、以下のような多くの要因に依存します。

- 消費電力
- 空気温度とフロー
- PCB 面積
- 銅箔ヒートシンク面積
- パッケージの下にあるサーマルビアの数
- 隣接する部品の配置

式 14 を使用して、特定の動作条件に対する IC の接合部温度を推定します。

$$T_J \cong T_A + R_{\theta JA} \times IC \text{ Power Loss} \quad (14)$$

ここで、

- T_J は IC の接合部温度 (°C)。
- T_A は周囲温度 (°C)。
- $R_{\theta JA}$ は熱抵抗 (°C/W)。
- IC 電力損失は、その IC の電力損失 (W)。

上述の IC の電力損失は、全体の電力損失からインダクタの DC 抵抗に起因する損失を減算したものです。総合的な電力損失は、特定の動作条件と温度に対して WEBENCH を使用して概算できます。

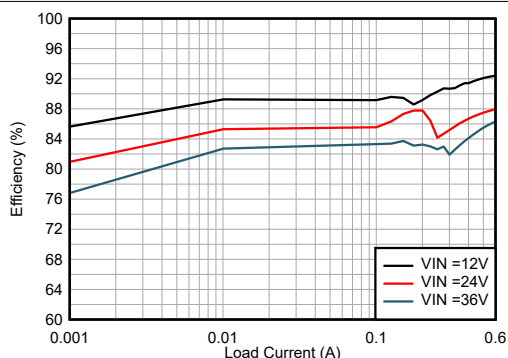
最適な PCB 設計および特定のアプリケーション環境における $R_{\theta JA}$ を推定するためのガイドとして、以下の資料を使用してください。

- 『過去ではなく、現在の識見による熱設計』アプリケーション レポート
- 『露出パッド パッケージで最良の熱抵抗を実現するための基板レイアウト ガイド』アプリケーション レポート
- 『半導体および IC パッケージの熱評価基準』アプリケーション レポート
- LM43603 および LM43602 を使用した簡単な熱設計アプリケーション レポート
- 『PowerPAD™ 熱特性強化型パッケージ』アプリケーション レポート

- 『PowerPAD™ の簡単な使用法』アプリケーションレポート
- 『新しい熱評価基準の解説』アプリケーションレポート
- PCB 温度計算ツール

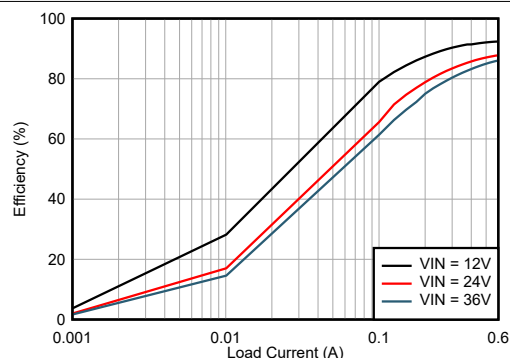
8.2.3 アプリケーション曲線

特記のない限り、次の条件が適用されます。 $V_{IN} = 12V$ 、 $T_A = 25^{\circ}C$ 。



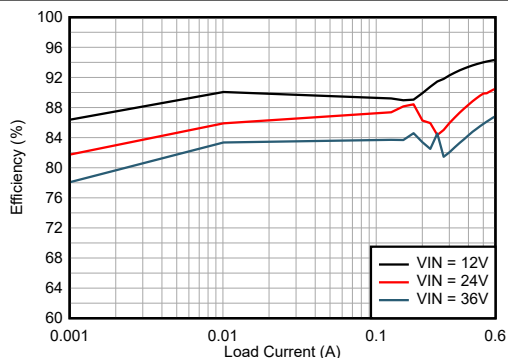
LMR43606MSC3 $V_{OUT} = 3.3V$ 2.2MHz (自動)
固定

図 8-3. 効率



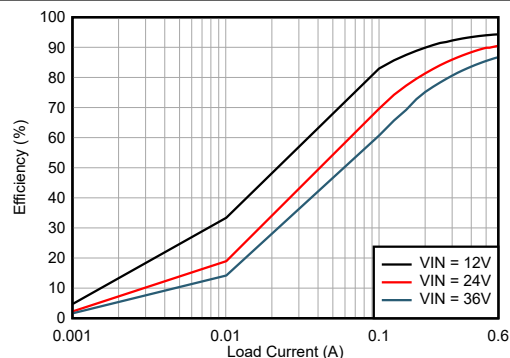
LMR43606MSC3 $V_{OUT} = 3.3V$ 2.2MHz (FPWM)
固定

図 8-4. 効率



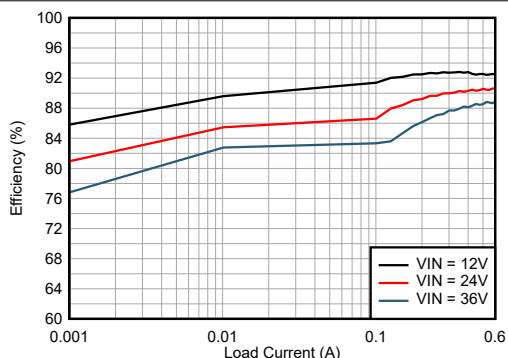
LMR43606MSC5 $V_{OUT} = 5V$ 2.2MHz (自動)
固定

図 8-5. 効率



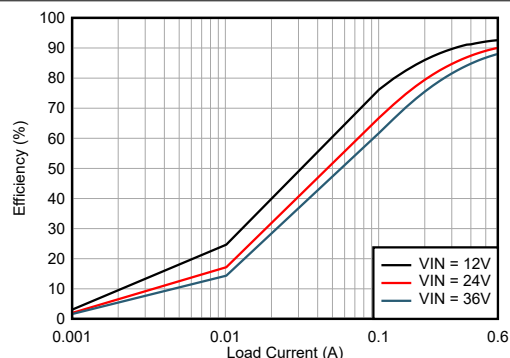
LMR43606MSC5 $V_{OUT} = 5V$ 2.2MHz (FPWM)
固定

図 8-6. 効率



LMR43606RS3 $V_{OUT} = 3.3V$ 400kHz (自動)
固定

図 8-7. 効率

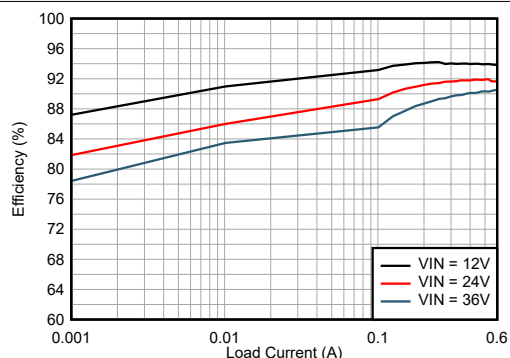


LMR43606MSC3 $V_{OUT} = 3.3V$ 400kHz (FPWM)
固定

図 8-8. 効率

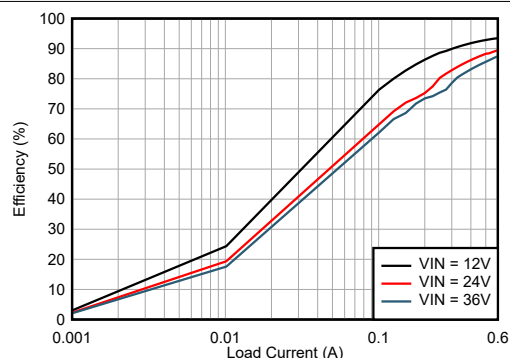
8.2.3 アプリケーション曲線 (続き)

特記のない限り、次の条件が適用されます。 $V_{IN} = 12V$ 、 $T_A = 25^{\circ}C$ 。



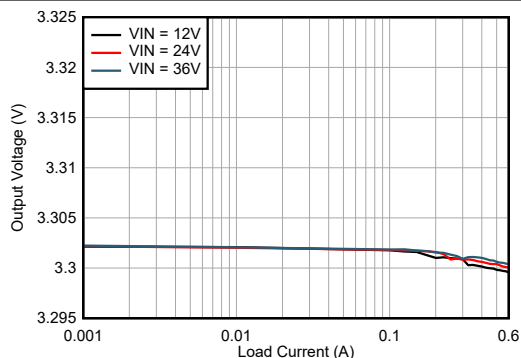
LMR43606RS5 $V_{OUT} = 5V$ 400kHz (自動)
固定

図 8-9. 効率



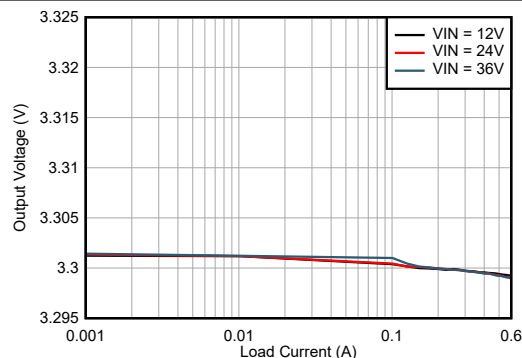
LMR43606MSC5 $V_{OUT} = 5V$ 400kHz (FPWM)
固定

図 8-10. 効率



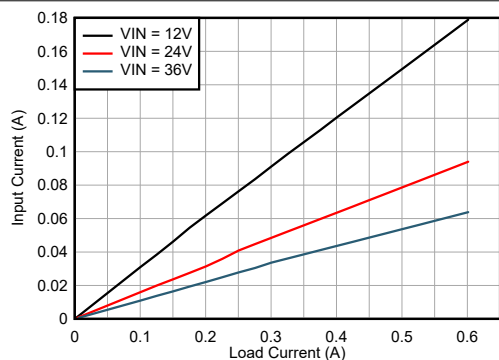
LMR43606MSC3 $V_{OUT} = 3.3V$ 2.2MHz (自動)
固定

図 8-11. ラインおよびロードレギュレーション



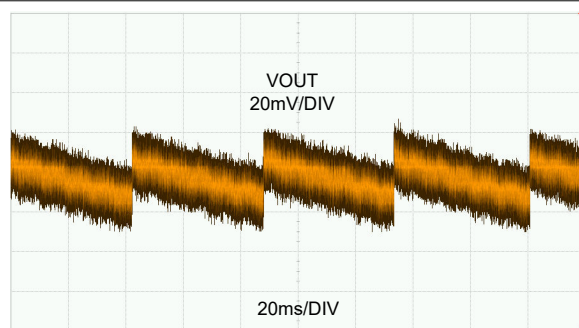
LMR43606MSC3 $V_{OUT} = 3.3V$ 400kHz (自動)
固定

図 8-12. ラインおよびロードレギュレーション



LMR43606MSC3 $V_{OUT} = 3.3V$ 2.2MHz (自動)
固定

図 8-13. 入力電流と負荷電流との関係

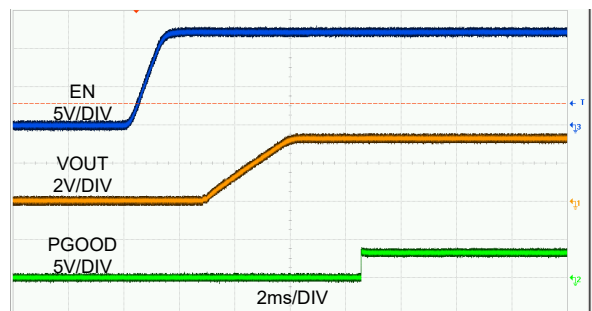


LMR43606MSC3 $V_{OUT} = 3.3V$ 2.2MHz (自動)
固定

図 8-14. 無負荷出力電圧リップル

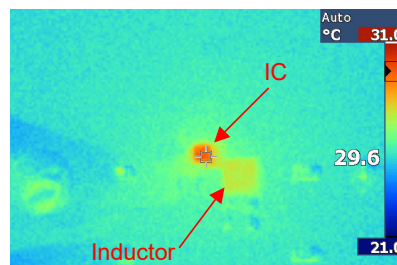
8.2.3 アプリケーション曲線 (続き)

特記のない限り、次の条件が適用されます。 $V_{IN} = 12V$ 、 $T_A = 25^{\circ}C$ 。



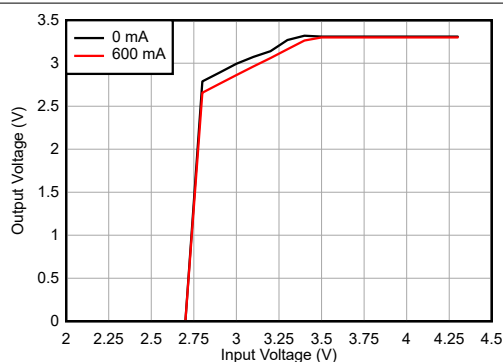
LMR43606MSC3 $V_{OUT} = 3.3V$ 固定 2.2MHz (自動)

図 8-15. スタートアップ



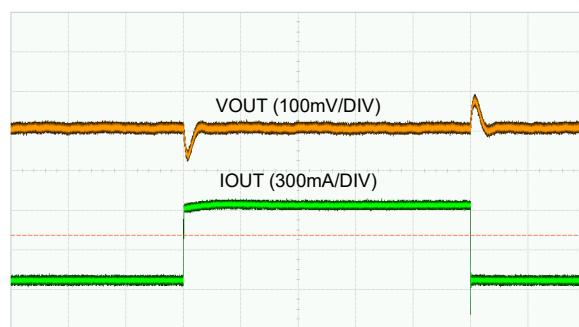
LMR43606MSC3 $V_{OUT} = 3.3V$ 12V_{IN}, 600mA, 2.2MHz (AUTO) 3.3V_{OUT}
固定

図 8-16. EVM の放熱特性



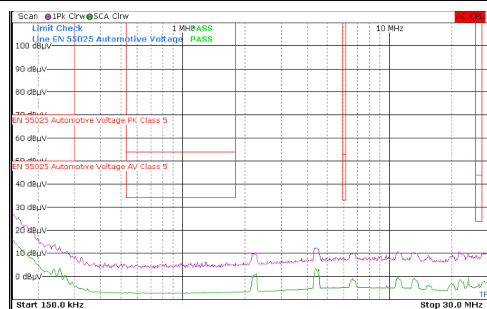
LMR43606MSC3 $V_{OUT} = 3.3V$ 2.2MHz (自動)
固定

図 8-17. ドロップアウト



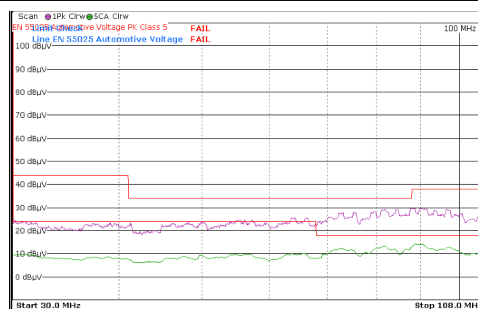
LMR43606MSC3 $V_{OUT} = 3.3V$ 2.2MHz (FPWM)
60mA~600mA, 固定
1A/μs

図 8-18. 負荷過渡応答



$V_{IN} = 13.5V$ $V_{OUT} = 3.3V$ $f_{SW} = 2.2MHz$
固定 負荷 = 0.6A

図 8-19. 標準的な CISPR 25 伝導 EMI 150kHz ~ 30MHz、紫：ピーク検出、緑：平均検出



$V_{IN} = 13.5V$ $V_{OUT} = 3.3V$ $f_{SW} = 2.2MHz$
固定 負荷 = 0.6A

図 8-20. 標準的な CISPR 25 伝導 EMI 30MHz ~ 108MHz、紫：ピーク検出、緑：平均検出

8.2.3 アプリケーション曲線 (続き)

特記のない限り、次の条件が適用されます。 $V_{IN} = 12V$ 、 $T_A = 25^\circ C$ 。

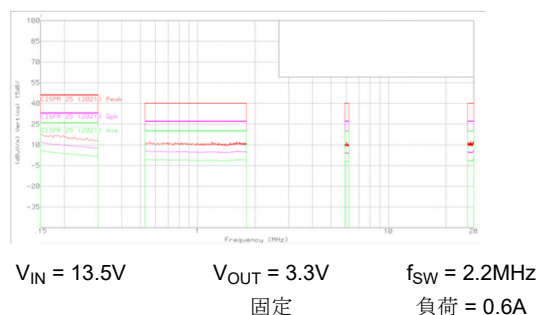


図 8-21. 標準的な CISPR 25 放射 EMI 150kHz ~ 30MHz ロッド アンテナ、赤：ピーク検出、緑：平均検出

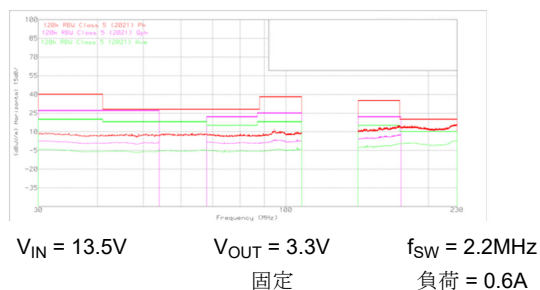


図 8-22. 標準 CISPR 25 放射 EMI 30MHz ~ 230MHz、垂直バイコニカルアンテナ、赤：ピーク検出、緑：平均検出

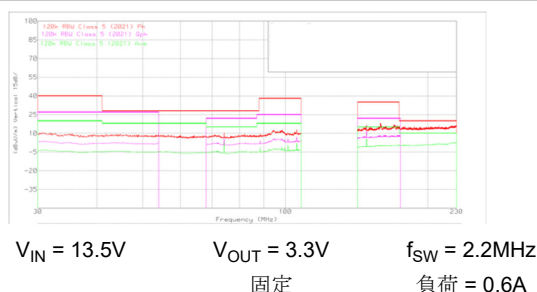


図 8-23. 標準 CISPR 25 放射 EMI 30MHz ~ 230MHz 水平バイコニカルアンテナ、赤：ピーク検出、緑：平均検出

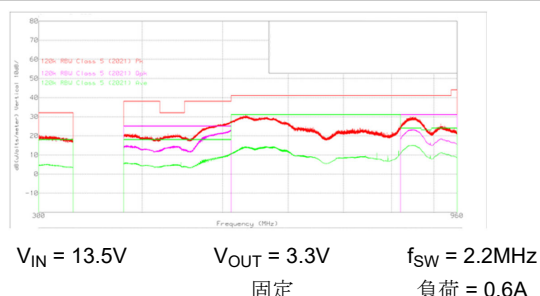


図 8-24. 標準 CISPR 25 放射 EMI 300MHz ~ 1GHz、垂直ログアンテナ、赤：ピーク検出、緑：平均検出

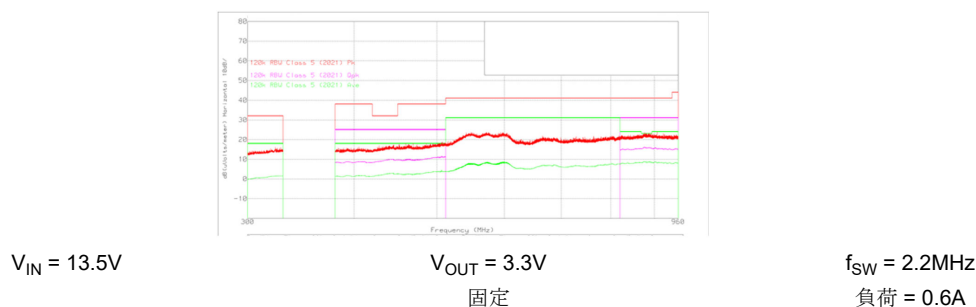


図 8-25. 標準 CISPR 25 放射 EMI 300MHz ~ 1GHz 水平ログアンテナ、赤：ピーク検出、緑：平均検出

8.2.3 アプリケーション曲線 (続き)

特記のない限り、次の条件が適用されます。 $V_{IN} = 12V$ 、 $T_A = 25^{\circ}C$ 。

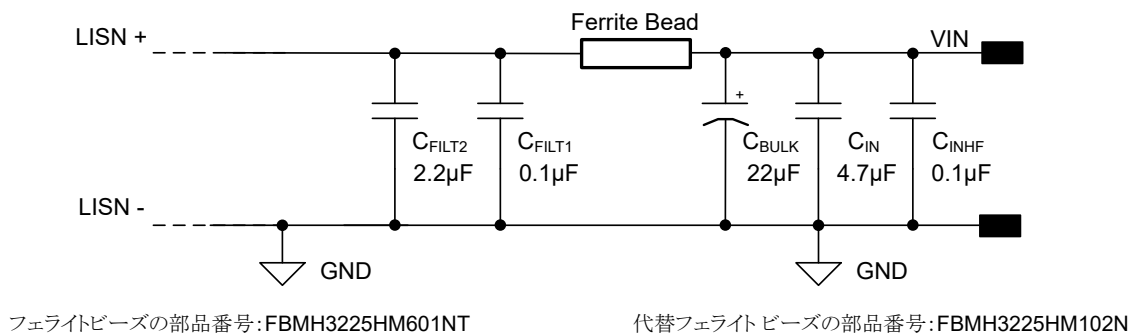
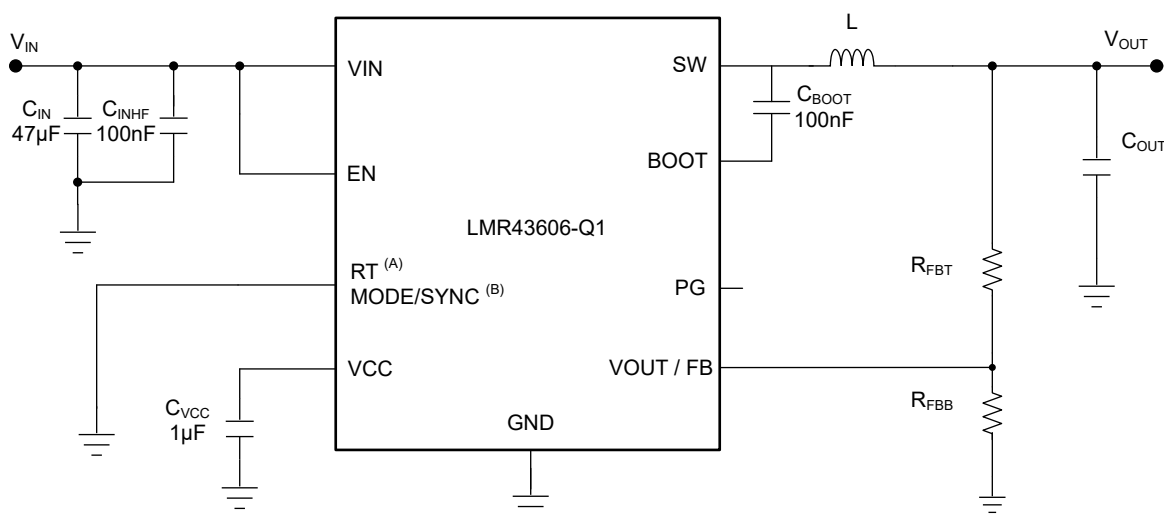


図 8-26. 標準入力 EMI フィルタ



- A. 外部調整可能スイッチング周波数 RT パリアントの場合のみ、RT ピンは工場出荷時に設定済みです。このピンを GND に接続すると、スイッチング周波数は 2.2MHz になります。詳細については、[セクション 7.3.3](#)を参照してください。
- B. 固定周波数の MODE/SYNC パリアントの場合のみ、MODE/SYNC ピンは工場出荷時に設定済みです。このピンを GND に接続すると、自動モードになります。詳細については、[セクション 7.3.2](#)を参照してください。

図 8-27. アプリケーション回路例

表 8-5. 代表的なアプリケーションの特性曲線で使われた BOM

U1	f_{sw}	V_{OUT}	L	公称 C_{OUT} (定格容量)	R _{FBT}	R _{FBB}	CFF
LMR43606MSC3RPERQ1	2200kHz	3.3V 固定	5.6µH、 31mΩ	2 × 22µF	0 Ω	DNP	DNP

8.3 設計のベスト プラクティス

- 絶対最大定格を超過してはなりません。
- 推奨動作条件を超過してはなりません。
- ESD レーティングを超過してはなりません。
- EN 入力をフローティングにしないでください。
- 出力電圧が入力電圧を超えないように、またグラウンドを下回らないようにしてください。
- 設計を量産用に確定する前に、このデータシートに記載されているすべてのガイドラインと推奨事項に従ってください。テキサス・インスツルメンツのアプリケーション エンジニアが、設計および PCB レイアウトの評価をサポートして、プロジェクトの成功を支援します。

8.4 電源に関する推奨事項

入力電源の特性は、このデータシートに記載されている[セクション 6](#) に適合している必要があります。また、入力電源は、負荷時のレギュレータに必要な入力電流を供給できる必要があります。平均入力電流は、[式 15](#) を使って見積もることができます。

$$I_{IN} = \frac{V_{OUT} \times I_{OUT}}{V_{IN} \times \eta} \quad (15)$$

ここで、

- η は効率です。

レギュレータを長いワイヤや PCB パターンで入力電源に接続している場合は、良好な性能を実現するために特別な注意が必要です。入力ケーブルの寄生インダクタンスと抵抗は、レギュレータの動作に悪影響を及ぼすおそれがあります。寄生インダクタンスは、低 ESR セラミック入力コンデンサとの組み合わせによって不足減衰共振回路を形成し、レギュレータへの入力での過電圧過渡の原因となる可能性があります。寄生抵抗は、出力に負荷過渡が加わった際に、VIN ピンの電圧が低下する原因となる可能性があります。アプリケーションが最小入力電圧に近い値で動作している場合、この低下によってレギュレータが瞬間的にシャットダウンし、リセットされる可能性があります。このような問題を解決する最善策は、入力電源からレギュレータまでの距離を制限するか、セラミックと同時にアルミニウムやタンタル入力コンデンサの使用を計画することです。この種のコンデンサの ESR は比較的低いため、入力共振回路の減衰およびオーバーシュートの低減に役立ちます。通常、20μF ~ 100μF の範囲の値は入力のダンピングに十分であり、大きな負荷過渡中も入力電圧を安定した状態に保持できます。

システムに関するその他の考慮事項として、レギュレータの前に入力フィルタが使われる場合があります。その際は、注意深く設計しないと、不安定性につながる可能性があり、上述の現象の一因ともなり得ます。[AN-2162『DC/DC コンバータ向け伝導 EMI の簡単な成功事例』アプリケーション レポート](#)では、スイッチング レギュレータの入力フィルタを設計する際に役立つ提案を紹介しています。

場合によっては、コンバータの入力に過渡電圧サプレッサ (TVS) が使われています。この素子の種類には、スナップバック特性を持つもの (サイリスタ型) があります。テキサス・インスツルメンツでは、このタイプの特性を持つデバイスの使用を推奨していません。このタイプの TVS が作動すると、クランプ電圧は非常に低い値に低下します。この電圧がレギュレータの出力電圧よりも低い場合、出力コンデンサは本デバイスを通して入力に向かって放電します。この制御されない電流は、デバイスに損傷を与える可能性があります。

8.5 レイアウト

8.5.1 レイアウトのガイドライン

あらゆる DC/DC コンバータにおいて、PCB レイアウトは設計の性能を最大限に引き出すうえで極めて重要です。PCB レイアウトが不適切な場合、適正な回路図設計の動作の妨げとなる可能性があります。コンバータが適切にレギュレートしている場合でも、PCB レイアウトが不適切では、堅牢な設計と量産できない設計という違いが生じる可能性があります。さらに、レギュレータの EMI 性能は、PCB レイアウトの影響を大きく受けます。降圧コンバータにおける PCB の最も重要な機能は、入力コンデンサと電源グラウンドによって形成されるループです ([図 8-28](#) を参照)。このループには、パターンのインダクタンスに応答して大きな過渡電圧を発生させる可能性がある大きな過渡電流が流れます。これらの望ましくない過渡

電圧は、コンバータの正常な動作を妨げます。このことから、寄生インダクタンスを低減するため、このループ内のパターンは広く短くする必要があります。ループの面積はできる限り小さくする必要があります。図 8-29 は、LMR43606-Q1 の重要な部品の推奨レイアウトを示しています。

- 入力コンデンサは、VIN および GND ピンにできる限り近づけて配置してください。
- VCC のバイパス コンデンサは、VCC ピンの近くに配置します。このコンデンサは、本デバイスの近くに配置し、短く広いパターンで VCC および GND ピンに配線する必要があります。
- C_{BOOT} コンデンサには広いパターンを使用します。C_{BOOT} コンデンサは、デバイスのできる限り近くに、BOOT および SW ピンに短くて幅の広いパターンで配置します。
- 帰還分圧器は、本デバイスの FB ピンのできるだけ近くに配置します。R_{FBB}、R_{FBT}、C_{FF} は、使用する場合、本デバイスに物理的に近付けて配置します。FB および GND への接続は、短くする必要があります。かつ本デバイスのそれらのピンに近付ける必要があります。V_{OUT} への接続は、多少長くなってもかまいません。ただし、後者のパターンは、レギュレータの帰還経路に静電容量結合する可能性があるすべてのノイズ源 (SW ノードなど) の近くには配線しないでください。
- 内層の 1 つを使って、少なくとも 1 つのグランド プレーンを配置します。このプレーンは、ノイズ シールドと放熱経路として機能します。
- VIN、VOUT、GND には広いパターンを使います。コンバータの入力または出力経路でのすべての電圧降下を低減し、効率を最大化するため、これらの配線はできるだけ広くかつ真っすぐにする必要があります。
- 適切なヒートシンクのために十分な PCB 領域を確保します。セクション 8.2.2.10 で述べたように、最大負荷電流と周囲温度に応じて、R_{θJA} を低く抑えるには十分な銅面積を使用する必要があります。PCB の上層と下層は 2 オンス銅箔とし、最低でも 1 オンス以上とする必要があります。PCB 設計に複数の銅層を使用している場合は (推奨設計)、これらのサーマル ビアも内部層の熱拡散グランド プレーンに接続することができます。
- スイッチングする領域は小さく保ちます。SW ピンをインダクタに接続する銅箔領域は、できるだけ短くかつ広くします。同時に、放射 EMI を低減するため、このノードの総面積を最小化する必要があります。

その他の重要なガイドラインについては、以下の PCB レイアウト資料を参照してください。

- 『スイッチング電源のレイアウトのガイドライン』アプリケーション レポート
- 『Simple Switcher PCB レイアウト ガイドライン』アプリケーション レポート
- 『独自電源の構築 - レイアウトの考慮事項』セミナー
- 『LM4360x および LM4600x による低放射 EMI レイアウトの簡単な設計』アプリケーション レポート

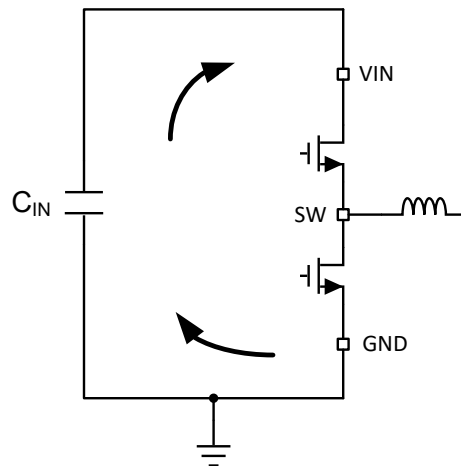


図 8-28. 高速エッジを持つ電流ループ

8.5.1.1 グランドと熱に関する考慮事項

前述のように、テキサス・インスツルメンツでは、中間層の 1 つをソリッド グランド プレーンとして使用することを推奨しています。グランド プレーンは敏感な回路やパターンのシールドとして機能するだけでなく、制御回路の低ノイズ基準電位を提供します。バイパス コンデンサの隣にあるビアを使用して、GND ピンをグランド プレーンに接続します。GND パターン

は、VIN および SW パターンと同様に、グランド プレーンの片方に固定する必要があります。グランド プレーンのもう片方はノイズが非常に少ないため、ノイズの影響を受けやすい配線に使用します。

GND ピンの近くに十分な面積の銅箔を配置することで、適切なデバイス ヒートシンクを設けることを推奨します。レイアウト例については、図 8-29 を参照してください。システムのグランド プレーンでは、効率の高い放熱のために、レイヤの上下に出来る限り多くの銅を使用します。4 つの層の銅厚が上からそれぞれ 2 オンス、1 オンス、1 オンス、2 オンスとなっている 4 層基板を使用します。十分な厚さの銅箔と適切なレイアウトを備えた 4 層基板は、低インピーダンスの電流導通、適切なシールド効果、低熱抵抗を実現します。

8.5.2 レイアウト例

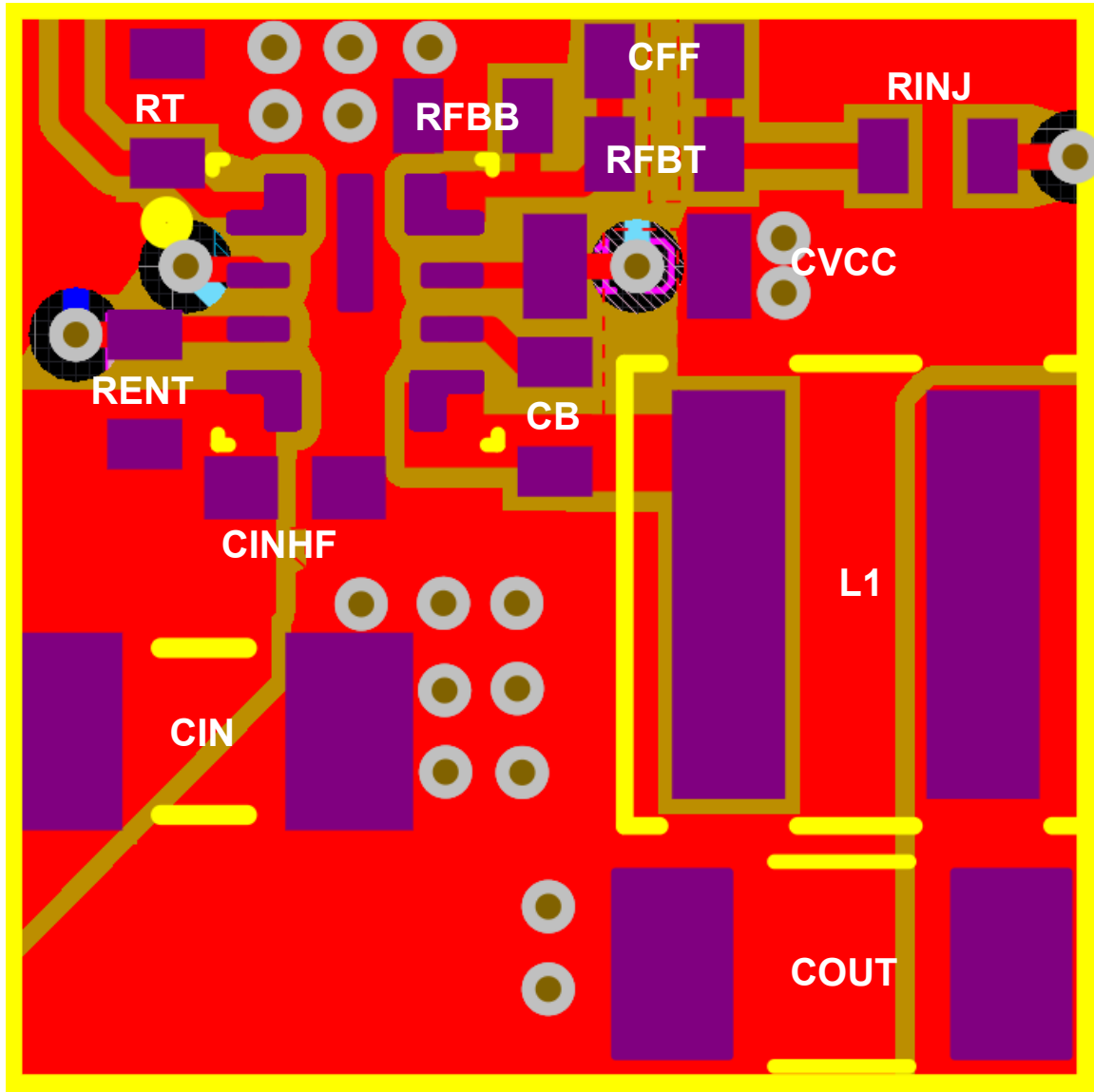


図 8-29. レイアウト例

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.1.2 デバイスの命名規則

図 9-1 に、LMR43606-Q1-Q1 のデバイス命名規則を示します。各バリエーションの特長については、[セクション 4](#) を参照してください。他のオプションの詳細と提供状況については、TI の販売代理店または TI の [E2E™ フォーラム](#) にお問い合わせください。

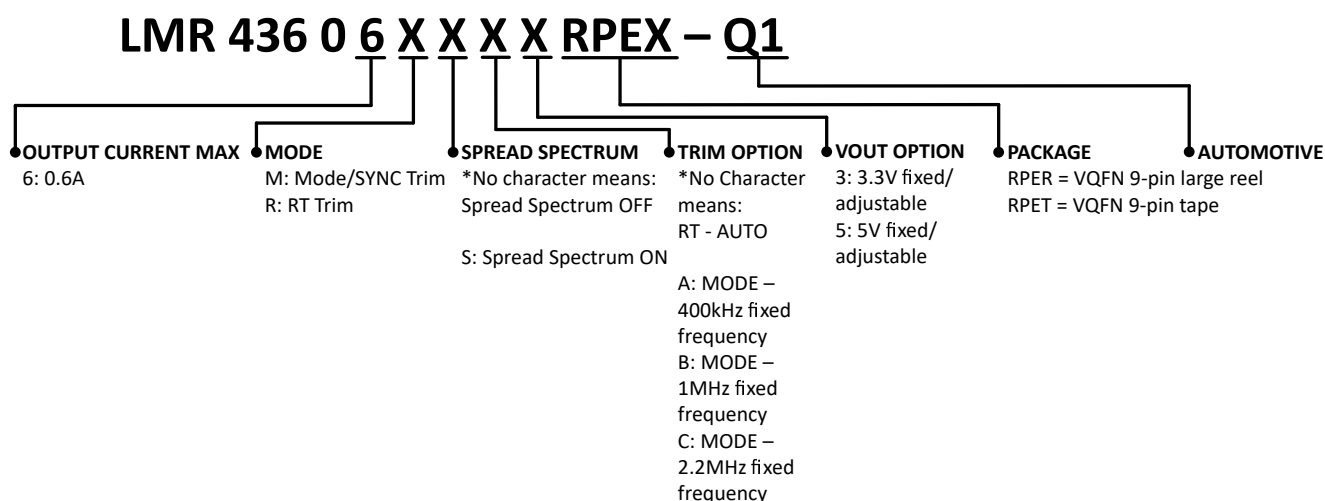


図 9-1. デバイスの命名規則

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『フィードフォワード コンデンサ付き内部補正 DC/DC コンバータの過渡応答の最適化』アプリケーション レポート
- テキサス・インスツルメンツ、『過去ではなく、現在の識見による熱設計』アプリケーション レポート
- テキサス・インスツルメンツ、『露出パッド パッケージで最良の熱抵抗を実現するための基板レイアウト ガイド』アプリケーション レポート
- テキサス・インスツルメンツ、『半導体および IC パッケージの熱評価基準』アプリケーション レポート
- テキサス・インスツルメンツ、『LM43603 および LM43602 によるシンプルな熱設計アプリケーション レポート』
- テキサス・インスツルメンツ、『熱特性強化型パッケージ PowerPAD™』アプリケーション レポート
- テキサス・インスツルメンツ、『PowerPAD™ 入門』アプリケーション レポート
- テキサス・インスツルメンツ、『新しい熱評価基準の解説アプリケーション レポート』
- テキサス・インスツルメンツ、『スイッチング電源のレイアウトのガイドライン』アプリケーション レポート
- テキサス・インスツルメンツ、『Simple Switcher PCB レイアウト ガイドライン』アプリケーション レポート
- テキサス・インスツルメンツ、『独自電源の構築 - レイアウトの考慮事項』セミナー

- テキサス・インスツルメンツ、『LM4360x および LM4600x による低放射 EMI レイアウトの簡単な設計』アプリケーション レポート
- テキサス インスツルメンツ、『AN-2162 DC/DC コンバータの伝導 EMI を簡単に抑える方法』アプリケーション レポート

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.5 商標

HotRod™, PowerPAD™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (January 2024) to Revision A (April 2026)	Page
• SW から GND への過渡仕様を追加.....	5
• 「可変スイッチング周波数 (RT 付き)」の「FSW」変数に (kHz) の単位を追加	14
• 「設計要件」で、最大静止電流を 0.6A から 2A に変更	29

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMR43606MSC3RPERQ1	Active	Production	VQFN-HR (RPE) 9	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	6M3Q
LMR43606MSC3RPERQ1.A	Active	Production	VQFN-HR (RPE) 9	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	6M3Q
LMR43606MSC5RPERQ1	Active	Production	VQFN-HR (RPE) 9	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	6M5Q
LMR43606MSC5RPERQ1.A	Active	Production	VQFN-HR (RPE) 9	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	6M5Q
LMR43606RS3RPERQ1	Active	Production	VQFN-HR (RPE) 9	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	6R3Q
LMR43606RS3RPERQ1.A	Active	Production	VQFN-HR (RPE) 9	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	6R3Q
LMR43606RS5RPERQ1	Active	Production	VQFN-HR (RPE) 9	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	6R5Q
LMR43606RS5RPERQ1.A	Active	Production	VQFN-HR (RPE) 9	3000 LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	6R5Q

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

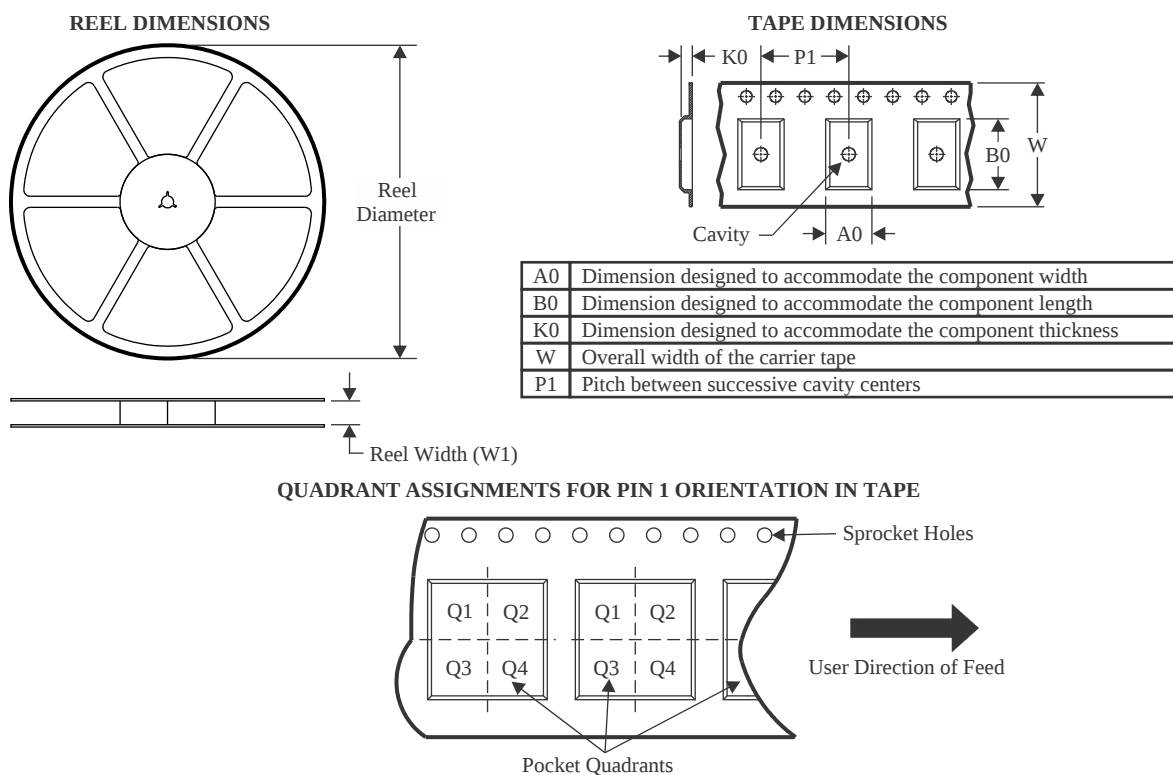
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

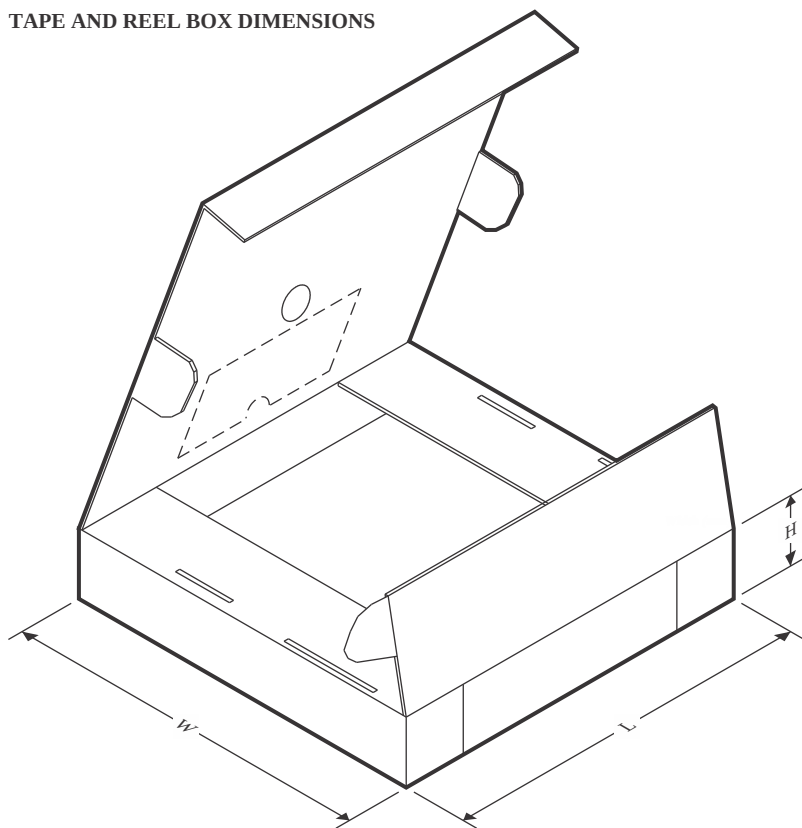
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMR43606MSC3RPERQ1	VQFN-HR	RPE	9	3000	180.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
LMR43606MSC5RPERQ1	VQFN-HR	RPE	9	3000	180.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
LMR43606RS3RPERQ1	VQFN-HR	RPE	9	3000	180.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
LMR43606RS5RPERQ1	VQFN-HR	RPE	9	3000	180.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMR43606MSC3RPERQ1	VQFN-HR	RPE	9	3000	213.0	191.0	35.0
LMR43606MSC5RPERQ1	VQFN-HR	RPE	9	3000	213.0	191.0	35.0
LMR43606RS3RPERQ1	VQFN-HR	RPE	9	3000	213.0	191.0	35.0
LMR43606RS5RPERQ1	VQFN-HR	RPE	9	3000	213.0	191.0	35.0

GENERIC PACKAGE VIEW

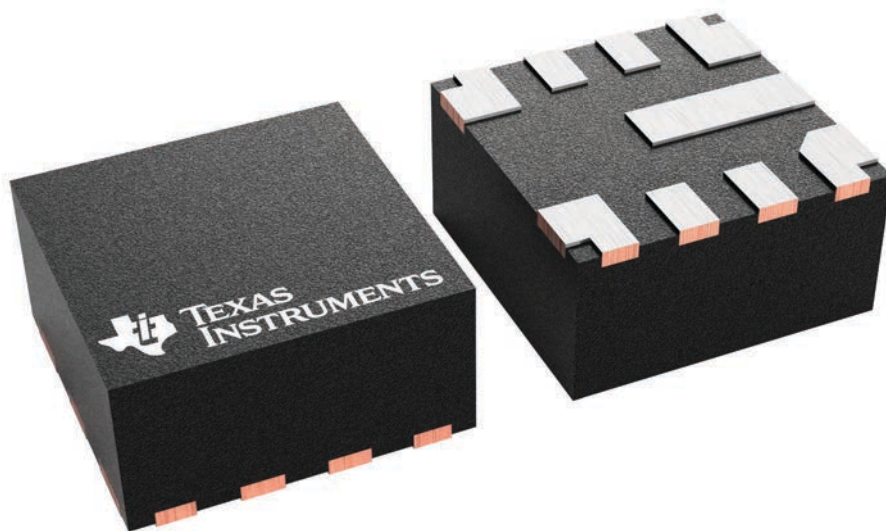
RPE 9

VQFN-HR - 1.0 mm max height

2 x 2, 0.5 mm pitch

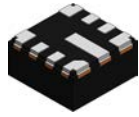
PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4227057/A

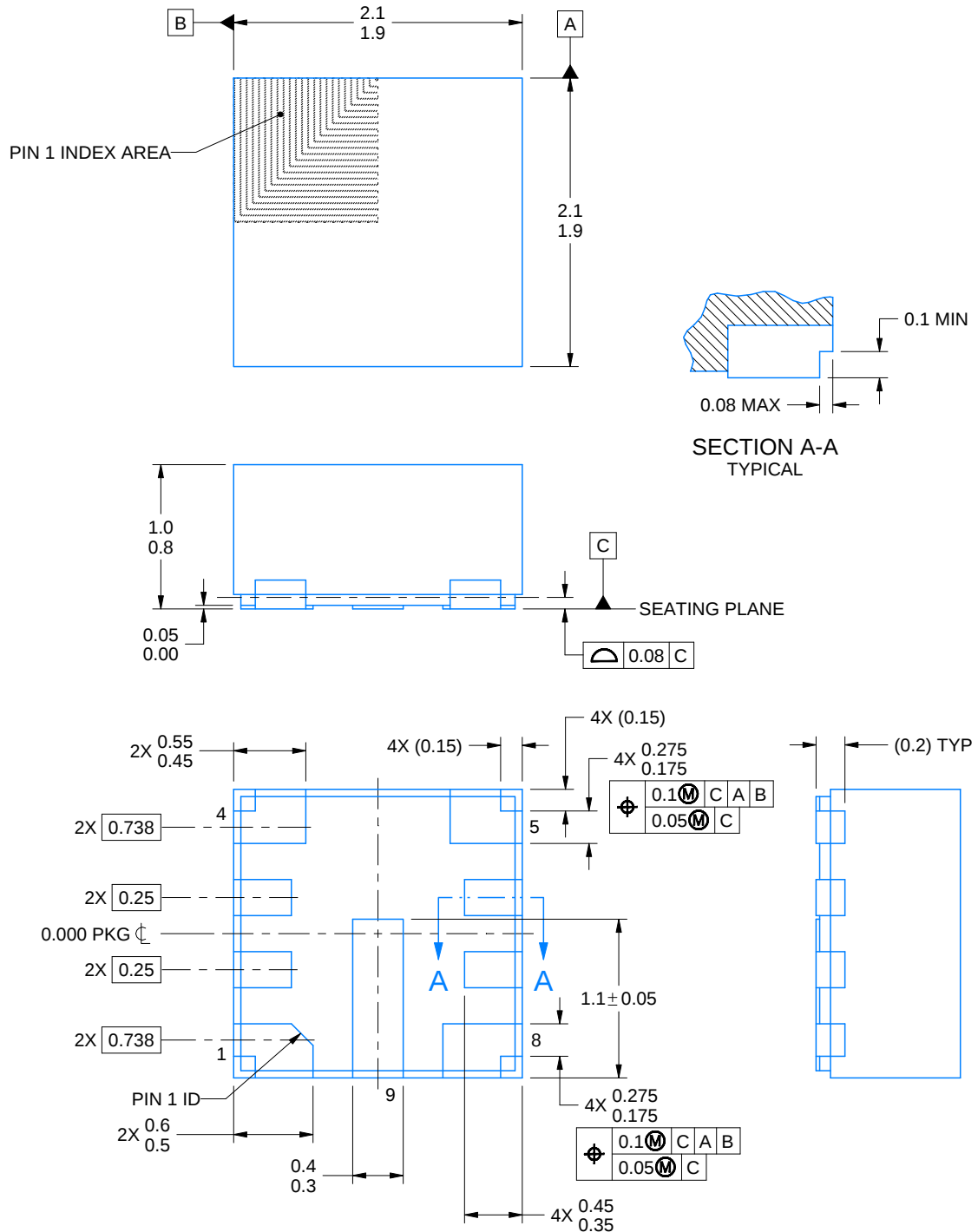
RPE0009A



PACKAGE OUTLINE

VQFN-HR - 1.0 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4224447/C 05/2025

NOTES:

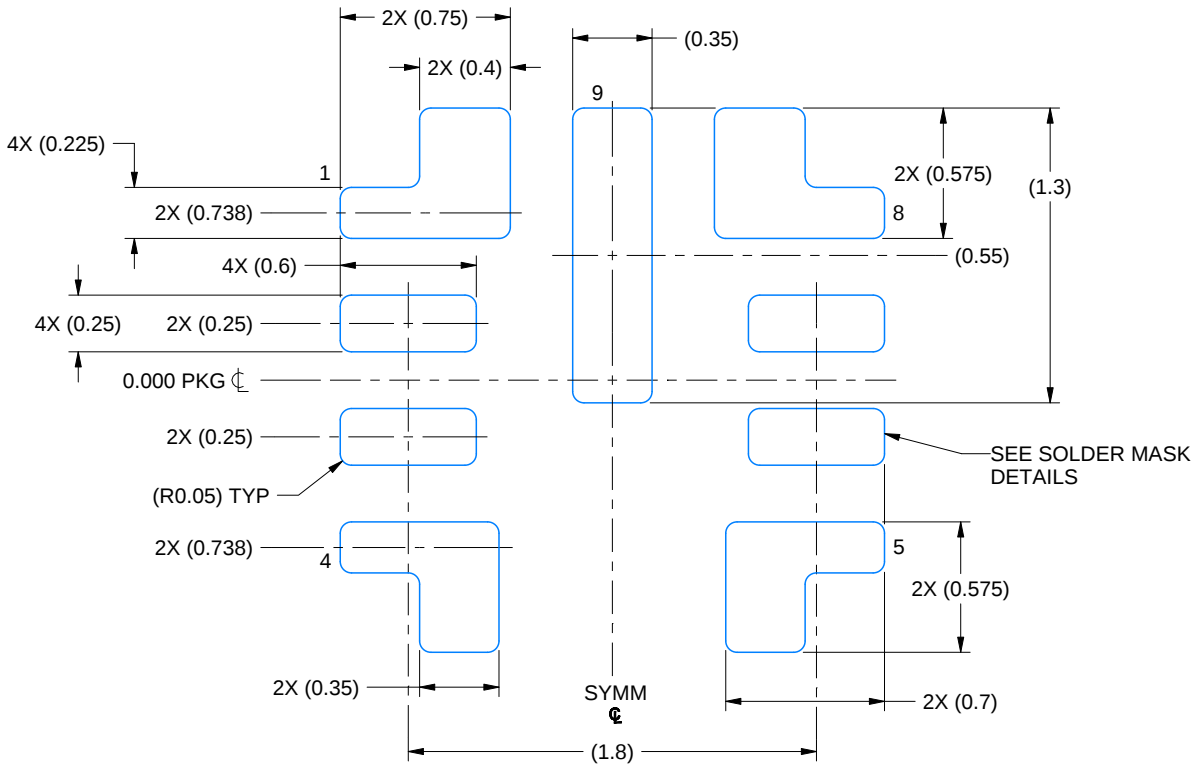
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

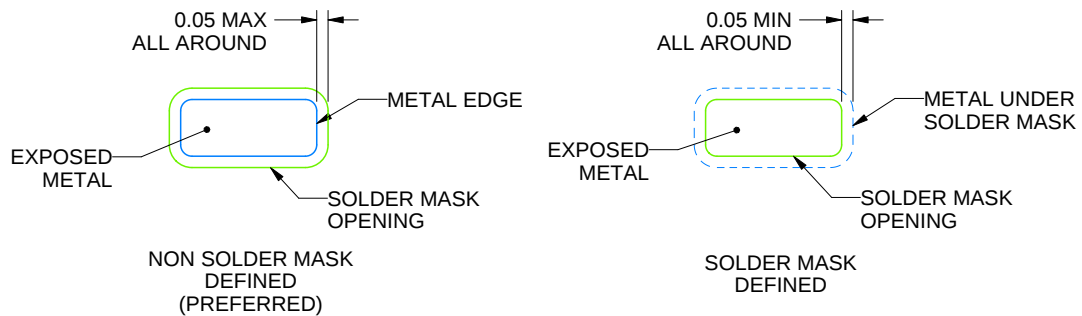
RPE0009A

VQFN-HR - 1.0 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 30X



SOLDER MASK DETAILS

4224447/C 05/2025

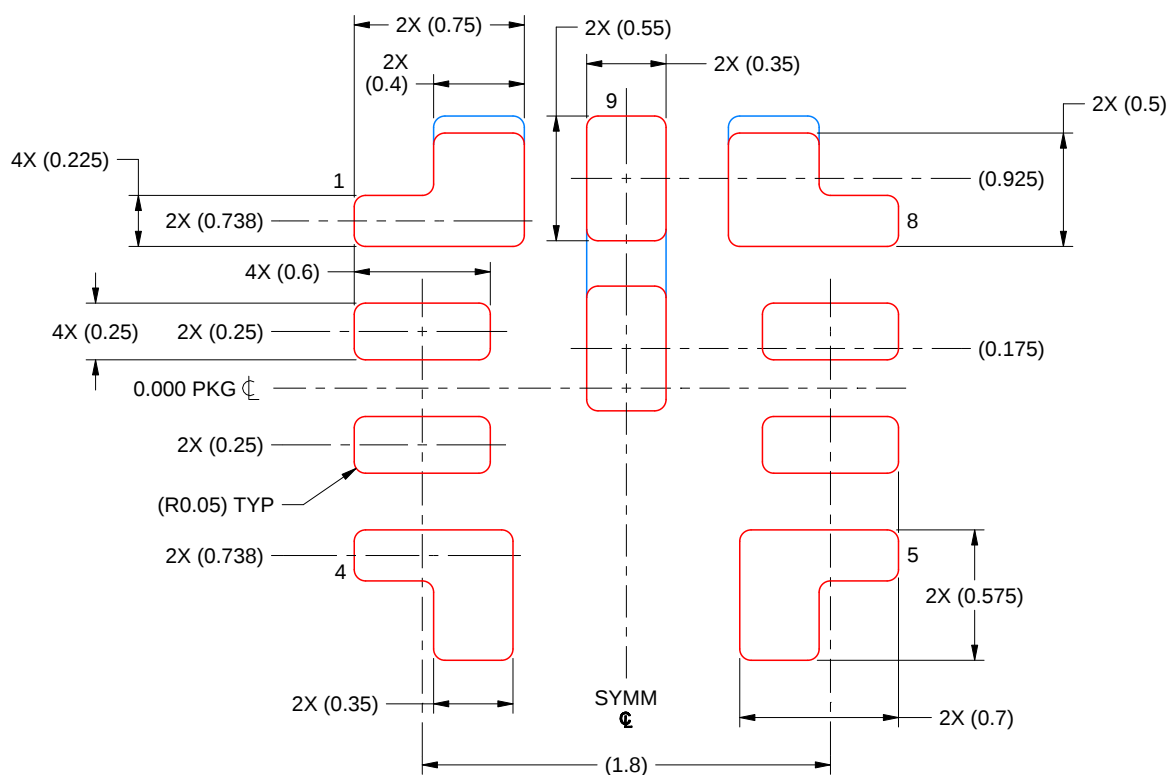
NOTES: (continued)

- For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

RPE0009A

VQFN-HR - 1.0 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 30X

PADS 1 & 8:
90% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PAD 9:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

DWG_NO:5/REV:5 MM_YYYY:5

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月