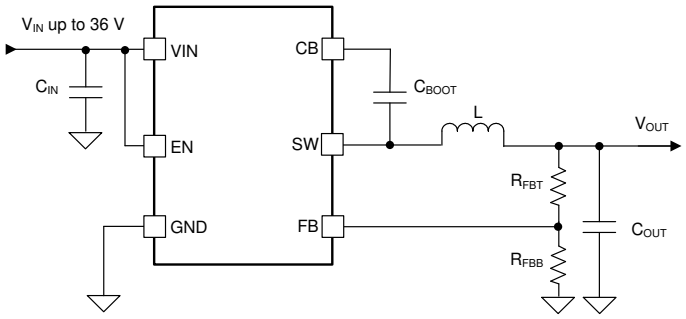
LMR544xx SIMPLE SWITCHER® パワー コンバータ、4V～45V、0.6A/1A 降圧コンバータ、、SOT-23 パッケージ

1 特長

- 機能安全対応
  - 機能安全システムの設計に役立つ資料を利用可能
- 堅牢な産業用アプリケーション向けの構成
  - 入力電圧範囲:4V～36V
  - 最大 50V の V_{IN} 短時間過渡耐性
  - 連続出力電流:0.6A/1A
  - 最小スイッチング オン時間:60ns
  - 1.1MHz の固定スイッチング周波数
  - 接合部温度範囲:-40℃～150℃
  - 最大デューティ サイクル:98%
  - プリバイアスされた出力への単調スタートアップ
  - ヒカップ モードによる短絡保護
  - 高精度のイネーブル
  - 基準電圧の許容誤差:±1%
- 小型の設計サイズと使いやすさ
  - 同期整流器内蔵
  - 使いやすさを実現した内部補償
  - SOT-23 パッケージ
- LMR14010A、LMR50410、TPS560430 とピン互換
- ピン互換パッケージの各種オプション
  - PFM および強制 PWM (FPWM) オプション

2 アプリケーション

- 主な家電製品
- PLC、DCS、PAC
- スマート・メーター
- V_{IN} が広い汎用電源



概略回路図

3 概要

LMR544xx は、最大 1A および 0.6A の負荷電流を駆動でき、V_{IN} が広く使いやすい同期整流降圧コンバータです。このデバイスは、4V～36V の広い入力電圧範囲で動作し、レギュレートされていない電源からの電源調整を行うさまざまな産業用アプリケーションに適しています。

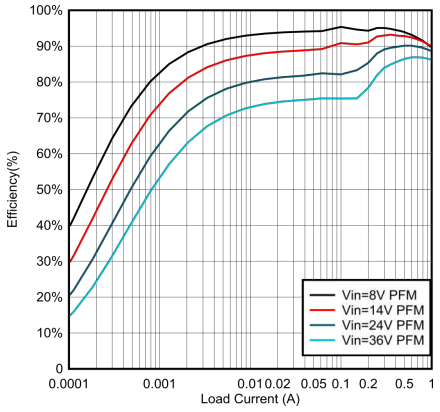
LMR544xx は 1.1MHz のスイッチング周波数で動作するため、比較的小型のインダクタを使用でき、設計サイズの最適化が可能です。このデバイスには、軽負荷時に高効率を実現する PFM バージョンと、一定の周波数を維持しながら、全負荷範囲にわたって出力電圧リップルが小さい FPWM バージョンがあります。ソフト スタートと補償回路を内蔵しており、最小限の外付け部品でデバイスを使用できます。

このデバイスには、サイクル単位の電流制限、ヒカップ モード短絡保護、過剰な電力散逸時のサーマル シャットダウンなどの保護機能が組み込まれています。

製品情報

部品番号 (3)	パッケージ(1)	パッケージ サイズ(2)
LMR54410	DBV (SOT-23、6)	2.90mm × 2.80mm
LMR54406		

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
(3) 「製品比較」表を参照してください。セクション 4



効率と出力電流との関係、
V_{OUT} = 5V、1100kHz

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 1
2 アプリケーション 1
3 概要 1
4 デバイス比較表 3
5 ピン構成および機能 3
6 仕様 4
6.1 絶対最大定格 4
6.2 ESD Ratings 4
6.3 推奨動作条件 4
6.4 熱に関する情報 5
6.5 電気的特性 5
6.6 タイミング要件 7
6.7 システム特性 7
6.8 代表的特性 8
7 詳細説明 11
7.1 概要 11
7.2 機能ブロック図 12
7.3 機能説明 12
7.4 デバイスの機能モード 18
8 アプリケーションと実装 19
8.1 アプリケーション情報 19
8.2 代表的なアプリケーション 19
8.3 電源に関する推奨事項 25
8.4 レイアウト 25
9 デバイスおよびドキュメントのサポート 28
9.1 デバイス サポート 28
9.2 ドキュメントのサポート 28
9.3 ドキュメントの更新通知を受け取る方法 28
9.4 サポート・リソース 28
9.5 商標 28
9.6 静電気放電に関する注意事項 28
9.7 用語集 28
10 改訂履歴 29
11 メカニカル、パッケージ、および注文情報 29

Copyright © 2026 Texas Instruments Incorporated

4 デバイス比較表

発注用製品型番	出力電流	FREQUENCY	PFM または FPWM	出力
LMR54410DBVR	1A	1100kHz	PFM	可変
LMR54410FDBVR	1A	1100kHz	FPWM	可変
LMR54406DBVR	0.6A	1100kHz	PFM	可変
LMR54406FDBVR	0.6A	1100kHz	FPWM	可変

5 ピン構成および機能

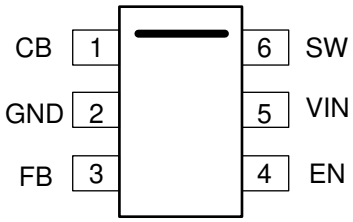


図 5-1. 6 ピン SOT-23 DBV パッケージ (上面図)

表 5-1. ピンの機能

ピン		タイプ(1)	説明
名称	なし		
CB	1	P	下限側 FET ドライバのブートストラップ コンデンサを接続。このピンと SW ピンとの間に高品質の 100nF コンデンサを接続します。
GND	2	G	電源グランド ピン。ローサイド FET のソースに内部で接続します。システム接地、C_{IN} と C_{OUT} の接地側に接続します。C_{IN} へのパスは、できる限り短くしてください。
FB	3	A	コンバータへの帰還入力。抵抗デバイダを接続して出力電圧を設定します。動作中は、この端子をグランドに短絡しないでください。
EN	4	A	コンバータへの高精度イネーブル入力。フローティングにはしないでください。High = オン、Low = オフ。VIN に接続できます。高精度イネーブル入力により、外部抵抗分割器による UVLO の調整が可能になります。
VIN	5	P	内部 バイアス LDO およびハイサイド FET への電源入力ピン。入力電源および入力バイパス コンデンサ C_{IN} に接続します。入力バイパスコンデンサは、このピンおよび GND に直接接続する必要があります。
SW	6	P	コンバータのスイッチング出力。ハイサイド FET のソースとローサイド FET のドレインに内部接続されています。パワー インダクタに接続します。

(1) A = アナログ、P = 電源、G = グランド

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

接合部温度 -40°C ～ 150°C の範囲において (特に記述のない限り)(1)

		最小値	最大値	単位
入力電圧	VIN から GND へ(2)	-0.3	45(3)	V
	EN から GND へ(2)	-0.3	V_{IN} + 0.3	V
	FB から GND へ	-0.3	5.5	V
出力電圧	SW から GND へ(2)	-0.3	V_{IN} + 0.3	V
出力電圧	SW から PGND (過渡 10ns 未満)	-5.0	V_{IN} + 0.3	V
	SW に対する CBOOT	-0.3	5.5	V
接合部温度 T_J		-40	150	°C
保管温度、T_{stg}		-65	150	°C

(1) 「*絶対最大定格*」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) 絶対最大定格は、標準的な室温条件での定格です。「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。
(3) デバイスの DC 最大値は 45V です。このピンでは、室温での 0.01% 以下のデューティ サイクルで 1s 以下の間、最大 50V を持続させることができます。つまり、室温での 100µS の VIN 過渡ということです。

6.2 ESD Ratings

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2500	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

接合部温度の推奨動作範囲が -40℃～150℃である場合 (特に記述のない限り)

		最小値	最大値	単位
入力電圧	VIN から GND へ	4	36	V
	EN から GND へ(1)	0	VIN	V
出力電圧	V_{OUT} (2)	0.8	28	V
出力電流	LMR54410	0	1	A
出力電流	LMR54406	0	0.6	A

(1) このピンの電圧は、VIN ピンの電圧が 0.3V 以上超えないようにする必要があります。
(2) いかなる条件下でも、出力電圧は 0V を下回ることはできません。

Copyright © 2026 Texas Instruments Incorporated

6.4 熱に関する情報

熱評価基準(1)		LMR544XX DBV(SOT-23-6) 6 ピン	単位
$R_{\theta JA}$ (2)	接合部から周囲への熱抵抗	173	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	116	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	31	℃/W
ψ_{JT}	接合部から上面への特性パラメータ	20	℃/W
ψ_{JB}	接合部から基板への特性パラメータ	30	℃/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』*アプリケーション ノートを参照してください。
(2) この表に示す RθJA の値は、その他のパッケージとの比較のためにのみに有効であり、設計目的では使用できません。これらの値は JESD 51-7 に従って計算されており、4 層 JEDEC 基板上でシミュレーションされています。これらは、実際のアプリケーションで得られた性能を表すものではありません。たとえば 2 層 PCB を使うと、RθJA = 80℃/W が達成可能です。設計情報については、「最大出力電流と周囲温度との関係」を参照してください。

6.5 電気的特性

特に記述のない限り、各制限値は動作時の接合部温度 (T_J) 範囲 (-40℃～+150°C) にわたって適用されます。最小値および最大値の制限値は、試験、設計、および統計的相関に基づいて規定されています。標準値は T_J = 25℃における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。V_{IN} = 4V ～ 36V。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源電圧 (VIN ピン)						
V_{IN_UVLO}	低電圧誤動作防止のスレッショルド	立ち上がりスレッショルド	3.55	3.75	4	V
		立ち下がりスレッショルド	3.25	3.45	3.65	V
		ヒステリシス		0.3		V
$I_{Q-nonSW}$	動作静止電流 (スイッチングなし)(1)	V_{EN} = 3.3V、VFB = 1.1V (PFM バリアントのみ)		80	120	µA
I_{SD}	シャットダウン時の静止電流 (VIN ピンで測定)	V_{EN} = 0 V		3	10	µA
イネーブル (EN ピン)						
$V_{EN-VOUT-H}$	V_{OUT} のイネーブル入力 High レベル	V_{ENABLE} 立ち上がり	1.1	1.23	1.36	V
$V_{EN-VOUT-L}$	V_{OUT} のイネーブル入力 Low レベル	V_{ENABLE} 立ち下がり	0.95	1.1	1.22	V
$V_{EN-VOUT-HYS}$	V_{OUT} のイネーブル入力ヒステリシス	ヒステリシス		130		mV
I_{LKG-EN}	イネーブル入力リーク電流	V_{EN} = 3.3 V		10	200	nA
電圧リファレンス (FB ピン)						
V_{FB}	帰還電圧		0.79	0.8	0.81	V
I_{LKG-FB}	フィードバック リーク電流	FB = 1.2V		0.2		nA
スイッチング周波数						
F_{OSC}	内部発振器の周波数		0.935	1.1	1.265	MHz
電流制限およびヒカップ						
I_{SC}	ハイサイド電流制限(2)	LMR54410	1.25	1.6	1.9	A
$I_{LS-LIMIT}$	ローサイド電流制限(2)	LMR54410	.9	1.1	1.3	A
I_{SC}	ハイサイド電流制限(2)	LMR54406	.85	1.1	1.3	A
$I_{LS-LIMIT}$	ローサイド電流制限(2)	LMR54406	.65	0.8	.95	A
I_{L-ZC}	ゼロ クロス検出のスレッショルド	PFM バリアントのみ		0.02		A
MOSFETS						
$R_{DS-ON-HS}$	下限側 MOSFET オン抵抗	T_J = 25℃、V_{IN} = 12V		450		mΩ
$R_{DS-ON-LS}$	上限側 MOSFET オン抵抗	T_J = 25℃、V_{IN} = 12V		240		mΩ

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

特に記述のない限り、各制限値は動作時の接合部温度 (T_J) 範囲 (-40℃～+150°C) にわたって適用されます。最小値および最大値の制限値は、試験、設計、および統計的相関に基づいて規定されています。標準値は T_J = 25℃における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。V_{IN} = 4V ～ 36V。

パラメータ		テスト条件	最小値	標準値	最大値	単位
サーマル シャットダウン						
$T_{SD-Rising}$	サーマル シャットダウン	シャットダウン スレッショルド		170		°C
$T_{SD-Falling}$	サーマル シャットダウン	復帰スレッショルド		158		°C

(1) これは、デバイスの開ループが使用する電流です。この電流は、レギュレーション中にシステムに流れ込む入力電流の合計を示すものではありません。
(2) この表の電流制限値は、開ループでテスト済みであり、量産時に使用されます。閉ループ アプリケーションで見られるものとは異なる場合があります。

Copyright © 2026 Texas Instruments Incorporated

6.6 タイミング要件

特に記述のない限り、各制限値は動作時の接合部温度 (T_J) 範囲 (-40℃～+150°C) にわたって適用されます。最小値および最大値(1)は、試験、設計、および統計的相関に基づいて規定されています。標準値は T_J = 25℃における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。V_{IN} = 4V ～ 36V

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{ON-MIN}	最小スイッチ オン時間	I_{OUT} = 1A		60		ns
$t_{OFF-MIN}$	最小スイッチ オフ時間	I_{OUT} = 1A		110		ns
t_{ON-MAX}	最大スイッチ オン時間			7.5		µs
t_{SS}	内部ソフトスタート時間			1.8		ms

(1) 最小および最大制限値は 25℃で全数テストされます。全動作温度範囲における制限値は、統計的品質管理 (SQC) 法を使用した相関により検証されています。これらの制限値を使って、平均出検品質限界 (AOQL) を計算しています。

6.7 システム特性

以下の仕様は、標準的なアプリケーション回路に適用され、コンポーネントの公称値が設定されています。「代表値 (TYP)」列の仕様は、TJ = 25℃ にのみ適用されます。TJ = –40℃ ～ 150℃ の温度範囲での標準的な部品の場合、最小 (MIN) および最大 (MAX) 列の仕様が適用されます。これらの仕様は、製造試験では保証されていません。

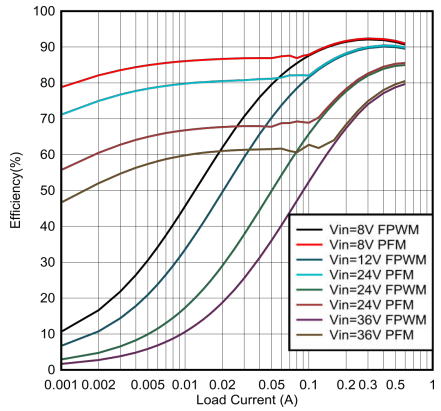
パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IN}	動作時入力電圧範囲		4		36	V
V_{OUT}	可変出力電圧レギュレーション(1)	PFM 動作	-1.5%		2.5%	
V_{OUT}	可変出力電圧レギュレーション(1)	FPWM 動作	-1.5%		1.5%	
I_{SUPPLY}	レギュレーション時の入力電源電流	V_{IN} = 12V、V_{OUT} = 3.3V、I_{OUT} = 0A、R_{FBT} = 1MΩ、PFM バリアント		90		µA
D_{MAX}	最大スイッチ デューティ サイクル(2)			98%		
V_{HC}	短絡ヒカップモードのトリップに必要な FB ピン電圧			0.325		V
t_D	スイッチ電圧デッド タイム			2		ns
T_{SD}	サーマル シャットダウン温度	シャットダウン温度		170		°C
T_{SD}	サーマル シャットダウン温度	復帰温度		158		°C

(1) 全負荷時、V_{IN} = 24V、I_{OUT} = 0A における V_{OUT} の公称出力電圧値からの偏差
(2) ドロップアウト時にはスイッチング周波数が低下し、実効デューティ サイクルが増加します。最小周波数は、およそ以下に示す値でクランプされます。F_{MIN} = 1 / (t_{ON-MAX} + $t_{OFF-MIN}$)。D_{MAX} = t_{ON-MAX} / (t_{ON-MAX} + $t_{OFF-MIN}$)。

Copyright © 2026 Texas Instruments Incorporated

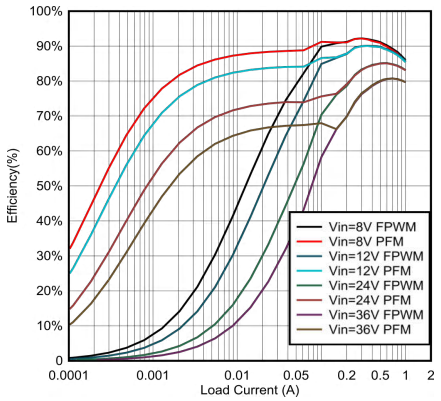
6.8 代表的特性

V_{IN} = 12V、f_{SW} = 1100kHz、T_A = 25°C、特に記述のない限り。



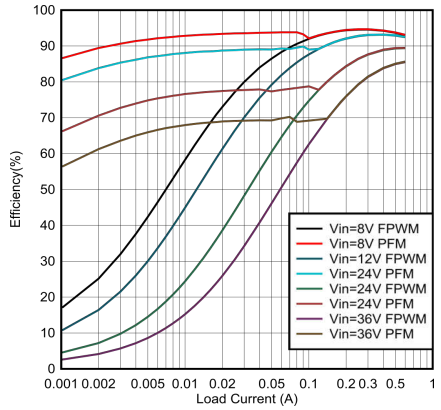
f_{SW} = 1100kHz　　V_{OUT} = 3.3V　　LMR54406

図 6-1. 3.3V の効率と負荷電流との関係



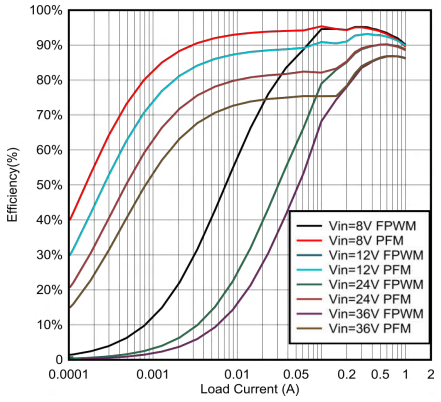
f_{SW} = 1100kHz　　V_{OUT} = 3.3V　　LMR54410

図 6-2. 3.3V の効率と負荷電流との関係



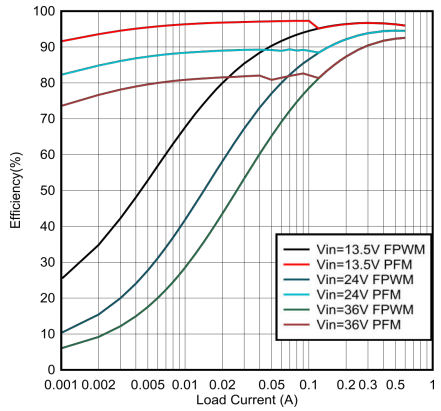
f_{SW} = 1100kHz　　V_{OUT} = 5V　　LMR54406

図 6-3. 5V の効率と負荷電流との関係



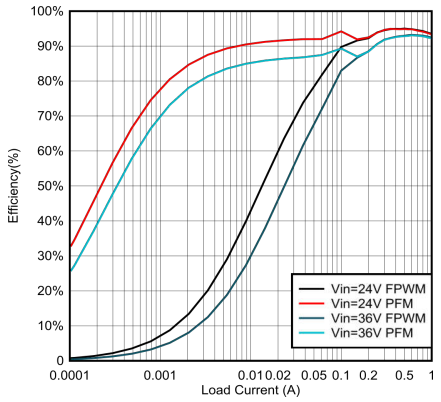
f_{SW} = 1100kHz　　V_{OUT} = 5V　　LMR54410

図 6-4. 5V の効率と負荷電流との関係



f_{SW} = 1100kHz　　V_{OUT} = 12V　　LMR54406

図 6-5. 12V の効率と負荷電流との関係



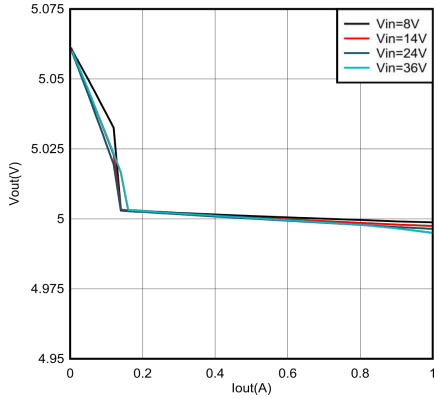
f_{SW} = 1100kHz　　V_{OUT} = 12V　　LMR54410

図 6-6. 12V の効率と負荷電流との関係

Copyright © 2026 Texas Instruments Incorporated

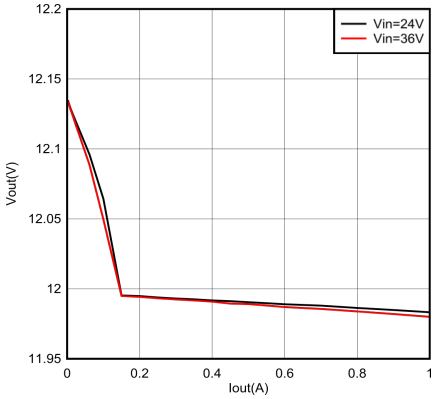
6.8 代表的特性 (続き)

V_{IN} = 12V、f_{SW} = 1100kHz、T_A = 25°C、特に記述のない限り。



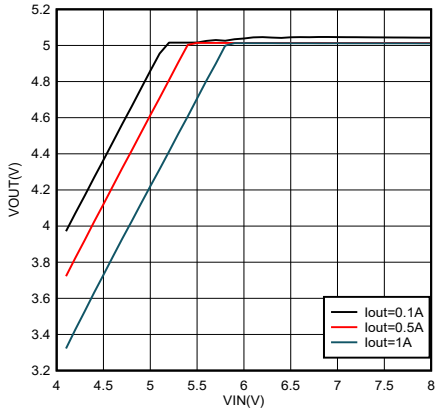
f_{SW} = 1100kHz V_{OUT} = 5V LMR54410

図 6-7. 5V ロード レギュレーション



f_{SW} = 1100kHz V_{OUT} = 12V LMR54410

図 6-8. 12V ロード レギュレーション



f_{SW} = 1100kHz V_{OUT} = 5V LMR54410

図 6-9. 5V ドロップアウト

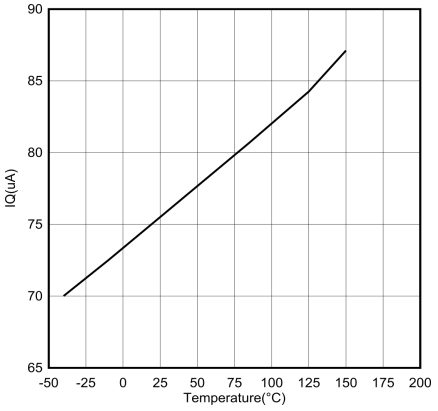


図 6-10. I_Q と温度との関係

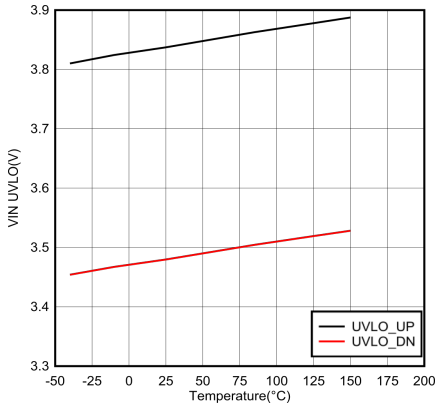


図 6-11. V_{IN} UVLO と温度との関係

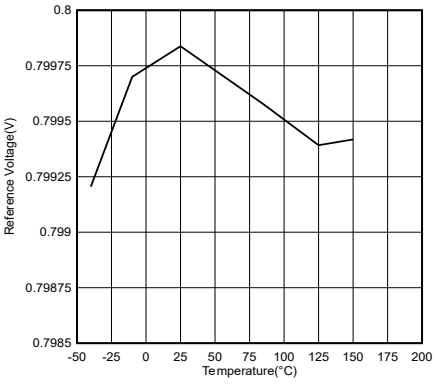


図 6-12. リファレンス電圧と温度との関係

Copyright © 2026 Texas Instruments Incorporated

6.8 代表的特性 (続き)

V_{IN} = 12V、f_{SW} = 1100kHz、T_A = 25°C、特に記述のない限り。

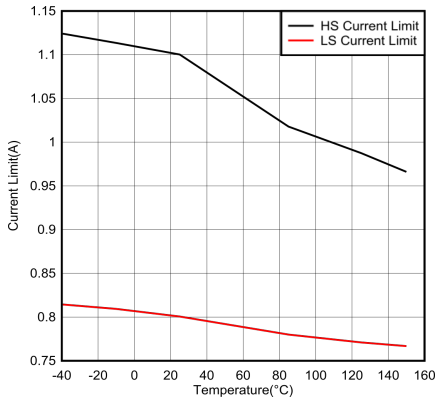


図 6-13. HS および LS 電流制限と温度との関係-LMR54406

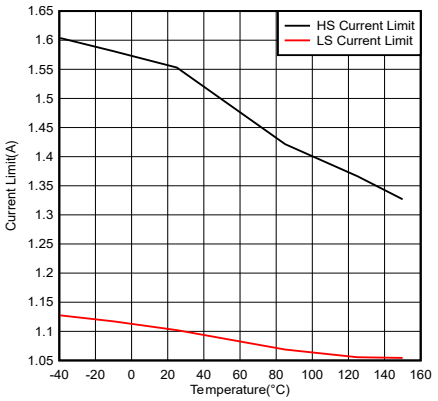


図 6-14. HS および LS 電流制限と温度との関係- LMR54410

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

LMR544xx コンバータは、4V～36V の電源電圧で動作する使いやすい同期整流降圧 DC-DC コンバータです。LMR54410 は非常に小さな設計サイズで最大 1A の DC 負荷電流を供給でき、LMR54406 は最大 0.6A の負荷電流を供給できます。このファミリには、さまざまなアプリケーションに適用可能な複数のバージョンがあります。詳細については、セクション 4 を参照してください。

LMR544xx は、固定周波数のピーク電流モード制御を採用しています。軽負荷時には PFM バージョンは PFM モードに入り、高い効率を実現します。FPWM バージョンを備えており、軽負荷時に、小さい出力電圧リップル、正確な出力電圧安定化、一定のスイッチング周波数を実現します。デバイスは内部で位相補償されているため、設計時間が短縮され、外付け部品はとんど必要ありません。

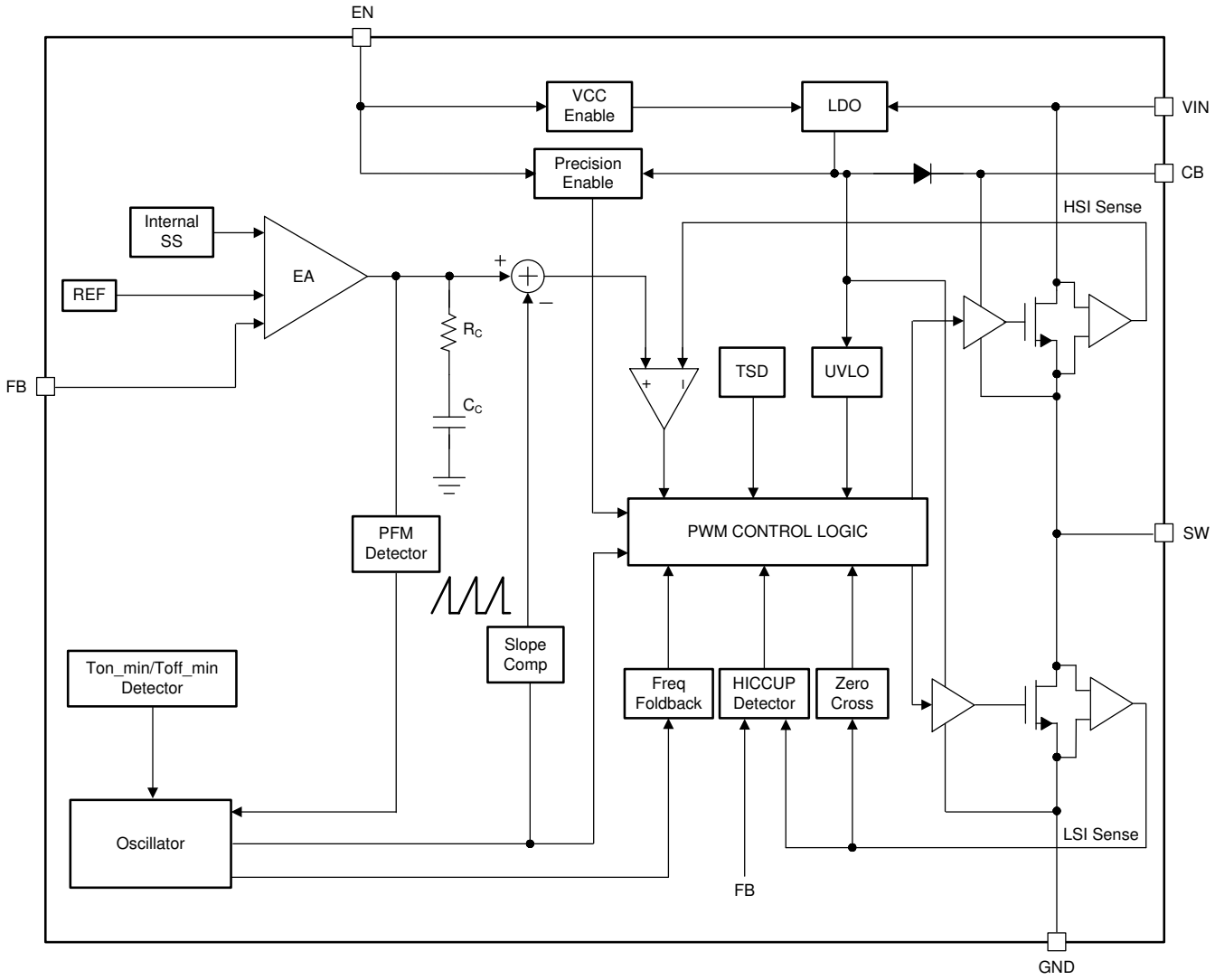
高精度イネーブルや内部ソフト スタートなどの追加機能により、広範なアプリケーション向けの柔軟で使いやすい設計を実現できます。保護機能には、以下のものがあります。

- サーマル シャットダウン
- V_{IN} 低電圧誤動作防止
- サイクル単位の電流制限
- ヒカップ モード短絡保護

このファミリは必要な外付け部品が非常に少なく、PCB レイアウトが単純かつ最適になるようにピン配置が設計されています。

Copyright © 2026 Texas Instruments Incorporated

7.2 機能ブロック図



7.3 機能説明

7.3.1 固定周波数のピーク電流モード制御

LMR544xx の以下の動作の説明は、セクション 7.2 と以下の波形 (図 7-1) を参照しています。LMR544xx は、ハイサイド (HS) およびローサイド (LS) スイッチ (同期整流器) を内蔵した同期整流降圧コンバータです。LMR544xx は、制御されたデューティ サイクルでハイサイドおよびローサイドの NMOS スイッチをオンにすることにより、出力電圧の安定化を実現します。ハイサイド スイッチのオン時間中には、SW ピンの電圧がほぼ V_{IN} まで上昇し、インダクタ電流 i_L が $(V_{IN} - V_{OUT})/L$ の傾きで直線的に増加します。制御ロジックによってハイサイド スイッチがオフになると、貫通電流を防止するデッドタイムの経過後に、ローサイド スイッチがオンになります。インダクタ電流は、ローサイド スイッチを通して $–V_{OUT}/L$ の割合で放電されます。降圧コンバータの制御パラメータは、デューティ サイクル $D = t_{ON}/t_{SW}$ と定義されます。ここで、t_{ON} はハイサイド スイッチオン時間、T_{SW} はスイッチング周期です。コンバータ制御ループは、デューティ サイクル D を調整することにより、出力電圧を一定に維持します。損失を無視できるような理想的な降圧コンバータでは、次の式のように、D は出力電圧に比例し、入力電圧に反比例します。$D = V_{OUT} / V_{IN}$。

Copyright © 2026 Texas Instruments Incorporated

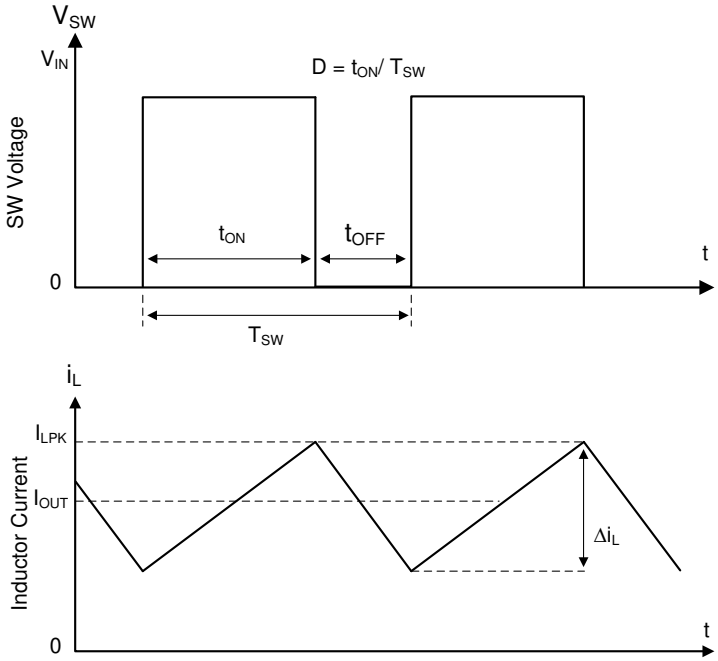


図 7-1. 連続導通モード (CCM) における SW ノードとインダクタ電流の波形

LMR544xx は、固定周波数のピーク電流モード制御を採用しています。電圧帰還ループを使用して、電圧オフセットに基づいてピーク電流コマンドを調整することにより、DC 電圧を正確にレギュレートします。ピーク インダクタ電流は下限側スイッチから検出され、ピーク電流スレッショルドと比較することにより、下限側スイッチの ON 時間を制御します。電圧帰還ループは内部補償されているため、外付け部品を減らせ、設計が簡単になり、さまざまな出力コンデンサを使った場合でも安定した動作が得られます。このコンバータは、通常負荷状況では固定スイッチング周波数で動作します。軽負荷の状況では、LMR544xx は PFM モードで動作して高効率を維持するか (PFM バージョン)、または、FPWM モードで動作して小さい出力電圧リップル、正確な出力電圧安定化、一定のスイッチング周波数を実現します (FPWM バージョン)。

7.3.2 可変出力電圧

高精度の 0.8V 基準電圧 (V_{REF}) を使用して、動作温度範囲の全体にわたって正確に安定化された出力電圧を維持します。出力電圧は、V_{OUT} と FB ピンとの間の分圧抵抗回路によって設定されます。テキサス・インスツルメンツでは、FB 分圧器に精度 1% の低温度係数抵抗を使用することを推奨します。目的の分圧器電流に対応する下側抵抗 R_{FBB} を選択し、式 1 を使って上側抵抗 R_{FBT} を計算します。R_{FBT} の推奨範囲は 10kΩ ～ 100kΩ です。PFM 動作時の V_{OUT} オフセットを減らすために事前負荷が必要な場合は、R_{FBT} の値を小さくできます。R_{FBT} の値が小さいと、負荷が非常に軽い場合の効率が低下します。R_{FBT} の値が大きいと、流れる静的電流が減少するため、軽負荷時の効率が重要である場合には、より有用です。ただし、フィードバック パスがノイズの影響を受けやすくなるため、1MΩ より大きな R_{FBT} の値は推奨されていません。R_{FBT} の値が大きい場合は、帰還抵抗からデバイスのフィードバックピンへの帰還パス パターンをより慎重に設計する必要があります。分圧抵抗ネットワークの公差や温度による変動は、出力電圧のレギュレーションに影響を与えます。

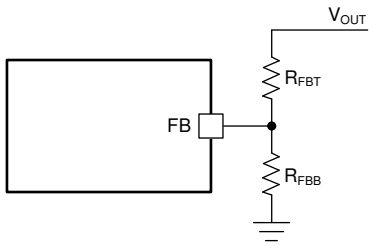


図 7-2. 出力電圧設定

$$R_{FBT} = \frac{V_{OUT} - V_{REF}}{V_{REF}} \times R_{FBB} \quad (1)$$

7.3.3 イネーブル

EN ピンの電圧によって、LMR544xx のオン/オフ動作が制御されます。デバイスは 0.95V 未満の電圧でシャット ダウンされます。コンバータを起動するには 1.36V より大きい電圧が必要です。EN ピンは入力であり、開放またはフローティングにはできません。LMR544xx の動作をイネーブルにする最も簡単な方法は、EN を VIN に接続することです。これにより、V_{IN} が動作許容範囲内になると LMR544xx は自動的に起動します。

多くのアプリケーションでは、イネーブル分圧抵抗 R_{ENT} および R_{ENB} (図 7-3) を使用することにより、コンバータに対して高精度のシステム UVLO レベルを確立できます。システム UVLO は、商用電源またはバッテリから供給される電源に対して使用できます。これを使用することにより、シーケンシングや、安定した動作の確保、バッテリ放電レベルなど電源保護を行うことができます。また、外部ロジック信号を使用して EN 入力を駆動することでも、システムのシーケンシングや保護を行うことができます。

注

EN ピンの電圧は、V_{IN} + 0.3V より大きくしてはなりません。V_{IN} が 0V のときに EN 電圧を印加することを TI は推奨しません。

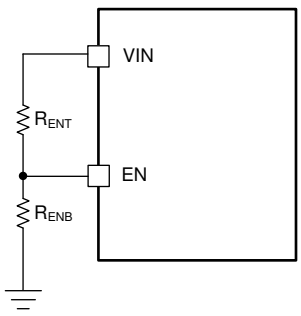


図 7-3. イネーブル分圧抵抗によるシステム UVLO

Copyright © 2026 Texas Instruments Incorporated

7.3.4 最小オン時間、最小オフ時間、および周波数フォールドバック

最小オン時間 (T_{ON_MIN}) は、ハイサイド スイッチをオンにできる最短の時間長です。LMR544xx では、T_{ON_MIN} は標準で 60ns です。最小オフ時間 (T_{OFF_MIN}) は、ハイサイド スイッチをオフにできる最小の時間長です。T_{OFF_MIN} は標準で 110ns です。CCM 動作時には、T_{ON_MIN} および T_{OFF_MIN} によって、スイッチング周波数フォールドバックが発生しない電圧変換範囲が制限されます。

周波数フォールドバックが発生しない最小デューティ サイクルは次のとおりです。

$$D_{MIN} = T_{ON_MIN} \times f_{SW} \quad (2)$$

周波数フォールドバックが発生しない最大デューティ サイクルは次のとおりです。

$$D_{MAX} = 1 - T_{OFF_MIN} \times f_{SW} \quad (3)$$

必要な出力電圧が与えられたとき、周波数フォールドバックの発生しない最大 V_{IN} は次の式で求められます。

$$V_{IN_MAX} = \frac{V_{OUT}}{f_{SW} \times T_{ON_MIN}} \quad (4)$$

周波数フォールドバックの発生しない最小 V_{IN} は次の式で計算できます。

$$V_{IN_MIN} = \frac{V_{OUT}}{1 - f_{SW} \times T_{OFF_MIN}} \quad (5)$$

LMR544xx では、T_{ON_MIN} または T_{OFF_MIN} がトリガされた後に周波数フォールドバック方式が動作するようになっています。これにより、最大デューティ サイクルを増加、または最小デューティ サイクルを低下させます。

V_{IN} 電圧が高くなるにつれて、オン時間は減少します。オン時間が T_{ON_MIN} まで減少すると、V_{IN} の増加に伴ってスイッチング周波数が低下し始め、式 2 に従ってデューティ サイクルがさらに低下して V_{OUT} の安定化状態が維持されます。

この周波数フォールドバック方式は、V_{IN} が低い状況で、より大きなデューティ サイクルが必要になった場合にも機能します。デバイスが T_{OFF_MIN} に達すると周波数が低下し、式 3 に従って最大デューティ サイクルが増加します。このような条件では、周波数は約 133kHz まで下げることができます。周波数フォールドバックの範囲が広いため、LMR544xx の出力電圧は、電源電圧 V_{IN} がかなり低いときでも安定化状態を維持しており、実効ドロップアウトを低減できます。

周波数フォールドバックにより、制御された出力電圧を維持しながら、V_{IN_MAX} が上昇し、f_{SW} の低下により V_{IN_MIN} が低下します。

Copyright © 2026 Texas Instruments Incorporated

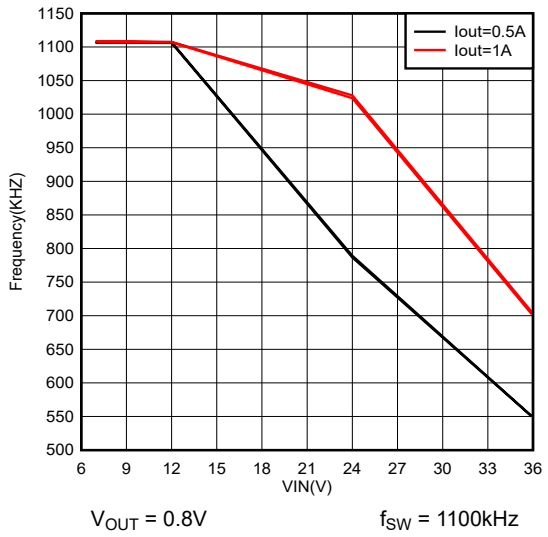


図 7-4. T_{ON_MIN} での周波数フォールドバック

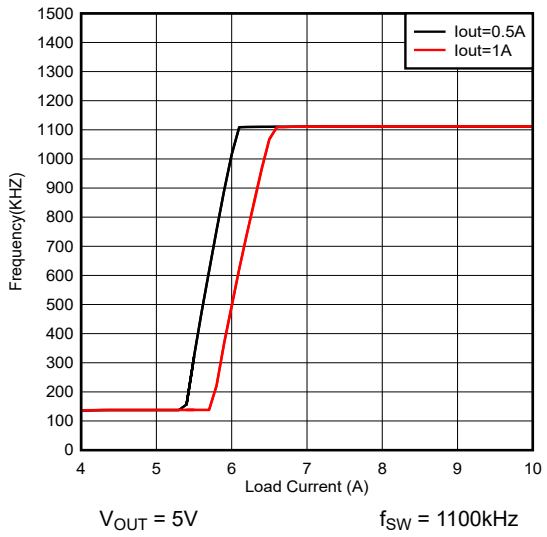


図 7-5. T_{OFF_MIN} での周波数フォールドバック

7.3.5 ブートストラップ電圧

LMR544xx は、統合型ブートストラップ電圧コンバータを備えています。CB ピンと SW ピンの間に小型コンデンサを置いて、ハイサイド MOSFET のゲート駆動電圧を供給します。ハイサイド MOSFET がオフで、ローサイド スイッチがオンのとき、ブートストラップ コンデンサはリフレッシュされます。ブートストラップ コンデンサの推奨値は 0.1µF です。温度および電圧に対して安定した特性を持つため、X7R または X5R クラスの誘電体を持つ電圧定格 16V 以上のセラミック コンデンサを推奨します。

7.3.6 過電流および短絡保護

LMR544xx にはピークおよびバレー インダクタ電流制限が組み込まれており、過負荷や短絡からデバイスを保護し、最大出力電流を制限します。バレー電流制限は、出力短絡時のインダクタ電流暴走を防止します。また、ピーク制限とバレー制限は連携して、コンバータの最大出力電流を制限します。過負荷にはサイクルごとの電流制限が使われ、持続的な短絡にはヒカップ モードが使われます。

下限側 MOSFET 過電流保護機能は、ピーク電流のモード制御の性質を利用して実装されています。ハイサイド スイッチ電流は、ブランキング時間の設定後に ハイサイドがオンになったときに検出されます。下限側スイッチ電流は、スイッチング サイクルごとに、誤差アンプ (EA) からスロープ補償を引いた出力と比較されます。詳細については、セクション 7.2 を参照してください。ハイサイド スイッチのピーク電流は、一定の値をとる、クランプされた最大ピーク電流スレッショルド I_{sc} (セクション 6.5 参照) によって制限がかかります。

ローサイド MOSFET を通過する電流も検出され、監視されます。ローサイド スイッチがオンになると、インダクタ電流は減少し始めます。ローサイド スイッチは、その電流がローサイド電流制限 I_{LS_LIMIT} 以上の場合、スイッチング サイクルの終わりにオフになりません (セクション 6.5 を参照)。ローサイド スイッチがオンに保持されると、インダクタ電流はローサイド電流制限 I_{LS_LIMIT} 以下になるまで減少し続けます。その後、デッドタイムの後にローサイド スイッチがオフになり、ハイサイド スイッチがオンになります。I_{LS_LIMIT} に達した後、ピーク電流制限とバレー電流制限によって供給される最大電流が制御されます。この電流制限は 式 6 を使用して計算できます。

$$I_{OUT}\big|_{max} = \frac{I_{LS_LIMIT} + I_{SC}}{2} \tag{6}$$

帰還電圧が V_{REF} の 40% を下回ると、ローサイド スイッチの電流によって I_{LS_LIMIT} が 256 サイクル連続でトリガされ、ヒカップ電流保護モードがアクティブになります。ヒカップ モードでは、コンバータはシャットダウンされ、ヒカップ期間

Copyright © 2026 Texas Instruments Incorporated

T_{HICCUP} (標準値 135ms) の間オフに保持された後、LMR544x はスタートを再試行します。それでも過電流または短絡によるフォルト状態が続く場合は、フォルト状態が解消されるまでヒカップが繰り返されます。ヒカップ モードは、重度の過電流状態での消費電力を低減し、過熱やデバイスが損傷する可能性を防止します。

FPWM バージョンでは、インダクタ電流が負方向に流れることが許容されています。この電流がローサイドの負電流制限 I_{LS_NEG} を超えると、ローサイド スイッチがオフになり、ハイサイド スイッチが直ちにオンになります。これは、ローサイド スイッチを過剰な負電流から保護するために使用されます。

7.3.7 ソフト スタート

内蔵のソフトスタート回路は、入力突入電流が LMR544xx および入力電源に影響を及ぼすことを防止します。ソフト スタートは、デバイスが最初に有効化されるか電源投入されたときに、内部リファレンス電圧をゆっくりと立ち上げることで実現されます。内部ソフトスタート時間の標準値は 1.8ms です。

LMR544xx は、パワー アップ開始時に、過電流保護ブランキング時間 T_{OCP_BLK} (標準値 33ms) も備えています。この機能がない場合、出力コンデンサの容量が大きく、かつ V_{OUT} が高いアプリケーションでは、突入電流が大きくなりすぎて電流制限保護が作動し、デバイスがヒカップ モードに入って誤起動を引き起こす可能性があります。その結果、プログラムされた出力電圧まで上昇させずに、ソフト スタートを継続的にリサイクルできます。LMR544xx は、ブランキング時間 T_{OCP_BLK} のスタートアップ シーケンス中の平均インダクタ電流を制御することで、出力コンデンサをプログラムされた V_{OUT} まで充電できます。

7.3.8 サーマル シャットダウン

LMR544xx は、サーマル シャットダウン機能を内蔵しており、接合部温度が 170°C を超えた場合にデバイスを保護します。サーマル シャットダウン時には、ハイサイドとローサイドの両方の FET がスイッチングを停止します。ダイ温度が 158°C 未満になると、デバイスは内蔵のソフトスタート回路の制御下でパワーアップ シーケンスを再び開始します。

Copyright © 2026 Texas Instruments Incorporated

7.4 デバイスの機能モード

7.4.1 シャットダウン モード

EN ピンは、LMR544xx の電気的なオン/オフを制御します。V_{EN} が 0.95V を下回ると、デバイスはシャットダウン モードになります。また、LMR544xx は、V_{IN} 低電圧誤動作防止保護 (UVLO) を採用しています。V_{IN} 電圧が 3.25V の UVLO スレッショルドを下回ると、コンバータはオフになります。

7.4.2 アクティブ モード

LMR544xx は、V_{EN} と V_{IN} の両方がそれぞれの動作スレッショルドを上回るとアクティブ モードになります。LMR544xx をイネーブルにする最も簡単な方法は、EN ピンを VIN ピンに接続することです。これにより、入力電圧が 4.0V～36V の動作範囲内になると自動的に起動できます。これらの動作レベルの設定の詳細については、セクション 7.3.3 を参照してください。

アクティブ モードでは、負荷電流に応じて、LMR544xx が次の 4 つのうちいずれかのモードになります。

1. 連続導通モード (CCM)。負荷電流がピーク ツー ピーク インダクタ リップル電流の 1/2 より大きくなると、固定スイッチング周波数の連続導通モードになります (PFM および FPWM バージョンの両方)
2. 不連続導通モード (DCM)。負荷電流がピーク ツー ピーク インダクタ リップル電流の 1/2 より小さくなると、固定スイッチング周波数の不連続導通モードになります (PFM バージョンのみ)
3. パルス周波数変調モード (PFM)。非常に軽い負荷状況時にスイッチング周波数を減少させるパルス周波数変調モードになります (PFM バージョンのみ)
4. 強制パルス幅変調モード (FPWM)。軽負荷時でもスイッチング周波数を固定する強制パルス幅変調モード (FPWM バージョンのみ)

7.4.3 CCM モード

負荷電流がピーク ツー ピーク インダクタ電流の 1/2 より大きい場合、LMR544xx は連続導通モード (CCM) で動作します。CCM の動作では、動作周波数が固定され、このモードでは出力電圧リップルが最小になり、LMR54410 または LMR54406 によってそれぞれ 1A または 0.6A の最大出力電流を供給できます。

7.4.4 軽負荷動作 (PFM バージョン)

PFM バージョンでは、負荷電流が CCM でピーク ツー ピーク インダクタ電流の半分以下になると、LMR544xx は不連続導通モード (DCM) で動作します。これは、ダイオード エミュレーション モード (DEM) とも呼ばれています。DCM 動作時は、インダクタ電流が I_{LS_ZC} (標準値 20mA) まで低下すると、効率を向上させるためにローサイド スイッチがオフになります。DCM 時は、軽負荷時の強制 PWM 動作に比べて、スイッチング損失も導通損失も減少します。

軽負荷動作時には、パルス周波数変調 (PFM) モードがアクティブになり、高効率動作が維持されます。最小ハイサイド スイッチのオン時間 t_{ON_MIN}、または最小ピーク インダクタ電流 I_{PEAK_MIN} (標準値 300mA) のいずれかに達すると、スイッチング周波数が低下して、安定が維持されます。PFM モードでは、負荷電流が減少したときに出力電圧の安定を維持するために、制御ループによってスイッチング周波数が低下します。PFM 動作中は、実効スイッチング周波数が大幅に低下するため、スイッチング損失がさらに低減されます。

7.4.5 軽負荷動作 (FPWM バージョン)

FPWM バージョンを使用すると、LMR544xx は全負荷範囲において PWM モードにロックされます。この動作は、インダクタ電流を通常とは逆の方向にすることにより、無負荷状態でも維持されます。このモードでは、軽負荷効率が低下する代わりに、低出力電圧リップル、厳格な出力電圧レギュレーション、安定したスイッチング周波数を実現できます。

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

LMR544xx は、降圧型 DC-DC コンバータです。LMR54410 は通常、最大出力電流 1A で高い入力電圧を低い出力 DC 電圧に変換するために使用されます。LMR54406 は通常、最大出力電流 0.6A で高い入力電圧を低い出力 DC 電圧に変換するために使用されます。LMR544xx の部品を選択する際には、次の設計手順を使用します。

8.2 代表的なアプリケーション

LMR54410 では、わずか数個の外付け部品だけを使用して、幅広い範囲の電源電圧を固定出力電圧に変換できます。図 8-1 に、基本的な回路図を示します。

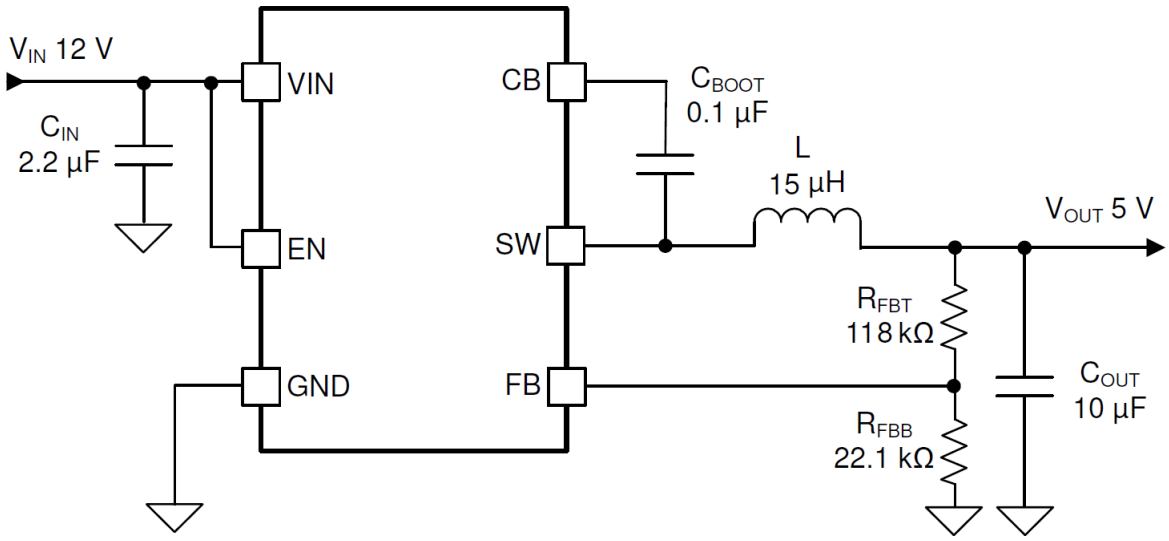


図 8-1. アプリケーション回路

外付け部品は、アプリケーションのニーズだけでなく、デバイスの制御ループの安定性基準も満たしている必要があります。表 8-1 を使用すると、出力フィルタ部品の選択が容易になります。

表 8-1. L および C_{OUT} の標準値

f_{SW} (kHz)	V_{OUT} (V)	L (µH)	C_{OUT} (µF) (1)	R_{FBT} (kΩ)	R_{FBB} (kΩ)
1100	3.3	10	22µF/10V	69.8	22.1
	5	15	22µF/10V	118	22.1
	12	33	22µF / 25V + 10µF / 25V	309	22.1

(1) この表ではセラミック コンデンサを使用しています。

Copyright © 2026 Texas Instruments Incorporated

8.2.1 設計要件

設計例に基づいて、詳細な設計手順を説明します。この設計例では、表 8-2 に記載されているパラメータを入力パラメータとして使用します。

表 8-2. 設計例のパラメータ

パラメータ	値
入力電圧、V_{IN}	標準 5V、範囲 6V～36V
出力電圧、V_{OUT}	5V ±3%
最大出力電流、I_{OUT_MAX}	1A
出力オーバーシュート/アンダーシュート (0A ～ 1A)	5%
出力電圧リップル	0.5%
動作周波数	1100kHz

8.2.2 詳細な設計手順

8.2.2.1 出力電圧の設定点

LMR54410 デバイスの出力電圧は、抵抗デバイダ回路を使用して外部で調整可能です。分圧抵抗回路は、上側帰還抵抗 R_{FBT} と下側帰還抵抗 R_{FBB} から構成されます。式 7 を使用して、コンバータの出力電圧を決定します。

$$R_{FBT} = \frac{V_{OUT} - V_{REF}}{V_{REF}} \times R_{FBB} \tag{7}$$

R_{FBB} の値として 22.1kΩ を選択します。目的の出力電圧が 5V に設定され、V_{REF} = 0.8V のとき、R_{FBT} の値は式 7 で計算できます。この式から 116kΩ の値が得られ、標準値 118kΩ が選択されています。

8.2.2.2 スイッチング周波数

スイッチング周波数を高くすると、より小さい値のインダクタとより小さな出力コンデンサを使用できるため、設計サイズの小型化と部品コストの削減を実現できます。ただし、スイッチング周波数を高くするとスイッチング損失が増加します。その結果、設計の効率が低下し、発熱が増加します。スイッチング周波数は、セクション 7.3.4 に記載されているように、内部パワー スイッチの最小オン時間、入力電圧、出力電圧、および周波数シフトの制約によっても制限されます。この例では、1100kHz のスイッチング周波数を選択しています。

8.2.2.3 インダクタの選択

インダクタに最も重要なパラメータは、インダクタンス、飽和電流、および RMS 電流です。インダクタンスは、指定のピークツー ピーク リップル電流 Δi_L によって決まります。リップル電流は入力電圧とともに増大するため、必ず最大入力電圧を使用して最小インダクタンス L_{MIN} を計算します。出力インダクタの最小値を計算するには、式 9 を使用します。K_{IND} は、デバイスの最大出力電流に対するインダクタのリップル電流量を表す係数です。K_{IND} の妥当な値として、コンバータがサポートする最大 I_{OUT} の 20% ～ 60% を使用する必要があります。瞬間的な過電流動作時は、RMS およびピーク インダクタ電流が高くなる可能性があります。インダクタ飽和電流は、ピーク電流制限レベルよりも大きくする必要があります。

$$\Delta i_L = \frac{V_{OUT} \times \left(V_{IN_MAX} - V_{OUT} \right)}{V_{IN_MAX} \times L \times f_{SW}} \tag{8}$$

$$L_{MIN} = \frac{V_{IN_MAX} - V_{OUT}}{I_{OUT} \times K_{IND}} \times \frac{V_{OUT}}{V_{IN_MAX} \times f_{SW}} \tag{9}$$

一般的に、スイッチング電源には低いインダクタンスを選択することが望ましいとされています。これにより、より高速な過渡応答、小さな DCR、コンパクトな設計のためのサイズ削減が可能になるためです。ただし、インダクタンスが低すぎると、インダクタ電流のリップルが過度に増大するため、全負荷時に過電流保護が誤作動を起こす可能性があります。また、電流リップルが大きくなるため、インダクタのコア損失も大きくなります。さらに、インダクタ リップル電流が大きいと、同じ出力コ

Copyright © 2026 Texas Instruments Incorporated

ンデンサでの出力電圧リップルも増大します。ピーク電流モード制御では、TI では、適切な量のインダクタ リップル電流を確保することを推奨しています。インダクタ リップル電流が大きいほど、コンパレータの信号対雑音比が向上します。

この設計例では、K_{IND} = 0.4、I_{OUT} = 1A を選択します。インダクタの最小値は 9.8µH と計算できます。1.5A RMS 電流と 2.5A の飽和電流の能力がある、最も近い標準の 10µH フェライト インダクタを選択してください。

8.2.2.4 出力コンデンサの選択

このデバイスは、さまざまな LC フィルタと組み合わせて使用するよう設計されています。一般的には、コストとサイズを低く維持するために出力キャパシタンスを最小化することが望まれます。定常状態の出力電圧リップル、ループ安定性、負荷電流過渡時における電圧オーバーシュートおよびアンダーシュートに直接影響するため、出力コンデンサ C_{OUT} の選定には注意が必要です。出力リップルは基本的に 2 つの部分で構成されます。1 つは、出力コンデンサの等価直列抵抗（ESR）を流れるインダクタ リップル電流に起因する成分です。

$$\Delta V_{OUT_ESR} = \Delta i_L \times ESR = K_{IND} \times I_{OUT} \times ESR \tag{10}$$

もう 1 つは、出力コンデンサを充電および放電するインダクタ リップル電流に起因する成分です。

$$\Delta V_{OUT_C} = \frac{\Delta i_L}{8 \times f_{SW} \times C_{OUT}} = \frac{K_{IND} \times I_{OUT}}{8 \times f_{SW} \times C_{OUT}} \tag{11}$$

電圧リップルの 2 つの成分は位相がずれているため、実際のピーク ツー ピーク リップルは 2 つのピークの合計よりも小さくなります。

通常、大電流ステップや高速スルーレートといった厳しい電圧レギュレーションが必要とされるシステムでは、出力容量は過渡性能の仕様によって制限されます。大きな負荷ステップが発生すると、出力コンデンサは、インダクタ電流が適切なレベルになるまで必要な電荷を供給します。コンバータの制御ループは、この期間中にインダクタ電流を新しい負荷レベルに等しく調整するため、通常は 8 クロック サイクル以上にする必要があります。出力容量は、8 クロック サイクルの電流差分を供給し、指定した範囲内での出力電圧を一定に保持するのに十分な大きさが必要です。式 12 に、指定の V_{OUT} オーバーシュートおよびアンダーシュートに必要な最小出力容量を示します。

$$C_{OUT} > \frac{1}{2} \times \frac{8 \times \left(I_{OH} - I_{OL}\right)}{f_{SW} \times \Delta V_{OUT_SHOOT}} \tag{12}$$

ここで、

- K_{IND} = インダクタ 電流のリップル比 (Δi_L / I_{OUT})
- I_{OL} = 負荷過渡時の Low レベル出力電流
- I_{OH} = 負荷過渡時の High レベル出力電流
- V_{OUT_SHOOT} = 目標出力電圧オーバーシュートまたはアンダーシュート

この設計例では、目標出力リップルは 30mV です。$\Delta V_{OUT_ESR} = \Delta V_{OUT_C}$ = 30mV と仮定し、K_{IND} = 0.4 を選択しています。式 10 では最大 75mΩ の ESR が発生し、式 11 では 2.38µF 以上の C_{OUT} が発生します。この設計の目標オーバーシュートおよびアンダーシュートは、ΔV_{OUT_SHOOT} = 8% × V_{OUT} = 400mV です。C_{OUT} は、式 12 によって 14.3µF 以上になるように計算できます。要約すると、出力コンデンサに対する最も厳格な条件は 14.3µF です。ディレーティングを考慮して、10mΩ ESR の 22-µF、16V、X7R セラミック コンデンサを 1 つ使用します。

Copyright © 2026 Texas Instruments Incorporated

8.2.2.5 入力コンデンサの選択

LMR54410 デバイスには、高周波入力デカップリング コンデンサ、またはコンデンサが必要です。高周波デカップリング コンデンサの推奨される標準値は、2.2µF 以上です。十分な電圧定格を持つ高品質の X5R または X7R セラミック コンデンサを推奨します。電圧定格は、最大入力電圧よりも大きい必要があります。セラミック コンデンサのディレーティングを補償するために、最大入力電圧の 2 倍の電圧定格を推奨します。この設計では、入力デカップリング コンデンサとして、定格 50V、2.2µF の X7R 誘電体コンデンサを使用します。等価直列抵抗 (ESR) は約 10mΩ で、電流定格は 1A です。高周波フィルタリング用に 0.1µF の値を持つコンデンサを追加し、デバイス ピンのできるだけ近くに配置します。

8.2.2.6 ブートストラップ コンデンサ

LMR54410 のすべての設計には、ブートストラップ コンデンサ (C_{BOOT}) が必要です。ブートストラップ コンデンサの推奨値は 0.1µF で、定格は 16V 以上とします。ブートストラップ コンデンサは、SW ピンと CB ピンの間に配置します。温度安定性のために、X7R または X5R クラスの誘電体を使用した高品質セラミック コンデンサを使用してください。

8.2.2.7 低電圧誤動作防止の設定点

システムの低電圧誤動作防止 (UVLO) は、R_{ENT} および R_{ENB} の外付け分割電圧を使用して調整します。UVLO には 2 つのスレッショルドがあり、1 つは入力電圧の立ち上がり時のパワー アップ中に適用され、もう 1 つは入力電圧の立ち下がり時のパワー ダウンまたはブラウン アウト中に適用されます。式 13 を使用して、V_{IN} の UVLO レベルを決定することができます。

$$V_{IN_RISING} = V_{ENH} \times \frac{R_{ENT} + R_{ENB}}{R_{ENB}} \tag{13}$$

LMR54410 の EN 立ち上がりスレッショルド (V_{ENH}) は、1.23V (標準値) に設定されます。電源からの入力電流を最小限に抑えるため、R_{ENB} には 200kΩ を選択します。目的の V_{IN} UVLO レベルが 6.0V の場合、R_{ENT} の値は次の式 式 14 で計算できます。

$$R_{ENT} = \left(\frac{V_{IN_RISING}}{V_{ENH}} - 1 \right) \times R_{ENB} \tag{14}$$

上記の式から 775.6kΩ の値が得られ、標準値 768kΩ が選択されています。この結果、立ち下がり UVLO スレッショルドは 5.3V になり、式 15 で計算することができます。この場合の EN ヒステリシス電圧 (V_{EN_HYS}) は 0.13V (標準値) です。

$$V_{IN_FALLING} = \left(V_{ENH} - V_{EN_HYS} \right) \times \frac{R_{ENT} + R_{ENB}}{R_{ENB}} \tag{15}$$

8.2.2.8 非同期コンバータの置き換え

LMR54410 は、アプリケーション回路で整流ダイオードを必要とする非同期コンバータの置き換えとしても使用できます。この設計は、図 8-2 に示すように、LMR54410 のスイッチ ノードに整流ダイオードが接続されていても、接続されていなくても、正常に動作します。

Copyright © 2026 Texas Instruments Incorporated

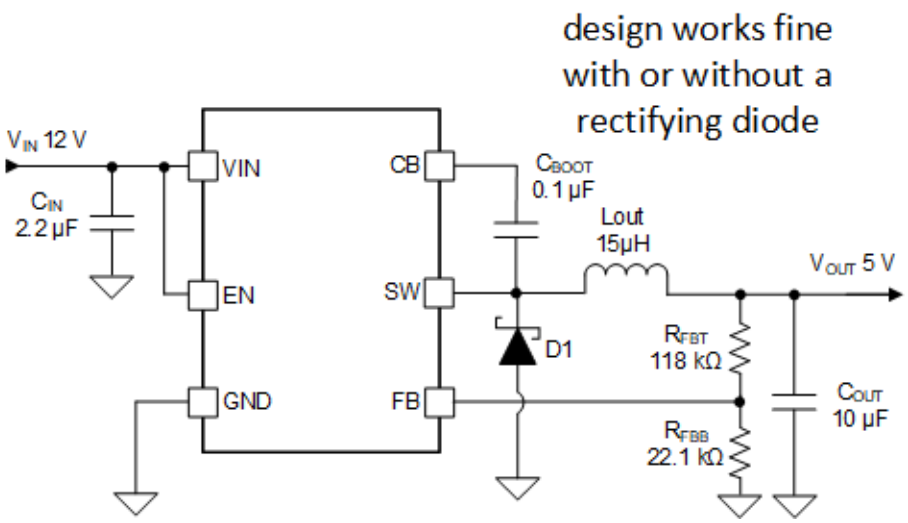


図 8-2. 非同期コンバータの置き換え

8.2.3 アプリケーション曲線

特記のない限り、次の条件が適用されます。V_{IN} = 12V、V_{OUT} = 5V、f_{SW} = 1100kHz、L = 15µH、C_{OUT} = 22µF、T_A = 25°C

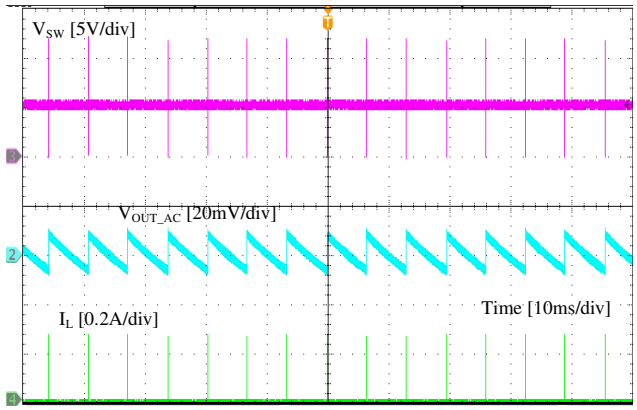


図 8-3. 無負荷時でのリップル

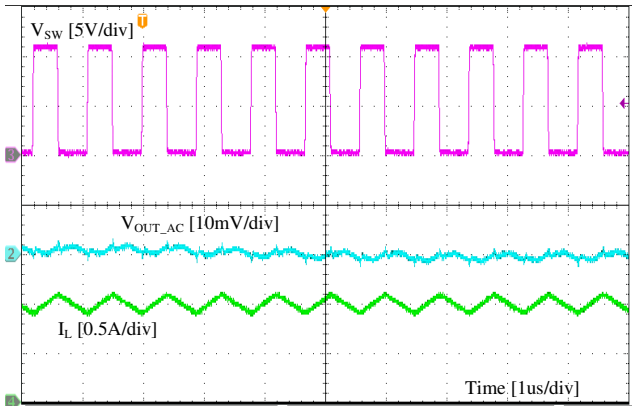


図 8-4. 全負荷時でのリップル

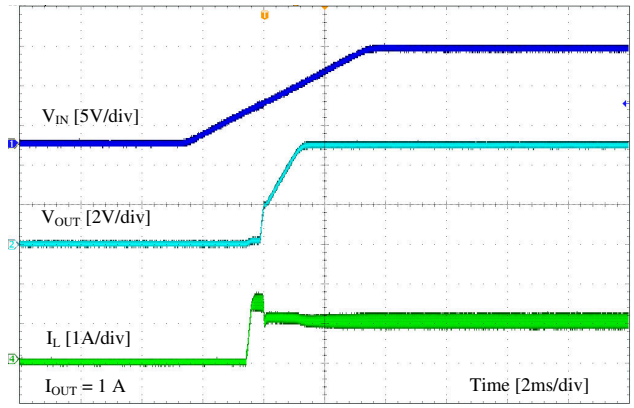


図 8-5. V_{IN} によるスタートアップ

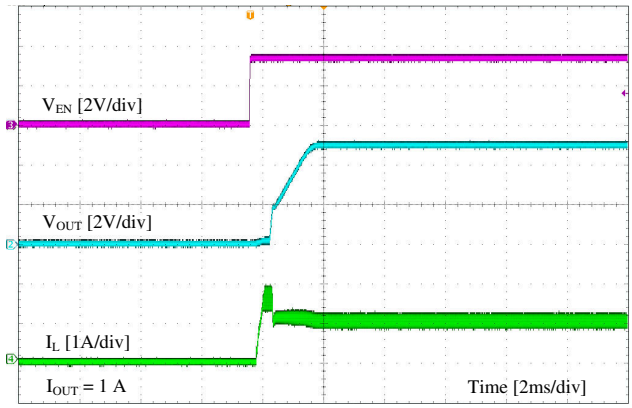


図 8-6. EN によるスタートアップ

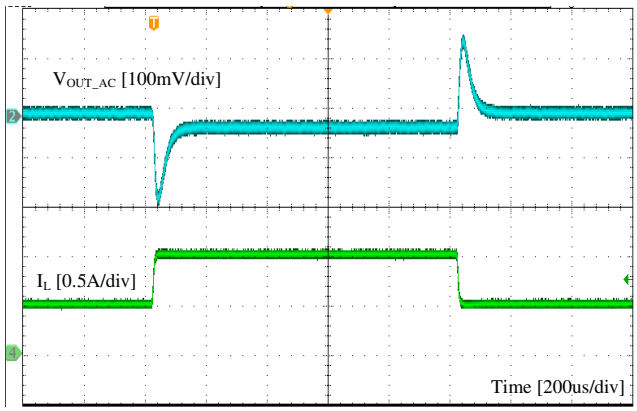


図 8-7. 負荷過渡

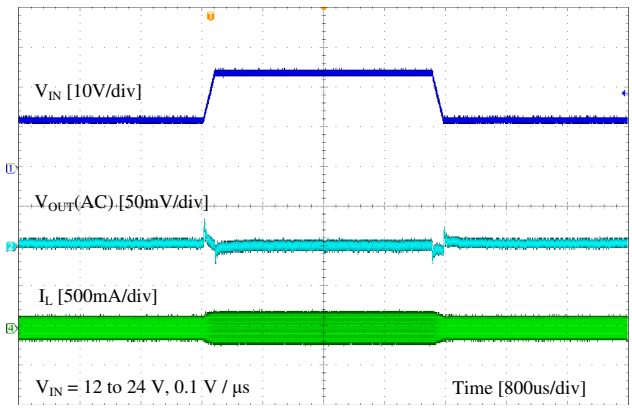


図 8-8. ライン トランジェント

Copyright © 2026 Texas Instruments Incorporated

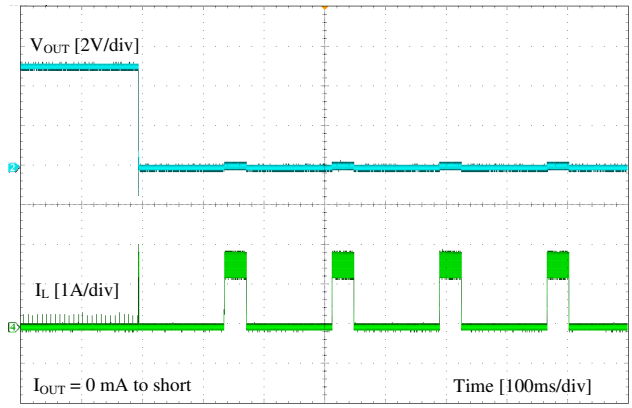


図 8-9. マイクロ短路保護：

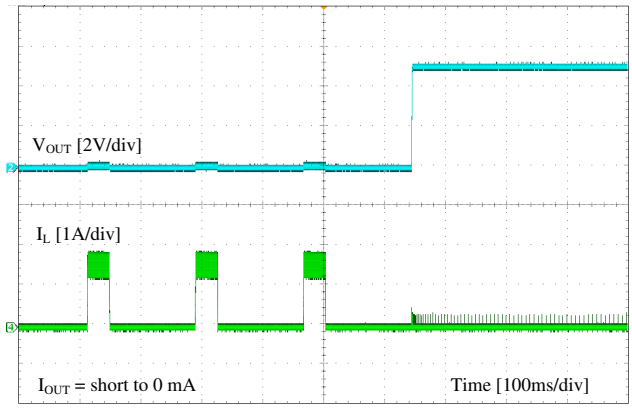


図 8-10. 短絡から回復

8.3 電源に関する推奨事項

LMR544xx は、4.0V～36V の入力電源電圧範囲で動作するように設計されています。入力電源は、レギュレーションが良好な状態で、最大入力電流に耐えることができ、安定した電圧を維持できる必要があります。入力電源レールの抵抗は、入力過渡電流によって LMR544xx の電源電圧が大きく降下し、UVLO の誤作動やシステム リセットが生じることのないように、十分小さくする必要があります。入力電源が LMR544xx から数インチ以上離れている場合は、セラミック バイパス コンデンサに加えて追加のバルク容量が必要となることがあります。バルク容量の大きさは重要ではありませんが、標準では 10µF または 22µF の電解コンデンサを選択します。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

レイアウトは、優れた電源設計のために重要な要素です。以下のガイドラインに従うことで、最高の電力変換性能や熱性能を実現しながら、不要な EMI の生成を最小限に抑える PCB を設計できます。

- 入力バイパス コンデンサ C_{IN} は、VIN および GND ピンにできる限り近づけて配置してください。入力コンデンサと出力コンデンサのグランド接続はいずれも、GND ピンに接続される最短距離の最上面プレーンで構成される必要があります。
- FB ピン ネットへのパターン長を最短にします。帰還抵抗 R_{FBT} および R_{FBB} は、FB ピンに近づけて配置する必要があります。負荷での V_{OUT} の精度が重要な場合は、負荷で V_{OUT} の検出が行われていることを確認します。V_{OUT} のセンス パスは、ノイズの多いノードから遠ざけ、可能であれば、基板のシールド層の反対側の層を通します。
- 可能であれば、中間層のグランド プレーンの 1 つをノイズ シールドおよび放熱経路として使用します。
- V_{IN}、V_{OUT}、およびグランド バスの接続は、できる限り幅広くします。こうすることにより、コンバータの入力または出力パスで生じる電圧降下が低減され、効率が最大になります。
- デバイスには十分なヒートシンクを接続します。GND、VIN、SW ピンは主な放熱経路であり、GND、VIN、および SW プレーンの面積は可能な限り大きくします。ヒートシンク ビアの配列を使用して、上面のグランド プレーンを PCB 下面のグランド プレーンに接続します。PCB に複数の銅層がある場合は、これらのサーマル ビアも内部層の熱拡散グランド プレーンに接続することができます。接合部温度が 125℃ 未満に保持されるように、ヒートシンクには十分な銅領域を使用してください。

8.4.1.1 コンパクトなレイアウトによる EMI の低減

放射 EMI は、スイッチング コンバータのパルス電流における高い di/dt 成分によって生じます。パルス電流の経路がカバーする面積が大きいほど、より多くの EMI が発生します。入力側の高周波セラミック バイパス コンデンサが、パルス電流の高い di/dt 成分に対して主要なパスを提供します。セラミック バイパス コンデンサまたはコンデンサを VIN および GND ピンにできる限り近づけて配置することが、EMI 低減のために重要となります。

Copyright © 2026 Texas Instruments Incorporated

SW ピンからインダクタへの配線は長さをできる限り短くし、幅については、過度の発熱を抑えて負荷電流を流せるのに必要な最小幅にします。寄生抵抗を最小限に抑えるため、大電流の伝導パスには、短く、太いパターン、または銅箔 (形状) を使用します。出力コンデンサは、インダクタの V_{OUT} 側の端の近くに配置し、GND ピンに近づけて接地します。

8.4.1.2 帰還抵抗

出力電圧帰還パスのノイズの影響を小さくするには、抵抗デバイダを負荷ではなく FB ピン近くに配置することが重要です。FB ピンは、誤差増幅器への入力であるため、ハイ インピーダンス ノードであり、ノイズに対して非常に敏感です。抵抗デバイダを FB ピンの近くに配置すると、FB 信号のパターン長が短くなり、ノイズの結合が低減されます。出力ノードは低インピーダンス ノードであるため、V_{OUT} から抵抗デバイダへのパターンは、短いパスを使用できなければ長くても許容されます。

負荷での電圧精度が重要な場合は、負荷で電圧検出が行われていることを確認します。それにより、トレースに沿った電圧降下が抑えられ、最高の出力精度が得られます。負荷から帰還抵抗デバイダまでの電圧センス パターンは、SW ノードのパスおよびインダクタから離して配線することで、帰還信号をスイッチ ノイズの影響から防ぎ、パターン長も最小限に抑えることができます。出力電圧の設定に高い抵抗値を使っている場合、これは特に重要になります。TI では、電圧センス パターンを配線し、抵抗デバイダをインダクタおよび SW ノード パスとは別の層に配置して、帰還パターンとインダクタ/SW ノード ポリゴンの間にグランド プレーンが存在するようにすることを推奨しています。この動作により、EMI ノイズからの電圧帰還パスをさらにシールドできます。

Copyright © 2026 Texas Instruments Incorporated

8.4.2 レイアウト例

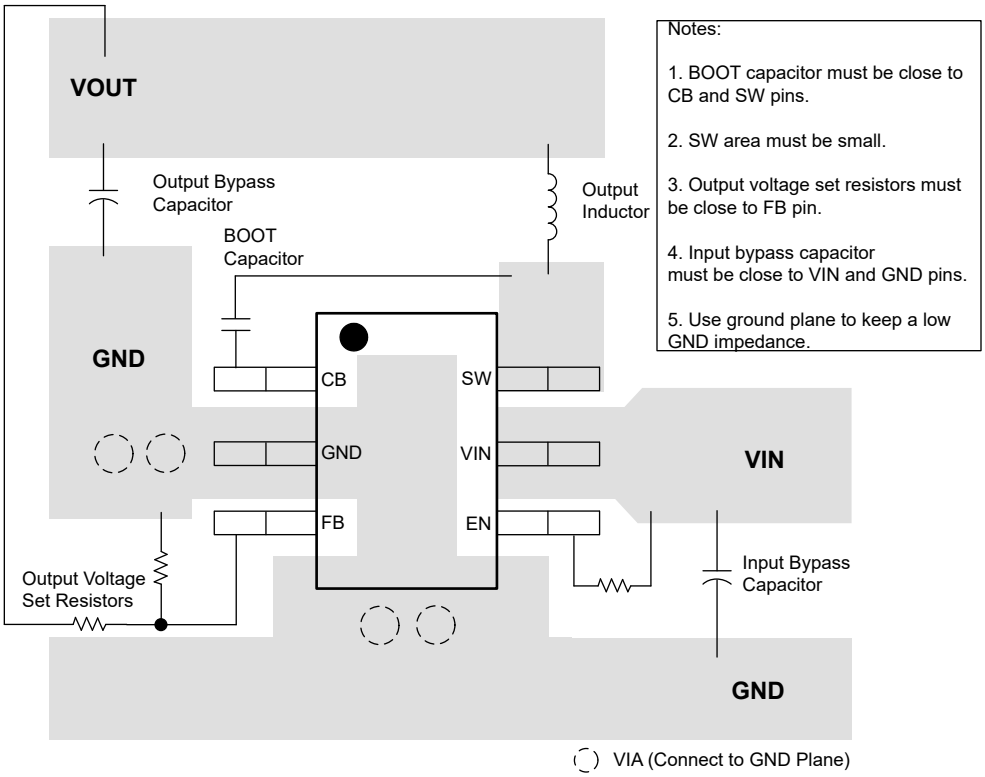


図 8-11. レイアウト

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

テキサス インスツルメンツ、『AN-1149 スイッチング電源のレイアウトのガイドライン』アプリケーション ノート

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
SIMPLE SWITCHER® is a registered trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2026 Texas Instruments Incorporated

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (April 2024) to Revision E (January 2026) **Page**

- SW から GND (過渡 10ns 未満) の仕様を追加 4

Changes from Revision C (February 2024) to Revision D (April 2024) **Page**

- CDM 値 を ±750V から ±1000V に変更 4

Changes from Revision B (February 2022) to Revision C (February 2024) **Page**

- 「パッケージ情報」表のボディ サイズをパッケージ サイズに変更 1
- 商標の情報を更新 1
- 図 6-1 を 1.1M から 1100K に変更 8
- 図 6-5 および 図 6-6 の位置を右から左に変更 8
- 図 6-4 の注記を 2.1Mhz から 1100Khz に変更 8
- 「非同期コンバータの置き換え」の SCH GND 接続を更新 22

Changes from Revision A (November 2021) to Revision B (February 2022) **Page**

- データシートのタイトルを変更 1
- セクション 8.2.2.8 を追加 22

Changes from Revision * (October 2021) to Revision A (November 2021) **Page**

- デバイスのステータスを「事前情報」から「量産データ」に変更 1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMR54406DBVR	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	5406
LMR54406DBVR.A	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	5406
LMR54406FDBVR	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	546F
LMR54406FDBVR.A	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	546F
LMR54410DBVR	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	5410
LMR54410DBVR.A	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	5410
LMR54410DBVRG4	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	5410
LMR54410DBVRG4.A	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	5410
LMR54410FDBVR	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	541F
LMR54410FDBVR.A	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	541F

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

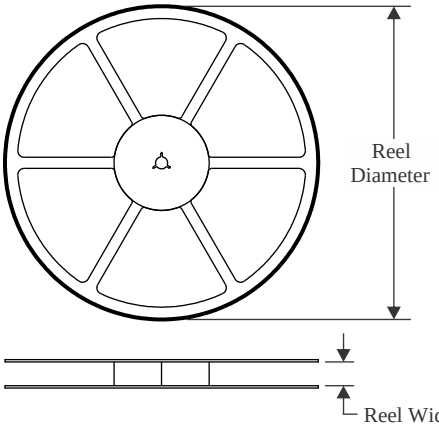
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

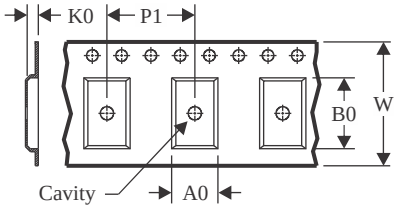
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

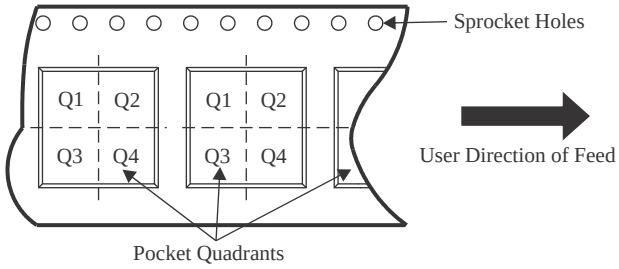


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

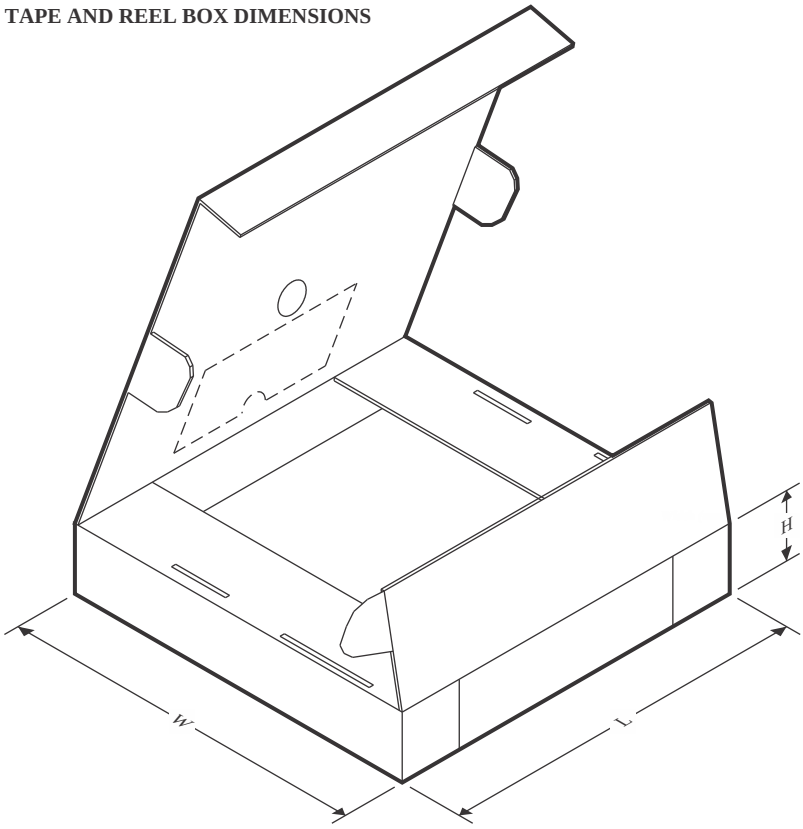
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMR54406DBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMR54406FDBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMR54410DBVR	SOT-23	DBV	6	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMR54410DBVRG4	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMR54410FDBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

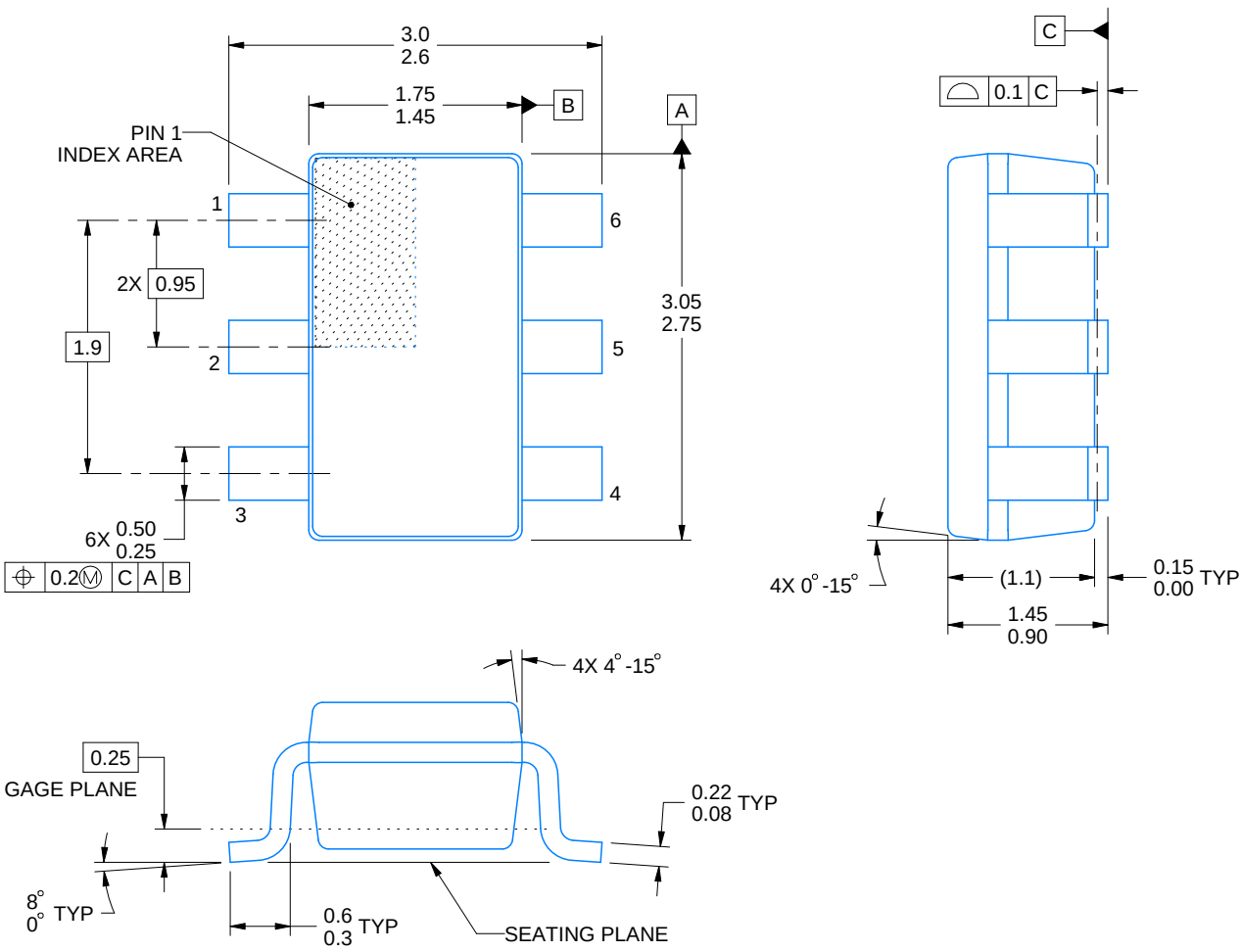
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMR54406DBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0
LMR54406FDBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0
LMR54410DBVR	SOT-23	DBV	6	3000	208.0	191.0	35.0
LMR54410DBVRG4	SOT-23	DBV	6	3000	210.0	185.0	35.0
LMR54410FDBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0

PACKAGE OUTLINE

DBV0006A

SOT-23 - 1.45 mm max height

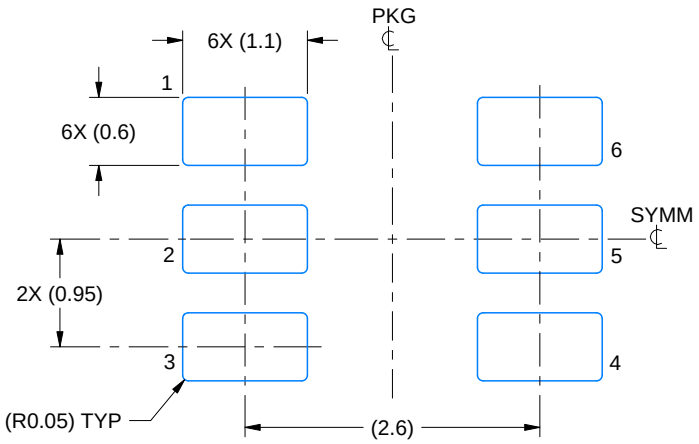
SMALL OUTLINE TRANSISTOR



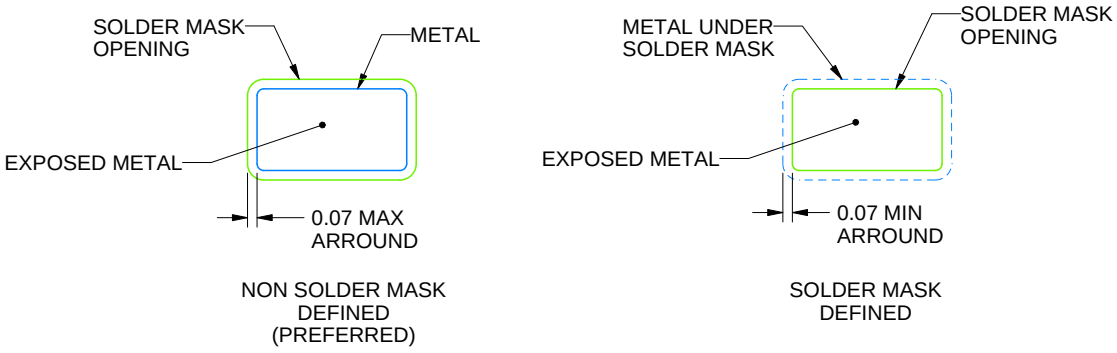
4214840/G 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Refernce JEDEC MO-178.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

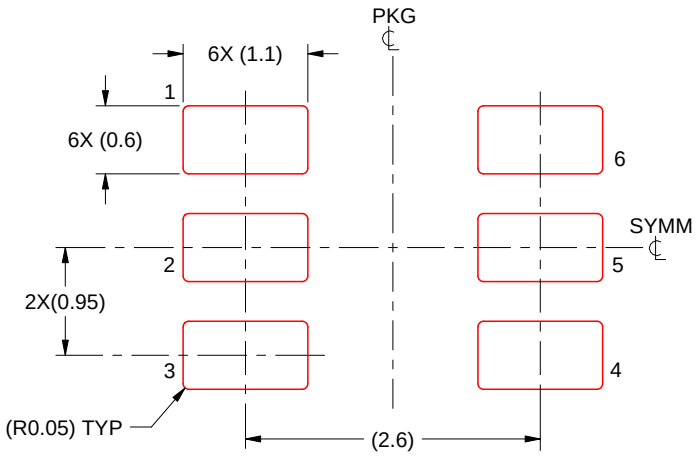


SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月