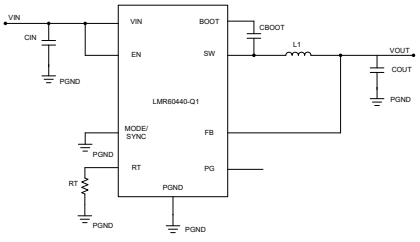
LMR60440-Q1 36V、4A、車載、干渉およびノイズ低減技術 (MINT) 搭載、低 EMI、低出力キャパシタンスに最適化された同期整流型降圧コンバータ

1 特長

- 干渉およびノイズ軽減技術 - アーキテクチャ 1 (MINT 1):
  - CISPR 25 クラス 5 準拠を促進
  - 低インダクタンス HotRod™ QFN パッケージ
  - 高度なスペクトラム拡散オプションを利用可能
- 車載アプリケーション向けに AEC-Q100 認証済み
  - デバイス温度グレード 1:動作時周囲温度範囲 -40℃～125℃
- 機能安全対応
  - 機能安全システムの設計に役立つ資料を利用可能
- 広い動作入力電圧範囲:3V～36V (絶対最大値 42V)
- プログラマブル出力電圧オプションが固定 3.3V/ADJ、3.8V/ADJ、5V/ADJ で用意されています
  - 可変出力電圧範囲:1V～20V
- 非常に低い静止電流
  - シャットダウン電流:0.7μA
  - 無負荷時スタンバイ電流:5μA
- 低出力容量用に最適化された制御ループ
- スイッチング周波数 200kHz～2.2MHz
- 低い最小オン時間 t_{ON} (標準値 30ns)
- FPWM、PFM、または外部周波数同期を利用可能
- スケーラブルな電源に対応した設計
  - LMR60406-Q1、LMR60410-Q1、LMR60420-Q1、LMR60430-Q1、LMR61430-Q1、LMR61440-Q1、LMR60441-Q1、LMR60450-Q1、および LMR60460-Q1 とピン互換
- 電源シーケンス用のパワー グッド出力

2 アプリケーション

- 車載用カメラ アプリケーション
- 車載用運転支援システム
- 車載用ボディ アプリケーション



概略回路図 – 固定出力

3 説明

LMR60440-Q1 は、3V ～ 36V (42V 過渡)、4A の車載グレードの同期整流式降圧コンバータであり、超小型の 2.5mm × 2mm QFN-9 パッケージ、または 3.5mm × 2.5mm のウェッタブル フランク QFN-11 パッケージに封止されています。HotRod™ QFN パッケージは、アーキテクチャ 1 の機能を使用して干渉とノイズを軽減 (MINT 1) しており、低 EMI 特性を達成しているため、車載やその他のノイズに敏感な設計の認定取得が容易になります。

すべてのデバイスバリアントは、可変出力構成で 1V~20V の範囲の出力電圧に対応しています。ま各バリアントは、出力電圧ノードをフィードバック ピンに直接接続することで、固定出力電圧を供給することもできます。デバイス比較表には、固定出力電圧オプションの詳細が記載されています。最小オン時間 30ns の電流モード制御アーキテクチャにより、高周波数での高い変換比、高速過渡応答、優れた負荷およびライン レギュレーションを可能にします。

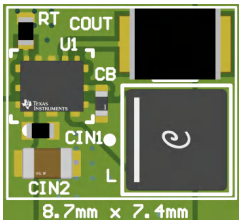
オープン ドレインのパワー グッド出力により、電源シーケンス要件が容易になります。LMR60440-Q1 の MODE/SYNC ピンを使用すると、強制パルス幅変調 (FPWM)、自動モード、または外部同期モードのいずれかを動作させることができます。

LMR60440-Q1 は、出力容量を低減するよう設計されており、PCB レイアウトの小型化とシステムコストの削減につながります。LMR60440-Q1 は、0.6A～6A の電流レベルの範囲にわたるピン互換デバイスファミリの製品です。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
LMR60440-Q1	RAK (WQFN-HR、9)	2.5mm × 2mm
	RBM (WQFN-HR、11)	3.5mm × 2.5mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



EVM のレイアウト- 2.2MHz 3.3V 固定出力

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 デバイス比較表.....3
5 ピン構成および機能.....4
6 仕様.....6
6.1 絶対最大定格.....6
6.2 ESD 定格.....6
6.3 推奨動作条件.....6
6.4 熱に関する情報.....6
6.5 電気的特性.....7
6.6 代表的特性.....9
7 詳細説明.....11
7.1 概要.....11
7.2 機能ブロック図.....12
7.3 機能説明.....12
7.4 デバイスの機能モード.....18
8 アプリケーションと実装.....22
8.1 使用上の注意.....22
8.2 代表的なアプリケーション.....22
8.3 電源に関する推奨事項.....33
8.4 レイアウト.....33
9 デバイスおよびドキュメントのサポート.....37
9.1 デバイス サポート.....37
9.2 ドキュメントのサポート.....37
9.3 ドキュメントの更新通知を受け取る方法.....38
9.4 サポート・リソース.....38
9.5 商標.....38
9.6 静電気放電に関する注意事項.....38
9.7 用語集.....38
10 改訂履歴.....39
11 メカニカル、パッケージ、および注文情報.....40

Copyright © 2026 Texas Instruments Incorporated

4 デバイス比較表

発注用部品番号(1)	出力電圧	スペクトラム拡散	ウェッタブル フランク	パッケージ サイズ
LMR604403SBRAKRQ1	3.3V 固定/可変	あり	あり	2.5mm × 2mm
LMR604404SBRAKRQ1	3.8V 固定/可変	あり	あり	2.5mm × 2mm
LMR604405SBRAKRQ1	5V 固定/可変	あり	あり	2.5mm × 2mm
LMR604403SRBMRQ1	3.3V 固定/可変	あり	あり	3.5mm × 2.5mm
LMR604405SRBMRQ1	5V 固定/可変	あり	あり	3.5mm × 2.5mm

(1) 他のバリエーションについては、テキサス・インスツルメンツにお問い合わせください。

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

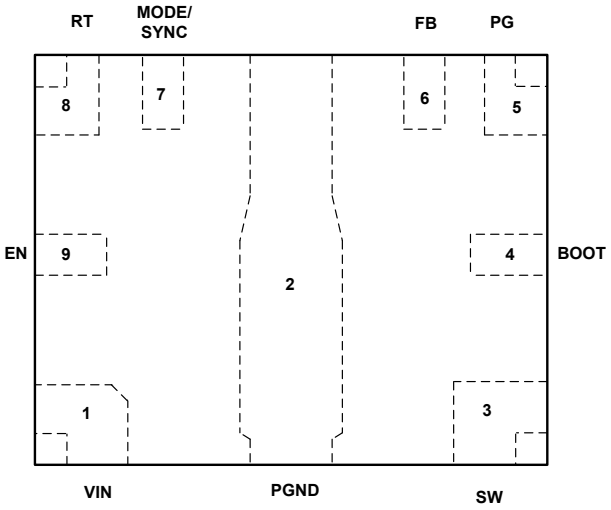


図 5-1. RAK パッケージ 9 ピン WQFN-HR (上面図)

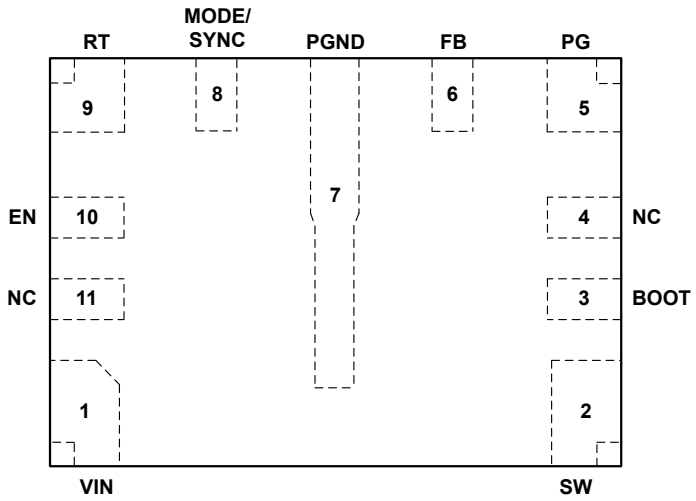


図 5-2. RBM パッケージ 11 ピン WQFN-HR (上面図)

表 5-1. ピンの機能

ピン			タイプ(1)	説明
RAK	RBM	名称		
1	1	VIN	P	レギュレータの入力電源ピンをハイサイドのパワー MOSFET および内部 VCC レギュレータに接続します。 入力電源および入力フィルタコンデンサのプラス端子に接続します。VIN ピンから入力コンデンサへの経路はできる限り短くする必要があります。
2	7	PGND	G	電源グランド。 このピンは内部でローサイド MOSFET のソースに接続されます。システム グランド、および CIN と COUT コンデンサのグランド端子に接続します。CIN への経路はできる限り短くする必要があります。
3	2	SW	P	レギュレータスイッチノード。 パワー インダクタおよびブートストラップ コンデンサに接続します。
4	3	BOOT	P	ブートストラップゲート駆動用ハイサイド MOSFET ドライバ電源。 このピンと SW の間に、できるだけデバイスに近い位置に高品質の 100nF コンデンサを接続してください。
5	5	PG	O	オープンドレインのパワーグッド出力。 電流制限プルアップ抵抗を介して、このピンを適切な電圧源に接続します。High = レギュレータはパワー グッド、Low = 出力はレギュレーション外。EN = ローになるとローになります。セクション 7.3.8 も参照してください。
6	6	FB	I	フィードバックピン。 固定 V_{OUT} 動作では、このピンを出力電圧ノードに直接接続します。各デバイス バリアントの電圧レベルについては、「セクション 4」を参照してください。V_{OUT} ノードと PGND の間に配置された帰還電圧分圧器の中心点に接続して、調整可能な出力電圧をプログラムします。
7	8	MODE/ SYNC	I	動作モード入力ピン。 このピンを RT ピンに接続して FPWM スイッチングを選択するか、このピンを GND に接続して軽負荷での PFM スイッチングを選択します。外部クロックと同期するには、100kΩ の抵抗をグランドに接続して、クロックから直接駆動します。許容される電圧レベルとタイミング要件については、「 電気的特性 」の表を参照してください。
8	9	RT	I	周波数設定ピン。 RT と PGND の間に抵抗を配置することにより、発振器の周波数は 200kHz～2.2MHz の範囲に設定されます。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン			タイプ(1)	説明
RAK	RBM	名称		
9	10	EN	I	レギュレータの有効ピン。 このピンをハイにするとデバイスが有効になり、ローにするとデバイスが無効になります。イネーブル機能が不要な場合は、このピンを VIN ピンに接続します。許容される電圧レベルの詳細については、「電気的特性」の表を参照してください。
–	4、11	NC	–	デバイスに内部接続されていません

(1) G=グランド、I=入力、O=出力、P=電源

6 仕様

6.1 絶対最大定格

動作時接合部温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
入力電圧	VIN から PGND へ	-0.3	42	V
入力電圧	EN/UVLO から PGND へ	-0.3	42	V
入力電圧	RT、MODE/SYNC から PGND へ	-0.3	42	V
入力電圧	FB から PGND	-0.3	20	V
出力電圧	PG から PGND	-0.3	20	V
出力電圧	SW から PGND(2)	-0.3	V_{IN} + 0.3	V
出力電圧	BOOT から SW へ	-0.3	5.5	V
温度	動作時の接合部温度、T_J	-40	150	℃
温度	保管温度、T_{stg}	-55	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

(2) SW ピンを外部から駆動しないでください。スイッチング遷移時には、PGND より 5V 低い電圧、および 20ns 未満の間においてピーク電圧が 42V を超えないことが許容されます

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002(1) 準拠	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011	±750	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

動作時接合部温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
入力電圧	VIN	3	36	V
入力電圧	EN	0	36	V
入力電圧	PG	0	18	V
入力電圧	MODE/SYNC、RT	0	5.5	V
出力電圧	VOUT	1.0	20(1)	V
出力電流	IOUT (LMR60440-Q1)	0	4.0	A
温度	動作時の接合部温度、T_J	-40	150	℃

(1) この範囲外の出力電圧については、テキサス・インスツルメンツまでお問い合わせください。いかなる条件下でも、出力電圧は 0V を下回ることはできません。

6.4 熱に関する情報

熱評価基準(1)		デバイス		単位
		RAK (WQFN-HR)	RBM (WQFN-HR)	
		9 ピン	11 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗 (JESD 51-7) (2)	84.5	75.1	℃/W
$R_{\theta JA}$	接合部から周囲への熱抵抗	32.5	36.4	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	56.3	37.3	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	23.9	21.1	℃/W

Copyright © 2026 Texas Instruments Incorporated

熱評価基準(1)		デバイス		単位
		RAK (WQFN-HR)	RBM (WQFN-HR)	
		9 ピン	11 ピン	
Ψ_{JT}	接合部から上面への特性パラメータ	2.9	0.5	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	23.2	21	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
(2) この表に示す $R_{\theta JA}$ の値は他のパッケージとの比較にのみ有効であり、設計目的に使用することはできません。これらの値は JESD 51-7 に従って計算されており、4 層 JEDEC 基板上でシミュレーションされています。この値は、実際のアプリケーションで得られた性能を表すものではありません。例えば、評価基板の $R_{\theta JA}$ (RAK パッケージ) = 32.5℃/W です。

6.5 電気的特性

特に記述のない限り、各制限値は推奨動作接合部温度 (T_J) 範囲 (-40℃～+150℃) にわたって適用されます。最小値および最大値は、試験、設計、および統計的相関に基づいて規定されています。標準値は T_J = 25℃における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。V_{IN} = 13.5V、V_{EN}= V_{IN}、V_{OUT} = 3.3V、F_{SW} = 2MHz

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源 (VIN ピン)						
$VIN_{UVLO(R)}$	VIN の UVLO 立ち上がりスレッショルド電圧	V_{IN} の立ち上がり (起動に必要)	3.3	3.5	3.7	V
$VIN_{UVLO(F)}$	VIN UVLO 立ち下がりスレッショルド	V_{IN} の立ち下がり (動作開始後)			2.65	V
$VIN_{UVLO(H)}$	VIN の UVLO ヒステリシス			1		V
$VIN_{OVP(R)}$	VIN OVP 立ち上がりスレッショルド	デバイスを PFM 動作に切り替えるために必要な V_{IN} 立ち上がり	35	37	39	V
$VIN_{OVP(F)}$	VIN OVP 立ち下がりスレッショルド	デバイスを PFM 動作から FPWM 動作に切り替えるために必要な V_{IN} 立ち下がり	34	36	38	V
$VIN_{OVP(H)}$	VIN OVP ヒステリシス		0.6	0.95	1.2	V
$I_{Q(FIX-3.3V)}$	V_{IN} 静止電流の合計、3.3V 固定出力、スイッチングなし	V_{IN} = 13.5V、I_{OUT} = 0A、V_{FB} = 3.3V + 4%、T_J = 25℃、自動モード有効		3.8	5	µA
$I_{Q(ADJ-3.3V)}$	V_{IN} 静止電流の合計、調整可能な 3.3V 出力、スイッチングなし	V_{IN} = 13.5V、I_{OUT} = 0A、V_{FB} = 1V + 4%、T_J = 25℃、自動モード有効		3.8	5	µA
I_{Q-SD}	V_{IN} のシャットダウン時の電源電流	V_{EN} = 0V、T_J = 25℃		0.7	1	µA
イネーブル (EN ピン)						
$V_{EN-TH(R)}$	イネーブル電圧立ち上がりスレッショルド	V_{EN} 立ち上がり	1.15	1.25	1.35	V
$V_{EN-TH(F)}$	イネーブル入力 Low スレッショルド	V_{EN} 立ち下がり	0.9	1	1.1	V
V_{EN-HYS}	イネーブル電圧のヒステリシス			275		mV
I_{EN-LKG}	イネーブル入力リーク電流	V_{EN} = V_{IN}		1	665	nA
電圧リファレンス (FB ピン)						
V_{FB}	内部フィードバック リファレンス電圧	FPWM モード	0.99	1.0	1.01	V
I_{FB-LKG}	フィードバック ピン入力リーク電流	V_{FB} = 1V、可変出力電圧		0.09	50	nA
$V_{OUT(3.3V)}$	3.3V 固定出力電圧	FPWM モード、FB ピンが VOUT へ短絡	3.24	3.3	3.35	V
スタートアップ						
t_{SS}	内部固定ソフトスタート時間	最初の SW パルスから V_{REF} が設定点の 90% に達するまでの時間。		6		ms
電流制限およびヒカップ						
I_{HS-LIM}	ハイサイド ピーク電流制限	デューティ サイクルが 0% に近づく	5.1	6.9	8.2	A
I_{LS-LIM}	ローサイド バレー電流制限	LS FET のバレー電流制限	3.4	4.4	5.5	A
$I_{LS-NEG-LIM}$	上限側負の電流制限	LS FET のシンク電流制限、FPWM モード	-2.2	-1.6	-1.0	A
$I_{L-ZC-LIM}$	ゼロクロスの電流制限値	自動モード		80		mA
V_{HIC}	FB ピンの過電流ヒカップ スレッショルド	LS FET オン時間 > 165ns、ソフトスタート中ではない	0.14	0.2	0.25	V
パワー グッド (PG ピン)						
$V_{PG-OVP(R)}$	PG 過電圧立ち上がりスレッショルド	FB 電圧の % (可変)	105	107	109.7	%

Copyright © 2026 Texas Instruments Incorporated

特に記述のない限り、各制限値は推奨動作接合部温度 (T_J) 範囲 (-40℃～+150℃) にわたって適用されます。最小値および最大値は、試験、設計、および統計的相関に基づいて規定されています。標準値は T_J = 25℃における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。V_{IN} = 13.5V、V_{EN}= V_{IN}、V_{OUT} = 3.3V、F_{SW} = 2MHz

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{PG-OVP(F)}$	PG 過電圧立ち下がりスレッショルド	FB 電圧の % (可変)	104	106	108	%
$V_{PG-UVP(R)}$	PG 低電圧立ち上がりスレッショルド	FB 電圧の % (可変)	92	94	96.5	%
$V_{PG-UVP(F)}$	PG 低電圧立ち下がりスレッショルド	FB 電圧の % (可変)	91	93	95	%
$t_{PG-DEGLITCH}$	PG 立ち下がりエッジでのグリッチ除去フィルタ遅延		42	52	81	µs
$t_{PG-DEASSERT}$	PG のアサート停止時間		1.0	2.0	3.0	ms
$V_{IN(PG-VALID)}$	有効な PG 出力の最小 VIN	$V_{OL(PG)}$ < 0.4V, R_{PU} = 10kΩ, V_{PU} = 5V			1.25	V
$R_{ON(PG)}$	PG オン抵抗	I_{PG} = 1mA		165	420	Ω
スイッチング周波数 (RT ピン)						
$f_{SW1(FPWM)}$	スイッチング周波数、FPWM 動作	R_{RT} = 15.2kΩ、1%	1800	2000	2200	kHz
$f_{SW2(FPWM)}$	スイッチング周波数、FPWM 動作	R_{RT} = 32.8kΩ、1%	900	1000	1100	kHz
同期 (MODE/SYNC ピン)						
V_{IH_FPWM}	FPWM に移行する MODE/SYNC ピン電圧		0.5		0.85	V
V_{IL_FPWM}	FPWM を終了する MODE/SYNC ピン電圧		0.35		0.7	V
V_{IH_CLK}	外部クロック入力ハイレベル スレッショルド		1.3			V
V_{IL_CLK}	外部クロック入力ローレベル スレッショルド				0.35	V
$t_{CLKIN(TON)}$	外部 SYNC 信号の最小正パルス幅			150		ns
$t_{CLKIN(TOFF)}$	外部 SYNC 信号の最小負パルス幅			150		ns
電力段						
$R_{DS-ON-HS}$	ハイサイド FET オン抵抗	I_{SW} = 500mA, $V_{BOOT-SW}$ = 3.8V		60	130	mΩ
$R_{DS-ON-LS}$	ローサイド FET オン抵抗			40	85	mΩ
t_{ON-MIN} (1)	最小オン時間			30		ns
$t_{OFF-MIN}$ (1)	最小オフ時間			100		ns
サーマル シャットダウン						
T_{SD}	サーマル シャットダウン (1)	シャットダウン スレッショルド	155	165	176	℃
		復帰スレッショルド		156		℃

(1) 量産時にはテストを行っていません。

Copyright © 2026 Texas Instruments Incorporated

6.6 代表的特性

V_{IN} = 13.5V、T_A = 25℃ (特に記述のない限り)。指定温度は周囲温度です。

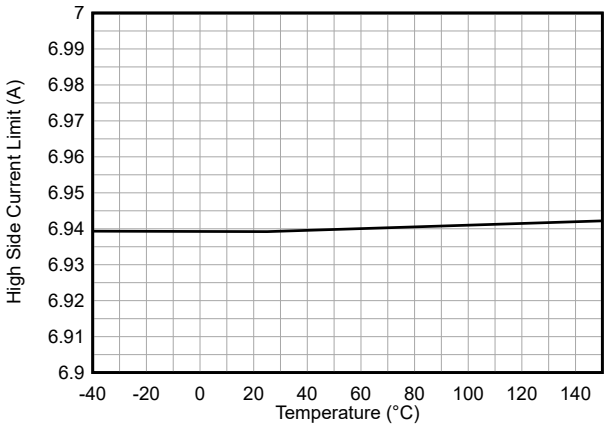


図 6-1. ハイサイド MOSFET 電流制限値

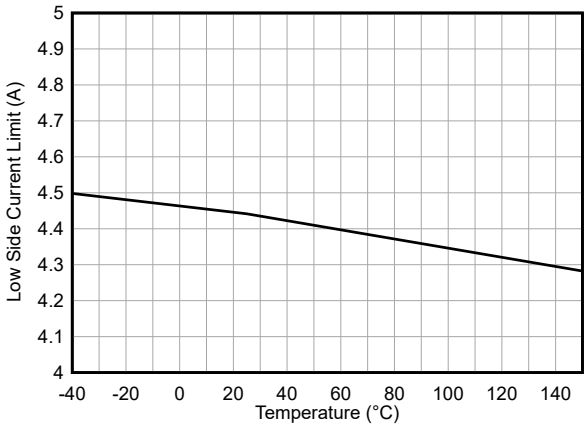


図 6-2. ローサイド MOSFET 電流制限値

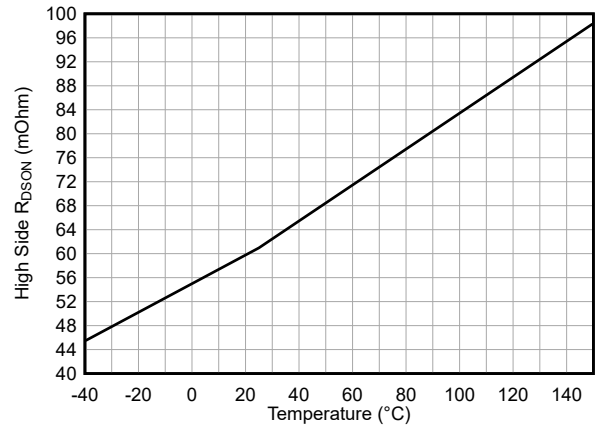


図 6-3. ハイサイド MOSFET の R_{DS-ON}

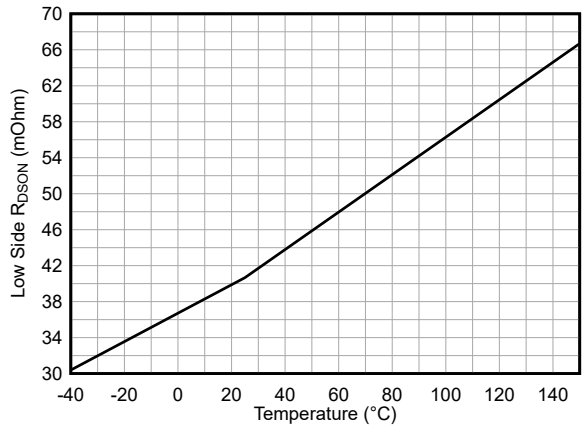
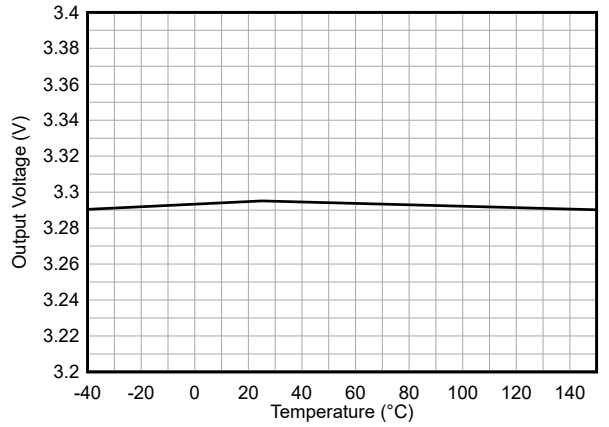


図 6-4. ローサイド MOSFET の R_{DS-ON}



3.3V 固定

図 6-5. 出力電圧精度

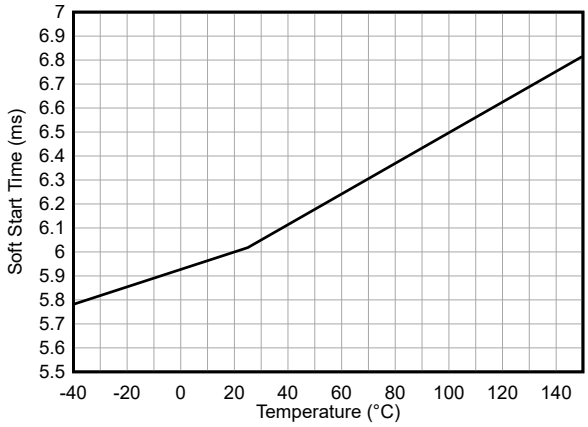


図 6-6. ソフト スタート時間

Copyright © 2026 Texas Instruments Incorporated

6.6 代表的特性 (続き)

V_{IN} = 13.5V、T_A = 25℃ (特に記述のない限り)。指定温度は周囲温度です。

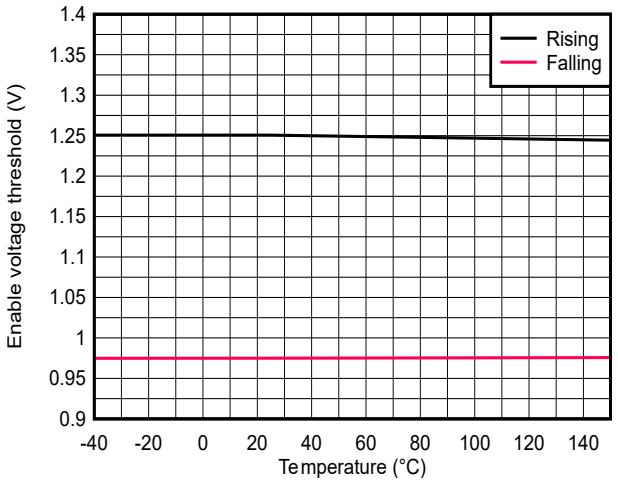


図 6-7. イネーブル スレッショルド電圧

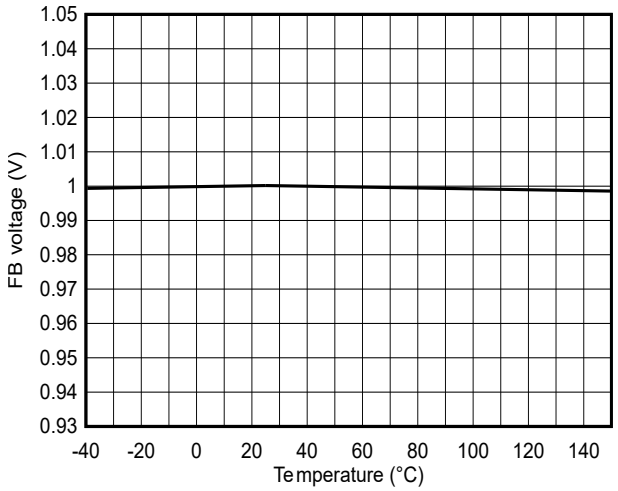


図 6-8. 帰還電圧精度

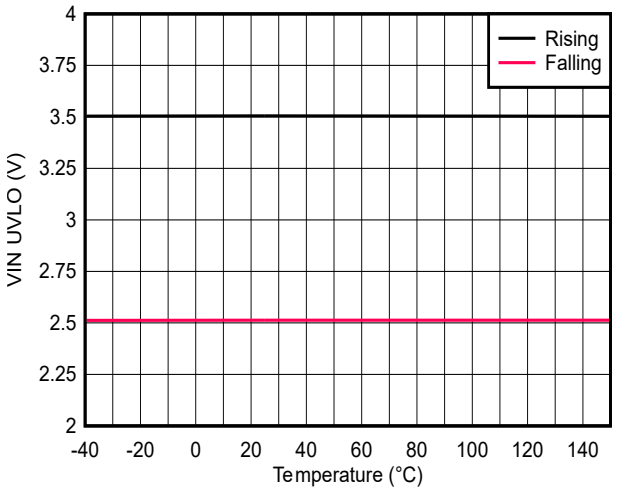


図 6-9. 入力電圧 UVLO

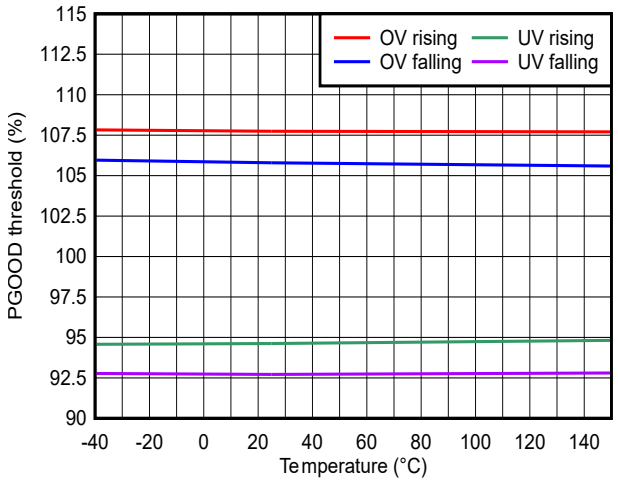


図 6-10. PGOOD スレッショルド

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

LMR60440-Q1 は、高効率の 3V ～ 36V、超低 IQ 同期整流降圧コンバータで、高い電力密度と低 EMI を実現しています。LMR60440-Q1 は、安定した設計のために必要な外付け受動部品の数を減らすことで、製品のコストとサイズを最小限に抑えるように設計されています。要求の厳しい車載用アプリケーション向けの LMR60440-Q1 デバイスは AEC-Q100 認定を受けており、最大接合部温度 150ºC までの電気的特性が規定されています。

LMR60440-Q1 は、目的の動作条件に応じて設計の柔軟性を向上させるための以下の主要機能を備えています:

- EN ピンによる高精度イネーブルにより、デバイス電源のオン/オフを正確に行えます
- RT ピンを使用してスイッチング周波数を選択すると、設計者は 200kHz ～ 2.2MHz のスイッチング周波数を選択できます
- MODE/SYNC ピンを使用すると、設計者は動作モードを選択、または外部クロック周波数に同期を行うことができます
- PG ピンを使用すると、外部電圧監視回路なしで、電源シーケンスと、出力電圧のステータス通知を実行できます

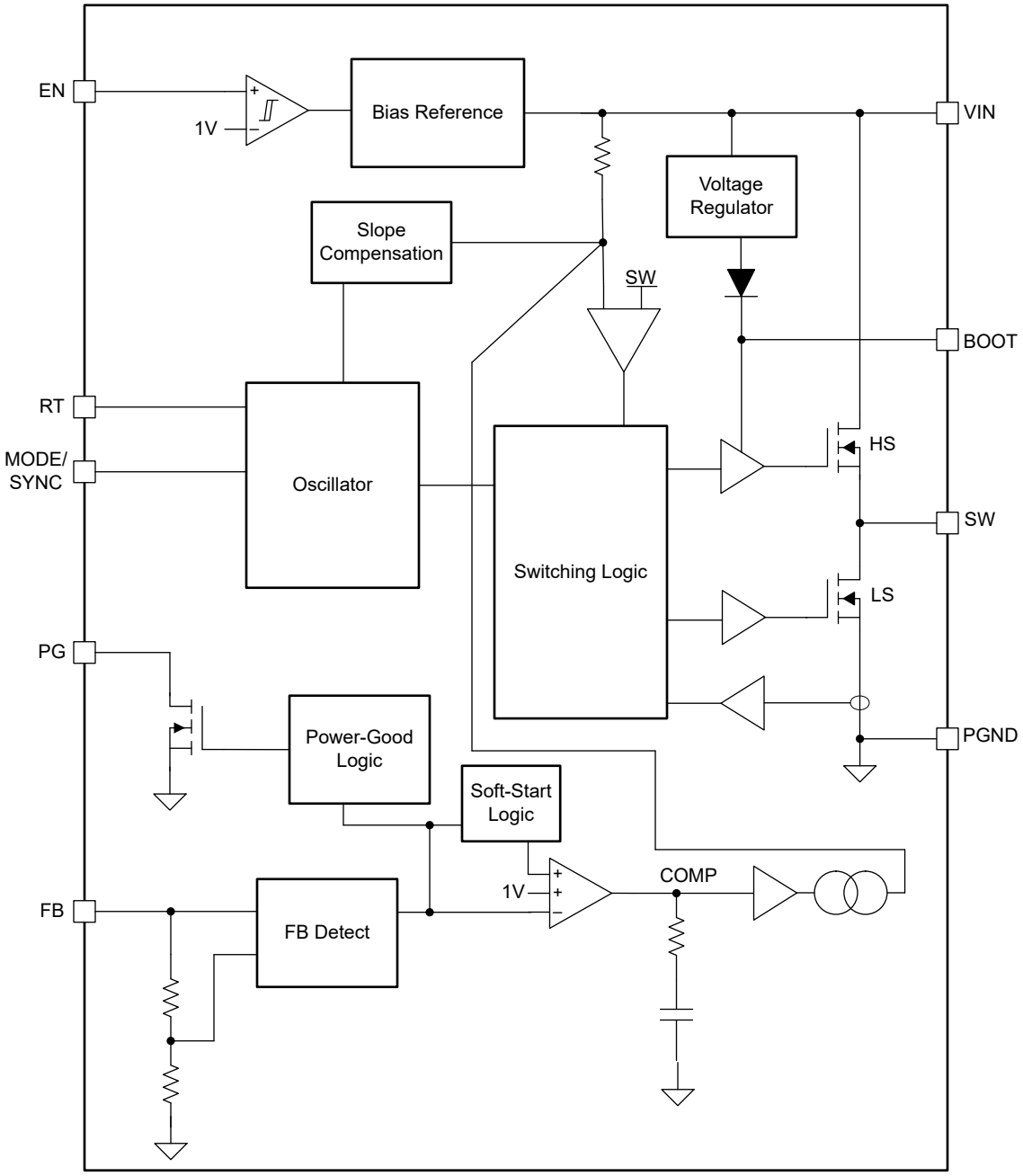
各コンバータは、最大 4A の出力電流を供給するように設計されたパワー MOSFET を一組内蔵しています。LMR60440-Q1 のすべてのバリアントは、帰還抵抗の有無に応じて、すべてのデバイスを固定出力電圧または可変出力電圧のいずれかに構成できます。固定出力電圧の設定は、デバイス比較表に記載されている特定の注文可能な型番によって決まります。

LMR60440-Q1 には、要求の厳しいアプリケーションに最適な選択肢となる、いくつかの保護機能が用意されています。帰還ピンは電圧定格を備えているため、固定出力電圧構成の場合でも、ピンはバッテリへの出力電圧短絡に耐えられます。デバイスは入力電圧が $VIN_{OVP(R)}$ を超えると FPWM スイッチングを無効にし、出力電圧が入力電源に短絡した場合に負の電流により入力電圧が過充電されることを防ぎます。サーマル シャットダウンによりスイッチングが無効にされ、LMR60440-Q1 が再起動を試行する前に冷却できます。

電流モード制御アーキテクチャの最小オン時間は 30ns で、高周波数での高い変換比、容易なループ補償、高速過渡応答、優れた負荷およびライン レギュレーションを実現します。これらのコンバータはスペクトラム拡散機能を強化した HotRod™ パッケージも採用しており、低 EMI 性能を実現して、産業用およびノイズに敏感な設計の認定取得が容易になります。

Copyright © 2026 Texas Instruments Incorporated

7.2 機能ブロック図



7.3 機能説明

7.3.1 イネーブルおよび低電圧誤動作防止 (UVLO)

LMR60440-Q1 は高精度のイネーブルおよび低電圧誤動作防止 (UVLO) 機能を備えており、ユーザーは EN ピンに印加される電圧に基づいてデバイスの電源をオン/オフにする電圧レベルを選択できます。デバイスに電力を供給するには、EN ピンと PGND ピンの間の電圧がイネーブル電圧立ち上がりスレッショルド $V_{EN-TH(R)}$ (標準 1.25V) を超えている必要があります。$V_{EN-TH(R)}$ を超え、最小電源電圧、$VIN_{UVLO(R)}$ の両方が満たされると、デバイスは「セクション 7.3.2」で説明されているソフトスタート シーケンスを開始します。

EN ピンは、EN ピンと PGND ピン間の電圧をイネーブル入力 Low スレッショルド $V_{EN-TH(F)}$ 1V (標準) より低くすることで、デバイスの電源をオフにするために使用できます。

Copyright © 2026 Texas Instruments Incorporated

VIN と PGND の間に抵抗分圧器を配置して、中心点を EN ピンに接続すると、VIN UVLO を実装できます。デバイスがオフなる入力電圧を選択してから、R_{ENT} の値を選択し、必要な R_{ENB} を計算します。R_{ENB} を計算すると、結果として生じるターンオン入力電圧を計算できます。必要な EN 抵抗を判断するには、「図 7-1」、「式 1」および「式 2」を参照してください。VIN UVLO 機能が不要な場合には、EN ピンを VIN に直接接続できます。

$$R_{ENB} = \frac{V_{EN-TH(F)}}{\left(VIN_{turn-off} - V_{EN-TH(F)}\right)} \times R_{ENT} \quad (1)$$

$$VIN_{turn-on} = \left(1 + \frac{R_{ENT}}{R_{ENB}}\right) \times V_{EN-TH(R)} \quad (2)$$

ここで

- $VIN_{turn-off}$ は LMR60440-Q1 をオフにした入力電圧を表します。
- $VIN_{turn-on}$ は LMR60440-Q1 をオンにした入力電圧を表します。

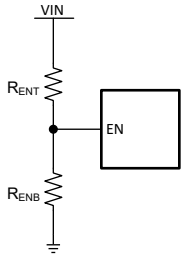


図 7-1. EN ピンを使った VIN/UVLO

7.3.2 ソフト スタートとドロップアウトからの回復

LMR60440-Q1 は、起動中の出力電圧のオーバーシュートと大きな突入電流を防止するため、ソフト スタートを採用しています。ソフト スタート時間は内部で固定され、6ms です (標準値)。LMR60440-Q1 デバイスは、デバイスが有効になる前に出力に電圧が印加されていても正しく動作します。

LMR60440-Q1 を起動してソフト スタート シーケンスを開始するには、VIN ピンと EN ピンに印加される電圧がそれぞれ $VIN_{UVLO(R)}$ と $V_{EN-TH(R)}$ を超えている必要があります。これらの条件が満たされると、ソフト スタート シーケンスが開始され、出力電圧は 6ms (標準値) で設定点に達します。

ドロップアウトは、入力電圧が出力電圧の設定点の電圧レベルを下回るときに発生します。この条件では、出力電圧は入力電圧に追従します。

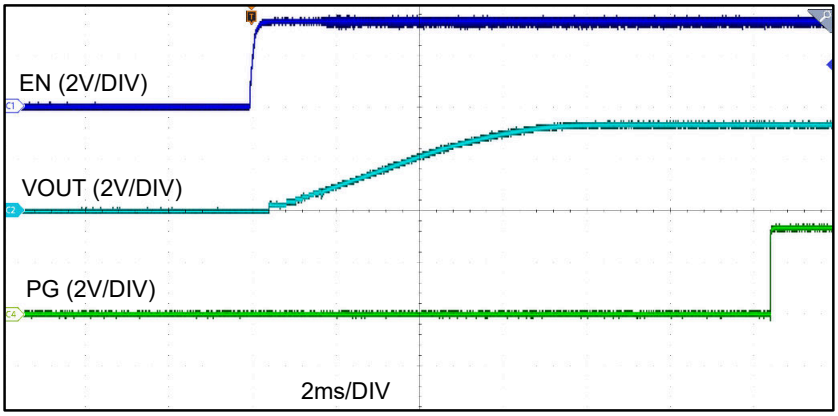


図 7-2. ソフト スタートを有効にする

Copyright © 2026 Texas Instruments Incorporated

7.3.3 RT による周波数の選択

RT ピンと PGND の間に配置された抵抗を使って、LMR60440-Q1 の設定点のスイッチング周波数 (通常 200kHz ～ 2.2MHz) を選択します。設定点のスイッチング周波数は、LMR60440-Q1 がスペクトラム拡散を無効化した状態で連続導通モードで動作する場合に発生する可能性のあるスイッチング周波数を表します。スペクトラム拡散がスイッチング周波数に与える影響の詳細については、「セクション 7.3.9」も参照してください。次の式を使用して、目的の設定点のスイッチング周波数に対する RT 抵抗値を決定します。

$$RT = \frac{\frac{1}{f_{sw}} - \left(69.6 \times 10^{-9}\right)}{2.825 \times 10^{-11}} \quad (3)$$

説明:

- RT:オーム (Ω) による RT 抵抗値を表します
- f_{sw}:ヘルツ (Hz) による設定点のスイッチング周波数を表します

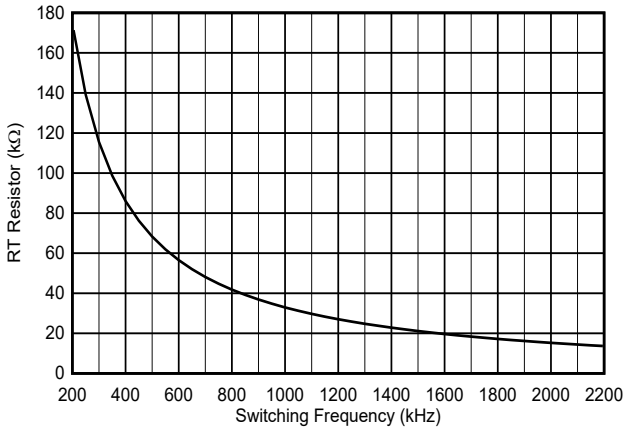


図 7-3. RT の値とスイッチング周波数との関係

表 8-2 に、400kHz、1MHz、2MHz のスイッチング周波数の推奨 RT 値を示します。

7.3.4 MODE/SYNC ピン制御

LMR60440-Q1 の MODE/SYNC ピンは、デバイスの動作モードを選択したり、スイッチング周波数を外部クロック周波数に同期させたりするために使用する入力ピンです。外部クロックがない場合は、RT 抵抗によってスイッチング周波数が決定されます。MODE/SYNC ピンをフローティングにしないでください。このピンが高インピーダンスのソースで駆動される場合は、プルアップ抵抗またはプルダウン抵抗を接続して、このピンがフローティングにならないようにしてください。動作モードの詳細については、セクション 7.4 も参照してください。

MODE/SYNC ピンを使用すると、複数の動作モードを必要とするシステムの動作モードを動的に変更できます。次の 3 つの動作モードを選択できます:

- 自動モード:パルス周波数変調 (PFM) 動作は、軽負荷時に有効化され、ダイオード エミュレーションは、インダクタを流れる逆電流を防止します。セクション 7.4.2.2 も参照してください。
- FPWM モード:FPWM モードでは、入力電圧が $VIN_{OVP(R)}$ より小さい場合にダイオード エミュレーションが無効化され、電流がインダクタを逆方向に流れるようになります。これにより、負荷電流が流れなくても最大周波数で動作できます。セクション 7.4.2.3 も参照してください。
- SYNC モード:内部クロックは MODE/SYNC ピンに印加された外部信号に合わせて調整します。外部クロック信号の周波数は、RT 抵抗で設定される周波数の 1 倍～ 2 倍の範囲内である必要があります。外部クロックのハイレベルは V_{IH_CLK} 以上である必要があり、外部クロックのローレベルは V_{IL_CLK} 以下である必要があります。外部クロックは、絶対最大定格 表に示す MODE/SYNC ピンの定格を超えないようにする必要があります。出力電圧が全周波数で制御可能であり、最小オフ時間または最小オン時間によって制限されない限り、クロック周波数は MODE/SYNC ピンに印

Copyright © 2026 Texas Instruments Incorporated

加された信号の周波数に一致します。デバイスが SYNC モードの間、デバイスは FPWM モードのように動作します。ダイオード エミュレーションが無効化されるため、無負荷でも MODE/SYNC ピンに印加される周波数に合わせることができます。

動作モードを動的に変更するには、有効な同期信号を印加する必要があります。次の表は、パルス依存モード選択設定の概要を示しています。

表 7-1. パルス依存モード選択の設定

MODE/SYNC 入力	モード
V_{IH_FPWM} より大きい	FPWM (工場出荷時にスペクトラム拡散機能を設定)
V_{IL_FPWM} より小さい	自動モード (工場出荷時にスペクトラム拡散機能を設定)
同期クロック	SYNC モード

動作モードを動的に切り替える必要がない場合は、このピンを一定の電圧に保持して固定動作モードにできます。自動モードでは、このピンを PGND に短絡するか、V_{IL_FPWM} 未満にプルダウンできます。FPWM モードでは、このピンを RT ピンに短絡するか、外部電圧源を使用して V_{IH_FPWM} にプルアップできます。電気的特性 も参照してください。

7.3.5 出力電圧の選択

LMR60440-Q1 では、FB ピンに接続された帰還抵抗分圧気の有無に応じて、LMR60440-Q1 の出力電圧を固定または可変に設定できます。固定出力電圧は注文可能な型番に基づいて決定されます。セクション 4 も参照してください。固定出力電圧が必要な場合、FB ピンを出力電圧レールに直接短絡できます。デバイスが固定出力電圧になるためには、FB ピンと出力電圧レールの間に 1Ω 未満の抵抗が必要です。調整可能な出力電圧が必要な場合、上側と下側の帰還抵抗の並列組み合わせが 3kΩ を超える必要があります。上側の帰還抵抗 R_{FBT} を選択した後、次の式を使用して下側の帰還抵抗 R_{FBB} を選択できます。

$$R_{FBB} = \frac{V_{FB}}{V_{OUT} - V_{FB}} \times R_{FBT} \quad (4)$$

ここで、V_{FB} は標準値 1V です。

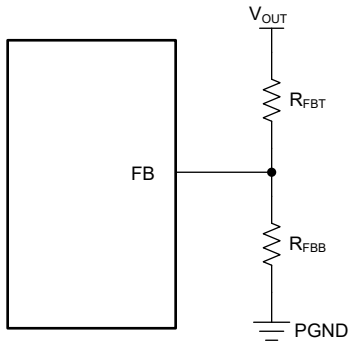


図 7-4. 可変 VOUT 用の帰還抵抗セットアップ

7.3.6 電流制限

LMR60440-Q1 は 2 つの電流制限を使用して、出力に供給される合計負荷電流を制限します。これらの制限値は、ハイサイド ピーク電流制限値 (I_{HS-LIM}) およびローサイド バレー電流制限値 (I_{LS-LIM}) と呼ばれます。インダクタ電流が I_{HS-LIM} に到達すると、ハイ サイド MOSFET がオフになり、インダクタ電流が I_{LS-LIM} を下回るまでロー サイド MOSFET がオンになります。この動作によりスイッチング周波数が低下する可能性があり、ソフト電流制限とも呼ばれることがあります。インダクタ電流は I_{HS-LIM} と I_{LS-LIM} 間の切り替えに制限されるため、最大出力電流はこれらの 2 つの値の平均値に非常に近い値になります。負荷が最大出力電流より高い電流を要求すると、出力電圧は低下します。出力電圧が低下して FB ピンの電圧が V_{HIC} を下回ると、デバイスはヒカップ モードになります。セクション 7.3.7 も参照してください。

Copyright © 2026 Texas Instruments Incorporated

LMR60440-Q1 におけるハイ サイド 電流制限は、デューティ サイクルの変化に応じて変動します。この動作はピーク電流モード制御の特徴であり、高いデューティ サイクル時のサブハーモニック発振を回避するのに役立ちます。図 7-5 に、標準的なハイサイド電流制限を示します。

LMR60440-Q1 は、ローサイド MOSFET がシンクできる電流量を制限するための負の電流制限 ($I_{LS-NEG-LIM}$) も実装しています。負の電流制限に達すると、ローサイド MOSFET はオフになります。

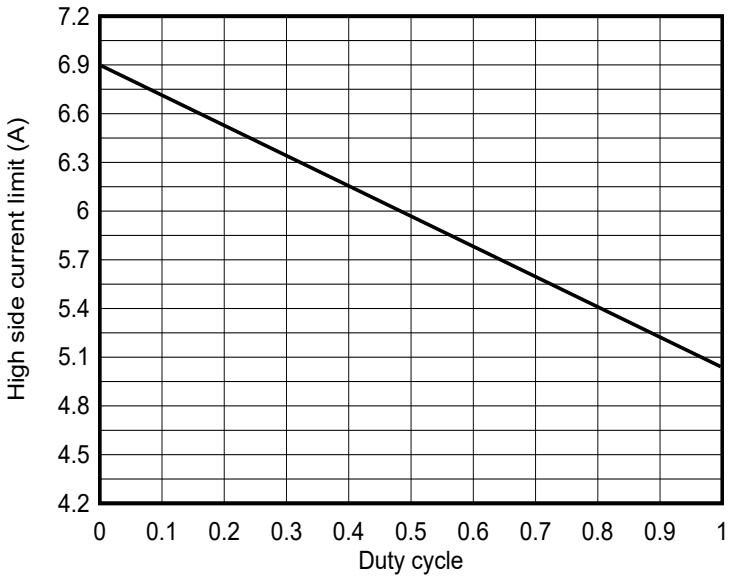


図 7-5. デューティ サイクル D の関数としての典型的なハイ サイド電流制限 I_{HS-LIM}

7.3.7 ヒカップ モード

持続的な短絡状態での過度の発熱と電力消費を防ぐために、ヒカップ モードが搭載されています。過電流状態が続くと、LMR60440-Q1 デバイスは出力をシャットオフして約 85ms 待機します。その後 LMR60440-Q1 はソフトスタートを有効にして動作を再開します。

LMR60440-Q1 では、次の条件が満たされるとヒカップ モード動作に移行します:

- ソフトスタート シーケンスが完了した
- FB ピンの電圧が V_{HIC} を下回った

ヒカップ動作モードは、非スイッチング期間と、それに続くスイッチング期間に分類されます。スイッチング期間は、デバイスが起動を試み、出力電圧を目的の設定点に調整しようとします。出力の障害が解消されると、デバイスはソフトスタートに移行して通常どおりに起動します。ソフト スタートの詳細については、「セクション 7.3.2」も参照してください。

7.3.8 パワー グッド機能

LMR60440-Q1 のパワー グッド機能は、出力電圧がレギュレーション範囲を外れたときにシステムのマイクロプロセッサをリセットすたり、下流にある部品の電源シーケンスを容易にするために使用できます。この機能は、PG ピンと優れた電圧源との間にプルアップ抵抗を配置することにより実装するオプション機能です。プルアップ リファレンス電圧の推奨範囲については、「 推奨動作条件 」表も参照してください。

パワー グッド出力は、ソフトスタート シーケンスが完了し、入力電圧が $V_{IN(PG-VALID)}$ を上回った後に有効になります。これらの条件が両方とも満たされると、PG と GND の間の電圧は、出力電圧がレギュレーション範囲内であるかどうかを示すようになります。ロジックのハイ信号は出力電圧がレギュレーション範囲内であることを示し、ロジックのロー信号は出力電圧がレギュレーション範囲外であることを示します。出力電圧のスプリアス グリッチが PG ピン出力に影響しないことを確認するための、グリッチ除去フィルタも備えています。

PG ピンは、次の条件でローにプルダウンされます:

Copyright © 2026 Texas Instruments Incorporated

- 出力電圧が、少なくとも $t_{PG-DEGLITCH}$ の間、PGOOD の過電圧立ち上がりスレッショルド ($V_{PG-OVP(R)}$) を上回っている
- 出力電圧が、少なくとも $t_{PG-DEGLITCH}$ の間、PGOOD の過電圧立ち下がりスレッショルド ($V_{PG-UV(F)}$) を下回っている

出力のフォルト条件に続いて PG ピンがローにプルダウンされると、PG ピンの電圧は少なくとも $t_{PG-DEASSERT}$ または約 2ms (代表値) の間、ローを維持する必要があります。$t_{PG-DEASSERT}$ が経過した後、PG ピン電圧がプルアップされるためには、次のいずれかの条件を満たす必要があります:

- 低電圧障害からの回復を前提とすると、出力電圧を PGOOD 低電圧立ち上がりスレッショルド ($V_{PG-UV(R)}$) より高くし、少なくとも $t_{PG-DEGLITCH}$ の間、過電圧立ち上がりスレッショルド ($V_{PG-OVP(R)}$) を下回ったままにする必要があります。
- 低電圧障害からの回復を前提とすると、出力電圧を PGOOD 過電圧立ち下がりスレッショルド ($V_{PG-OVP(F)}$) より高くし、少なくとも $t_{PG-DEGLITCH}$ の間、低電圧立ち下がりスレッショルドを上回ったままにする必要があります。

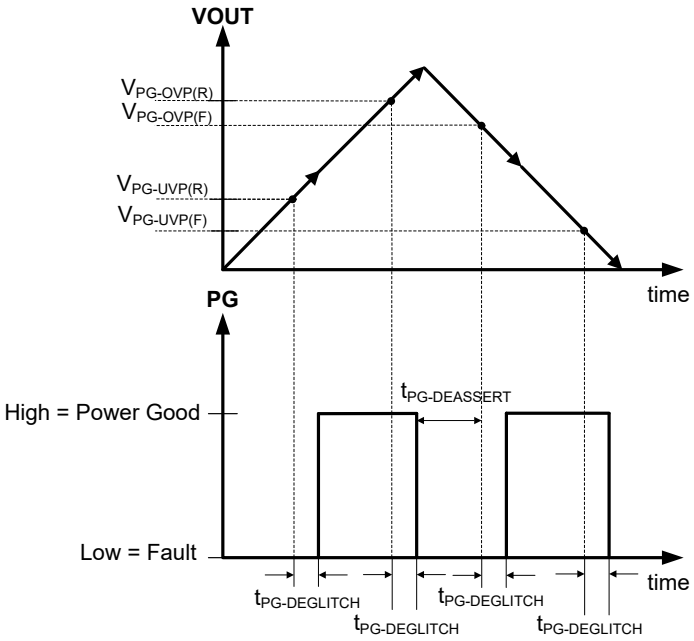


図 7-6. パワー グッド スレッショルド

7.3.9 スペクトラム拡散

スペクトラム拡散の目的は、固定周波数で動作する範囲より広範囲に放射を拡散することで、特定の周波数でのピーク放射を低減することです。LMR60440-Q1 デバイスが含まれるほとんどのシステムでは、スイッチング周波数の最初の数個の高調波からの低い周波数の伝導エミッションは、簡単にフィルタで除去できます。LMR60440-Q1 は、RT 抵抗により確立される設定点のスイッチング周波数より 18% 高いスイッチング周波数を拡散します。これは、RT 抵抗によって確立される設定点のスイッチング周波数が、デバイスがスペクトラム拡散で動作しているときのスイッチング周波数の下限を表すことを意味します。

以下の条件はスペクトラム拡散に優先し、スペクトラム拡散はオフになります:

1. MODE/SYNC 端子に外部クロックが印加されます。
2. 低入力電圧での動作によりクロックが遅くなります。この状態をドロップアウト動作と呼びます。
3. 高い入力電圧のため、クロックが遅くなっています。ハイサイドスイッチのオン時間が t_{ON-MIN} に近づいています。
4. 自動モードでの軽負荷時にはクロックが遅くなります。この動作は、デバイスが PFM モードに切り替わったときに発生します。FPWM モードでは、無負荷でもスペクトラム拡散は作動します。

Copyright © 2026 Texas Instruments Incorporated

7.4 デバイスの機能モード

7.4.1 シャットダウン

LMR60440-Q1 は、以下のいずれかの条件下で、スイッチ ノードに接続されているほとんどの内部回路、およびハイサイドとローサイドの両方のパワー スイッチをシャットダウンします:

1. EN が $V_{EN-TH(R)}$ を下回る
2. VIN が $VIN_{UVLO(R)}$ を下回る
3. 接合部温度が T_{SD} を超える

上記の条件にはヒステリシスがあることに注意してください。PG は非常に低い入力電圧 $V_{IN(PG-VALID)}$ でも動作し続けます。

7.4.2 アクティブ モード

EN ピンの電圧が $V_{EN-TH(R)}$ を上回り、入力電圧が $VIN_{UVLO(R)}$ を超えていて、その他のフォルト条件が存在しない場合は常に、LMR60440-Q1 はアクティブ モードです。LMR60440-Q1 を有効にする最も簡単な方法は、EN ピンを VIN に接続することです。これにより、印加された入力電圧が $VIN_{UVLO(R)}$ を超えると自動的に起動できます。

アクティブ モードでは、LMR60440-Q1 は次のいずれかのモードになります:

- 連続導通モード (CCM)。負荷電流がインダクタ リップル電流の 1/2 より大きいときには、固定周波数の連続導通モードになります
- 自動モード – 軽負荷動作:パルス周波数変調 (PFM) です。軽負荷時にスイッチング周波数が低下します
- FPWM モード - 軽負荷動作:CCM モード。負荷電流がインダクタ リップル電流の 1/2 未満である場合
- 最小オン時間:入力電圧が高くかつ出力電圧が低い場合に、レギュレーションを維持するため、スイッチング周波数が低下します
- ドロップアウト モード:スイッチング周波数が低下して、入出力間の電圧ドロップアウトを最小限に抑えます

7.4.2.1 連続導通モード（CCM）

CCM では、LMR60440-Q1 は、各種デューティ サイクル (D) で内蔵ハイサイド (HS) およびローサイド (LS) スイッチをオンにすることで、出力電圧のレギュレーションを実現します。HS スイッチのオン時間の間、SW ピンの電圧 (V_{SW}) は V_{IN} の付近までスイングし、インダクタ電流 (i_L) は線形的な傾きで増加します。HS スイッチは、制御ロジックによってオフにされます。HS スイッチのオフ時間 (t_{OFF}) の間、LS スイッチはオンにされます。インダクタ電流は LS スイッチを通して放電され、LS スイッチの両端の電圧降下によって V_{SW} をグランドの下まで強制的にスイングさせます。一定の出力電圧を維持するため、コンバータ ループはデューティ サイクルを調整します。D は、HS スイッチのオン時間をスイッチング周期で割った値として次のように定義されます。

$$D = \frac{T_{ON}}{T_{SW}} \tag{5}$$

損失が無視される理想的な降圧コンバータでは、次のように D は出力電圧に比例し、入力電圧に反比例します。

$$D = \frac{V_{OUT}}{V_{IN}} \tag{6}$$

Copyright © 2026 Texas Instruments Incorporated

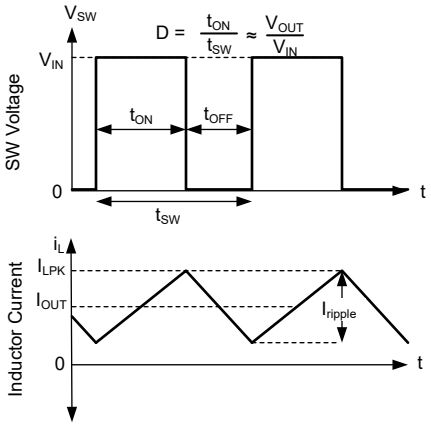


図 7-7. 連続モード (CCM) における SW 電圧とインダクタ電流の波形

7.4.2.2 自動モード – 軽負荷動作

MODE/SYNC 電圧が $V_{IL(MODE/SYNC)}$を下回る場合、インダクタの逆電流は許可されません。この機能をダイオード エミュレーション (DEM) と呼びます。DEM は負荷電流がインダクタ リップル電流の 1/2 未満のときに発生します。インダクタ電流がゼロクロスの電流制限値を下回ると、LS FET がオフになり、インダクタ電流は LS FET のボディ ダイオードを流れます。入力電圧を一定にした状態で、電流値が下がると、オン時間は一定になります。その後、周波数を調整することで、レギュレーションが達成されます。この動作モードをパルス周波数変調 (PFM) モード レギュレーションと呼びます。

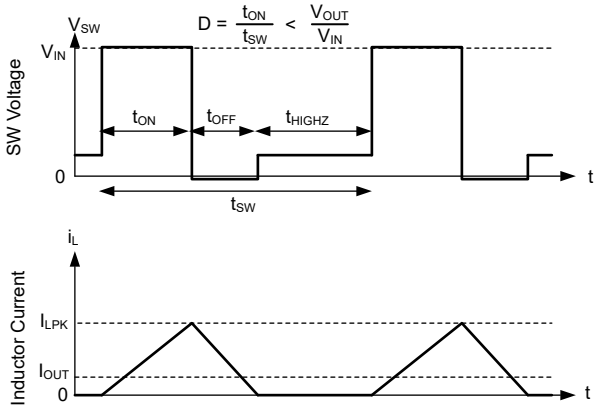


図 7-8. PFM 動作

PFM 動作では、負荷不足により出力コンデンサが過充電されるため、出力電圧に小さな正の DC オフセットが観測される場合があります。V_{OUT} におけるこの DC オフセットを許容できない場合、V_{OUT} に接続したダミー負荷または FPWM モードを使うことで、このオフセットを低減または除去できます。このオフセットは通常、高負荷時にデバイスがレギュレートする V_{OUT} の 1% を超えません。

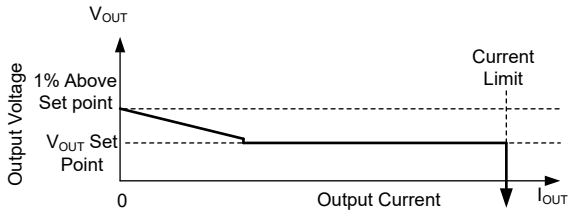


図 7-9. 定常状態の出力電圧と自動モードの出力電流との関係

Copyright © 2026 Texas Instruments Incorporated

7.4.2.3 FPWM 動作 - 軽負荷動作

強制パルス幅変調 (FPWM) モードでは、軽負荷時に周波数が維持されます。周波数を維持するため、インダクタを流れる逆電流が制限されます。逆電流制限回路により、逆電流が制限されます。セクション 6.5 も参照してください。

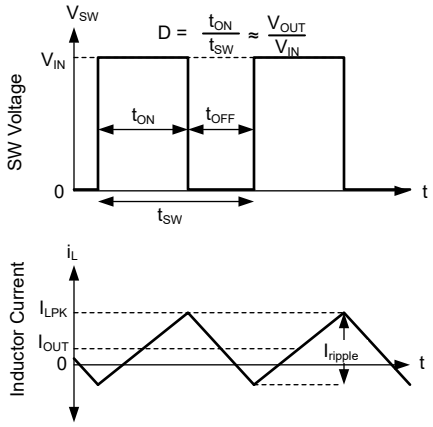


図 7-10. FPWM モード動作

FPWM モードは、次のいずれかの方法で実現できます:

- MODE/SYNC を RT ピンに直接接続する。
- MODE/SYNC と PGND の間に $V_{IH(MODE/SYNC)}$ より大きい外部電圧を印加する。
- 適切な外部クロック信号を印加する。表 7-1 も参照してください。

最小オン時間または最小オフ時間を超える可能性のある動作条件下では、FPWM の動作中でも周波数が低下し、最小タイミング仕様を維持します。また、入力電圧が $VIN_{OVP(R)}$ を超える場合、LMR60440-Q1 はインダクタに負の電流が流れるのを防ぎます。LMR60440-Q1 は PFM スイッチングを実装しています。入力電圧が $VIN_{OVP(F)}$ を下回ると、デバイスは再度 FPWM で動作し、負のインダクタ電流を許容します。

7.4.2.4 最小オン時間

最小オン時間とは、ハイサイド MOSFET をオンにできる最小時間を意味しています。出力電圧に対する入力電圧の比が要求するオン時間が、与えられたクロック設定のチップの最小オン時間 t_{ON-MIN} より短い場合でも、LMR60440-Q1 は出力電圧をレギュレートします。これを実現するため、LMR60440-Q1 では、スイッチング周波数をフォールドバックすることにより、オン時間 t_{ON-MIN} を維持しながら同じ入出力電圧比をサポートしています。LMR60440-Q1 は最小オン時間 30ns (標準値) をサポートしています。式 7 J を使用して、特定の動作条件におけるオン時間を推定します。

$$t_{ON} = \frac{V_{OUT}}{V_{IN} \times f_{SW}} \tag{7}$$

ここで:

- t_{ON} = ハイサイド MOSFET オン時間
- V_{OUT} = 出力電圧
- V_{IN} = 入力電圧
- f_{SW} = スイッチング周波数

7.4.2.5 ドロップアウト

ドロップアウト動作とは、必要なデューティ サイクルを達成するために周波数を下げ、入力電圧に対する出力電圧の比を任意の値に制御することです。与えられたクロック周波数において、デューティ サイクルは最小オフ時間によって制限されます。クロック周波数が維持される場合、図 7-11 に示すように、この制限値に達した後、出力電圧が低下します。LMR60440-Q1 は、出力電圧が下がるのを許容するのではなく、クロック サイクルが終わっても必要なピーク インダクタ電流が達成されるまでハイサイド スイッチのオン時間を延長します。必要なピーク インダクタ電流に達すると、または設定済

Copyright © 2026 Texas Instruments Incorporated

みの最大オン時間 (10µs) が経過すると、クロックは新しいサイクルを開始できます。その結果、最小オフ時間の存在に起因して、選択されたクロック周波数において必要なデューティ サイクルが達成できない場合、レギュレーションを維持するために周波数が低下します。入力電圧が出力電圧の設定値を超えて増加すると「セクション 7.3.2」で説明されているように、出力電圧はソフトスタートのように増加します。

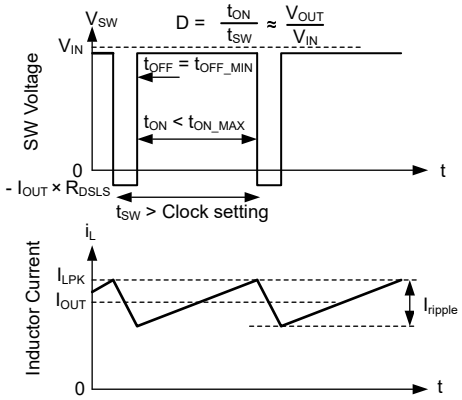


図 7-11. ドロップアウト波形

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

LMR60440-Q1 は降圧 DC/DC コンバータで、4A の最大出力電流で、高い DC 電圧を低い DC 電圧に変換するために使われることが一般的です。LMR60440-Q1 の部品を選択する際には、次の設計手順を使用します。参照回路図については次の図を参照してください。また、部品の選択に役立つ次の表も参照してください。

8.2 代表的なアプリケーション

図 8-1 に、LMR60440-Q1 の代表的なアプリケーション回路を示します。本デバイスは、幅広い外付け部品とシステム パラメータで機能するように設計されています。クイック スタート ガイドとして、表 8-2 に最も一般的な動作条件に対する代表的な部品値を示しています。

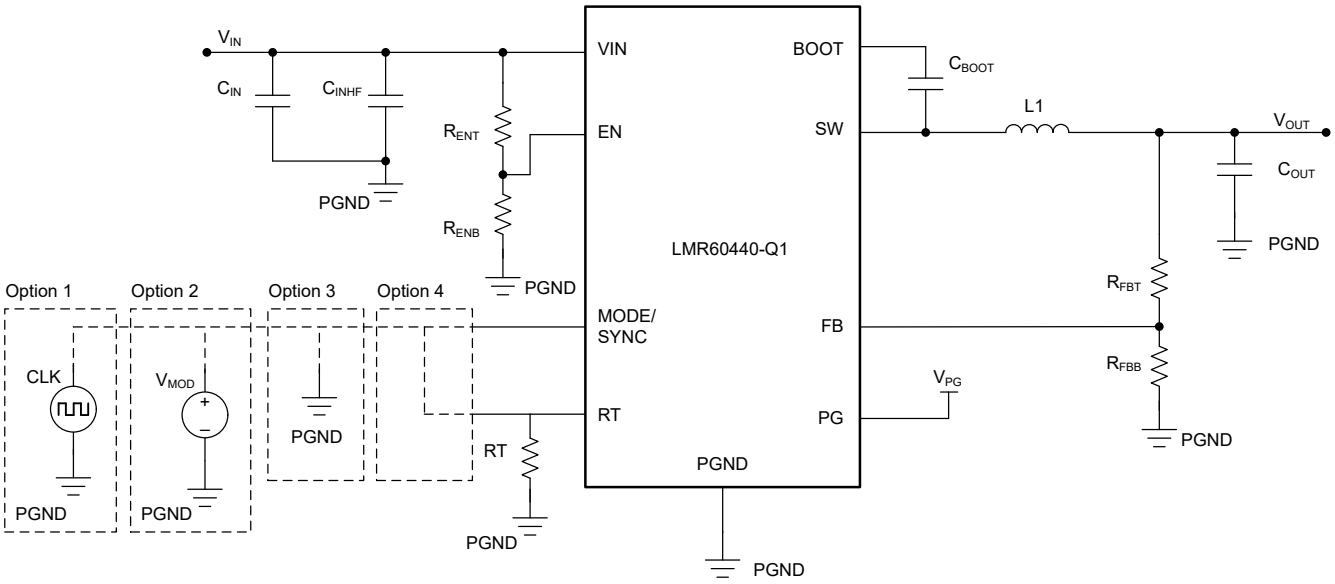


図 8-1. LMR60440-Q1 のリファレンス回路図

表 8-1. MODE/SYNC ピンのオプションの説明

オプション 1	外部クロックと同期するには、MODE/SYNC ピンをクロックから直接駆動します。
オプション 2	MODE/SYNC で適切な電圧 V_{MOD} を使うことで、自動モードと FPWM モードを動的に切り替えることができます。
オプション 3	デバイスを自動モードで実行するには、MODE/SYNC を接地します。
オプション 4	デバイスを FPWM モードで実行するには、MODE/SYNC を RT に接続します。

MODE/SYNC ピン制御 も参照してください。

Copyright © 2026 Texas Instruments Incorporated

表 8-2. 推奨パッシブ部品

F_{SW} (kHz)	V_{OUT} (V)	I_{OUT} (A)	L (µH)	C_{OUT} (1)	RFBT (kΩ)	RFBB (kΩ)	C_{IN} (µF)	C_{BOOT} (nF)	RT (kΩ)
400	3.3	4	4.7	54	SHUNT	DNP	4.7	100	86.6
400	3.8	4	4.7	54	SHUNT	DNP	4.7	100	86.6
400	5	4	5.6	54	SHUNT	DNP	4.7	100	86.6
1000	3.3	4	2.2	44	SHUNT	DNP	4.7	100	33.2
1000	3.8	4	2.2	44	SHUNT	DNP	4.7	100	33.2
1000	5	4	2.2	44	SHUNT	DNP	4.7	100	33.2
2000	3.3	4	1.5	20	SHUNT	DNP	4.7	100	15
2000	3.8	4	1.5	20	SHUNT	DNP	4.7	100	15
2000	5	4	1.5	20	SHUNT	DNP	4.7	100	15

(1) 定格静電容量

8.2.1 設計要件

この設計例では、以下の表に記載されているパラメータを入力パラメータとして使用します。

表 8-3. 設計パラメータ

設計パラメータ	値	備考
入力電圧範囲	12V (標準値)、4V ～ 36V	このコンバータは最大 36V で連続して動作します。
出力電圧	3.3V	使用される固定オプション
出力電流範囲	4A まで無負荷	
スイッチング周波数	2MHz	
軽負荷時のモード	切り替え可能	
スペクトラム拡散	イネーブル	工場オプション

8.2.2 詳細な設計手順

8.2.2.1 スイッチング周波数の選択

スイッチング周波数の選択は、変換効率と設計全体のサイズとのトレードオフとなります。スイッチング周波数を低くすると、スイッチング損失は減少し、一般的にシステム効率が高くなります。一方、スイッチング周波数を高くすると、より小型のインダクタと出力コンデンサを使用できるようになるため、よりコンパクトな設計が可能となります。この例では、2MHz を使用します。RT 抵抗の選択肢の詳細については、「セクション 7.3.3」も参照してください。

8.2.2.2 インダクタの選択

インダクタを選択するためのパラメータはインダクタンスと飽和電流です。目的のピーク ツー ピーク インダクタ リップル電流がデバイスの最大出力電流定格の 20%～40% の範囲に収まるように、インダクタを選択します。このデバイスで利用可能な最大電流よりも最大負荷電流の方がはるかに小さいアプリケーションの場合でも、リップル電流を選択する際はデバイスの最大電流を使用してください。インダクタンスの値を計算するには、式 8 を使用します。定数 K はインダクタ電流リップルのパーセンテージです。この例では、K = 0.3 を選択して、L = 2.4µH のインダクタンスを求めます。標準値である 2.2µH を選択します。

$$L = \frac{(V_{IN} - V_{OUT})}{f_{sw} \times K \times I_{OUTmax}} \times \frac{V_{OUT}}{V_{IN}} \quad (8)$$

理想的には、インダクタの飽和電流定格は、ハイサイド スイッチの電流制限値 $I_{HS\text{-}LIM}$ 以上にする必要があります (電気的特性 も参照) 。この大きさであれば、出力の短絡時にもインダクタが飽和しないようになります。インダクタのコア材が飽和すると、インダクタンスは非常に小さい値に低下し、インダクタ電流は急増します。バレー電流制限値 $I_{LS\text{-}LIM}$ は、電流が暴走しづらいように設計されているとはいえ、インダクタが飽和することで電流値が急増する可能性があります。この動作は部品の損傷につながる可能性があります。したがって、インダクタを飽和させないようにしてください。フェライト コア材を採用したインダクタは飽和特性が非常に急峻ですが、コア損失は通常、圧粉コアよりも小さいです。圧粉コアは穏やか

Copyright © 2026 Texas Instruments Incorporated

な飽和特性を示すため、インダクタの電流定格をある程度緩和できます。ただし、圧粉コアは約 1MHz を超える周波数でコア損失が大きくなります。いずれにしても、インダクタの飽和電流が、全負荷時のピーク インダクタ電流の最大値よりも小さくならないようにする必要があります。

式 9 を使用して、分数調波振動を回避するための最小インダクタンス値を求めます。

$$L_{min} = M \times \frac{V_{OUT}}{f_{sw}} \quad (9)$$

ここで:

- M = 0.27

式 9 では分数調波の不安定性を回避するために必要な理論的最小インダクタンスが定義されていますが、TI では計算された最小値の「2 倍」以上のインダクタ値を選択することを強く推奨しています。この選択により、部品の許容差、温度変化、過渡応答の要件を考慮して、設計マージンを増やすことができます。

8.2.2.3 出力コンデンサの選択

LMR60440-Q1 は、必要な出力容量を最適化しながら高性能を実現するよう設計されています。このセクションでは、特定の設計パラメータセットを実現するために必要な出力容量を計算するための理論について説明します。

LMR60440-Q1 デバイスは、電流モード制御方式により、広い範囲のインダクタと出力容量を組み合わせて動作できます。出力容量は動作中に目的の出力電圧を維持する役割を果たします。出力容量は、以下のような主要な性能要因に影響を与えます:

- 定常状態動作中の出力電圧リップルの量
- 負荷過渡が発生したときの出力電圧のオーバーシュートおよびアンダーシュート
- ループ安定性

定常状態での動作中、インダクタは負荷に三角波電流を供給します。この三角波電流の AC 部分は出力要領によってフィルタリングされ、DC 部分は負荷まで通過します。出力容量を流れる AC 電流と、この容量の等価直列抵抗 (ESR) は、どちらも出力電圧リップルに寄与します。次の式を使用して、特定の出力容量に必要なピーク ツー ピーク出力電圧リップルの量を推定します:

$$V_{ripple} \approx \Delta I_L \times \sqrt{ESR^2 + \frac{1}{(8 \times f_{sw} \times C_{OUT})^2}} \quad (10)$$

ここで、

- ΔI_L = ピーク ツー ピークのインダクタ電流

3.3V および 5V 出力電圧に対する標準的な出力コンデンサ値については、表 8-2 を参照してください。この例では、22µF の積層セラミック コンデンサを 1 個使用しています。他の出力電圧やスイッチング周波数の設計については、出力コンデンサの値を選定する際の出発点として WEBENCH を利用できます。

実際には、過渡応答とループ位相マージンに最も影響を与えるのは出力コンデンサです。負荷過渡テストおよびボード線図は、特定の設計を検証する最善の方法であり、アプリケーションを量産に移行する前に必ず完了する必要があります。必要な出力容量に加えて、出力に小さなセラミックコンデンサを配置すると、高周波ノイズの低減に役立ちます。小さいケース サイズで 1nF～100nF の範囲のセラミック コンデンサは、インダクタや基板の寄生成分に起因する出力のスパイクを低減するのに非常に役立ちます。

ほとんどのセラミック コンデンサの実効的な容量は、表示されたそのコンデンサの定格値よりもはるかに小さい値です。選択されたすべてのコンデンサの初期精度、温度ディレーティング、電圧ディレーティングを必ず確認します。表 8-2 は、車載グレードの 16V、X7R コンデンサの代表的なディレーティングを仮定して作成されています。より低い電圧定格、非車載グレード、またはより低い温度定格のコンデンサを使用する場合、表に記載されている数よりも多くのコンデンサが必要になる可能性があります。

Copyright © 2026 Texas Instruments Incorporated

8.2.2.4 入力コンデンサの選択

入力コンデンサは 2 つの重要な機能を果たします。1 つ目は、LMR60440-Q1 と、システムの入力フィルタへの入力電圧リップルを低減することです。2 つ目は高周波ノイズを低減することです。これら 2 つの機能は、別々のコンデンサを使用することで最も効果的に実装されます。表 8-4 を参照してください。

表 8-4. 入力コンデンサ

コンデンサ	推奨値	備考
C_{IN_HF}	0.1µF	このコンデンサはスイッチング時に発生する高周波ノイズを抑制するために使用します。コンデンサは、設計ルールが許す限り LMR60440-Q1 デバイスの近くに配置します。正確な容量よりも位置のほうが重要です。高周波がシステムに伝搬した後は、抑制またはフィルタリングが困難になる場合があります。このコンデンサは、バッテリから直接動作するシステムではバッテリ電圧にさらされるため、テキサス・インスツルメンツでは 50V 以上の定格を推奨しています。
C_{IN}	4.7µF	この容量は、出力負荷の過渡に起因する入力リップルと過渡を抑制するために使用します。C_{IN} が小さすぎると、システムが低電圧条件下で動作している場合に、負荷過渡時に入力電圧が低下してシステムがリセットされる可能性があります。テキサス・インスツルメンツでは、LMR60440-Q1 デバイスの近くでは 4.7µF を推奨しています。このコンデンサは、バッテリから直接動作するシステムではバッテリ電圧にさらされるため、テキサス・インスツルメンツでは 50V 以上の定格を推奨しています。

「表 8-4」に示される C_{IN_HF} および C_{IN} の値は、ほとんどのアプリケーションで使用できます。所定の入力電圧リップルが必要な場合は、式 11 に基づいて算出した入力コンデンサ容量を使用してください。ただし、上記の表に示されている推奨値を下回らないようにしてください。

$$C_{IN} \geq \frac{D \times (1 - D) \times I_{OUT}}{\Delta V_{IN_PP} \times f_{sw}} \tag{11}$$

ここで:

- D = デューティ サイクル = V_{OUT}/V_{IN}
- I_{OUT} = DC 出力電流
- ΔV_{IN_PP} =ピークツーピーク入力電圧リップル
- f_{SW} = スイッチング周波数

式 12 を使用して、選択した入力コンデンサの RMS 電流定格を比較し、入力コンデンサが入力スイッチング電流を供給できることを確認します。

$$I_{IN_RMS_max} = I_{OUT} \times \sqrt{D \times (1 - D) + \frac{1}{12} \times \left(\frac{V_{OUT}}{L \times f_{sw} \times I_{OUT}}\right)^2 \times (1 - D)^2 \times D} \tag{12}$$

8.2.2.5 ブートストラップ コンデンサ (CBOOT) の選定

ブートストラップ コンデンサ (C_{BOOT}) は、BOOT ピンと SW ピンの間に接続され、ハイサイド MOSFET のゲート電荷を供給します。このコンデンサは、設計ルールが許す限り LMR60440-Q1 の近くに配置します。テキサス・インスツルメンツでは、10V 以上の 100nF 高品質セラミック コンデンサを推奨しています。

8.2.2.6 可変出力電圧用の FB 電圧デバイダ

LMR60440-Q1 デバイスは、固定出力電圧モードまたは可変出力電圧モードで動作するように構成できます。デバイスの注文可能部品番号で指定された固定出力電圧の場合、出力電圧レールを FB ピンに直接接続するだけです。他の出力電圧が必要な場合は、出力電圧レールとグランドの間に FB ピンを中心点とする分圧抵抗により出力を設定します。次の式を使用して、特定の帰還分圧器で指定する出力電圧を計算します。

$$V_{OUT} = V_{FB} \times \left(1 + \frac{R_{FBT}}{R_{FBB}}\right) \tag{13}$$

または、出力電圧と R_{FBT} が既にわかっている場合は、次の式を使用して R_{FBB} の値を計算します。

$$R_{FBB} = R_{FBT} \times \frac{V_{FB}}{V_{OUT} - V_{FB}} \quad (14)$$

通常、R_{FBT} には 100kΩ が使用されることに注意してください。

8.2.2.6.1 フィードフォワード コンデンサ (CFF) の選択

調整可能な出力電圧構成が必要な場合は、フィードフォワード コンデンサ (CFF) を RFBT と並列に配置して、過渡性能とループ位相マージンを改善できます。*『内部的に補正される、フィードフォワード コンデンサを持つ dc-dc コンバータの過渡応答の最適化』アプリケーション ノート*は、フィードフォワード コンデンサの実験に役立ちます。

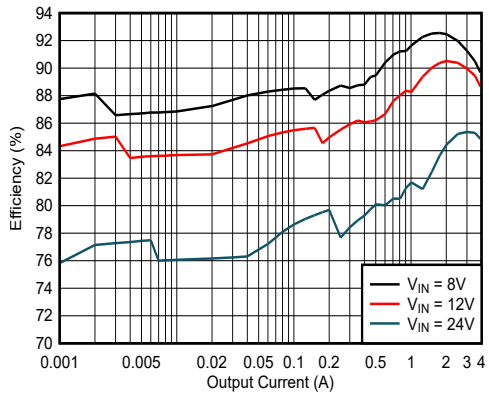
8.2.2.7 R_{PG} - PG プルアップ抵抗

PG ピンは監視ピンとして使用するオープン ドレイン出力です。必要に応じて、100kΩ の抵抗を使用して適切な電源電圧にプルアップすることができます。PG ピンの推奨プルアップ電圧範囲については、「 セクション 6.3 」も参照してください。消費電力などの他の考慮事項のために、上記の値のいずれも増加する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

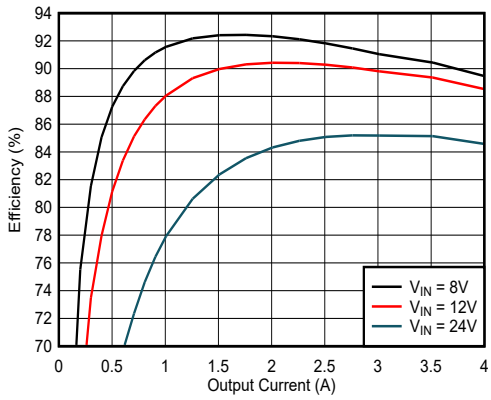
8.2.3 アプリケーション曲線

以下の特性が 図 8-1 回路に適用されます。*これらのパラメータはテスト済みではありません。代表的な性能のみを表しています。*特に記述のない限り、次の条件が適用されます。V_{IN} = 13.5V、T_A = 25℃。



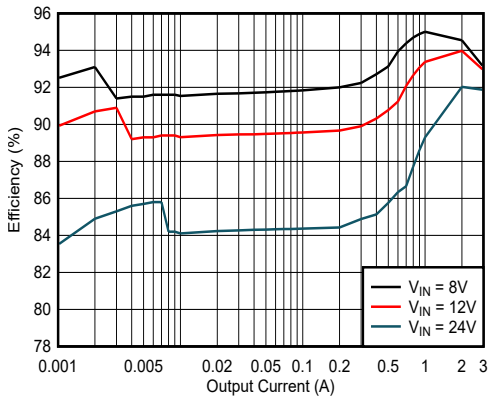
V_{OUT} = 3.3V　F_{sw} = 2MHz　モード = 自動

図 8-2. 効率



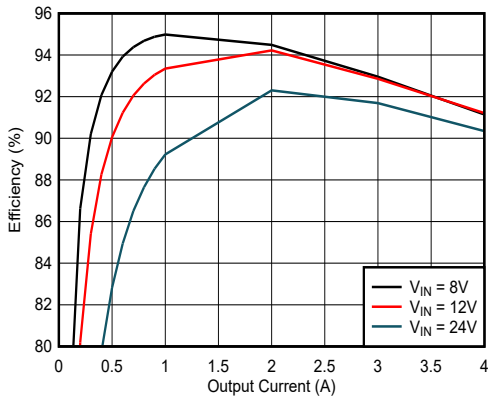
V_{OUT} = 3.3V　F_{sw} = 2MHz　モード = FPWM

図 8-3. 効率



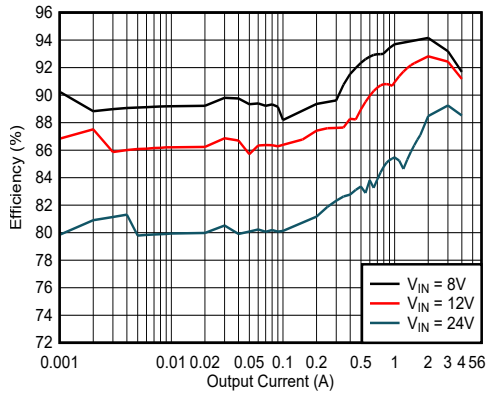
V_{OUT} = 3.3V　F_{sw} = 400kHz　モード = 自動

図 8-4. 効率



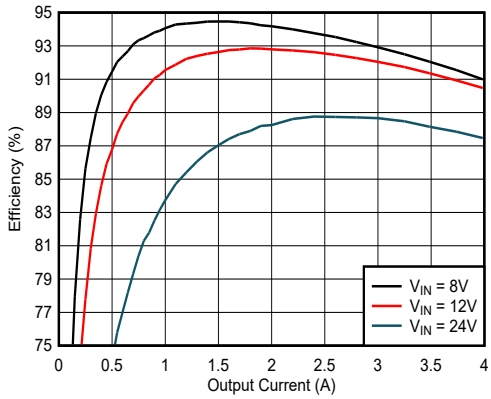
V_{OUT} = 3.3V　F_{sw} = 400kHz　モード = FPWM

図 8-5. 効率



V_{OUT} = 5V　F_{sw} = 2MHz　モード = 自動

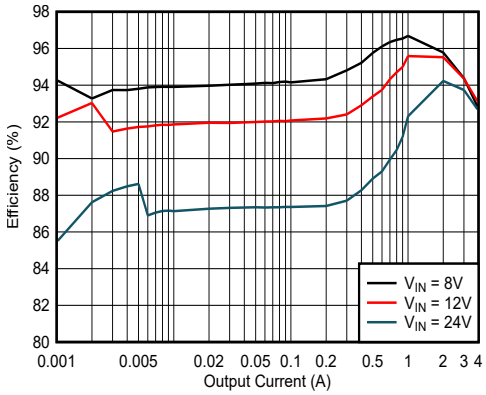
図 8-6. 効率



V_{OUT} = 5V　F_{sw} = 2MHz　モード = FPWM

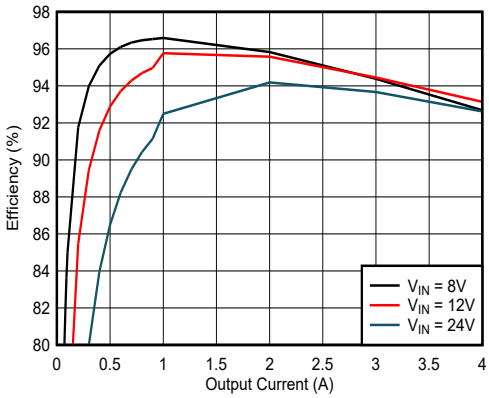
図 8-7. 効率

Copyright © 2026 Texas Instruments Incorporated



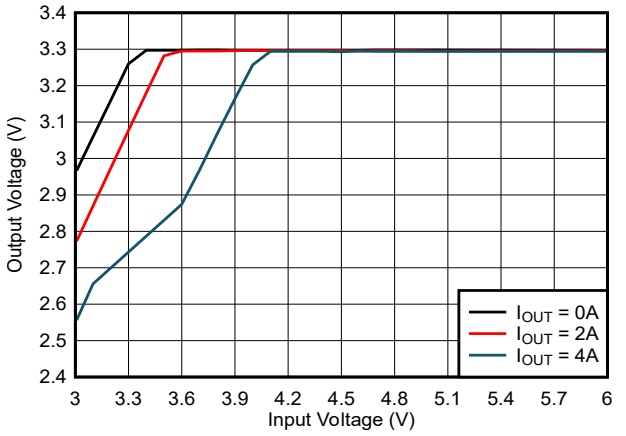
V_{OUT} = 5V　　F_{sw} = 400kHz　　モード = 自動

図 8-8. 効率



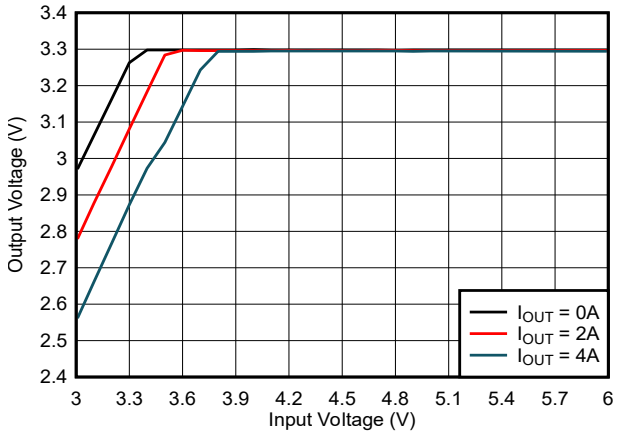
V_{OUT} = 5V　　F_{sw} = 400kHz　　モード = FPWM

図 8-9. 効率



3.3V 出力　　F_{SW} = 2MHz　　モード = FPWM

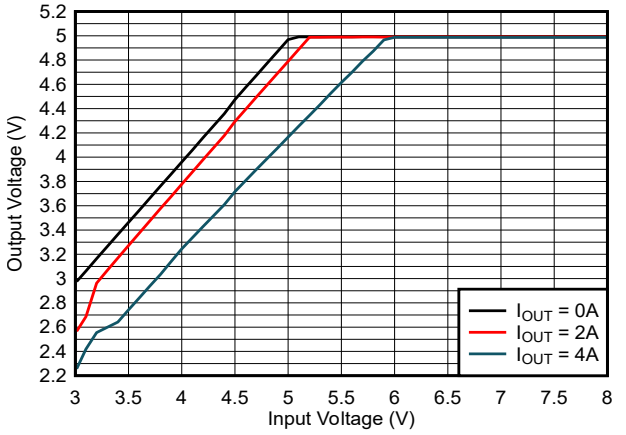
図 8-10. ドロップアウト



デバイスの種類 = 4A　　3.3V 出力　　モード = FPWM

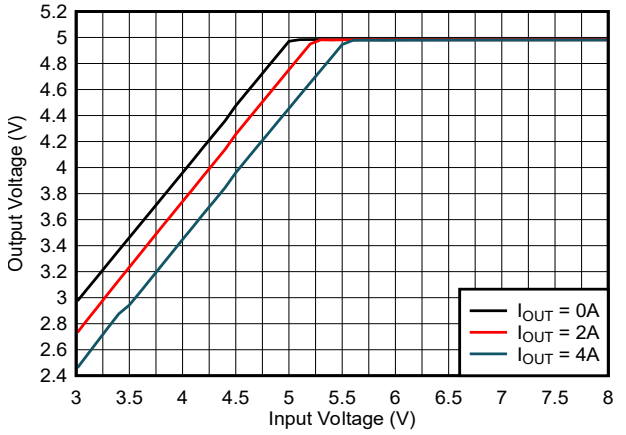
F_{SW} = 400kHz

図 8-11. ドロップアウト



5V 出力　　F_{SW} = 2MHz　　モード = FPWM

図 8-12. ドロップアウト

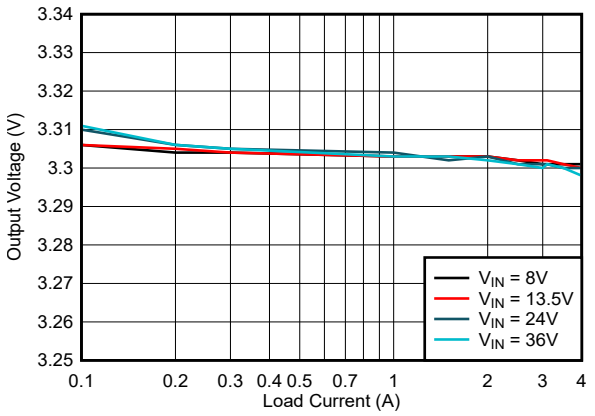


デバイスの種類 = 4A　　5V 出力　　モード = FPWM

F_{SW} = 400kHz

図 8-13. ドロップアウト

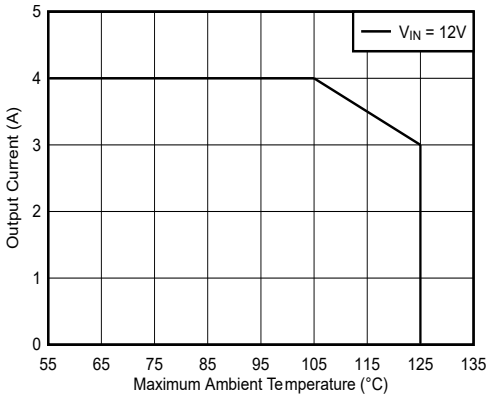
Copyright © 2026 Texas Instruments Incorporated



デバイスの種類 = 4A　3.3V 固定出力　モード =自動

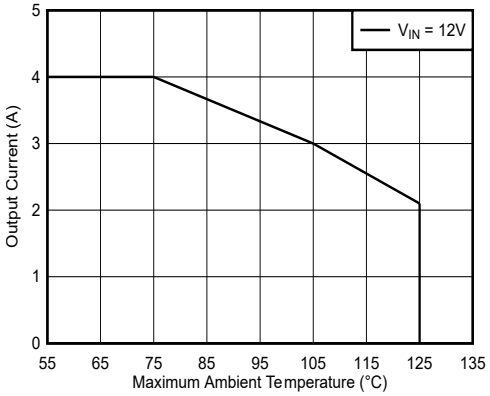
FSW = 2MHz

図 8-14. ロード レギュレーション



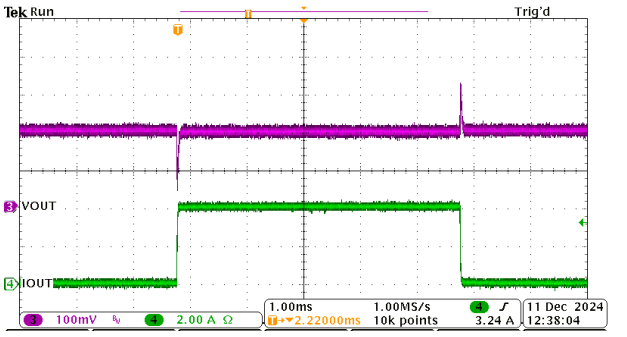
VOUT = 5V　FSW = 400kHz LMR60440QEVM　IOUT = 4A エアフローなし

図 8-15. 出力電流と最大周囲温度との関係



VOUT = 5V　FSW = 2MHz LMR60440QEVM　IOUT = 4A エアフローなし

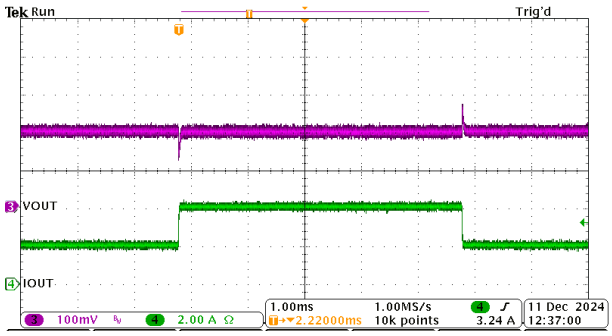
図 8-16. 出力電流と最大周囲温度との関係



デバイスの種類 = 4A　3.3V 固定出力　モード = FPWM

FSW = 2MHz

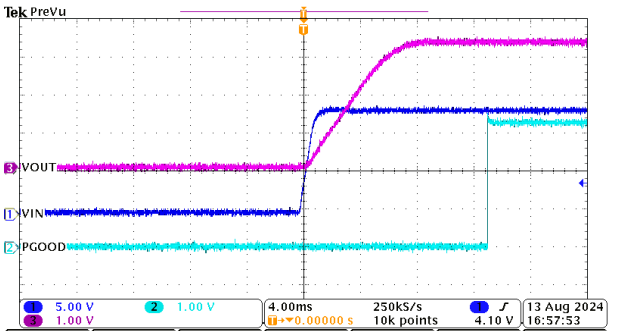
図 8-17. 20mA ～ 4A の負荷過渡



デバイスの種類 = 4A　3.3V 固定出力　モード = FPWM

FSW = 2MHz

図 8-18. 2A ～ 4A の負荷過渡

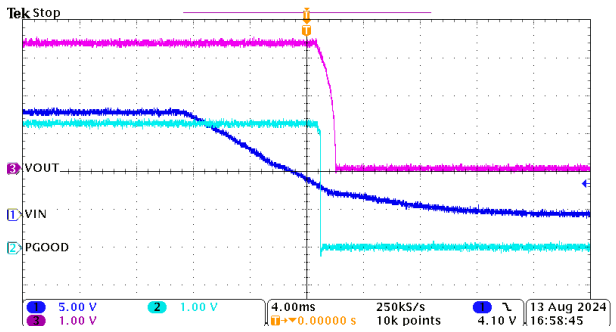


デバイスの種類 = 4A　3.3V 固定出力　モード =自動

FSW = 2MHz

図 8-19. スタートアップ動作

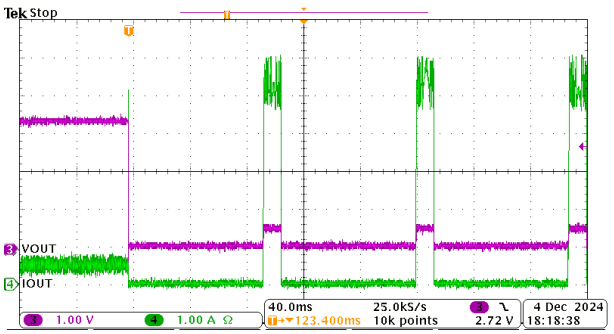
Copyright © 2026 Texas Instruments Incorporated



デバイスの種類 = 3.3V 固定出力 モード =自動
4A

F_{SW} = 2MHz

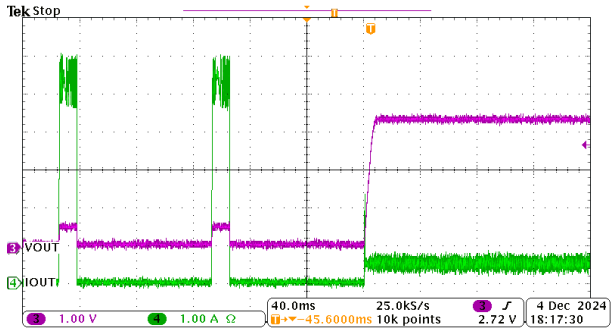
図 8-20. シャットダウン動作



デバイスの種類 = 3.3V 固定出力 モード = FPWM
4A

F_{SW} = 2MHz

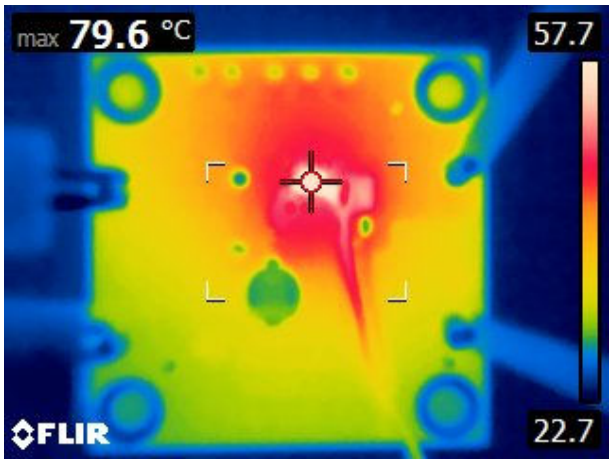
図 8-21. 短絡発生



デバイスの種類 = 3.3V 固定出力 モード = FPWM
4A

F_{SW} = 2MHz

図 8-22. 短絡からの回復

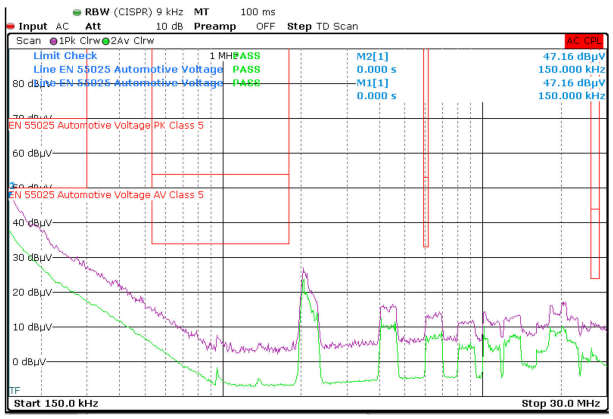


デバイスの種類 = 3.3V 固定出力 モード = FPWM
4A

F_{SW} = 2MHz

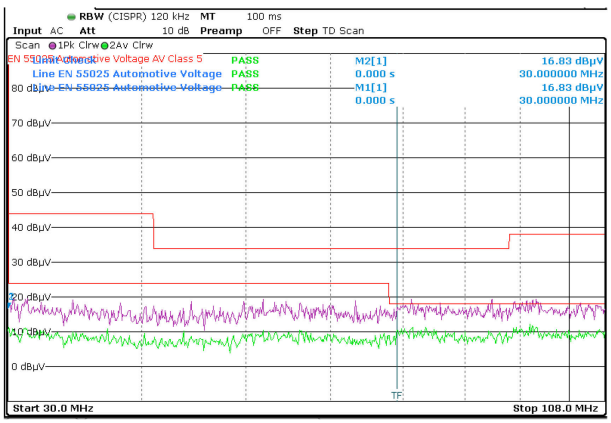
図 8-23. 熱性能

Copyright © 2026 Texas Instruments Incorporated



V_{OUT} = 3.3V F_{SW} = 2MHz I_{OUT} = 3A
測定周波数:150kHz ～ 30MHz

図 8-24. 伝導 EMI と CISPR25 制限値との関係 (紫：ピーク信号、緑：平均信号)、 LMR60440QEVM



V_{OUT} = 3.3V F_{SW} = 2MHz I_{OUT} = 3A
測定周波数:30MHz ～ 108MHz

図 8-25. 伝導 EMI と CISPR25 制限値との関係 (紫：ピーク信号、緑：平均信号)、 LMR60440QEVM



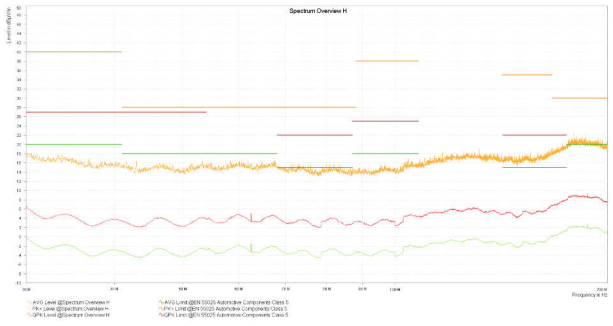
V_{OUT} = 3.3V F_{SW} = 2MHz I_{OUT} = 4A
測定周波数:150kHz ～ 30MHz

図 8-26. 放射 EMI モノポールと CISPR25 制限値との関係、 LMR60440QEVM



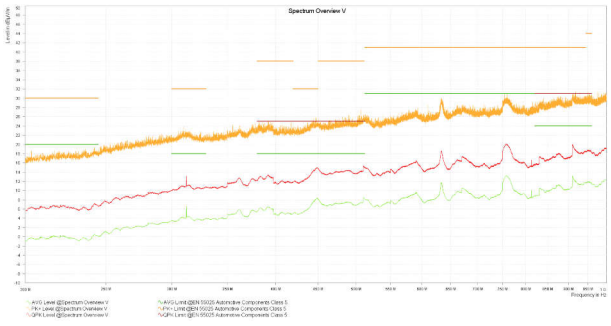
V_{OUT} = 3.3V F_{SW} = 2MHz I_{OUT} = 4A
測定周波数:30MHz ～ 300MHz

図 8-27. 放射 EMI バイコン垂直偏波と CISPR25 制限値との関係、 LMR60440QEVM



V_{OUT} = 3.3V F_{SW} = 2MHz I_{OUT} = 4A
測定周波数:30MHz ～ 300MHz

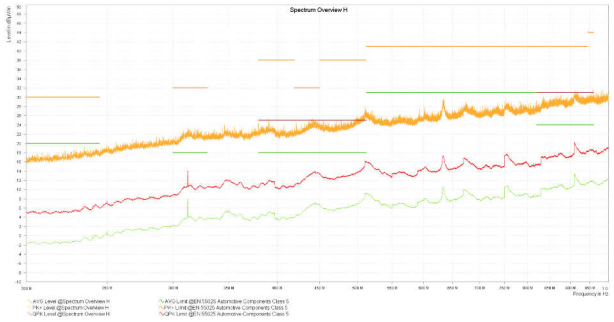
図 8-28. 放射 EMI バイコン水平偏波と CISPR25 制限値との関係、 LMR60440QEVM



V_{OUT} = 3.3V F_{SW} = 2MHz I_{OUT} = 4A
測定周波数:300MHz ～ 1GHz

図 8-29. 放射 EMI (ログペリ、垂直) と CISPR25 制限値との関係、 LMR60440QEVM

Copyright © 2026 Texas Instruments Incorporated



V_{OUT} = 3.3V　　F_{SW} = 2MHz　　I_{OUT} = 4A

測定周波数:300MHz ～ 1GHz

図 8-30. 放射 EMI (ログペリ、水平) と CISPR25 制限値との関係、 LMR60440QEVM

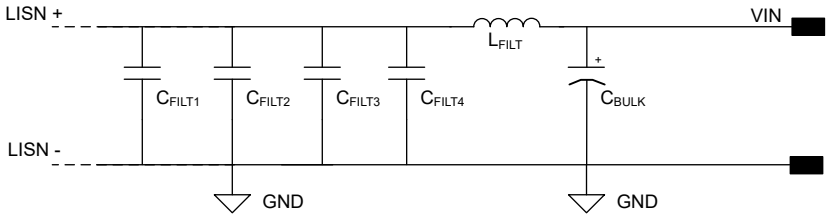


図 8-31. 標準入力 EMI フィルタ回路図

表 8-5. 標準 EMI フィルタ部品

F_{SW}(kHz)	C_{FILT1}(µF)	C_{FILT2}(µF)	C_{FILT3}(µF)	C_{FILT4}(µF)	L_{FILT}(µH)	C_{BULK}(µF)
2000	2.2	2.2	DNP	DNP	2.2	47

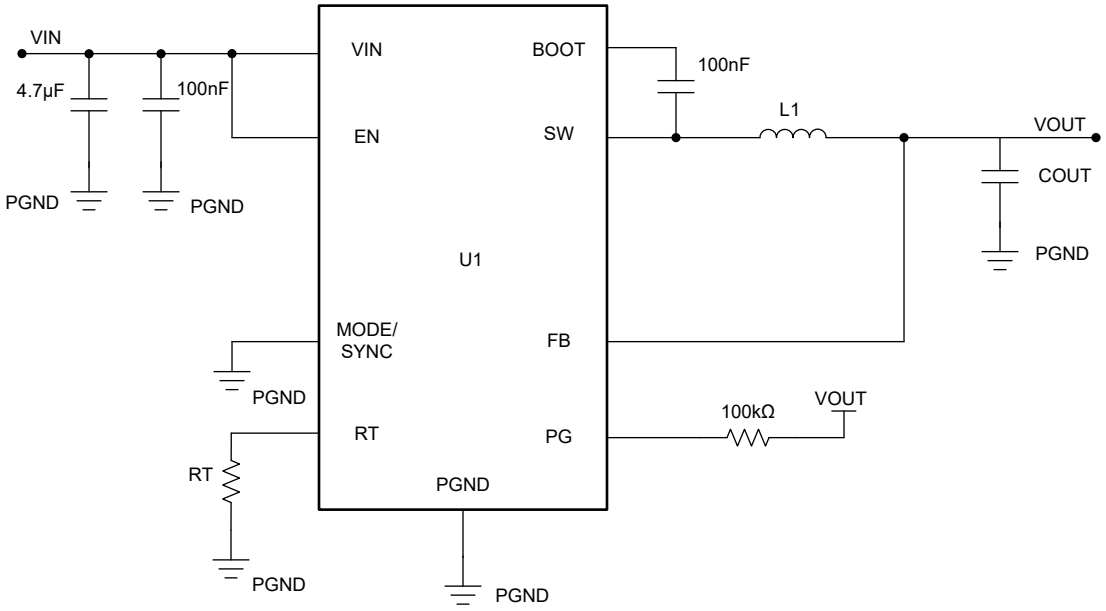


図 8-32. アプリケーション回路例

Copyright © 2026 Texas Instruments Incorporated

表 8-6. 代表的なアプリケーションの特性曲線で使われた BOM

U1	F_{SW} (kHz)	V_{OUT}	L1 (µH)	公称 C_{OUT} (µF)	RT(kΩ)
LMR604403SRAKRQ1	2000	3.3	1.5	2 × 10	15

8.3 電源に関する推奨事項

入力電源の特性は、このデータシートに記載されている仕様に適合している必要があります。また、入力電源は、負荷時のレギュレータに必要な入力電流を供給できる必要があります。平均入力電流を計算するには、次の式を使用します。

$$I_{IN} = \frac{V_{OUT} \times I_{OUT}}{V_{IN} \times \eta} \quad (15)$$

ここで、

η は効率です。

レギュレータを長いワイヤや PCB パターンで入力電源に接続している場合は、良好な性能を実現するために特別な注意が必要です。入力ケーブルの寄生インダクタンスと抵抗は、レギュレータの動作に悪影響を及ぼすおそれがあります。寄生インダクタンスは、低 ESR セラミック入力コンデンサとの組み合わせによって不足減衰共振回路を形成し、レギュレータへの入力での過電圧過渡の原因となる可能性があります。寄生抵抗は、出力に負荷過渡が加わった際に、VIN ピンの電圧が低下する原因となる可能性があります。アプリケーションが最小入力電圧に近い値で動作している場合、この低下によってレギュレータが瞬間的にシャットダウンし、リセットされる可能性があります。このような問題を解決する最善策は、入力電源からレギュレータまでの距離を制限、またはセラミックと並列にアルミニウムやタンタルの入力コンデンサを使用を計画することです。この種のコンデンサの ESR は比較的低いため、入力共振回路の減衰およびオーバーシュートの低減に役立ちます。通常、20µF ～ 100µF の範囲の値は入力のダンピングに十分であり、大きな負荷過渡中も入力電圧を安定した状態に保持できます。

システムに関するその他の考慮事項として、レギュレータの前に入力フィルタが使われる場合があります。その際は、注意深く設計しないと、不安定性につながる可能性があり、上述の現象の一因ともなり得ます。*AN-2162『DC/DC コンバータ向け伝導 EMI の簡単な成功事例』アプリケーション ノート*では、スイッチング レギュレータの入力フィルタを設計する際に役立つ提案を紹介しています。

場合によっては、コンバータの入力に過渡電圧サプレッサ (TVS) が使われています。この素子の種類には、スナップバック特性を持つもの (サイリスタ型) があります。テキサス・インスツルメンツでは、このタイプの特性を持つデバイスの使用を推奨していません。このタイプの TVS が作動すると、クランプ電圧は非常に低い値に低下します。この電圧がレギュレータの出力電圧よりも低い場合、出力コンデンサは本デバイスを通して入力に向かって放電します。この制御されない電流は、デバイスに損傷を与える可能性があります。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

DC/DC コンバータの PCB レイアウトは、優れた設計性能を実現するために重要です。PCB レイアウトが不適切な場合、適正な回路図設計の動作の妨げとなる可能性があります。コンバータが適切にレギュレートしている場合でも、PCB レイアウトが不適切では、堅牢な設計と量産できない設計という違いが生じる可能性があります。さらに、レギュレータの EMI 性能は、PCB レイアウトの影響を大きく受けます。降圧コンバータにおける PCB の最も重要な機能は、入力コンデンサと電源グランドによって形成されるループです (図 8-33 を参照)。このループには、パターンのインダクタンスに応答して大きな過渡電圧を発生させる可能性がある大きな過渡電流が流れます。これらの望ましくない過渡電圧は、コンバータの正常な動作を妨げます。このことから、寄生インダクタンスを低減するため、このループ内のパターンは広く短くする必要があり、ループの面積はできる限り小さくする必要があります。図 8-34 は、LMR60440-Q1 の重要な部品の推奨レイアウトを示しています。

- *入力コンデンサは、VIN および GND ピンにできる限り近づけて配置してください。*
- *C_{BOOT} コンデンサには広いパターンを使用します。*C_{BOOT} コンデンサは、デバイスのできる限り近くに、BOOT および SW ピンに短くて幅の広いパターンで配置します。

- *帰還分圧器は、本デバイスの FB ピンのできるだけ近くに配置します。*R_{FBB}、R_{FBT}、C_{FF} は、使用する場合、本デバイスに物理的に近付けて配置します。FB および GND への接続は、短くする必要があり、かつ本デバイスのそれらのピンに近付ける必要があります。V_{OUT} への接続は、多少長くなってもかまいません。ただし、後者のパターンは、レギュレータの帰還経路に静電容量結合する可能性があるすべてのノイズ源 (SW ノードなど) の近くには配線しないでください。
- *内層の 1 つを使って、少なくとも 1 つのグランド プレーンを配置します。*このプレーンは、ノイズ シールドと放熱経路として機能します。
- *VIN、VOUT、GND には広いパターンを使います。*コンバータの入力または出力経路でのすべての電圧降下を低減し、効率を最大化するため、これらの配線はできるだけ広くかつ真っすぐにする必要があります。
- *適切なヒートシンクのために十分な PCB 領域を確保します。*最大負荷電流と周囲温度に見合った低 $R_{\theta JA}$ を実現するため、十分な銅箔面積を確保してください。PCB の上層と下層は 2 オンス銅箔とし、最低でも 1 オンス以上とする必要があります。PCB 設計に複数の銅層を使用している場合は (推奨設計)、サーマル ビアも内部層の熱拡散グランド プレーンに接続することができます。
- *スイッチングする領域は小さく保ちます。*SW ピンをインダクタに接続する銅箔領域は、できるだけ短くかつ広くします。同時に、放射 EMI を低減するため、このノードの総面積を最小化する必要があります。

その他の重要なガイドラインについては、以下の PCB レイアウト資料を参照してください。

- *スイッチング電源レイアウトのガイドラインアプリケーション レポート*
- *Simple Switcher PCB レイアウト ガイドラインアプリケーション レポート*
- *『独自電源の構築 - レイアウトの考慮事項』セミナー*
- *LM4360x および LM4600x による低放射 EMI レイアウトの簡素化アプリケーション レポート*

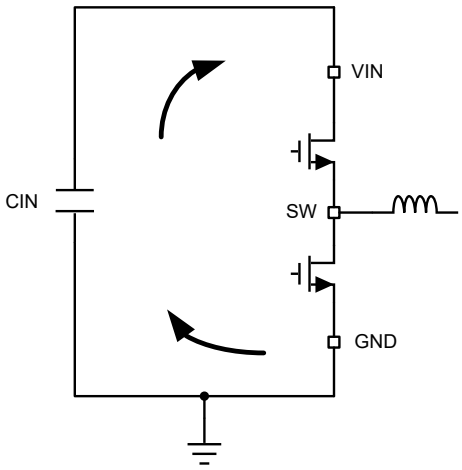


図 8-33. 高速エッジを持つ電流ループ

8.4.1.1 グランドとサーマル プレーンに関する考慮事項

前述のように、テキサス・インスツルメンツでは、中間層のいずれかをソリッド グランド プレーンとして使用することを推奨しています。グランド プレーンは、ノイズの影響を受けやすい回路とパターンにシールドを提供します。また、グランド プレーンは、制御回路に対して、低ノイズのリファレンス電位も提供します。PGND ピンは、内部ローサイド MOSFET スイッチのソースです。このピンは入力および出力コンデンサのグランドに直接接続する必要があります。PGND にはスイッチング周波数におけるノイズが含まれており、負荷変動により戻ってくる場合があります。

テキサス・インスツルメンツは、プライマリ サーマル パスとして IC の PGND を使用して十分なデバイス ヒートシンクを提供することを推奨しています。サーマル ビアは、PGND ピンの下に均等に配置する必要があります。最大の放熱効果を得るため、最上層および最下層のシステム グランド プレーンに対して可能な限り多くの銅を使用します。テキサス・インスツルメンツでは、銅厚が上から以下のようになっている 4 層基板を使用するよう推奨しています:2 オンス、1 オンス、1 オンス、2 オンス。十分な厚さの銅箔と適切なレイアウトを備えた 4 層基板は、低インピーダンスの電流導通、適切なシールド効果、低熱抵抗を実現します。

Copyright © 2026 Texas Instruments Incorporated

熱 PCB 設計に関するリソース:

- 『AN-2020 過去ではなく、現在の識見による熱設計』アプリケーション ノート
- 『露出パッド パッケージで最良の熱抵抗を実現するための基板レイアウト ガイド』アプリケーション ノート
- 『半導体および IC パッケージの熱評価基準』アプリケーション レポート
- 『LM43603 および LM43602 によるシンプルな熱設計』アプリケーション ノート
- 『PowerPAD™ 熱特性強化型パッケージ』アプリケーション レポート
- 『PowerPAD の簡単な使用法』アプリケーション ノート
- 『新しい熱評価基準の解説』アプリケーション レポート

8.4.2 レイアウト例

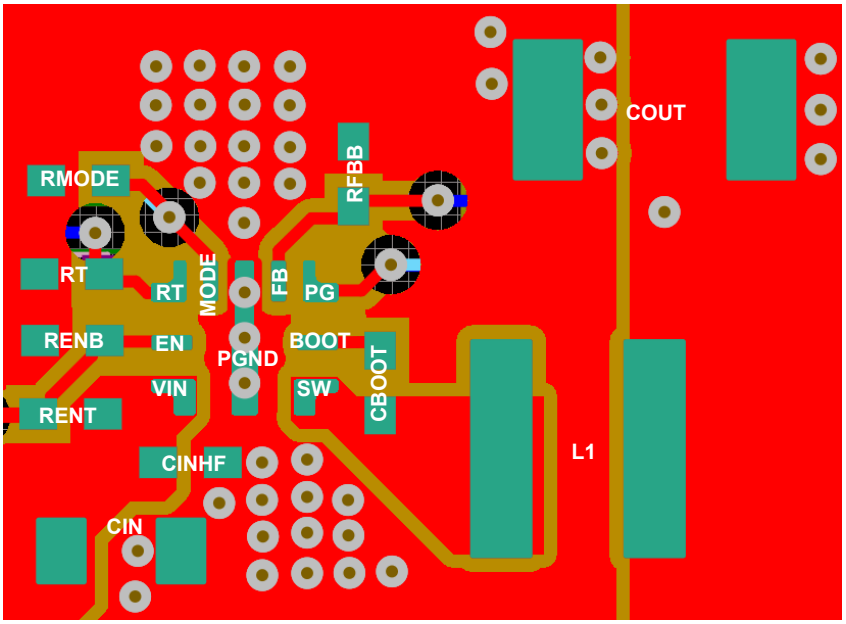


図 8-34. RAK パッケージの推奨レイアウト例 (2.5mm × 2mm)

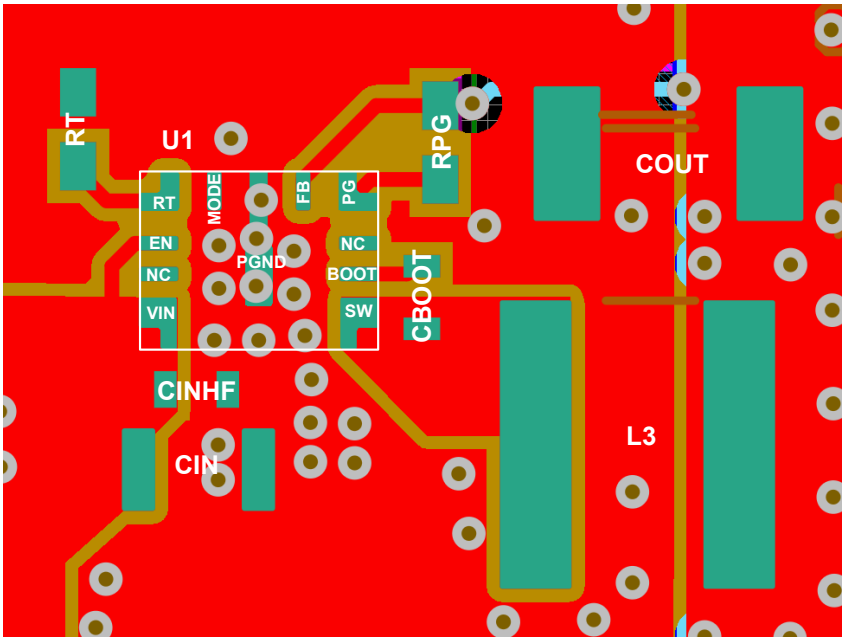


図 8-35. RBM パッケージの推奨レイアウト例 (3.5mm × 2.5mm)

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.1.2 デバイスの命名規則

図 9-1 に、LMR60440-Q1 のデバイス命名規則を示します。各バリエーションの提供状況については、デバイス比較表を参照してください。他のオプションの詳細と提供状況については、テキサス インスツルメンツの販売代理店または テキサス インスツルメンツの E2E サポート フォーラムをご覧ください。最小注文数量が適用されます。

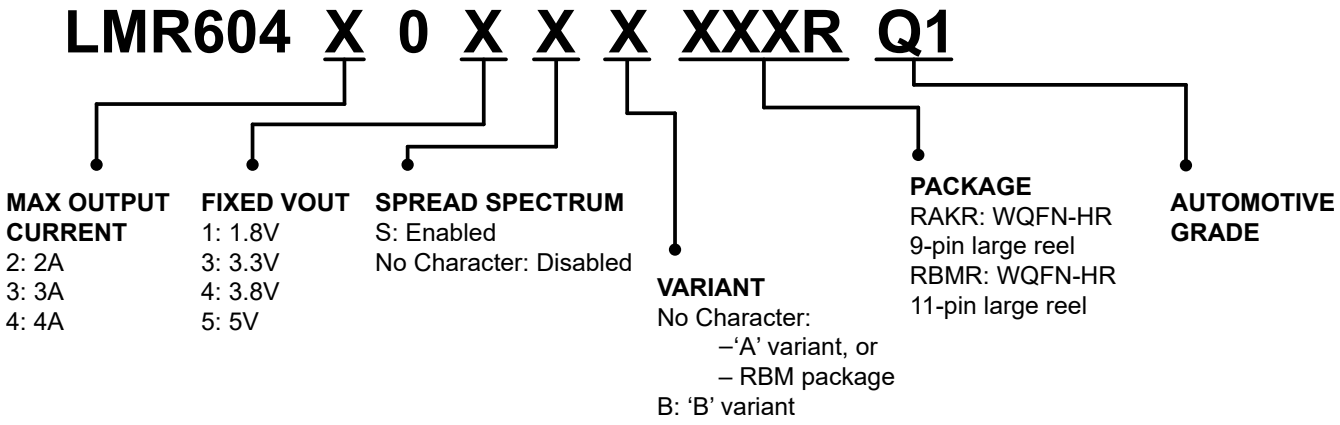


図 9-1. デバイスの命名規則

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、AN-1149『スイッチング電源のレイアウトのガイドライン』アプリケーション ノート
- テキサス・インスツルメンツ、『LM4360x および LM4600x による低放射 EMI レイアウトの簡単な設計』アプリケーション ノート
- テキサス・インスツルメンツ、『独自電源の構築 - レイアウトの考慮事項』アプリケーション ノート
- テキサス・インスツルメンツ、AN-1229『Simple Switcher PCB レイアウト ガイドライン』アプリケーション ノート
- テキサス・インスツルメンツ、『新しい熱評価基準の解説』アプリケーション ノート
- テキサス・インスツルメンツ、『PowerPAD™ 入門』アプリケーション ノート
- テキサス・インスツルメンツ、『熱特性強化型パッケージ PowerPAD™』アプリケーション ノート
- テキサス・インスツルメンツ、『LM43603 および LM43602 を使用した簡単な熱設計』アプリケーション ノート
- テキサス インスツルメンツ、『半導体および IC パッケージの熱評価基準』アプリケーション ノート
- テキサス・インスツルメンツ、AN-2020『過去ではなく、現在の識見による熱設計』アプリケーション ノート
- テキサス・インスツルメンツ、AN-1520『露出パッド パッケージで最良の熱抵抗を実現するための基板レイアウト ガイド』アプリケーション ノート
- テキサス・インスツルメンツ、『DC-DC コンバータからの伝導 EMI への簡単な対処方法』アプリケーション ノート
- テキサス・インスツルメンツ、『電流モード制御理論の理解と適用』アプリケーション ノート
- テキサス・インスツルメンツ、『フィードフォワード コンデンサ付きの内部的に補正される dc-dc コンバータの過渡応答の最適化』アプリケーション ノート

Copyright © 2026 Texas Instruments Incorporated

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

HotRod™, PowerPAD™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2026 Texas Instruments Incorporated

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (June 2026) to Revision C (August 2026) **Page**

- 「デバイスの比較」セクションの注文用部品番号 PLMR604405SRBMRQ1 をプレビュー ステータスから LMR604405SRBMRQ1 のリリース ステータスに変更 3

Changes from Revision A (March 2026) to Revision B (June 2026) **Page**

- 「特長」リストに、より多くのピン互換デバイスを追加 1
- ドキュメント タイトル、「特長」の一覧、「説明」に MINT 1 スイッチャの用語を追加 1
- 「デバイスの比較」表で注文用部品番号をプレビュー ステータスからリリース ステータスに変更 3
- 事前情報デバイスとして PLMR604405SRBMRQ1 を「デバイス比較」表に追加 3
- RBM パッケージ指標を含めるように「熱に関する情報」表を更新 6
- 「ソフトスタートとドロップアウトからの回復」セクションを更新し、ドロップアウトからの回復に関する説明を明確化 13
- セクション 7.3.4 における SYNC モードの説明を更新し、外部クロックの周波数範囲を明確化 14
- RBM パッケージの推奨レイアウト例を追加 35

Changes from Revision * (December 2024) to Revision A (March 2026) **Page**

- 「特長」セクションのシャットダウン電流を 0.65µA から 0.7µA に変更 1
- ドキュメントのステータスを「事前情報」から「量産データ」に変更 1
- 先頭ページに超小型 PCB レイアウトの画像を追加 1
- 「説明」と「概要」内の HotRod に ™ 記号を追加 1
- ドキュメント全体を通して RBM パッケージを追加 1
- 「ピン構成および機能」の RBM パッケージのピンに関する情報を追加 4
- 「絶対最大定格」表に SW ピンの過渡電圧仕様を記載する表注を追加 6
- 「推奨動作条件」表に RT を追加 6
- 「電気的特性」表の代表的条件を更新 7
- 「電気的特性」表の $VIN_{UVLO(R)}$ および $V_{INUVLO(H)}$ の仕様値を更新 7
- 「電気的特性」表の I_{Q-SD} を 0.65µA (標準値) から 0.7µA (標準値) に変更 7
- 「電気的特性」表のスイッチング周波数に対する R_{RT} の値を更新 7
- 「電気的特性」表で $R_{DS-ON-HS}$ の値を 65mΩ から 60mΩ に変更 7
- 「電気的特性」表で $t_{OFF-MIN}$ を 89ns から 100ns に変更し、仕様の最大値を追加 7
- 「代表的特性」セクションに追加曲線を追加 9
- 「RT による周波数の選択」で、RT 式と、スイッチング周波数に対する RT 抵抗の値を示す図を更新 14
- 「電流制限」に、デューティ サイクルによるハイサイド電流制限の変動を示す段落および図を追加 15
- 「スペクトラム拡散」で、スペクトラム拡散の代表的なスイッチング周波数拡散幅を、16% から 18% に変更 17
- 「スペクトラム拡散」で、スペクトラム拡散を無効化する条件に、2 つの箇条書きを追加 17
- 「代表的なアプリケーション」の 図 8-1 から注を削除し、図を更新して、MODE/SYNC ピンにオプション 4 を追加 22
- 「出力コンデンサの選択」セクションを更新し、出力コンデンサの選択プロセスを簡素化 24
- 「アプリケーション曲線」に図を追加 27
- デバイス命名規則を説明する図を追加 37

Copyright © 2026 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMR604403SBRAKRQ1	Active	Production	WQFN-HR (RAK) | 9	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	43SBQ
LMR604403SRBMRQ1	Active	Production	WQFN-HR (RBM) | 11	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	43RBM
LMR604404SBRAKRQ1	Active	Production	WQFN-HR (RAK) | 9	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	44SBQ
LMR604405SBRAKRQ1	Active	Production	WQFN-HR (RAK) | 9	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	45SBQ
LMR604405SRBMRQ1	Active	Production	WQFN-HR (RBM) | 11	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	45RBM
XLMR604403SRAKRQ1	Active	Preproduction	WQFN-HR (RAK) | 9	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
XLMR604403SRAKRQ1.A	Active	Preproduction	WQFN-HR (RAK) | 9	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LMR60440-Q1 :

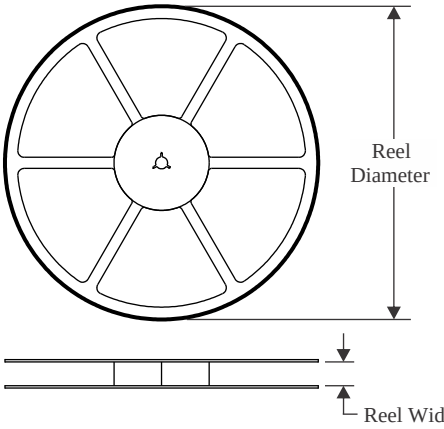
- Catalog : LMR60440

NOTE: Qualified Version Definitions:

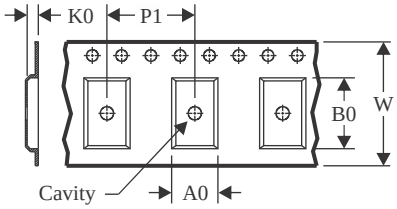
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

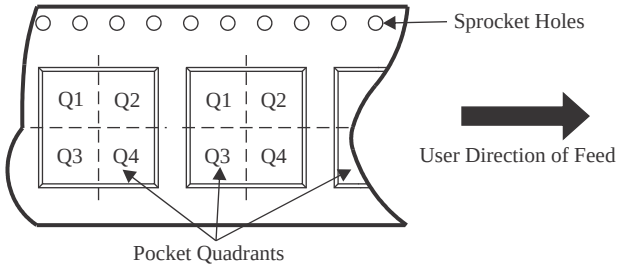


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

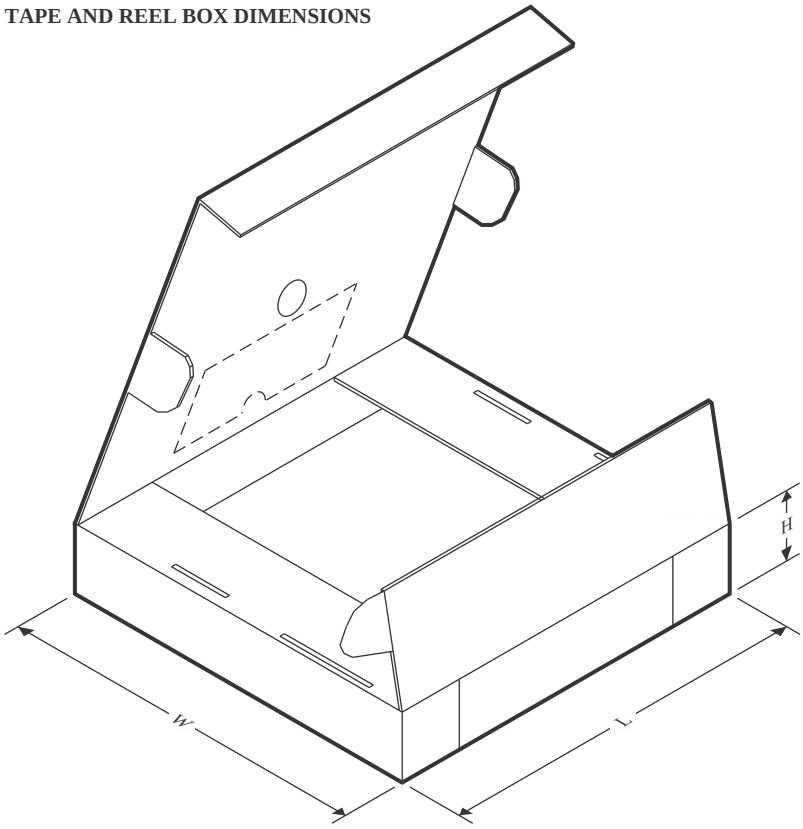
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMR604403SBRAKRQ1	WQFN-HR	RAK	9	3000	180.0	8.4	2.3	2.8	1.15	4.0	8.0	Q1
LMR604403SRBMRQ1	WQFN-HR	RBM	11	3000	180.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
LMR604404SBRAKRQ1	WQFN-HR	RAK	9	3000	180.0	8.4	2.3	2.8	1.15	4.0	8.0	Q1
LMR604405SBRAKRQ1	WQFN-HR	RAK	9	3000	180.0	8.4	2.3	2.8	1.15	4.0	8.0	Q1
LMR604405SRBMRQ1	WQFN-HR	RBM	11	3000	180.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

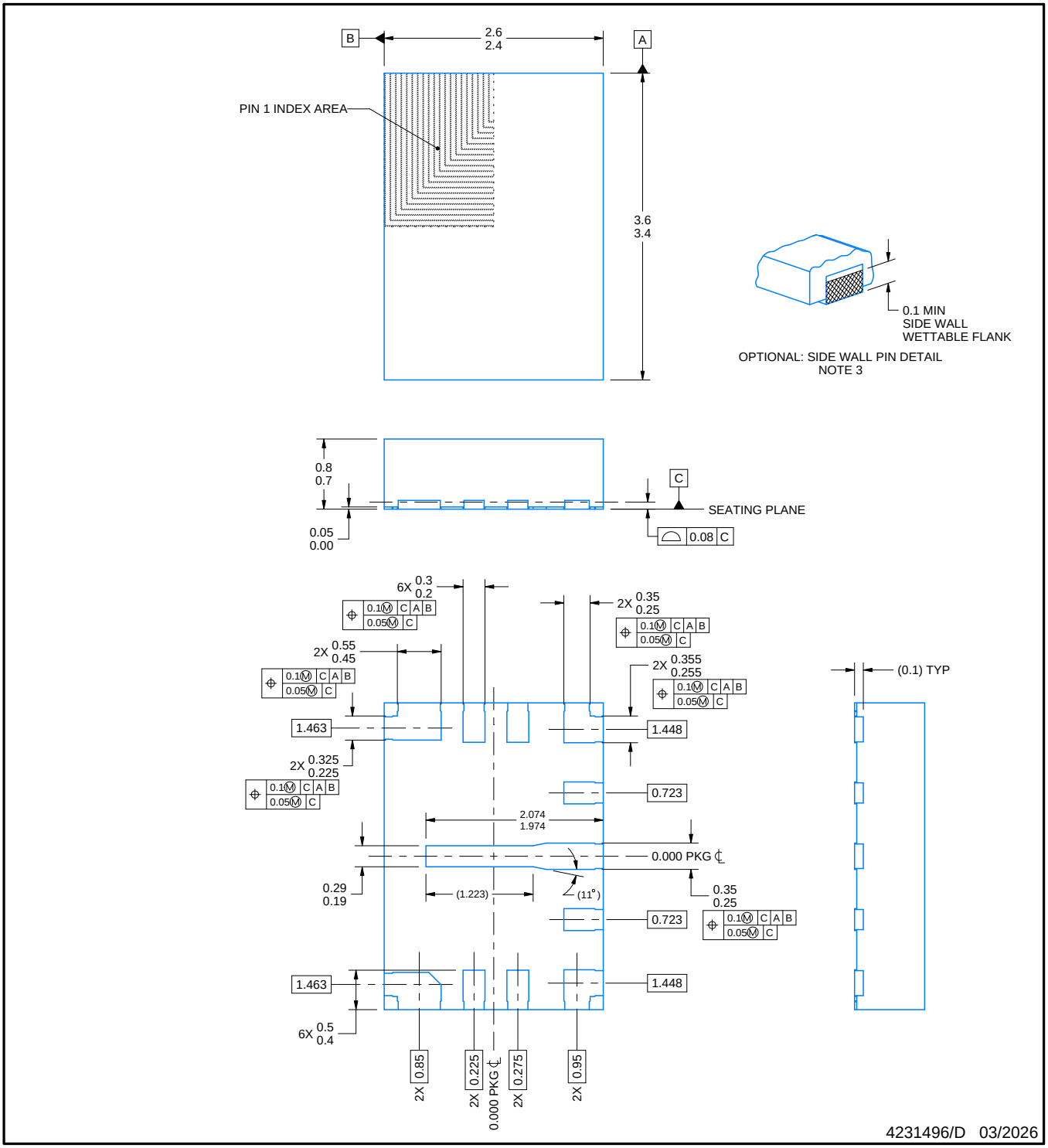
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMR604403SBRAKRQ1	WQFN-HR	RAK	9	3000	210.0	185.0	35.0
LMR604403SRBMRQ1	WQFN-HR	RBM	11	3000	210.0	185.0	35.0
LMR604404SBRAKRQ1	WQFN-HR	RAK	9	3000	210.0	185.0	35.0
LMR604405SBRAKRQ1	WQFN-HR	RAK	9	3000	210.0	185.0	35.0
LMR604405SRBMRQ1	WQFN-HR	RBM	11	3000	210.0	185.0	35.0

PACKAGE OUTLINE

RBM0011A

WQFN-HR - 0.8 mm max height

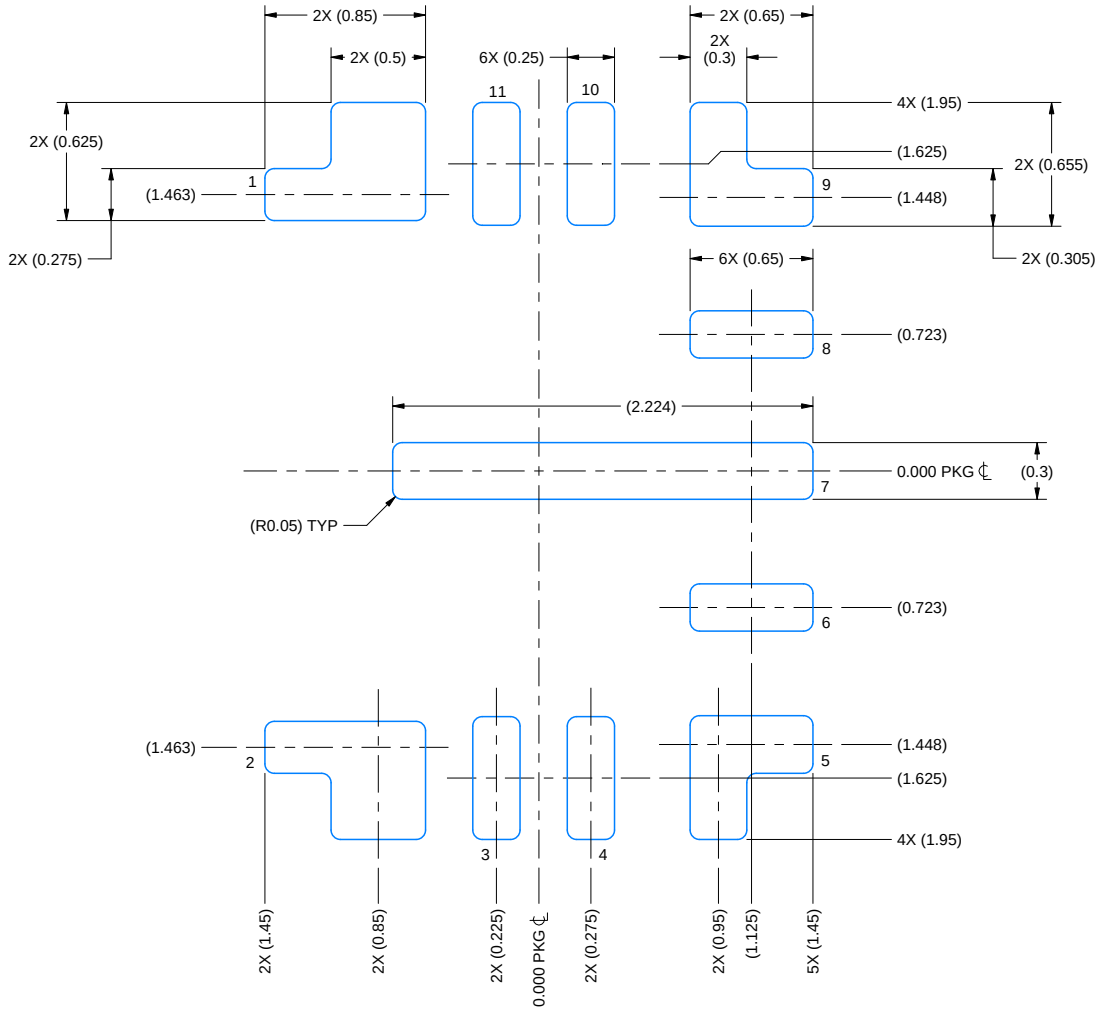
PLASTIC QUAD FLATPACK - NO LEAD



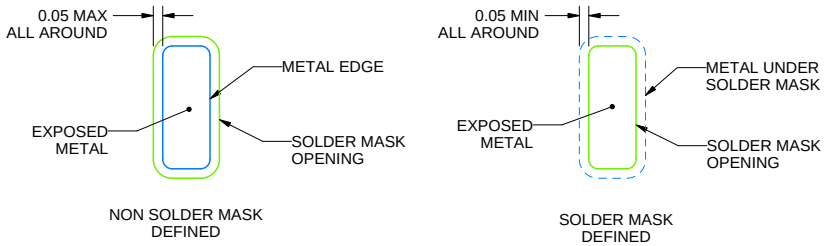
4231496/D 03/2026

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Minimum 0.1 mm solder wetting on pin side wall. Available for wettable flank version only.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 25X

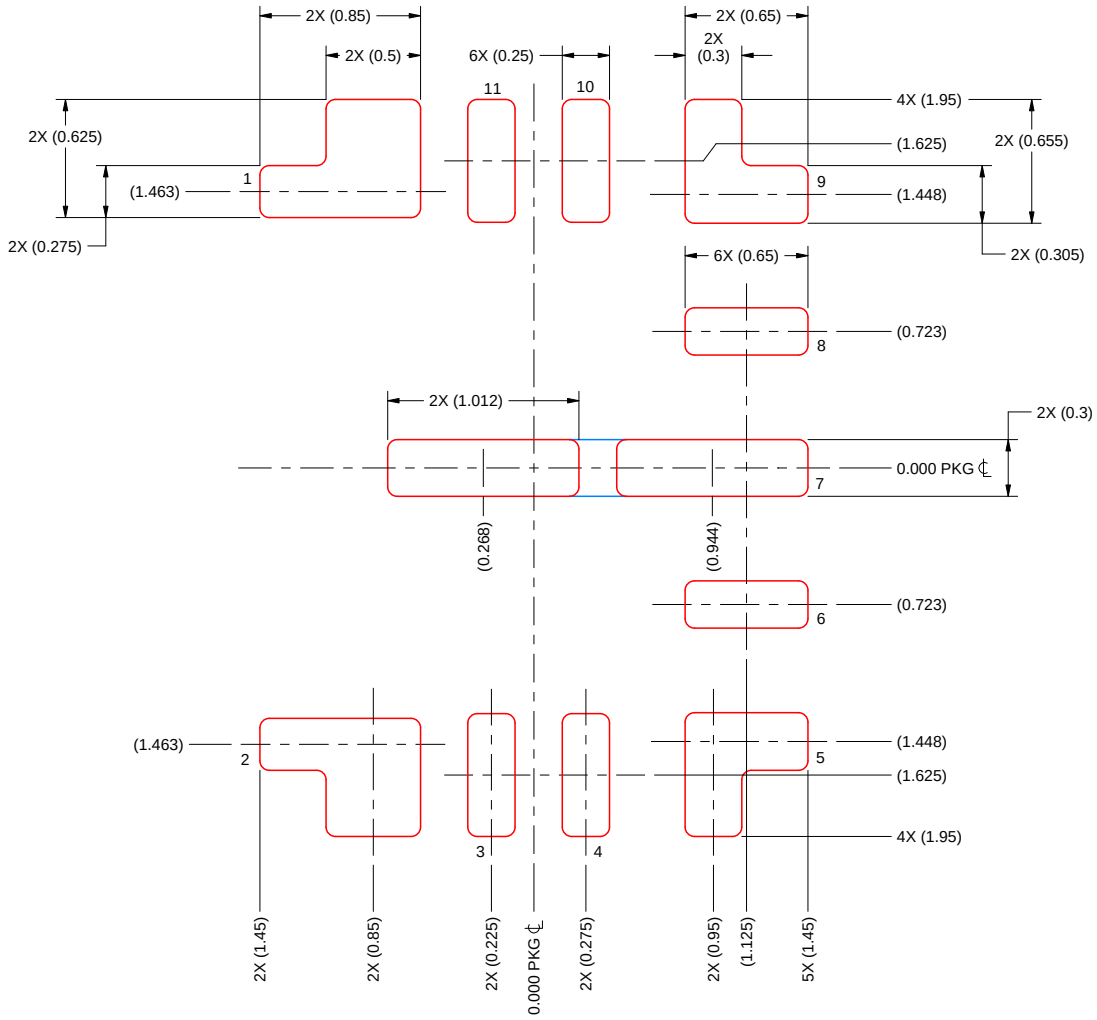


SOLDER MASK DETAILS

4231496/D 03/2026

NOTES: (continued)

4. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 25X

4231496/D 03/2026

NOTES: (continued)

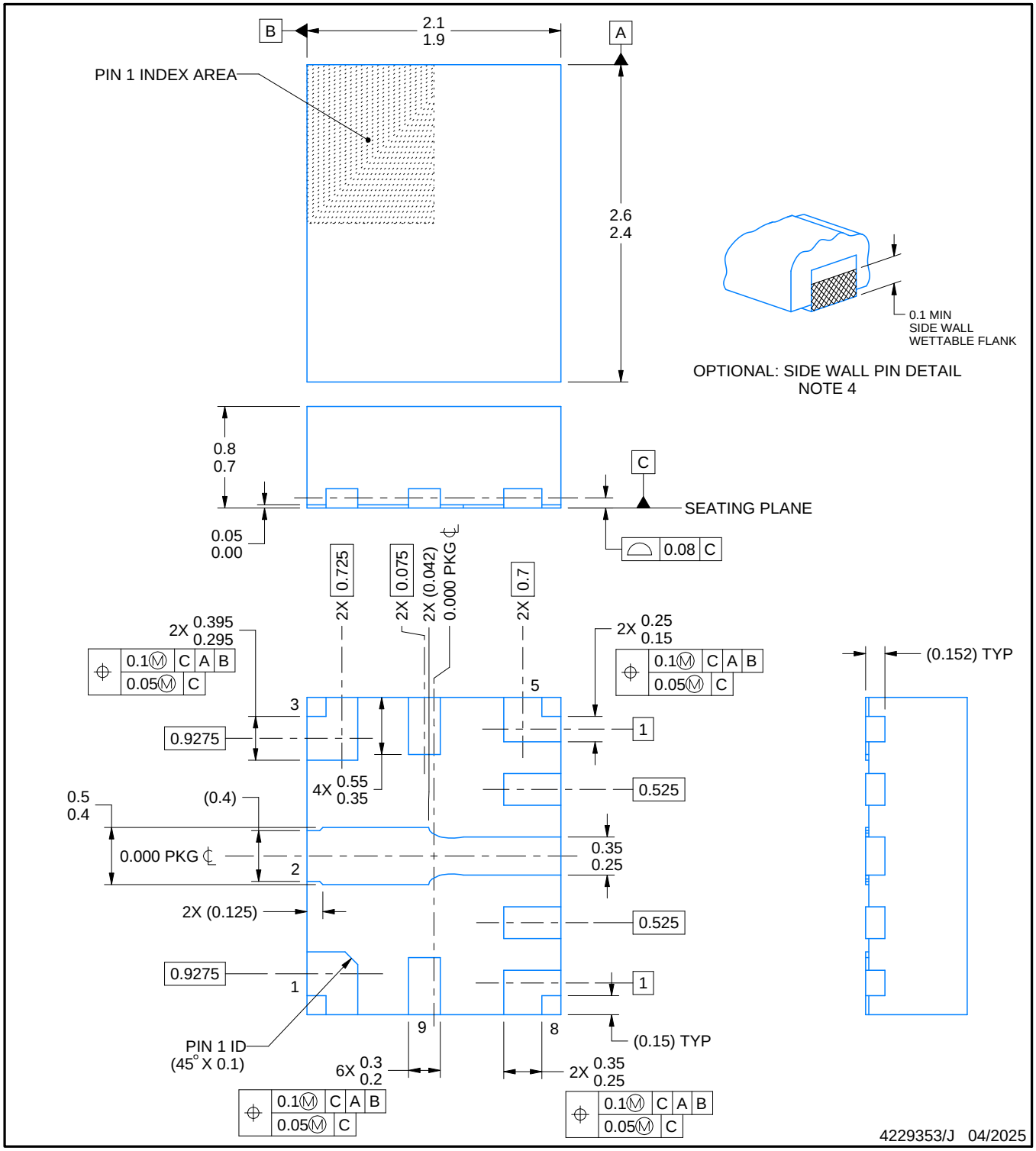
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

RAK0009A

WQFN-HR - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

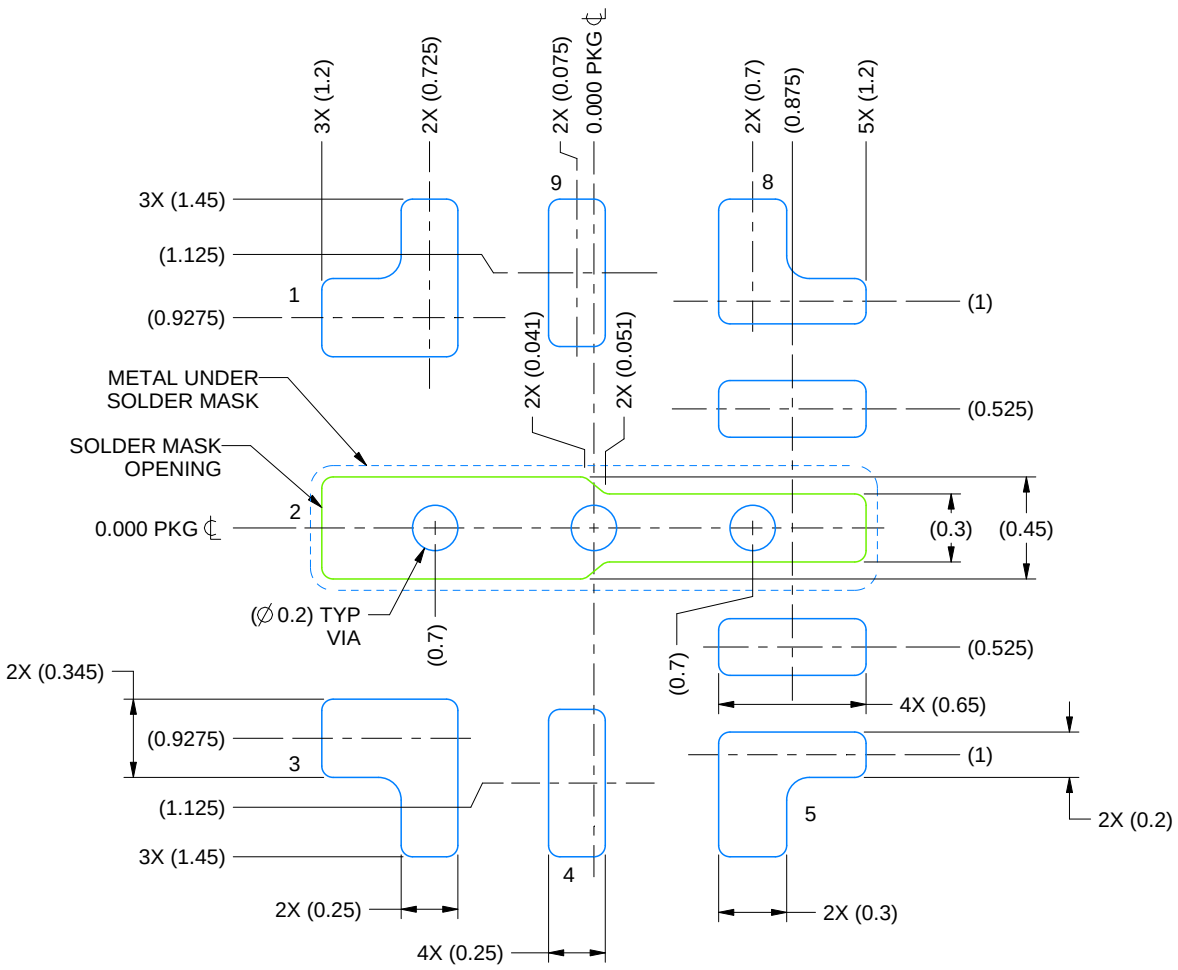
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.
4. Minimum 0.1 mm solder wetting on pin side wall. Available for wettable flank version only.

EXAMPLE BOARD LAYOUT

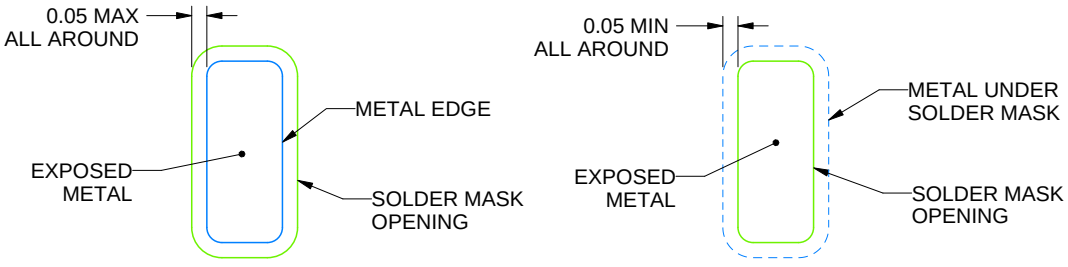
RAK0009A

WQFN-HR - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 30X



NON SOLDER MASK DEFINED (PREFERRED)

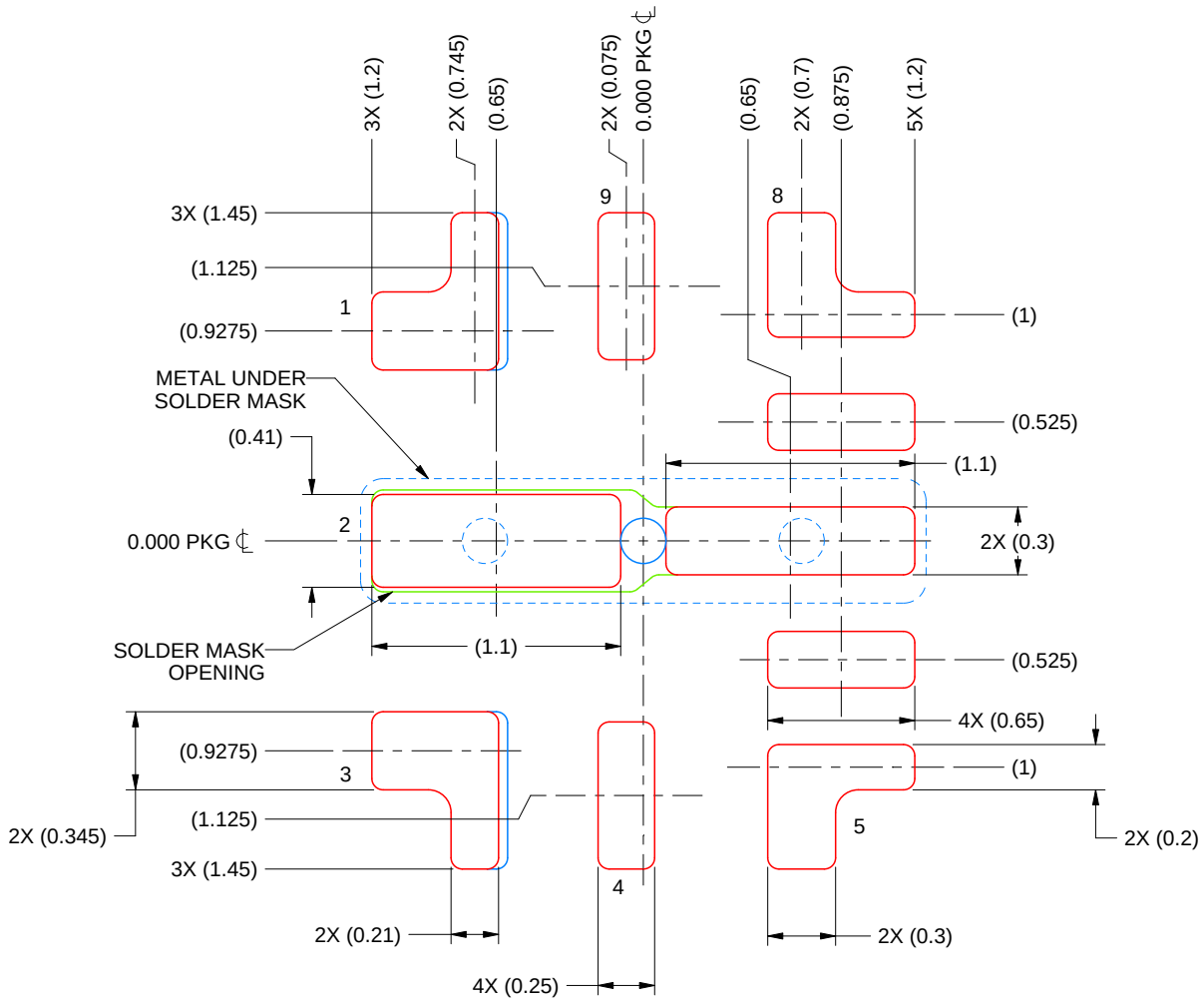
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4229353/J 04/2025

NOTES: (continued)

5. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
6. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 30X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PADS: 1 & 3: 91%
PAD 2: 84%

4229353/J 04/2025

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月