LMR70410 4V ～ 40V、1A 同期整流降圧コンバータ

1 特長

- 堅牢な産業用アプリケーション向けの構成
  - 入力電圧範囲:4V ～ 40V
  - 連続出力電流:1A
  - 最小オン時間:60ns
  - 1.1MHz の固定スイッチング周波数
  - 接合部温度範囲:–40°C ～ 150°C
  - サイクル単位の短絡保護回路
  - 高精度のイネーブル
  - 電圧リファレンス精度:±1%
  - 1.8ms の内部ソフト スタート
- 小型の設計サイズと使いやすさ
  - 同期整流器内蔵
  - 使いやすさを実現した内部補償
  - SOT23-6 パッケージ
- 強制パルス幅変調 (FPWM) モードまたはパルス周波数変調 (PFM) モードに対応
- 既存の SOT23-6 デバイスとのピン互換性
  - TPS560430、LMR50410、LMR51410、LMR54410

2 アプリケーション

- 電化製品
- ビル オートメーション
- エネルギー インフラ
- パワー デリバリー

3 説明

LMR70410 は、使いやすい SOT23-6 パッケージにある 40V、1A 同期整流降圧スイッチング レギュレータです。LMR70410 は、小さな設計サイズで最大 1A の DC 負荷電流を供給でき、4V ～ 40V の DC 電源電圧で動作できます。LMR70410 は、1.1MHz の固定スイッチング周波数で動作するため、比較的小型のインダクタを使用でき、全体の設計サイズの最適化が可能です。

LMR70410 は、高精度のイネーブル UVLO を備えているため、設計者は、VIN と GND との間に抵抗デバイダを使用して、デバイスのオンとオフを切り替える入力電圧をプログラムできます。LMR70410 は、サイクル単位の過電流保護機能を実装しており、これによって出力電圧がゼロまで低下しても、最大出力電流を制限します。サーマル シャットダウンが実装されていることで、接合部温度がサーマル シャットダウン スレッショルドを超えると、LMR70410 はオフになります。

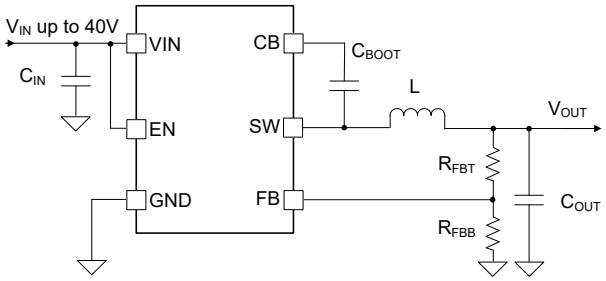
LMR70410 には FPWM と PFM の両方のバリアントがあり、これにより、負荷にかかわらず固定周波数とするか、または軽負荷時の効率を高めるかのいずれかに合わせて、設計を最適化できます。内部ソフト スタート時間は、内部で 1.8ms に設定されています (標準値)。

LMR70410 は、0.6A ～ 1A の負荷電流範囲に対応するピン互換デバイス ファミリの製品です。このファミリは、TPS560430 および LMR50410 など、他の SOT23-6 デバイスとピン互換性があります。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
LMR70410	DDC (SOT-23-THN、6)	2.9mm × 2.8mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図

ADVANCE INFORMATION

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

ADVANCE INFORMATION

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 デバイスの比較.....3
5 ピン構成および機能.....4
6 仕様.....5
6.1 絶対最大定格.....5
6.2 ESD 定格.....5
6.3 推奨動作条件.....5
6.4 熱に関する情報.....5
6.5 電気的特性.....6
6.6 代表的特性.....7
7 詳細説明.....8
7.1 概要.....8
7.2 機能ブロック図.....8
7.3 機能説明.....9
7.4 デバイスの機能モード.....12
8 アプリケーションと実装.....14
8.1 使用上の注意.....14
8.2 代表的なアプリケーション.....14
8.3 電源に関する推奨事項.....19
8.4 レイアウト.....19
9 デバイスおよびドキュメントのサポート.....21
9.1 ドキュメントのサポート.....21
9.2 ドキュメントの更新通知を受け取る方法.....21
9.3 サポート・リソース.....21
9.4 商標.....21
9.5 静電気放電に関する注意事項.....21
9.6 用語集.....21
10 改訂履歴.....21
11 メカニカル、パッケージ、および注文情報.....21
11.1 メカニカル データ.....22

Copyright © 2026 Texas Instruments Incorporated

4 デバイスの比較

発注用製品型番	出力電流 (A)	周波数 (kHz)	モード
LMR70410YAPDDCR	1	1100	PFM
LMR70410YAFDDCR	1	1100	FPWM

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

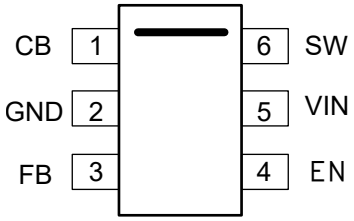


図 5-1. 6 ピン SOT-23-THN、DDC パッケージ (上面図)

表 5-1. ピンの機能

ピン		タイプ(1)	説明
名称	番号		
CB	1	P	下限側 FET ドライバのブートストラップ コンデンサを接続。このピンと SW ピンとの間に高品質の 100nF コンデンサを接続します。
GND	2	G	電源のグランド端子。内部でローサイド FET のソースに接続されます。システム接地、CIN と COUT の接地側に接続します。CIN へのパスは、できる限り短くする必要があります。
FB	3	I	コンバータへの帰還入力。抵抗デバイダを接続して出力電圧を設定します。動作中は、この端子をグランドに短絡しないでください。
EN	4	I	コンバータへの高精度イネーブル入力。フローティングにはしないでください。High = オン、Low = オフ。VIN に接続できます。高精度イネーブル入力により、外部抵抗デバイダによる UVLO の調整が可能になります。
VIN	5	P	内部バイアス LDO およびハイサイド FET への電源入力端子。入力電源および入力バイパス コンデンサ CIN に接続します。入力バイパスコンデンサは、このピンおよび GND に直接接続する必要があります。
SW	6	P	コンバータのスイッチング出力。ハイサイド FET のソースとローサイド FET のドレインに内部接続されています。パワー インダクタに接続します。

(1) I = 入力、G = グランド、P = 電源。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

動作時接合部温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
ピン電圧	VIN から GND へ	-0.3	45	V
ピン電圧	EN から GND へ	-0.3	VIN + 0.3	V
ピン電圧	FB から GND へ	-0.3	5.5	V
ピン電圧	SW から GND への	-0.3	45.3	V
ピン電圧	SW から GND (過渡 10ns 未満)	-3.5	45	V
ピン電圧	CB から SW	-0.3	5.5	V
動作時の接合部温度 T_J		-40	150	°C
保存温度 T_{stg}		-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)	±1000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	±750	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

動作時接合部温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
V_{IN}	入力電圧範囲	4	40	V
V_{OUT}(2)	可変出力電圧範囲	1	28	V
I_{OUT}	出力電流範囲 (1A バリアント)	0	1	A
T_J	動作時接合部温度	-40	150	°C

(1) 推奨動作条件は本デバイスが機能する条件を示していますが、特定の性能限界を指定するものではありません。規定の仕様については、「電気的特性」を参照してください。
(2) いかなる条件下でも、出力電圧は 0V を下回ってはなりません。

6.4 熱に関する情報

熱評価基準(1)		LMR704xx DDC (SOT23-6) 6 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗 (2)	122	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	55	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	31.2	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	14.7	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	31.1	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

(2) この表に示す $R_{\Theta JA}$ の値は他のパッケージとの比較にのみ有効であり、設計目的に使用することはできません。これらの値は JESD 51-7 に従って計算されており、4 層 JEDEC 基板上でシミュレーションされています。これらの値は、実際のアプリケーションで得られた性能を表すものではありません。たとえば、評価基板は $R_{\Theta JA}$ = 76°C/W を達成できます。

6.5 電気的特性

特に記述のない限り、各制限値は動作時の接合部温度 T_J 範囲 (–40°C ～ +150°C) にわたって適用されます。最小値および最大値の制限値は、試験、設計、および統計的相関に基づいて規定されています。標準値は T_J = 25℃における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、VIN = 12V の条件が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源電圧 (VIN ピン)						
$V_{IN_UVLO(R)}$	低電圧誤動作防止のスレッショルド	立ち上がりスレッショルド	3.5	3.75	4	V
$V_{IN_UVLO(F)}$		立ち下がりスレッショルド			3.1	V
$I_{Q(VIN)}$	VIN 静止電流(1)	非スイッチング、V_{EN} = 3.3V、V_{FB} = 1.1V		5	25	µA
$I_{SD(VIN)}$	VIN のシャットダウン時消費電流	V_{EN} = 0V		0.7		µA
$I_{SUPPLY-FPWM}$	FPWM 時の入力電源電流(1)	非スイッチング、V_{IN} = 24V、V_{EN} = 3.3V、V_{FB} = 1.1V		50		µA
イネーブル (EN ピン)						
$V_{EN(R)}$	EN 電圧立ち上がりスレッショルド	EN 立ち上がり、スイッチングはイネーブル	1.1	1.2	1.3	V
$V_{EN(F)}$	EN 電圧立ち下がりスレッショルド	EN 立ち下がり、スイッチングはディスエーブル	0.85	1.0	1.15	V
電圧リファレンス (FB ピン)						
V_{FB}	FB 電圧		0.792	0.8	0.808	V
スイッチング周波数						
$f_{SW(1.1MHz)}$	スイッチング周波数 1.1MHz 型		0.935	1.1	1.265	MHz
電流制限						
$I_{HS-PEAK}$	ハイサイド ピーク電流制限(2)	デューティ サイクルが 0% に近付く場合	1.6	1.75	2.0	A
$I_{LS-VALLEY}$	ローサイドのバレー電流制限(2)	1A バリアント	1	1.2	1.4	A
I_{LS-NEG}	ローサイドの負の電流制限(2)	LS FET のシンク電流制限		-600		mA
スタートアップ						
t_{SS}	内部固定ソフトスタート時間	最初の SW パルスから V_{FB} = 90% VREF に達するまでの時間		1.8		ms
電力段						
$R_{DSON(HS)}$	ハイサイド MOSFET オン抵抗	T_J = 25°C、V_{IN} = 12V		420		mΩ
$R_{DSON(LS)}$	ローサイド MOSFET オン抵抗	T_J = 25°C、VIN = 12V、		210		mΩ
$t_{ON(min)}$	最小 ON パルス幅	I_{OUT} = 250mA、V_{IN} = 18V、V_{OUT} = 1V		60		ns
$t_{OFF(min)}$	最小 OFF パルス幅	V_{IN} = 4V、V_{OUT} = 3.3V		100		ns
サーマル シャットダウン						
$T_{J(SD)}$	サーマル シャットダウンのスレッショルド	温度上昇		165		°C
$T_{J(HYS)}$	サーマル シャットダウン ヒステリシス			10		°C

(1) この表の電流制限値は、開ループでテスト済みであり、量産時に使用されます。これらの値は、閉ループ アプリケーションで見られる値とは異なる場合があります。
(2) このパラメータで報告される電流値は、デバイスの開ループで使用される電流です。指定された値は、レギュレーション中にシステムに流れ込む入力電流の合計を示すものではありません。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6.6 代表的特性

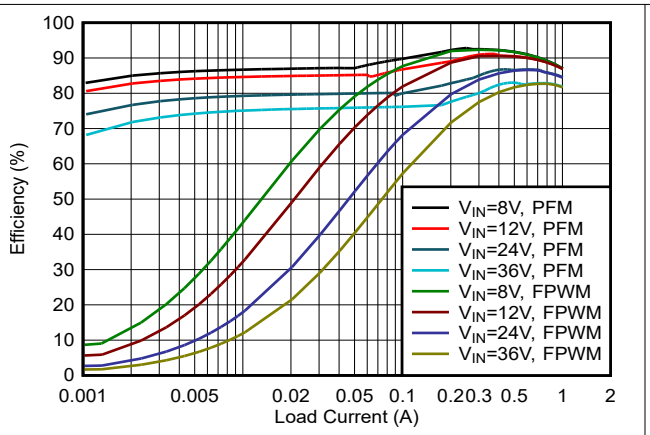


図 6-1. 1.1MHz 3.3V の効率と負荷電流との関係

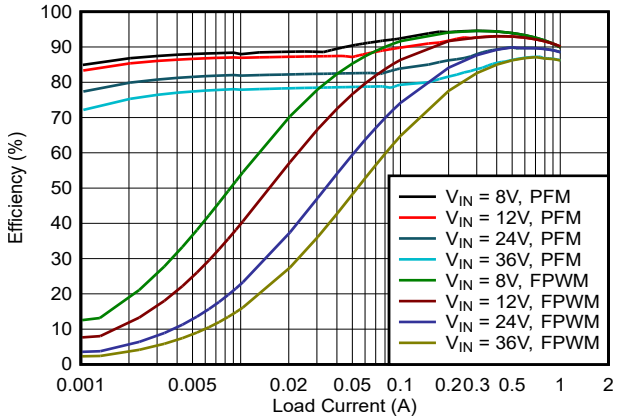


図 6-2. 1.1MHz 5V の効率と負荷電流との関係

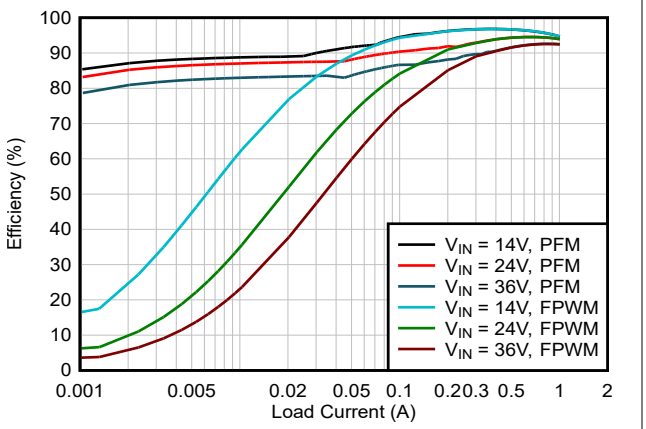


図 6-3. 1.1MHz 12V の効率と負荷電流との関係

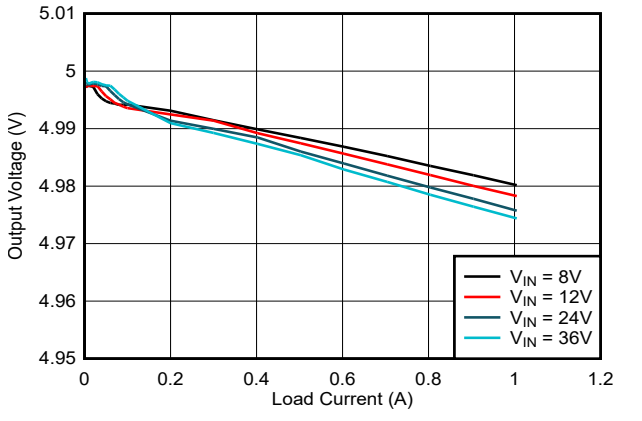


図 6-4. 5V ロード レギュレーション

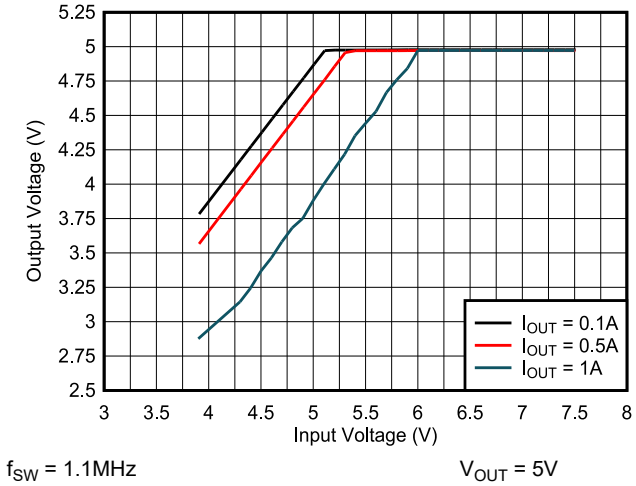


図 6-5. 5V ドロップアウト 1.1MHz

ADVANCE INFORMATION

7 詳細説明

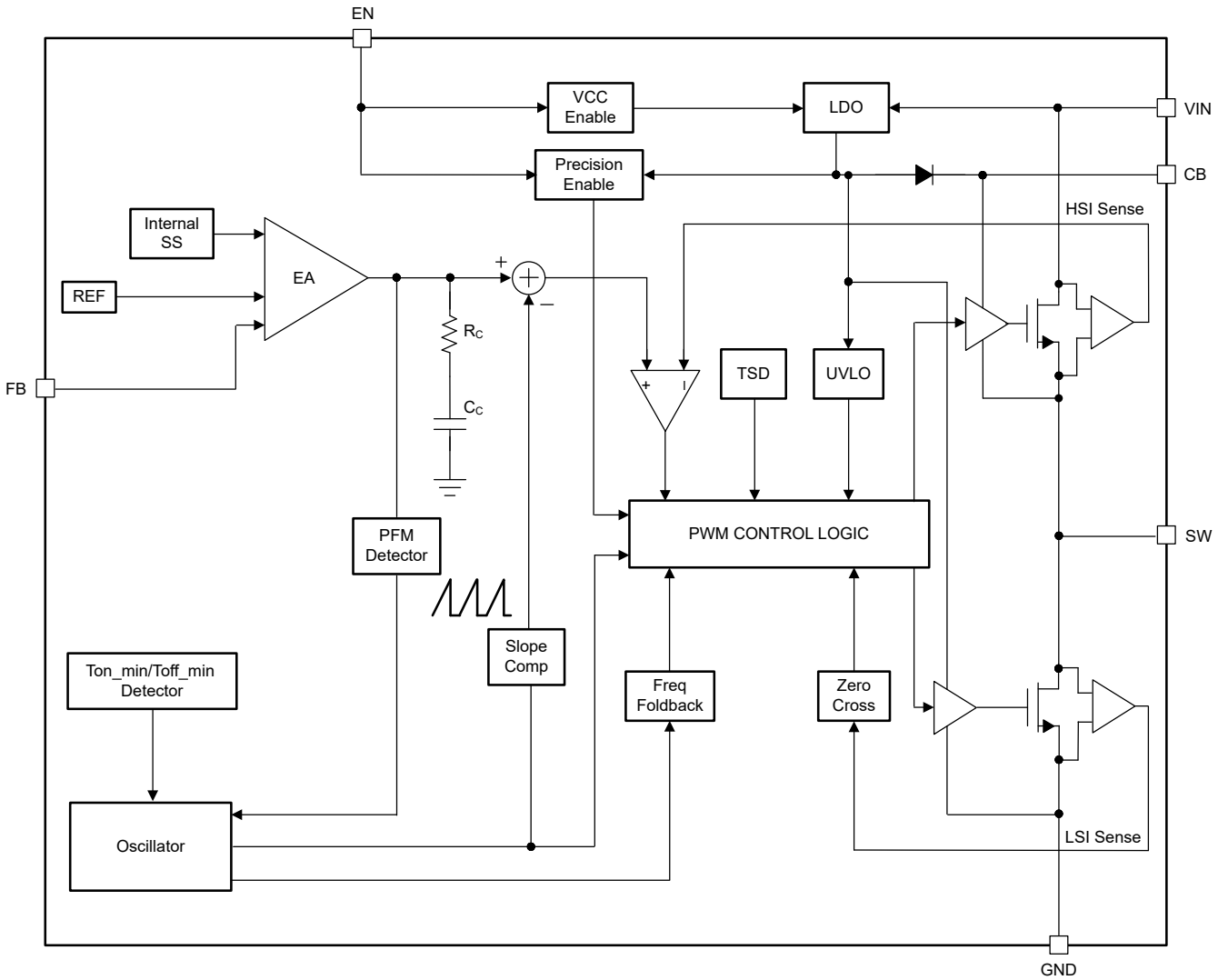
7.1 概要

LMR70410 は推奨最大入力電圧が 40V、1A で、SOT23-6 パッケージに実装された同期整流降圧スイッチング レギュレータです。LMR70410 は、最大 1A の DC 負荷電流を持ち、最小 4V の電源電圧で動作できます。より小型のインダクタを使用するため、LMR70410 は 1.1MHz の固定スイッチング周波数で動作します。

LMR70410 にはイネーブル UVLO が実装されており、VIN と GND との間に抵抗デバイダを使用して、デバイスのオンとオフを切り替える入力電圧をプログラムできます。サーマル シャットダウン機能が内蔵されていることで、接合部温度が規定されたサーマル シャットダウン スレッショルドを超えた場合に、LMR70410 はオフになります。LMR70410 は、サイクル単位の過電流保護機能を実装しており、これによって出力電圧がゼロに低下しても、最大出力電流を制限します。

LMR70410 には FPWM と PFM の両方のオプションがあり、これにより、負荷にかかわらず固定周波数とする設計や、軽負荷時の効率を高める設計のいずれも実現可能です。内部ソフト スタート時間は、内部で 1.8ms に設定されています (標準値)。

7.2 機能ブロック図



ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.3 機能説明

7.3.1 固定周波数のピーク電流モード制御

以下の LMR70410 の動作説明は、機能ブロック図と図 7-1 の波形を参照しています。LMR70410 は、ハイサイド (HS) およびローサイド (LS) スイッチ (同期整流器) を内蔵した同期整流降圧レギュレータです。LMR70410 は、制御されたデューティ サイクルで HS および LS の NMOS スイッチをオンにすることにより、出力電圧の安定化を実現します。ハイサイド スイッチのオン時間中に、SW ピンの電圧は約 VIN までスイングし、インダクタ電流 i_L は $(V_{IN} – V_{OUT})/L$ の直線勾配で増加します。制御ロジックにより HS スイッチがオフされると、アンチシュートスルーのデッドタイムの後、LS スイッチがオンになります。インダクタ電流は、ローサイド スイッチを通して $–V_{OUT}/L$ の割合で放電されます。降圧コンバータの制御パラメータは、デューティ サイクル $D = t_{ON}/t_{SW}$ と定義されます。ここで、t_{ON} はハイサイド スイッチオン時間、T_{SW} はスイッチング周期です。レギュレータ制御ループでは、デューティ サイクル D を調整することで一定の出力電圧を保持します。損失を無視できる理想降圧コンバータでは、D は出力電圧に比例し、入力電圧に反比例します $(D = V_{OUT}/V_{IN})$。

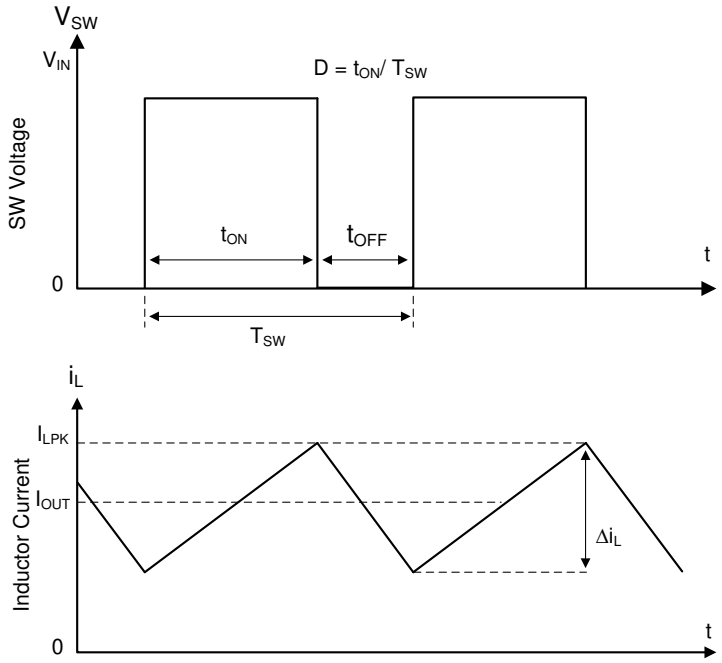


図 7-1. 連続導通モード (CCM) における SW ノードとインダクタ電流の波形

LMR70410 は、固定周波数のピーク電流モード制御を採用しています。電圧帰還ループを使用して、電圧オフセットに基づいてピーク電流コマンドを調整することにより、DC 電圧を正確にレギュレートします。ピーク インダクタ電流は下限側スイッチから検出され、ピーク電流スレッショルドと比較することにより、下限側スイッチの ON 時間を制御します。電圧帰還ループは内部補償されているため、外付け部品を減らすことができ、設計が容易になり、出力コンデンサの組み合わせをほとんど自由に選んでも安定した動作が得られます。レギュレータは、通常負荷状況では固定スイッチング周波数で動作します。軽負荷の状況では、LMR70410 は PFM モードで動作して高効率を維持するか (PFM バージョン)、FPWM モードで動作して小さい出力電圧リップル、正確な出力電圧安定化、一定のスイッチング周波数を実現します (FPWM バージョン)。

7.3.2 イネーブルおよび低電圧誤動作防止

LMR70410 は高精度のイネーブルおよび低電圧誤動作防止 (UVLO) 機能を備えており、ユーザーは EN ピンに印加される電圧に基づいてデバイスの電源をオン/オフにする電圧レベルを選択できます。デバイスの電源をオンにするには、EN ピンと GND ピンの間の電圧がイネーブル電圧立ち上がりスレッショルド $(V_{EN(R)})$ を超えている必要があります。$V_{EN(R)}$ を超え、かつ最小電源電圧 $(V_{IN_UVLO(R)})$ の両方が満たされると、デバイスは「セクション 7.3.3」で説明されているソフトスタート シーケンスを開始します。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

EN ピンを使用すると、EN ピンと GND ピン間の電圧をイネーブル入力の立ち下がりスレッショルド ($V_{EN(F)}$) より低くすることで、デバイスの電源をオフにできます。

VIN と GND の間に抵抗デバイダを配置して、中心点を EN ピンに接続すると、UVLO を実装できます。まず、デバイスがオフになる入力電圧を選択し、R_{ENT} の値を選択してから、必要な R_{ENB} を計算してください。R_{ENB} を計算すると、結果として生じるターンオン入力電圧を計算できます。必要な EN 抵抗を判断するには、「図 7-2」、「式 1」および「式 2」を参照してください。VIN UVLO 機能が不要な場合には、EN ピンを VIN に接続できます。EN 電圧が入力電圧を超えないようにする必要があります。

$$R_{ENB} = \frac{V_{EN-TH(F)}}{\left(VIN_{turn-off} - V_{EN-TH(F)}\right)} \times R_{ENT} \quad (1)$$

$$VIN_{turn-on} = \left(1 + \frac{R_{ENT}}{R_{ENB}}\right) \times V_{EN-TH(R)} \quad (2)$$

ここで:

- $VIN_{turn-off}$ は LMR70410 をオフにした入力電圧を表します。
- $VIN_{turn-on}$ は LMR70410 をオンにした入力電圧を表します。

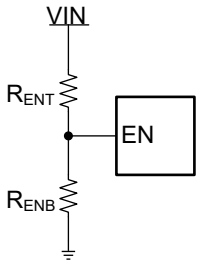


図 7-2. EN ピンを使った VIN/UVLO

7.3.3 ソフトスタートとドロップアウトからの回復

LMR70410 は、起動中の出力電圧のオーバーシュートと大きな突入電流を防止するため、ソフト スタートを採用しています。ソフト スタート時間は内部で固定され、1.8ms です (標準値)。LMR70410 デバイスは、起動前に出力に電圧が印加されていても正しく動作します。

LMR70410 を起動してソフト スタート シーケンスを開始するには、VIN ピンと EN ピンに印加される電圧がそれぞれ $VIN_{UVLO(R)}$ と $V_{EN(R)}$ を超えている必要があります。これらの条件が満たされると、ソフト スタート シーケンスが開始され、出力電圧は 1.8ms (標準値) で設定点に達します。

ドロップアウトは、入力電圧が出力電圧の設定点の電圧レベルを下回るときに発生します。入力電圧が上昇した後、出力電圧はソフト スタート中と同じ勾配で上昇します。

7.3.4 可変出力電圧

高精度の 0.8V 基準電圧 (V_{FB}) を使用して、動作温度範囲の全体にわたって正確に安定化された出力電圧を維持します。出力電圧は、出力電圧レールと FB ピンとの間の抵抗デバイダによって設定されます。テキサス・インスツルメンツでは、FB 分圧器に精度 1% の低温度係数抵抗を使用することを推奨します。目的の分圧器電流に対応する下側抵抗 R_{FBB} を選択し、式 3 を使って上側抵抗 R_{FBT} を計算します。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

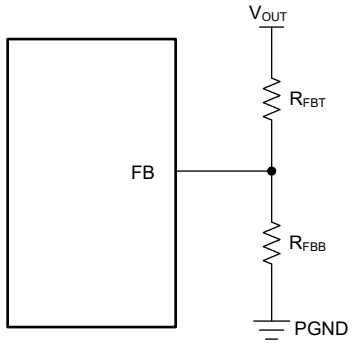


図 7-3. 可変 VOUT 用の帰還抵抗セットアップ

$$R_{FBT} = \frac{V_{OUT} - V_{REF}}{V_{REF}} \times R_{FBB} \quad (3)$$

7.3.5 最小オン時間、最小オフ時間、および周波数フォールドバック

最小オン時間 ($t_{ON(min)}$) は、ハイサイド スイッチをオンにできる最小の時間長です。最小オン時間は、LMR70410 では通常 60ns です。最小オフ時間 ($t_{OFF(min)}$) は、ハイサイド スイッチをオフにできる最小の時間長です。最小オフ時間は、LMR70410 では通常 100ns です。CCM 動作時には、$t_{ON(min)}$ および $t_{OFF(min)}$ によって、スイッチング周波数フォールドバックを伴わない電圧変換範囲が制限されます。

周波数フォールドバックが発生しない最小デューティ サイクルは次のとおりです。

$$D_{MIN} = T_{ON(\min)} \times f_{sw} \quad (4)$$

周波数フォールドバックが発生しない最大デューティ サイクルは次のとおりです:

$$D_{MAX} = 1 - T_{OFF(\min)} \times f_{sw} \quad (5)$$

必要な出力電圧が与えられた場合、周波数フォールドバックなしでの最大 V_{IN} は、次の式で計算できます:

$$V_{IN_MAX} = \frac{V_{OUT}}{f_{sw} \times T_{ON(\min)}} \quad (6)$$

周波数フォールドバックなしでの最小 V_{IN} は、次の式で計算できます:

$$V_{IN_MIN} = \frac{V_{OUT}}{1 - f_{sw} \times T_{OFF(\min)}} \quad (7)$$

LMR70410 では、$t_{ON(min)}$ または $t_{OFF(min)}$ がトリガされた後に周波数フォールドバック方式が動作するようになっています。これにより、最大デューティ サイクルを増加、または最小デューティ サイクルを低下させます。

V_{IN} 電圧が高くなるにつれて、オン時間は減少します。オン時間が $t_{ON(min)}$ まで減少すると、V_{IN} の増加に伴ってスイッチング周波数が低下し始め、式 4 に従ってデューティ サイクルがさらに低下して V_{OUT} の安定化状態が維持されます。

この周波数フォールドバック方式は、V_{IN} が低い状況で、より大きなデューティ サイクルが必要になった場合にも機能します。デバイスが $t_{OFF(min)}$ に達すると周波数が低下し、式 5 に従って最大デューティ サイクルが増加します。このような条件では、周波数は約 100kHz (標準値) まで低下する場合があります。

7.3.6 ブートストラップ電圧

CB ピンと SW ピンとの間に小型コンデンサを置いて、統合型ハイサイド MOSFET のゲート駆動電圧を供給します。ハイサイド MOSFET がオフで、ローサイド MOSFET が導通しているとき、ブートストラップ コンデンサはリフレッシュされま

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

す。ブートストラップ コンデンサの推奨値は 0.1µF です。TI は、過熱および電圧に対して安定した特性を維持するために、電圧定格 16V 以上の X7R または X5R グレードの誘電体を使用したセラミック コンデンサを推奨します。

7.3.7 過電流および短絡保護

LMR70410 シリーズのデバイスは、ハイサイド FET とローサイド FET の両方でサイクル毎に電流を制限する機能を実装しています。

LMR70410 シリーズのデバイスのハイサイド ピーク電流制限は、インダクタ電流が $I_{HS-PEAK}$ に達した場合にハイサイド FET をオフにすることで、過剰な電流からハイサイド FET を保護します。この条件がトリガされると、インダクタ電流が $I_{LS-VALLEY}$ を下回るまで、ローサイド FET がオンになります。$I_{LS-VALLEY}$ を超えると、ハイサイド MOSFET を再度オンにできます。この動作により、デューティ係数が非常に高くない限り、DC 出力電流の最大量が $I_{HS-PEAK}$ と $I_{LS-VALLEY}$ との間の平均値に効果的に制限されます。デバイスは、負荷が減少するか、接合部温度がサーマル シャットダウン制限に達するまで、この動作モードで動作します。セクション 7.3.8 も参照してください。

負荷が、デバイスのサイクルごとの電流制限でサポートできる以上の電流を必要とする場合、それに応じて出力電圧が低下します。出力電圧が 0V に低下しても、デバイスは電流を供給し続けます。

スロープ補償を使用することで、高いデューティ サイクルで分数調波発振のリスクを低減できます。デューティ サイクルが増加すると、実効ピーク電流制限が減少します。これにより、高いデューティ サイクルでの最大 DC 電流量を減らして、$I_{LS-VALLEY}$ に近い値にすることができます。

ローサイドの負の電流制限 (I_{LS-NEG}) を使用して、ローサイド FET を流れる可能性のある負の電流の最大量を制限できます。この制限は通常、デバイスが Fly-Buck™ アプリケーションで、2 次側負荷電流が 1 次側巻線を流れる負の電流として反映される場合にのみ見られます。あるスイッチング サイクル中に I_{LS-NEG} 制限に達すると、この負の制限値の絶対値は次のサイクル中に減少します。通常、ローサイドの初期の負電流制限値は –600mA です。

7.3.8 サーマル シャットダウン

LMR70410 は、接合部の温度が 165°C (標準値) を超えた場合にデバイス自体を保護するため、内部的なサーマル シャットダウン機能を提供しています。サーマル シャットダウン時に、ハイサイドおよびローサイドの両方の FET がスイッチングを停止します。ダイ温度が 155°C (標準値) 未満になると、デバイスはソフト スタート回路による制御下でパワーアップ シーケンスを再び開始します。

7.4 デバイスの機能モード

7.4.1 シャットダウン モード

EN ピンによって、LMR70410 の電気的なオンおよびオフを制御できます。V_{EN} が $V_{EN(F)}$ (標準値 1V) 未満になると、デバイスはシャットダウン モードになります。また、LMR70410 は、V_{IN} 低電圧誤動作防止保護 (UVLO) を採用しています。V_{IN} が $V_{IN_UVLO(F)}$ (最大 3.1V) を下回ると、コンバータはオフになります。

7.4.2 アクティブ モード

LMR70410 は、V_{EN} と VIN の両方がそれぞれの動作スレッショルドを上回ると、アクティブ モードになります。LMR70410 をイネーブルにする最も簡単な方法は、EN ピンを VIN ピンに接続することです。この動作により、入力電圧が 4V ～ 40V の動作範囲内になると自動的に起動できます。

アクティブ モードでは、負荷電流に応じて、LMR70410 が次の 4 つのうちいずれかのモードになります:

- 連続導通モード (CCM)。負荷電流がピーク ツー ピーク インダクタ リップル電流の 1/2 より大きくなると、固定スイッチング周波数の連続導通モードになります (PFM および FPWM バージョンの両方)
- 不連続導通モード (DCM)。CCM 動作時に負荷電流がピーク ツー ピーク インダクタ リップル電流の 1/2 より小さくなると、固定スイッチング周波数の不連続導通モードになります (PFM バージョンのみ)
- パルス周波数変調モード (PFM)。非常に軽い負荷状況時にスイッチング周波数を減少させるパルス周波数変調モードになります (PFM バージョンのみ)
- 強制パルス幅変調モード (FPWM)。軽負荷時でもスイッチング周波数を固定する強制パルス幅変調モード (FPWM バージョンのみ)

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.4.3 CCM モード

負荷電流がピーク ツー ピーク インダクタ電流の 1/2 より大きい場合、LMR70410 は連続導通モード (CCM) で動作します。CCM の動作では、動作周波数が固定され、このモードでは出力電圧リップルが最小になり、LMR70410 によって最大出力電流を供給できます。

7.4.4 軽負荷動作 (PFM バージョン)

PFM バージョンの LMR70410 では、負荷電流が CCM でピーク ツー ピーク インダクタ電流の半分以下になると、LMR70410 は不連続導通モード (DCM) で動作します。これは、ダイオード エミュレーション モード (DEM) とも呼ばれています。DCM 動作時は、インダクタ電流がゼロクロス検出のスレッショルドまで低下すると、効率を向上させるためにローサイド スイッチがオフになります。DCM 時は、軽負荷時の強制 PWM 動作に比べて、スイッチング損失も導通損失も減少します。

さらに軽い電流負荷では、パルス周波数変調 (PFM) モードが起動し、高効率動作を維持します。ハイサイド スイッチの最小オン時間 $t_{ON(min)}$、または最小ピーク インダクタ電流 $IL_{PEAK(MIN)}$ (通常 625mA) のいずれかに達すると、スイッチング周波数が低下して、安定が維持されます。PFM モードでは、負荷電流が減少したときに出力電圧の安定を維持するために、制御ループによってスイッチング周波数が低下します。PFM 動作中は、スイッチング動作の頻度が低下するため、スイッチング損失がさらに減少します。

7.4.5 軽負荷動作 (FPWM バージョン)

FPWM バージョンの LMR70410 では、デバイスは負荷範囲全体にわたって PWM モード スイッチングにロックされます。負荷電流全体にわたってスイッチング周波数を一定に保つため、軽負荷効率は犠牲になります。この動作は、インダクタ電流を通常とは逆の方向にすることにより、出力時に無負荷状態でも維持されます。インダクタを流れる逆電流は、逆電流制限回路によって制限されます。詳細については、セクション 7.3.7 を参照してください。

最小オン時間または最小オフ時間を超える可能性のある動作条件下では、FPWM の動作中でも周波数が低下し、最小タイミング仕様を維持します。また、ソフトスタート中は、デバイスは PFM モードに切り替わり、ソフトスタート シーケンスが完了するまで負のインダクタ電流は許容されません。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

LMR70410 は、降圧型 DC-DC コンバータです。LMR70410 は通常、最大出力電流 1A で高い入力電圧を低い出力 DC 電圧に変換するために使用されます。LMR70410 の部品を選択する際には、次の設計手順を使用します。

8.2 代表的なアプリケーション

LMR70410 では、わずか数個の外部部品だけを使用して、幅広い範囲の電源電圧を固定出力電圧に変換できます。次の図は基本回路図を示しています。

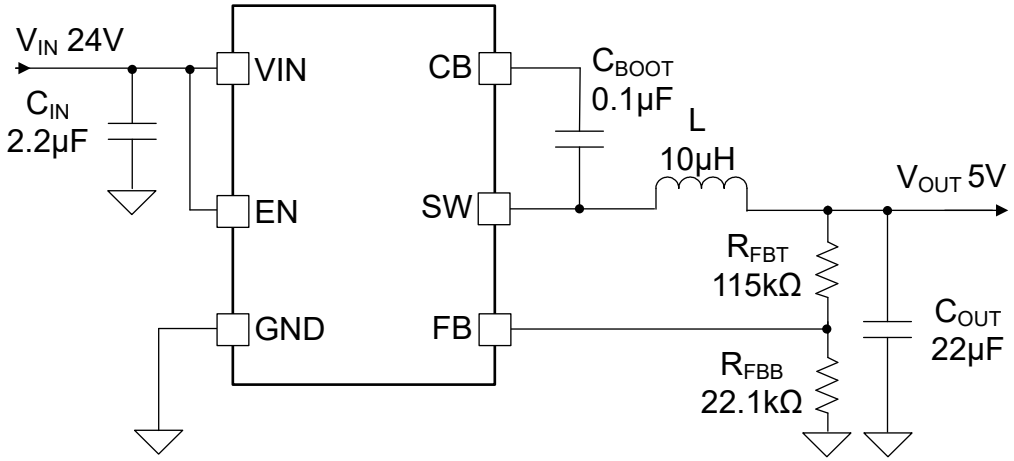


図 8-1. アプリケーション回路

外付け部品は、アプリケーションのニーズだけでなく、デバイスの制御ループの安定性基準も満たしている必要があります。表 8-1 を使用すると、出力フィルタ部品の選択が容易になります。

表 8-1. L および C_{OUT} の標準値

f_{SW}	V_{OUT} (V)	I_{OUT} (A)	L (µH)	C_{OUT}	R_{FBT} (kΩ)	R_{FBB} (kΩ)
1100kHz	3.3	1	10	22µF × 2 / 10V	69.8	22.1
	5	1	10	22µF × 1 / 10V	115	22.1
	12	1	33	10µF × 1 / 25V	309	22.1

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.2.1 設計要件

設計例に基づいて、詳細な設計手順を説明します。この設計例では、表 8-2 に記載されているパラメータを入力パラメータとして使用します。

表 8-2. 設計例のパラメータ

パラメータ	値
入力電圧、V_{IN}	標準 12V、範囲 6V～40V
出力電圧、V_{OUT}	5V ±3%
最大出力電流、I_{OUT_MAX}	1A
出力オーバーシュート、アンダーシュート (0.5A ～ 1A)	±5%
出力電圧リップル	0.5%
動作周波数	1100kHz

8.2.2 詳細な設計手順

8.2.2.1 出力電圧の設定ポイント

LMR70410 デバイスの出力電圧は、抵抗デバイダ回路を使用して外部で調整可能です。分圧抵抗回路は、上側帰還抵抗 R_{FBT} と下側帰還抵抗 R_{FBB} から構成されます。式 8 によりコンバータの出力電圧を計算します:

$$R_{FBT} = \frac{(V_{OUT} - V_{REF})}{V_{REF}} \times R_{FBB} \quad (8)$$

R_{FBB} の値として 22.1kΩ を選択します。目的の出力電圧が 5V に設定され、VREF = 0.8V のとき、式 8 を使用して R_{FBT} の値を計算します。この式から 116.025kΩ の値が得られ、標準値 115kΩ が選択されています。

8.2.2.2 スイッチング周波数

スイッチング周波数を高くすると、より小さい値のインダクタとより小さな出力コンデンサを使用できるため、設計サイズの小型化と部品コストの削減を実現できます。ただし、スイッチング周波数を高くするとスイッチング損失が増加します。その結果、設計の効率が低下し、発熱が増加します。スイッチング周波数は、「最小オン時間、最小オフ時間、および周波数フォールドバック」に記載されているように、内部パワー スイッチの最小オン時間、入力電圧、出力電圧、および周波数シフトの制約によっても制限されます。この例では、2100kHz のスイッチング周波数を選択しています。

8.2.2.3 インダクタの選択

インダクタに最も重要なパラメータは、インダクタンス、飽和電流、および RMS 電流です。インダクタンスは、指定のピークツー ピーク リップル電流 Δi_L によって決まります。リップル電流は入力電圧とともに増大するため、必ず最大入力電圧を使用して最小インダクタンス L_{MIN} を計算します。出力インダクタの最小値を計算するには、式 10 を使用します。K_{IND} は、デバイスの最大出力電流に対するインダクタのリップル電流量を表す係数です。K_{IND} の妥当な値として、コンバータがサポートする最大 I_{OUT} の 20% ～ 60% を使用する必要があります。瞬間的な過電流動作時は、RMS およびピーク インダクタ電流が高くなる可能性があります。インダクタ飽和電流は、ピーク電流制限レベルよりも大きくする必要があります。

$$\Delta i_L = \frac{V_{OUT} \times (V_{IN_MAX} - V_{OUT})}{V_{IN_MAX} \times L \times f_{SW}} \quad (9)$$

$$L_{MIN} = \frac{V_{IN_MAX} - V_{OUT}}{I_{OUT} \times K_{IND}} \times \frac{V_{OUT}}{V_{IN_MAX} \times f_{SW}} \quad (10)$$

一般的に、スイッチング電源には低いインダクタンスを選択することが望ましいとされています。これにより、より高速な過渡応答、小さな DCR、コンパクトな設計のためのサイズ削減が可能になるためです。ただし、インダクタンスが低すぎると、インダクタ電流のリップルが過度に増大するため、全負荷時に過電流保護が誤作動を起こす可能性があります。また、インダクタンスが低すぎると、電流リップルが大きくなるため、インダクタのコア損失も大きくなります。さらに、インダクタ リップル電流が大きいと、同じ出力コンデンサでの出力電圧リップルも増大します。ピーク電流モード制御では、TI では、適切な

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

量のインダクタ リップル電流を確保することを推奨しています。インダクタ リップル電流が大きいほど、コンパレータの信号対雑音比が向上します。

この設計例では、K_{IND} = 0.4、I_{OUT} = 1A を選択します。インダクタの最小値は 9.9µH と計算できます。1.5A RMS 電流と 2.5A の飽和電流の能力がある、最も近い標準の 10µH フェライト インダクタを選択してください。

8.2.2.4 出力コンデンサの選択

このデバイスは、さまざまな LC フィルタと組み合わせて使用するよう設計されています。一般的には、コストとサイズを低く維持するために出力キャパシタンスを最小化することが望まれます。出力コンデンサは、定常状態の出力電圧リップル、ループ安定性、負荷電流過渡時における電圧オーバーシュートおよびアンダーシュートに直接影響するため、出力コンデンサ C_{OUT} の選定には注意が必要です。出力リップルは基本的に 2 つの部分で構成されます。1 つは、出力コンデンサの等価直列抵抗 (ESR) を流れるインダクタ リップル電流に起因する成分です。

$$\Delta V_{OUT_ESR} = \Delta i_L \times ESR = K_{IND} \times I_{OUT} \times ESR \tag{11}$$

もう 1 つは、出力コンデンサを充電および放電するインダクタ リップル電流に起因する成分です。

$$\Delta V_{OUT_C} = \frac{\Delta i_L}{8 \times f_{SW} \times C_{OUT}} = \frac{K_{IND} \times I_{OUT}}{8 \times f_{SW} \times C_{OUT}} \tag{12}$$

電圧リップルの 2 つの成分は位相がずれているため、実際のピーク ツー ピーク リップルは 2 つのピークの合計よりも小さくなります。通常、大電流ステップや高速スルーレートといった厳しい電圧レギュレーションが必要とされるシステムでは、出力容量は過渡性能の仕様によって制限されます。大きな負荷ステップが発生すると、出力コンデンサは、インダクタ電流が適切なレベルになるまで必要な電荷を供給します。コンバータの制御ループは、この期間中にインダクタ電流を新しい負荷レベルに等しく調整するため、通常は 8 クロック サイクル以上にする必要があります。出力容量は、8 クロック サイクルの電流差分を供給し、指定した範囲内での出力電圧を一定に保持するのに十分な大きさが必要です。式 13 に、指定の V_{OUT} オーバーシュートおよびアンダーシュートに必要な最小出力容量を示します。

$$C_{OUT} > \frac{1}{2} \times \frac{8 \times (I_{OH} - I_{OL})}{f_{SW} \times \Delta V_{OUT_SHOOT}} \tag{13}$$

ここで、

- K_{IND} = インダクタ 電流のリップル比 (Δi_L / I_{OUT})
- I_{OL} = 負荷過渡時の Low レベル出力電流
- I_{OH} = 負荷過渡時の High レベル出力電流
- V_{OUT_SHOOT} = 目標出力電圧オーバーシュートまたはアンダーシュート

この設計例では、目標出力リップルは 30mV です。ΔV_{OUT_ESR} = ΔV_{OUT_C} = 30mV と仮定し、K_{IND} = 0.4 を選択しています。式 11 では ESR が 75mΩ 以下となり、式 12 では C_{OUT} が 1.5µF 以上となります。この設計の目標オーバーシュートおよびアンダーシュートは、ΔV_{OUT_SHOOT} = 5% × V_{OUT} = 250mV です。式 13 を使用して、C_{OUT} が 7.3µF 以上になるように計算します。要約すると、出力コンデンサに対する最も厳格な条件は 7.3µF です。ディレーティングを考慮して、10mΩ ESR の 22µF、10V、X7R セラミック コンデンサを 1 つ使用します。

8.2.2.5 入力コンデンサの選択

LMR70410 デバイスには、(高周波入力デカップリング) コンデンサが必要です。高周波デカップリング コンデンサの推奨される標準値は、2.2µF 以上です。TI では、十分な電圧定格を持つ高品質セラミック タイプの X5R または X7R を推奨しています。電圧定格は、最大入力電圧よりも大きい必要があります。セラミック コンデンサのディレーティングを補償するために、最大入力電圧の 2 倍の電圧定格を推奨します。この設計では、入力デカップリング コンデンサとして、定格 50V、2.2µF の X7R 誘電体コンデンサを使用します。等価直列抵抗 (ESR) は約 10mΩ で、電流定格は 1A です。高周波フィルタリング用に 0.1µF の値を持つコンデンサを追加し、デバイス ピンのできるだけ近くに配置します。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.2.2.6 ブートストラップ コンデンサ

LMR70410 のすべての設計で、ブートストラップ コンデンサ C_{BOOT} が必要です。ブートストラップ コンデンサの推奨値は 0.1µF で、定格は 16V 以上とします。ブートストラップ コンデンサは、SW ピンと CB ピンの間に配置します。温度安定性のために、X7R または X5R クラスの誘電体を使用した高品質セラミック コンデンサを使用してください。

8.2.2.7 低電圧誤動作防止設定点

システムの低電圧誤動作防止 (UVLO) は、R_{ENT} および R_{ENB} の外付け分割電圧を使用して調整します。UVLO には 2 つのスレッショルドがあり、1 つは入力電圧の立ち上がり時のパワー アップ中に適用され、もう 1 つは入力電圧の立ち下がり時のパワー ダウンまたはブラウン アウト中に適用されます。式 14 を使用して、V_{IN} の UVLO レベルを決定します。

$$V_{IN_RISING} = V_{EN(R)} \times \frac{R_{ENT} + R_{ENB}}{R_{ENB}} \quad (14)$$

LMR70410 の EN 立ち上がりスレッショルド ($V_{EN(R)}$) は、1.2V (標準値) に設定されています。電源からの入力電流を最小限に抑えるため、R_{ENB} には 200kΩ を選択します。目的の V_{IN} UVLO レベルが 6.0V の場合は、式 15 を使用して R_{ENT} の値を計算します:

$$R_{ENT} = \left(\frac{V_{IN_RISING}}{V_{EN(R)}} - 1\right) \times R_{ENB} \quad (15)$$

上記の式から 800kΩ の値が得られ、標準値 796kΩ が選択されています。式 16 を使用して、5V に等しい、結果として生じる立ち下がり UVLO スレッショルドを計算します。

$$V_{IN_FALLING} = V_{EN(F)} \times \frac{R_{ENT} + R_{ENB}}{R_{ENB}} \quad (16)$$

8.2.2.8 非同期コンバータの置き換え

LMR70410 は、アプリケーション回路で整流ダイオードを必要とする LMR14006 または LM14010A などの非同期コンバータの置き換えとしても使用できます。この設計は、図 8-2 に示すように、LMR70410 のスイッチ ノードに整流ダイオードが接続されていてもいなくても、正常に動作します。

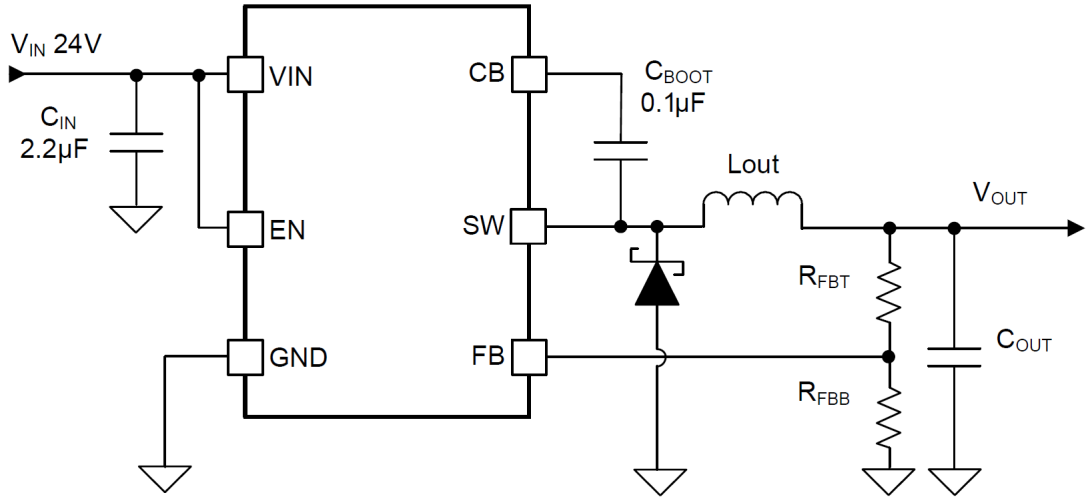


図 8-2. 非同期整流降圧コンバータの置き換え

ADVANCE INFORMATION

8.2.3 アプリケーション曲線

特に記述のない限り、V_{IN} = 12V、V_{OUT} = 5V、f_{SW} = 1.1MHz、L = 8.2µH、COUT = 66µF、TA = 25°C の条件が適用されます。

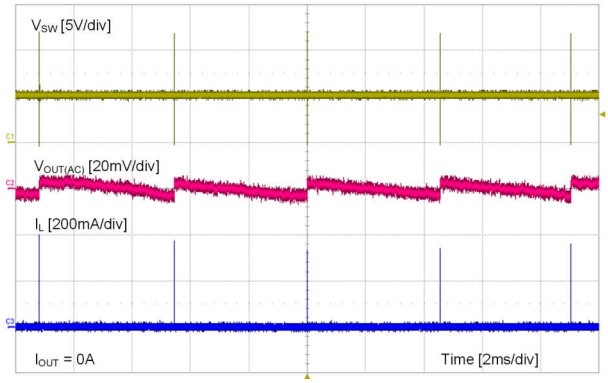


図 8-3. 無負荷時でのリップル

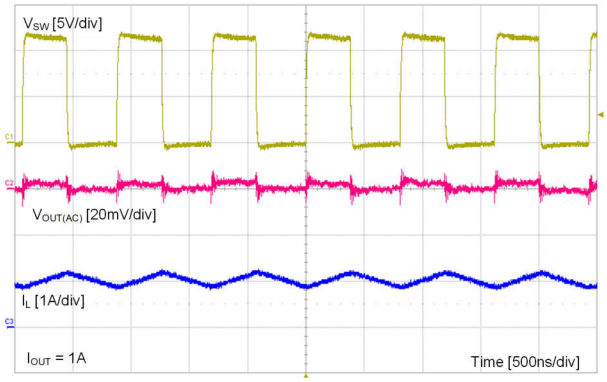


図 8-4. 全負荷時でのリップル

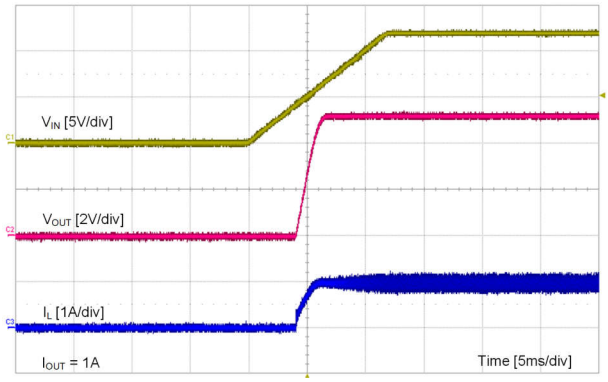


図 8-5. V_{IN} によるスタートアップ

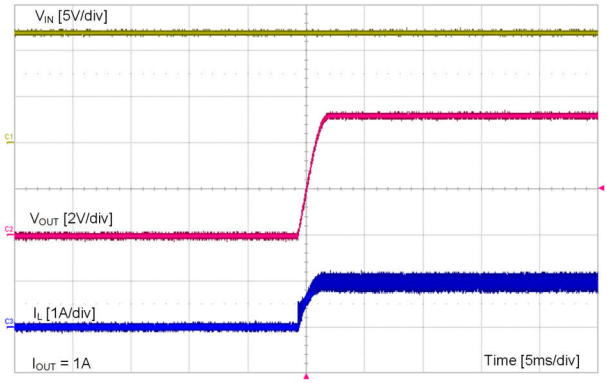


図 8-6. EN によるスタートアップ

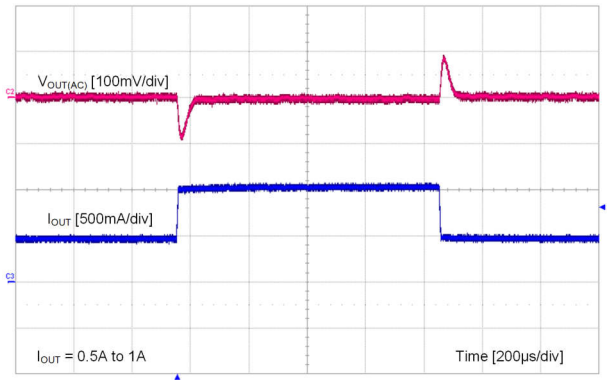


図 8-7. 負荷過渡

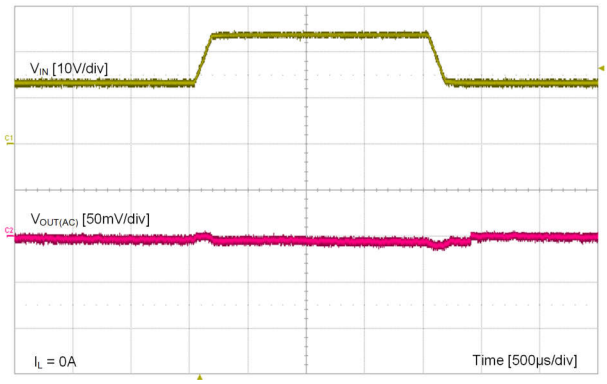


図 8-8. ライン トランジェント

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.3 電源に関する推奨事項

LMR70410 は、4V ～ 40V の入力電源電圧範囲で動作するように設計されています。入力電源は、レギュレーションが良好な状態で、最大入力電流に耐えることができ、安定した電圧を維持できる必要があります。入力電源レールの抵抗は、入力過渡電流によって LMR70410 の電源電圧が大きく降下し、UVLO の誤作動やシステム リセットが生じることのないように、十分小さくする必要があります。入力電源が LMR70410 から数インチ以上離れている場合は、セラミック バイパス コンデンサに加えて追加のバルク容量が必要となることがあります。バルク容量の大きさは重要ではありませんが、標準では 10µF または 22µF の電解コンデンサを選択します。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

レイアウトは、優れた電源設計のために重要な要素です。以下のガイドラインに従うことで、最高の電力変換性能や熱性能を実現しながら、不要な EMI の生成を最小限に抑える PCB を設計できます。

- 入力バイパス コンデンサ CIN は、VIN および GND ピンにできる限り近づけて配置してください。入力コンデンサと出力コンデンサのグランド接続はいずれも、GND ピンに接続される最短距離の最上面プレーンで構成される必要があります。
- FB ピン ネットへのパターン長を最短にします。帰還抵抗 R_{FBT} および R_{FBB} は、FB ピンに近づけて配置する必要があります。負荷での VOUT の精度が重要な場合は、負荷で V_{OUT} の検出が行われていることを確認します。VOUT のセンス パスは、ノイズの多いノードから遠ざけ、可能であれば、基板のシールド層の反対側の層を通します。
- 可能であれば、中間層のグランド プレーンの 1 つをノイズ シールドおよび放熱経路として使用します。
- V_{IN}、V_{OUT}、およびグランド バスの接続は、できる限り幅広くします。こうすることにより、コンバータの入力または出力パスで生じる電圧降下が低減され、効率が最大になります。
- デバイスには十分なヒートシンクを接続します。GND、VIN、SW ピンは主な放熱経路となるため、GND、VIN、および SW プレーンの面積を可能な限り大きくしてください。ヒートシンク ビアの配列を使用して、上面のグランド プレーンを PCB 下面のグランド プレーンに接続します。PCB に複数の銅層がある場合は、これらのサーマル ビアも内部層の熱拡散グランド プレーンに接続することができます。接合部温度が 150℃ 未満に保持されるように、ヒートシンクには十分な銅領域を使用してください。

8.4.1.1 コンパクトなレイアウトによる EMI の低減

放射 EMI は、スイッチング コンバータのパルス電流における高い di/dt 成分によって生じます。パルス電流の経路がカバーする面積が大きいほど、より多くの EMI が発生します。入力側の高周波セラミック バイパス コンデンサが、パルス電流の高い di/dt 成分に対して主要なパスを提供します。セラミック バイパス コンデンサまたはコンデンサを VIN および GND ピンにできる限り近づけて配置することが、EMI 低減のために重要となります。

SW ピンからインダクタへの配線は長さをできる限り短くし、幅については、過度の発熱を抑えて負荷電流を流せるのに必要な最小幅にします。寄生抵抗を最小限に抑えるため、大電流の伝導パスには、短く、太いパターン、または銅箔 (形状) を使用します。出力コンデンサは、インダクタの VOUT 側の端の近くに配置し、GND ピンに近づけて接地します。

8.4.1.2 帰還抵抗

出力電圧フィードバック パスのノイズ感度を小さくするために、抵抗デバイダを負荷ではなく FB ピンの近くに配置してください。FB ピンは、誤差増幅器への入力であるため、このピンはハイ インピーダンス ノードであり、ノイズに対して非常に敏感です。抵抗デバイダを FB ピンの近くに配置すると、FB 信号のパターン長が短くなり、ノイズの結合が低減されます。出力ノードは低インピーダンス ノードであるため、VOUT から抵抗デバイダへのパターンは、短いパスを確保できない場合、長くても許容されます。

負荷での電圧精度が重要な場合は、負荷で電圧検出が行われていることを確認します。それにより、トレースに沿った電圧降下が抑えられ、最高の出力精度が得られます。負荷から帰還抵抗デバイダまでの電圧センス パターンは、SW ノードのパスおよびインダクタから離して配線することで、帰還信号をスイッチ ノイズの影響から防ぎ、パターン長も最小限に抑えることができます。出力電圧の設定に高い抵抗値を使っている場合、この対策は最も重要です。TI では、電圧センス パターンを配線し、抵抗デバイダをインダクタおよび SW ノード パスとは別の層に配置して、帰還パターンとインダク

ADVANCE INFORMATION

タ/SW ノード ポリゴンの間にグランド プレーンが存在するようにすることを推奨しています。この対策により、電圧フィードバック パスを EMI ノイズからさらにシールドできます。

8.4.2 レイアウト例

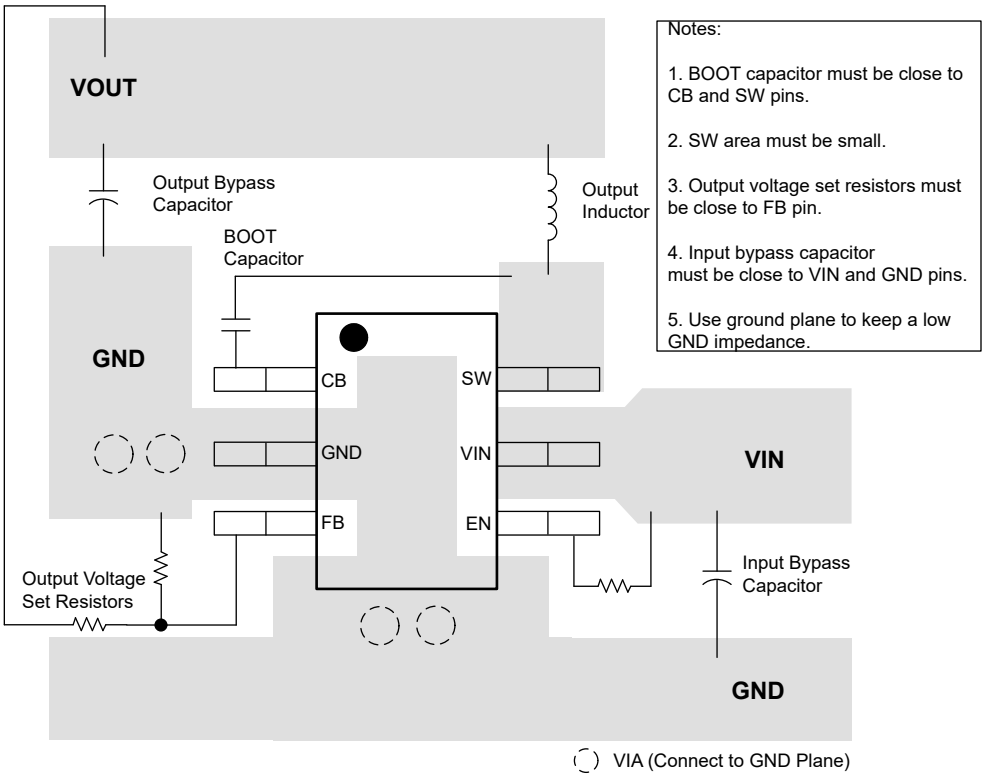


図 8-9. レイアウト

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

テキサス・インスツルメンツ、*AN-1149『スイッチング電源のレイアウトのガイドライン』アプリケーション ノート*

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

日付	改訂	注
October 2026	*	初版リリース

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。 本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

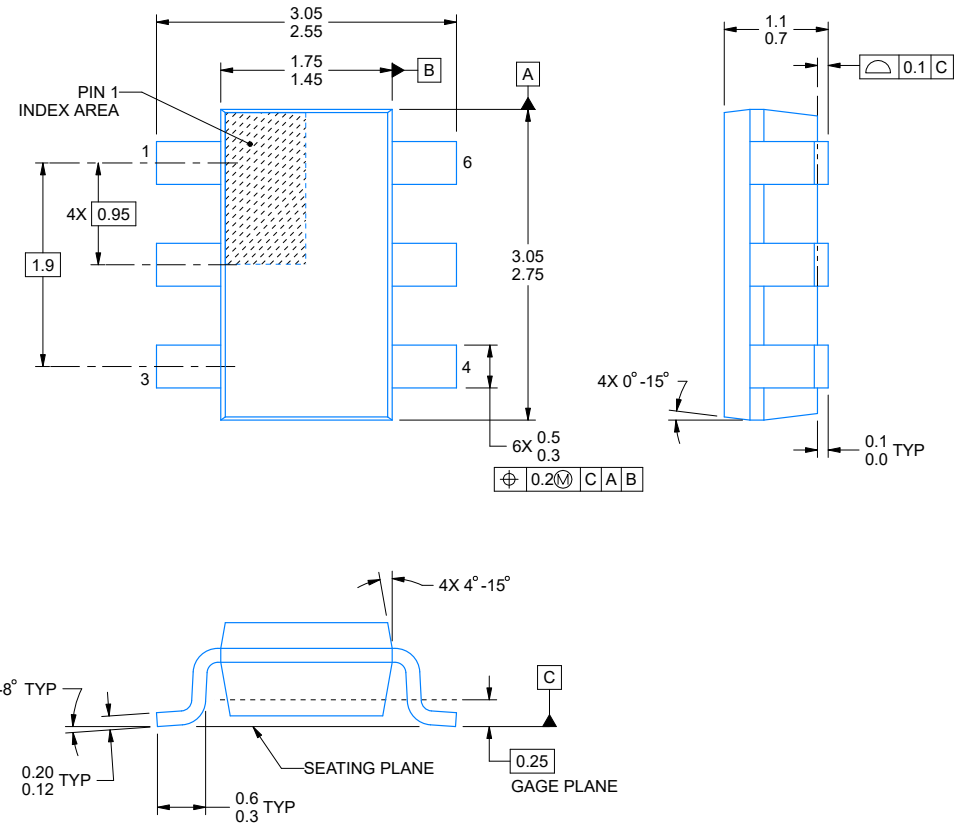
11.1 メカニカル データ

PACKAGE OUTLINE

DDC0006A

SOT-23 - 1.1 max height

SMALL OUTLINE TRANSISTOR



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-193.

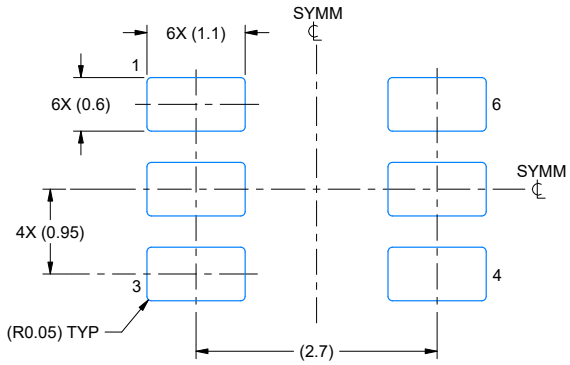
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

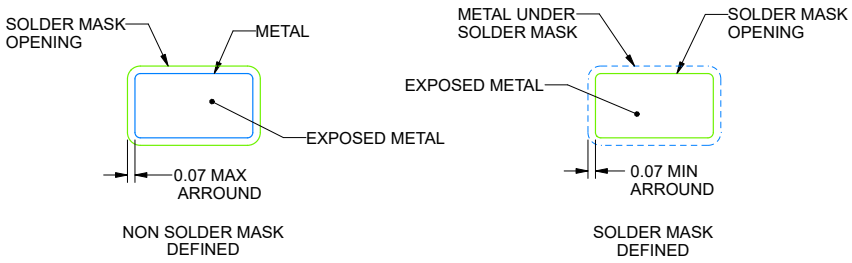
DDC0006A

SOT-23 - 1.1 max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPLOSED METAL SHOWN
SCALE:15X



SOLDERMASK DETAILS

4214841/E 08/2024

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

ADVANCE INFORMATION

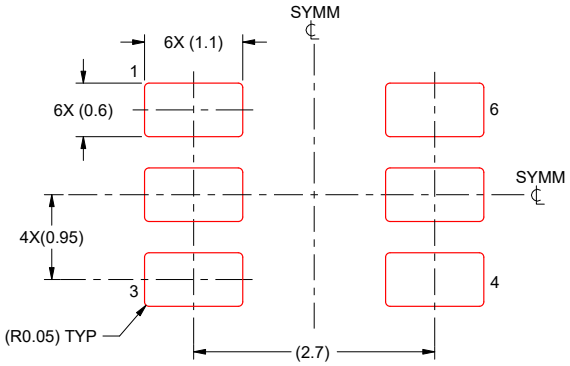
Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

EXAMPLE STENCIL DESIGN

DDC0006A — **SOT-23 - 1.1 max height**

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:15X

4214841/E 08/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PLMR70410YAFDDCR	Active	Preproduction	SOT-23-THIN (DDC) | 6	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 150	
PLMR70410YAPDDCR	Active	Preproduction	SOT-23-THIN (DDC) | 6	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 150	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LMR70410 :

- Automotive : LMR70410-Q1

NOTE: Qualified Version Definitions:

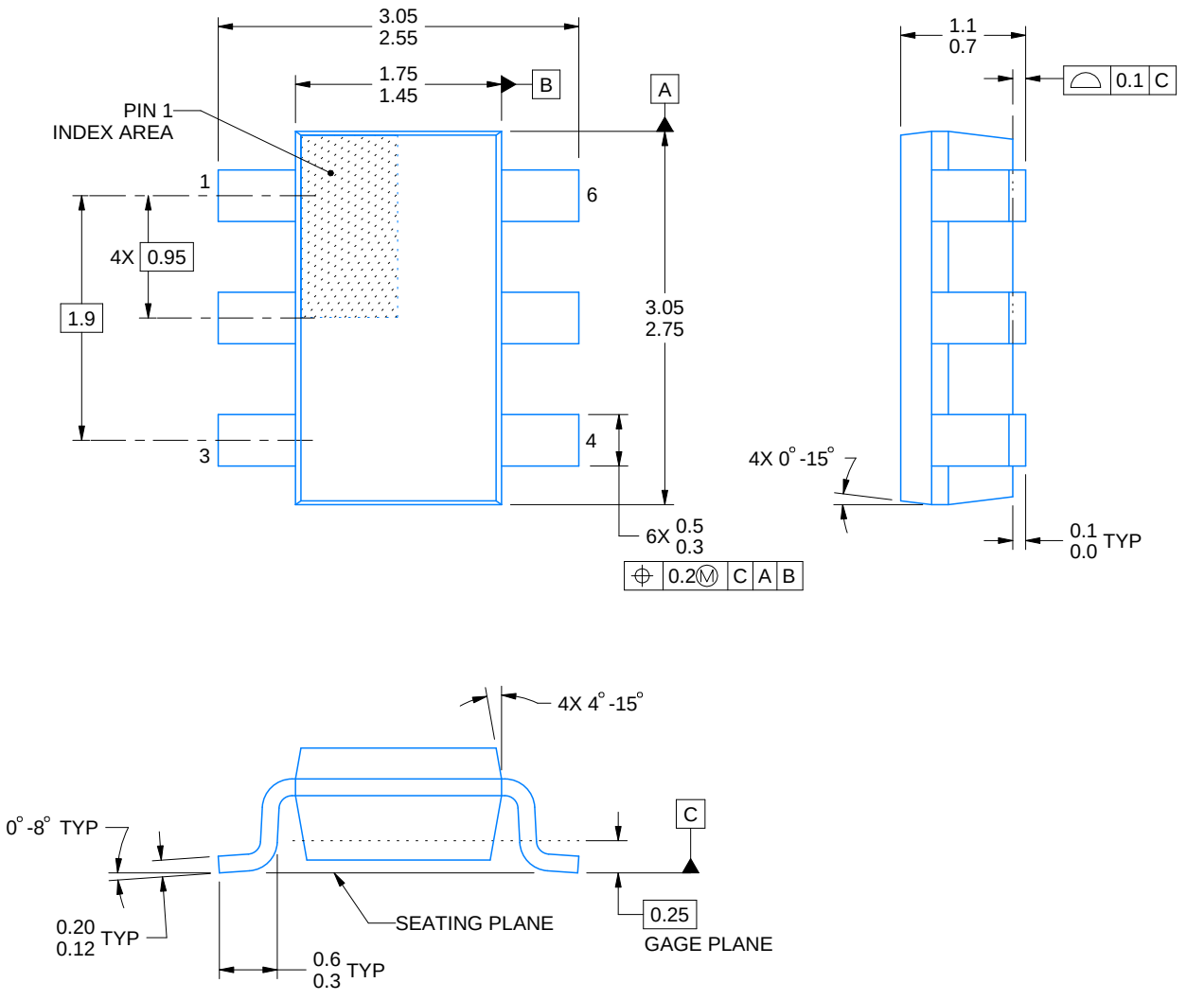
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

PACKAGE OUTLINE

DDC0006A

SOT-23 - 1.1 max height

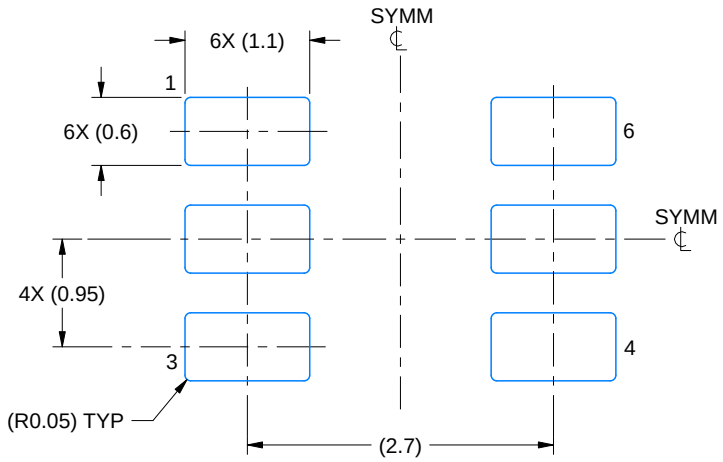
SMALL OUTLINE TRANSISTOR



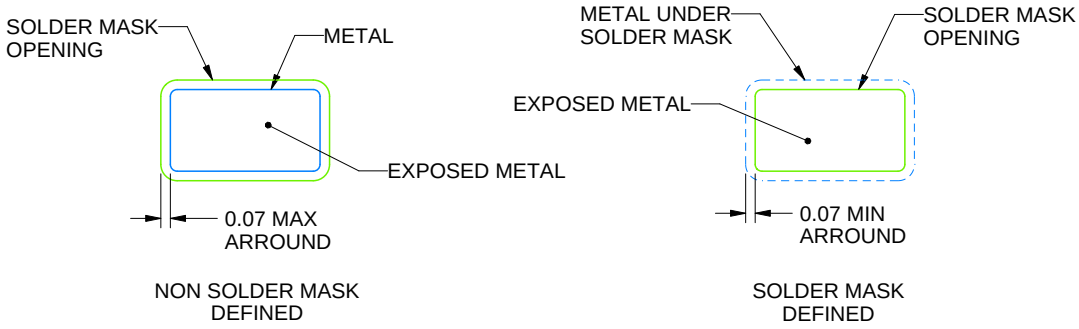
4214841/E 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-193.



LAND PATTERN EXAMPLE
EXPLOSED METAL SHOWN
SCALE:15X

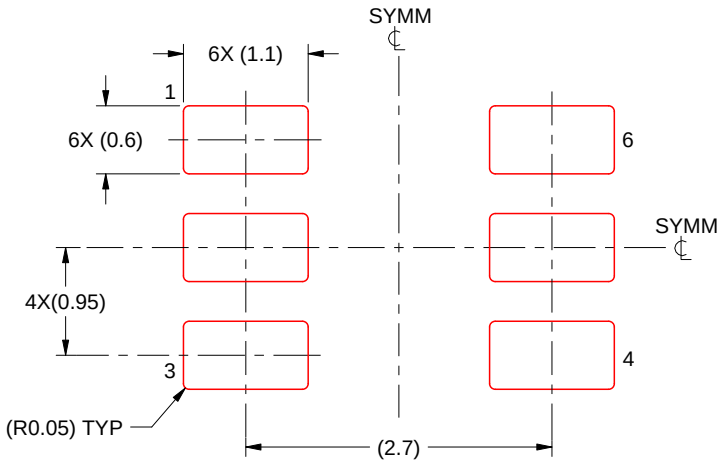


SOLDERMASK DETAILS

4214841/E 08/2024

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:15X

4214841/E 08/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月