LMV3xx 低電圧レール・ツー・レール出力オペアンプ

1 特長

- アップグレード版については、LMV321A、LMV358A、LMV324A を参照してください
- 2.7V と 5V での性能
- -40℃～+125℃で動作
- クロスオーバー歪みゼロ
- 低い電源電流
  - LMV321：130µA (標準値)
  - LMV358：210µA (標準値)
  - LMV324：410µA (標準値)
- レール・ツー・レールの出力スイング
- JESD 22 を上回る ESD 保護
  - 人体モデルで 2000V
  - デバイス帯電モデルで 1000V

2 アプリケーション

- デスクトップ PC
- HVAC：暖房、換気、空調
- モーター制御：AC 誘導モーター
- ネットブックス
- 携帯用メディア・プレーヤ
- 電源：テレコム DC/DC モジュール：デジタル
- プロフェッショナル・オーディオ・ミキサ
- 冷蔵庫
- 洗濯機：ハイエンドおよびローエンド

3 説明

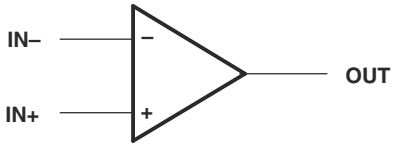
性能が強化されたアップグレード版については、LMV321A、LMV358A、LMV324A を参照してください。

LMV321、LMV358、LMV324 デバイスはシングル、デュアル、クワッドの低電圧 (2.7V～5.5V) オペアンプで、レール・ツー・レールの出力スイングが可能です。これらのデバイスは、低電圧動作、省スペース、低コストが必要なアプリケーション向けの、最もコスト効率の優れたソリューションです。これらのアンプは低電圧 (2.7V～5V) で動作するように特別に設計されており、5V～30V で動作する LM358 および LM324 デバイスを満たすかそれを上回る性能仕様を実現しています。パッケージ・サイズは DBV (SOT-23) パッケージの半分まで低減され、これらのデバイスは、さまざまなアプリケーションで使用できます。

製品情報

部品番号	チャネル数	パッケージ (1)	パッケージ・サイズ (2)
LMV321	シングル	DBV (SOT-23、5)	2.90mm × 2.80mm
		DCK (SC-70、5)	2.00mm × 2.10mm
LMV358	デュアル	D (SOIC、8)	4.90mm × 6.00mm
		DDU (VSSOP、8)	2.00mm × 3.10mm
		DGK (VSSOP、8)	3.00mm × 4.90mm
		PW (TSSOP、8)	3.00mm × 6.40mm
LMV324	クワッド	D (SOIC、14)	8.65mm × 6.00mm
		PW (TSSOP、14)	5.00mm × 6.40mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ・サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図

英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.com で閲覧でき、その内容が常に優先されます。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 改訂履歴.....2
5 ピン構成および機能.....3
6 仕様.....5
6.1 絶対最大定格.....5
6.2 ESD 定格.....5
6.3 推奨動作条件.....5
6.4 熱に関する情報:LMV321.....5
6.5 熱に関する情報:LMV324.....5
6.6 熱に関する情報:LMV358.....6
6.7 電気的特性:V_{CC}+ = 2.7V.....6
6.8 電気的特性:V_{CC}+ = 5V.....7
6.9 代表的特性.....8
7 詳細説明.....16
7.1 概要.....16
7.2 機能ブロック図.....16
7.3 機能説明.....17
7.4 デバイスの機能モード.....17
8 アプリケーションと実装.....18
8.1 代表的なアプリケーション.....18
8.2 電源に関する推奨事項.....20
8.3 レイアウト.....21
9 デバイスおよびドキュメントのサポート.....22
9.1 ドキュメントの更新通知を受け取る方法.....22
9.2 サポート・リソース.....22
9.3 商標.....22
9.4 静電気放電に関する注意事項.....22
9.5 用語集.....22
10 メカニカル、パッケージ、および注文情報.....22

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision X (May 2020) to Revision Y (August 2023)	Page
• チャネル数とパッケージ・リード・サイズを含めるよう「製品情報」表を更新	1

Changes from Revision W (October 2014) to Revision X (May 2020)	Page
• データシートの先頭ページから LMV324S への言及を削除	1
• LMV321A、LMV358A、LMV324A の推奨デバイスに関する通知を追加	1
• 「製品情報」表を変更し、チャネル数で昇順にデバイスを並べ替え	1
• 「ピン構成および機能」セクションを、「ピンの機能」表をデバイスごとに別々の表に分割して変更	3
• LMV324S のピン配置の情報を削除	3
• HBM ESD 電圧を 2500V から 2000V に変更	5
• CDM ESD 電圧を 1500V から 1000V に変更	5
• LMV324S のシャットダウン電圧スレッショルドを削除	5
• 「熱に関する情報」セクションを、「熱に関する情報」表をデバイスごとに別々の表に分割して変更	5
• LMV321 の熱に関する情報を変更	5
• LMV324S の熱に関する情報を削除	5
• LMV324 の熱に関する情報を変更	5
• LMV358 の熱に関する情報を変更	6
• 電源電流の LMV324S テスト条件を削除	6
• ソースの出力短絡電流を 60mA から 40mA に変更	7
• シンクの出力短絡電流を 160mA から 40mA に変更	7
• 出力短絡電流、出力スイング、入力バイアス電流の特性からの規定を表内の注に追加	7

Copyright © 2023 Texas Instruments Incorporated

5 ピン構成および機能

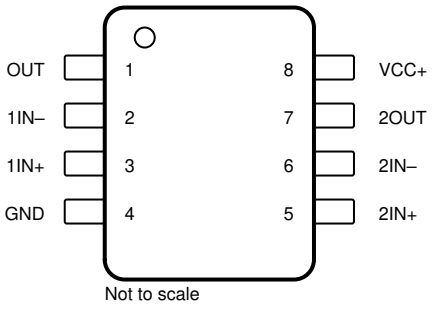


図 5-1. D、DDU、DGK、および PW パッケージ、8 ピン SOIC、VSSOP、および TSSOP (上面図)

表 5-1. ピンの機能：LMV358

ピン		種類 (1)	説明
名称	番号		
1IN+	3	I	非反転入力
1IN–	2	I	反転入力
2IN+	5	I	非反転入力
2IN–	6	I	反転入力
2OUT	7	O	出力
GND	4	—	負電源
OUT	1	O	出力
VCC+	8	—	正電源

(1) I = 入力、O = 出力

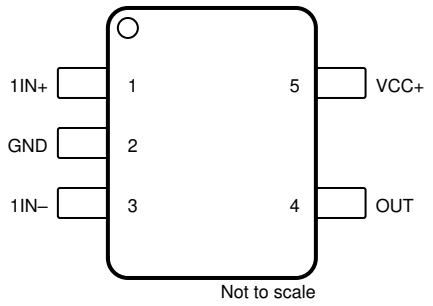


図 5-2. DBV および DCK パッケージ、5 ピン SOT-23 および SC-70 (上面図)

表 5-2. ピンの機能：LMV321

ピン		種類 (1)	説明
名称	番号		
1IN+	1	I	非反転入力
1IN–	3	I	反転入力
GND	2	—	負電源
OUT	4	O	出力
VCC+	5	—	正電源

(1) I = 入力、O = 出力

Copyright © 2023 Texas Instruments Incorporated

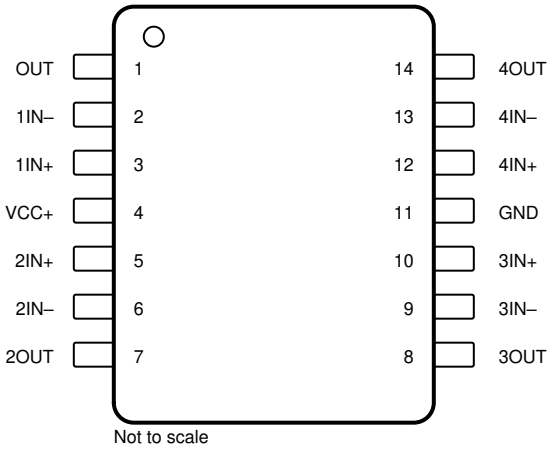


図 5-3. D および PW パッケージ、14 ピン SOIC および TSSOP (上面図)

表 5-3. ピンの機能：LMV324

ピン		種類 (1)	説明
名称	番号		
3/4 SHDN	—	I	シャットダウン (ロジック Low) / イネーブル (ロジック High)
1/2 SHDN	—	I	シャットダウン (ロジック Low) / イネーブル (ロジック High)
1IN+	3	I	非反転入力
1IN–	2	I	反転入力
2IN+	5	I	非反転入力
2IN–	6	I	反転入力
2OUT	7	O	出力
3IN+	10	I	非反転入力
3IN–	9	I	反転入力
3OUT	8	O	出力
4IN+	12	I	非反転入力
4IN–	13	I	反転入力
4OUT	14	O	出力
GND	11	—	負電源
OUT	1	O	OUT
VCC+	4	—	正電源

(1) I = 入力、O = 出力

Copyright © 2023 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧 (2)			5.5	V
V_{ID}	差動入力電圧 (3)			±5.5	V
V_I	入力電圧範囲 (いずれかの入力)		–0.2	5.7	V
	グランドの出力短絡時間 (1 個のアンプ) (4)	T_A = 25℃以下、V_{CC} ≦ 5.5V	制限なし		
T_J	動作時の仮想接合部温度			150	℃
T_{stg}	保管温度範囲		–65	150	℃

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値と等しい、またはそれを超える条件で本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
(2) すべての電圧値 (I_{OS} 測定のために規定された差動電圧と V_{CC} を除く) は、回路 GND を基準としています。
(3) 差動電圧は、IN– を基準とする IN+ です。
(4) 出力から V_{CC} への短絡が発生すると、過熱や最終的な破壊につながる可能性があります。

6.2 ESD 定格

			最小値	最大値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	0	2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	0	1000	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。
(2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

6.3 推奨動作条件

			最小値	最大値	単位
V_{CC}	電源電圧 (単一電源動作)		2.7	5.5	V
T_A	自由気流での動作温度	I 温度 (LMV321、LMV358、LMV324、LMV321IDCK)	–40	125	℃
		Q 温度	–40	125	

6.4 熱に関する情報：LMV321

熱評価基準 (1)		LMV321		単位
		DBV (SOT-23)	DCK (SC-70)	
		5 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	232.9	239.6	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

6.5 熱に関する情報：LMV324

熱評価基準 (1)		LMV324		単位
		D (SOIC)	PW (TSSOP)	
		14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	102.1	148.3	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

Copyright © 2023 Texas Instruments Incorporated

6.6 熱に関する情報：LMV358

熱評価基準 (1)		LMV358				単位
		D (SOIC)	DGK (VSSOP)	DDU (VSSOP)	PW (TSSOP)	
		8 ピン	8 ピン	8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	207.9	201.2	210	200.7	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

6.7 電気的特性：V_{CC}+ = 2.7V

V_{CC+} = 2.7V、T_A = 25°C (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値 (1)	最大値	単位
V_{IO}	入力オフセット電圧				1.7	7	mV
α_{VIO}	入力オフセット電圧の平均温度係数				5		µV/°C
I_{IB}	入力バイアス電流				11	250	nA
I_{IO}	入力オフセット電流				5	50	nA
CMRR	同相除去比	V_{CM} = 0～1.7V		50	63		dB
k_{SVR}	電源電圧除去比	V_{CC} = 2.7V～5V、V_O = 1V		50	60		dB
V_{ICR}	同相入力電圧範囲	CMRR ≧ 50dB		0	–0.2		V
					1.9	1.7	
V_O	出力スイング	R_L = 10kΩ～1.35V	High レベル	V_{CC} – 100	V_{CC} – 10		mV
			Low レベル		60	180	
I_{CC}	電源電流	LMV321I			80	170	µA
		LMV358I (両方のアンプ)			140	340	
		LMV324I (4 つのアンプすべて)			260	680	
B_1	ユニティ・ゲイン帯域幅	C_L = 200pF			1		MHz
φ_m	位相マージン				60		度
G_m	ゲイン・マージン				10		dB
V_n	等価入力ノイズ電圧	f = 1kHz			46		nV/√Hz
I_n	等価入力ノイズ電流	f = 1kHz			0.17		pA/√Hz

(1) 標準値は、出現しやすいパラメータの基準値を表し、特性評価時に決定されます。標準値はアプリケーションと構成によって異なり、時間の経過とともに変化します。標準値は、製造原材料に対する保証値ではありません。

Copyright © 2023 Texas Instruments Incorporated

6.8 電気的特性：V_{CC}+ = 5V

V_{CC+} = 5V、規定の自由気流温度時 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値 (1)	最大値	単位
V_{IO}	入力オフセット電圧	T_A = 25℃		1.7	7	mV
		T_A = –40℃～+125℃			9	
α_{VIO}	入力オフセット電圧の平均温度係数	T_A = 25℃		5		μV/℃
I_{IB}	入力バイアス電流	T_A = 25℃		15	250(1)	nA
		T_A = –40℃～+125℃			500(1)	
I_{IO}	入力オフセット電流	T_A = 25℃		5	50(1)	nA
		T_A = –40℃～+125℃			150(1)	
CMRR	同相除去比	V_{CM} = 0～4V T_A = 25℃	50	65		dB
k_{SVR}	電源電圧除去比	V_{CC} = 2.7V～5V、V_O = 1V、V_{CM} = 1V T_A = 25℃	50	60		dB
V_{ICR}	同相入力電圧範囲	CMRR ≧ 50dB、T_A = 25℃	0	–0.2		V
				4.2	4	
V_O	出力スイング	R_L = 2kΩ～2.5V、High レベル、T_A = 25℃	V_{CC} – 300	V_{CC} – 40		mV
		R_L = 2kΩ～2.5V、High レベル、T_A = –40℃～+125℃	V_{CC} – 400(1)			
		T_A = 25℃、Low レベル		120	300	
		T_A = –40℃～+125℃、Low レベル			400(1)	
		R_L = 10kΩ～2.5V、High レベル、T_A = 25℃	V_{CC} – 100	V_{CC} – 10		
		R_L = 10kΩ～2.5V、High レベル、T_A = –40℃～+125℃	V_{CC} – 200(1)			
		T_A = 25℃、Low レベル		65	180	
		T_A = –40℃～+125℃、Low レベル			280(1)	
A_{VD}	大信号差動電圧ゲイン	R_L = 2kΩ、T_A = 25℃	15	100		V/mV
		R_L = 2kΩ、T_A = –40℃～+125℃	10(1)			
I_{OS}	出力短絡電流	ソース、V_O = 0V、T_A = 25℃	5(1)	40		mA
		シンク、V_O = 5V、T_A = 25℃	10 (1)	40		
I_{CC}	電源電流	LMV321I、T_A = 25℃		130	250	μA
		LMV321I、T_A = –40℃～+125℃			350	
		LMV358I (両方のアンプ)、T_A = 25℃		210	440	
		LMV358I (両方のアンプ)、T_A = –40℃～+125℃			615	
		LMV324I (4 つのアンプすべて)、T_A = 25℃		410	830	
		LMV324I (4 つのアンプすべて)、T_A = –40℃～+125℃			1160	
B_1	ユニティ・ゲイン帯域幅	C_L = 200pF、T_A = 25℃		1		MHz
φ_m	位相マージン	T_A = 25℃		60		度
G_m	ゲイン・マージン	T_A = 25℃		10		dB
V_n	等価入力ノイズ電圧	f = 1kHz、T_A = 25℃		39		nV/√Hz
I_n	等価入力ノイズ電流	f = 1kHz、T_A = 25℃		0.21		pA/√Hz
SR	スルーレート	T_A = 25℃		1		V/μs

(1) 特性により規定されています。実製品の検査は行っていません。

Copyright © 2023 Texas Instruments Incorporated

6.9 代表的特性

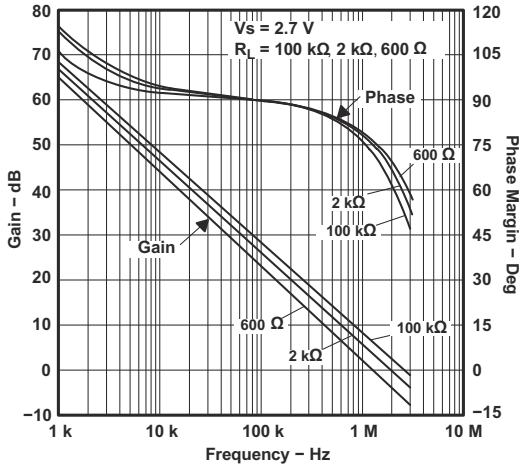


図 6-1. LMV321 の周波数応答と抵抗性負荷との関係

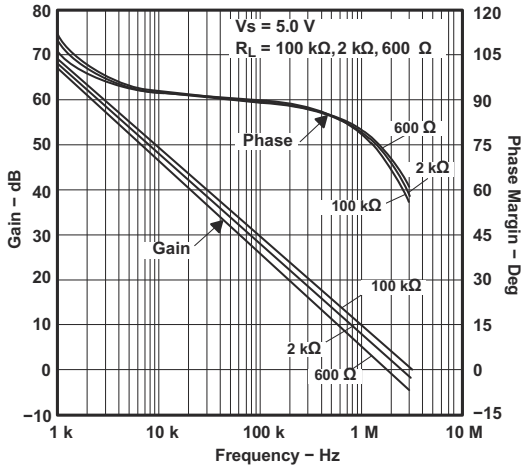


図 6-2. LMV321 の周波数応答と抵抗性負荷との関係

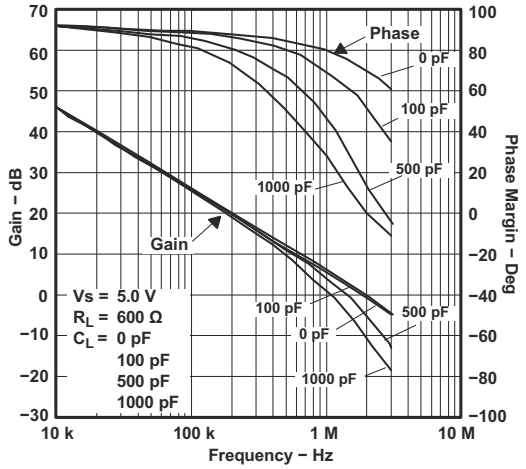


図 6-3. LMV321 の周波数応答と容量性負荷との関係

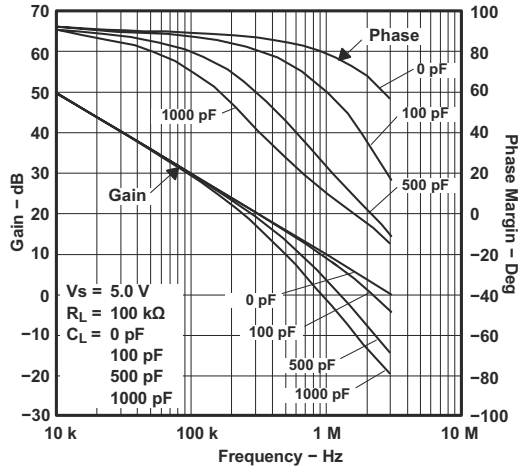


図 6-4. LMV321 の周波数応答と容量性負荷との関係

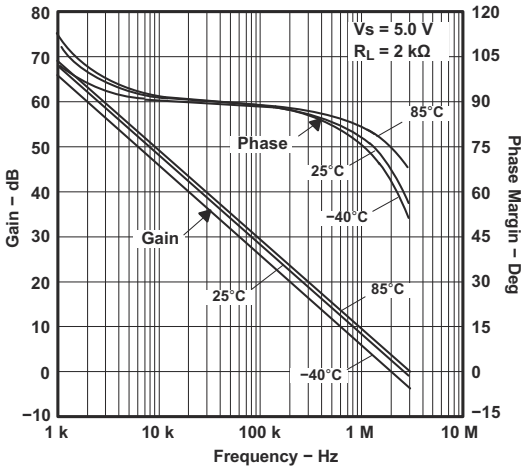


図 6-5. LMV321 の周波数応答と温度との関係

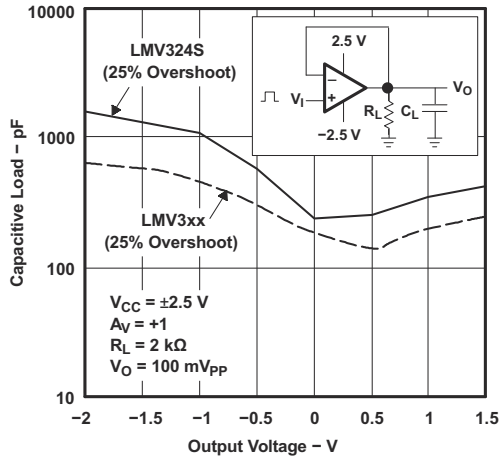


図 6-6. 安定性と容量性負荷との関係

Copyright © 2023 Texas Instruments Incorporated

6.9 代表的特性 (continued)

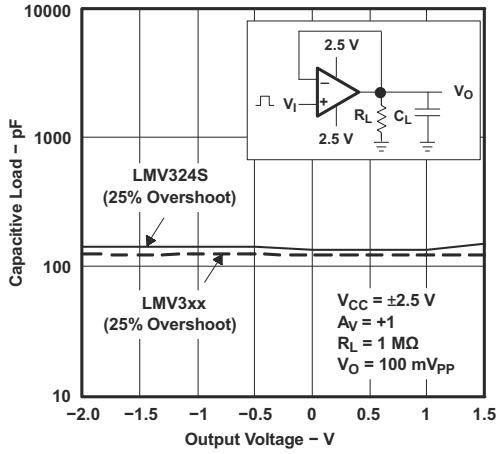


図 6-7. 安定性と容量性負荷との関係

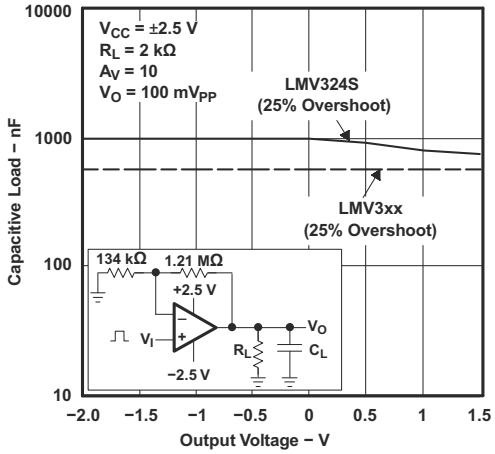


図 6-8. 安定性と容量性負荷との関係

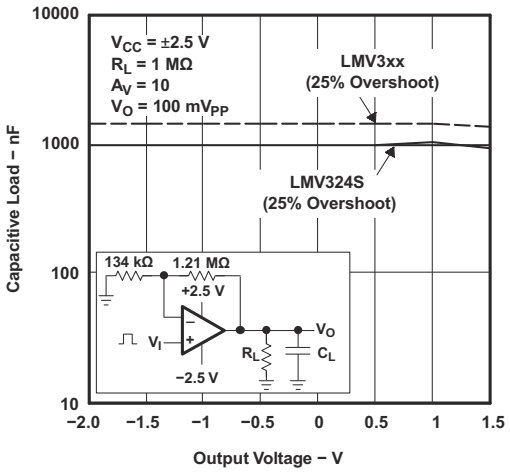


図 6-9. 安定性と容量性負荷との関係

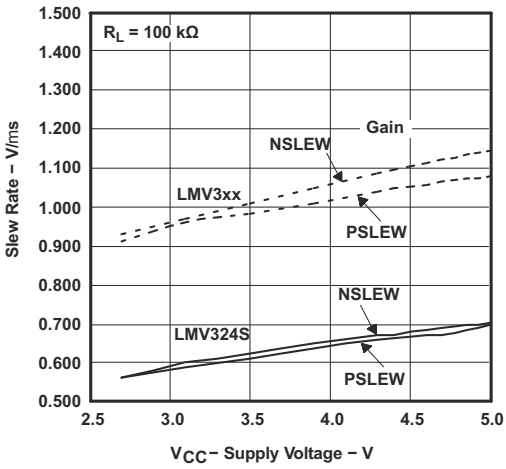


図 6-10. スルーレートと電源電圧との関係

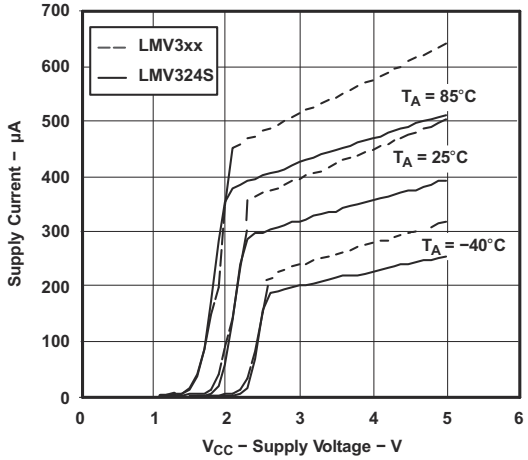


図 6-11. 電源電流と電源電圧との関係：クワッド・アンプ

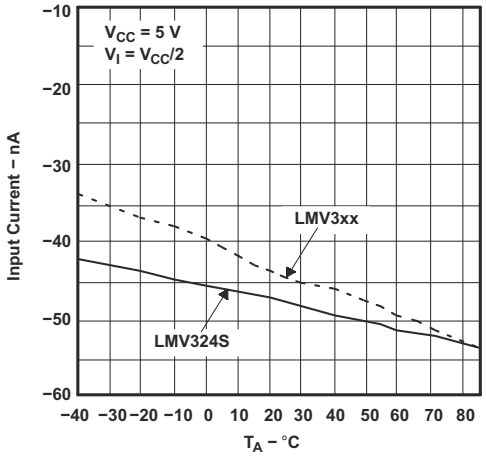


図 6-12. 入力電流と温度との関係

6.9 代表的特性 (continued)

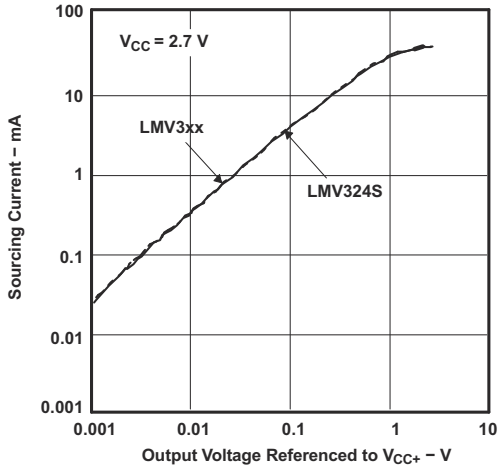


図 6-13. ソース電流と出力電圧との関係

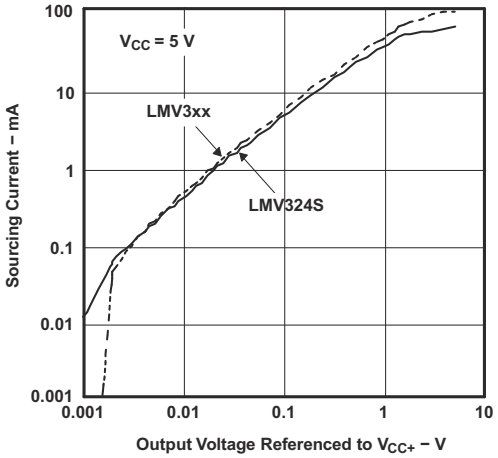


図 6-14. ソース電流と出力電圧との関係

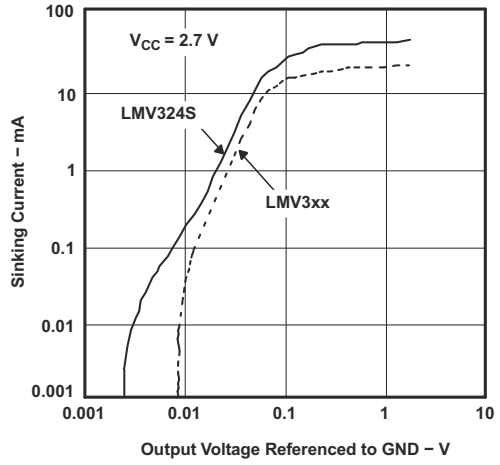


図 6-15. シンク電流と出力電圧との関係

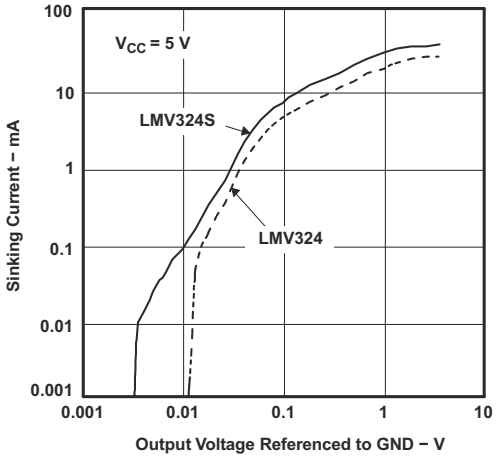


図 6-16. シンク電流と出力電圧との関係

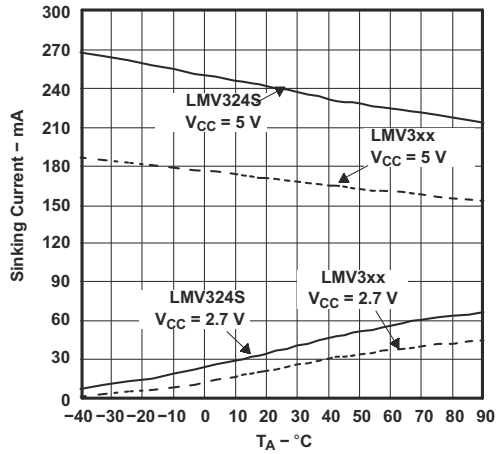


図 6-17. 短絡電流と温度との関係

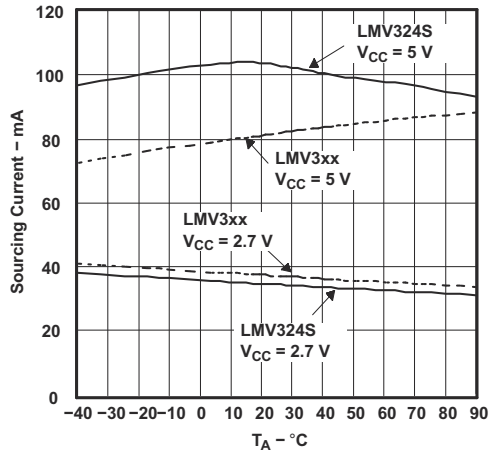


図 6-18. 短絡電流と温度との関係

Copyright © 2023 Texas Instruments Incorporated

6.9 代表的特性 (continued)

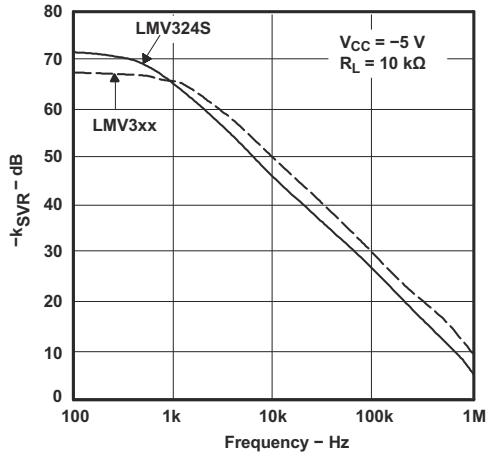


図 6-19. $-k_{SVR}$ と周波数との関係

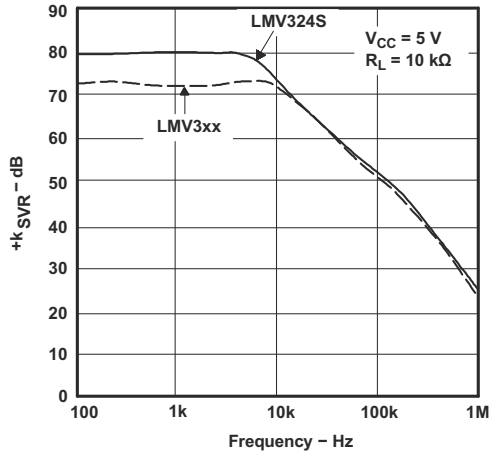


図 6-20. $+k_{SVR}$ と周波数との関係

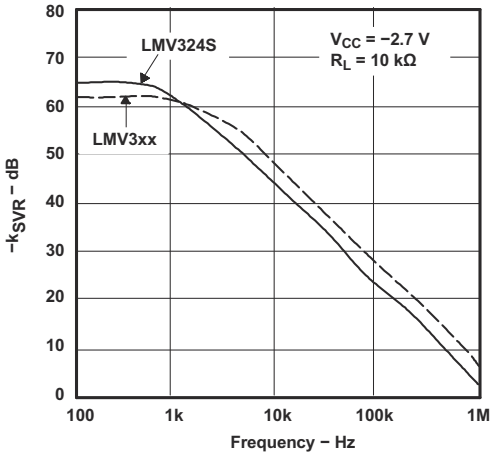


図 6-21. $-k_{SVR}$ と周波数との関係

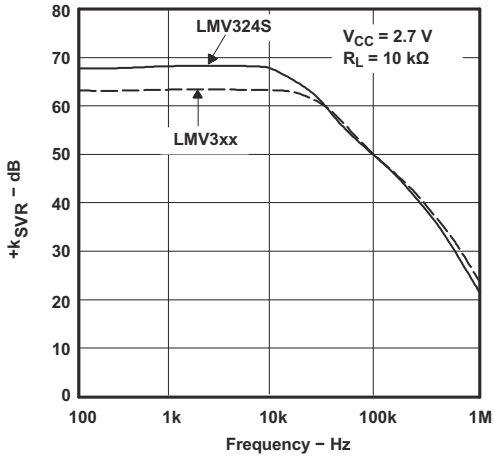


図 6-22. $+k_{SVR}$ と周波数との関係

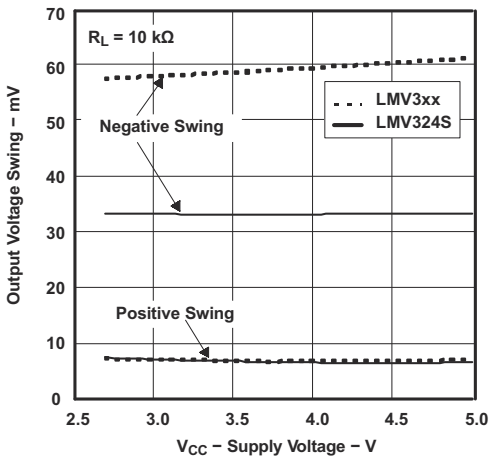


図 6-23. レールからの出力電圧スイングと電源電圧との関係

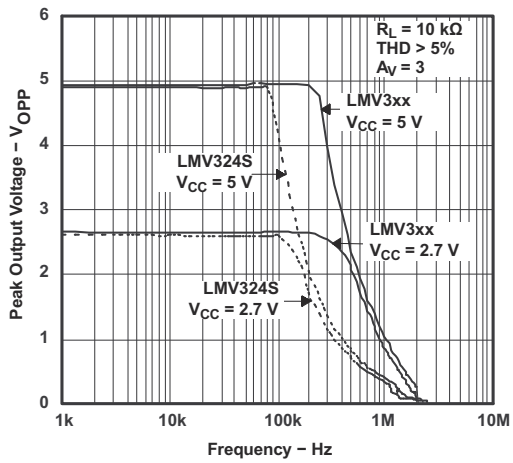


図 6-24. 出力電圧と周波数との関係

6.9 代表的特性 (continued)

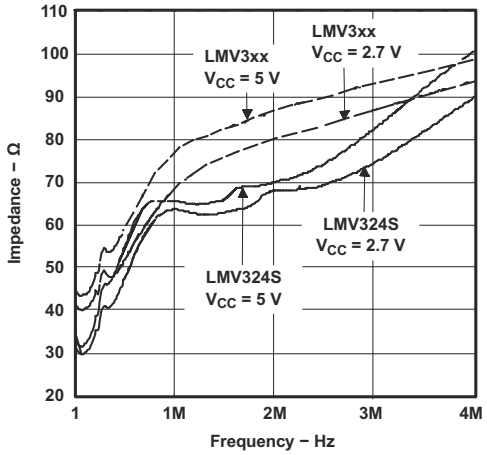


図 6-25. 開ループ出力インピーダンスと周波数との関係

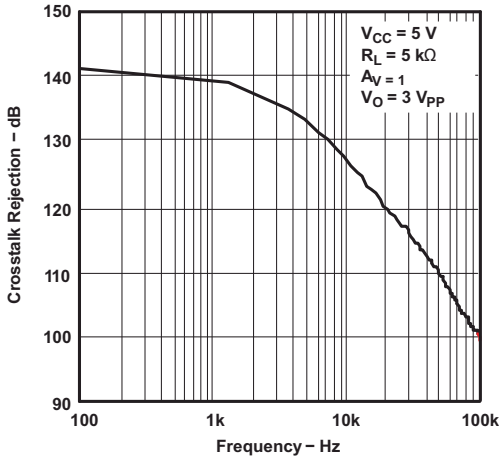


図 6-26. クロストーク除去と周波数との関係

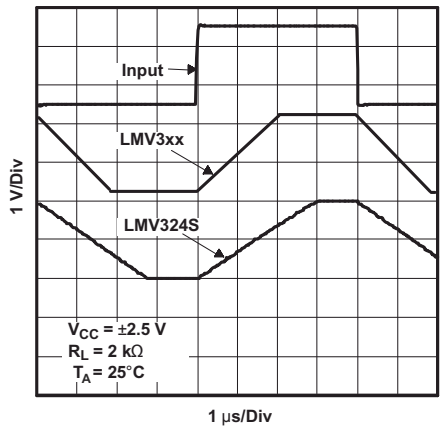


図 6-27. 非反転型の大信号パルス応答

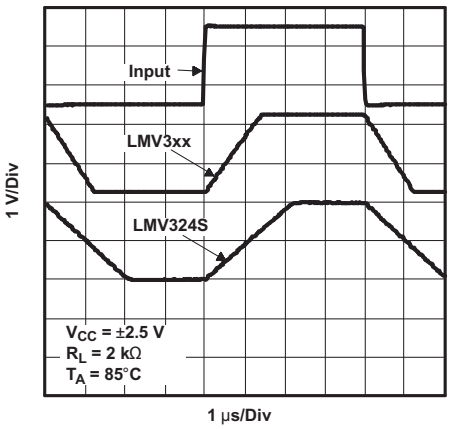


図 6-28. 非反転型の大信号パルス応答

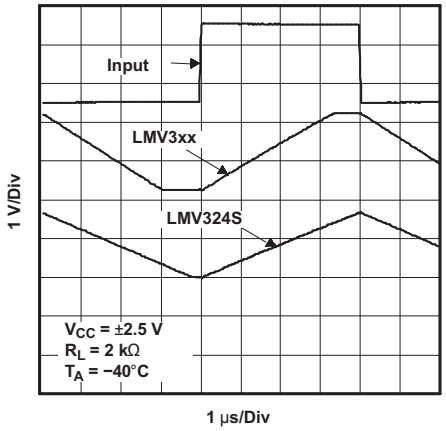


図 6-29. 非反転型の大信号パルス応答

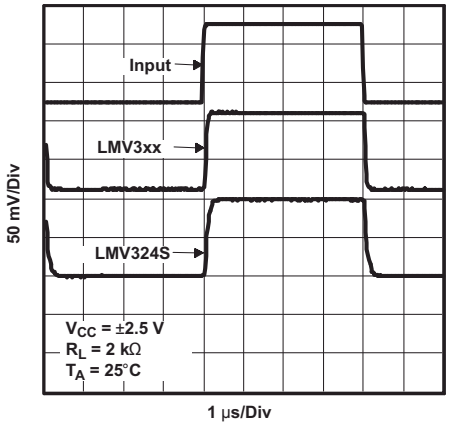


図 6-30. 非反転型の小信号パルス応答

Copyright © 2023 Texas Instruments Incorporated

6.9 代表的特性 (continued)

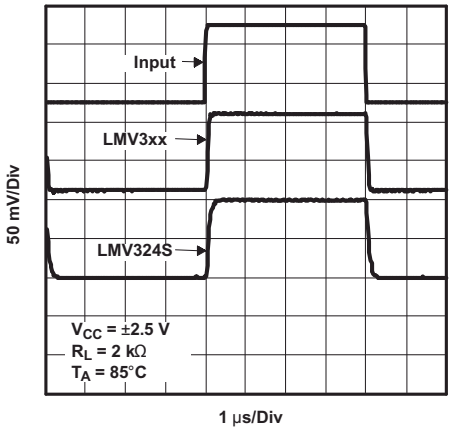


図 6-31. 非反転型の小信号パルス応答

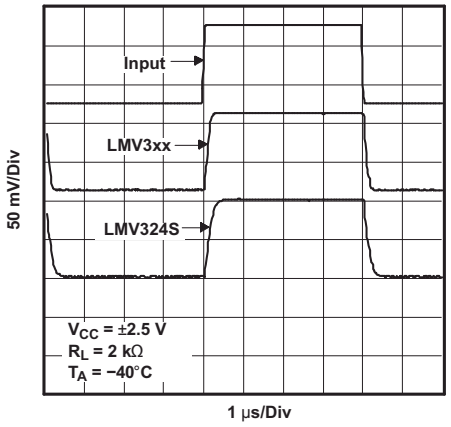


図 6-32. 非反転型の小信号パルス応答

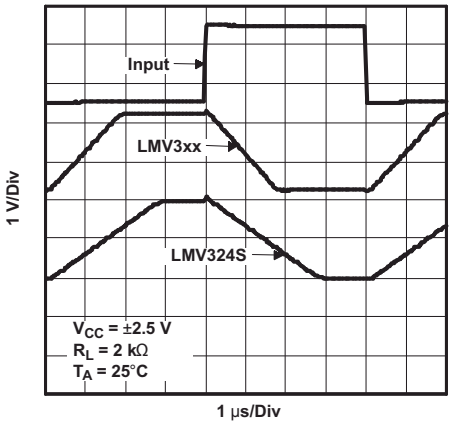


図 6-33. 反転型の大信号パルス応答

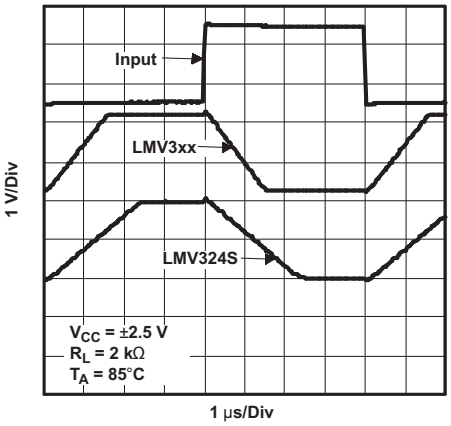


図 6-34. 反転型の大信号パルス応答

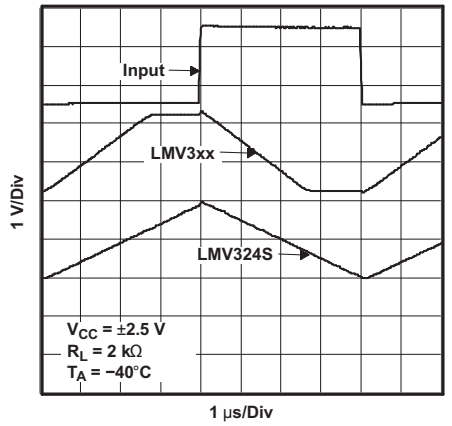


図 6-35. 反転型の大信号パルス応答

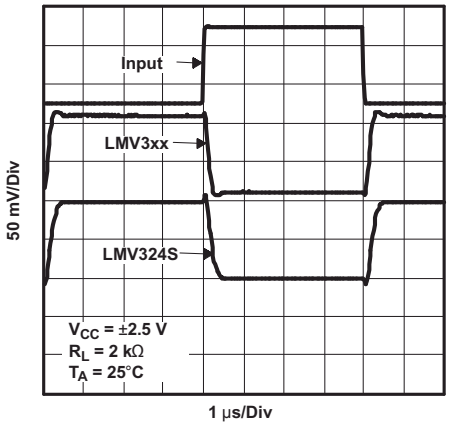


図 6-36. 反転型の小信号パルス応答

Copyright © 2023 Texas Instruments Incorporated

6.9 代表的特性 (continued)

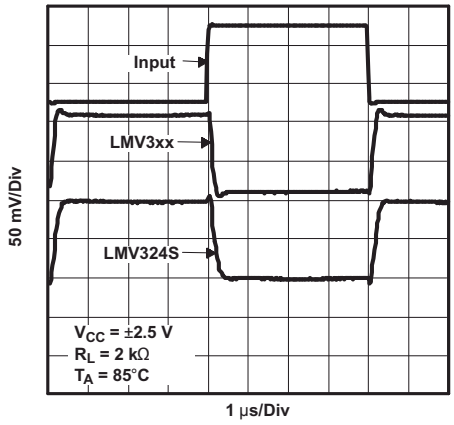


図 6-37. 反転型の小信号パルス応答

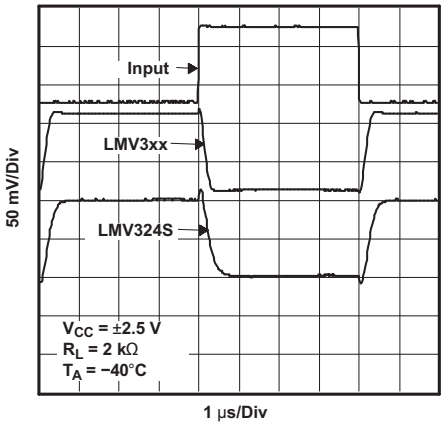


図 6-38. 反転型の小信号パルス応答

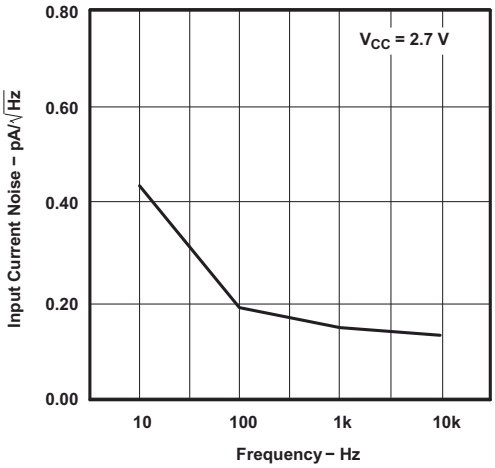


図 6-39. 入力電流ノイズと周波数との関係

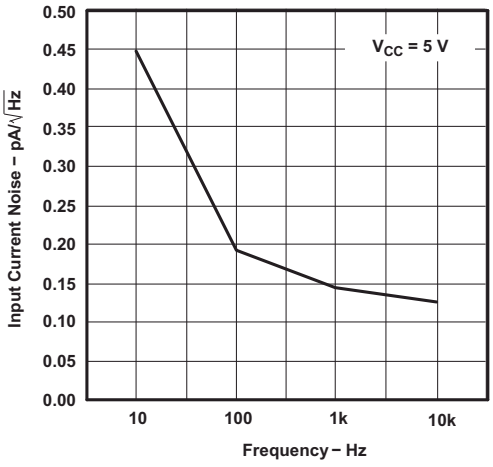


図 6-40. 入力電流ノイズと周波数との関係

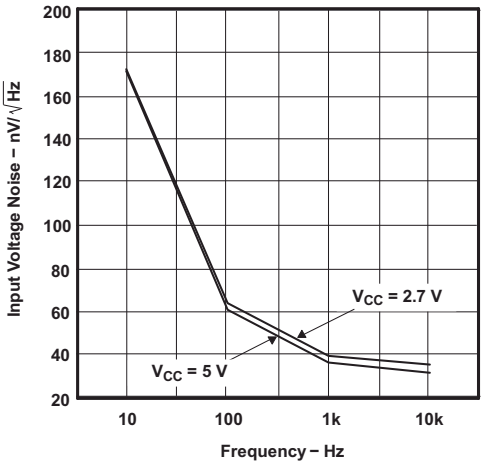


図 6-41. 入力電圧ノイズと周波数との関係

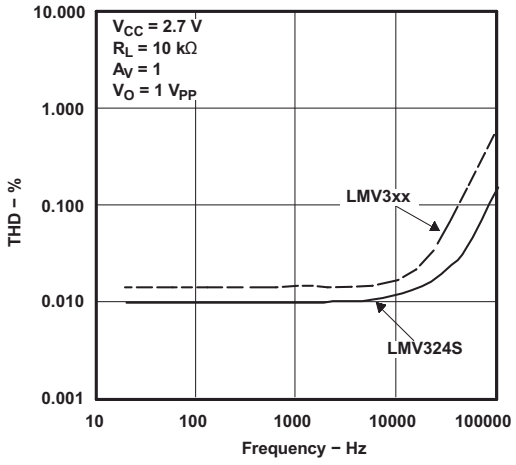


図 6-42. THD + N と周波数との関係

Copyright © 2023 Texas Instruments Incorporated

6.9 代表的特性 (continued)

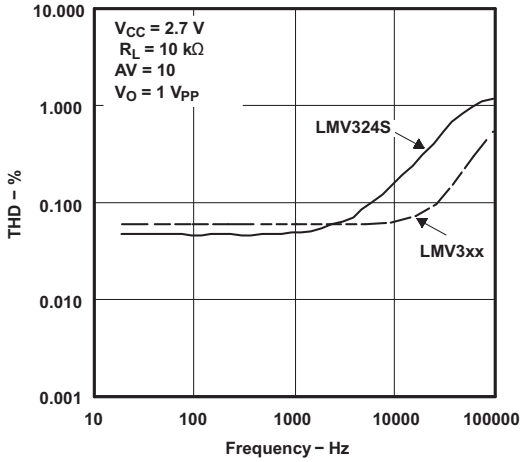


図 6-43. THD + N と周波数との関係

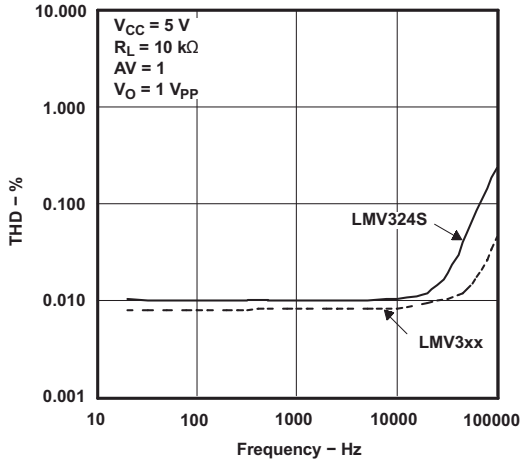


図 6-44. THD + N と周波数との関係

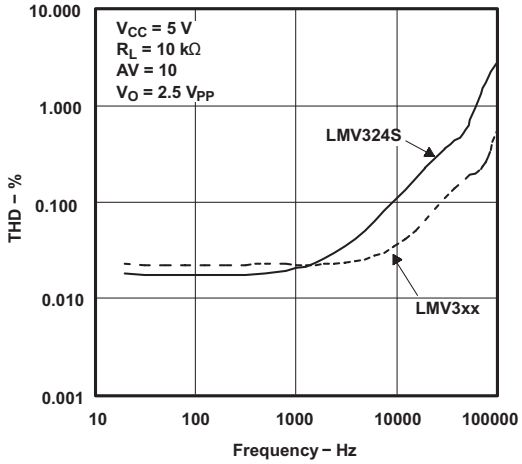


図 6-45. THD + N と周波数との関係

7 詳細説明

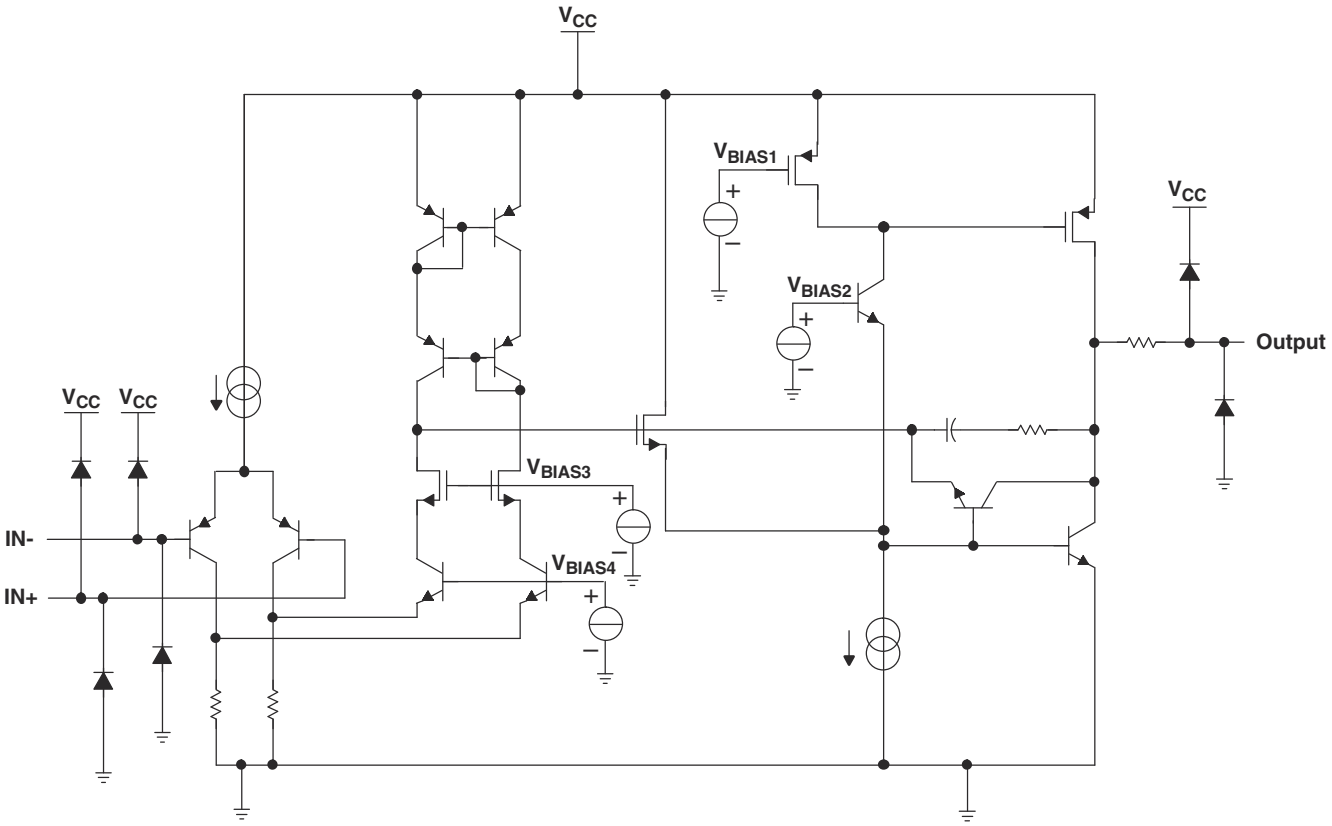
7.1 概要

LMV321、LMV358、LMV324 デバイスはシングル、デュアル、クワッドの低電圧 (2.7V～5.5V) オペアンプで、レール・ツー・レールの出力スイングが可能です。

LMV321、LMV358、LMV324 デバイスは、低電圧動作、省スペース、低コストが必要なアプリケーション向けの、最もコスト効率の高いソリューションです。これらのアンプは低電圧 (2.7V～5V) で動作するよう特に設計されており、5V～30V で動作する LM358 および LM324 デバイスを満たすかそれを上回る性能仕様を備えています。LMV3xx デバイスの追加機能として、グランド、1MHz のユニティ・ゲイン帯域幅、1V/µs のスルーレートといった同相入力電圧範囲があります。

LMV321 デバイスは超小型パッケージで供給され、DBV (SOT-23) パッケージの約半分のサイズです。このパッケージはプリント基板のスペースを節約でき、小型の携帯電子機器の設計が可能になります。また、デバイスを信号源に近接して配置できるため、ノイズを拾いにくくなり、シグナル・インテグリティ (信号品質) が向上します。

7.2 機能ブロック図



Copyright © 2023 Texas Instruments Incorporated

7.3 機能説明

7.3.1 動作電圧

LMV321、LMV358、および LMV324 デバイスは、2.7V～5V で動作することが完全に規定および保証されています。また、多くの仕様は –40℃～125℃で適用されます。動作電圧または温度によって大きく変動するパラメータを「代表的特性」グラフに示します。

7.3.2 ユニティ・ゲイン帯域幅

ユニティ・ゲイン帯域幅とは、ユニティ・ゲインを持つアンプが信号に大きな歪みを発生させずに動作できる最大周波数です。LMV321、LMV358、LMV324 デバイスは 1MHz のユニティ・ゲイン帯域幅を備えています。

7.3.3 スルーレート

スルーレートは、入力に変化が生じたときにオペアンプが出力を変更できる速さです。LMV321、LMV358、LMV324 デバイスのスルーレートは 1V/μs です。

7.4 デバイスの機能モード

LMV321、LMV358、LMV324 デバイスは、電源が接続されたときに電源投入されます。各デバイスは、アプリケーションに応じて、単一電源オペアンプまたはデュアル電源アンプとして動作できます。

Copyright © 2023 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 代表的なアプリケーション

一部のアプリケーションでは差動信号が必要です。図 8-1 は、単一の 2.7V 電源上で、0.5V～2V のシングルエンド入力を、±1.5V の差動出力に変換するためのシンプルな回路を示します。出力範囲は直線性を最大限に高めるために意図的に制限されています。回路は 2 個のアンプで構成されています。1 つ目のアンプはバッファとして機能し、電圧 V_{OUT+} を生成します。2 つ目のアンプは入力を反転し、基準電圧を追加して $V_{OUT–}$ を生成します。V_{OUT+} と $V_{OUT\,–}$ の範囲はどちらも 0.5～2V です。差 V_{DIFF} は、V_{OUT+} と $V_{OUT–}$ の差です。この回路には LMV358 が使用されました。

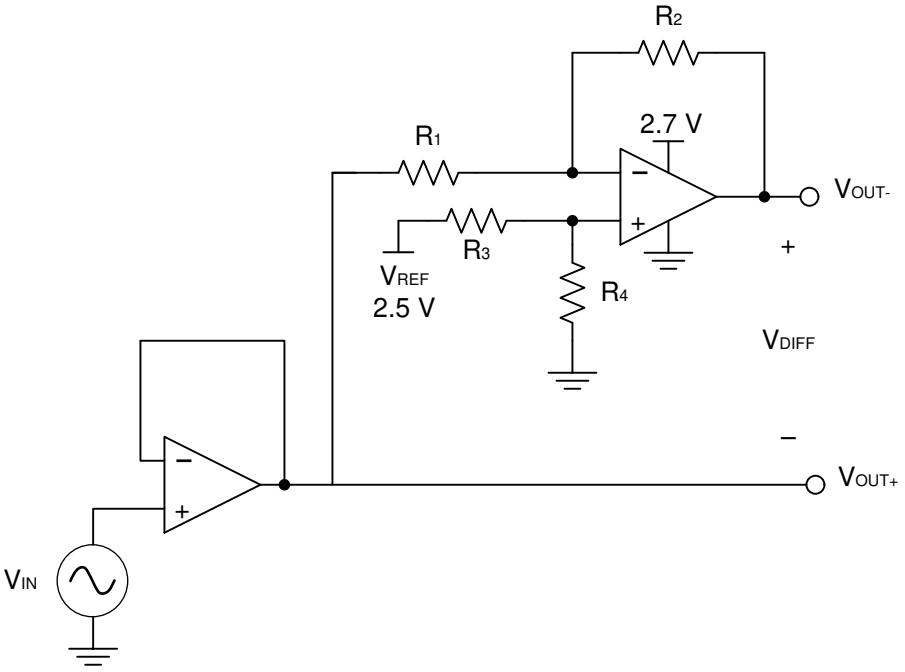


図 8-1. シングルエンド入力から差動出力への変換回路図

Copyright © 2023 Texas Instruments Incorporated

8.1.1 設計要件

設計要件は次のとおりです。

- 電源電圧:2.7V
- 基準電圧:2.5V
- 入力:0.5～2V
- 出力差動:±1.5V

8.1.2 詳細な設計手順

図 8-1 の回路は、シングルエンド入力信号 V_{IN} を受け取り、2 つのアンプと基準電圧 V_{REF} を使用して、2 つの出力信号 V_{OUT+} および $V_{OUT–}$ を生成します。V_{OUT+} は最初のアンプの出力で、入力信号 V_{IN} のバッファ付きバージョンです (式 1 を参照)。$V_{OUT–}$ は 2 番目のアンプの出力で、V_{REF} を使用して V_{IN} にオフセット電圧を追加し、帰還を使用して反転ゲインを追加します。$V_{OUT–}$ の伝達関数は 式 2 です。

$$V_{OUT+} = V_{IN} \tag{1}$$

$$V_{OUT–} = V_{REF} \times \left(\frac{R_4}{R_3 + R_4}\right) \times \left(1 + \frac{R_2}{R_1}\right) - V_{IN} \times \frac{R_2}{R_1} \tag{2}$$

差動出力信号 V_{DIFF} は、2 つのシングルエンド出力信号 V_{OUT+} と $V_{OUT–}$ の差です。式 3 に、V_{DIFF} の伝達関数を示します。$R_1 = R_2$ および $R_3 = R_4$ という条件を適用することで、伝達関数は 式 6 に単純化されます。この構成を使用すると、最大入力信号は基準電圧と等しくなり、各アンプの最大出力は V_{REF} と等しくなります。差動出力範囲は $2 \times V_{REF}$ です。さらに、同相電圧は V_{REF} の半分になります (式 7 を参照)。

$$V_{DIFF} = V_{OUT+} - V_{OUT–} = V_{IN} \times \left(1 + \frac{R_2}{R_1}\right) - V_{REF} \times \left(\frac{R_4}{R_3 + R_4}\right)\left(1 + \frac{R_2}{R_1}\right) \tag{3}$$

$$V_{OUT+} = V_{IN} \tag{4}$$

$$V_{OUT–} = V_{REF} – V_{IN} \tag{5}$$

$$V_{DIFF} = 2 \times V_{IN} – V_{REF} \tag{6}$$

$$V_{cm} = \left(\frac{V_{OUT+} + V_{OUT–}}{2}\right) = \frac{1}{2} V_{REF} \tag{7}$$

8.1.2.1 アンプの選択

良好な DC 精度を達成するには、入力範囲全体にわたる直線性が重要です。同相入力範囲と出力スイング制限によって、直線性が決まります。一般に、レール・ツー・レールの入出力スイングを持つアンプが必要です。この設計にとって、帯域幅は重要な懸念事項です。LMV358 の帯域幅は 1MHz であるため、この回路は 1MHz 未満の周波数の信号のみを処理できます。

8.1.2.2 パッシブ部品の選択

$V_{OUT–}$ の伝達関数は 抵抗 (R_1、R_2、R_3、R_4) に大きく依存するため、性能を最大化し、誤差を最小化するため、公差の小さい抵抗を使用します。この設計では、抵抗値が 36kΩ の抵抗を使用し、測定された許容誤差は 2% 以内です。
システムのノイズが重要なパラメータである場合、ユーザーはより小さい抵抗値 (6kΩ 以下) を選択して、システム全体のノイズを低く抑えることができます。これにより、抵抗からのノイズはアンプのノイズよりも小さくなります。

Copyright © 2023 Texas Instruments Incorporated

8.1.3 アプリケーション曲線

図 8-2、図 8-3、および 図 8-4 で測定された伝達関数は、入力電圧を 0V～2.5V の範囲で掃引して生成されました。ただし、最適な直線性を得るため、この設計は 0.5V～2V の範囲でのみ使用する必要があります。

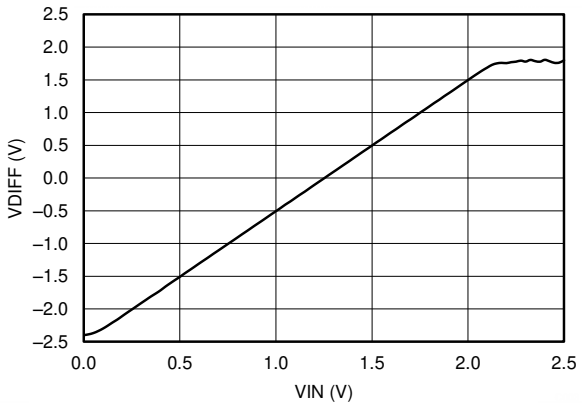


図 8-2. 差動出力電圧と入力電圧との関係

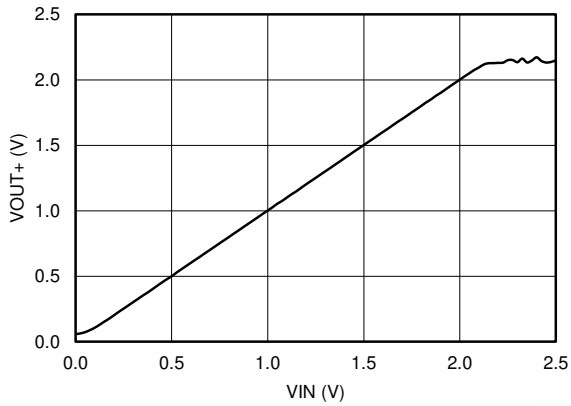


図 8-3. 正の出力電圧ノードと入力電圧との関係

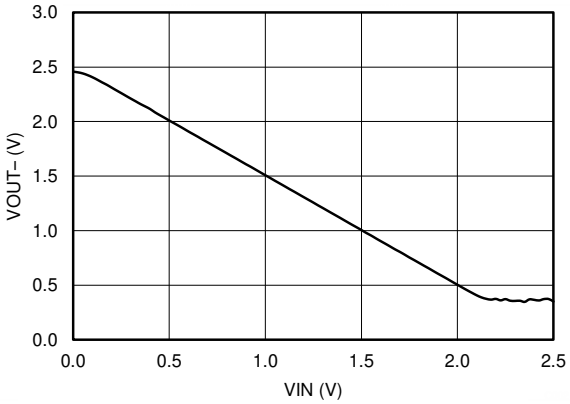


図 8-4. 正の出力電圧ノードと入力電圧との関係

8.2 電源に関する推奨事項

LMV321、LMV358、LMV324 デバイスは、2.7～5V での動作が規定されています。多くの仕様は、–40℃～125℃で適用されます。「代表的特性」セクションには、動作電圧または温度に関して大きな変動をもたらす可能性のあるパラメータが記載されています。

> **注意**
>
> 5.5V を超える電源電圧を印加すると、デバイスに永続的な損傷を与えるおそれがあります (「絶対最大定格」を参照してください)。

電源ピンの近くに 0.1µF のバイパス・コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源から混入する誤差を低減できます。バイパス・コンデンサの配置の詳細については、「レイアウト」セクションを参照してください。

Copyright © 2023 Texas Instruments Incorporated

8.3 レイアウト

8.3.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するには、以下のような適切な PCB レイアウト手法を使用してください。

- ノイズは、回路全体やオペアンプの電源ピンを経由して、アナログ回路に伝播することがあります。アナログ回路にローカルに低インピーダンスの電源を供給して結合ノイズを低減するために、バイパス・コンデンサが使用されています。
  - 各電源ピンとグランド間に、低 ESR 0.1µF のセラミック・バイパス・コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、V+ からグランドに対して単一のバイパス・コンデンサを接続します。
- 回路のアナログ部とデジタル部のグランド配線を分離することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層がグランド・プレーン専用に使用されます。グランド・プレーンは熱の分散に役立つとともに、EMI ノイズを拾う可能性を低減します。グランド電流の流れに注意して、デジタル・グランドとアナログ・グランドを物理的に分離するようにしてください。詳細については、『回路基板のレイアウト技法』を参照してください。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの配線を離して配置できない場合、敏感な配線をノイズの多い配線と平行にするのではなく、直角に交差させる方がはるかに良い結果が得られます。
- 外付け部品は、可能な限りデバイスに近く配置します。RF と RG を反転入力に近づけて配置すると、「レイアウト例」に示すように、寄生容量が最小化されます。
- 入力配線は、できる限り短くします。入力配線は、回路の最も敏感な部分であることに常に注意してください。
- 重要な配線の周囲に、駆動される低インピーダンスのガード・リングを配置することを検討します。ガード・リングを使用すると、付近に存在する、さまざまな電位の配線からのリーク電流を大幅に低減できます。

8.3.2 レイアウト例

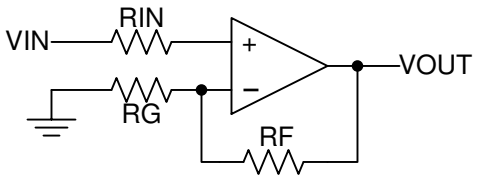


図 8-5. 非反転構成のオペアンプの回路図

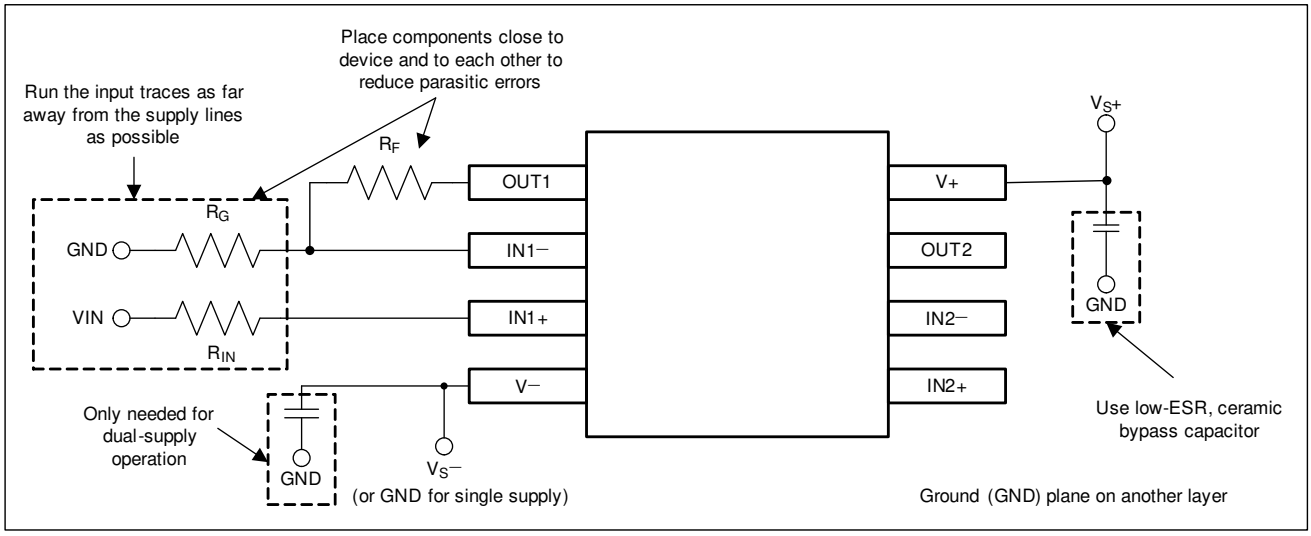


図 8-6. 非反転構成のオペアンプ基板のレイアウト

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

9.3 商標

TI E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。このデータシートのブラウザ対応版については、左側にあるナビゲーションを参照してください。

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMV321IDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	RC1F
LMV321IDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	RC1F
LMV321IDBVR.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	RC1F
LMV321IDBVRE4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	RC1F
LMV321IDBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	RC1F
LMV321IDBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	RC1F
LMV321IDBVT.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	RC1F
LMV321IDBVT.B	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	RC1F
LMV321IDCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	POST-PLAT AG SPOT | SN	Level-2-260C-1 YEAR	-40 to 125	(R3F, R3K, R3O, R3R, R3Z)
LMV321IDCKR.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	(R3F, R3K, R3O, R3R, R3Z)
LMV321IDCKT	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	POST-PLAT AG SPOT | SN	Level-2-260C-1 YEAR	-40 to 125	(R3C, R3F, R3R)
LMV321IDCKT.A	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	(R3C, R3F, R3R)
LMV324ID	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 125	LMV324I
LMV324IDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LMV324I
LMV324IDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LMV324I
LMV324IDRE4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LMV324I
LMV324IDRG4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LMV324I
LMV324IDRG4.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LMV324I
LMV324IPWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	MV324I
LMV324IPWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV324I
LMV324IPWR.B	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV324I
LMV324IPWRE4	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV324I
LMV324IPWRG4	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV324I
LMV324IPWRG4.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV324I
LMV324QD	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 125	LMV324Q
LMV324QDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LMV324Q
LMV324QDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LMV324Q

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMV324QDRG4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LMV324Q
LMV324QPW	Obsolete	Production	TSSOP (PW) | 14	-	-	Call TI	Call TI	-40 to 125	MV324Q
LMV324QPWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	MV324Q
LMV324QPWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	MV324Q
LMV324QPWR.B	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	MV324Q
LMV324QPWRE4	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV324Q
LMV324QPWRE4.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV324Q
LMV324QPWRE4.B	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV324Q
LMV358ID	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	MV358I
LMV358IDDUR	Obsolete	Production	VSSOP (DDU) | 8	-	-	Call TI	Call TI	-40 to 125	RA5R
LMV358IDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(R5B, R5Q, R5R)
LMV358IDGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(R5B, R5Q, R5R)
LMV358IDGKR.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(R5B, R5Q, R5R)
LMV358IDGKRG4	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(R5B, R5Q, R5R)
LMV358IDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV358I
LMV358IDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV358I
LMV358IDR.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV358I
LMV358IDRE4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV358I
LMV358IDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV358I
LMV358IDRG4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV358I
LMV358IDRG4.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV358I
LMV358IPW	Obsolete	Production	TSSOP (PW) | 8	-	-	Call TI	Call TI	-40 to 125	MV358I
LMV358IPWR	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	MV358I
LMV358IPWR.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	MV358I
LMV358IPWR.B	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	MV358I
LMV358IPWRG4	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV358I
LMV358IPWRG4.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV358I
LMV358IPWRG4.B	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV358I
LMV358QD	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	MV358Q
LMV358QDDUR	Obsolete	Production	VSSOP (DDU) | 8	-	-	Call TI	Call TI	-40 to 125	RAHR
LMV358QDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(RHO, RHR)

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMV358QDGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(RHO, RHR)
LMV358QDGKR.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(RHO, RHR)
LMV358QDGKRG4	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(RHO, RHR)
LMV358QDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV358Q
LMV358QDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV358Q
LMV358QDR.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV358Q
LMV358QPWR	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	MV358Q
LMV358QPWR.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	MV358Q
LMV358QPWR.B	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	MV358Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

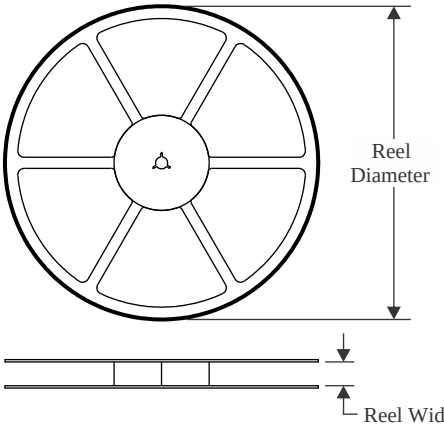
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

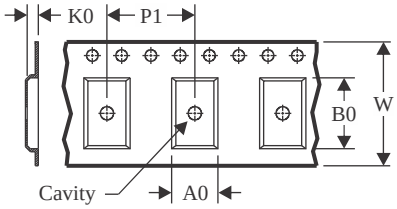
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

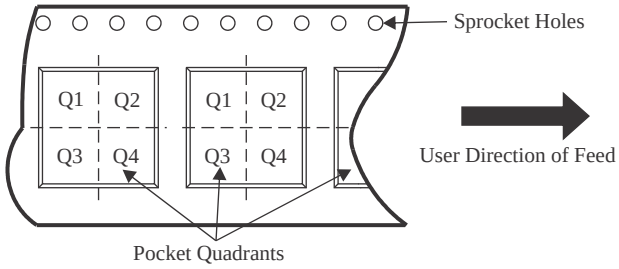


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

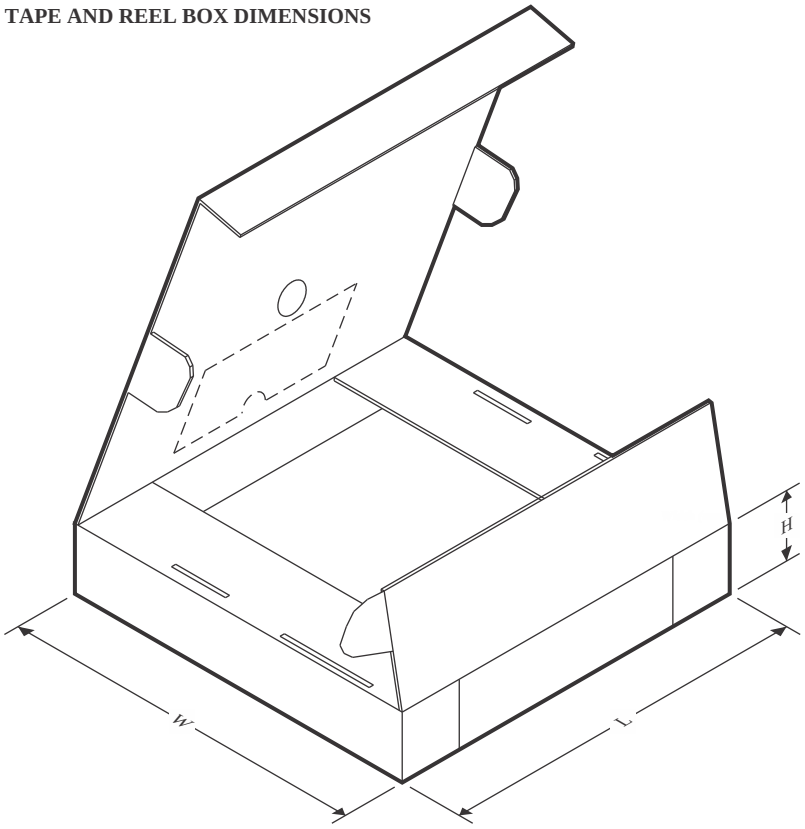


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMV321IDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV321IDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV321IDBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV321IDBVT	SOT-23	DBV	5	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
LMV321IDCKR	SC70	DCK	5	3000	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
LMV321IDCKR	SC70	DCK	5	3000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
LMV321IDCKT	SC70	DCK	5	250	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
LMV324IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
LMV324IDRG4	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
LMV324IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
LMV324IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
LMV324IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
LMV324IPWRG4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
LMV324IPWRG4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
LMV324QDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
LMV324QPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMV324QPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
LMV324QPWRE4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
LMV358IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV358IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.3	1.3	8.0	12.0	Q1
LMV358IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV358IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMV358IDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMV358IPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
LMV358IPWRG4	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
LMV358QDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV358QDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV358QDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.3	1.3	8.0	12.0	Q1
LMV358QDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMV358QPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1

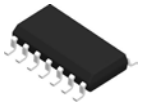
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMV321IDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
LMV321IDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
LMV321IDBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
LMV321IDBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
LMV321IDCKR	SC70	DCK	5	3000	210.0	185.0	35.0
LMV321IDCKR	SC70	DCK	5	3000	208.0	191.0	35.0
LMV321IDCKT	SC70	DCK	5	250	210.0	185.0	35.0
LMV324IDR	SOIC	D	14	2500	353.0	353.0	32.0
LMV324IDRG4	SOIC	D	14	2500	353.0	353.0	32.0
LMV324IPWR	TSSOP	PW	14	2000	367.0	367.0	35.0
LMV324IPWR	TSSOP	PW	14	2000	353.0	353.0	32.0
LMV324IPWR	TSSOP	PW	14	2000	356.0	356.0	35.0
LMV324IPWRG4	TSSOP	PW	14	2000	367.0	367.0	35.0
LMV324IPWRG4	TSSOP	PW	14	2000	353.0	353.0	32.0
LMV324QDR	SOIC	D	14	2500	353.0	353.0	32.0
LMV324QPWR	TSSOP	PW	14	2000	353.0	353.0	32.0
LMV324QPWR	TSSOP	PW	14	2000	366.0	364.0	50.0
LMV324QPWRE4	TSSOP	PW	14	2000	353.0	353.0	32.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMV358IDGKR	VSSOP	DGK	8	2500	358.0	335.0	35.0
LMV358IDGKR	VSSOP	DGK	8	2500	370.0	355.0	55.0
LMV358IDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
LMV358IDR	SOIC	D	8	2500	353.0	353.0	32.0
LMV358IDRG4	SOIC	D	8	2500	353.0	353.0	32.0
LMV358IPWR	TSSOP	PW	8	2000	353.0	353.0	32.0
LMV358IPWRG4	TSSOP	PW	8	2000	353.0	353.0	32.0
LMV358QDGKR	VSSOP	DGK	8	2500	358.0	335.0	35.0
LMV358QDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
LMV358QDGKR	VSSOP	DGK	8	2500	370.0	355.0	55.0
LMV358QDR	SOIC	D	8	2500	340.5	338.1	20.6
LMV358QPWR	TSSOP	PW	8	2000	366.0	364.0	50.0

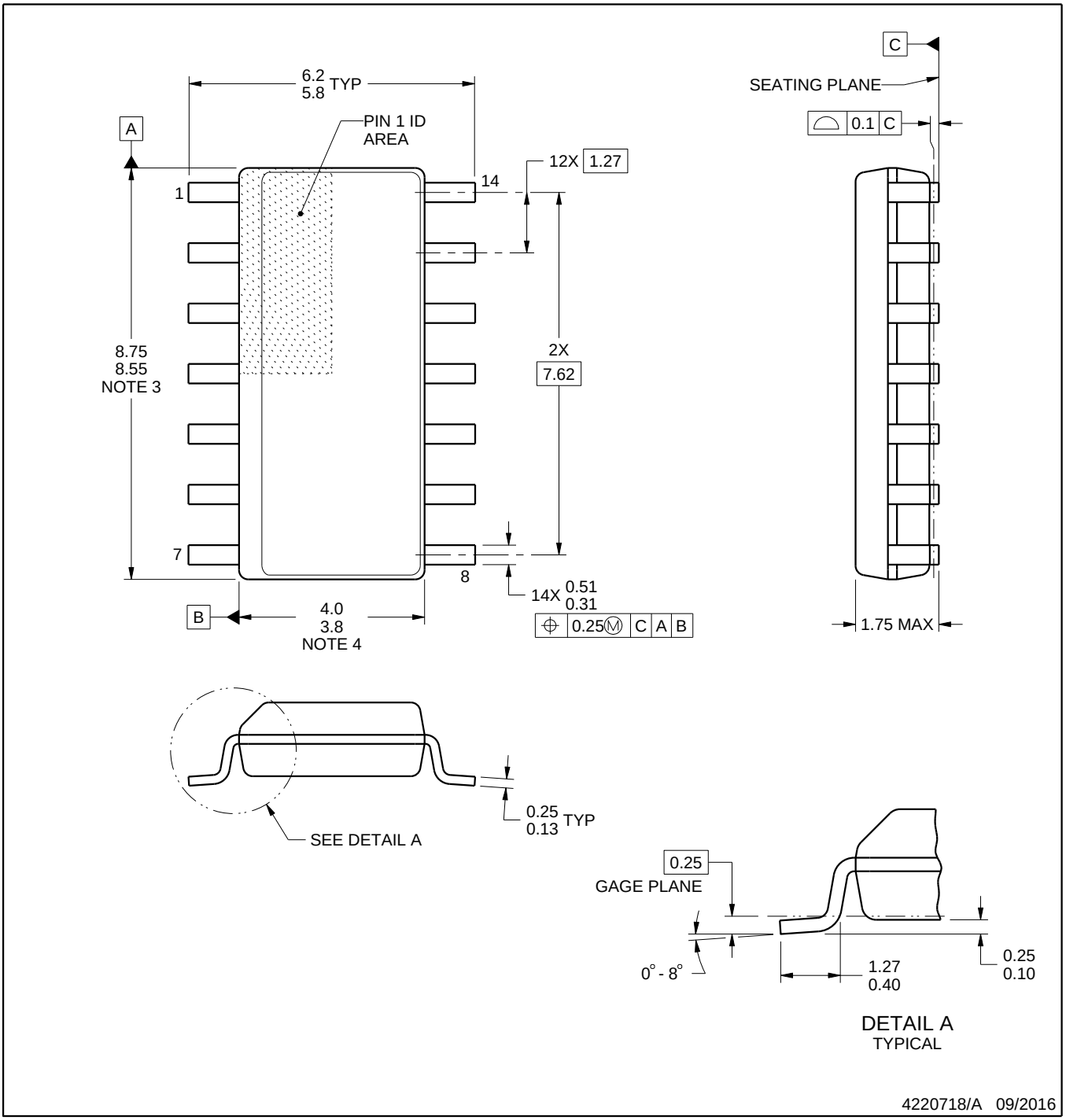


PACKAGE OUTLINE

D0014A

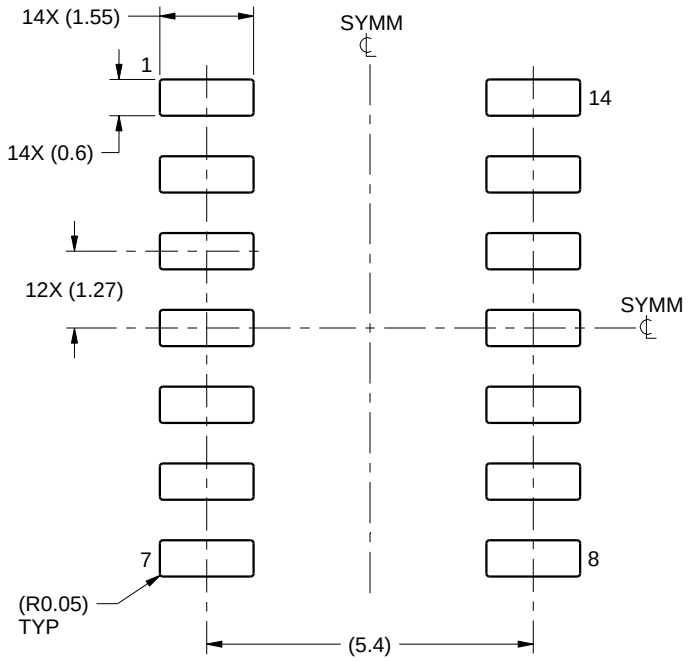
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

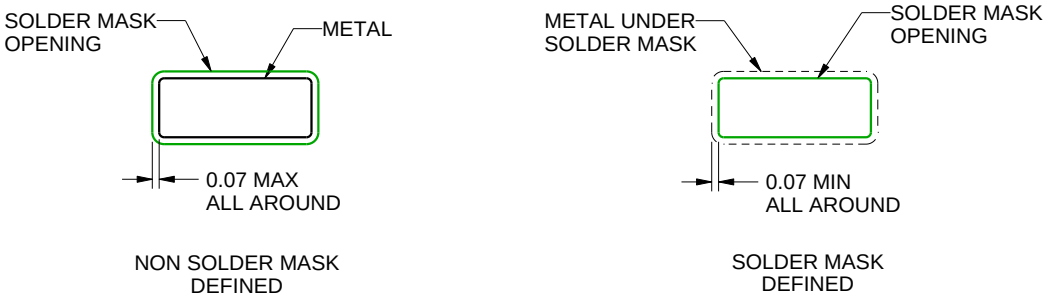


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

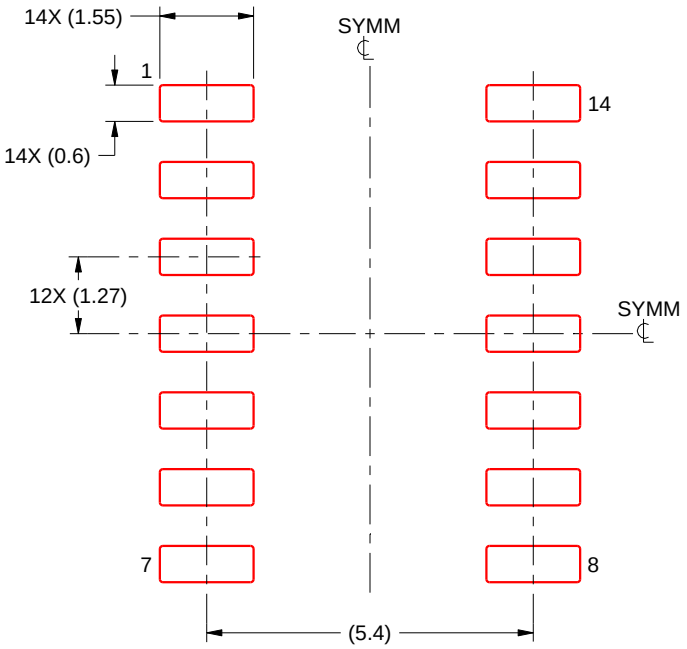
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

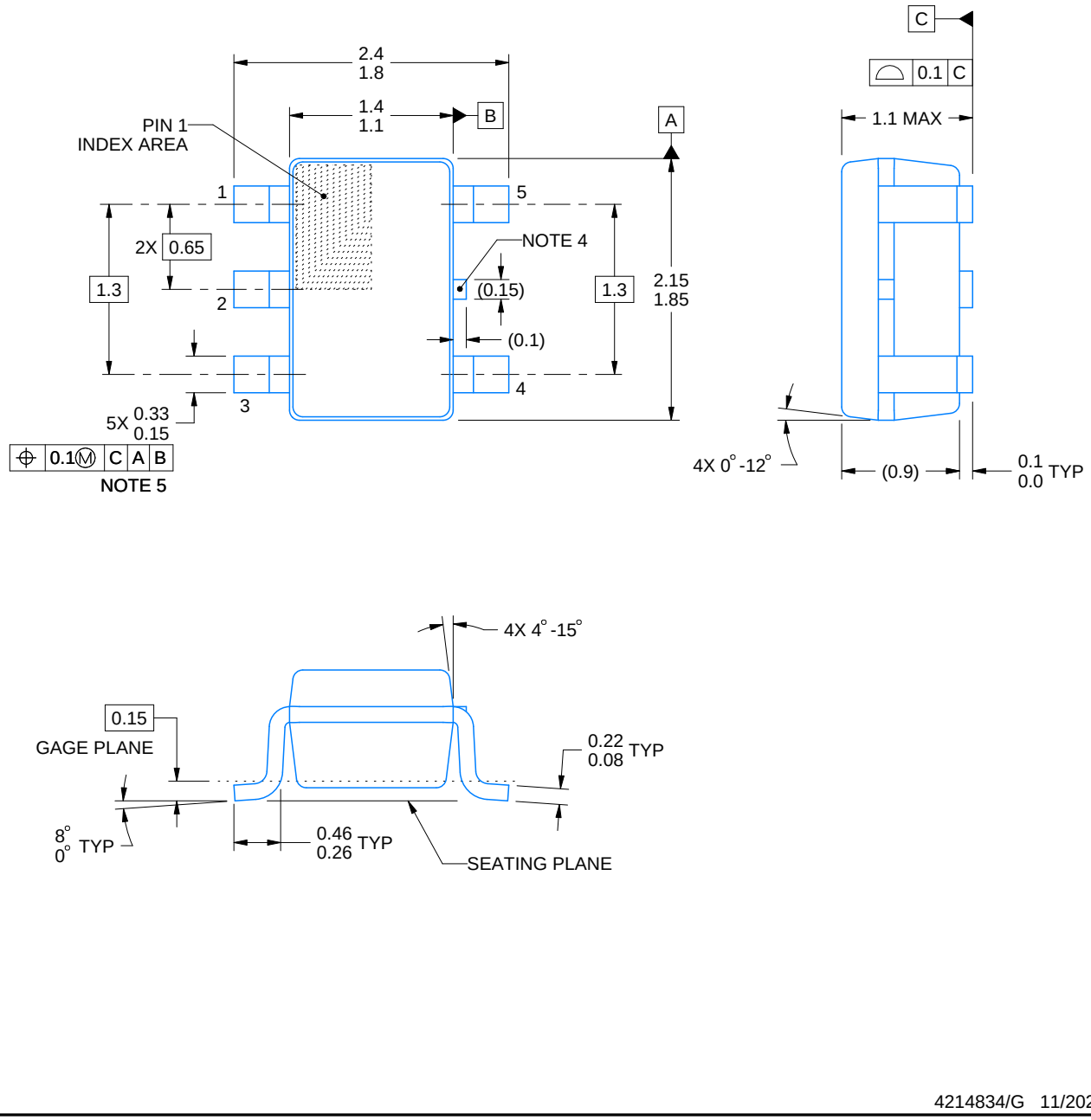
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

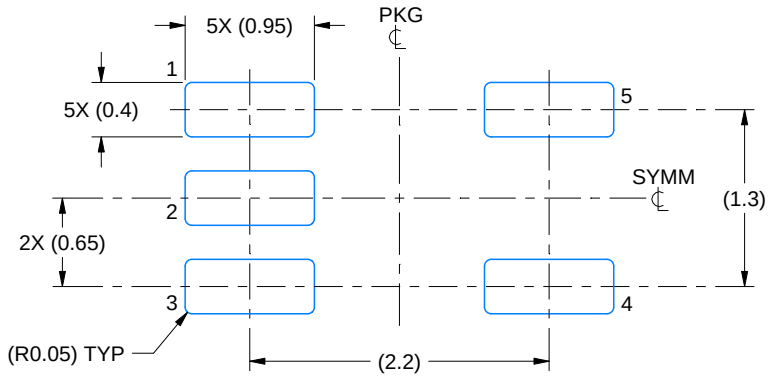
SMALL OUTLINE TRANSISTOR



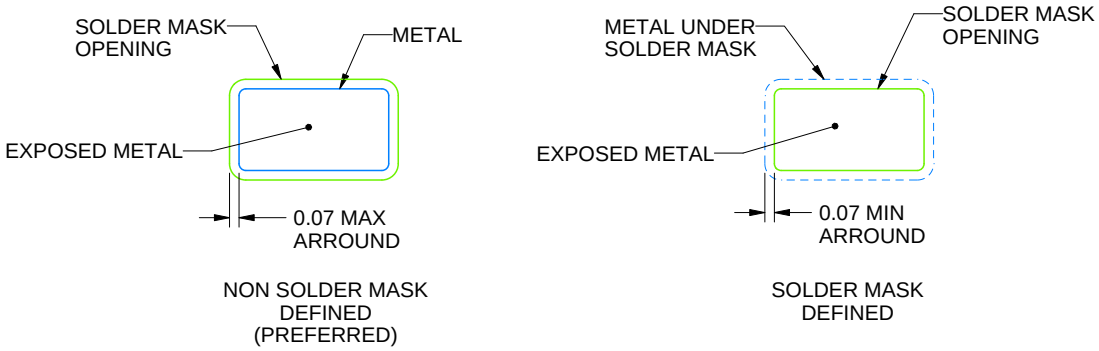
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

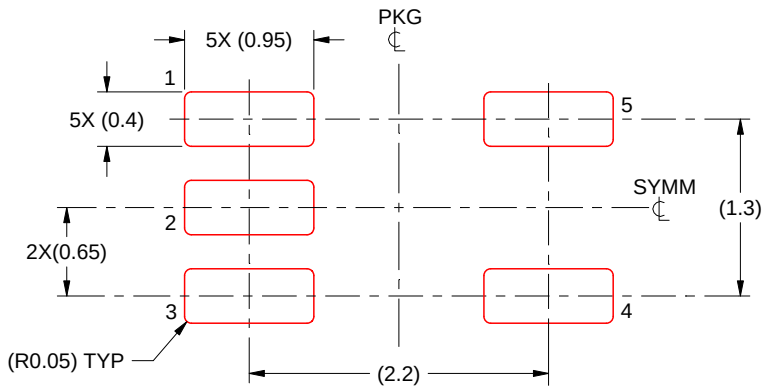


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

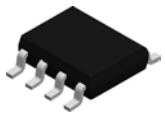


SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

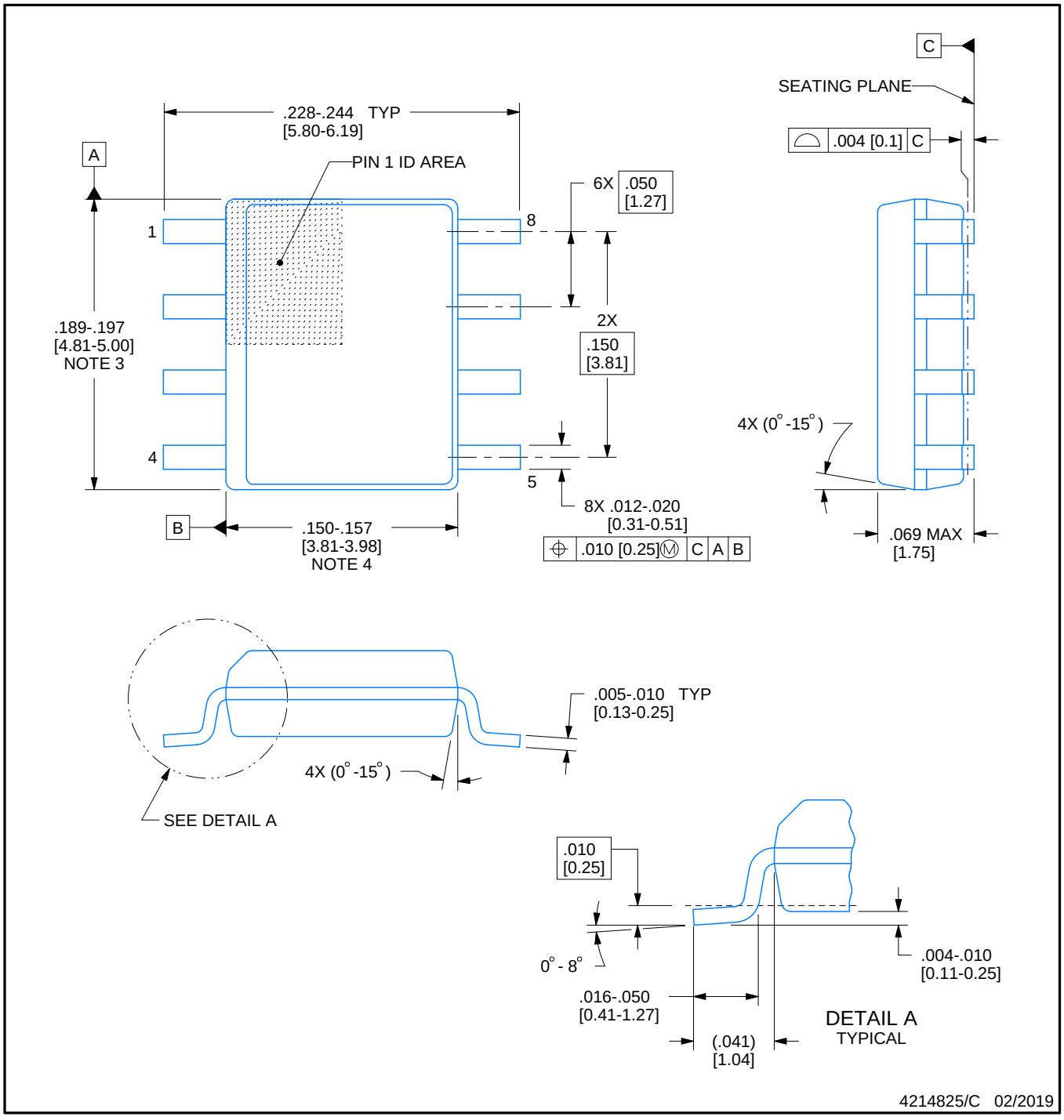


PACKAGE OUTLINE

D0008A

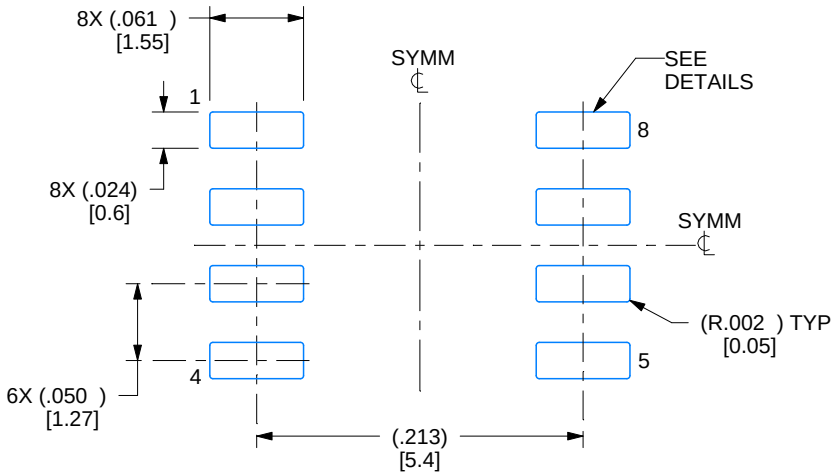
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

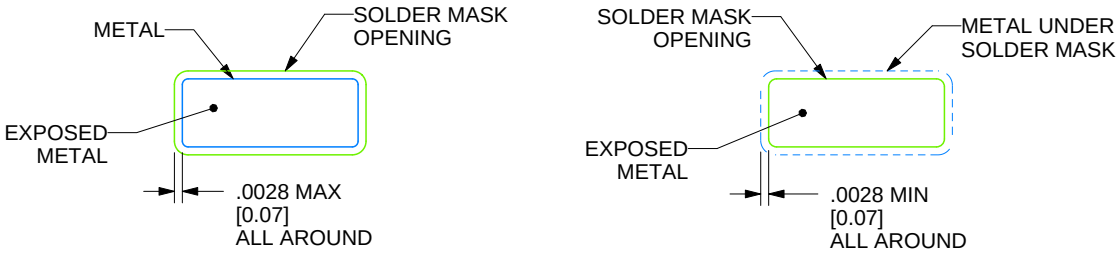


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

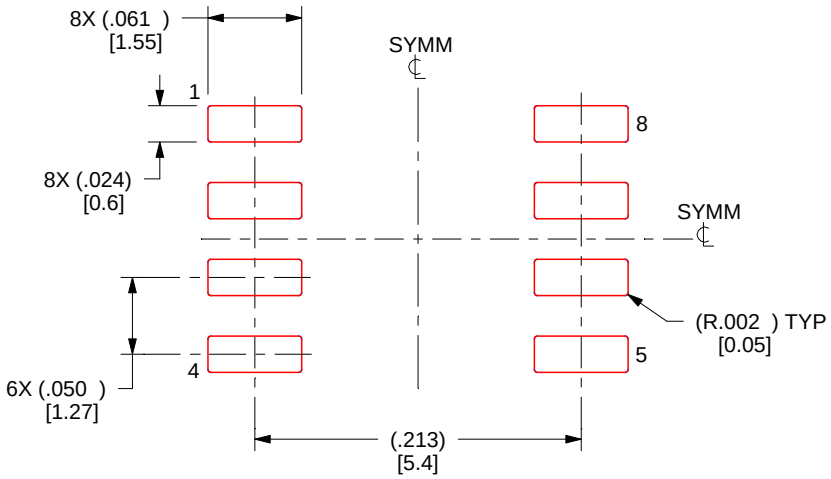
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

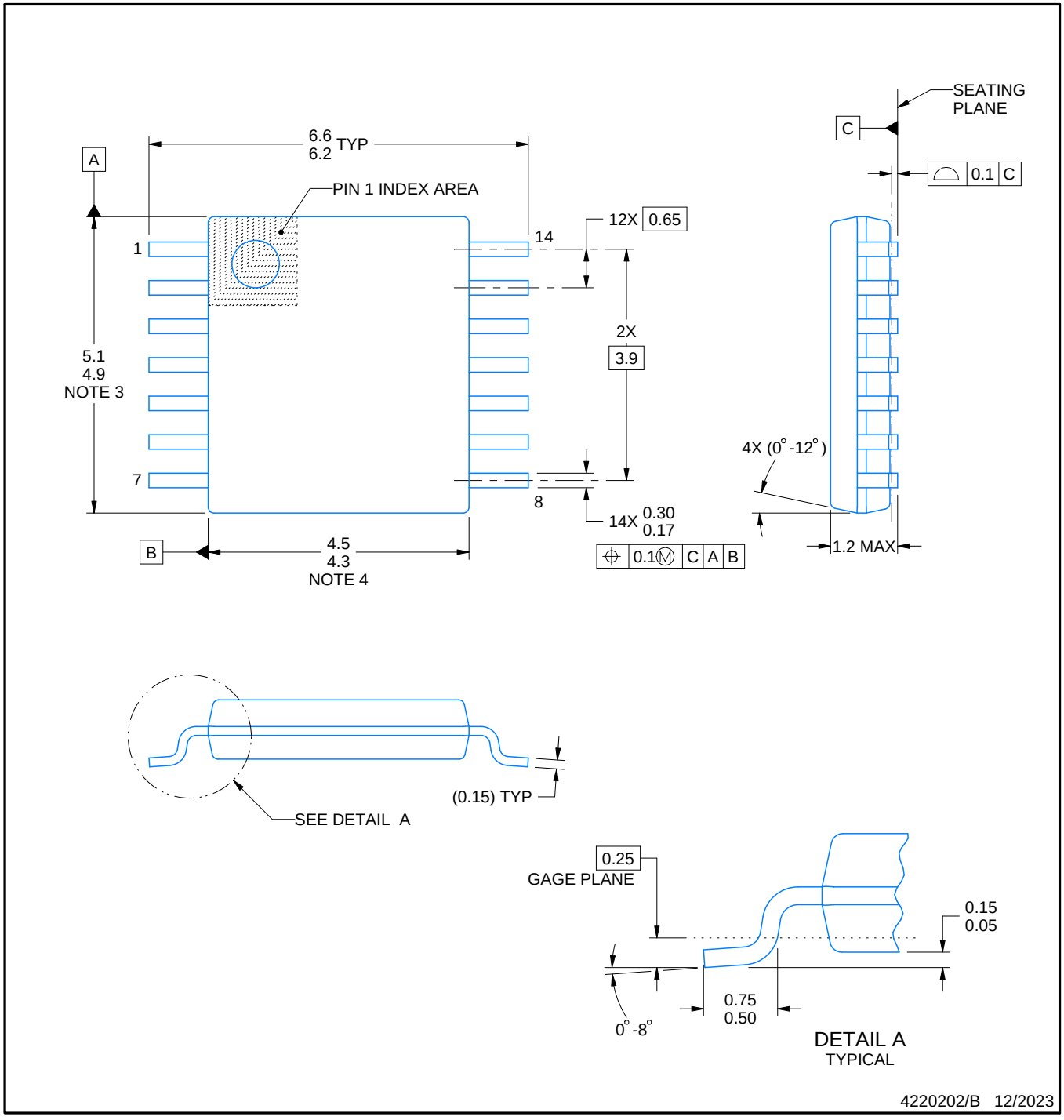
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0014A

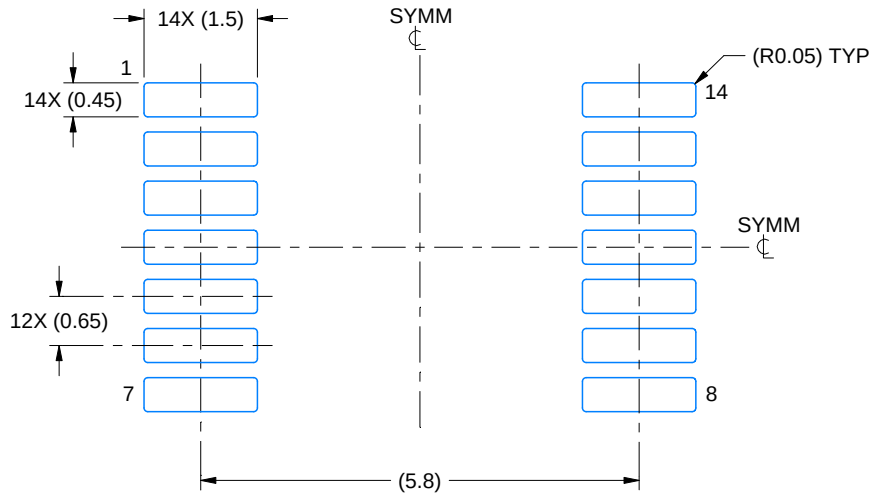
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

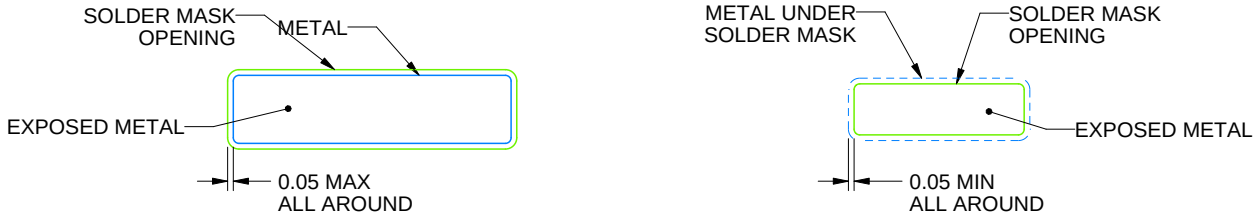


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

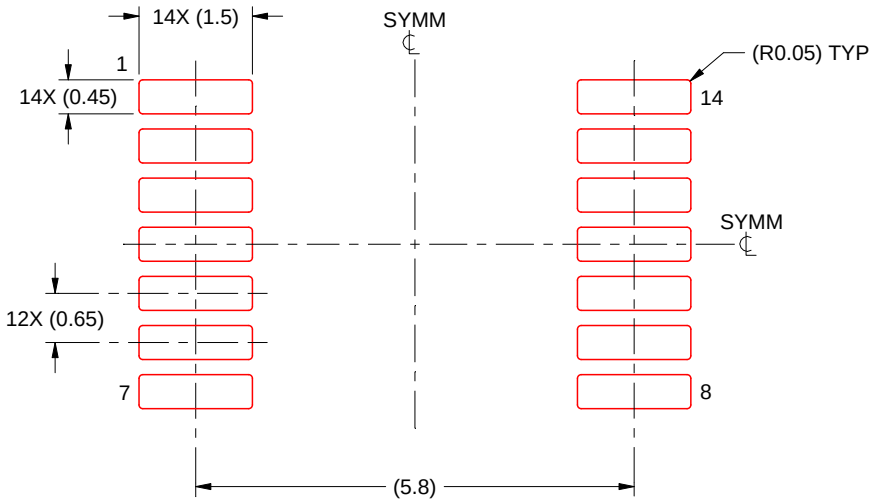


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

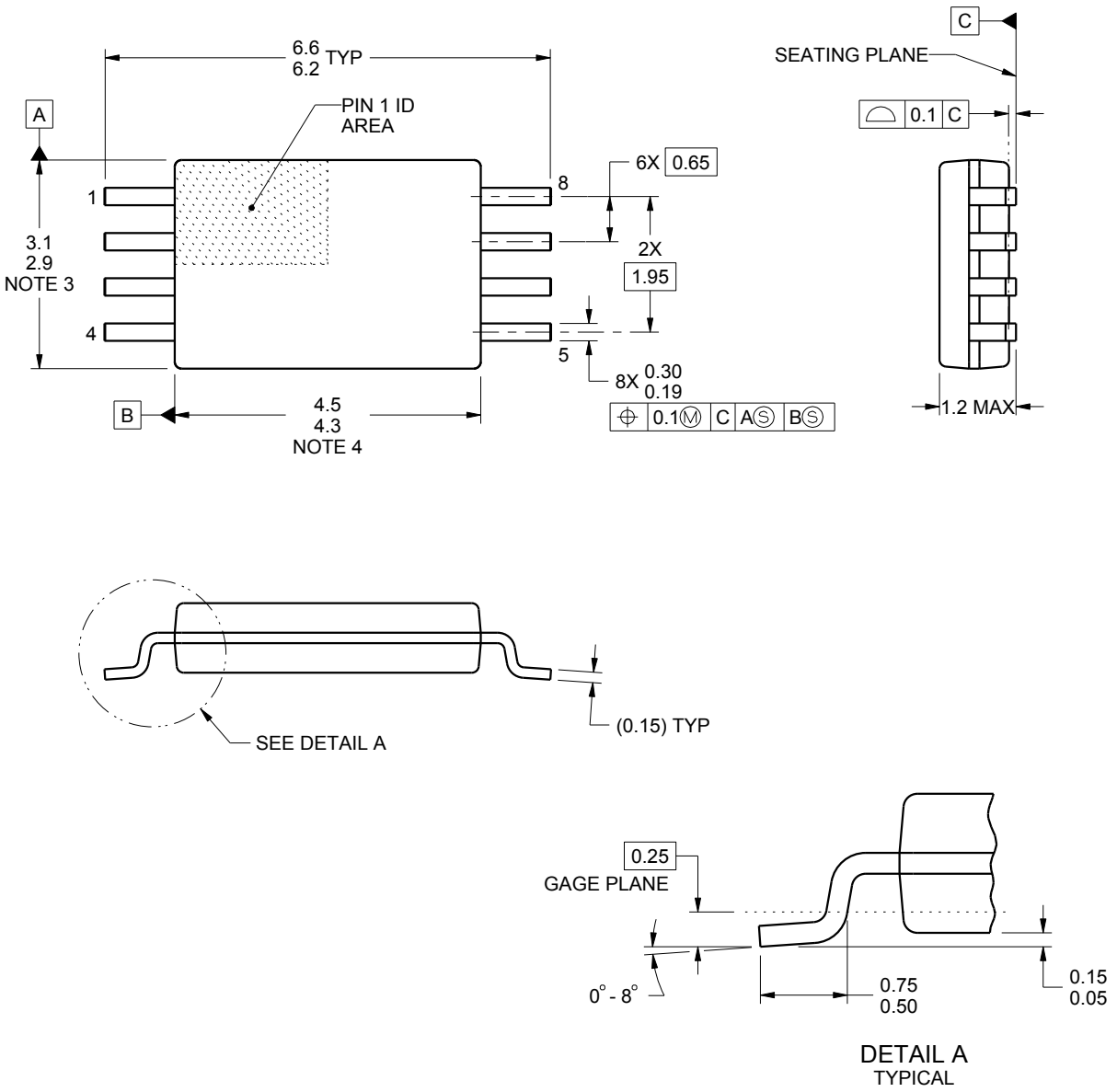
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0008A

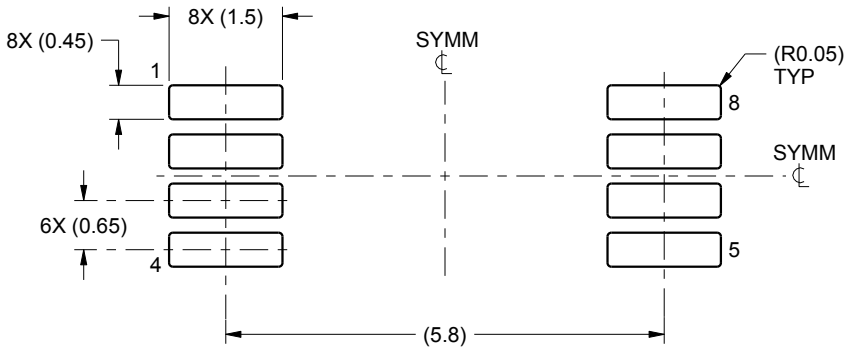
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

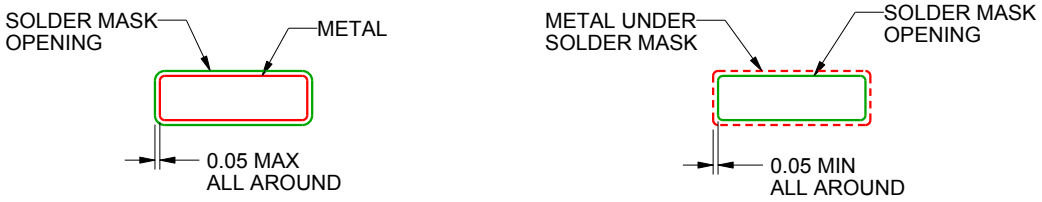


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X

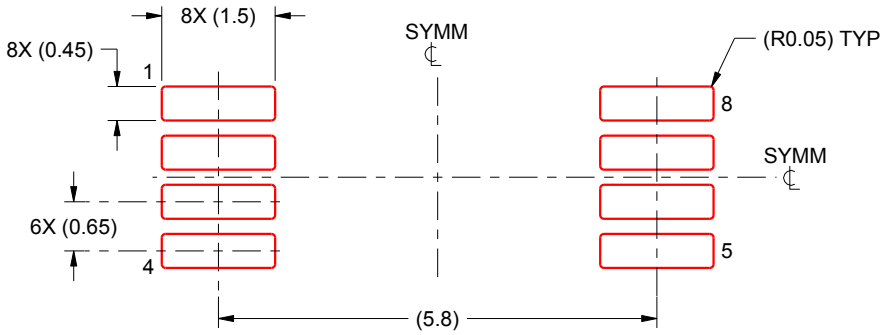


SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

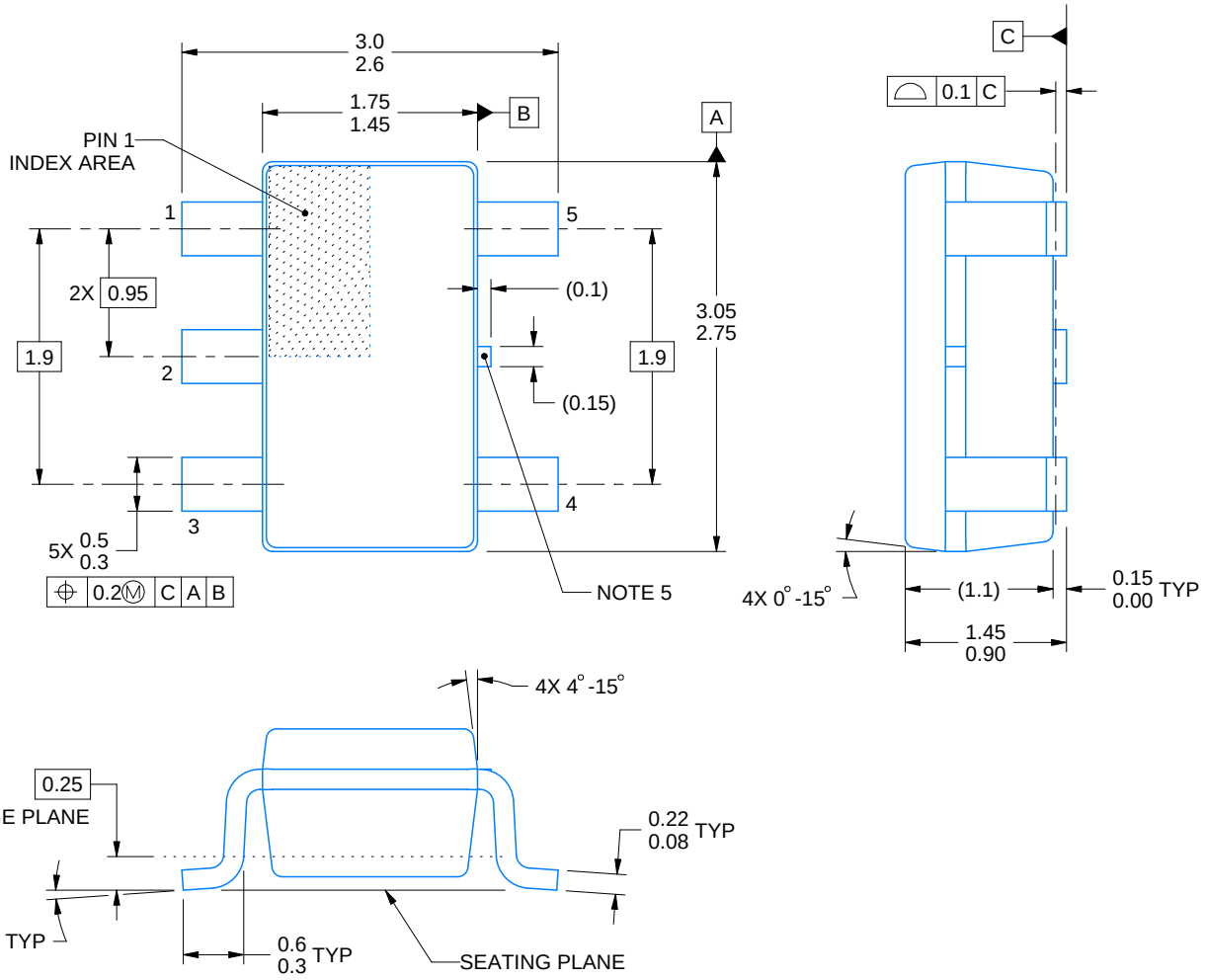
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

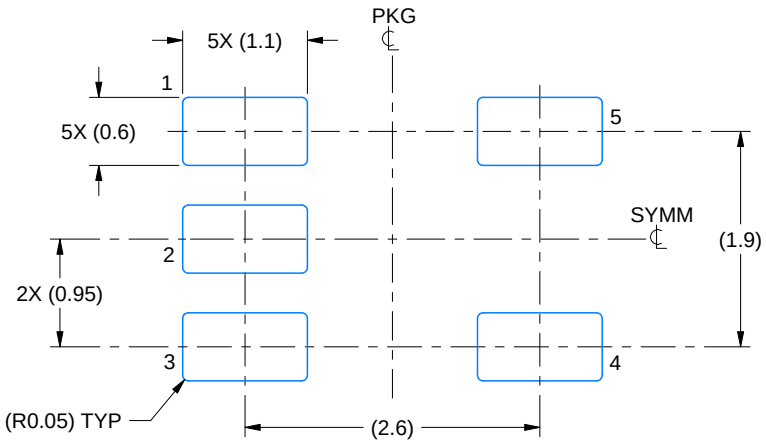
SMALL OUTLINE TRANSISTOR



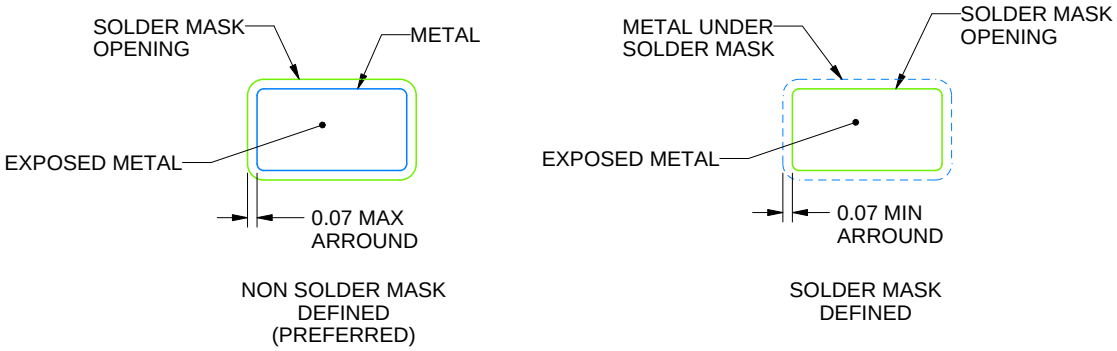
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

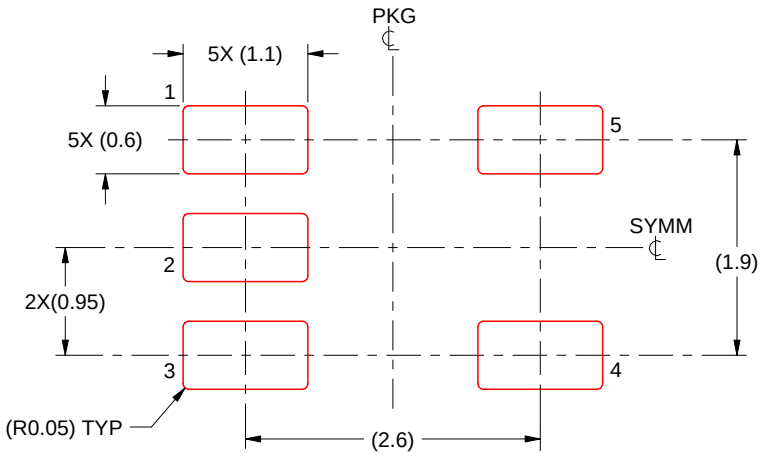


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

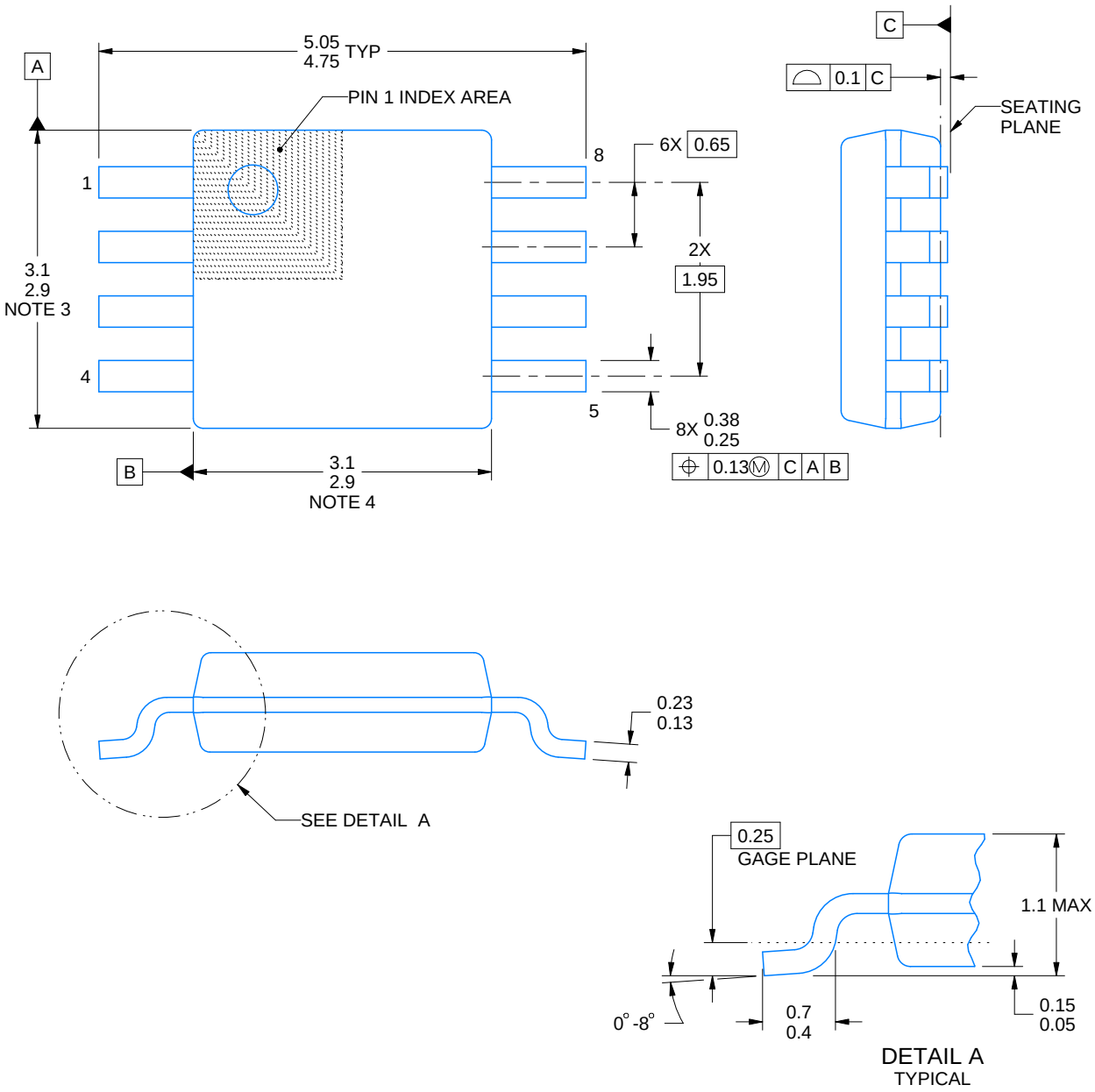
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

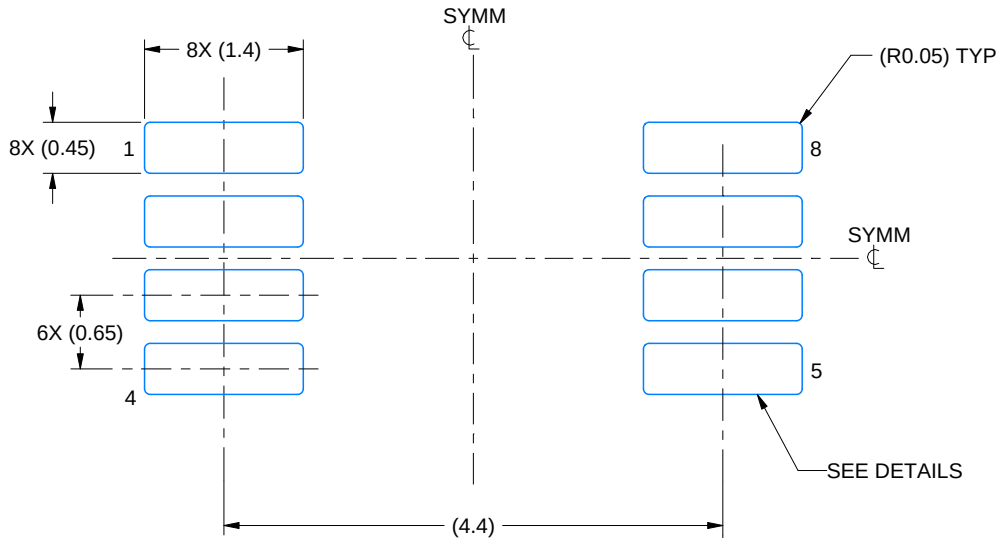
SMALL OUTLINE PACKAGE



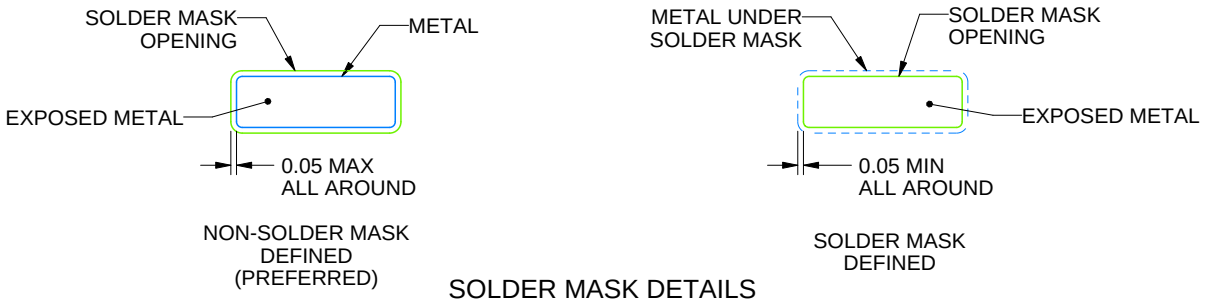
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

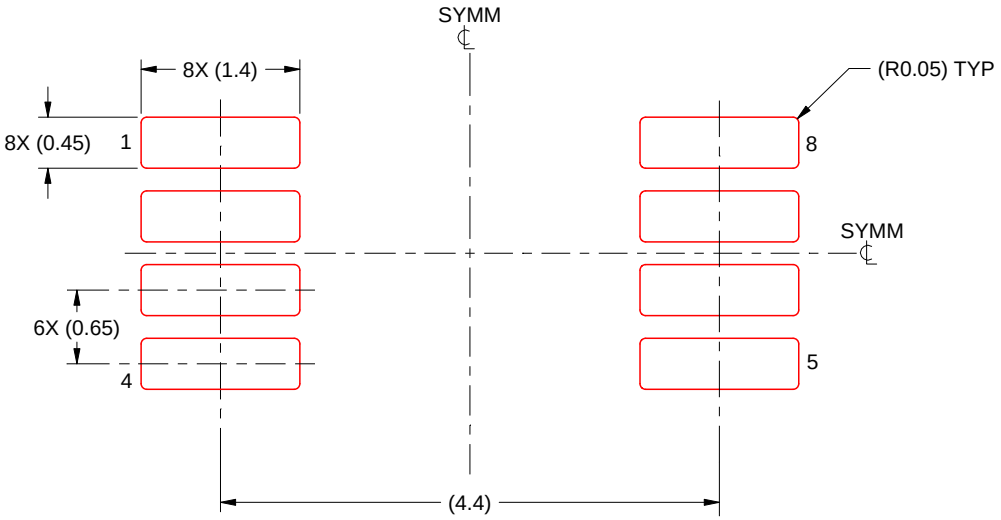


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



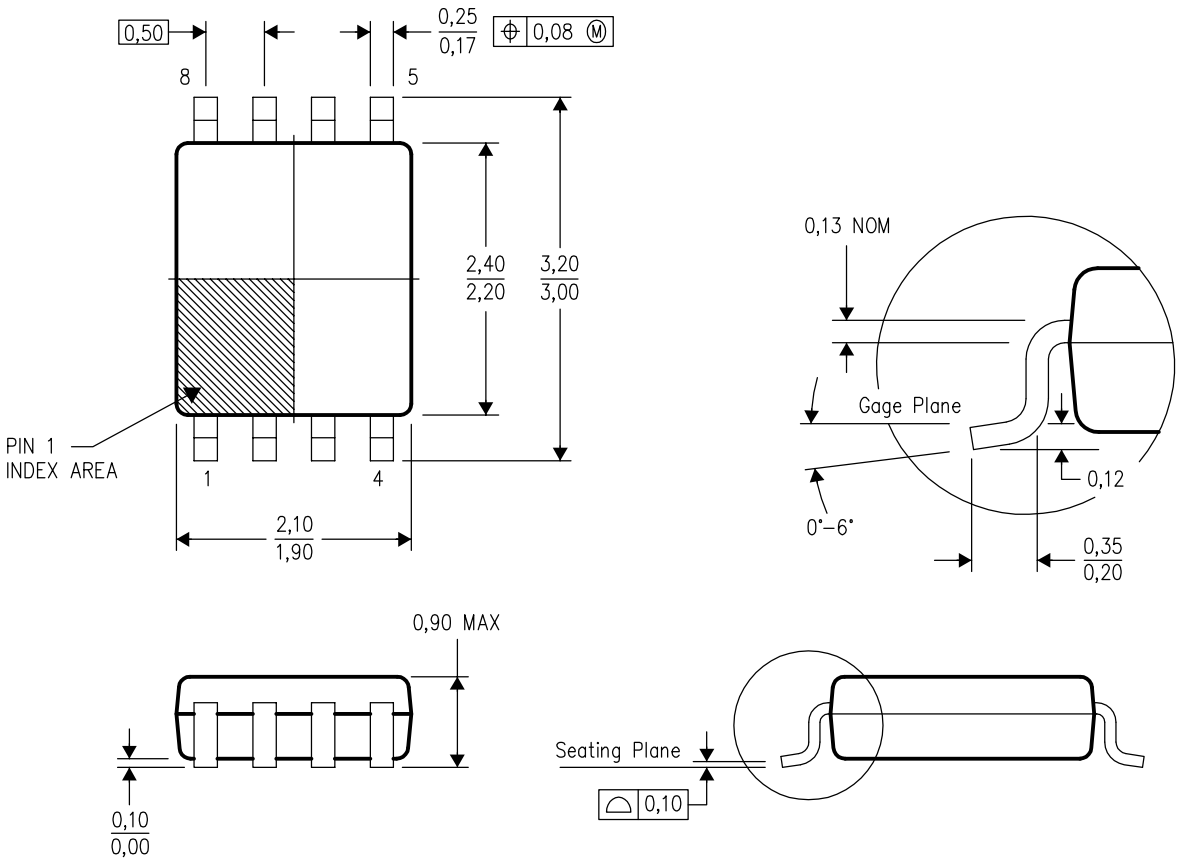
SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

DDU (R–PDSO–G8) PLASTIC SMALL–OUTLINE PACKAGE



4205140/A 05/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion.
D. Falls within JEDEC MO–187 variation CA.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月