LMX1205-EP 低ノイズ、高周波 JESD バッファ/乗算器/分周器

1 特長

- VID #V62/25648
- 出力周波数:300MHz ～ 12.8GHz
- 最大 60ps (分解能 1.1ps) のノイズの無い可変入力遅延
- 最大 55ps (分解能 0.9ps) の個別の可変出力遅延
- 超低ノイズ
  - ノイズ・フロア:6GHz 出力で -159dBc/Hz
  - 付加ジッタ (DC～f_{CLK}):36fs
  - 付加ジッタ (100Hz～100MHz):10fs
- 対応する SYSREF 出力を備えた 4 つの高周波クロック
  - 共有分周比は 1 (バイパス)、2 、3 、4 、5 、6 、7 、8
  - 共有プログラマブル乗算器 (x2、x3、x4、x5、x6、x7、x8)
- LOGICLK 出力、対応する SYSREF 出力付き
  - 個別の分周バンク上
  - 1、2、4 プリデバイダ
  - 1 (バイパス)、2 、…、1023 ポストディバイダ
  - 追加の分周器 (1、2、4、8) を内蔵した 2 番目のロジック クロック オプション
- 6 つのプログラム可能な出力電力レベル
- 同期された SYSREF クロック出力
  - 508 遅延ステップの調整は、12.8GHz で 2.5ps 未満
  - ジェネレータ、リピータ、およびリピータのリタイムモード
  - SYSREFREQ ピンのウィンドウ処理機能によりタイミングを最適化します
- すべてのデバイダおよび複数のデバイスに対する SYNC 機能
- 動作電圧 2.5V
- 動作温度:–55ºC ～ 85ºC
- 高信頼性
  - 管理されたベースライン
  - 単一のアセンブリ / テスト施設
  - 単一の製造施設
  - 長期にわたる製品ライフ サイクル
  - 製品のトレーサビリティ

2 アプリケーション

- 試験 & 測定:
  - オシロスコープ
  - ワイヤレス機器テスター
  - 広帯域デジタイザ
- 航空宇宙 & 防衛:
  - レーダー
  - 電子戦
  - シーカー フロント エンド
  - 軍需品
  - フェーズド アレイ アンテナ / ビーム フォーミング
- 汎用:
  - データ コンバータのクロック供給
  - クロック バッファの分配 / 分周

3 説明

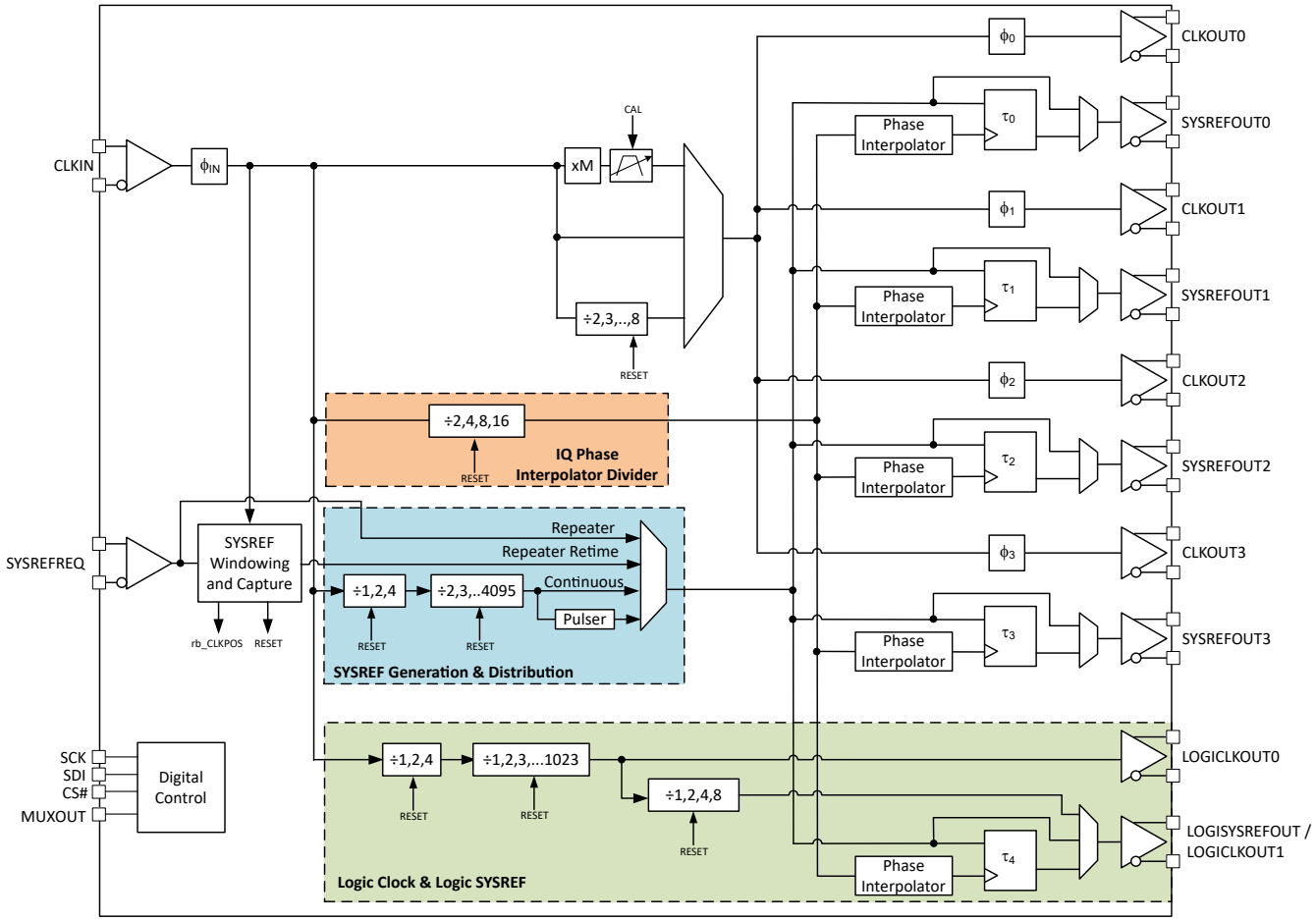
高周波数への対応や非常に小さなジッタ、プログラム可能なクロック入力および出力遅延を持ったこのデバイスは、信号対雑音比の劣化なく、高精度クロック、高周波データ コンバータを容易に実現できます。4 つの高周波クロック出力のそれぞれと、より大きな分周器範囲を持つ追加の LOGICLK 出力は、SYSREF 出力クロック信号と対になります。JESD204B/C インターフェイスの SYSREF 信号は、内部で生成するか、入力として渡されて、デバイス クロックに再度クロックされます。高周波クロック入力の入力パスおよび個別のクロック出力パスでのノイズのない遅延調整により、マルチチャネル システムで低スキュー クロックを保証します。データ コンバータのクロック供給アプリケーションでは、クロックのジッタをデータ コンバータのアパーチャ ジッタよりも小さくすることが重要です。5 つ以上のデータ コンバータにクロックを供給する必要があるアプリケーションでは、複数のデバイスを使用して、必要なすべての高周波クロックと SYSREF 信号を分配する、さまざまなカスケード接続アーキテクチャを開発できます。このデバイスは、超低ノイズのリファレンス クロック ソースと組み合わせると、特にサンプリングが 3GHz を超える場合に、データ コンバータのクロック供給の模範的な選択肢となります。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
LMX1205-EP	RHA (VQFN、40)	6mm × 6mm

(1) 供給されているすべてのパッケージについては、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



ブロック図

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....4
5 仕様.....7
5.1 絶対最大定格.....7
5.2 ESD 定格.....7
5.3 推奨動作条件.....7
5.4 熱に関する情報.....7
5.5 電気的特性.....8
5.6 タイミング要件.....10
5.7 タイミング図.....11
5.8 代表的特性.....12
6 詳細説明.....19
6.1 概要.....19
6.2 機能ブロック図.....20
6.3 機能説明.....21
6.4 デバイスの機能モード構成.....36
7 レジスタ マップ.....38
7.1 デバイスのレジスタ.....41
8 アプリケーションと実装.....59
8.1 リファレンス.....59
8.2 電源に関する推奨事項.....61
8.3 レイアウト.....62
9 デバイスおよびドキュメントのサポート.....63
9.1 デバイス サポート.....63
9.2 ドキュメントのサポート.....64
9.3 ドキュメントの更新通知を受け取る方法.....64
9.4 サポート・リソース.....64
9.5 商標.....64
9.6 静電気放電に関する注意事項.....64
9.7 用語集.....64
10 改訂履歴.....64
11 メカニカル、パッケージ、および注文情報.....64

4 ピン構成および機能

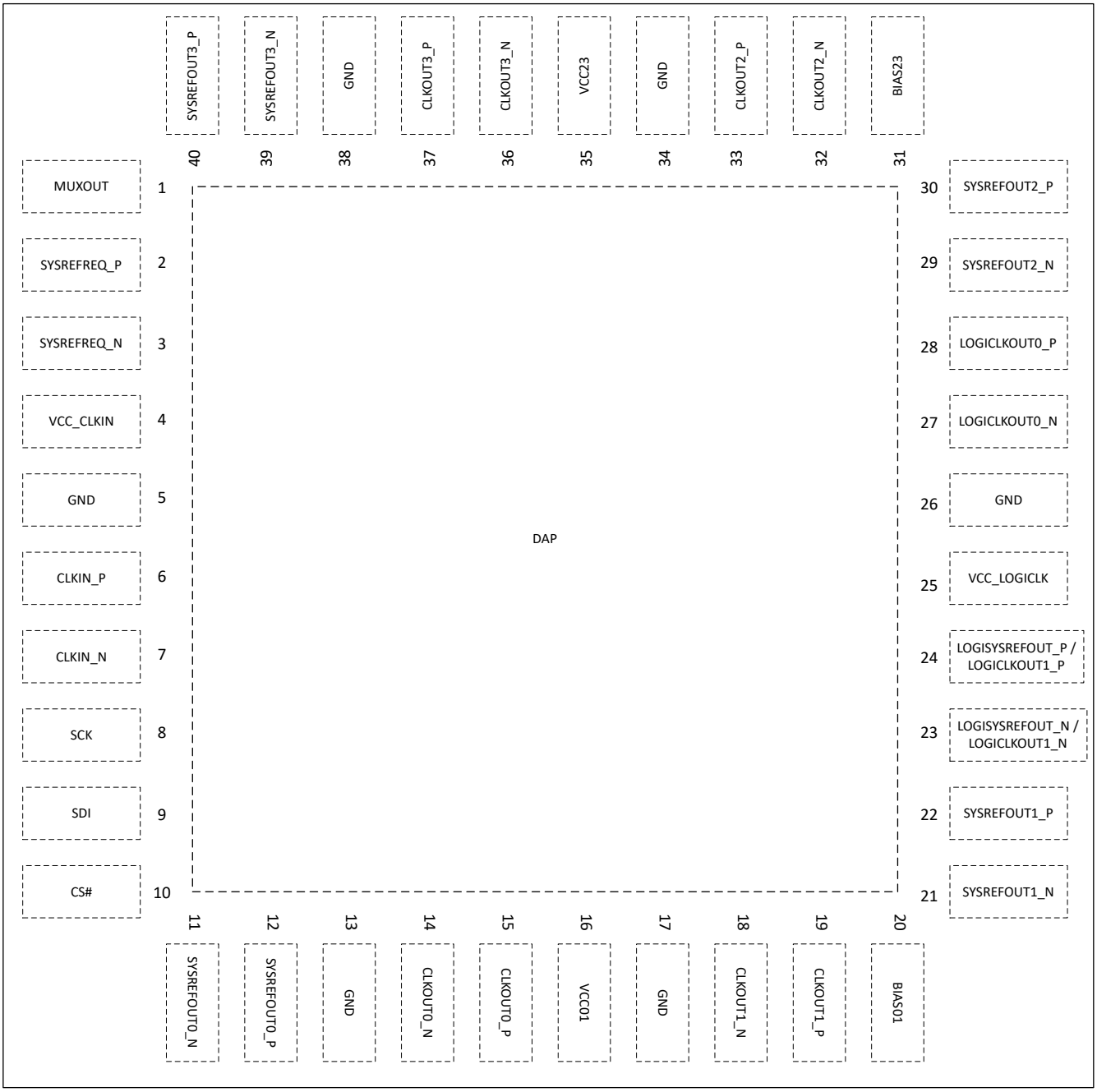


図 4-1. RHA パッケージ 40 ピン VQFN 上面図

Copyright © 2026 Texas Instruments Incorporated

表 4-1. ピンの機能

名称	番号	タイプ[(1)]	説明
BIAS01	20	BYP	乗算器を使用しない場合、このピンはオープンのままにできます。乗算器を使用する場合は、最適なノイズ性能のためにこのピンを 10nF のコンデンサで GND にバイパスします。
BIAS23	31	BYP	乗算器を使用しない場合、このピンはオープンのままにできます。乗算器を使用する場合は、最適なノイズ性能を得るために 10μF および 0.1μF コンデンサを使用してこのピンを GND にバイパスします。
CLKIN_N	7	I	差動クロック入力ペア。各ピンに内部 50Ω 終端。入力周波数に適したコンデンサ (通常は 0.1μF 以下) と AC 結合します。シングルエンドを使用する場合は、CLKIN_N ピンに入力を供給し、未使用の CLKIN_P は、直列 AC カップリング コンデンサと 50Ω 抵抗を介して GND に終端します。
CLKIN_P	6		
CLKOUT0_N	14	O	差動クロック出力ペア。各ピンはオープン コレクタ出力で、50Ω 抵抗を内部的に内蔵し、出力スイングをプログラム可能です。AC 結合が必要です。このピンには、各ピンで 100Ω の差動負荷または 50Ω の負荷が想定されます。
CLKOUT0_P	15		
CLKOUT1_N	18		
CLKOUT1_P	19		
CLKOUT2_N	32		
CLKOUT2_P	33		
CLKOUT3_N	36		
CLKOUT3_P	37		
CS#	10	I	SPI チップ セレクト。高インピーダンスの CMOS 入力。最大 3.3V を受け入れます。このピンには、200Ω の抵抗を直列に接続する必要があります。
DAP	DAP	GND	これらのピンはグランドに接続します
GND	5、13、17、26、34、38		
LOGICLKOUT0_N	27	O	差動ロジック クロック出力ペア。CML または LVDS フォーマットを選択可能。LVDS フォーマットは、同相電圧をプログラム可能です。CML フォーマットには外部プル抵抗が必要です。
LOGICLKOUT0_P	28		
LOGISYSREFOUT_N / LOGICLKOUT1_N	23	O	差動ロジック クロック出力ペア。CML または LVDS フォーマットを選択可能。LVDS フォーマットは、同相電圧をプログラム可能です。CML フォーマットには外部プル抵抗が必要です。
LOGISYSREFOUT_P / LOGICLKOUT1_P	24		
MUXOUT	1	O	多重化ピンのシリアル データ読み戻しと、乗算器のロック ステータス。
SCK	8	I	SPI クロック。高インピーダンスの CMOS 入力。最大 3.3V を受け入れます。このピンには、200Ω の抵抗を直列に接続する必要があります。
SDI	9	I	SPI データ入力。高インピーダンスの CMOS 入力。最大 3.3V を受け入れます。このピンには、200Ω の抵抗を直列に接続する必要があります。
SYSREFREQ_N	3	I	JESD204B/C サポート用の差動 SYSREF 要求入力。各ピンに内部 50Ω 終端。1V ～ 2V の同相電圧を直接受け入れる AC および DC 結合をサポートしています。
SYSREFREQ_P	2		
SYSREFOUT0_N	11	O	JESD204B/C サポート向けの差動 SYSREF CML 出力ペア。0.5V ～ 1.5V のプログラマブル同相電圧で AC および DC 結合をサポートします。このピンには、100Ω の差動負荷が想定されます。
SYSREFOUT0_P	12		
SYSREFOUT1_N	21		
SYSREFOUT1_P	22		
SYSREFOUT2_N	29		
SYSREFOUT2_P	30		
SYSREFOUT3_N	39		
SYSREFOUT3_P	40		

表 4-1. ピンの機能 (続き)

名称	番号	タイプ[(1)]	説明
VCC_CLKIN	4	PWR	2.5V 電源に接続します。より大きいコンデンサ (通常は 1μF や 10μF) と並列にピンの近くにシャント高周波コンデンサ (通常は 0.1μF 以下) を配置することを推奨します。
VCC_LOGICLK	25		
VCC01	16		
VCC23	35		

(1) BYP = バイパス、GND = グランド、I = 入力、O = 出力、PWR = 電源

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)[1]

		最小値	最大値	単位
V_{CC}	電源電圧	-0.3	2.75	V
V_{IN}	DC 入力電圧 (SCK、SDI、CSB)	GND	3.6	V
V_{IN}	DC 入力電圧範囲 (SYSREFREQ)	GND	V_{CC} + 0.3	V
V_{IN}	AC 入力電圧 (CLKIN)		V_{CC}	Vpp
T_J	接合部温度		150	°C
T_{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン [1]	±2500	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン [2]	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{CC}	電源電圧	2.4	2.5	2.6	V
T_A	周囲温度	-55		85	°C
T_J	接合部温度			125	°C

5.4 熱に関する情報

記号	熱評価基準[1]	値	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	24.7	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	12.8	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	6.8	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.1	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	6.7	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	0.5	°C/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』*アプリケーション ノートを参照してください。

5.5 電気的特性

2.4V ≤ V_{CC} ≤ 2.6V、–55°C ≤ T_A ≤ +85°C。標準値は V_{CC} = 2.5V、25°C でのものです (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
消費電流							
I_{CC}	消費電流 (1)	電源投入、すべてのクロック出力と SYSREF がオン			1130		mA
		電源投入、すべてのクロック出力がオン、すべての SYSREF がオフ			700		
		電源投入、すべてのクロック出力と SYSREF がオフ			370		
		電源オフ			13.5		
I_{ADD}	追加出力電流	OUTx_PWR = 6			64		mA
	乗算器電流	分周、CLK_DIV = 8			60		
		乗算器、CLK_MULT = x8			360		
	SYSREF 電流	100MHz 生成モードで実行すると、すべての出力がオンになります			425		
	LOGICLK 電流	LOGISYSREF で LOGICLK が有効			85		
SYSREF							
f_{SYSREF}	SYSREF 出力周波数	ジェネレータ モード	ジェネレータ モード			200	MHz
f_{SYSREF}	SYSREF 出力周波数	リピータ モード	リピータ モード			100	MHz
T_{SYNC}	SYNC 信号に必要なパルス幅	Tsync = 6xT of f_{CLKIN}、f_{CLKIN} = 6GHz		1000			ps
Δt	SYSREF 遅延ステップ サイズ	Δt = SYSREF_DLY_DIV/ (508 x f_{CLKIN})、f_{CLKIN} = 12.8GHz			3		ps
t_{RISE}	立ち上がり時間 (20% から 80%)	SYSREFOUT			45		ps
		LOGISYSREFOUT	CML		65		ps
			LVDS		120	175	ps
t_{FALL}	立ち下がり時間 (20% ～ 80%)	SYSREFOUT			45		ps
		LOGISYSREFOUT	CML		65		ps
			LVDS		120	175	ps
V_{OD}DIFF	差動ピーク ツー ピーク出力電圧	SYSREFOUT、SYSREFx_PWR = 4、SYSREFx_VCM = 10			0.9		Vpp
		LOGISYSREFOUT	CML		0.9		Vpp
			LVDS		0.7		Vpp
$V_{SYSREFCM}$	同相電圧	SYSREFOUT	CML SYSREFx_VCM = 41、100Ω 差動負荷	1.35	1.5	1.65	V
			CML SYSREFx_VCM = 4、 100Ω 差動負荷	0.45	0.5	0.55	V
		LOGISYSREFOUT	LVDS 100Ω 差動負荷	0.8		1.4	V
SYSREFREQ ピン							
$V_{SYSREFIN}$	差動ピーク ツー ピーク電圧入力範囲	AC 差動電圧		0.475		2	Vpp
$V_{SYSREFIN}$	シングルエンド電圧入力範囲	SYSREFREQ_P に AC 結合、SYSREFREQ_N を GND に AC 結合	SYSREFREQ_P に AC 結合、SYSREFREQ_N を GND に AC 結合	0.6		1.7	Vpp

Copyright © 2026 Texas Instruments Incorporated

2.4V ≤ V_{CC} ≤ 2.6V、–55°C ≤ T_A ≤ +85°C。標準値は V_{CC} = 2.5V、25°C でのものです (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{CM}	入力同相電圧	差動 100Ω 終端、DC 結合 外部に設定		1.0	1.3	2	V
クロック入力							
f_{IN}	入力周波数			0.3		12.8	GHz
P_{IN}	入力電力	CLKIN_P または CLKIN_N でのシングルエンド電源		0		10	dBm
ϕ_{IN}	入力遅延範囲				60		ps
Δ_{IN}	入力遅延のプログラマブル ステップ				1.1		ps
クロック出力							
f_{OUT}	出力周波数	2 分周		0.15		6.4	GHz
		バッファ モード		0.3		12.8	
		乗算器 モード		6.4		12.8	
		LOGICLK 出力		1		800	MHz
t_{CAL}	キャリブレーション時間	乗算器のキャリブレーション時間	f_{IN} = 6.4GHz、x2 f_{SMCLK} = 28MHz		750		µs
p_{OUT}	出力電力	シングル エンド	$f_{CLKLOUT}$= 6GHz OUTx_PWR = 6		4.8		dBm
t_{RISE}	立ち上がり時間 (20% から 80%)	f_{CLKOUT} = 300MHz			45		ps
t_{FALL}	立ち下がり時間 (20% ～ 80%)	f_{CLKOUT} = 300MHz			45		ps
$V_{LOGICLKCM}$	同相電圧	LOGICLKOUT0	LVDS	0.8	1.2	1.4	V
ϕ_{IN}	出力遅延範囲				55		ps
$\Delta\phi_{IN}$	出力遅延のプログラマブル ステップ サイズ				0.9		ps
伝搬遅延とスキュー							
$\lvert t_{SKEW} \rvert$	複数の出力間のスキューの大きさ	CLKOUTx から CLKOUTy へ (LOGICLK ではない)			3	10	ps
$\lvert t_{SKEW} \rvert$	CLKOUT と SYSREF 間のスキューの大きさ	SYSREF 連続 / パルス モード	SYSREF 遅延ジェネレータのバイパス		60		ps
		SYSREF リピータ リタイミング モード	SYSREF 遅延ジェネレータのバイパス		100		ps
$\Delta t_{DLY}/\Delta T$	温度による伝搬遅延の変動	バッファ モード			0.06	0.1	ps/°C
t_{DLY}	伝搬遅延	バッファ モード	T_A = 25°C		165		ps
		デバイダ モード			175		ps
		乗算器 モード			155		ps
t_{DLY}	伝搬遅延	SYSREF 出力リピータ モード	T_A = 25°C		185		ps
ノイズ、ジッタ、スプリアス							
σ_{CLKOUT}	CLKOUT 追加ジッタ	付加ジッタ。100Hz ～ 100Mhz の積分帯域幅。	バッファ モード		10		fs、rms
			X2 乗算器		21		
			X3 乗算器		25		
			X4 乗算器		33		
			x5 乗算器		35		
			x6 乗算器		48		
			x7 乗算器		50		
			x8 乗算器		60		

2.4V ≤ V_{CC} ≤ 2.6V、–55°C ≤ T_A ≤ +85°C。標準値は V_{CC} = 2.5V、25°C でのものです (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
$1/f_{CLKOUT}$	1/f フリッカー ノイズ	スルー レート > 8V/ns、f_{CLK} = 6GHz、f_{Offset} = 10kHz	バッファ モード		-154		dBc/Hz
NF_{CLKOUT}	ノイズ フロア	スルーレート > 8V/ns、f_{OUT} = 6.4GHz、f_{Offset} = 100MHz	バッファ モード		-159		dBc/Hz
			2 分周		-158.5		
			乗算器 (x2、x3、x4、x5、x6、x7、x8)		-159.5		
$NF_{LOGICLK}$	ノイズ フロア	LOGICLK 出力、300MHz	CML		-150.5		dBc/Hz
			LVDS		-151.5		
H2	2 次高調波	バッファ モード f_{OUT} = 6.4GHz	差動		-25		dBc
			シングル エンド		-15		
		2 分周 f_{OUT} = 6.4GHz	シングル エンド		-17		
$H_{1/M}$	入力クロックのリーク スプリアス	f_{OUT} = 12GHz (差動)	x2 (f_{SPUR} = 6GHz)		-40		dBc
		f_{OUT} = 12GHz (差動)	x3 (f_{SPUR} = 4GHz)		-40		
		f_{OUT} = 12GHz (差動)	x4 (f_{SPUR} = 3GHz)		-50		
		f_{OUT} = 12GHz (差動)	x6 (f_{SPUR} = 2GHz)		-50		
		f_{OUT} = 10GHz (差動)	x5 (f_{SPUR} = 2GHz)		-50		
		f_{OUT} = 10.5GHz (差動)	x7 (f_{SPUR} = 1.5GHz)		-52		
		f_{OUT} = 12GHz (差動)	x8 (f_{SPUR} = 1.5GHz)		-55		
$P_{crosstalk}$	LOGICLK から CLKOUT へ	f_{SPUR} = 300MHz (差動)			-70		dBc
	SYSREFOUT から CLKOUT	生成モード			-70		dBc
		リピータ モード			-65		dBc
P_{LEAK}	バッファ モードでの CLKIN から CLKOUT へのリーケージ	差動入力			-60		dBc
デジタル インターフェイス (SCK、SDI、CS#、MUXOUT)							
V_{IH}	High レベル入力電圧	SCK、SDI、CS#		1.4		3.3	V
V_{IL}	Low レベル入力電圧			0		0.4	
V_{OH}	High レベル出力電圧	I_{OH} = 5mA		1.4		Vcc	
		I_{OH} = 0.1mA		2.2		Vcc	
V_{OL}	Low レベル出力電圧	I_{OL} = 5mA				0.45	
I_{IH}	High レベル入力電流					75	μA
I_{IL}	Low レベル入力電流			-25			

(1) 特に記述のない限り、f_{CLKIN} = 6.4GHz、CLK_MUX = バッファ、すべてのクロックは OUTx_PWR = 6、SYSREFREQ_MODE = 1 でオンになります。

5.6 タイミング要件

			最小値	公称値	最大値	単位
タイミング要件						
f_{SPI}	SPI 読み出し/書き込み速度				20	MHz
t_{CE}	クロックからイネーブル low 時間		20			ns
t_{CS}	クロックからデータまでの待機時間		10			ns
t_{CH}	クロックからデータまでのホールド時間		5			ns
t_{CWH}	クロック パルス幅 high		10			ns

Copyright © 2026 Texas Instruments Incorporated

			最小値	公称値	最大値	単位
t_{CWL}	クロック パルス幅 low		10			ns
t_{CES}	クロック セットアップ時間をイネーブル		15			ns
t_{EWH}	パルス幅 high をイネーブル		15			ns
t_{CD}	立ち下がりクロック エッジからデータ待ち時間まで		40			ns

5.7 タイミング図

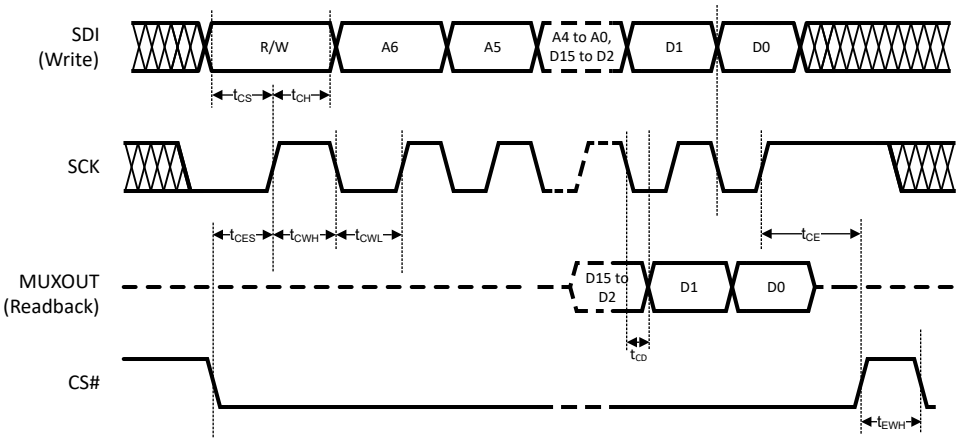


図 5-1. シリアル データ入力のタイミング図

SPI に書き込む場合、他にも次のような考慮事項があります。

- R/W ビットを 0 に設定する必要があります。
- SDI ピンのデータは、SCK ピンの各立ち上がりエッジでシフト レジスタに取り込まれます。
- データをクロックするには、CS# を low に保持する必要があります。CS# が high に保持されている場合、デバイスはクロックパルスを無視します。
- このデバイスの推奨 SPI 設定は、CPOL = 0 および CPHA = 0 です。
- SCK ラインと SDI ラインがデバイス間で共有されている場合は、クロック供給しないデバイスについて CS# ラインを high に保持することを推奨します。

SPI 読み戻しには、他にもいくつかの考慮事項があります。

- R/W ビットを 1 に設定する必要があります。
- MUXOUT ピンは、トランザクションのアドレス部分において、トライステート状態を維持します。
- MUXOUT のデータは、SCK の立ち下がりエッジでクロック アウトします。つまり、読み戻しデータは、クロックの立ち下がりエッジ後に MUXOUT ピン t_{CD} で利用可能です。
- SDI ラインの遷移のデータ部分は、常に無視されます。
- MUXOUT ピンは、読み戻しトランザクション中に自動的にイネーブルになります。読み戻し動作終了後、自動的にトライステート状態となります。MUXOUT ピンには乗算器モードでのデュアル機能があり、MUXOUT ピンにも乗算器のロック ステータスが表示されます。SPI バスの読み戻しピンを他のデバイスと共有するときは、乗算器モードで読み戻しが必要な場合は、LD_DIS = 1 に設定してください。
- READBACK_CTRL が 0 に設定されている場合、R/W ビットについても、読み戻される値は必ずしも書き込まれる値ではなく、プログラムされた値やピンの状態など他の要因が考慮された内部デバイス状態です。

5.8 代表的特性

特に記載のない限り、次の条件が想定されています。温度 = 25°C、Vcc = 2.5V、OUTx_PWR = 6、CLKx_DLY = 8、CLKIN_N はピンで 10dBm でシングルエンドを駆動します。使用する信号源は、超低ノイズ オプション B711 の SMA100B です。位相ノイズ アナライザは FSWP50 です。

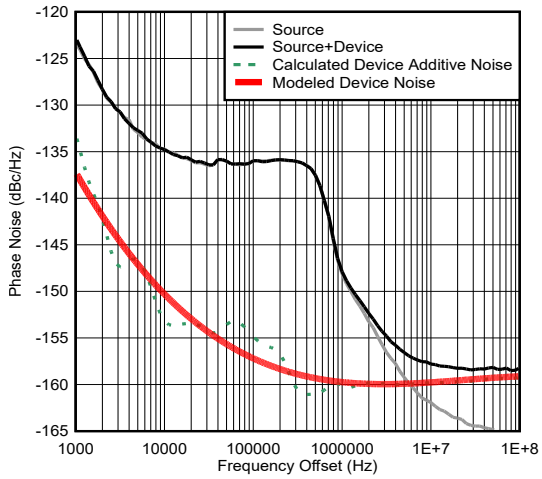


図 5-2. 6.4GHz 出力のバッファ モードでの位相ノイズ プロット

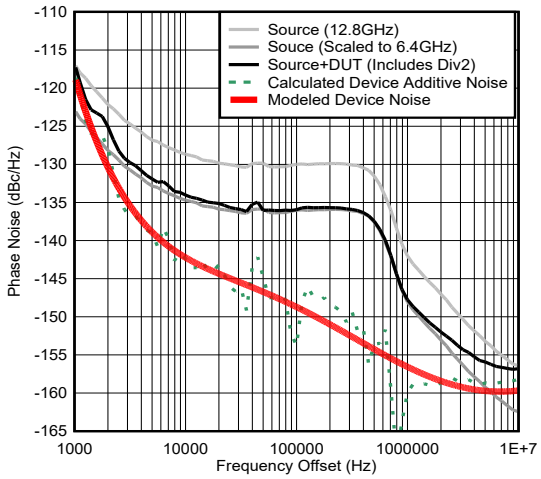


図 5-3. 6.4GHz 出力の分周器モードでの位相ノイズ プロット

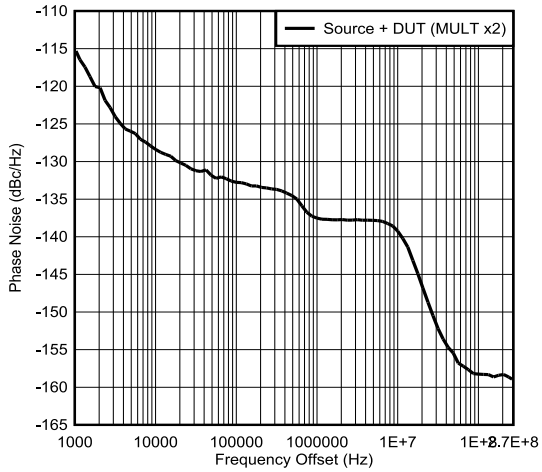


図 5-4. 6.4GHz 出力の乗算器モードでの位相ノイズ プロット

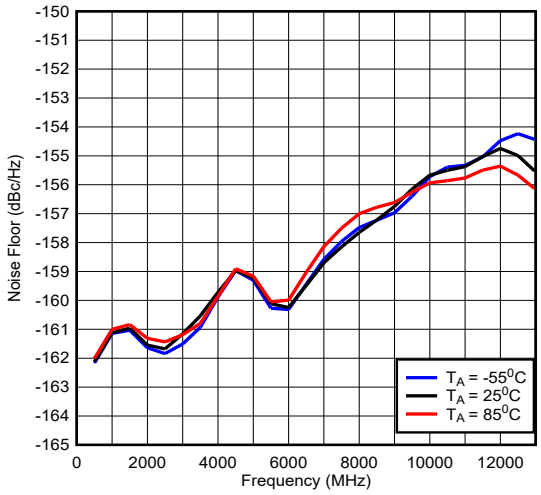


図 5-5. バッファ モードのノイズ フロア

Copyright © 2026 Texas Instruments Incorporated

5.8 代表的特性 (続き)

特に記載のない限り、次の条件が想定されています。温度 = 25°C、Vcc = 2.5V、OUTx_PWR = 6、CLKx_DLY = 8、CLKIN_N はピンで 10dBm でシングルエンドを駆動します。使用する信号源は、超低ノイズ オプション B711 の SMA100B です。位相ノイズ アナライザは FSWP50 です。

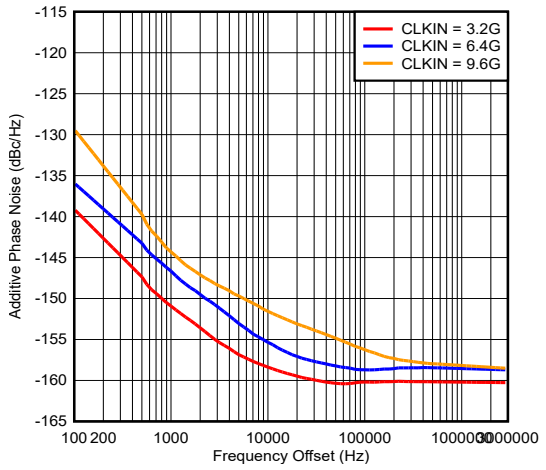
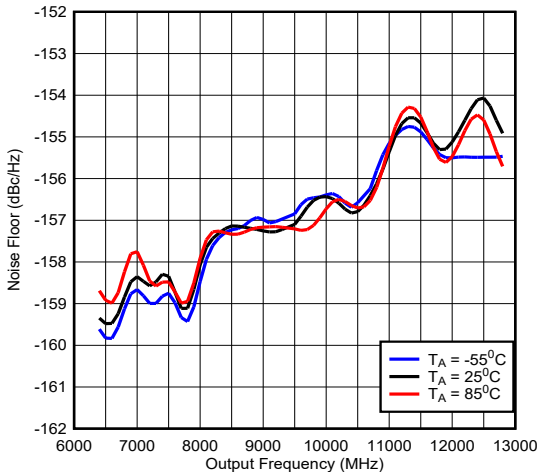
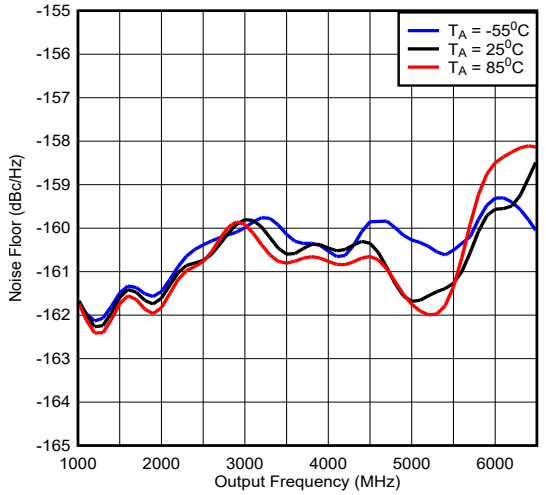


図 5-6. バッファ モードでのフリッカー ノイズ



乗算器の値 x2

図 5-7. 乗算器モードでのノイズフロア



分周器の値 - 2

図 5-8. 分周器モードでのノイズフロア

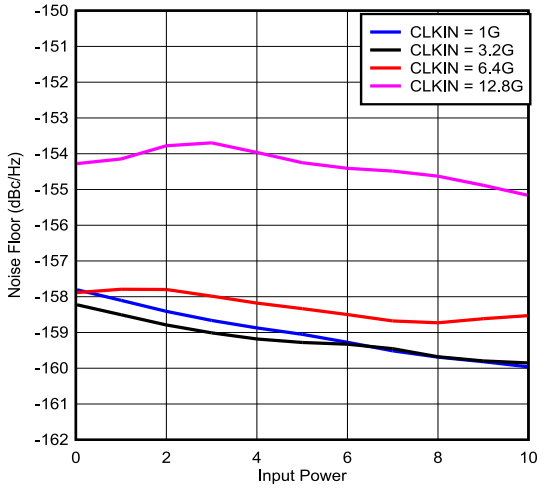


図 5-9. バッファ モードのノイズ フロア

5.8 代表的特性 (続き)

特に記載のない限り、次の条件が想定されています。温度 = 25°C、Vcc = 2.5V、OUTx_PWR = 6、CLKx_DLY = 8、CLKIN_N はピンで 10dBm でシングルエンドを駆動します。使用する信号源は、超低ノイズ オプション B711 の SMA100B です。位相ノイズ アナライザは FSWP50 です。

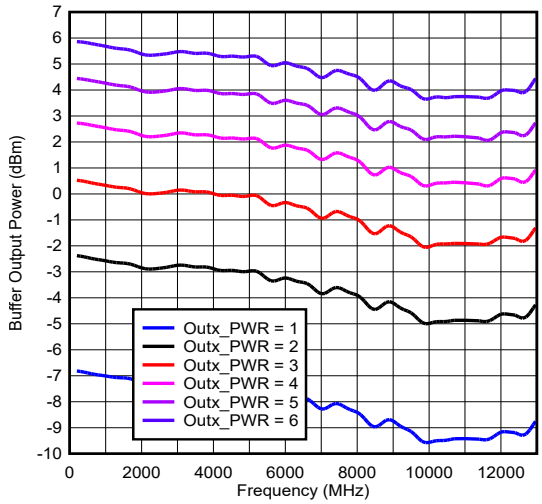


図 5-10. シングルエンド出力電力

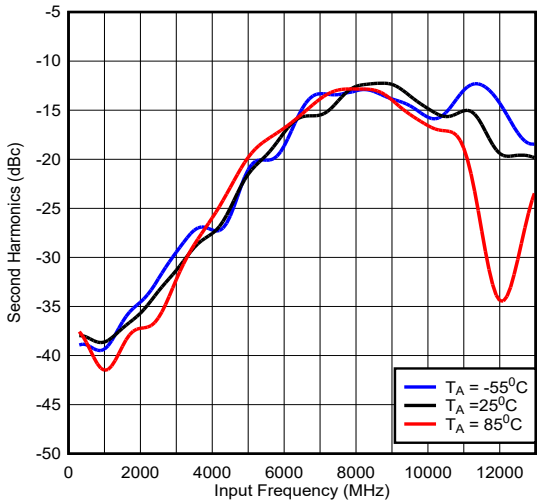
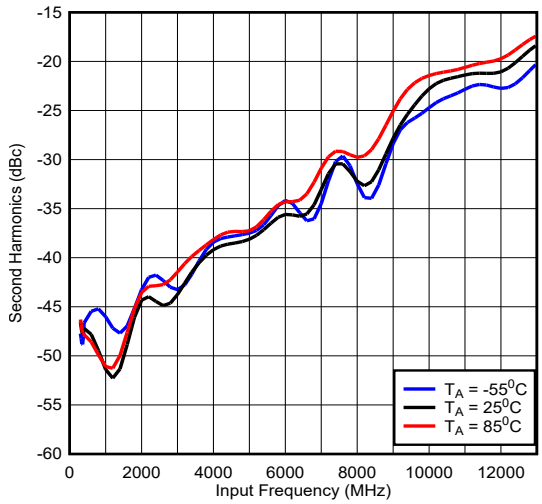
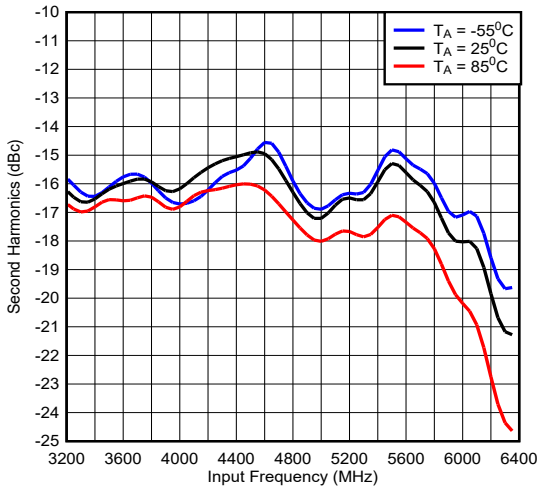


図 5-11. バッファ モードでの第 2 高調波



分周器の値:x2

図 5-12. 分周器モードでの第 2 高調波



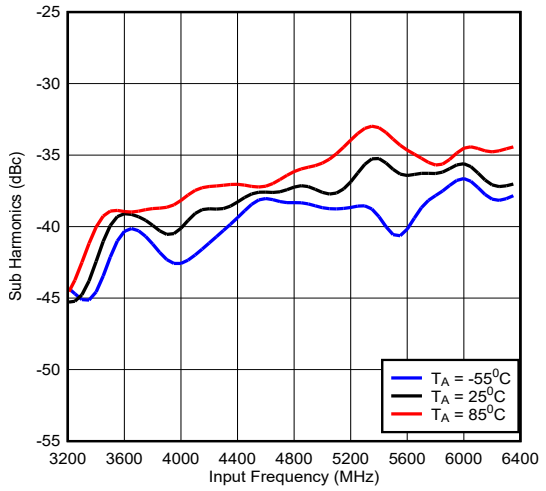
乗算器の値:x2

図 5-13. 乗算器モードでの第 2 高調波

Copyright © 2026 Texas Instruments Incorporated

5.8 代表的特性 (続き)

特に記載のない限り、次の条件が想定されています。温度 = 25°C、Vcc = 2.5V、OUTx_PWR = 6、CLKx_DLY = 8、CLKIN_N はピンで 10dBm でシングルエンドを駆動します。使用する信号源は、超低ノイズ オプション B711 の SMA100B です。位相ノイズ アナライザは FSWP50 です。



乗算器の値:x2、シングルエンド入力

図 5-14. 乗算器モードでの低調波

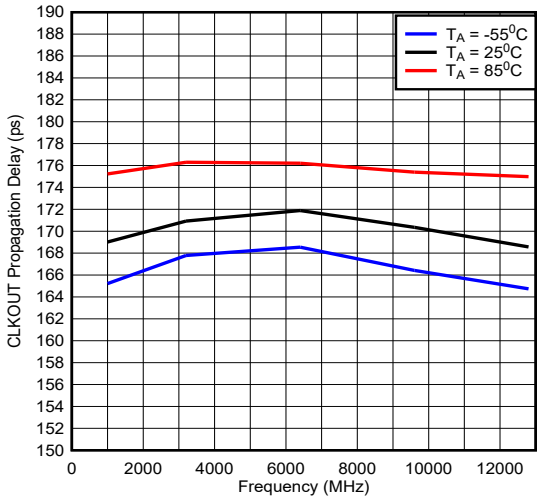


図 5-15. バッファ モードでの CLKOUT 伝搬遅延

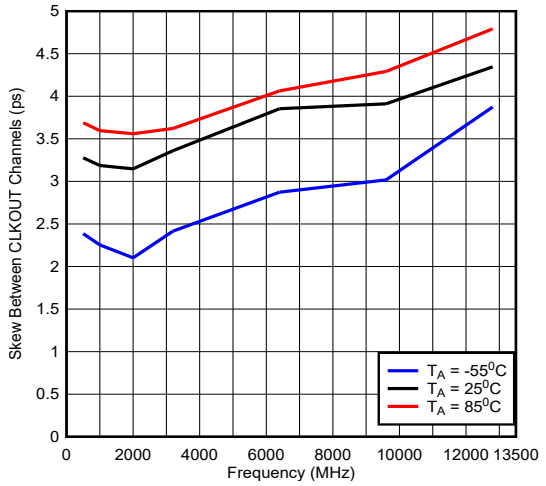


図 5-16. CLKOUT チャネル間のスキュー

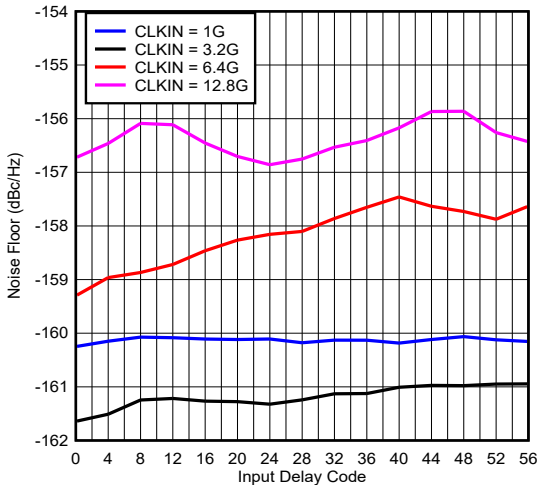


図 5-17. バッファ モードの入力遅延コードに対するノイズフロア

5.8 代表的特性 (続き)

特に記載のない限り、次の条件が想定されています。温度 = 25°C、Vcc = 2.5V、OUTx_PWR = 6、CLKx_DLY = 8、CLKIN_N はピンで 10dBm でシングルエンドを駆動します。使用する信号源は、超低ノイズ オプション B711 の SMA100B です。位相ノイズ アナライザは FSWP50 です。

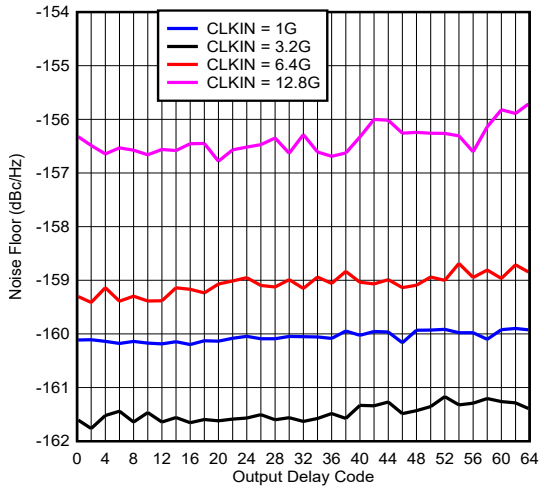


図 5-18. バッファ モードの出力遅延コードに対するノイズフロア

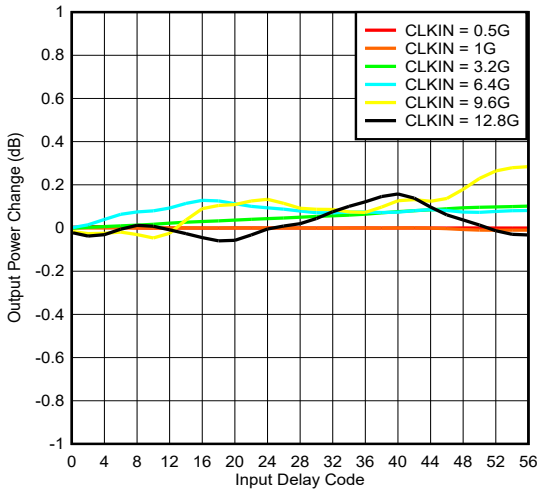


図 5-19. 入力遅延コードに対する出力電力

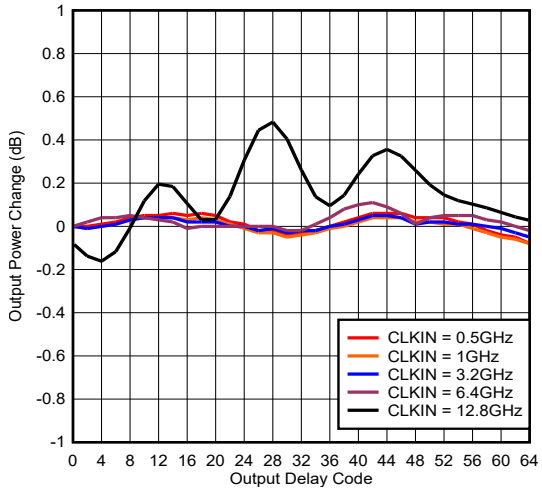
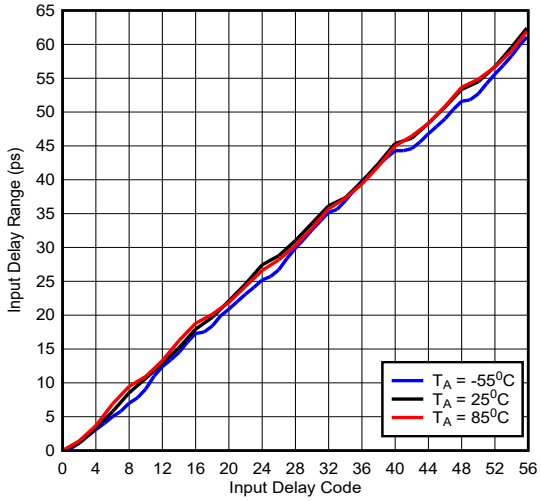


図 5-20. 出力遅延コードに対する出力電力



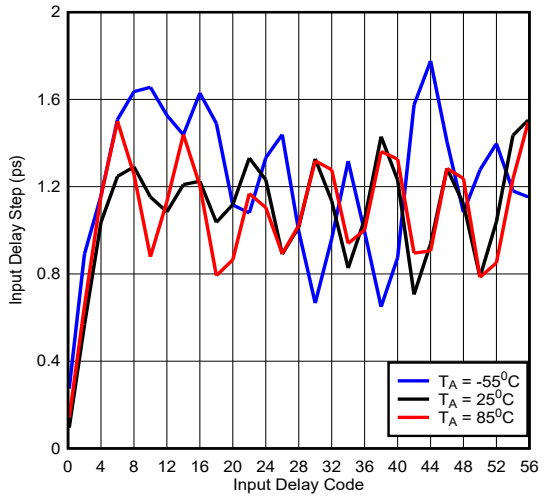
CLKIN 周波数 = 6.4GHz

図 5-21. クロック入力遅延範囲

Copyright © 2026 Texas Instruments Incorporated

5.8 代表的特性 (続き)

特に記載のない限り、次の条件が想定されています。温度 = 25°C、Vcc = 2.5V、OUTx_PWR = 6、CLKx_DLY = 8、CLKIN_N はピンで 10dBm でシングルエンドを駆動します。使用する信号源は、超低ノイズ オプション B711 の SMA100B です。位相ノイズ アナライザは FSWP50 です。



CLKIN 周波数 = 6.4GHz

図 5-22. クロック入力遅延のステップ サイズ

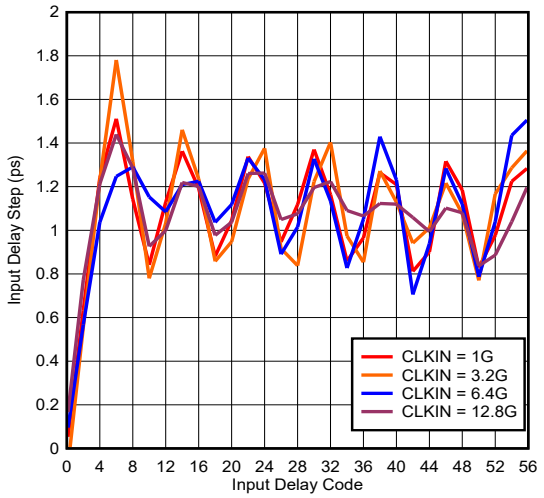
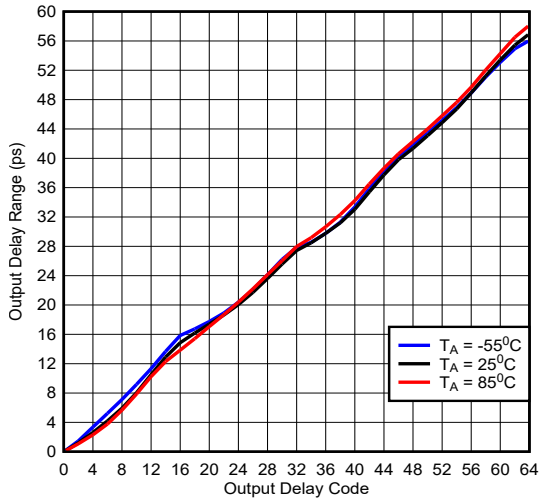
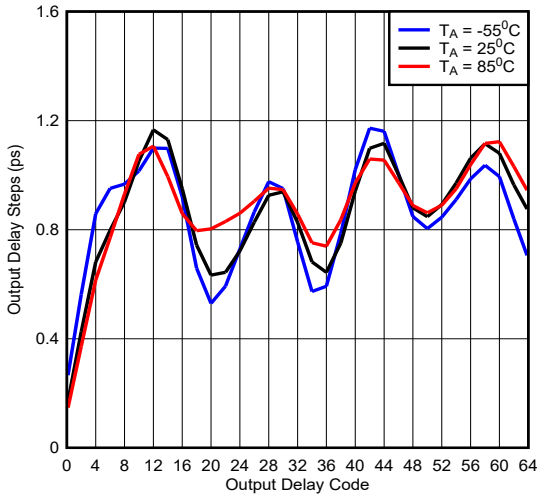


図 5-23. クロック入力遅延のステップ サイズ



CLKIN 周波数 = 6.4GHz

図 5-24. クロック出力遅延範囲



CLKIN 周波数 = 6.4GHz

図 5-25. クロック出力遅延のステップ サイズ

5.8 代表的特性 (続き)

特に記載のない限り、次の条件が想定されています。温度 = 25°C、Vcc = 2.5V、OUTx_PWR = 6、CLKx_DLY = 8、CLKIN_N はピンで 10dBm でシングルエンドを駆動します。使用する信号源は、超低ノイズ オプション B711 の SMA100B です。位相ノイズ アナライザは FSWP50 です。

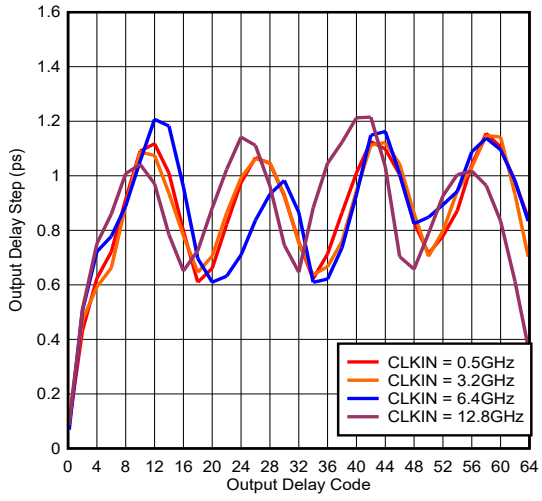
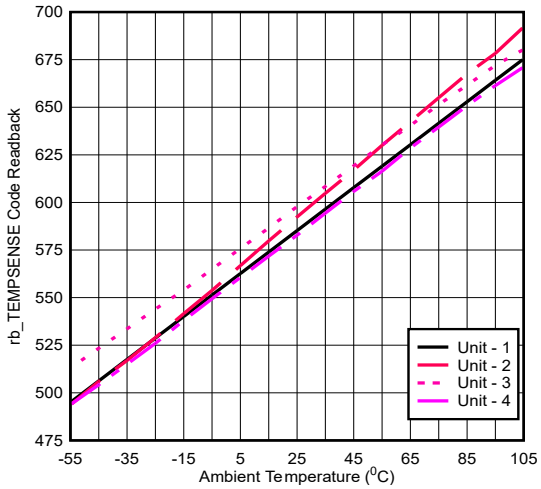


図 5-26. クロック出力遅延のステップ サイズ



接合部温度 = 周囲温度になるようにパワーダウン モードで測定。

図 5-27. 温度センサの読み戻し

Copyright © 2026 Texas Instruments Incorporated

6 詳細説明

6.1 概要

LMX1205-EP には 4 つのメイン クロック出力と、1 つの LOGICLK 出力があります。メイン クロック出力は、すべて同じ周波数です。この周波数は、入力クロックと同じ、分周、または乗算を行うことができます。これらのクロック出力は、それぞれ独立してプログラマブルな電力レベルがあります。LOGICLK の出力周波数はクロック入力と同じ周波数または分周可能であり、出力フォーマット (CML および LVDS) と電力レベルはプログラマブルです。第 2 の LOGICLK は、LOGICLK0 パスで 1、2、4、8 の追加分周を使用して、LOGISYSREF 出力ピンで生成できます。

SYSRE は、SYSREFREQ ピンから入力を繰り返すか、内部で生成できます。SYSREF の内部ウィンドウ機能により、デバイスの内部タイミングを調整して、CLKIN 入力を基準とした SYSREFREQ 入力のセットアップ / ホールド時間を最適化できます。この機能では、SYSREF エッジと次の立ち上がりクロック エッジとの間の遅延が整合している必要があります。5 つの出力にはそれぞれ、個別のプログラマブルな遅延とプログラマブルな同相モードを持つ対応する SYSREF 出力があります。LOGISYSREF 出力の場合、出力フォーマットは CML または LVDS としてプログラムできます。

6.1.1 分周器および乗数の範囲

周波数分周器により、MAIN および LOGICLK 出力を入力クロックの分周値にすることができます。SYSREF 分周器は、SYSREF の生成と遅延のために入力クロックを分周するために使用されます。乗算器では、出力クロックを入力クロックよりも高い周波数にすることができます。

表 6-1. 分周器および乗数の範囲

カテゴリ			RANGE	備考
メイン クロック	バッファ			
	デバイダ		2、3、4、5、6、7、8	奇数分周 (1 を除く) のデューティ サイクルは 50% です
	乗算器		2、3、4、5、6、7、8	
LOGICLK	分周	プレデバイド	1、2、4	TotalDivide = PreDivide × Divide0 奇数分周 (1 を除く) のデューティ サイクルは 50% です ロジック CLK2 TotalDivide = PreDivide x Divide0 x Divide1
		Divide0	1, 2, 3, … 1023	
		Divide1	1、2、4、8	
SYSREF	周波数生成の分周	プレデバイド	1.2、4	SYSREF 生成のためにクロックを分周します。 TotalDivide = PreDivide×Divide 奇数分周のデューティ サイクルは 50% です
		分周	2, 3, 4,… 4095	
	遅延生成のため分周	分周	2、4、8、16	この分周値は位相補間用で、入力周波数に応じて設定されます。

6.2 機能ブロック図

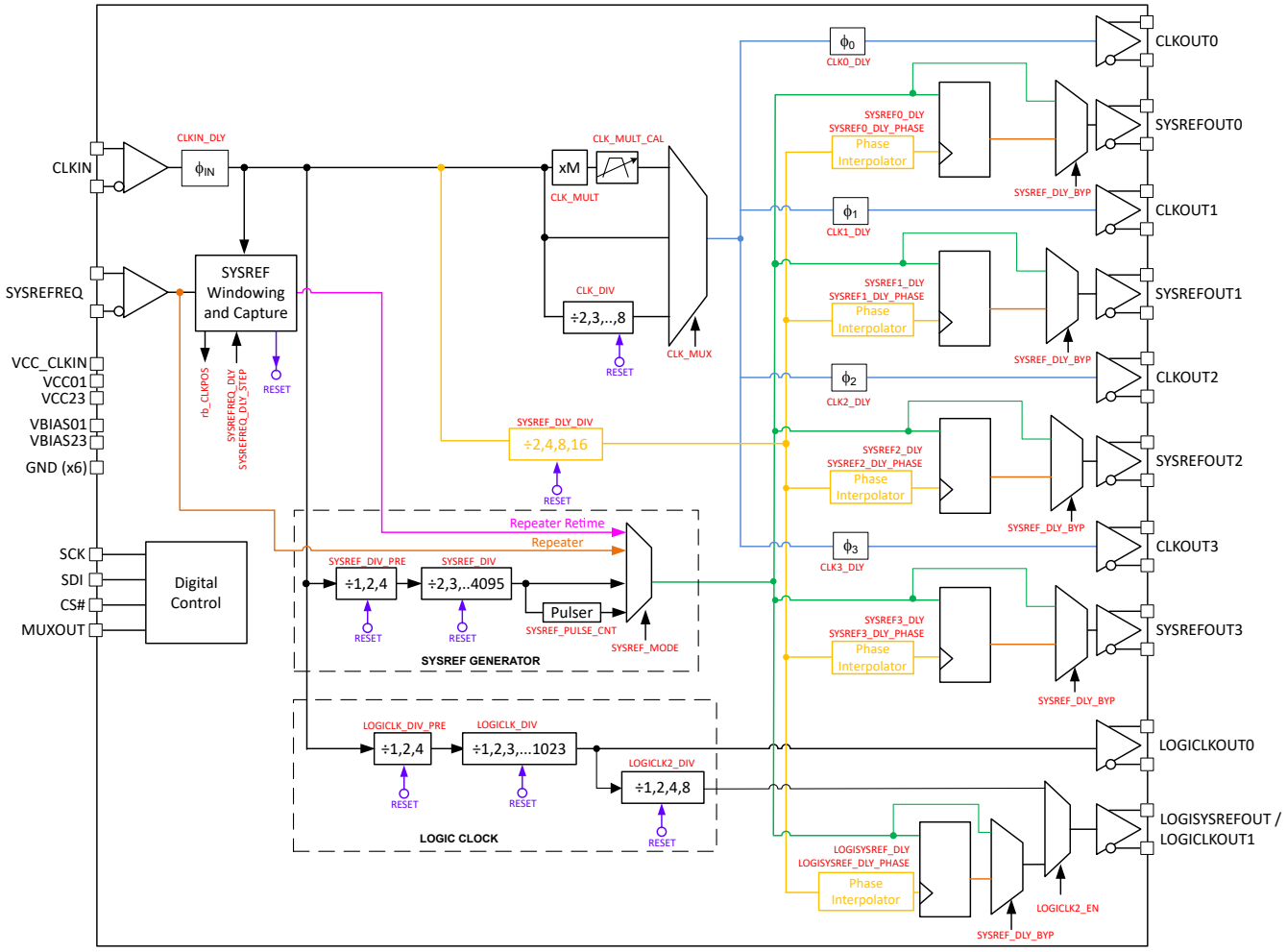


図 6-1. 機能ブロック図

Copyright © 2026 Texas Instruments Incorporated

6.3 機能説明

6.3.1 パワーオン リセット

デバイスの電源を投入すると、パワーオン リセット (POR) により、すべてのレジスタがデフォルト状態にリセットされ、すべてのステート マシンおよび分周器がリセットされます。パワーオン リセット状態では、すべての SYSREF 出力が無効になり、すべての分周器がバイパスされて、デバイスは 4 出力バッファとして動作します。電源レール投入後、RESET の完了を確認するため、他のレジスタをプログラムする前に 100µs 待つ必要があります。デバイス クロックがないときにパワーオン リセットが発生した場合、デバイスは正しく機能しますが、入力クロックが供給されると電流が変化します。

SPI バス に RESET = 1 を書き込み、ソフトウェア パワーオン リセットを実行することも可能であり、一般的に適切な方法です。他のレジスタに書き込まれると、RESET ビットは自動的にクリアされます。SPI バスを使用すると、これらの状態を目的の設定にオーバーライドできます。

デバイスには自動パワー オン リセットがありますが、特に強い入力クロック信号が存在する場合、デバイスはさまざまな電源ピンのさまざまなランプ レートの影響を受ける可能性があります。POR 後にソフトウェア リセットを実行することをお勧めします。リセットは、RESET = 1 をプログラムすることで実行できます。リセット ビットは、他のレジスタをプログラムすることでも、RESET をゼロに戻すことでもクリアできます。許容される最大 SPI バス速度でも、ソフトウェア リセット イベントは次の SPI 書き込みより前に必ず完了します。

6.3.2 温度センサ

接合部温度は、特性評価などの目的で、または温度に基づいて調整を行うために読み戻すことができます。このような調整には、CLKx_PWR を調整して出力電力をより安定させたり、温度による伝搬遅延の変化を補償するために外部またはデジタル遅延を使用することが含まれます。

接合部温度は一般に、デバイスの出力と他の機能による消費電力により、周囲温度よりも高くなります。式 1 に、コード読み戻しと接合部温度との関係を示します。

$$\text{Temperature} = 0.65 \times \text{Code} - 351 \tag{1}$$

式 1 は、低速、公称、高速コーナー ロット (合計 9 パーツ) から作成された 3 つのデバイスから作成された最適なラインに基づいています。ベストフィットの線で予測される温度からの実際の温度のワーストケースの変動は 13°C で、20 のコードで機能します。

6.3.3 クロック入力

CLKIN_P ピンおよび CLKIN_N ピンへのクロック入力は AC 結合する必要があります。シングルエンド クロック入力の場合、最適な位相ノイズ性能を実現するため、CLKIN_N ピンに入力を供給します。

デバイスの内部アーキテクチャに基づき、最適なデバイス性能を得るには、CLKIN_P ピンと CLKIN_N ピンの間の電圧オフセットが必要です。オフセットを生成するには、外付け抵抗を使用して CLKIN_P および CLKIN_N ピンをバイアスする必要があります。バイアス ネットワーク回路は以下のようにする必要があります。推奨される抵抗値は R2 = 9.5k、R3 = 7.5K であり、R1 と R4 は実装しないものとします。

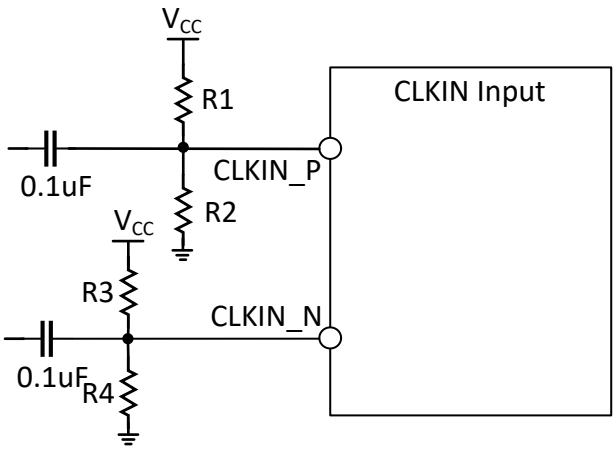


図 6-2. CLKIN 入力ピン外部バイアス ネットワーク

6.3.3.1 クロック入力可変遅延

クロック入力により、標準的な平均ステップ サイズ 1.1ps で 0 ～ 60ps の範囲の可変遅延を追加できます。

6.3.4 クロック出力

このデバイスには、共通の周波数を共有する 4 つのメイン出力クロックがあります。この中には、追加の低周波数 LOGICLK 出力は含まれていません。

6.3.4.1 クロック出力バッファ

出力バッファの形式は、CML と同様の、プルアップ抵抗が内蔵されたオープンコレクタです。

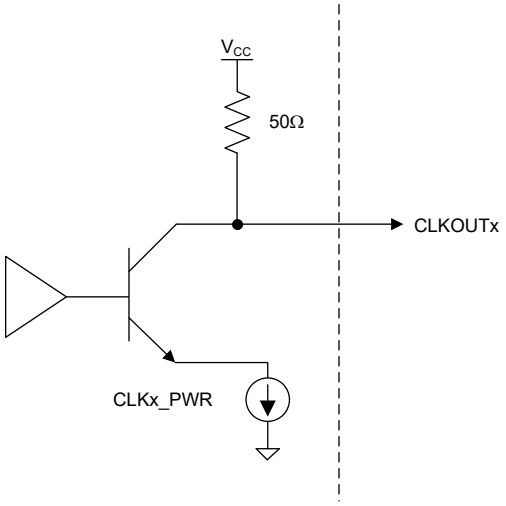


図 6-3. CLKOUT 出力バッファ

CLKx_EN ビットは、出力バッファを有効化できます。バッファの出力電力は、CLKx_PWR フィールドで個別に設定可能です。ただし、これらのフィールドは出力バッファのみを制御し、このバッファを駆動する内部チャネルパスは制御しません。パス全体をパワーダウンするには、CHx_EN ビットをディセーブルにします。

表 6-2. クロック出力電力

CHx_EN	内部チャネル パス	CLKx_EN	CLKx_PWR	出力バッファ
0	電源オフ	ドント ケア	ドント ケア	電源オフ

Copyright © 2026 Texas Instruments Incorporated

表 6-2. クロック出力電力 (続き)

CHx_EN	内部チャネル パス	CLKx_EN	CLKx_PWR	出力バッファ
1	電源オン	0	ドント ケア	電源オフ
		1	0	最小
			1	
			...	
			6	最大

6.3.4.2 クロック出力可変遅延

すべてのクロック出力には個別にプログラマブルな遅延があり、0 ～ 55ps の範囲で標準的な平均ステップ サイズ 0.9ps で設定できます。1.5GHz 未満の出力周波数で最高のノイズ性能を実現するには、4 以上の出力遅延コードを使用します。

6.3.4.3 クロック MUX

4 つのメイン クロックは同じ周波数である必要がありますが、この周波数は、バイパス、乗算、または分周できます。これは、CLK_MUX ワードによって決定されます。

表 6-3. クロック MUX

CLK_MUX	オプション	サポートされている値
0	バッファ モード	÷1 (バイパス)
1	デバイダ モード	÷2、3、4、5、6、7、8
2	乗算器 モード	x2、x3、x4、x5、x6、x7、x8

6.3.4.4 クロック分周比

6.3.4.5 クロック 乗算器

6.3.4.5.1 クロック乗算器に関する一般情報

クロック乗算器は、入力クロック周波数を ×2、×3、×4、×5、×6、×7、×8 の係数で乗算するために使用できます。乗算値は、CLK_MULT フィールドによって設定されます。乗算器は PLL ベースで、内蔵 VCO が含まれるため、乗算器にはステート マシン クロックがあり、キャリブレーションを必要とし、ロック検出機能があります。

6.3.4.5.2 クロック 乗算器のステート マシン クロック

ステート マシン クロック周波数 (f_{SMCLK}) は、入力クロック周波数をプログラムされた分周値で分周することで得られます。乗算器のキャリブレーションとロック検出にも、ステート マシンのクロックも必要です。

6.3.4.5.2.1 ステート マシン クロック

ステート マシン クロックは、すべての動作モード (バッファ、分周器、乗算器) で有効化する必要があります。このデバイスではパワーオン リセットのデフォルト設定値 SMCLK_EN = 1 があり、このフィールドを他の状態に変更することはできません。SMCLK_EN の状態はレジスタ R2[5] ビットで読み戻すことができます。本デバイスを適切に構成するには、CLKIN ピンに入力クロックを印加する必要があります。

ステート マシンのクロックは 30MHz 未満にする必要があり、周波数は次のようになります。

$f_{SMCLK} = f_{CLKIN} / (SMCLK_DIV_PRE \times SMCLK_DIV)$

6.3.4.5.3 クロック 乗算器のキャリブレーション

最適な位相ノイズを得るために、乗算器の VCO は周波数範囲をさまざまなバンドおよびコアに分割し、バンドおよびコアごとに最適化された振幅設定を持っています。このため、最初の使用時、または周波数を変更したときに、キャリブレーション ルーチンを実行して、コア、周波数帯域、および振幅の正しい設定を決定する必要があります。キャリブレーションを実行するために、R0 レジスタを有効な入力信号でプログラムします。信頼性の高い乗算器 キャリブレーションを実現するには、ステート マシンのクロック周波数を SPI 書き込み速度の 2 倍以上、30MHz 以下にする必要があります。

CLK_MUX モードを変更した場合、または乗算器を初めてキャリブレーションする場合は常に、キャリブレーション時間が 5ms 程度大幅に長くなります。

6.3.4.5.4 クロック 乗算器のロック検出

乗算器のロック検出ステータスは、rb_LOCK_DETECT フィールドまたは MUXOUT ピンから読み出すことができます。ロック検出が正しく動作するには、ステート マシンのクロックが動作している必要があります。

6.3.5 LOGICLK 出力

LOGICLK 出力は、FPGA などの低周波数クロックを使用するデバイスの駆動に使用できます。必要な LOGICLK が 1 つだけの場合、対応する SYSREF 出力は JESD204B/C インターフェイス クロックとしても使用されます。LOGICLK 出力は、プログラマブルな出力形式と、それに対応する SYSREF 出力を備えています。

6.3.5.1 LOGICLK 出力フォーマット

LOGICLKOUT0 および LOGICLKOUT1 出力フォーマットは、LVDS および CML モードにプログラムできます。出力フォーマットによっては、同相電圧はプログラム可能であるか、外部コンポーネントが必要になる場合があります (表 6-4 を参照)。

LOGICLKOUT1 出力の同相モードおよびフォーマットは、LOGISYSREFOUT / LOGICLKOUT1 出力バッファ構成(表 6-10) に示すようにプログラムできます。

表 6-4. LOGICLKOUT0 のフォーマットとプロパティ

LOGICLK_FMT	フォーマット	外付け部品必要	出力レベル	同相モード
0	LVDS	なし	LOGICLK_PWR によりプログラム可能	LOGICLK_VCM によりプログラム可能。
2	CML	プルアップ抵抗 50Ω を V_{CC} へ	LOGICLK_PWR によりプログラム可能	LOGICLK_VCM は影響を与えませんが、この変更は LOGICLK_PWR で行われます。

表に、プログラマブルな LOGICLK_VCM 設定におけるロジック クロック LVDS フォーマットのシングルエンド スイングと、サポートされる同相電圧を示します。

表 6-5. LOGICLK LVDS 同相電圧と LOGICLK_VCM との関係

LOGICLK_VCM	LOGICLK VOD スイング - シングルエンド ピーク ツー ピーク (V)	LOGICLK 同相電圧 (V)
6	0.37	0.81
5	0.36	0.90
4	0.35	0.99
3	0.34	1.09
2	0.33	1.18
1	0.31	1.27

次の表に、LOGICLK_PWR 設定に対応する LOGICLK_VCM 範囲をサポートするロジック クロック LVDS フォーマットを示します。

表 6-6. サポートされている LOGICLK_VCM 設定

LOGICLK_PWR	LOGICLK VOD スイング - シングルエンド ピーク ツー ピーク (V)	サポートされる VOCM 範囲	サポートされる LOGICLK_VCM 範囲	
			最小コード	最大コード
0	0.1	0.8～1.4	0	6
1	0.15	0.8～1.4	0	6
2	0.2	0.8～1.4	0	6

Copyright © 2026 Texas Instruments Incorporated

表 6-6. サポートされている LOGICLK_VCM 設定 (続き)

LOGICLK_PWR	LOGICLK VOD スイング - シングルエンド ピーク ツーピーク (V)	サポートされる VOCM 範囲	サポートされる LOGICLK_VCM 範囲	
			最小コード	最大コード
3	0.25	0.75～1.35	0	6
4	0.3	0.8～1.3	1	6
5	0.35	0.8～1.3	1	6
6	0.4	0.9～1.3	2	6
7	0.5	0.9～1.2	3	6

6.3.5.2 LOGICLK 分周器

LOGICLK の出力には、LOGICLK_DIV_PRE 分周器、LOGICLK_DIV 分周器、LOGICLK2_DIV 分周器を使用します。LOGICLK_DIV_PRE デバイダは、LOGICLK_DIV デバイダへの入力が 3.2GHz 以下であることを確認するために、周波数を分周するために必要です。LOGICLK2_DIV は、LOGICLKOUT1 出力を生成するための追加の分周器です。LOGICLK_DIV が偶数でなく、バイパスされていない場合、デューティ サイクルは 50% ではありません。すべての LOGICLK 分周器は SYNC 機能によって同期されるため、複数のデバイス間で同期が可能です。表 6-7 に、ロジック クロックの分周器の全範囲を示します。

表 6-7. LOGICLK 分周器の範囲

f_{CLKIN} (MHz)	LOGICLK_DIV_PRE	LOGICLK_DIV	LOGICLK2_DIV	LOGICLKOUT0 の合計分周範囲	LOGICLKOUT1 の合計分周範囲
f_{CLKIN} ≤ 3.2GHz	÷1, 2, 4	÷1, 2, 3, …1023	÷1、2、4、8	[1, 2, ...1023] [2, 4, ...2046] [4, 8, ...4092]	[1, 2, ...32736]
3.2GHz < f_{CLKIN}≤ 6.4GHz	÷2, 4	÷1, 2, 3, …1023	÷1、2、4、8	[2, 4, ...2046] [4, 8, ...4092]	[2, 4, ...32736]
f_{CLKIN} > 6.4GHz	÷4	1, 2, 3, …1023	÷1、2、4、8	[4, 8, ...4092]	[4, 8, ...32736]

6.3.6 SYSREF

SYSREF により、メイン クロック出力または LOGICLK 出力にリクロックされる低周波数の JESD204B/C 準拠信号を生成できます。CLKOUT 出力と SYSREF 出力の間の遅延は、ソフトウェアで調整できます。SYSREF 出力は、内部の SYSREF 分周器を使用するジェネレータとして、または SYSREFREQ ピンの信号を複製するリピータとして構成できます。メインクロックと LOGICLK 出力の両方の SYSREF ジェネレータは同じです。

表 6-8. SYSREF モード

SYSREF_MODE	説明
0	ジェネレータ モード 内部ジェネレータにより、SYSREF パルスの連続ストリームが生成されます。SYSREFREQ_INPUT ビットの設定は、SYSREFREQ ピンまたはチャネルからのロジック High を用いて SYSREF 分周器をゲートし、SYSREF 分周器の同期を中断せずにノイズ分離を向上させるために使用されます。SYSREF 出力を得るためには、SYSREFREQ_INPUT ビットを SYSREFREQ ピン入力用に設定するか、SYSREFREQ_INPUT[1] を 0 から 1 に切り替えて強制的に High にする必要があります。
1	パルサ 内部ジェネレータは、SYSREF_PULSE_CNT により設定される 1 ～ 16 パルスのバーストを生成します。このバーストは、SYSREFREQ_INPUT の設定により、SYSREFREQ ピンの立ち上がりエッジ、または SYSREFREQ_INPUT[1] を 0 から 1 に変更して強制的に High にしたときに発生します。

表 6-8. SYSREF モード (続き)

SYSREF_MODE	説明
2	反復モード SYSREFREQ ピン入力は、SYSREFOUT 出力ピンにバイパスされます。遅延が必要な場合、SYSREFREQ ピンの入力は、SYSREF_DLY_BYP フィールドに従ってクロック出力にリクロックされてから、SYSREFOUT 出力ピンに送信されます。
3	リピータ リタイミング モード SYSREFREQ ピンの入力はクロック入力にリクロックされ、SYSREF_DLY_BYP フィールドに基づく遅延の後で、SYSREFOUT 出力ピンに送信されます。

以下の図に、さまざまな SYSREF モードの機能ブロック図を示します。

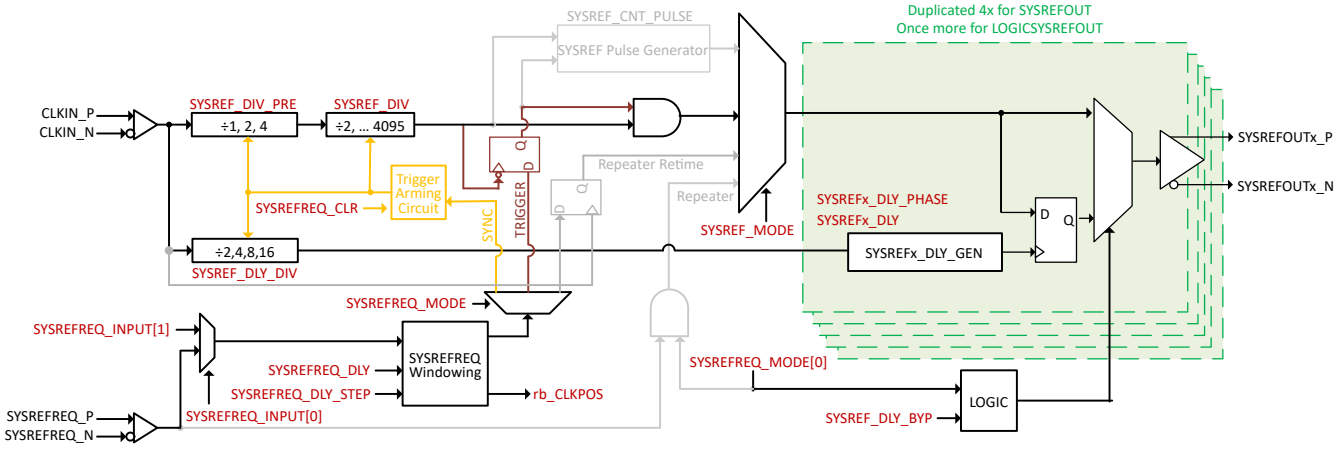


図 6-4. ジェネレータ モードの SYSREF 回路の機能ブロック図

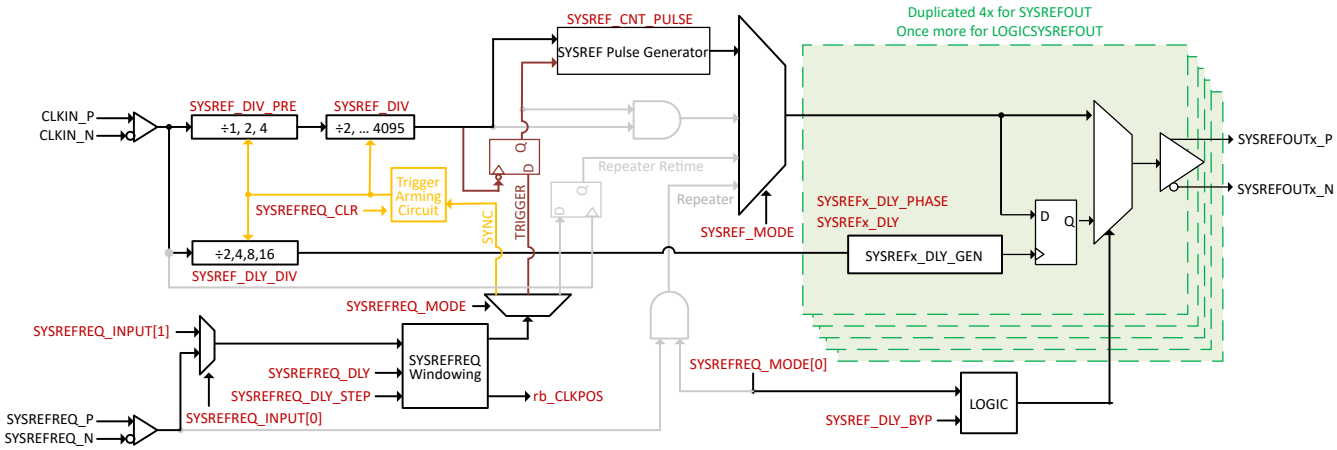


図 6-5. パルサ モードの SYSREF 回路の機能ブロック図

Copyright © 2026 Texas Instruments Incorporated

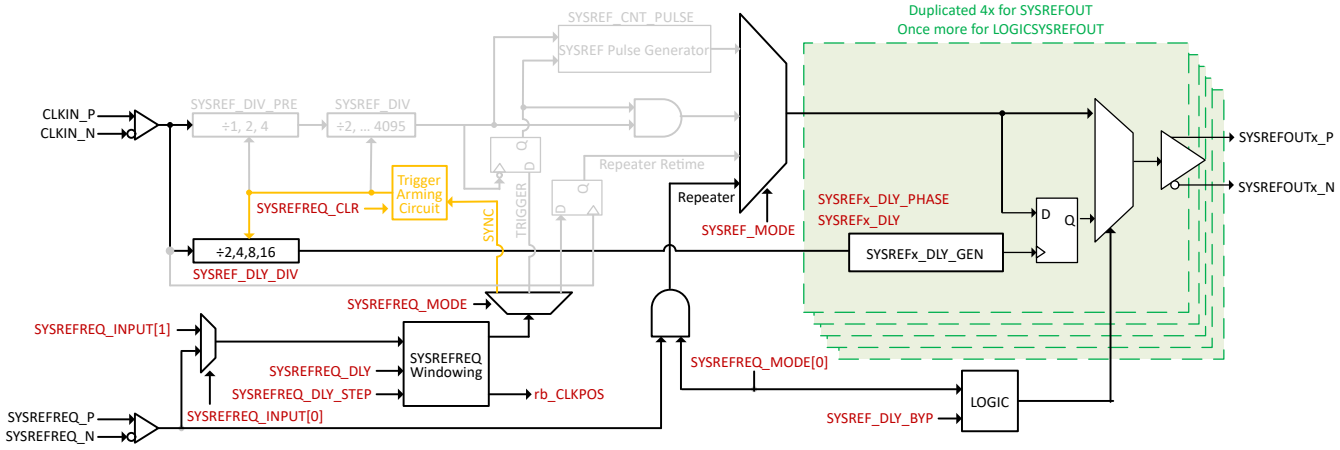


図 6-6. リピータ モードの SYSREF 回路の機能ブロック図

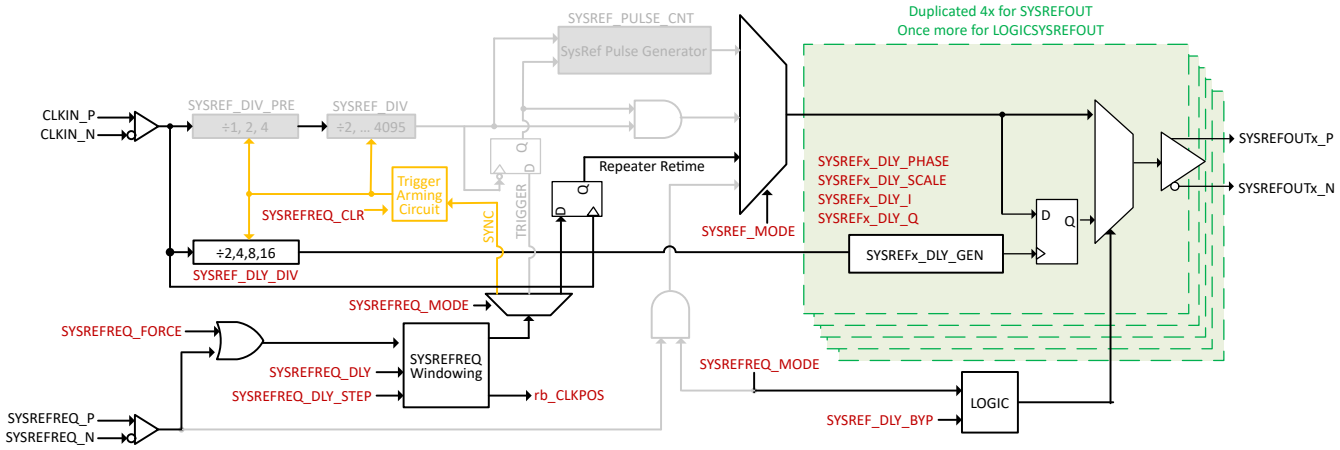


図 6-7. リピータ リタイミング モードの SYSREF 回路の機能ブロック図

6.3.6.1 SYSREF 出力バッファ

6.3.6.1.1 メイン クロック用の SYSREF 出力バッファ (SYSREFOUT)

クロック出力チャネル内の SYSREF 出力は、クロック出力バッファと同じ出力バッファ構造を持ち、同相電圧を調整する回路が追加されています。SYSREF 出力は、SYSREFx_VCM フィールドで調整できる同相電圧付きの CML 出力と、SYSREFx_PWR フィールドで設定できる出力レベルです。この機能により、DC 結合が可能になります。CLKOUT 出力には調整可能な同相電圧がないため、最適なノイズ性能を得るには AC 結合が必要であることに注意します。

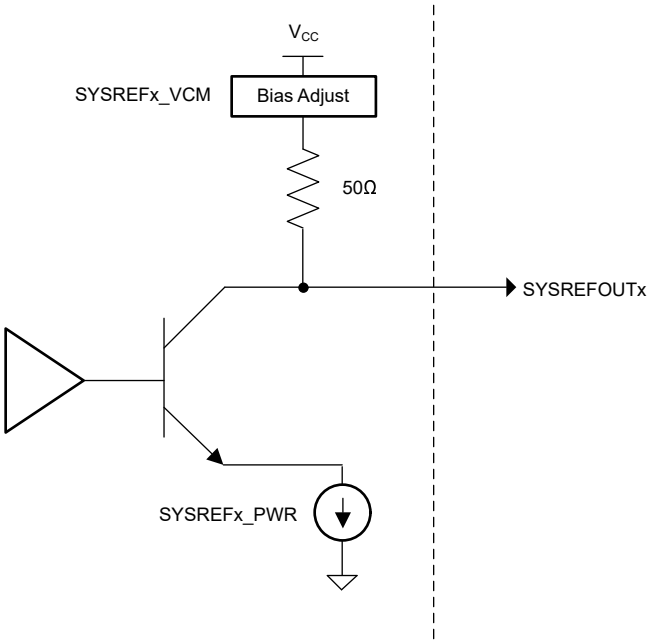


図 6-8. SYSREF 出力バッファ

同相電圧と出力電力は、100Ω の差動負荷があり、グランドへの DC パスがないと仮定してシミュレーションできます。SYSREF 出力スイングと、サポートされている同相電圧は、以下に示すようになります。各 SYSREFx_VCM 設定について、出力同相電圧変動は変化値の ±10% 以内です。

表 6-9. SYSREFOUT がサポートしている SYSREFx_VCM のコード範囲

SYSREFx_PWR	スイング VOD (シングルエンド ピーク ツー ピーク)		サポート対象の SYSREFx_VCM コード				対応する VCM 範囲 (V)			
	SYSREFx_PWR_LOW = 1 低消費電力 (V)	SYSREFx_PWR_LOW = 0 大電力 (V)	SYSREFx_PWR_LOW = 1 低消費電力 (V)		SYSREFx_PWR_LOW = 0 大電力 (V)		SYSREFx_PWR_LOW = 1 低消費電力 (V)		SYSREFx_PWR_LOW = 0 大電力 (V)	
			最小コード	最大コード	最小コード	最大コード	最小 VCM	最大入力電圧 (VCM)	最小 VCM	最大入力電圧 (VCM)
0	0.23	0.46	4	44	10	44	0.500	1.500	0.650	1.500
1	0.29	0.58	6	44	12	42	0.550	1.500	0.700	1.450
2	0.35	0.69	7	44	15	40	0.575	1.500	0.775	1.400
3	0.40	0.79	8	44	18	36	0.600	1.500	0.850	1.300
4	0.46	0.89	10	44	20	31	0.650	1.500	0.900	1.175
5	0.51	0.97	11	44	22	26	0.675	1.500	0.950	1.050
6	0.57	1.04	12	44	23		0.700	1.500	0.975	
7	0.62		13	41			0.725	1.425		

6.3.6.1.2 LOGISYSREF 出力バッファ

LOGISYSREFOUT / LOGICLKOUT1 出力は、LVDS および CML 出力フォーマットをサポートしています。LOGISYSREF_EN は出力バッファを有効にし、LOGISYSREF_FMT はそのフォーマットを設定します。LVDS モードでは、出力電力と同相電圧をプログラム可能です。CML 出力フォーマットには外付け部品が必要で、出力電力をプログラムできます。

表 6-10. LOGISYSREFOUT / LOGICLKOUT1 出力バッファの構成

LOGISYSREF_EN	LOGISYSREF_FMT	LOGISYSREF フォーマット	外部規制が必要です	出力電力	出力同相モード
0	電源オフ				

Copyright © 2026 Texas Instruments Incorporated

表 6-10. LOGISYSREFOUT / LOGICLKOUT1 出力バッファの構成 (続き)

LOGISYSREF_EN	LOGISYSREF_FMT	LOGISYSREF フォーマット	外部規制が必要です	出力電力	出力同相モード
1	0	LVDS	なし	LOGISYSREF_PWR によりプログラム可能	LOGISYSREF_VCM によりプログラム可能。
	1	予約済み			
	2	CML	プルアップ抵抗 50Ω を V_{CC} へ	LOGISYSREF_PWR によりプログラム可能	LOGISYSREF_VCM は影響を与えませんが、この変更は LOGISYSREF_PWR で行われます。
	3	予約済み			

6.3.6.1.3 SYSREF の周波数および遅延の生成

ジェネレータ モードでの SYSREF 出力の周波数には、SYSREF_DIV 分周器の入力が 3.2GHz を超えないことを確認するために SYSREF_DIV_PRE 分周器が必要です。表 6-11 に、SYSREF の合計分周範囲が CLKIN の動作周波数に対応することを示します。

表 6-11. SYSREF_DIV_PRE セットアップ

f_{CLKIN}	SYSREF_DIV_PRE	合計 SYSRE 分周範囲
3.2GHz 以下	÷1、2、または 4	÷2, 3, 4, ...16380
3.2GHz < f_{CLKIN} ≤ 6.4GHz	÷2 または 4	÷4, 6, 8, … 16380
f_{CLKIN} > 6.4GHz	÷4	÷8, 12, 16, … 16380

遅延の場合、入力クロック周波数を SYSREF_DLY_DIV で除算して、$f_{INTERPOLATOR}$ が生成されます。表 6-12 に示すように、範囲が制限されています。また、SYSREF_DLY_BYP = 1 (遅延ジェネレータが有効) で、SYSREF_MODE = 0 または 1 (ジェネレータ モード) の場合、SYSREF 出力周波数は位相補間器周波数の倍数である必要があることにも注意してください。

$f_{INTERPOLATOR}$ % f_{SYSREF} = 0.

表 6-12. SYSREF 遅延設定

f_{CLKIN}	SYSREF_DLY_DIV	SYSREF_DLY_SCALE	$f_{INTERPOLATOR}$
6.4GHz < f_{CLKIN} ≤ 12.8GHz	16	0	0.4GHz ～ 0.8GHz
3.2GHz < f_{CLKIN} ≤ 6.4GHz	8	0	0.4GHz ～ 0.8GHz
1.6GHz < f_{CLKIN} ≤ 3.2GHz	4	0	0.4GHz ～ 0.8GHz
0.8GHz < f_{CLKIN} ≤ 1.6GHz	2	0	0.4GHz ～ 0.8GHz
0.4GHz < f_{CLKIN} ≤ 0.8GHz	2	1	0.2GHz ～ 0.4GHz
0.3GHz < f_{CLKIN} ≤ 0.4GHz	2	2	0.15GHz ～ 0.2GHz

最大遅延は位相補間法周期と等しく、4×127 = 508 の異なる遅延ステップがあります。式 2 を使用し、各ステップのサイズを計算します。

$$\text{DelayStepSize} = 1 / (f_{INTERPOLATOR} \times 508) = \text{SYSREF_DLY_DIV} / (f_{CLKIN} \times 508) \quad (2)$$

合計遅延を計算するには、式 3 を使用します。

$$\text{TotalDelay} = \text{DelayStepSize} \times \text{StepNumber} \quad (3)$$

表 6-13 に各遅延のステップ数を示します。これを使用して目的の遅延ステップ数を設定できます。

表 6-13. ステップ数の計算

ステップ番号範囲	SYSREFx_DLY_PHASE	SYSREFx_DLY
0 ～ 127 (127 ～ SYSREFx_DLY)	0	127～0
127 ～ 254 (127 + SYSREFx_DLY)	1	0～127
254 ～ 381 (381 ～ SYSREFx_DLY)	3	127～0
381 ～ 508 (381 + SYSREFx_DLY)	2	0～127

SYSREF_DLY_BYP フィールドは、SYSREF 生成出力およびリピータ リタイミング モードにおける遅延パスを選択します。

SYSREF_MODE および SYSREF 分周器の各設定における、SYSREF 遅延に使用できないステップ番号を SYSREF 遅延に使用できないステップ番号 に示します。

表 6-14. SYSREF 遅延に使用できないステップ番号

SYSREF_MODE	SYSREF_DIV_PRE	SYSREF_DIV	SYSREF_DLY_DIV	使用できないステップ番号
連続またはパルス	1	2 または 3	2	無効な組み合わせ
			4	
			8	
			16	
	2		2	15～45
			4	無効な組み合わせ
			8	
			16	
	4		2	10～45
			4	140～175
			8	無効な組み合わせ
			16	
	1	4 以上	2	10～45
			4	390～430
			8	215～240
			16	無効な組み合わせ
	2		2	265～300
			4	
			8	390～430
			16	280～300
	4		2	265～300
			4	
			8	140～175
			16	390～430
リピータのリタイミング	x	x	2	20～50
			4	145～180
			8	85～125
			16	120～160

Copyright © 2026 Texas Instruments Incorporated

図 6-9 に、使用できない遅延ステップ位置の例を示します。SYSREF の立ち上がりエッジが、位相補間器の立ち上がりエッジの周辺にあります。

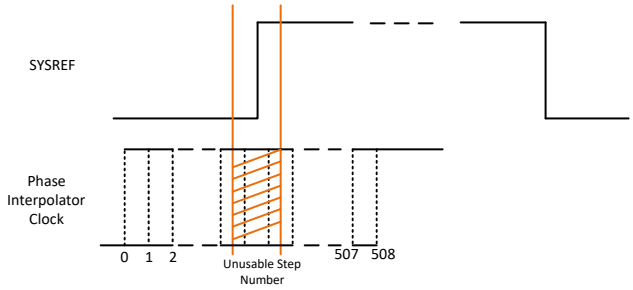


図 6-9. 使用できない遅延ステップ番号

図 6-10 に SYSREF 出力遅延ステップ サイズを示し、位相補間器の周波数によって変化します。

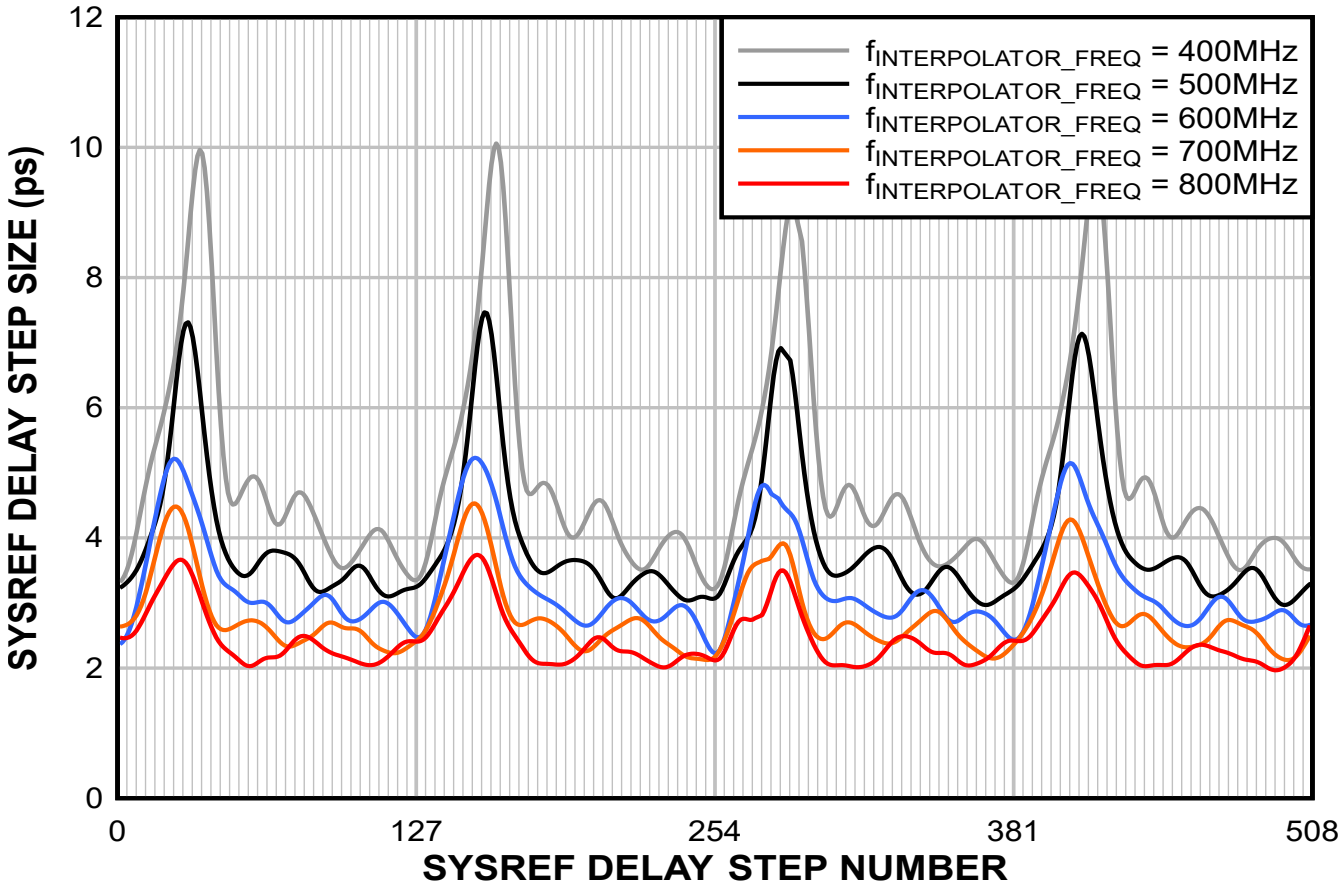


図 6-10. SYSREF 遅延ステップ サイズ

6.3.6.1.4 SYSREFREQ ピンと SYSREFREQ SPI 制御フィールド

SYSREFREQ ピンは多目的であり、同期、SYSREF 要求、SYSREF ウィンドウ処理に使用できます。これらのピンは DC または AC 結合にすることができ、50Ω のシングルエンド終端を個別に持ち、同相信号をプログラム可能です。

これらのピンに加えて、SYSREFREQ_INPUT フィールドを設定することで、SYSREFREQ ピン入力を選択したり、内部的にロジック「Low」または「High」を強制して、これらのピンを強制した場合と同じ効果をエミュレートでき、場合によってはハードウェアを簡素化できます。

6.3.6.1.4.1 SYSREFREQ ピン同相電圧

SYSREFREQ_P ピンと SYSREFREQ_N ピンは、AC 結合と DC 結合のどちらでも駆動できます。AC 結合を駆動する場合、または内部バイアスを使用する場合、SYSREFREQ_VCM ビットを使用して同相電圧を調整できます。

表 6-15. SYSREFREQ ピン同相電圧

SYSREFREQ_VCM	SYSREFREQ 入力ピン CM 電圧
0	ピン間のゼロ オフセット (AC 結合)
1	ピン P はピン N よりも高くバイアスされます (AC 結合)
2	ピン N はピン P よりも高くバイアスされます (AC 結合)
3	バイアスなし (DC 結合)

AC 結合中に入力が存在しない場合、ピンでのチャタリングを避けるために、同相電圧オフセットを作成する必要があります。SYSREFREQ_VCM_OFFSET フィールドは、ピン間のオフセットを設定するのに役立ちます。

表 6-16. SYSREFREQ ピン同相電圧オフセット

SYSREFREQ_VCM_OFFSET	ピン間の同相電圧オフセット
0	25mV
1	50mV
2	100mV
3	150mV

6.3.6.1.4.2 SYSREFREQ ウィンドウ処理機能

SYSREF ウィンドウ処理を使用すると、SYSREFREQ ピンと CLKIN ピンの間のタイミングを内部で較正し、セットアップおよびホールド タイミングを最適化して、SYSREFREQ パスと CLKIN パスの間の不一致を解消できます。この機能を使用するには、SYSREFREQ の立ち上がりエッジから CLKIN の立ち上がりエッジまでのタイミングが一致している必要があります。SYSREFREQ の立ち上がりエッジから CLKIN の立ち上がりエッジまでのタイミングは、RB_CLKPOS フィールドで追跡できます。CLKIN ピンの立ち上がりエッジとのタイミングが見つかると、SYSREFREQ の立ち上がりエッジを SYSREFREQ_DLY_STEP フィールドと SYSREFREQ_DLY フィールドを使用して内部で調整し、セットアップおよびホールド時間を最適化できます。

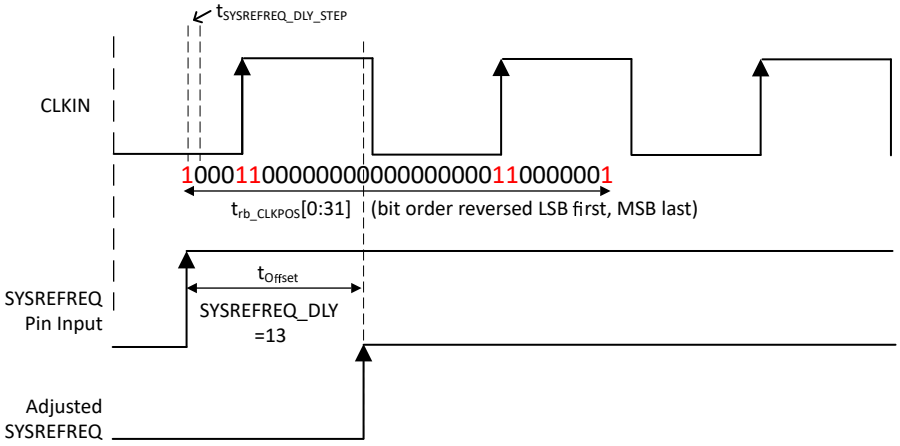


図 6-11. SYSREFREQ 内部タイミング調整

Copyright © 2026 Texas Instruments Incorporated

6.3.6.1.4.2.1 SYSREF ウィンドウ処理の一般的な手順フローチャート

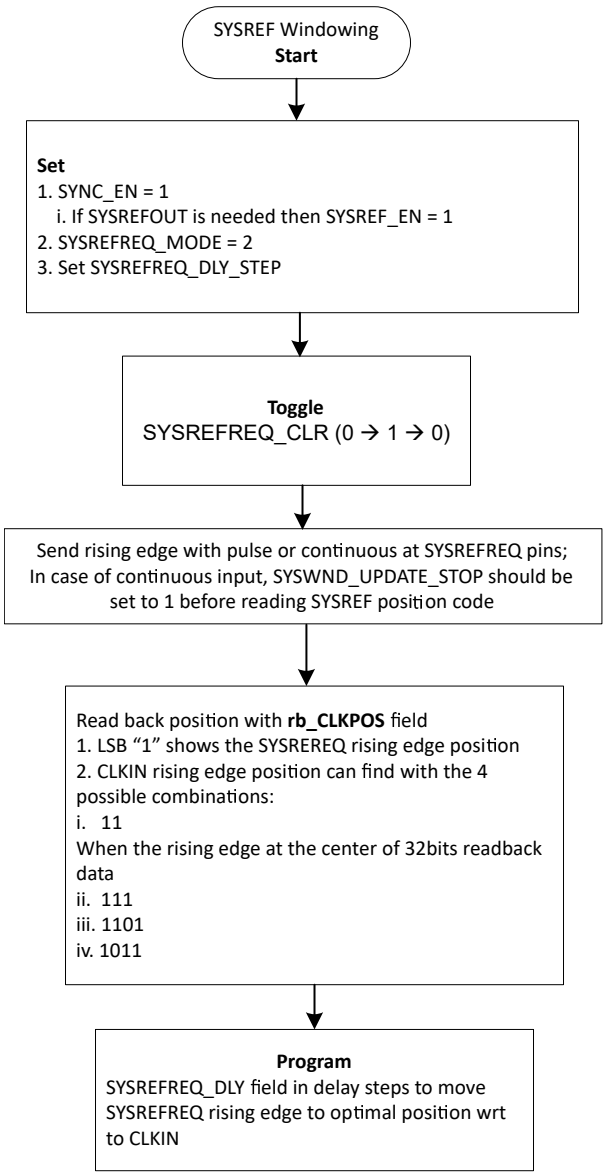


図 6-12. SYSREF ウィンドウ処理のフローチャート

表 6-17. SYSREFREQ_DELAY_STEP

入力周波数	推奨される SYSREFREQ_DLY_STEP	遅延 (ps)
1.4GHz < f_{CLKIN} ≤ 2.7GHz	0	22.25
2.4GHz < f_{CLKIN} ≤ 4.7GHz	1	13
3.1GHz < f_{CLKIN} ≤ 5.7GHz	2	10.5
f_{CLKIN} ≥ 4.5GHz	3	7.75

6.3.6.1.4.2.2 SYSREF ウィンドウ処理に関するその他のガイダンス

- SYSREFREQ ピンは、3/f_{CLKIN} + 1.6ns の最小時間にわたって high に保持する必要があり、この時間の後でのみ rb_CLKPOS フィールドが有効になります。

- ユーザーが rb_CLKPOS レジスタから複数の有効な SYSREFREQ_DLY 値を推測して、セットアップ時間およびホールド時間違反を回避します。温度による変動を最小限に抑えるため、有効な最小の SYSREFREQ_DLY を選択することをお勧めします。
- SYSREF ウィンドウ処理後にセットアップおよびホールド時間を最適化するようにプログラムされた SYSREFREQ_DLY によって内部 SYSREFREQ が調整されますが、SYSREFREQ_DLY は SYSREF ウィンドウ読み取りコードの移動を示しません。SYSREF ウィンドウ処理では、常にピンでの信号が評価されます。

6.3.6.1.4.2.3 グリッチのない出力

- リクエスト モードからウィンドウ モードに切り替えて、リクエスト モードに戻るときは、SYSREFRE Q ピンで同じ状態を維持します。たとえば、ウィンドウ モードが開始されたときに SYSREFREQ ピンが High (または Low) になる場合、ウィンドウ モード終了後にピンの状態を再度 High (または Low) にしてから、SYSREFREQ_MODE フィールドを他のモードにプログラムするようにしてください。
- または同期モードから切り替えるときは、SYSREFREQ ピンを low に設定する必要があります。

6.3.6.1.4.2.4 SYNC 機能を使用する場合

- 75 入力クロック サイクルごとに 1 つの SYSREFREQ ピンの立ち上がりエッジのみが許可されます
- SYSREFREQ は 6 クロック サイクル以上にわたって high に維持する必要があります

6.3.6.1.4.2.5 同期機能

SYNC 機能を使用すると、ユーザーは CLK_DIV、LOGICLK_DIV、LOGICLK1_DIV、LOGICLK_DIV_PRE、SYSREF_DIV、SYSREF_DIV_PRE、SYSREF_DLY_DIV 分周器を同期して、電源サイクル間で位相オフセットを一貫させることができます。これにより、ユーザーは複数のデバイスを同期できます。複数のデバイスでは、SYSREFREQ ピンを使用して分周器の同期を行う必要があり、SPI を使用して単一のデバイスの分周器の同期を実行できます。

6.3.7 パワーアップのタイミング

デバイスの電源をオンにするには、いくつかの電源シーケンスが必要です。

1. デバイスに電力を供給し、VCC ピンが適切なレベルに達していることを確認します。
2. パワーオン リセットは自動的に行われますが、ユーザーは RESET ビットを 1 から 0 に切り替えることにより、ソフトウェア リセットを実行できます。これら 2 つのコマンドのプログラミング間隔が、1µs 以上であることを確認します。
3. 必要に応じてレジスタをプログラムします。
4. DEV_IOPT_CTRL フィールドを 0x6 にプログラムします。

Copyright © 2026 Texas Instruments Incorporated

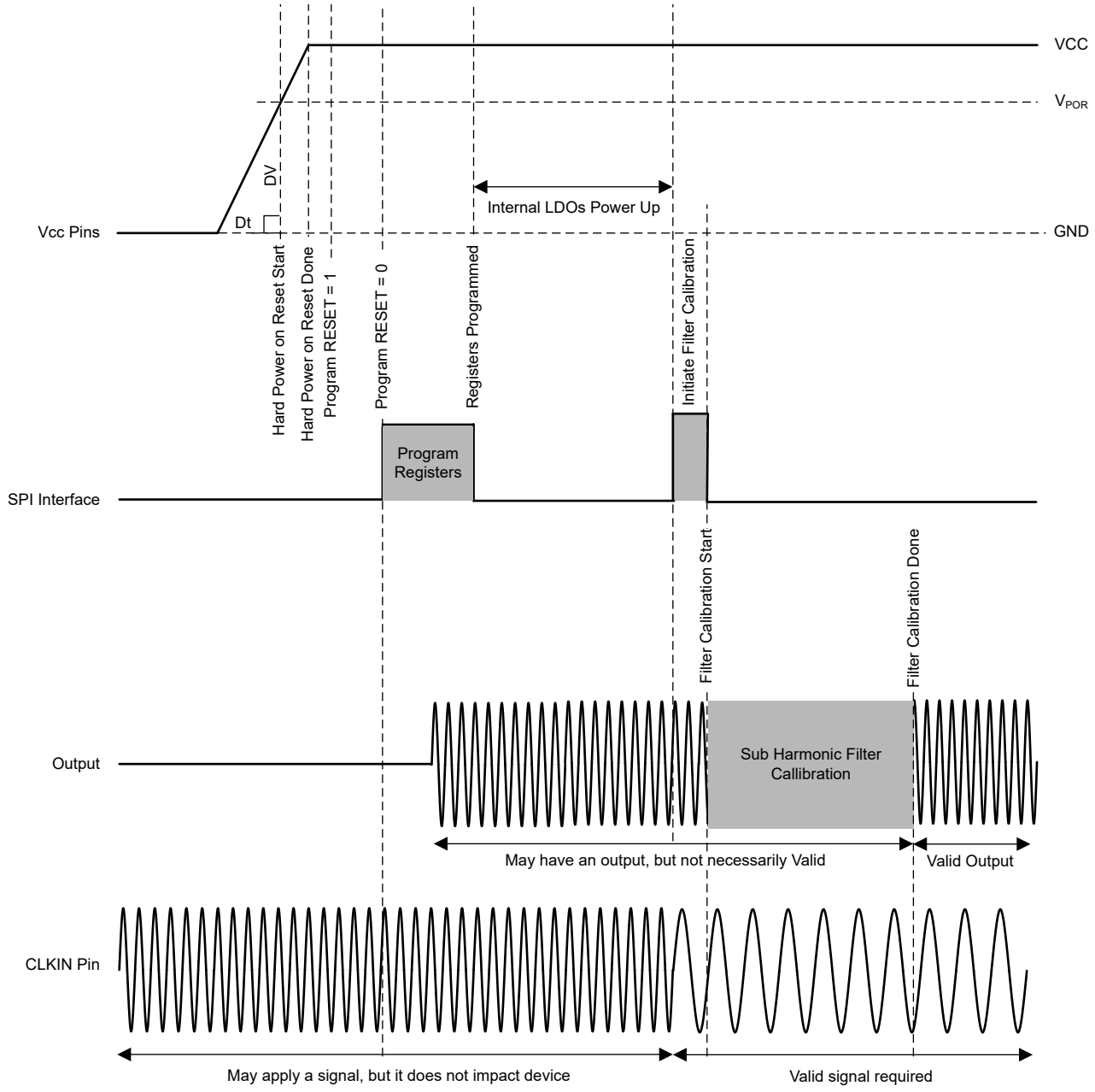


図 6-13. パワーアップのタイミング

6.3.8 未使用ピンの処理

多くの場合、すべてのピンが必要とは限りません。表 6-18 に、これらの未使用ピンの処理に関する推奨事項を示します。

表 6-18. 未使用または部分的に使用されているピンの処理

ピン	治療
すべての Vcc ピン	これらのピンは、常に電源に接続する必要があります。電源供給先のブロック (ピン名で暗黙的に示す) が使用されない場合、電源デカップリング コンデンサを最小化または除去できます。

表 6-18. 未使用または部分的に使用されているピンの処理 (続き)

ピン	治療
SYSREFREQ	シングルエンド AC 結合を駆動する場合、相補型入力にはグランドへの AC カップリング コンデンサを接続する必要があります。シングルエンド DC 結合を駆動する場合、相補型入力は、テブナン等価回路を用いて必要な VCM に外部バイアスする必要があります。連続 SYSREF ジェネレータ モードを使用する場合、これらのピンを使用して出力バッファのオンとオフを切り替えるか、フローティングのままにできます。フローティングのままにしている場合は、SYSREFREQ_INPUT_[1] を使用して出力ゲーティングを制御します。SYSREF をまったく使用しない場合は、ピンをオープンのままにしておくことができます。
CLKIN 相補入力	シングルエンドを駆動する場合、相補型入力に AC カップリング コンデンサを配置し、グランドに対して 50Ω を接続する必要があります。
BIAS01 および BIAS23	乗算器を使用しない場合、このピンはオープンのままにできます。
CLKOUT SYSREFOUT	出力ピンの間に 100Ω の差動抵抗を配置することを推奨します。 シングルエンド出力を使用する場合、相補出力ピンに AC カップリング コンデンサを配置し、グランドに対して 50Ω を接続する必要があります。
LOGICLKOUT LOGISYSREFOUT	このピンは、使用しない場合はオープンのままにしておくことができます。

6.4 デバイスの機能モード構成

本デバイスは、高周波クロック バッファ モード、分周器モード、または乗算器モードで構成できます。各モードを機能させるには、以下のレジスタ設定が必要です。

表 6-19. デバイスの機能モードの構成

レジスタ アドレス	ビット	フィールド	機能	バッファ	デバイダ	乗算器
R27	2:0	CLK_MUX	モードを選択します	1	2	3
R27	5:3	CLK_DIV / CLK_MULT	除算値または乗算値を選択します	x	CLK_DIV 0x1 = ÷2 0x2 = ÷3 0x3 = ÷4 0x4 = ÷5 0x5 = ÷6 0x6 = ÷7 0x7 = ÷8	CLK_MULT 0x2 = x2 0x3 = x3 0x4 = x4 0x5 = x5 0x6 = x6 0x7 = x7 0x8 = x8
R26	0	SMCLK_EN	ステート マシン クロック ジェネレータをイネーブルにします	x	x	1
R26	4:1	SMCLK_DIV_PRE	ステート マシン クロックのプリデバイダを設定します	x	x	ステート マシン クロックのプリクロック分周器 0x2 = ÷2 0x4 = ÷4 0x8 = ÷8

Copyright © 2026 Texas Instruments Incorporated

表 6-19. デバイスの機能モードの構成 (続き)

レジスタ アドレス	ビット	フィールド	機能	バッファ	デバイダ	乗算器
R26	7:5	SMCLK_DIV	ステートマシンのクロック分周器を設定します	x	x	さらに出力周波数を維持するには、SMCLK デバイダは ≤30Mhz である必要があります。 0x0 = ÷1 0x1 = ÷2 0x2 = ÷4 0x3 = ÷8 0x4 = ÷16 0x5 = ÷32 0x6 = ÷64 0x7 = ÷128
R0	すべて	乗算器一のキャリブレーション	PLL ベースの乗算器をキャリブレーションします	x	x	キャリブレーション乗算器一のために R0 を書き込みます

7 レジスタ マップ

	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
R0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	パワーダウン	リセット
R1	0	0	0	0	0	0	0	0	0	0	0	LD_DIS	READBACK_CTRL	0	1	1
R2	0	0	0	0	0	0	TEMPSENSE_EN	SYNC_EN	1	SYSREF_EN	1	LOGIC_EN	CH3_EN	CH2_EN	CH1_EN	CH0_EN
R3	0	0	0	0	0	0	0	0	0	CLKIN_DLY						
R4	0	0	0	0	0	CLK0_DLY							CLK0_PWR			CLK0_EN
R5	0	0	0	0	0	CLK1_DLY							CLK1_PWR			CLK1_EN
R6	0	0	0	0	0	CLK2_DLY							CLK2_PWR			CLK2_EN
R7	0	0	0	0	0	CLK3_DLY							CLK3_PWR			CLK3_EN
R8	0	SYSREF0_PWR_LOW	SYSREF0_AC	1	1	1	SYSREF0_VCM						SYSREF0_PWR			SYSREF0_EN
R9	0	SYSREF1_PWR_LOW	SYSREF1_AC	1	1	1	SYSREF1_VCM						SYSREF1_PWR			SYSREF1_EN
R10	0	SYSREF2_PWR_LOW	SYSREF2_AC	1	1	1	SYSREF2_VCM						SYSREF2_PWR			SYSREF2_EN
R11	0	SYSREF3_PWR_LOW	SYSREF3_AC	1	1	1	SYSREF3_VCM						SYSREF3_PWR			SYSREF3_EN
R12	0	0	0	LOGICLK_FMT		0	0	LOGICLK_VCM					LOGICLK_PWR			LOGICLK_EN
R13	0	0	0	LOGISYSREF_FMT		0	0	LOGISYSREF_VCM					LOGISYSREF_PWR			LOGISYSREF_EN
R14	LOGICLK_DIV_RST	0	0	LOGICLK_DIV										LOGICLK_DIV_PRE		
R15	0	0	0	0	0	0	0	0	0	0	0	0	0	LOGICLK2_DIV		LOGICLK2_EN

Copyright © 2026 Texas Instruments Incorporated

	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
R16	0	0	0	0	0	0	0	0	SYSREF_DLY_SCALE		SYSREFREQ_DLY_STEP		SYSREFREQ_VCM_OFFSET		SYSREFREQ_VCM	
R17	0	0	0	0	0	0	0	0	SYSREFREQ_INPUT		SYSWND_UPDATE_STOP	SYNC_STOP	SYSWND_LATCH	SYSREFREQ_CLR	SYSREFREQ_MODE	
R18	0	0	0	0	0	0	0	0	0	0	SYSREFREQ_DLY					
R19	0	0	0	0	0	0	0	0	0	SYSREF_DLY_BYP	SYSREF_PULSE_CNT				SYSREF_MODE	
R20	SYSREF_DLY_DIV		SYSREF_DIV												SYSREF_DIV_PRE	
R21	0	0	0	0	0	0	0	SYSREF0_DLY							SYSREF0_DLY_PHASE	
R22	0	0	0	0	0	0	0	SYSREF1_DLY							SYSREF1_DLY_PHASE	
R23	0	0	0	0	0	0	0	SYSREF2_DLY							SYSREF2_DLY_PHASE	
R24	0	0	0	0	0	0	0	SYSREF3_DLY							SYSREF3_DLY_PHASE	
R25	0	0	0	0	0	0	0	LOGISYSREF_DLY							LOGISYSREF_DLY_PHASE	
R26	0	0	0	0	0	0	0	0	SMCLK_DIV			SMCLK_DIV_PRE				SMCLK_EN
R27	0	1	1	0	MULT_HIPFD_EN	1	FCAL_EN	0	0	CLK_DIV_RST	CLK_DIV			CLK_MUX		
R29	rb_CLKPOS[31:16]															
R30	rb_CLKPOS[15:0]															
R31	0	0	0	0	0	rb_TEMPSENSE										
R32	rb_VER_ID															
R36	1	0	0	0	1	0	1	1	0	0	0	1	0	1	1	0
R37	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	rb_LOCK_DETECT
R39	0	1	1	1	1	0	0	1	0	1	1	0	0	0	0	1
R40	0	1	1	1	1	0	0	1	0	1	1	0	0	0	1	1
R41	0	1	1	1	0	1	0	1	0	1	0	0	0	0	0	1
R42	0	1	1	1	0	1	1	1	0	1	0	0	0	0	0	1
R43	0	1	1	1	0	1	1	1	0	1	0	0	0	0	0	1

Copyright © 2026 Texas Instruments Incorporated

	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
R44	0	1	1	1	0	1	0	1	0	1	1	0	0	0	0	1
R45	0	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1
R54	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0
R55	0	0	0	0	0	0	0	0	0	0	DEV_IOPT_CTRL					
R77	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

Copyright © 2026 Texas Instruments Incorporated

7.1 デバイスのレジスタ

表 7-1 に、デバイスのレジスタ用のメモリ マップト レジスタを示します。表 7-1 にないレジスタ オフセット アドレスはすべて予約済みと見なします。レジスタの内容は変更してはいけません。

表 7-1. デバイスのレジスタ

オフセット	略称	レジスタ名	セクション
0h	R0	パワーダウンとリセット	セクション 7.1.1
1h	R1	ソフトウェア リセット、MUXOUT ピンの設定	セクション 7.1.2
2h	R2	チャネル、ロジック クロック、SYSREF、SYNC、温度センサ有効化	セクション 7.1.3
3h	R3	CLKIN 遅延	セクション 7.1.4
4h	R4	CLKOUT0 有効化、電源、遅延	セクション 7.1.5
5h	R5	CLKOUT1 有効化、電源、遅延	セクション 7.1.6
6h	R6	CLKOUT2 有効化、電源、遅延	セクション 7.1.7
7h	R7	CLKOUT3 有効化、電源、遅延	セクション 7.1.8
8h	R8	SYSREFOUT0 有効化、電源、VCM	セクション 7.1.9
9h	R9	SYSREFOUT1 有効化、電源、VCM	セクション 7.1.10
Ah	R10	SYSREFOUT2 有効化、電源、VCM	セクション 7.1.11
Bh	R11	SYSREFOUT3 有効化、電源、VCM	セクション 7.1.12
Ch	R12	LOGICLK 有効化、電源、VCM、出力フォーマット	セクション 7.1.13
Dh	R13	LOGISYSREF 有効化、電源、VCM、出力フォーマット	セクション 7.1.14
Eh	R14	LOGICLK 分周器	セクション 7.1.15
Fh	R15	LOGICLK2 有効化、分周器	セクション 7.1.16
10h	R16	SYSREFREQ 入力	セクション 7.1.17
11h	R17	SYSREFREQ 入力	セクション 7.1.18
12h	R18	SYSREFREQ 入力	セクション 7.1.19
13h	R19	SYSREF 出力	セクション 7.1.20
14h	R20	SYSREF 出力分周器	セクション 7.1.21
15h	R21	SYSREFOUT0 遅延	セクション 7.1.22
16h	R22	SYSREFOUT1 遅延	セクション 7.1.23
17h	R23	SYSREFOUT2 遅延	セクション 7.1.24
18h	R24	SYSREFOUT3 遅延	セクション 7.1.25
19h	R25	LOGISYSREFOUT 遅延	セクション 7.1.26
1Ah	R26	ステート マシン クロック	セクション 7.1.27
1Bh	R27	クロック マルチプレクサ、クロック分周器 / 乗算器	セクション 7.1.28
1Dh	R29	SYSREFREQ ウィンドウ処理 (読み戻し)	セクション 7.1.29
1Eh	R30	SYSREFREQ ウィンドウ処理 (読み戻し)	セクション 7.1.30
1Fh	R31	温度センサ (読み戻し)	セクション 7.1.31
20h	R32	デバイスのバージョン ID (読み戻し)	セクション 7.1.32
24h	R36	乗算器モード (予約済み)	
25h	R37	ロック検出 (読み戻し)	セクション 7.1.34
27h	R39	乗算器モード (予約済み)	
28h	R40	乗算器モード (予約済み)	
29h	R41	乗算器モード (予約済み)	
2Ah	R42	乗算器モード (予約済み)	

表 7-1. デバイスのレジスタ (続き)

オフセット	略称	レジスタ名	セクション
2Bh	R43	乗算器モード (予約済み)	
2Ch	R44	乗算器モード (予約済み)	
2Dh	R45	乗算器モード (予約済み)	
36h	R54	乗算器モード (予約済み)	
37h	R55	電流の最適化	セクション 7.1.43
4Dh	R77	乗算器モード (予約済み)	

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-2. デバイスのアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.1.1 R0 レジスタ (オフセット = 0h) [リセット = 0000h]

R0 を表 7-3 に示します。

概略表に戻ります。

表 7-3. R0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-2	非公開	R	0h	このフィールドを 0x0 にプログラムします。
1	パワーダウン	R/W	0h	デバイスを低消費電力状態に設定します。他のレジスタの状態は維持されます。
0	リセット	R/W	0h	ソフト リセット。ロジック全体とレジスタ全体をリセットします (パワーオン リセットと等価)。次のレジスタ書き込み時にセルフ クリア。

7.1.2 R1 レジスタ (オフセット = 1h) [リセット = 000Ah]

R1 を表 7-4 に示します。

概略表に戻ります。

表 7-4. R1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-5	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
4	LD_DIS	R/W	0h	0x1 に設定すると、乗算器モードで MUXOUT ピンから出力されるロック検出ステータスが無効化されます。 複数のデバイスと接続して乗算器モードで読み戻し動作を実行する場合、このビットは 1 に設定する必要があります。 0h = ロック検出 1h = 読み戻し

Copyright © 2026 Texas Instruments Incorporated

表 7-4. R1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	READBACK_CTRL	R/W	1h	書き込まれたレジスタ値を読み戻すには、このフィールドを 0x1 に設定します。このフィールドを 0x0 に設定すると、デバイスの内部ステート マシンによって設定された値が読み戻されます。
2-0	非公開	R/W	2h	このフィールドを 0x2 にプログラムします。

7.1.3 R2 レジスタ (オフセット = 2h) [リセット = 00BFh]

R2 を表 7-5 に示します。

概略表に戻ります。

表 7-5. R2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	非公開	R	0h	このフィールドを 0x0 にプログラムします。
9	TEMPSENSE_EN	R/W	0h	温度センサ有効化オーバーライド ビット
8	SYNC_EN	R/W	0h	デバイダの同期パスをイネーブルにし、クロック位置キャプチャ 回路をイネーブルにできます。マルチデ バイス同期に使用されます。SYSREF_EN = 0x1 なら冗長。
7	非公開	R/W	1h	このフィールドを 0x1 にプログラムします。
6	SYSREF_EN	R/W	0h	SYSREF サブシステムを有効化します (SYSREFREQ_MODE = 0x0 のときは SYNC サブシステムを有効化します) 。このビットを 0x0 に設定すると、すべての SYNC、SYSREF、およびクロック位置キャプチャ回路が完全に無効化され、SYNC_EN を除く他のパワーダウンビット/イネーブルビットの状態が上書きされます。SYNC_EN = 0x1 の場合、SYSREF_EN の状態に関係なく、同期パスとクロック位置キャプチャ回路はイネーブルのままです。
5	非公開	R/W	1h	このフィールドを 0x1 にプログラムします。
4	LOGIC_EN	R/W	1h	LOGICLK サブシステム (LOGICLKOUT、LOGISYSREFOUT) をイネーブルにします。このビットを 0x0 に設定すると、すべての LOGICLKOUT および LOGISYSREFOUT 回路が完全にディセーブルにされ、他のパワーダウンビット/イネーブルビットの状態が上書きされます。
3	CH3_EN	R/W	1h	CH3 (CLKOUT3、SYSREFOUT3) をイネーブルにします。このビットを 0 に設定すると、CH3 が完全にディセーブルにされ、他のパワーダウンビット/イネーブルビットの状態が上書きされます。
2	CH2_EN	R/W	1h	CH2 (CLKOUT2、SYSREFOUT2) をイネーブルにします。このビットを 0 に設定すると、CH2 が完全にディセーブルにされ、他のパワーダウンビット/イネーブルビットの状態が上書きされます。
1	CH1_EN	R/W	1h	CH1 (CLKOUT1、SYSREFOUT1) をイネーブルにします。このビットを 0 に設定すると、CH1 が完全にディセーブルにされ、他のパワーダウンビット/イネーブルビットの状態が上書きされます。
0	CH0_EN	R/W	1h	CH0 (CLKOUT0、SYSREFOUT0) をイネーブルにします。このビットを 0 に設定すると、CH0 が完全にディセーブルにされ、他のパワーダウンビット/イネーブルビットの状態が上書きされます。

7.1.4 R3 レジスタ (オフセット = 3h) [リセット = 0000h]

R3 を表 7-6 に示します。

概略表に戻ります。

表 7-6. R3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-7	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
6-0	CLKIN_DLY	R/W	0h	入力クロックの遅延を設定します。遅延範囲:60ps、ステップ サイズ:1.1ps

7.1.5 R4 レジスタ (オフセット = 4h) [リセット = 000Dh]

R4 を表 7-7 に示します。

概略表に戻ります。

表 7-7. R4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
10-4	CLK0_DLY	R/W	0h	CLKOUT0 出力クロックの遅延を設定します。遅延範囲:55ps、ステップ サイズ:0.9ps
3-1	CLK0_PWR	R/W	6h	CLKOUT0 の出力電力を設定します。値が大きいほど、出力電力も大きくなります。
0	CLK0_EN	R/W	1h	CLKOUT0 出力バッファをイネーブルにします。

7.1.6 R5 レジスタ (オフセット = 5h) [リセット = 000Dh]

R5 を表 7-8 に示します。

概略表に戻ります。

表 7-8. R5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
10-4	CLK1_DLY	R/W	0h	CLKOUT1 出力クロックの遅延を設定します。遅延範囲:55ps、ステップ サイズ:0.9ps
3-1	CLK1_PWR	R/W	6h	CLKOUT1 の出力電力を設定します。値が大きいほど、出力電力も大きくなります。
0	CLK1_EN	R/W	1h	CLKOUT1 出力バッファをイネーブルにします。

7.1.7 R6 レジスタ (オフセット = 6h) [リセット = 000Dh]

R6 を表 7-9 に示します。

概略表に戻ります。

表 7-9. R6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
10-4	CLK2_DLY	R/W	0h	CLKOUT2 出力クロックの遅延を設定します。遅延範囲:55ps、ステップ サイズ:0.9ps
3-1	CLK2_PWR	R/W	6h	CLKOUT2 の出力電力を設定します。値が大きいほど、出力電力も大きくなります。
0	CLK2_EN	R/W	1h	CLKOUT2 出力バッファをイネーブルにします。

Copyright © 2026 Texas Instruments Incorporated

7.1.8 R7 レジスタ (オフセット = 7h) [リセット = 000Dh]

R7 を表 7-10 に示します。

概略表に戻ります。

表 7-10. R7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
10-4	CLK3_DLY	R/W	0h	CLKOUT3 出力クロックの遅延を設定します。遅延範囲:55ps、ステップサイズ:0.9ps
3-1	CLK3_PWR	R/W	6h	CLKOUT3 の出力電力を設定します。値が大きいほど、出力電力も大きくなります。
0	CLK3_EN	R/W	1h	CLKOUT3 出力バッファをイネーブルにします。

7.1.9 R8 レジスタ (オフセット = 8h) [リセット = 5CA9h]

R8 を表 7-11 に示します。

概略表に戻ります。

表 7-11. R8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
14	SYSREF0_PWR_LOW	R/W	1h	SYSREFOUT0 出力ドライバを低消費電力に設定します。シングルエンド、大きいスイングの場合、0 の値に設定します。
13	SYSREF0_AC	R/W	0h	SYSREFOUT0 AC 結合モードを有効化します。
12-10	非公開	R/W	7h	このフィールドを 0x7 にプログラムします。
9-4	SYSREF0_VCM	R/W	Ah	SYSREFOUT0 の出力同相モードを 25mV ステップ サイズで設定します。 最小および最大出力電圧を許容可能な制限範囲内にするには、SYSREF0_PWR を適切に設定する必要があります。
3-1	SYSREF0_PWR	R/W	4h	SYSREFOUT0 の出力電力を設定します。値が大きいほど、出力電力も大きくなります。出力同相電圧を許容範囲内にするには、SYSREFOUT0_VCM を適切に設定する必要があります。
0	SYSREF0_EN	R/W	1h	SYSREFOUT0 出力バッファをイネーブルにします。

7.1.10 R9 レジスタ (オフセット = 9h) [リセット = 5CA9h]

R9 を表 7-12 に示します。

概略表に戻ります。

表 7-12. R9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
14	SYSREF1_PWR_LOW	R/W	1h	SYSREFOUT1 出力ドライバを低消費電力に設定します。シングルエンド、大きいスイングの場合、0 の値に設定します。
13	SYSREF1_AC	R/W	0h	SYSREFOUT1 AC 結合モードを有効化します。
12-10	非公開	R/W	7h	このフィールドを 0x7 にプログラムします。
9-4	SYSREF1_VCM	R/W	Ah	SYSREFOUT1 の出力同相モードを 25mV ステップ サイズで設定します。 最小および最大出力電圧を許容可能な制限範囲内にするには、SYSREF1_PWR を適切に設定する必要があります。

Copyright © 2026 Texas Instruments Incorporated

表 7-12. R9 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-1	SYSREF1_PWR	R/W	4h	SYSREFOUT1 の出力電力を設定します。値が大きいほど、出力電力も大きくなります。出力同相電圧を許容範囲内にするには、SYSREFOUT1_VCM を適切に設定する必要があります。
0	SYSREF1_EN	R/W	1h	SYSREFOUT1 出力バッファをイネーブルにします。

7.1.11 R10 レジスタ (オフセット = Ah) [リセット = 5CA9h]

R10 を表 7-13 に示します。

概略表に戻ります。

表 7-13. R10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
14	SYSREF2_PWR_LOW	R/W	1h	SYSREFOUT2 出力ドライバを低消費電力に設定します。シングルエンド、大きいスイングの場合、0 の値に設定します。
13	SYSREF2_AC	R/W	0h	SYSREFOUT2 AC 結合モードを有効化します。
12-10	非公開	R/W	7h	このフィールドを 0x7 にプログラムします。
9-4	SYSREF2_VCM	R/W	Ah	SYSREFOUT2 の出力同相モードを 25mV ステップ サイズで設定します。 最小および最大出力電圧を許容可能な制限範囲内にするには、SYSREF2_PWR を適切に設定する必要があります。
3-1	SYSREF2_PWR	R/W	4h	SYSREFOUT2 の出力電力を設定します。値が大きいほど、出力電力も大きくなります。出力同相電圧を許容範囲内にするには、SYSREFOUT2_VCM を適切に設定する必要があります。
0	SYSREF2_EN	R/W	1h	SYSREFOUT2 出力バッファをイネーブルにします。

7.1.12 R11 レジスタ (オフセット= Bh) [リセット= 5CA9h]

R11 を表 7-14 に示します。

概略表に戻ります。

表 7-14. R11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
14	SYSREF3_PWR_LOW	R/W	1h	SYSREFOUT3 出力ドライバを低消費電力に設定します。シングルエンド、大きいスイングの場合、0 の値に設定します。
13	SYSREF3_AC	R/W	0h	SYSREFOUT3 AC 結合モードを有効化します。
12-10	非公開	R/W	7h	このフィールドを 0x7 にプログラムします。
9-4	SYSREF3_VCM	R/W	Ah	SYSREFOUT3 の出力同相モードを 25mV ステップ サイズで設定します。 最小および最大出力電圧を許容可能な制限範囲内にするには、SYSREF3_PWR を適切に設定する必要があります。
3-1	SYSREF3_PWR	R/W	4h	SYSREFOUT3 の出力電力を設定します。値が大きいほど、出力電力も大きくなります。出力同相電圧を許容範囲内にするには、SYSREFOUT3_VCM を適切に設定する必要があります。
0	SYSREF3_EN	R/W	1h	SYSREFOUT3 出力バッファをイネーブルにします。

Copyright © 2026 Texas Instruments Incorporated

7.1.13 R12 レジスタ (オフセット = Ch) [リセット = 002Bh]

R12 を表 7-15 に示します。

概略表に戻ります。

表 7-15. R12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
12-11	LOGICLK_FMT	R/W	0h	LOGICLKOUT 出力の出力ドライバ フォーマットを選択します。 0h = LVDS 1h = 予約済み 2h = CML 3h = 予約済み
10-9	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
8-4	LOGICLK_VCM	R/W	2h	LOGICLKOUT の出力同相電圧を LVDS 出力フォーマットで設定します。 最小および最大出力電圧を許容可能な制限範囲内にするには、LOGICLK_PWR を適切に設定する必要があります。
3-1	LOGICLK_PWR	R/W	5h	LOGICLKOUT の出力電力を設定します。 値が大きいほど、出力電力も大きくなります。
0	LOGICLK_EN	R/W	1h	ロジック クロック出力バッファをイネーブルにします。

7.1.14 R13 レジスタ (オフセット = Dh) [リセット = 002Bh]

R13 を表 7-16 に示します。

概略表に戻ります。

表 7-16. R13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
12-11	LOGISYSREF_FMT	R/W	0h	LOGISYSREFOUT 出力の出力ドライバ フォーマットを選択します。 0h = LVDS 1h = 予約済み 2h = CML 3h = 予約済み
10-9	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
8-4	LOGISYSREF_VCM	R/W	2h	LOGISYSREFOUT の出力同相電圧を LVDS 出力形式で設定します。 最小および最大出力電圧を許容可能な制限範囲内にするには、LOGISYSREF_PWR を適切に設定する必要があります。
3-1	LOGISYSREF_PWR	R/W	5h	LOGISYSREFOUT の出力電力を設定します。 値が大きいほど、出力電力も大きくなります。
0	LOGISYSREF_EN	R/W	1h	ロジック SYSREF 出力バッファをイネーブルにします。

7.1.15 R14 レジスタ (オフセット = Eh) [リセット = 0084h]

R14 を表 7-17 に示します。

概略表に戻ります。

表 7-17. R14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	LOGICLK_DIV_RST	R/W	0h	ロジック クロック分周器の手動リセット。
14-13	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。

表 7-17. R14 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12-3	LOGICLK_DIV	R/W	10h	LOGICLK デバイダの値を設定します。LOGICLK_DIV_PRE の最大入力周波数は、≤3200MHz である必要があります。振幅の劣化を避けるため、LOGICLKOUT の最大周波数は ≤800MHz にする必要があります。 0h = 予約済み 1h = 予約済み 2h = /2 3h = /3 3FFh = /1023
2-0	LOGICLK_DIV_PRE	R/W	4h	ロジック クロック分周器のプリデバイダ値を設定します。プリデバイダの出力は、 ≤ 3.2GHz である必要があります。以下に示す値以外の値は 予約済みです。 1h = /1 2h = /2 4h = /4

7.1.16 R15 レジスタ (オフセット= Fh) [リセット= 0002h]

R15 を表 7-18 に示します。

概略表に戻ります。

表 7-18. R15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-3	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
2-1	LOGICLK2_DIV	R/W	1h	LOGICLKOUT1 ロジック クロックの分周器値を設定します。
0	LOGICLK2_EN	R/W	0h	LOGICLKOUT1 を有効にします 0h = LOGISYSREFOUT 1h = LOGICLKOUT1

7.1.17 R16 レジスタ (オフセット = 10h) [リセット = 0030h]

R16 を表 7-19 に示します。

概略表に戻ります。

表 7-19. R16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	非公開	R	0h	このフィールドを 0x0 にプログラムします。
7-6	SYSREF_DLY_SCALE	R/W	0h	SYSREFOUT 遅延ジェネレータの周波数範囲を設定します。位相補間器の周波数に従って設定します。 0h = 400MHz～800MHz 1h = 200MHz～400MHz 2h = 150MHz～200MHz 3h = 予約済み

Copyright © 2026 Texas Instruments Incorporated

表 7-19. R16 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-4	SYSREFREQ_DLY_STEP	R/W	3h	SYSREFREQ 入力遅延とクロック位置キャプチャの両方で、SYSREFREQ パスで使用される遅延素子のステップ サイズを設定します。各ステップ サイズの推奨周波数範囲により、特定の CLKIN 周波数で使用可能な最大ステップ数が作成されます。範囲には、プロセスと温度の変動を考慮して、ある程度のオーバーラップが含まれます。CLKIN 周波数がオーバーラップしたスパンでカバーされる場合、より大きな遅延ステップサイズにより、クロック位置のキャプチャ中に CLKIN の立ち上がりエッジを検出する可能性が向上します。ただし、値が大きいほど遅延ステップが多くなるため、ステップ サイズが大きいほど、ステップ サイズが小さい場合と比較して PVT 全体の遅延変動が大きくなります。 0h = 28ps (1.4Ghz ～ 2.7GHz) 1h = 15ps (2.4GHz ～ 4.7GHz) 2h = 11ps (3.1GHz ～ 5.7GHz) 3h = 8ps (4.5GHz ～ 12.8GHz)
3-2	SYSREFREQ_VCM_OFFSET	R/W	0h	SYSREFREQ P と N の電圧オフセットを設定します 0h = 25 mV 1h = 50 mV 2h = 100 mV 3h = 150 mV
1-0	SYSREFREQ_VCM	R/W	0h	SYSREFREQ 入力ピンの同相電圧を設定します 0h = ゼロ オフセット (AC 結合) 1h = ピン P はピン N よりも高くバイアスされます (AC 結合) 2h = ピン N はピン P よりも高くバイアスされます (AC 結合) 3h = バイアスなし (DC 結合)

7.1.18 R17 レジスタ (オフセット = 11h) [リセット = 0005h]

R17 を表 7-20 に示します。

概略表に戻ります。

表 7-20. R17 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	非公開	R	0h	このフィールドを 0x0 にプログラムします。
11-8	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
7-6	SYSREFREQ_INPUT	R/W	0h	SYSREFREQ ブロックの機能を設定します 0h = SYSREFREQ ピン 1h = Low を強制 2h = 予約済み 3h = High を強制
5	SYSWND_UPDATE_STOP	R/W	0h	ビットを High に設定すると、ウィンドウ処理を停止します。
4	SYNC_STOP	R/W	0h	ビットを High に設定すると、リセット生成を停止します。
3	SYSWND_LATCH	R/W	0h	SYNC 入力の最初の立ち上がりエッジで SYSREF ウィンドウ処理を設定します
2	SYSREFREQ_CLR	R/W	1h	SYSREFREQ 信号の同期パスのタイミングをリセットします。このビットを High に保持すると、SYSREF リピータ モードを除くすべてのモードで内部 SYSREFREQ 信号が Low に維持され、SYSREFREQ_INPUT[0] の状態がオーバーライドされます。同期またはクロック位置のキャプチャ動作を実行する前に、このビットを 1 回セットおよびクリアする必要があります。

表 7-20. R17 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1-0	SYSREFREQ_MODE	R/W	1h	SYSREFREQ 入力モード機能を設定します 0h = SYNC 1h = SYSREFREQ 2h = SYSREF ウィンドウ処理 3h = 予約済み

7.1.19 R18 レジスタ (オフセット = 12h) [リセット = 0000h]

R18 を表 7-21 に示します。

概略表に戻ります。

表 7-21. R18 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-6	非公開	R	0h	このフィールドを 0x0 にプログラムします。
5-0	SYSREFREQ_DLY	R/W	0h	外部 SYSREFREQ 信号のディレイライン ステップを設定します。各ディレイ ライン ステップは、SYSREFREQ 信号を SYSREFREQ_DLY x SYSREFREQ_DLY_STEP と等しい量だけ遅延させます。同期モードでは、このフィールドの値は、CLKIN 信号に対する同期信号の内部セットアップおよびホールド時間を満たすために、rb_CLKPOS 値に基づいて決定できます。SYSREF リピータ モードでは、このフィールドの値を粗いグローバル遅延として使用できます。0x3F より大きい値は無効です。値が大きいほど遅延ステップが多くなるため、値が大きいほど、小さい値に比べて PVT 全体のステップサイズ変動が大きくなります。遅延ステップの計算手順の詳細については、データシートまたはデバイスの TICS Pro プロファイルを参照してください。

7.1.20 R19 レジスタ (オフセット = 13h) [リセット = 0004h]

R19 を表 7-22 に示します。

概略表に戻ります。

表 7-22. R19 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-7	非公開	R	0h	このフィールドを 0x0 にプログラムします。
6	SYSREF_DLY_BYP	R/W	0h	SYSREF 遅延バイパスを設定します
5-2	SYSREF_PULSE_CNT	R/W	1h	パルサモードで生成されるパルス数をプログラムします。パルサは SYSREF 分周器をゲーティングするカウンタであるため、パルス幅と周波数はそれぞれ SYSREF 分周器出力のデューティ サイクルと周波数に等しくなります。 0h = 予約済み 1h = 1 パルス 2h = 2 パルス Fh = 15 パルス

Copyright © 2026 Texas Instruments Incorporated

表 7-22. R19 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1-0	SYSREF_MODE	R/W	0h	SYSREF 信号の生成方法を制御します。また、SYSREF_DLY_BYP フィールドによる影響も受けます。連続モードでは、SYSREF 分周器および遅延から得られた連続 SYSREF クロックが生成されます。パルサ モードでは、SYSREFREQ ピンのパルスにより、SYSREF 出力用の特定の数値 (SYSREF_PULSE_CNT によって決定) のパルスが生成されます。リピータモードでは、SYSREFREQ ピンのパルスが SYSREF 出力で単一のパルスを生成し、デバイスによる伝搬遅延のみが追加されます。 0H = 連続 1h = パルサ 2h = リピータ 3h = リピータのリタイミング

7.1.21 R20 レジスタ (オフセット = 14h) [リセット = 8082h]

R20 を表 7-23 に示します。

概略表に戻ります。

表 7-23. R20 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	SYSREF_DLY_DIV	R/W	2h	遅延ジェネレータのクロック分周を設定し、fINTERPOLATOR と遅延ジェネレータの分解能を決定します。 0h = /2 (≤ 1.6GHz) 1h = /4 (1.6GHz ～ 3.2GHz) 2h = /8 (3.2GHz ～ 6.4GHz) 4h = /16 (6.4GHz ～ 12.8GHz)
13-2	SYSREF_DIV	R/W	20h	SYSREF 分周器を設定します。SYSREF_DIV_PRE の最大入力周波数は ≤3200MHz である必要があります。最大出力周波数は ≤100MHz とする必要があります。奇数分周 (デューティ サイクルが 50% 未満の場合) は、遅延ジェネレータがバイパスされる場合のみ許可されます。 0h = 予約済み 1h = 予約済み 2h = /2 3h = /3 FFFh = /4095
1-0	SYSREF_DIV_PRE	R/W	2h	SYSREF プリデバイダを設定します。最大出力周波数は ≤3.2GHz とする必要があります。 0h = /1 1h = /2 2h = /4 3h = 予約済み

7.1.22 R21 レジスタ (オフセット = 15h) [リセット = 01FCh]

R21 を表 7-24 に示します。

概略表に戻ります。

表 7-24. R21 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-9	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
8-2	SYSREF0_DLY	R/W	7Fh	SYSREFOUT0 遅延ジェネレータの遅延ステップを設定します。各象限では、遅延は 127 ステップです。

表 7-24. R21 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1-0	SYSREF0_DLY_PHASE	R/W	0h	SYSREFOUT0 遅延ジェネレータ リタイマに使用される補間クロックの直交位相を設定します。 0h = ICLK' 1h = QCLK' 2h = ICLK 3h = QCLK

7.1.23 R22 レジスタ (オフセット = 16h) [リセット = 01FCh]

R22 を表 7-25 に示します。

概略表に戻ります。

表 7-25. R22 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-9	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
8-2	SYSREF1_DLY	R/W	7Fh	SYSREFOUT1 遅延ジェネレータの遅延ステップを設定します。各象限では、遅延は 127 ステップです。
1-0	SYSREF1_DLY_PHASE	R/W	0h	SYSREFOUT1 遅延ジェネレータ リタイマに使用される補間クロックの直交位相を設定します。 0h = ICLK' 1h = QCLK' 2h = QCLK 3h = ICLK

7.1.24 R23 レジスタ (オフセット = 17h) [リセット = 01FCh]

R23 を表 7-26 に示します。

概略表に戻ります。

表 7-26. R23 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-9	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
8-2	SYSREF2_DLY	R/W	7Fh	SYSREFOUT2 遅延ジェネレータの遅延ステップを設定します。各象限では、遅延は 127 ステップです。
1-0	SYSREF2_DLY_PHASE	R/W	0h	SYSREFOUT2 遅延ジェネレータ リタイマに使用される補間クロックの直交位相を設定します。 0h = ICLK' 1h = QCLK' 2h = QCLK 3h = ICLK

7.1.25 R24 レジスタ (オフセット = 18h) [リセット = 01FCh]

R24 を表 7-27 に示します。

概略表に戻ります。

表 7-27. R24 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-9	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。

Copyright © 2026 Texas Instruments Incorporated

表 7-27. R24 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8-2	SYSREF3_DLY	R/W	7Fh	SYSREFOUT3 遅延ジェネレータの遅延ステップを設定します。各象限では、遅延は 127 ステップです。
1-0	SYSREF3_DLY_PHASE	R/W	0h	SYSREFOUT3 遅延ジェネレータ リタイマに使用される補間クロックの直交位相を設定します。 0h = ICLK' 1h = QCLK' 2h = QCLK 3h = ICLK

7.1.26 R25 レジスタ (オフセット = 19h) [リセット = 01FCh]

R25 を表 7-28 に示します。

概略表に戻ります。

表 7-28. R25 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-9	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
8-2	LOGISYSREF_DLY	R/W	7Fh	LOGISYSREF 遅延ジェネレータの遅延ステップを設定します。各象限では、遅延は 127 ステップです。
1-0	LOGISYSREF_DLY_PHASE	R/W	0h	LOGISYSREFOUT 遅延ジェネレータリ タイマに使用される補間クロックの直交位相を設定します。 0h = ICLK' 1h = QCLK' 2h = QCLK 3h = ICLK

7.1.27 R26 レジスタ (オフセット = 1Ah) [リセット = 00D1h]

R26 を表 7-29 に示します。

概略表に戻ります。

表 7-29. R26 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
7-5	SMCLK_DIV	R/W	6h	ステートマシン クロック分周器を設定します。ステート マシン クロック プリデバイダの出力をさらに分周します。SMCLK_DIV_PRE からの入力周波数を ≤1600MHz にする必要があります。出力周波数は ≤30MHz である必要があります。分周値は 2^{SMCLK_DIV} です。 0h = /1 1h = /2 2h = /4 3h = /8 4h = /16 5h = /32 6h = /64 7h = /128
4-1	SMCLK_DIV_PRE	R/W	8h	ステート マシン クロックのプリディバイダー (ホット ディバイダー 1 つ) ステート マシン クロックは、入力クロックから分周されます。プリデバイダの出力は、≤1600MHz である必要があります。これら以外の値は予約済みです。 2h = /2 4h = /4 8h = /8

表 7-29. R26 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	SMCLK_EN	R/W	1h	ステートマシンクロックジェネレータをイネーブルにします乗算器のキャリブレーションと、乗算器のロック検出 (MUXOUT ピンを含む) にのみ必要です。乗算器を使用しない場合、または乗算器のロック検出機能を使用しない場合は、ステートマシンクロックジェネレータをディセーブルにしてクロストークを最小限に抑えることができます。

7.1.28 R27 レジスタ (オフセット = 1Bh) [リセット = 3609h]

R27 を表 7-30 に示します。

概略表に戻ります。

表 7-30. R27 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	非公開	R/W	3h	このフィールドを 0x3 にプログラムします。
11	MULT_HIPFD_EN	R/W	0h	乗算器モードで周波数が 4.2GHz を超える場合、電流を最適化するには、このビットを R0 と一緒に Low に切り替えます。R0 なしでビットを High に設定するには、電流を 20mA 増加させます。
10	非公開	R/W	1h	このフィールドを 0x1 にプログラムします。
9	FCAL_EN	R/W	1h	周波数キャリブレーションを有効にします。このビットを High にしてこのレジスタを書き込むと、乗算器周波数キャリブレーションがトリガされます。乗算器を使用しない場合は、0 に設定します。
8-7	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
6	CLK_DIV_RST	R/W	0h	メイン クロック分周器をリセットします。動作中にクロック分周値が変更された場合、新しい分周値を設定した後で、このビットを high の後で low に設定します。SYSREFREQ_MODE = 0x0 および SYNC_EN = 0x1 の SYSREFREQ ピンとデバイスを同期すると、メイン クロック分周器もリセットされます。このビットは、分周器モード外では無効です
5-3	CLK_DIV	R/W	1h	CLK_DIV と CLK_MULT は、同じフィールドのエイリアスです。 CLK_MUX = 1 (バッファ モード) のとき、このフィールドは無視されます。 CLK_MUX = 2 (分周器モード) のとき、クロック分周器は CLK_DIV + 1 です。CLK_DIV の有効範囲は 1 ～ 7 です。これを 0 に設定すると、メイン クロック乗算器が無効になり、バッファ モードに戻ります。 CLK_MUX = 3 (乗算器モード) の場合、乗算器の値は CLK_MULT になります。有効範囲は 1 ～ 7 です。
2-0	CLK_MUX	R/W	1h	メイン クロック出力の機能を選択します 0h = 予約済み 1h = バッファ 2h = 分周器 3h = 乗算器

7.1.29 R29 レジスタ (オフセット = 1Dh) [リセット = 0000h]

R29 を表 7-31 に示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

表 7-31. R29 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	rb_CLKPOS[31:16]	R	0h	SYSREFREQ の立ち上がりエッジを基準とした、CLKIN 信号の立ち上がりエッジ位置のスナップショットを格納します。スナップショットは LSB から始まり、MSB で終了します。各ビットは、CLKIN 信号のサンプルを表し、SYSREFREQ_DLY_STEP フィールドで決定された遅延で区切られます。rb_CLKPOS の最初と最後のビットは常に設定されており、キャプチャウィンドウ境界条件での不確実性を示します。CLKIN の立ち上がりエッジは、LSB から MSB までの 2 つの設定ビットのシーケンスごとに表され、境界条件でのビットも含まれます。スナップショットの CLKIN 立ち上がりエッジの位置、CLKIN 信号周期、および遅延ステップ サイズは、SYSREFREQ_DLY_STEP の値を計算できます。これにより、SYSREFREQ ピンの SYNC 信号のセットアップ時間とホールド時間を最大化できます。

7.1.30 R30 レジスタ (オフセット = 1Eh) [リセット = 0000h]

R30 を表 7-32 に示します。

概略表に戻ります。

表 7-32. R30 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	rb_CLKPOS	R	0h	rb_CLKPOS フィールドの LSB。

7.1.31 R31 レジスタ (オフセット = 1Fh) [リセット = 0000h]

R31 を表 7-33 に示します。

概略表に戻ります。

表 7-33. R31 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	非公開	R	0h	このフィールドを 0x0 にプログラムします。
13-11	非公開	R	0h	このフィールドを 0x0 にプログラムします。
10-0	rb_TEMPSENSE	R	0h	オンダイ温度センサの読み戻し値。

7.1.32 R32 レジスタ (オフセット = 20h) [リセット = 0000h]

R32 を表 7-34 に示します。

概略表に戻ります。

表 7-34. R32 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	rb_VER_ID	R	0h	バージョン ID。

7.1.33 R36 レジスタ (オフセット = 24h) [リセット = 84A3h]

R36 を表 7-35 に示します。

概略表に戻ります。

表 7-35. R36 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	非公開	R/W	21h	このフィールドを 0x42 にプログラムします。
9-8	非公開	R/W	0h	このフィールドを 0x3 にプログラムします。
7-6	非公開	R/W	2h	このフィールドを 0x0 にプログラムします。
5-0	非公開	R/W	23h	このフィールドを 0x16 にプログラムします。

7.1.34 R37 レジスタ (オフセット = 25h) [リセット = 0000h]

R37 を表 7-36 に示します。

概略表に戻ります。

表 7-36. R37 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	非公開	R	0h	このフィールドを 0x0 にプログラムします。
14-1	非公開	R	0h	このフィールドを 0x0 にプログラムします。
0	rb_LOCK_DETECT	R	0h	乗算器モードでロック検出ステータスを読み戻します 0h = ロック解除 1h = ロック検出

7.1.35 R39 レジスタ (オフセット = 27h) [リセット = 78E1h]

R39 を表 7-37 に示します。

概略表に戻ります。

表 7-37. R39 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	非公開	R/W	7h	このフィールドを 0x7 にプログラムします。
11-9	非公開	R/W	4h	このフィールドを 0x4 にプログラムします。
8-4	非公開	R/W	Eh	このフィールドを 0x16 にプログラムします。
3-0	非公開	R/W	1h	このフィールドを 0x1 にプログラムします。

7.1.36 R40 レジスタ (オフセット = 28h) [リセット = 78E1h]

R40 を表 7-38 に示します。

概略表に戻ります。

表 7-38. R40 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	非公開	R/W	7h	このフィールドを 0x7 にプログラムします。
11-9	非公開	R/W	4h	このフィールドを 0x4 にプログラムします。
8-4	非公開	R/W	Eh	このフィールドを 0x16 にプログラムします。
3-0	非公開	R/W	1h	このフィールドを 0x3 にプログラムします。

7.1.37 R41 レジスタ (オフセット = 29h) [リセット = 78F3h]

R41 を表 7-39 に示します。

Copyright © 2026 Texas Instruments Incorporated

概略表に戻ります。

表 7-39. R41 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	非公開	R/W	7h	このフィールドを 0x7 にプログラムします。
11-9	非公開	R/W	4h	このフィールドを 0x2 にプログラムします。
8-4	非公開	R/W	Fh	このフィールドを 0x14 にプログラムします。
3-0	非公開	R/W	3h	このフィールドを 0x1 にプログラムします。

7.1.38 R42 レジスタ (オフセット = 2Ah) [リセット = 76F3h]

R42 を表 7-40 に示します。

概略表に戻ります。

表 7-40. R42 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	非公開	R/W	7h	このフィールドを 0x7 にプログラムします。
11-9	非公開	R/W	3h	このフィールドを 0x3 にプログラムします。
8-4	非公開	R/W	Fh	このフィールドを 0x14 にプログラムします。
3-0	非公開	R/W	3h	このフィールドを 0x1 にプログラムします。

7.1.39 R43 レジスタ (オフセット = 2Bh) [リセット = 7707h]

R43 を表 7-41 に示します。

概略表に戻ります。

表 7-41. R43 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	非公開	R/W	7h	このフィールドを 0x7 にプログラムします。
11-9	非公開	R/W	3h	このフィールドを 0x3 にプログラムします。
8-4	非公開	R/W	10h	このフィールドを 0x14 にプログラムします。
3-0	非公開	R/W	7h	このフィールドを 0x1 にプログラムします。

7.1.40 R44 レジスタ (オフセット = 2Ch) [リセット = 7707h]

R44 を表 7-42 に示します。

概略表に戻ります。

表 7-42. R44 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	非公開	R/W	7h	このフィールドを 0x7 にプログラムします。
11-9	非公開	R/W	3h	このフィールドを 0x2 にプログラムします。
8-4	非公開	R/W	10h	このフィールドを 0x16 にプログラムします。
3-0	非公開	R/W	7h	このフィールドを 0x1 にプログラムします。

Copyright © 2026 Texas Instruments Incorporated

7.1.41 R45 レジスタ (オフセット = 2Dh) [リセット = 2ABFh]

R45 を表 7-43 に示します。

概略表に戻ります。

表 7-43. R45 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	非公開	R/W	2h	このフィールドを 0x2 にプログラムします。
11-10	非公開	R/W	2h	このフィールドを 0x3 にプログラムします。
9-8	非公開	R/W	2h	このフィールドを 0x3 にプログラムします。
7-6	非公開	R/W	2h	このフィールドを 0x3 にプログラムします。
5-4	非公開	R/W	3h	このフィールドを 0x3 にプログラムします。
3-2	非公開	R/W	3h	このフィールドを 0x3 にプログラムします。
1-0	非公開	R/W	3h	このフィールドを 0x3 にプログラムします。

7.1.42 R54 レジスタ (オフセット = 36h) [リセット = 0000h]

R54 を表 7-44 に示します。

概略表に戻ります。

表 7-44. R54 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	非公開	R	0h	このフィールドを 0x0 にプログラムします。
13-4	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
3-2	非公開	R/W	0h	このフィールドを 0x3 にプログラムします。
1-0	非公開	R/W	0h	このフィールドを 0x2 にプログラムします。

7.1.43 R55 レジスタ (オフセット = 37h) [リセット = 0000h]

R55 を表 7-45 に示します。

概略表に戻ります。

表 7-45. R55 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-6	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
5-0	DEV_IOPT_CTRL	R/W	0h	このフィールドをすべてのモードで、パワーダウン時でも 0x6 に設定します。 乗算器モードでのキャリブレーション前にこのフィールドを 0x6 に設定し、キャリブレーション後に 0x1 に変更します

7.1.44 R77 レジスタ (オフセット = 4Dh) [リセット = 0000h]

R77 を表 7-46 に示します。

概略表に戻ります。

表 7-46. R77 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-2	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。

Copyright © 2026 Texas Instruments Incorporated

表 7-46. R77 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1-0	非公開	R/W	0h	このフィールドを 0x2 にプログラムします。

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 リファレンス

8.1.1 代表的なアプリケーション

このアプリケーションでは、LMX2694-EP 6.4GHz 出力クロックに LMX1205-EP をバッファとして使用した場合に付加される加算ノイズの影響について検討します。この特定の設定では、2 つの EVM を結合するためにシングルエンド クロックを使用して LMX1205-EP を駆動しましたが、一般的には差動駆動が推奨されます。

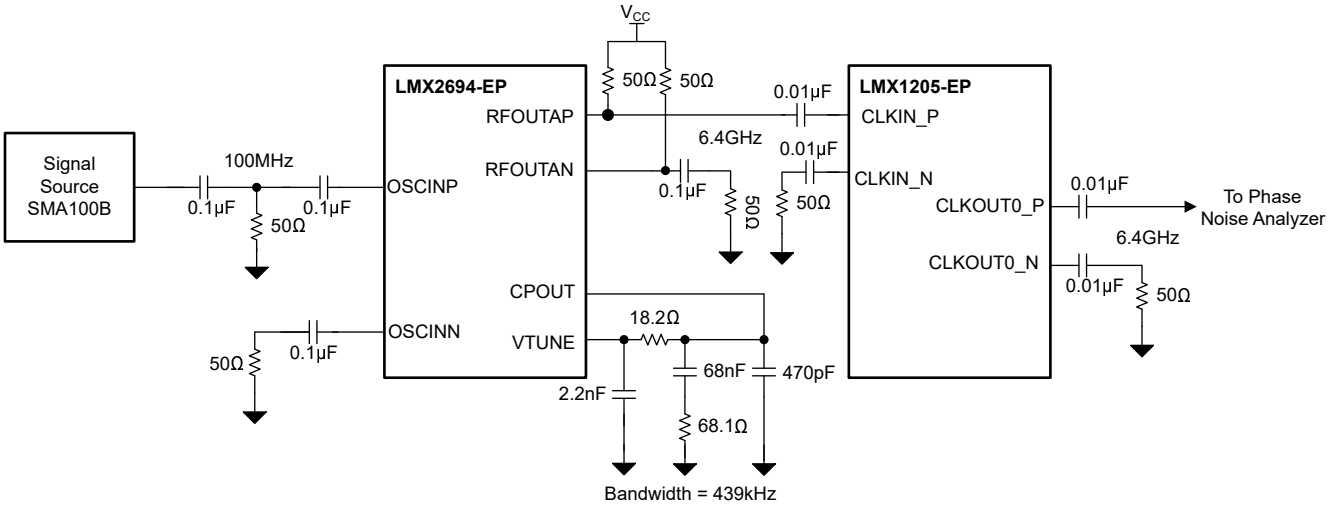


図 8-1. 代表的なアプリケーション回路図

8.1.1.1 設計要件

この例の設計パラメータを、表 8-1 に示します。

すべての出力が使用されない場合は、レイアウトを圧縮して、特に入力配線のパターン長を最小限にすることを推奨します。

表 8-1. 設計パラメータ

パラメータ	値
LMX2694-EP 入力周波数	100MHz
LMX2694-EP 出力周波数	6.4GHz
LMX1205-EP 入力クロック周波数	6.4GHz
LMX1205-EP 出力クロック周波数	6.4GHz
LMX1205-EP	バッファ モード

8.1.1.2 詳細な設計手順

この例では、6.4GHz 入力クロックがバッファされ、出力クロックとして供給されます。内部構成では、外部コンポーネントはそれほど変化しません。TICS Pro ソフトウェアは、必要なレジスタ値の計算とデバイスの構成に非常に役立ちます。

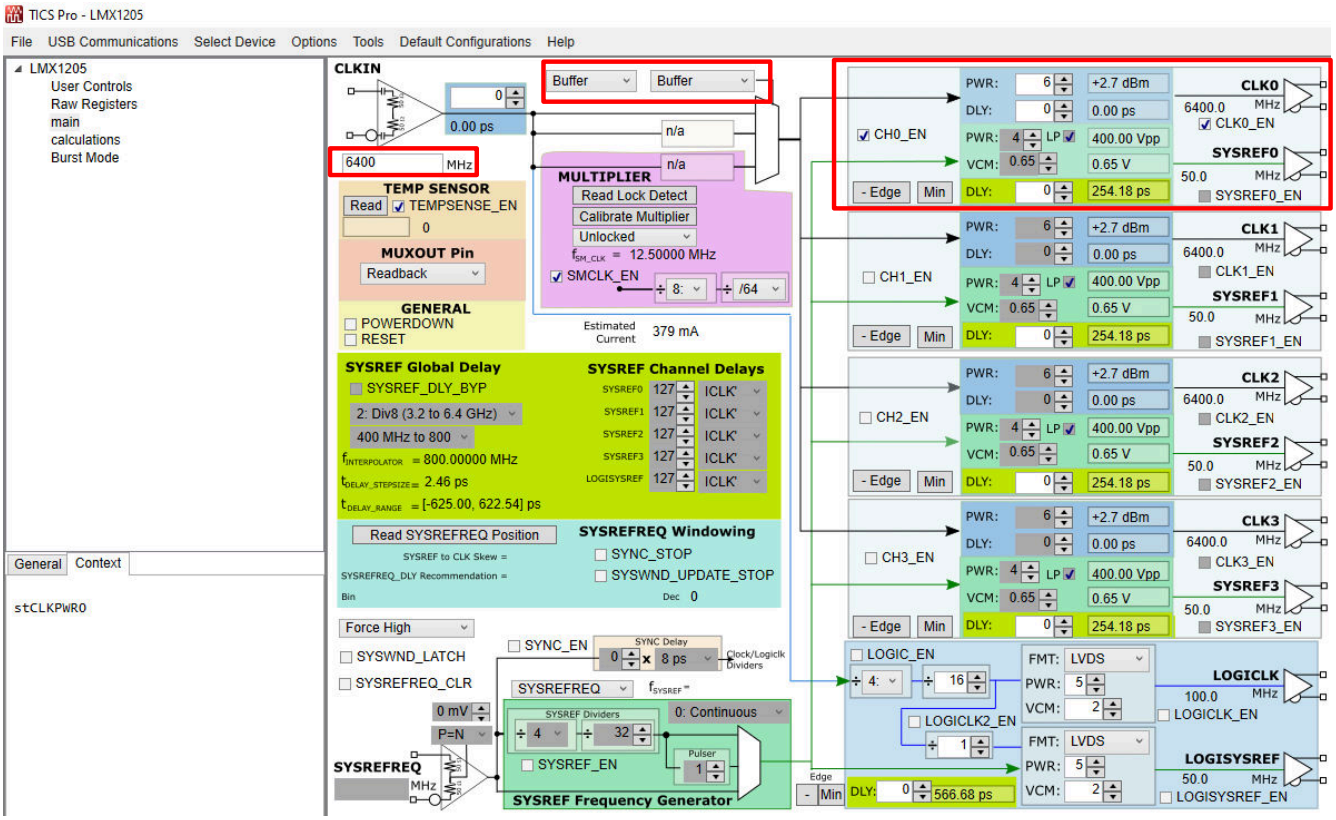


図 8-2. LMX1205-EP TICS Pro のセットアップ

8.1.1.3 アプリケーションのプロット

次の図は、バッファ モードでの LMX1205-EP と、LMX2694-EP 6.4GHz 出力のノイズの合計を示しています。LMX1205-EP は、LMX2694-EP と同じノイズ曲線に従います。

Copyright © 2026 Texas Instruments Incorporated

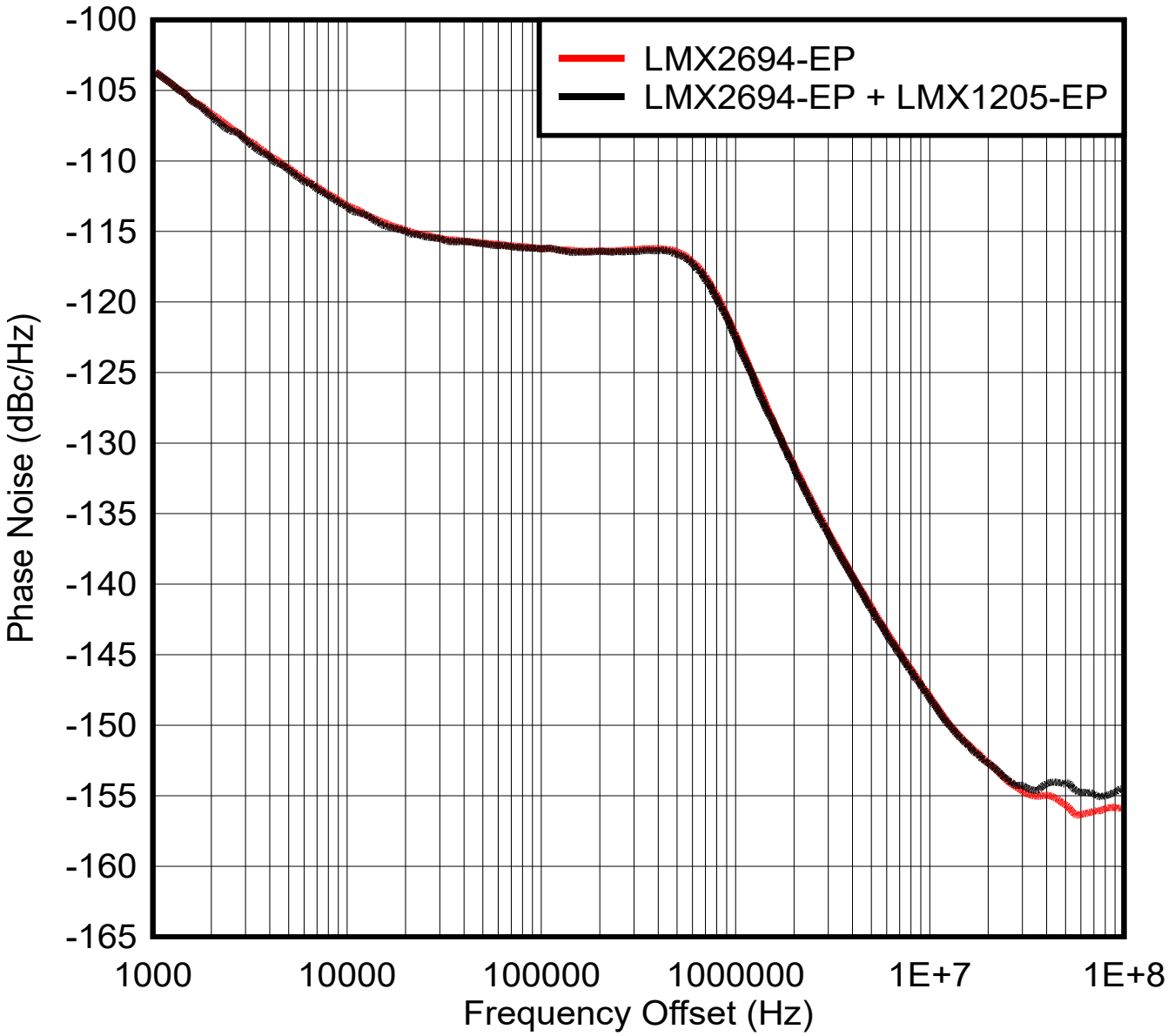


図 8-3. LMX1205-EP バッファ モード出力

8.2 電源に関する推奨事項

このデバイスは、デバイス全体に 2.5V 電源を使用しています。スイッチング電源に直接接続すると、出力に望ましくないスプリアスが発生する可能性があります。すべての電源ピンで、個別にバイパスを行うことができます。テキサス インスツルメンツでは、デバイスと同じ層で、周波数が最小化された、より小さなコンデンサを、ピンにできる限り近づけて配置することを推奨します。デバイスのほとんどすべての信号の周波数は 100MHz 以上であるため、低周波数の最小インピーダンスを持つ大容量のバイパス コンデンサは内部 LDO の安定性のためにのみ使用され、デバイスまでの距離 (およびバイパス パスのループ インダクタンス) を長くできます。両方を同時に使用する場合は、小さな抵抗またはフェライトビーズを使用して、クロックと LOGICLK の電源ピンを絶縁します。各ピンのその他の推奨事項については、「*ピン構成および機能*」セクションを参照してください。

注

このデバイスは、動作電圧が低く、LDO による内部フィルタリングが原因で、PSRR (電源除去比) が最小限です。このデバイスは、過剰なスプリアスノイズが発生しない低ノイズ電源に接続することが重要です。

8.3 レイアウト

8.3.1 レイアウトのガイドライン

- 出力シングルエンドを使用する場合は、相補側から見たインピーダンスが、使用される側と同じになるように、相補側を終端します。
- パッケージの外周にある GND ピンはパッケージで、DAP に戻るよう配線できます。
- 最適な位相ノイズを実現するために、CLKIN の配線の長さを最小限に抑えます。マッチングが不十分な場合、ノイズフロアが劣化する可能性があります。
- デバイスの DAP が、多数のビアで十分に接地されていることを確認します。
- より低損失の誘電体 (Rogers 4350B など) を使用して、最適な出力電力を実現します。
- すべての出力と SYSREF が動作している場合、125°C の推奨内部接合部温度を超えるほど消費電流が十分に高くなる可能性があることに注意してください。ヒートシンクが必要になる場合があります。

Copyright © 2026 Texas Instruments Incorporated

8.3.2 レイアウト例

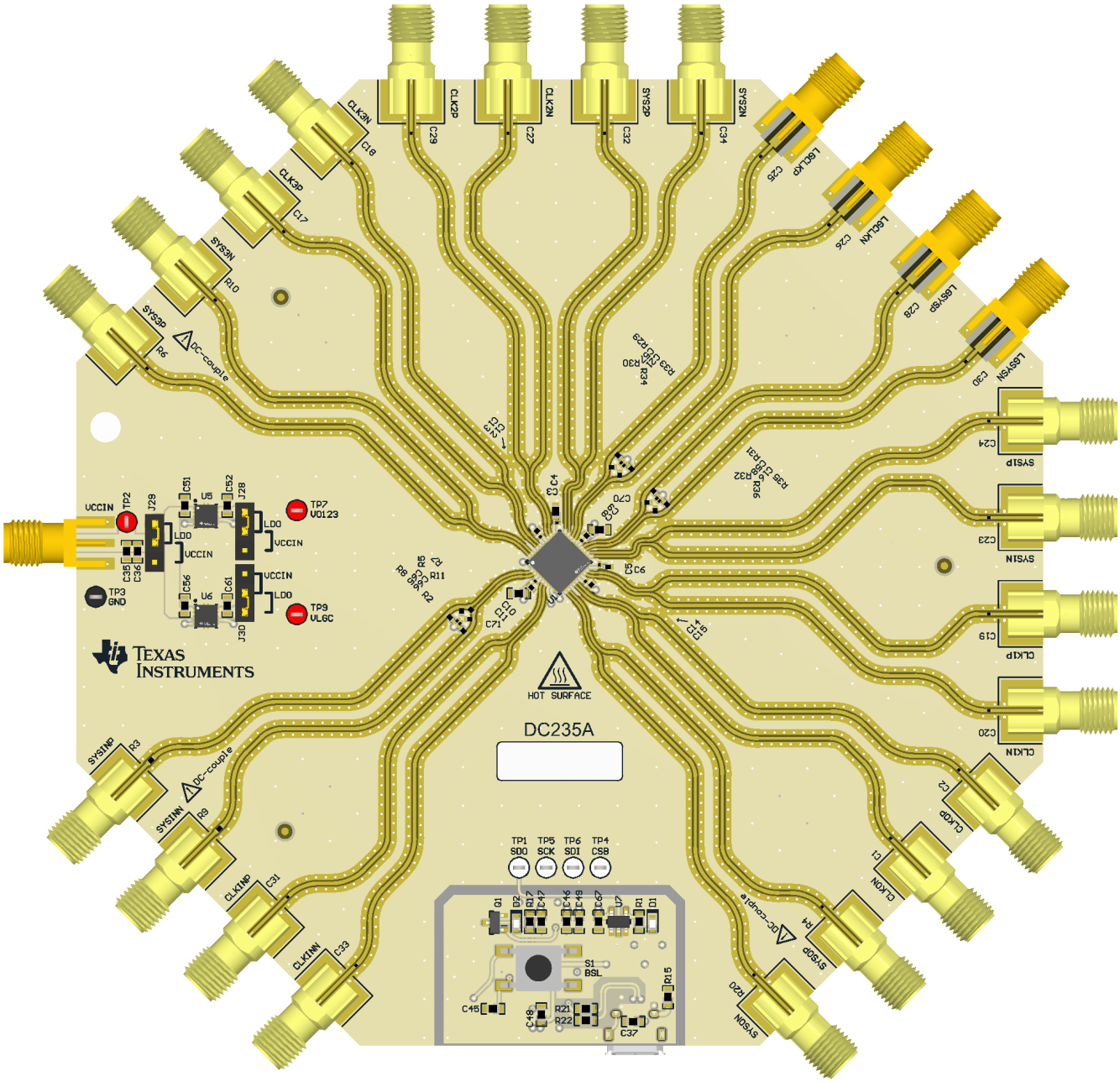


図 8-4. レイアウト例

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

TI では、デバイスの性能のシミュレーションとデバイスのプログラムのための、幅広い開発ツールおよびソフトウェアを提供しています。

表 9-1. 開発ツールとソフトウェア

ツール	タイプ	説明
PLLatinum™ Sim	ソフトウェア	すべてのモードで位相ノイズのシミュレーションを行います
TICS Pro	ソフトウェア	対話型フィードバックと 16 進レジスタ エクスポート機能を備えた、使いやすい GUI を使用してデバイスをプログラムします。

9.2 ドキュメントのサポート

9.2.1 関連資料

テキサス インスツルメンツ、*LMX1205 評価基板*、EVM ユーザー ガイド

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

PLLatinum™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
December 2025	*	初版リリース

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

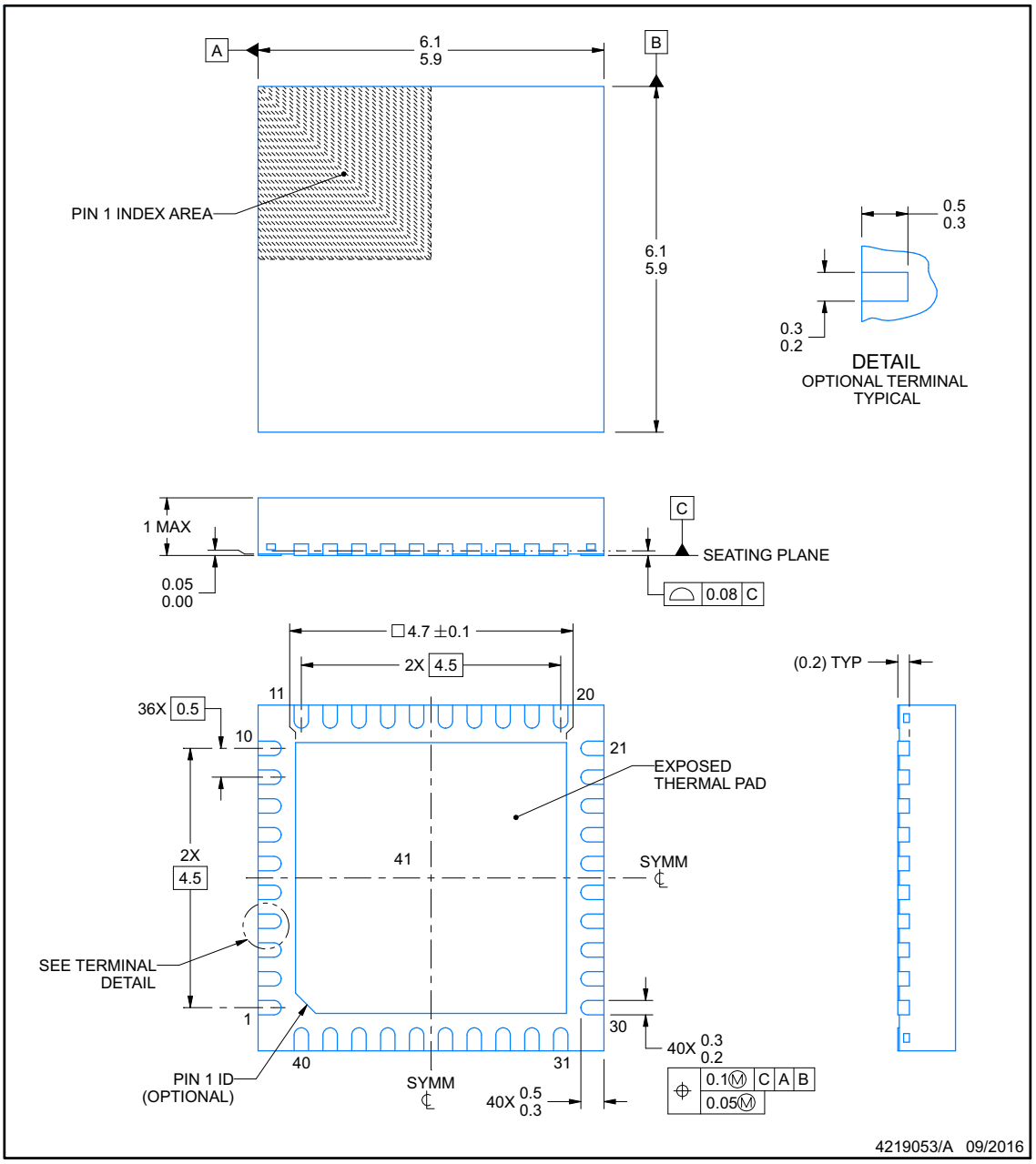
Copyright © 2026 Texas Instruments Incorporated

PACKAGE OUTLINE

RHA0040C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

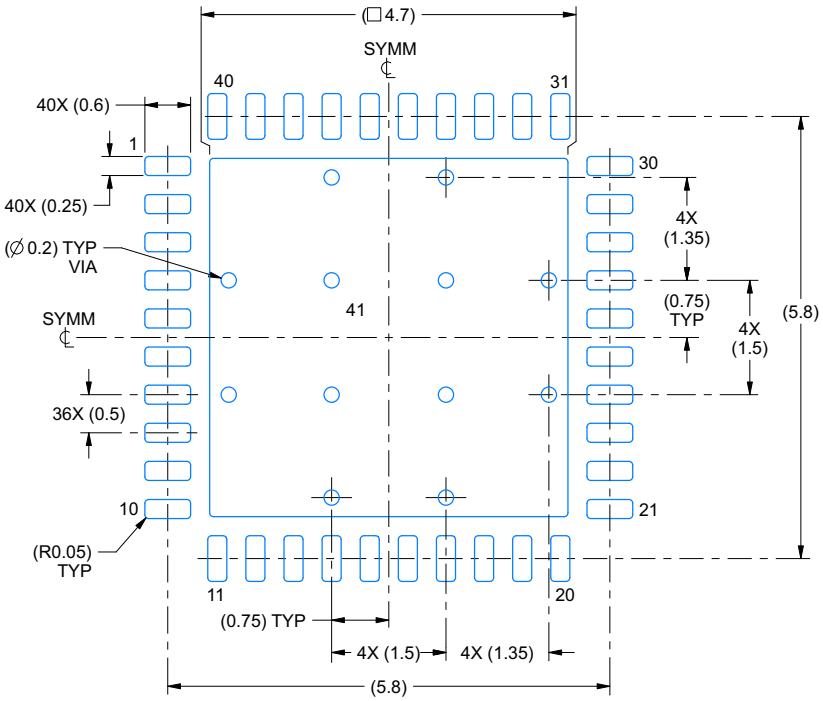
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

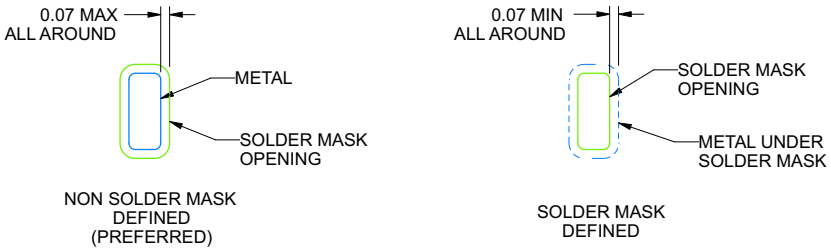
RHA0040C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:12X



SOLDER MASK DETAILS

4219053/A 09/2016

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

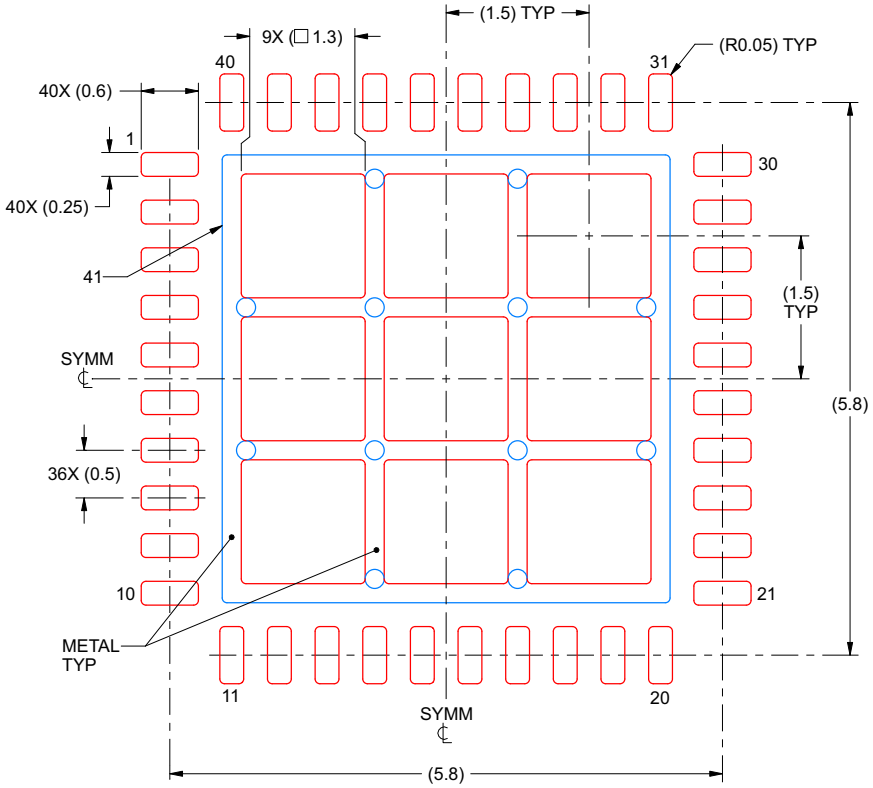
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RHA0040C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 41:
69% PRINTED SOLDER COVERAGE BY AREA
SCALE:15X

4219053/A 09/2016

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMX1205SRHAREP	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-	LMX1205 EP
LMX1205SRHATEP	Active	Production	VQFN (RHA) | 40	250 | SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-	LMX1205 EP
V62/25648-01XE	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	-	NIPDAUAG	Level-3-260C-168 HR	See LMX1205SRHAREP	LMX1205 EP
V62/25648-01XE-T	Active	Production	VQFN (RHA) | 40	250 | SMALL T&R	-	NIPDAUAG	Level-3-260C-168 HR	See LMX1205SRHATEP	LMX1205 EP

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LMX1205-EP :

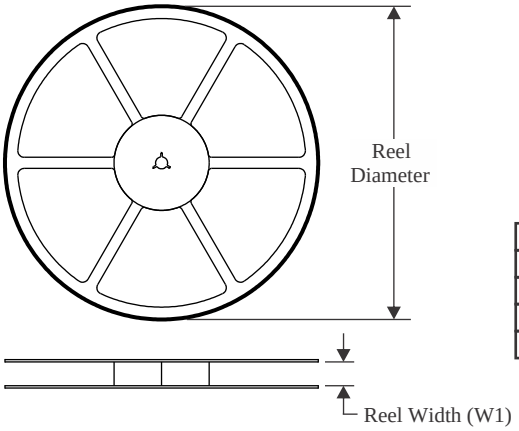
- Catalog : LMX1205

NOTE: Qualified Version Definitions:

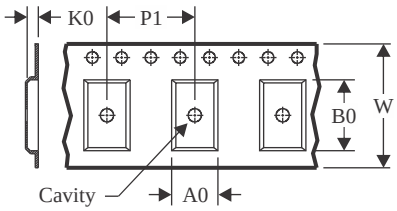
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

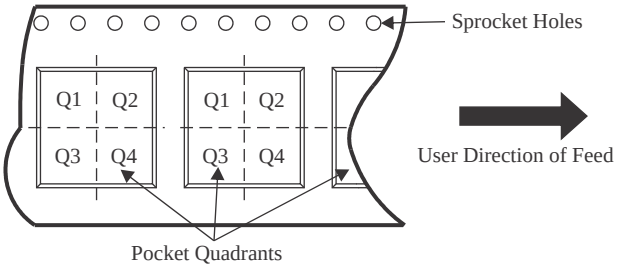


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

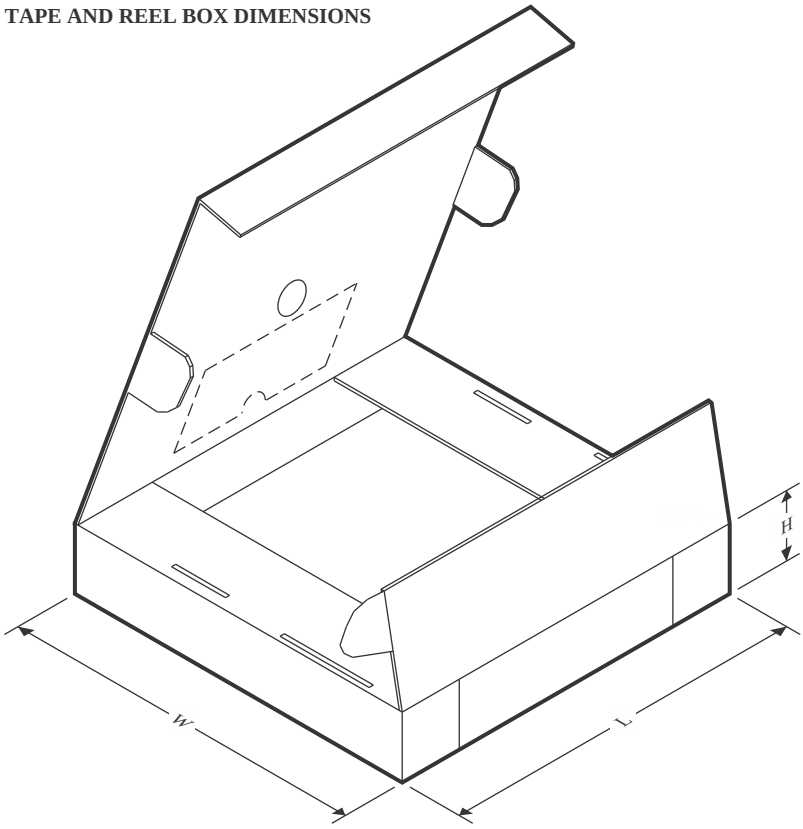
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMX1205SRHAREP	VQFN	RHA	40	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
LMX1205SRHATEP	VQFN	RHA	40	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMX1205SRHAREP	VQFN	RHA	40	2500	367.0	367.0	38.0
LMX1205SRHATEP	VQFN	RHA	40	250	210.0	185.0	35.0

GENERIC PACKAGE VIEW

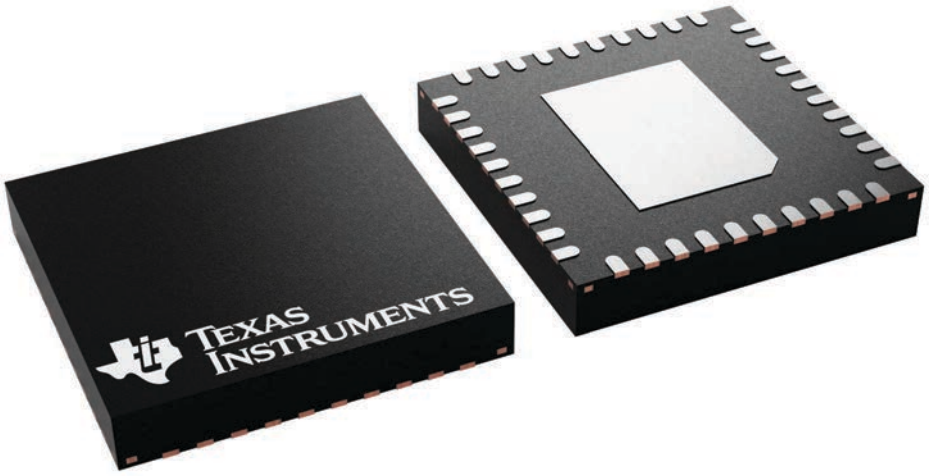
RHA 40

VQFN - 1 mm max height

6 x 6, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



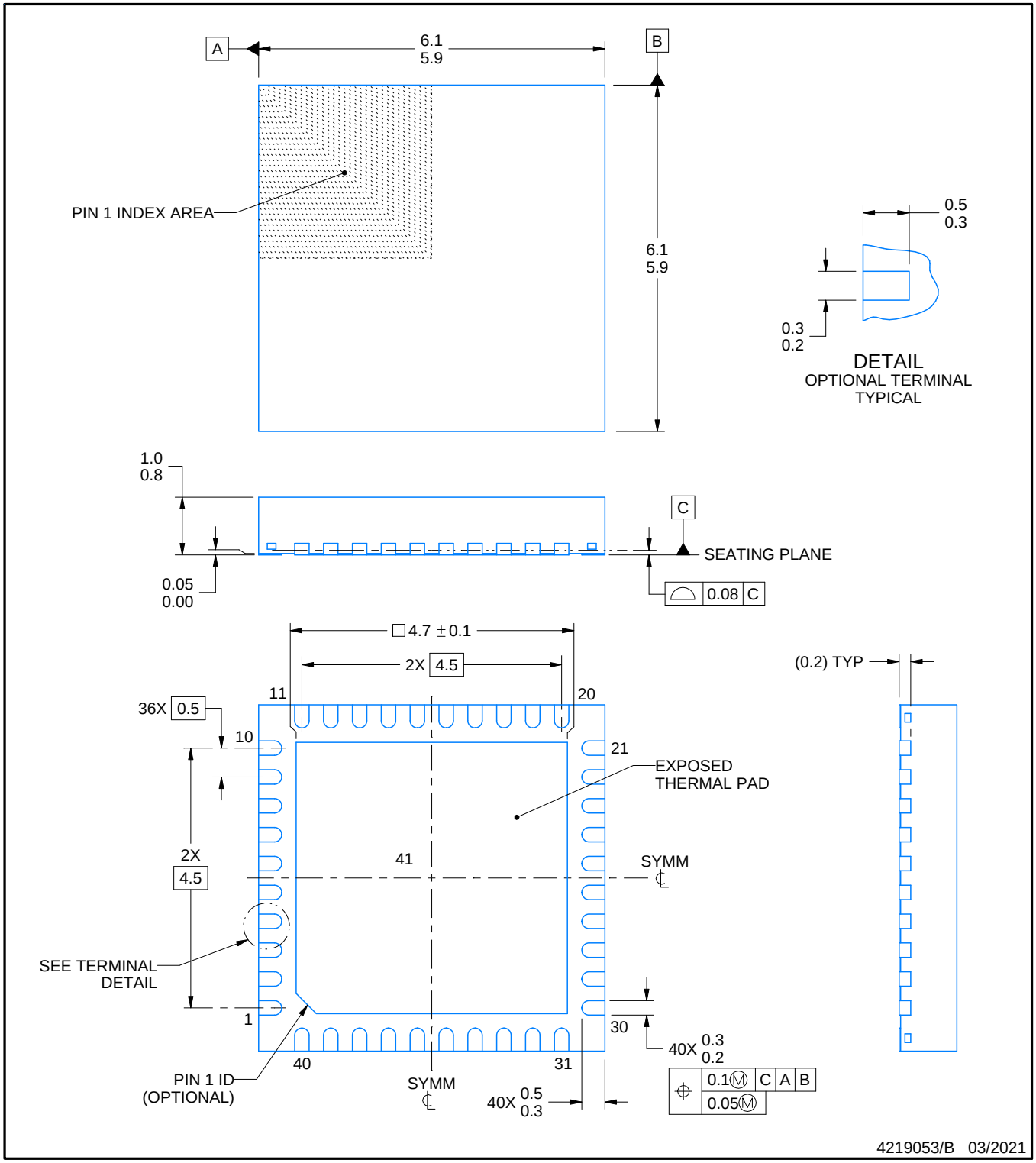
4225870/A

RHA0040C

PACKAGE OUTLINE

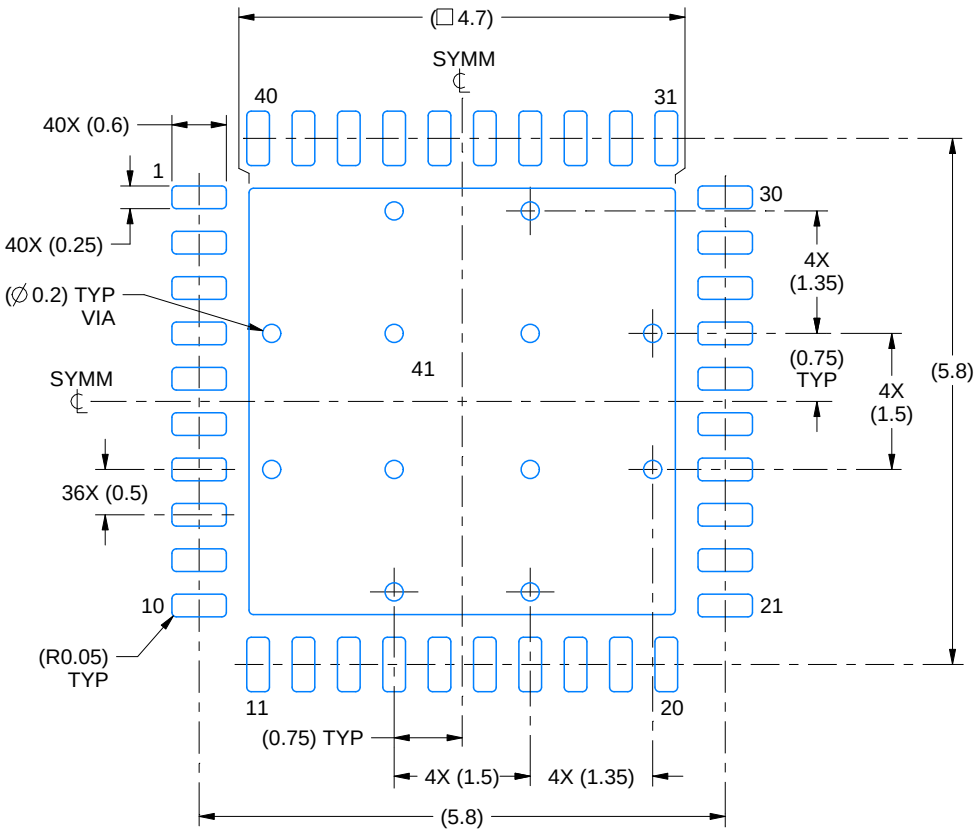
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

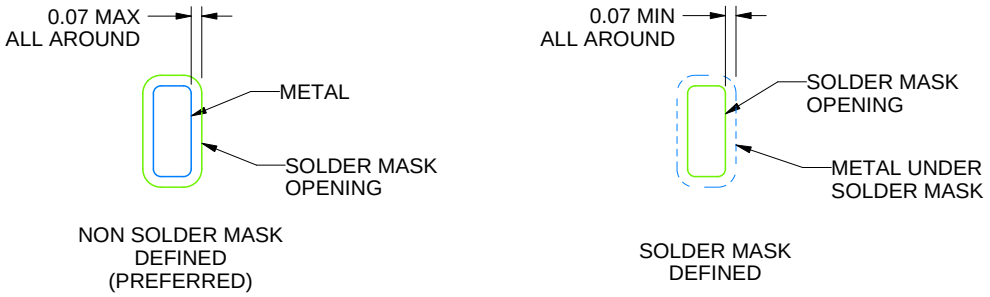


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:12X

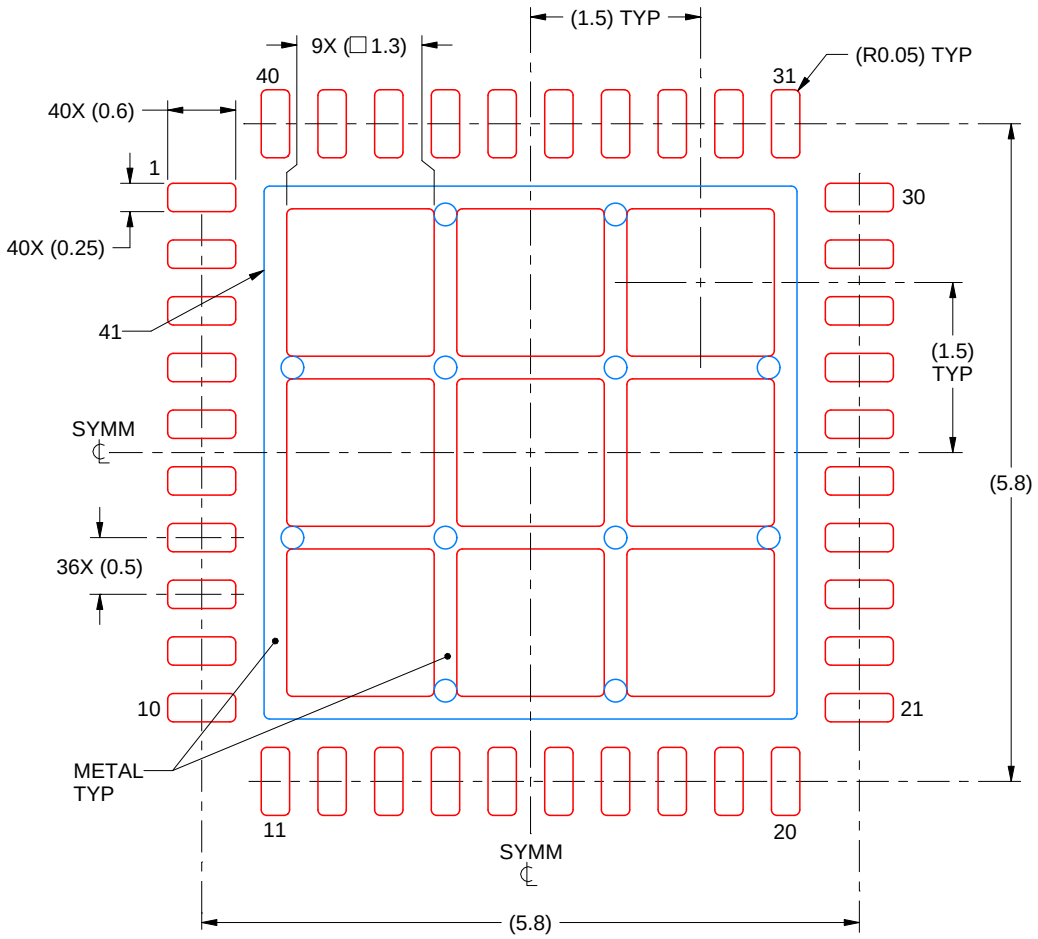


SOLDER MASK DETAILS

4219053/B 03/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 41:
69% PRINTED SOLDER COVERAGE BY AREA
SCALE:15X

4219053/B 03/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月