LMX1404-EP 低ノイズ、高周波 JESD204B/C バッファ、乗算器と分周器

1 特長

- VID #V62/24627
- 300MHz から 15GHz までの周波数に対応するクロック バッファ
- 超低ノイズ
  - ノイズ フロア (6GHz 出力):-159dBc/Hz
  - 6GHz 出力時の 36fs の追加ジッタ (100Hz～f_{CLK})
  - 5fs の追加ジッタ (100Hz～100MHz)
- 対応する SYSREF 出力を備えた 4 つの高周波クロック
  - 共有分周比は 1 (バイパス)、2、3、4、5、6、7、8
  - 共有プログラマブル乗算器 x2 、x3 、および x4
- SPI なしでデバイスを構成するためのピン モード オプションをサポート
- LOGICLK 出力、対応する SYSREF 出力付き
  - 個別の分周バンク上
  - 1、2、4 プリデバイダ
  - 1 (バイパス)、2 、…、1023 ポストディバイダ
- 8 つのプログラム可能な出力電力レベル
- 同期された SYSREF クロック出力
  - 508 遅延ステップの調整は、12.8GHz でそれぞれ 2.5ps 未満
  - ジェネレータモードとリピータモード
  - SYSREFREQ ピンのウィンドウ処理機能によりタイミングを最適化します
- すべてのデバイダおよび複数のデバイスに対する SYNC 機能
- 2.5V の動作電圧
- –55℃～125℃の動作温度
- 高信頼性
  - 管理されたベースライン
  - 単一のアセンブリ / テスト施設
  - 単一の製造施設
  - 長期にわたる製品ライフ サイクル
  - 製品のトレーサビリティ

2 アプリケーション

- レーダー画像処理ペイロード
- 通信ペイロード
- コマンドとデータの処理
- データ コンバータのクロック供給
- クロック分配 / 乗算 / 除算

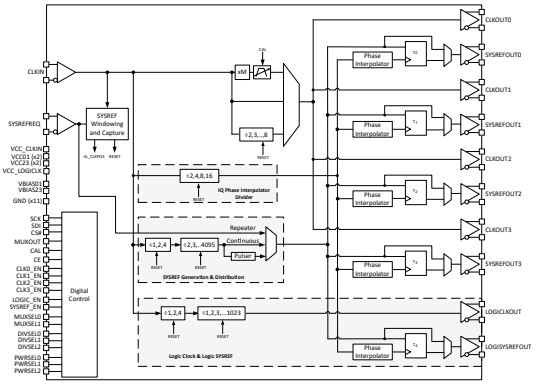
3 説明

LMX1404-EP は、高周波、超低ジッタ、SYSREF 出力を備えたバッファ、デバイダ、マルチプレクサです。このデバイスは、超低ノイズのリファレンス クロック ソースと組み合わせると、特にサンプリングが 3GHz を超える場合に、データ コンバータのクロック供給用の模範的な設計になります。4 つの各高周波クロック出力と、追加の LOGICLK 出力は、SYSREF 出力クロック信号と組み合わせられます。JESD インターフェイスの SYSREF 信号は、内部で生成するか、入力として渡されて、デバイス クロックに再度クロックされます。このデバイスは、SYSREF 出力をディセーブルにすることで、マルチチャネル、低スキュー、超低ノイズの局所発振器信号を複数のミキサに分配できます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
LMX1404MPAPTEP	PAP (HTQFP、64)	10.00mm × 10.00mm

(1) 供給されているすべてのパッケージについては、セクション 10 を参照してください。
(2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンが含まれます。



ブロック図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....7
5.1 絶対最大定格.....7
5.2 ESD 定格.....7
5.3 推奨動作条件.....7
5.4 熱に関する情報.....7
5.5 電気的特性.....8
5.6 タイミング要件.....10
5.7 タイミング図.....10
5.8 代表的特性.....11
6 詳細説明.....15
6.1 概要.....15
6.2 機能ブロック図.....16
6.3 機能説明.....17
6.4 デバイスの機能モード構成.....29
7 アプリケーションと実装.....32
7.1 アプリケーション情報.....32
7.2 代表的なアプリケーション.....35
7.3 レイアウト.....37
7.4 電源に関する推奨事項.....38
7.5 レジスタ マップ.....41
8 デバイスおよびドキュメントのサポート.....61
8.1 デバイス サポート.....61
8.2 ドキュメントのサポート.....61
8.3 ドキュメントの更新通知を受け取る方法.....61
8.4 サポート・リソース.....61
8.5 商標.....61
8.6 静電気放電に関する注意事項.....61
8.7 用語集.....61
9 改訂履歴.....61
10 メカニカル、パッケージ、および注文情報.....62

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

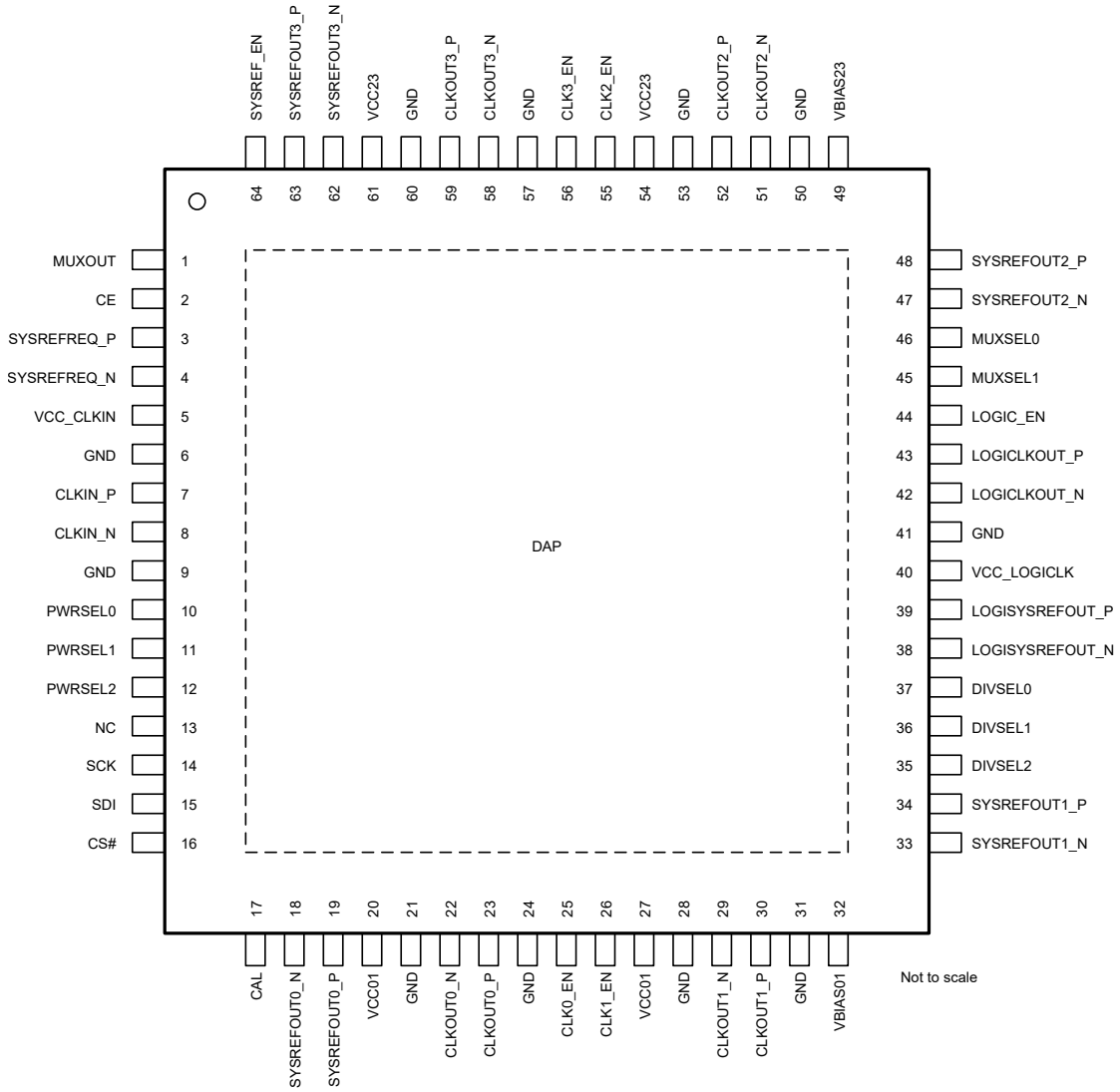


図 4-1. PAP0064E パッケージ 64 ピン HTQFP 上面図

表 4-1. ピンの機能

番号	名称	タイプ(1)	説明
1	MUXOUT	O	多重化ピンのシリアル データ読み戻し (SDO) および乗算器のロック ステータス。
2	CE	I	チップのイネーブル
3	SYSREFREQ_P	I	JESD204B/C サポート用の差動 SYSREF 要求入力。内部の 50Ω AC 結合を内部同相電圧または GND へのコンデンサ。1.2V ～ 2V の同相電圧を直接受け入れる AC および DC 結合をサポートしています。

表 4-1. ピンの機能 (続き)

番号	名称	タイプ(1)	説明
4	SYSREFREQ_N	I	JESD204B/C サポート用の差動 SYSREF 要求入力。内部の 50Ω AC 結合を内部同相電圧または GND へのコンデンサ。1.2V ～ 2V の同相電圧を直接受け入れる AC および DC 結合をサポートしています。
5	VCC_CLKIN	PWR	2.5V 電源に接続します。より大きいコンデンサ (通常は 1µF や 10µF) と並列にピンの近くにシャント RF 広帯域コンデンサ (通常は 0.1µF 以下) を配置することを推奨します。大容量コンデンサは、ピンから離れた場所に配置できます。
6	GND	GND	これらのピンはグランドに接続します
7	CLKIN_P	I	差動リファレンス入力クロック。内部で 50Ω 終端。入力周波数に適したコンデンサ (通常は 0.1µF 以下) と AC 結合します。シングルエンドを使用する場合は、未使用のピンをグランドに AC 結合した 50Ω の抵抗で終端します。
8	CLKIN_N		
9	GND	GND	これらのピンはグランドに接続します
10	PWRSEL0	I	ピン モードで出力電力レベルを選択します。
11	PWRSEL1	I	ピン モードで出力電力レベルを選択します。
12	PWRSEL2	I	ピン モードで出力電力レベルを選択します。
13	NC	NC	接続なし (1kΩ 抵抗でグランドに接続)
14	SCK	I	SPI クロック。高インピーダンスの CMOS 入力。最大 3.3V を受け入れます。
15	SDI	I	SPI データ入力。高インピーダンスの CMOS 入力。最大 3.3V を受け入れます。
16	CS#	I	SPI チップ セレクト。高インピーダンスの CMOS 入力。最大 3.3V を受け入れます。
17	CAL	I	乗算器 モードで使用されるキャリブレーション ピン。
18	SYSREFOUT0_N	O	JESD204B/C サポート向けの差動 SYSREF CML 出力ペア。0.6V ～ 2V のプログラマブル同相電圧で AC および DC 結合をサポートします。
19	SYSREFOUT0_P	O	JESD204B/C サポート向けの差動 SYSREF CML 出力ペア。0.6V ～ 2V のプログラマブル同相電圧で AC および DC 結合をサポートします。
20	VCC01	PWR	2.5V 電源に接続します。より大きいコンデンサ (通常は 1µF や 10µF) と並列にピンの近くにシャント RF 広帯域コンデンサ (通常は 0.1µF 以下) を配置することを推奨します。大容量コンデンサは、ピンから少し離れた場所に配置できます。
21	GND	GND	これらのピンはグランドに接続します
22	CLKOUT0_N	O	差動クロック出力ペア。各ピンはオープン コレクタ出力で、50Ω 抵抗を内部的に内蔵し、出力スイングをプログラム可能です。AC カップリングが必要です。
23	CLKOUT0_P	O	差動クロック出力ペア。各ピンはオープン コレクタ出力で、50Ω 抵抗を内部的に内蔵し、出力スイングをプログラム可能です。AC カップリングが必要です。
24	GND	GND	これらのピンはグランドに接続します
25	CLK0_EN	I	個別出力チャネルを有効化/無効化します。
26	CLK1_EN	I	個別出力チャネルを有効化/無効化します。
27	VCC01	PWR	2.5V 電源に接続します。より大きいコンデンサ (通常は 1µF や 10µF) と並列にピンの近くにシャント RF 広帯域コンデンサ (通常は 0.1µF 以下) を配置することを推奨します。大容量コンデンサは、ピンから少し離れた場所に配置できます。
28	GND	GND	これらのピンはグランドに接続します
29	CLKOUT1_N	O	差動クロック出力ペア。各ピンはオープン コレクタ出力で、50Ω 抵抗を内部的に内蔵し、出力スイングをプログラム可能です。AC カップリングが必要です。
30	CLKOUT1_P	O	差動クロック出力ペア。各ピンはオープン コレクタ出力で、50Ω 抵抗を内部的に内蔵し、出力スイングをプログラム可能です。AC カップリングが必要です。
31	GND	GND	これらのピンはグランドに接続します
32	VBIAS01	BYP	このピンは 10nF のコンデンサで GND にバイパスすることで、乗算器 モードで最適なノイズ性能を実現します。
33	SYSREFOUT1_N	O	JESD204B/C サポート向けの差動 SYSREF CML 出力ペア。0.6V ～ 2V のプログラマブル同相電圧で AC および DC 結合をサポートします。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

番号	名称	タイプ(1)	説明
34	SYSREFOUT1_P	O	JESD204B/C サポート向けの差動 SYSREF CML 出力ペア。0.6V ～ 2V のプログラマブル同相電圧で AC および DC 結合をサポートします。
35	DIVSEL2	I	ピン構成では、分周器または乗算器 モードでの分周器の値または乗算器の値を選択します。
36	DIVSEL1	I	ピン構成では、分周器または乗算器 モードでの分周器の値または乗算器の値を選択します。
37	DIVSEL0	I	ピン構成では、分周器または乗算器 モードでの分周器の値または乗算器の値を選択します。
38	LOGISYSREFOUT_N	O	差動クロック出力ペア。CML または LVDS 形式を選択可能。プログラム可能な同相電圧。
39	LOGISYSREFOUT_P	O	差動クロック出力ペア。CML または LVDS 形式を選択可能。プログラム可能な同相電圧。
40	VCC_LOGICLK	PWR	2.5V 電源に接続します。より大きいコンデンサ (通常は 1µF や 10µF) と並列にピンの近くにシャント RF 広帯域コンデンサ (通常は 0.1µF 以下) を配置することを推奨します。大容量コンデンサは、ピンから少し離れた場所に配置できます。
41	GND	GND	これらのピンはグランドに接続します
42	LOGICLKOUT_N	O	差動クロック出力ペア。CML または LVDS 形式を選択可能。プログラム可能な同相電圧。
43	LOGICLKOUT_P	O	差動クロック出力ペア。CML または LVDS 形式を選択可能。プログラム可能な同相電圧。
44	LOGIC_EN	I	ピン モードでの論理チャネルのイネーブル/ディスエーブル。
45	MUXSEL1	I	ピン モード構成で動作モード バッファ、分周器、または乗算器を選択します。
46	MUXSEL0	I	ピン モード構成で動作モード バッファ、分周器、または乗算器を選択します。
47	SYSREFOUT2_N	O	JESD204B/C サポート向けの差動 SYSREF CML 出力ペア。0.6V ～ 2V のプログラマブル同相電圧で AC および DC 結合をサポートします。
48	SYSREFOUT2_P	O	JESD204B/C サポート向けの差動 SYSREF CML 出力ペア。0.6V ～ 2V のプログラマブル同相電圧で AC および DC 結合をサポートします。
49	VBIAS23	BYP	乗算器 モードで最適なノイズ性能を得るため、10µF および 0.1µF コンデンサを使用してこのピンを GND にバイパスします。
50	GND	GND	これらのピンはグランドに接続します
51	CLKOUT2_N	O	差動クロック出力ペア。各ピンはオープン コレクタ出力で、50Ω 抵抗を内部的に内蔵し、出力スイングをプログラム可能です。AC カップリングが必要です。
52	CLKOUT2_P	O	差動クロック出力ペア。各ピンはオープン コレクタ出力で、50Ω 抵抗を内部的に内蔵し、出力スイングをプログラム可能です。AC カップリングが必要です。
53	GND	GND	これらのピンはグランドに接続します
54	VCC23	PWR	2.5V 電源に接続します。より大きいコンデンサ (通常は 1µF や 10µF) と並列にピンの近くにシャント RF 広帯域コンデンサ (通常は 0.1µF 以下) を配置することを推奨します。大容量コンデンサは、ピンから少し離れた場所に配置できます。
55	CLK2_EN	I	個別出力チャネルを有効化/無効化します。
56	CLK3_EN	I	個別出力チャネルを有効化/無効化します。
57	GND	GND	これらのピンはグランドに接続します
58	CLKOUT3_N	O	差動クロック出力ペア。各ピンはオープン コレクタ出力で、50Ω 抵抗を内部的に内蔵し、出力スイングをプログラム可能です。AC カップリングが必要です。
59	CLKOUT3_P	O	差動クロック出力ペア。各ピンはオープン コレクタ出力で、50Ω 抵抗を内部的に内蔵し、出力スイングをプログラム可能です。AC カップリングが必要です。
60	GND	GND	これらのピンはグランドに接続します
61	VCC23	PWR	2.5V 電源に接続します。より大きいコンデンサ (通常は 1µF や 10µF) と並列にピンの近くにシャント RF 広帯域コンデンサ (通常は 0.1µF 以下) を配置することを推奨します。大容量コンデンサは、ピンから少し離れた場所に配置できます。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

番号	名称	タイプ(1)	説明
62	SYSREFOUT3_N	O	JESD204B/C サポート向けの差動 SYSREF CML 出力ペア。0.6V ～ 2V のプログラマブル同相電圧で AC および DC 結合をサポートします。
63	SYSREFOUT3_P	O	JESD204B/C サポート向けの差動 SYSREF CML 出力ペア。0.6V ～ 2V のプログラマブル同相電圧で AC および DC 結合をサポートします。
64	SYSREF_EN	I	ピン モード構成で、SYSREF セクションをイネーブル/ディセーブルします。
DAP	DAP	GND	パッドを接地します。

(1) I = 入力、O = 出力、GND = グランド、PWR = 電源、BYP = バイパス

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
V_{CC}	電源電圧	-0.3	2.75	V
V_{IN}	DC 入力電圧 (SCK、SDI、CSB)	GND	3.6	V
V_{IN}	DC 入力電圧範囲 (SYSREFREQ)	GND	V_{CC} + 0.3	V
V_{IN}	AC 入力電圧 (CLKIN)		2.1	Vpp
T_J	接合部温度		150	℃
T_{stg}	保存温度	-65	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2500	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン(2)	±250	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{CC}	電源電圧	2.4	2.5	2.6	V
T_C	ケース温度	-55		125	℃

5.4 熱に関する情報

記号	サーマル マティック(1)	PAP (HTQFP)	単位
		64 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	21.7	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	9.1	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	7.3	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.1	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	7.2	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	0.6	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性

2.4V ≦ V_{CC} ≦ 2.6V、-55℃ ≦ T_C ≦ +125℃。標準値は V_{CC} = 2.5V、25℃でのものです (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
消費電流							
I_{CC}	消費電流 (1)	電源投入、すべての出力と SYSREF がオン			1050		mA
		電源オン、すべての出力がオン、すべての SYSREF がオフ			600		
		電源オン、すべての出力と SYSREF はオフ			265		
		電源オフ(2)			11		
SYSREF							
f_{SYSREF}	SYSREF 出力周波数	ジェネレータ モード				200	MHz
		リピータ モード				100	MHz
Δt	SYSREF 遅延ステップ サイズ	f_{CLKIN} = 12.8GHz			3		ps
t_{RISE}	立ち上がり時間 (20% から 80%)	SYSREFOUT			45		ps
		LOGISYSREFOUT	CML		120		ps
			LVDS		120		ps
t_{FALL}	立ち下がり時間 (20% ～ 80%)	SYSREFOUT			45		ps
		LOGISYSREFOUT	CML		120		ps
			LVDS		120		ps
V_{OD}	差動出力電圧	SYSREFOUT			0.85		Vpp
		LOGISYSREFOUT	CML		0.4		Vp
			LVDS		0.4		Vp
$V_{SYSREFCM}$	同相電圧	SYSREFOUT	CML SYSREFOUTx_PWR = 4 100Ω 差動負荷		0.8		V
SYSREFREQ ピン							
$V_{SYSREFIN}$	電圧入力範囲	AC 差動電圧		0.8		2	Vpp
V_{CM}	入力同相モード	差動 100Ω 終端、DC 結合 外部に設定		1.2	1.3	2	V
クロック入力							
f_{IN}	入力周波数	バッファ モードのみ		0.3		15(3)	GHz
P_{IN}/	入力電力	CLKIN_P または CLKIN_N でのシングルエンド電源		0		10	dBm
クロック出力							
f_{OUT}	出力周波数	2 分周		0.15		6.4	GHz
f_{OUT}	出力周波数	バッファ モード		0.3		15(3)	
f_{OUT}	出力周波数	x2、x3、x4		3.2		6.4	
f_{OUT}	出力周波数	LOGICLK 出力		1		800	MHz
t_{CAL}	キャリブレーション時間	乗算器のキャリブレーション時間	f_{IN} = 3.2GHz、x2 f_{SMCLK} = 28MHz		750		µs
p_{OUT}	出力電力	シングル エンド	$f_{CLKLOUT}$ = 6GHz OUTx_PWR = 7		6		dBm
			$f_{CLKLOUT}$ = 12.8GHz OUTx_PWR = 7		0		
			$f_{CLKLOUT}$ = 15GHz OUTx_PWR = 7		-3		
t_{RISE}	立ち上がり時間 (20% から 80%)	f_{CLKOUT} = 300MHz			45		ps

Copyright © 2025 Texas Instruments Incorporated

2.4V ≦ V_{CC} ≦ 2.6V、-55℃ ≦ T_C ≦ +125℃。標準値は V_{CC} = 2.5V、25℃でのものです (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
t_{FALL}	立ち下がり時間 (20% ～ 80%)	f_{CLKOUT} = 300MHz			45		ps
t_{MUTE}	出力ミュート時間	OE ピンの立ち下がりエッジ				30	µs
t_{UNMUTE}	出力のミュート解除時間	OE ピンの立ち上がりエッジ				30	µs
伝搬遅延とスキュー							
| t_{SKEW} |	複数の出力間のスキューの大きさ	T_A = -55°C ～ +125°C			2.5	10	ps
$\Delta t_{DLY}/\Delta T$	温度による伝搬遅延の変動	バッファ モード		0.02	0.06	0.1	ps/C
t_{DLY}	伝搬遅延	バッファ モード	T_A = 25℃		180		ps
		デバイダ モード			182		
		乗算器 モード			185		
ノイズ、ジッタ、スプリアス							
J_{CKx}	付加ジッタ	付加ジッタ。12kHz ～ 100Mhz の積分帯域幅。	バッファ モード		5		fs、rms
			X2 乗算器		16		
			X3 乗算器		21		
			X4 乗算器		26		
フリッカー	1/f フリッカー ノイズ	スルー レート > 8V/ns、f_{CLK} = 6GHz	バッファ モード		-155		dBc/Hz
NFL	ノイズ フロア	f_{OUT} = 6GHz、f_{Offset} = 100MHz	バッファ モード		-159		dBc/Hz
			2 分周		-158.5		
			乗算器 (x2、x3、x4)		-159.5		
	ノイズ フロア	LOGICLK 出力、300MHz	CML		-150.5		dBc/Hz
			LVDS		-151.5		
H2	2 次高調波	f_{OUT} = 6GHz (差動)、バッファ モード			-25		dBc
		f_{OUT} = 6GHz (シングルエンド)、バッファ モード			-13		
		f_{OUT} = 6GHz、シングルエンド、2 分周			-16		
H1/2	入力クロックのリーク スプリアス	F_{OUT} = 6GHz (シングルエンド)	x2 (f_{SPUR} = 3GHz)		-40		dBc
H1/3			x3 (f_{SPUR} = 2GHz)		-50		
H1/4			x4 (f_{SPUR} = 1.5GHz)		-54		dBc
I_{SPUR}	LOGICLK から CLKOUT へ	f_{SPUR} = 300MHz (差動)			-70		dBc
デジタル インターフェイス (SCK、SDI、CS#、MUXOUT、CLKx_EN、MUXSELx、PWRSELx、DIVSELx、LOGIC_EN、SYSREF_EN、CAL、CE)							
V_{IH}	High レベル入力電圧	SCK、SDI、CS#		1.4		3.3	V
	High レベル入力電圧	CLKx_EN、MUXSELx、PWRSELx、DIVSELx、LOGIC_EN、SYSREF_EN、CAL、CE		1.4		3.3	V
V_{IL}	Low レベル入力電圧	SCK、SDI、CS#		0		0.4	V
	Low レベル入力電圧	CLKx_EN、MUXSELx、PWRSELx、DIVSELx、LOGIC_EN、SYSREF_EN、CAL、CE		0		0.4	V
I_{IH}	High レベル入力電流	SCK、SDI、CS#		-42		42	µA
	High レベル入力電流	CLKx_EN、MUXSELx、PWRSELx、DIVSELx、LOGIC_EN、SYSREF_EN、CAL、CE		-42		42	µA

Copyright © 2025 Texas Instruments Incorporated

2.4V ≦ V_{CC} ≦ 2.6V、-55℃ ≦ T_C ≦ +125℃。標準値は V_{CC} = 2.5V、25℃でのものです (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
I_{IL}	Low レベル入力電流	SCK、SDI、CS#		-25		25	µA
	Low レベル入力電流	CLKx_EN、MUXSELx、PWRSELx、DIVSELx、LOGIC_EN、SYSREF_EN、CAL、CE		-25		25	µA
V_{OH}	High レベル出力電圧	MUXOUT	I_{OH} = 5mA	1.4		2.2	V
	High レベル出力電圧		I_{OH} = 0.1mA	2.2		2.5	V
V_{OL}	Low レベル出力電圧	MUXOUT	I_{OL} = 5mA			0.45	V

(1) 特に記述のない限り、f_{CLKIN} = 6GHz、CLK_MUX = バッファ、すべてのクロックは OUTx_PWR = 7、SYSREFREQ_MODE = 1 でオンになります。
(2) パワーダウン モードの場合。
(3) 最大 12.8Ghz の周波数で動作する同期、デバイダ、SYSREF、SYSREF のウィンドウ処理をサポート。

5.6 タイミング要件

		最小値	公称値	最大値	単位
タイミング要件					
f_{SPI}	SPI 読み出し/書き込み速度			2	MHz
t_{CE}	クロックからイネーブル low 時間	20			ns
t_{CS}	クロックからデータまでの待機時間	20			ns
t_{CH}	クロックからデータまでのホールド時間	20			ns
t_{CWH}	クロック パルス幅 high	100			ns
t_{CWL}	クロック パルス幅 low	100			ns
t_{CES}	クロック セットアップ時間をイネーブル	20			ns
t_{EWH}	パルス幅 high をイネーブル	50			ns
t_{CD}	立ち下がりクロック エッジからデータ待ち時間まで	0		100	ns

5.7 タイミング図

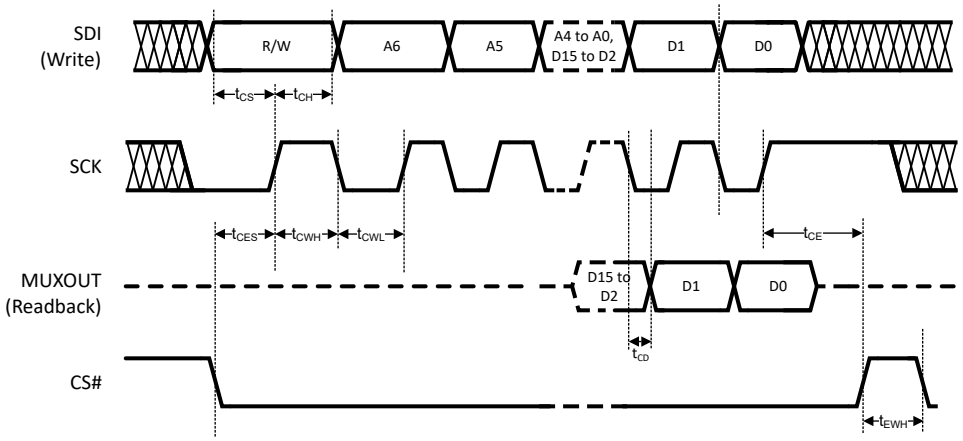


図 5-1. シリアル データ入力のタイミング図

SPI に書き込む場合、他にも次のような考慮事項があります。

- R/W ビットを 0 に設定する必要があります。
- SDI ピンのデータは、SCK ピンの各立ち上がりエッジでシフト レジスタに取り込まれます。

Copyright © 2025 Texas Instruments Incorporated

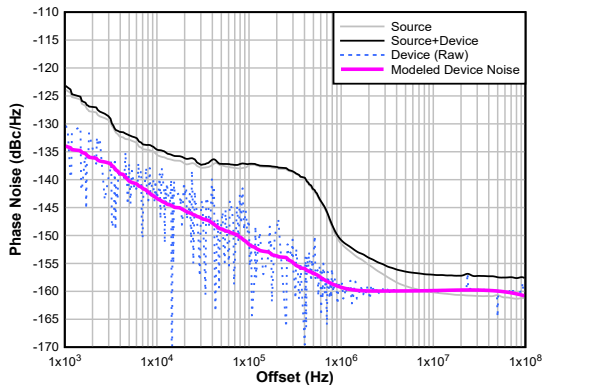
- データをクロックするには、CS# を low に保持する必要があります。CS# が high に保持されている場合、デバイスはクロックパルスを無視します。
- このデバイスの推奨 SPI 設定は、CPOL = 0 および CPHA = 0 です。
- SCK ラインと SDI ラインがデバイス間で共有されている場合は、クロック供給しないデバイスについて CS# ラインを high に保持することを推奨します。

SPI 読み戻しには、他にもいくつかの考慮事項があります。

- R/W ビットを 1 に設定する必要があります。
- MUXOUT ピンは、トランザクションのアドレス部分にとって常に low です。
- MUXOUT のデータは、SCK の立ち下がりエッジでクロック アウトします。つまり、読み戻しデータは、クロックの立ち下がりエッジ後に MUXOUT ピン t_{CD} で利用可能です。
- SDI ラインの遷移のデータ部分は、常に無視されます。
- MUXOUT ピンは、読み戻しトランザクションの完了後に自動的に tri 状態になることはありません。SPI バスの読み戻しピンを他のデバイスと共有する場合は、デバイスからのすべての読み戻しトランザクションが完了した後で MUXOUT_EN を 0 に設定して、手動で MUXOUT ピンを tri 状態にし、他のデバイスが読み戻しラインを制御できるようにします。
- R/W ビットについても、読み戻される値は必ずしも書き込まれる値ではなく、プログラムされた値やピンの状態など他の要因が考慮された内部デバイス状態です。

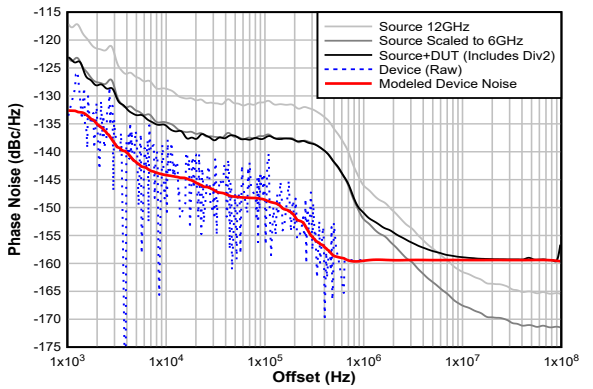
5.8 代表的特性

それ以外の場合は、次の条件が想定されます。温度 = 25°C、V_{CC} = 2.5V、OUTx_PWR = 5、CLKIN は各ピンで 8dBm で差動駆動。使用する信号源は、超低ノイズオプション B711 の Rohde & Schwarz® SMA100B です。



ノイズ フロア = –160dBc/Hz

図 5-2. 6GHz 出力でのバッファ位相ノイズのプロット



ノイズ フロア = -159.8dBc/Hz

図 5-3. 6GHz 出力での分周器の位相ノイズ プロット (2 分周)

5.8 代表的特性 (続き)

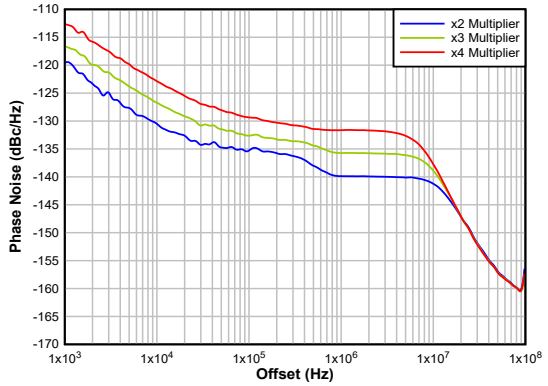
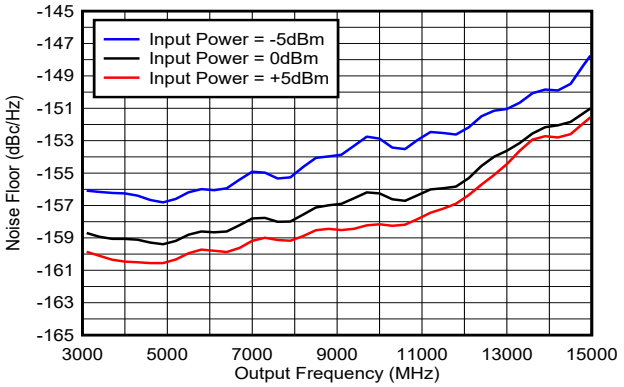


図 5-4. 6GHz 出力での乗算器位相ノイズのプロット



記載した入力電力は、各ピンに印加されます

図 5-5. バッファ モードのノイズ フロア

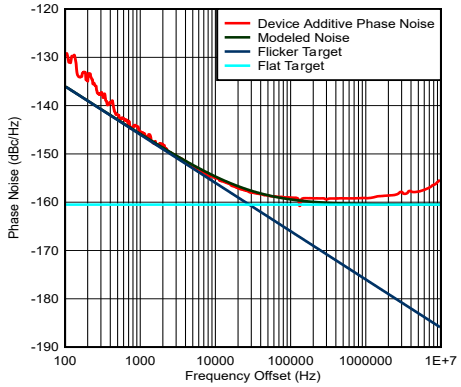


図 5-6. フリッカー ノイズ

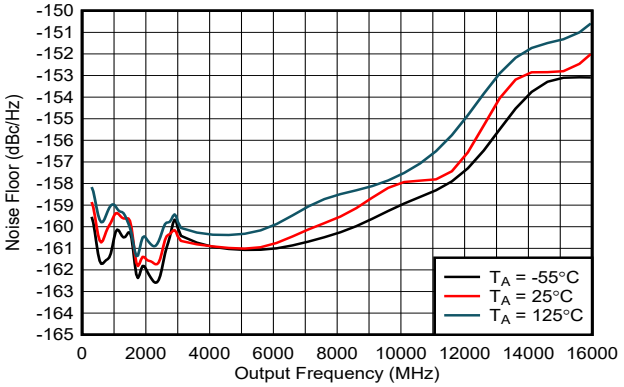
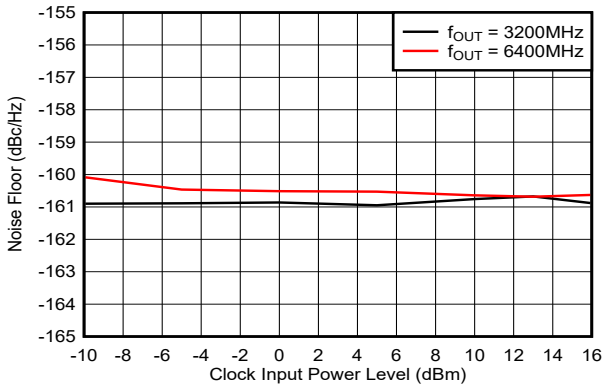
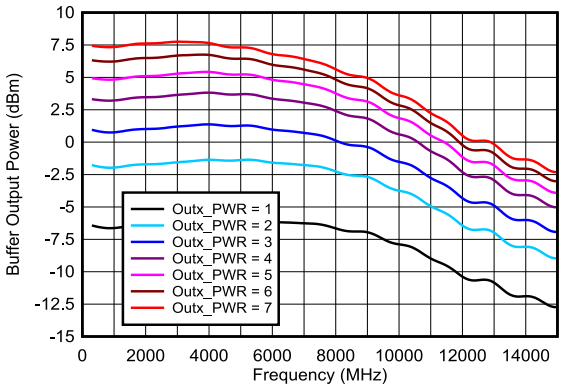


図 5-7. バッファ モードのノイズ フロア



入力電力は差動です

図 5-8. 乗算 x2 モードでのノイズ フロア

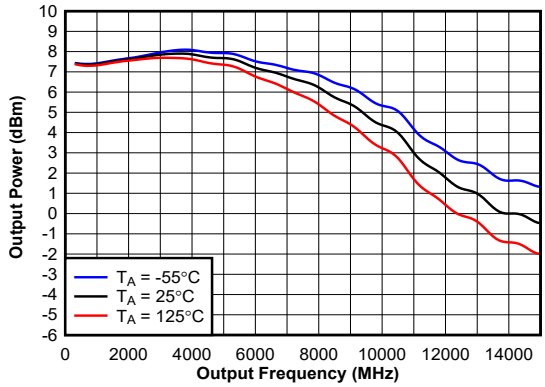


奇数分周の分周モード (消費電力がわずかに小さい) を除くすべてのモードに適用されます。

図 5-9. バッファ モード、シングルエンド出力電力

Copyright © 2025 Texas Instruments Incorporated

5.8 代表的特性 (続き)



CLKOUTx_PWR = 7

図 5-10. バッファ モード、シングルエンド出力電力

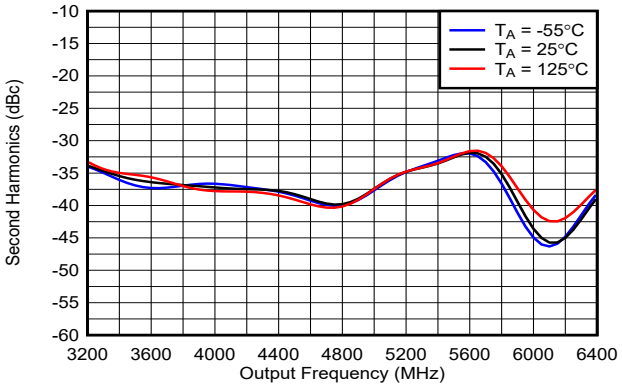


図 5-11. 乗算、X2 モードの 2 次高調波 (差動出力)

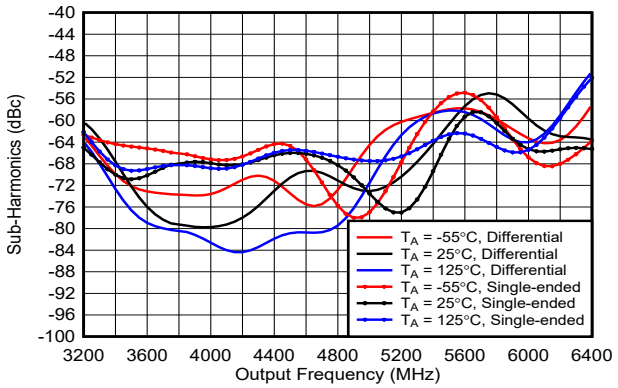


図 5-12. X2 モードでの乗算器 1/2 サブ高調波

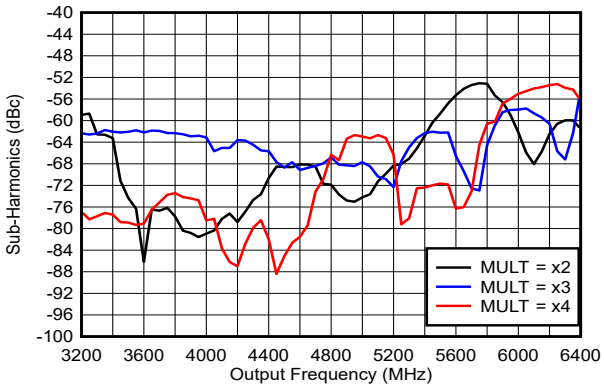


図 5-13. 乗算器の分数調波 (高調波周波数 = 出力周波数/ M)

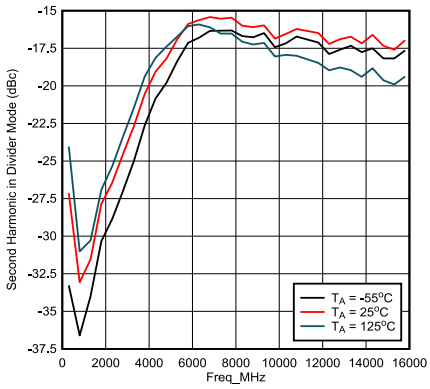


図 5-14. デバイダ モードの 2 次高調波 (シングルエンド入力)

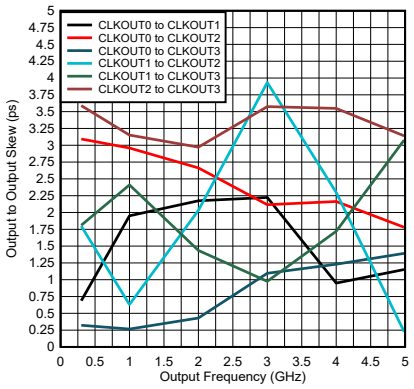


図 5-15. 出力スキュー (ps)

Copyright © 2025 Texas Instruments Incorporated

5.8 代表的特性 (続き)

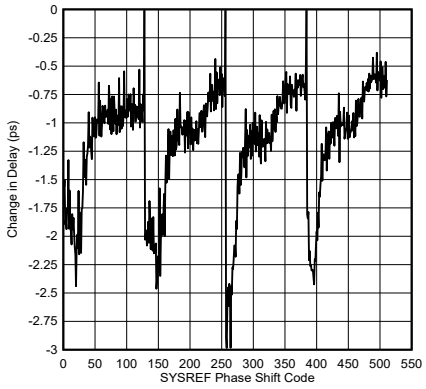
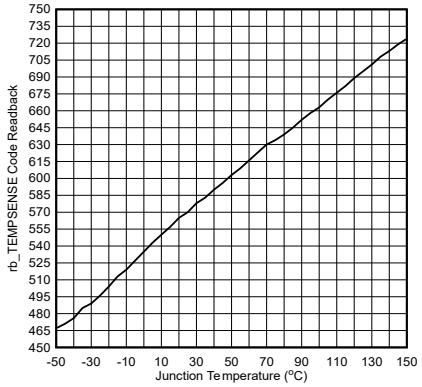


図 5-16. SYSREF デルタ遅延とコードとの関係



接合部温度 = 周囲温度になるようにパワーダウン モードで測定。

図 5-17. 温度センサの読み戻し

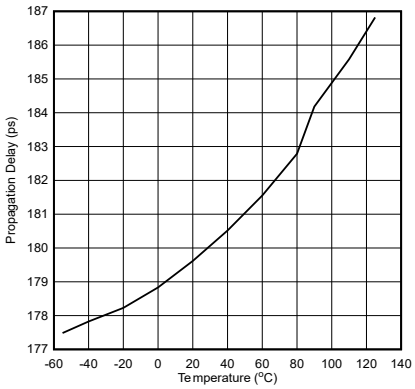


図 5-18. 伝搬遅延

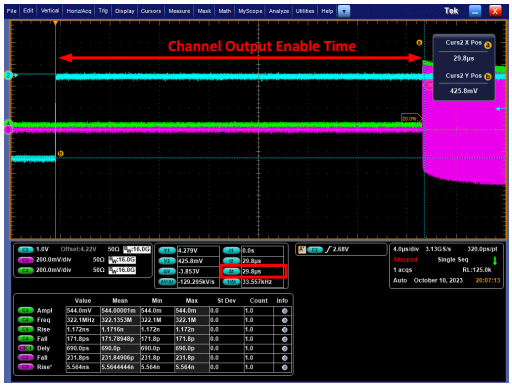


図 5-19. チャネル イネーブル設定時間

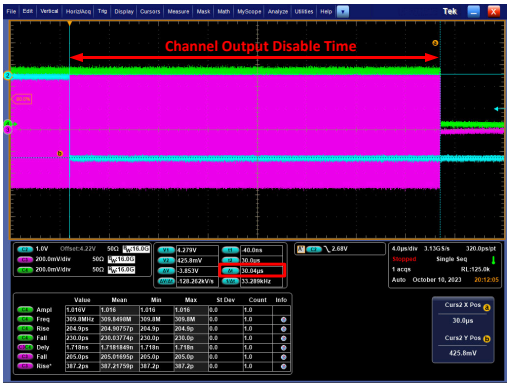


図 5-20. チャネル ディセーブル設定時間

Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

6.1 概要

このデバイスには 4 つのメインクロック出力と、別の LOGICLK 出力があります。メイン クロック出力は、すべて同じ周波数です。この周波数は、入力クロックと同じ、分周、または乗算を行うことができます。これらのクロック出力には、プログラム可能な電力レベルがあります。LOGICLK の出力周波数は独立しており、通常は他の 4 つのメイン クロックよりも低い周波数で、プログラマブル出力形式 (CML および LVDS) と電力レベルを備えています。

SYSRE は、SYSREFREQ ピンから入力を繰り返すか、内部で生成できます。SYSREF の内部ウィンドウ機能により、デバイスの内部タイミングを調整して、CLKIN 入力を基準とした SYSREFREQ 入力のセットアップ時間とホールド時間を最適化できます。この機能では、SYSREF エッジと次の立ち上がりクロック エッジとの間の遅延が整合していると仮定しています。5 つの出力にはそれぞれ、個別の遅延とプログラム可能な同相を持つ対応する SYSREF 出力があります。LOGISYSREF 出力の場合、出力フォーマットは CML または LVDS としてプログラムできます。

6.1.1 分周器および乗数の範囲

MAIN および LOGICLK 出力を入力クロックの分周値にできる分周器があります。メイン クロック出力には乗算器もあります。これに加えて、デバイダはジェネレータ モードの SYSREF 生成および遅延ブロックの生成に使用されます。

表 6-1. 分周器および乗数の範囲

カテゴリ			RANGE	備考
メイン クロック	バッファ			
	デバイダ		2、3、4、... 8	奇数分周 (1 を除く) のデューティ サイクルは 50% です
	乗算器		2、3、4	
LOGICLK	分周	プレデバイド	1、2、4	TotalDivide = PreDivide×Divide 奇数分周 (1 を除く) のデューティ サイクルは 50% です
		分周	1, 2, 3, … 1023	
SYSREF	周波数生成の分周	プレデバイド	1.2、4	SYSREF 生成のためにクロックを分周します。 TotalDivide = PreDivide×Divide 奇数分周のデューティ サイクルは 50% です
		分周	2, 3, 4,… 4095	
	遅延生成のため分周	分周	2、4、8、16	この分周値は位相補間用で、入力周波数に応じて設定されます。

6.2 機能ブロック図

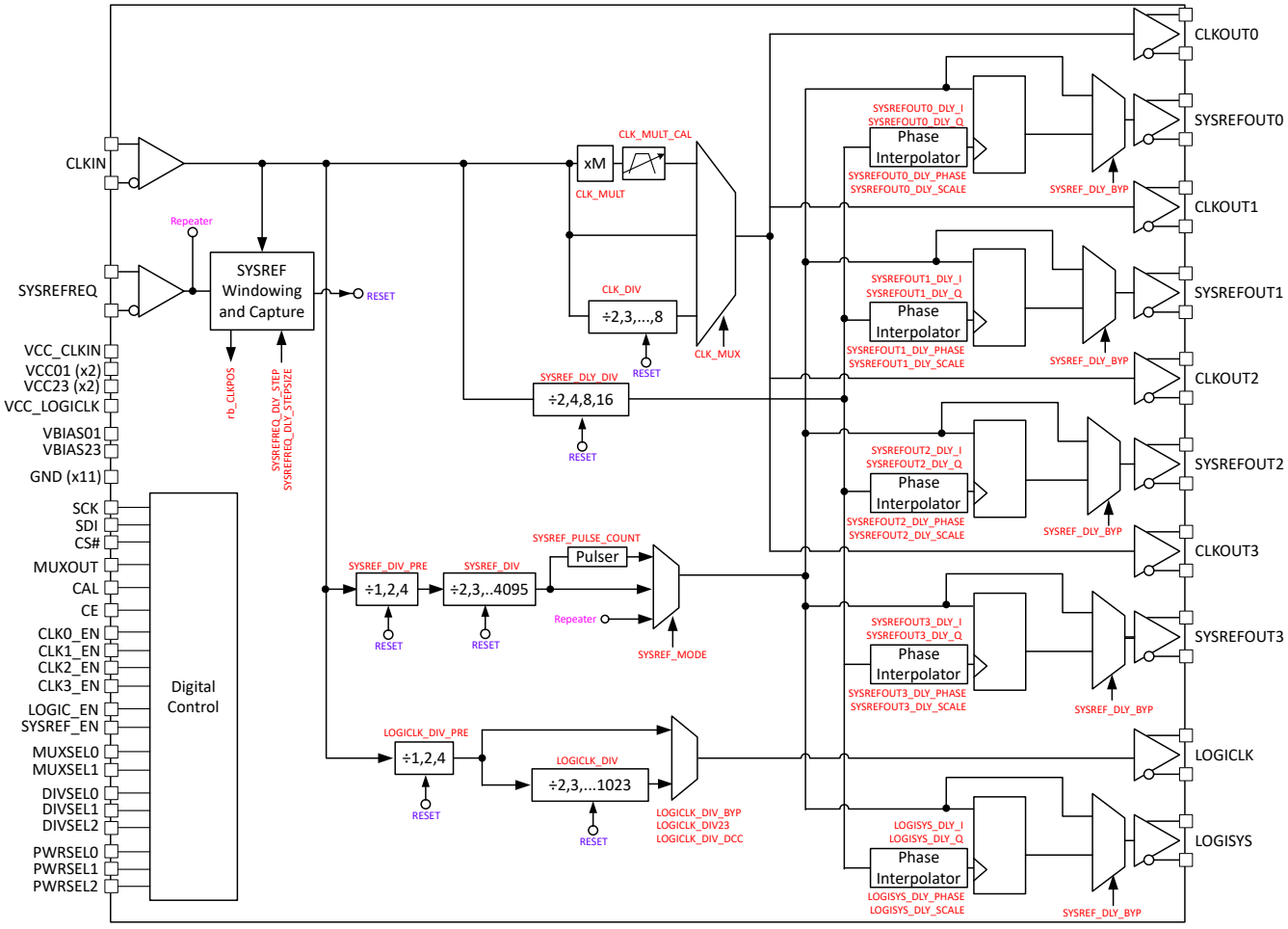


図 6-1. 機能ブロック図

Copyright © 2025 Texas Instruments Incorporated

6.3 機能説明

6.3.1 パワーオン リセット

デバイスの電源を投入すると、パワーオン リセット (POR) により、すべてのレジスタがデフォルト状態にリセットされ、すべてのステート マシンおよび分周器がリセットされます。パワーオン RESET 状態では、すべての SYSREF 出力がディセーブルされ、すべての分周器がバイパスされて、デバイスは 4 出力バッファとして動作します。他のレジスタをプログラムする前に、電源レールの約 100µs の後を待ち、このリセットが完了したことを確認します。デバイス クロックが存在しないときにパワーオン リセットが発生した場合、デバイスは適切に機能しますが、入力クロックが挿入された後に電流が変化します。

SPI バス に RESET = 1 を書き込み、ソフトウェア パワーオン リセットを実行することも可能であり、一般的に適切な方法です。ユーザーが他のレジスタに書き込むと、リセット ビットは自動的にクリアされます。SPI バスを使用すると、これらの状態を目的の設定にオーバーライドできます。

デバイスには自動パワー オン リセットがありますが、特に強い入力クロック信号が存在する場合には、さまざまな電源ピンのさまざまなランプ レートの影響を受ける可能性があります。そのため、POR 後にソフトウェア リセットを行うことを推奨します。これは、RESET = 1 をプログラムすることで実行できます。リセット ビットは、他のレジスタをプログラムすることでも、0 にリセットすることでもクリアできます。許容される最大 SPI バス速度でも、ソフトウェア リセット イベントは次の SPI 書き込みより前に必ず完了します。

6.3.2 温度センサ

接合部温度は、特性評価などの目的で、または温度に基づいて調整を行うために読み戻すことができます。このような調整には、CLKOUTx_PWR を調整して出力電力をより安定させたり、温度による伝搬遅延の変化を補償するために外部またはデジタル遅延を使用することが含まれます。

接合部温度は一般に、デバイスの出力と他の機能による消費電力により、周囲温度よりも高くなります。式 1 に、コード読み戻しと接合部温度との関係を示します。

$$\text{Temperature} = 0.65 \times \text{Code} - 351 \quad (1)$$

式 1 は、低速、公称、高速コーナー ロット (合計 9 パーツ) から作成された 3 つのデバイスから作成された最適なラインに基づいています。ベストフィットの線で予測される温度からの実際の温度のワーストケースの変動は 13°C で、20 のコードで機能します。

6.3.3 クロック出力

このデバイスには、共通の周波数を共有する 4 つのメイン出力クロックがあります。この中には、追加の低周波数 LOGICLK 出力は含まれていません。

6.3.3.1 クロック出力バッファ

出力バッファの形式は、CML と同様の、プルアップ抵抗が内蔵されたオープンコレクタです。

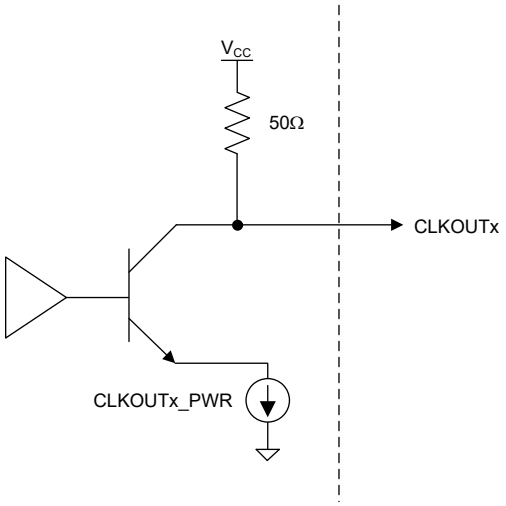


図 6-2. CLKOUT 出力バッファ

CLKOUTx_EN ビットは、出力バッファをイネーブルすることができます。バッファの出力電力は、CLKOUTx_PWR フィールドで個別に設定可能です。ただし、これらのフィールドは出力バッファのみを制御し、このバッファを駆動する内部チャネルパスは制御しません。パス全体をパワーダウンするには、CHx_EN ビットをディセーブルにします。

表 6-2. クロック出力電力

CHx_EN	内部チャネル パス	CLKOUTx_EN	CLKOUTx_PWR	出力バッファ
0	電源オフ	ドント ケア	ドント ケア	電源オフ
1	電源オン	0	ドント ケア	電源オフ
		1	0	最小
			1	
			...	
			7	最大

6.3.3.2 クロック MUX

4 つのメイン クロックは同じ周波数である必要がありますが、この周波数は、バイパス、乗算、または分周できます。これは、CLK_MUX ワードによって決定されます。

表 6-3. クロック MUX

CLK_MUX	オプション	サポートされている値
0	バッファ モード	÷1 (バイパス)
1	デバイダ モード	÷2、3、4、5、6、7、および 8
2	乗算器 モード	x2、x3、x4

6.3.3.3 クロック分周比

CLK_MUX を 2、3、4、5、6、7、または 8 分周値に設定します。これは CLK_DIV ワードによって設定されます。クロック分周器を使用しているとき、入力周波数を変更する場合には、CLK_DIV_RST ビットを 1 から 0 に切り替えなければなりません。

表 6-4. クロック分周比

CLK_DIV	分周	デューティ サイクル
0	予約済み	該当なし
1	2	50%
2	3	33%

Copyright © 2025 Texas Instruments Incorporated

表 6-4. クロック分周比 (続き)

CLK_DIV	分周	デューティ サイクル
3	4	50%
4	5	40%
5	6	50%
6	7	43%
7	8	50%

6.3.3.4 クロック 乗算器

6.3.3.4.1 クロック 乗算器に関する一般情報

クロック 乗算器を使用して、入力クロック周波数を x2、x3、または x4 の係数で乗算します。乗算値は、CLK_MULT フィールドによって設定されます。乗算器は PLL ベースで、内蔵 VCO が含まれるため、乗算器にはステート マシン クロックがあり、キャリブレーションを必要とし、ロック検出機能があります。

6.3.3.4.2 クロック 乗算器のステート マシン クロック

ステート マシン クロック周波数 (f_{SMCLK}) は、入力クロック周波数をプログラムされた分周値で分周することで得られます。乗算器のキャリブレーションとロック検出にも、ステート マシンのクロックも必要です。

6.3.3.4.2.1 ステート マシン クロック

ステート マシン クロックは、すべての動作モード (バッファ、分周器、乗算器) で有効化する必要があります。このデバイスではパワーオン リセットのデフォルト設定値 SMCLK_EN = 1 があり、このフィールドを他の状態に変更することはできません。SMCLK_EN の状態はレジスタ R2[5] ビットで読み戻すことができます。本デバイスを適切に構成するには、CLKIN ピンに入力クロックを印加する必要があります。

ステート マシンのクロックは 30MHz 未満にする必要があり、周波数は次のようになります。

$f_{SMCLK} = f_{CLKIN} / (SMCLK_DIV_PRE \times SMCLK_DIV)$

6.3.3.4.3 クロック 乗算器のキャリブレーション

最適な位相ノイズを得るために、乗算器の VCO は周波数範囲をさまざまなバンドおよびコアに分割し、バンドおよびコアごとに最適化された振幅設定を持っています。このため、最初の使用時、または周波数を変更したときに、キャリブレーション ルーチンを実行して、コア、周波数帯域、および振幅の正しい設定を決定する必要があります。キャリブレーションを実行するために、R0 レジスタを有効な入力信号でプログラムします。信頼性の高い乗算器 キャリブレーションを実現するには、ステート マシンのクロック周波数を SPI 書き込み速度の 2 倍以上、30MHz 以下にする必要があります。CLK_MUX モードを変更した場合、または乗算器を初めてキャリブレーションする場合は常に、キャリブレーション時間が 5ms 程度大幅に長くなります。

6.3.3.4.4 クロック 乗算器のロック検出

乗算器のロック検出ステータスは、rb_LOCK_DETECT フィールドまたは MUXOUT ピンから読み出すことができます。ロック検出が正しく動作するには、ステート マシンのクロックが動作している必要があります。

6.3.3.4.5 ウォッチドッグ タイマ

ウォッチドッグ機能は、VCO キャリブレーション時の放射線によって、乗算器 モードで VCO キャリブレーションが失敗する場合に使用されます。ウォッチドッグ タイマは VCO キャリブレーション中に動作します。VCO のキャリブレーションが完了する前にこのタイマが実行されると、VCO のキャリブレーションが再開始されます。ウォッチドッグ タイマ動作中は、ステート マシン クロックをイネーブルにする必要があります。

6.3.4 LOGICLK 出力

LOGICLK 出力は、FPGA などの低周波数クロックを使用するデバイスの駆動に使用できます。LOGICLK 出力は、プログラマブルな出力形式と、それに対応する SYSREF 出力を備えています。

Copyright © 2025 Texas Instruments Incorporated

6.3.4.1 LOGICLK 出力フォーマット

LOGICLK 出力フォーマットは、LVDS および CML モードにプログラムできます。フォーマットによっては、同相モードをプログラム可能、または外部部品が必要になる場合があります (表 6-5 を参照) 。

表 6-5. LOGICLK のフォーマットとプロパティ

LOGICLKOUT_FMT	フォーマット	外付け部品必要	出力レベル	同相モード
0	LVDS	なし	固定	LOGICLKOUT_VCM によりプログラム可能です
2	CML	プルアップ抵抗 50Ω を V_{CC} へ	LOGICLKOUT_PWR によりプログラム可能です	プログラム不可

6.3.4.2 LOGICLK_DIV_PRE および LOGICLK_DIV デバイダ

LOGICLK の出力には、LOGICLK_DIV_PRE デバイダと LOGICLK_DIV デバイダを使用します。LOGICLK_DIV_PRE デバイダは、LOGICLK_DIV デバイダへの入力が 3.2GHz 以下であることを確認するために、周波数を分周するために必要です。LOGICLK_DIV が偶数でなく、バイパスされていない場合、デューティ サイクルは 50% ではありません。両方の LOGICLK デバイダは SYNC 機能によって同期されるため、複数のデバイス間で同期が可能です。デバイダ LOGICLK_DIV_PRE および LOGICLK_DIV のデフォルト分周値はそれぞれ 4 と 32 です。

表 6-6. N デバイダの最小制限

f_{CLKIN} (MHz)	LOGICLK_DIV_PRE	LOGICLK_DIV	合計分周範囲
$f_{CLKIN} \le 3.2GHz$	÷1, 2, 4	÷1, 2, 3,…1023	[1, 2, ...1023] [2, 4, ...2046] [4, 8, 4092]
$3.2GHz < f_{CLKIN} \le 6.4GHz$	÷2, 4	÷1, 2, 3, …1023	[4, ...2046] [4, 8, 4092]
$f_{CLKIN} > 6.4GHz$	÷4	1, 2, 3, …1023	[8, 4092]

6.3.5 SYSREF

SYSREF により、メインまたは LOGICLK 出力にリクロックされる低周波数の JESD204B/C 準拠信号を生成できます。CLKOUT 出力と SYSREF 出力の間の遅延は、ソフトウェアで調整できます。SYSREF 出力は、内部の SYSREF 分周器を使用するジェネレータとして、または SYSREFREQ ピンの信号を複製するリピータとして構成できます。メインクロックと LOGICLK 出力の両方の SYSREF ジェネレータは同じです。

表 6-7. SYSREF モード

SYSREF_MODE	説明
0	**ジェネレータ モード** 内部ジェネレータにより、SYSREF パルスの連続ストリームが生成されます。SYSREFREQ ピンまたは SYSREFREQ_FORCE ビットを使用すると、チャネルから SYSREF 分圧器をゲートして、SYSREF 分周器の同期を中断せずにノイズ絶縁を向上させることができます。SYSREF 出力を出力するには、SYSREFREQ ピンまたは SYSREFREQ_FORCE ビットが high である必要があります。
1	**パルサ** 内部ジェネレータは、SYSREFREQ ピンの立ち上がりエッジの後、または SYSREFREQ_FORCE ビットを 0 から 1 に変更した後 (SYSREFREQ ピンが強制的に low 状態になったと仮定) 、SYSREF_PULSE_CNT によって設定される 1 ～ 16 パルスのバーストを生成します。
2	**反復モード** SYSREFREQ ピンの入力はクロック出力にリクロックされ、SYSREF_DLY_BYP フィールドに従って遅延してから、SYSREFOUT 出力ピンに送信されます。

Copyright © 2025 Texas Instruments Incorporated

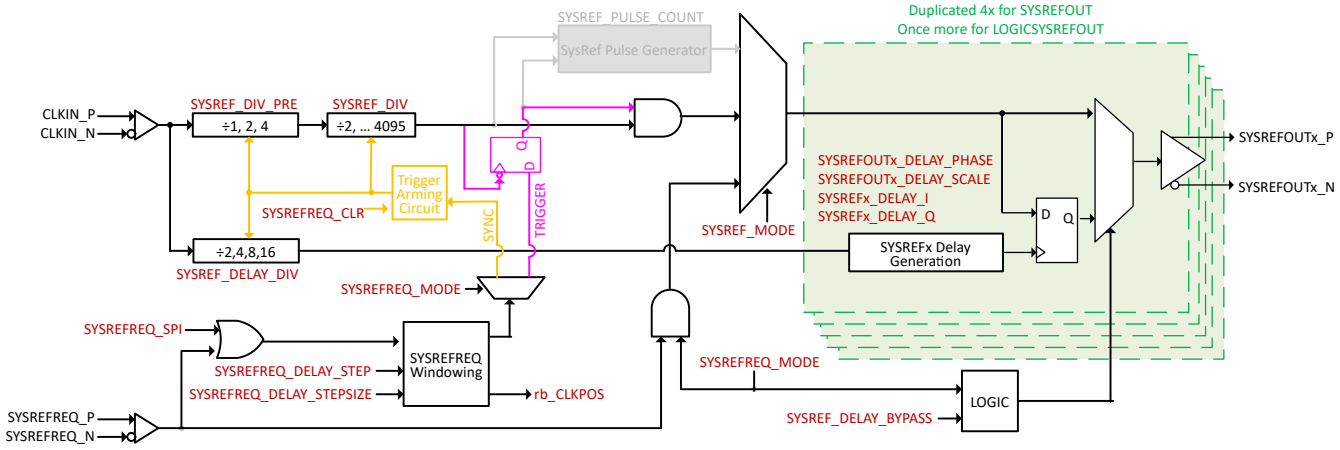


図 6-3. ジェネレータ モードの SYSREF 回路の機能ブロック図

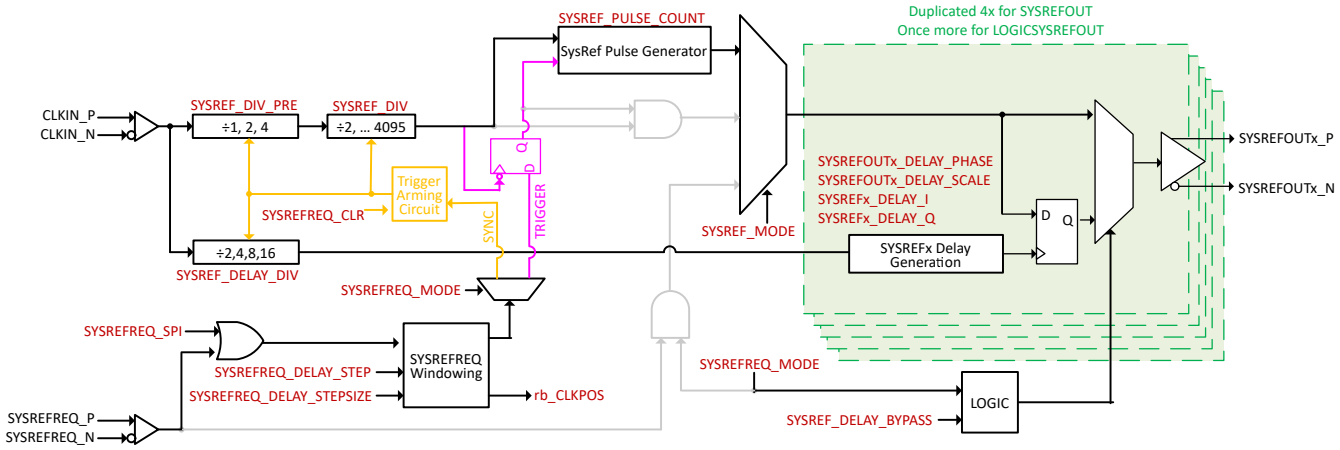


図 6-4. パルサ モードの SYSREF 回路の機能ブロック図

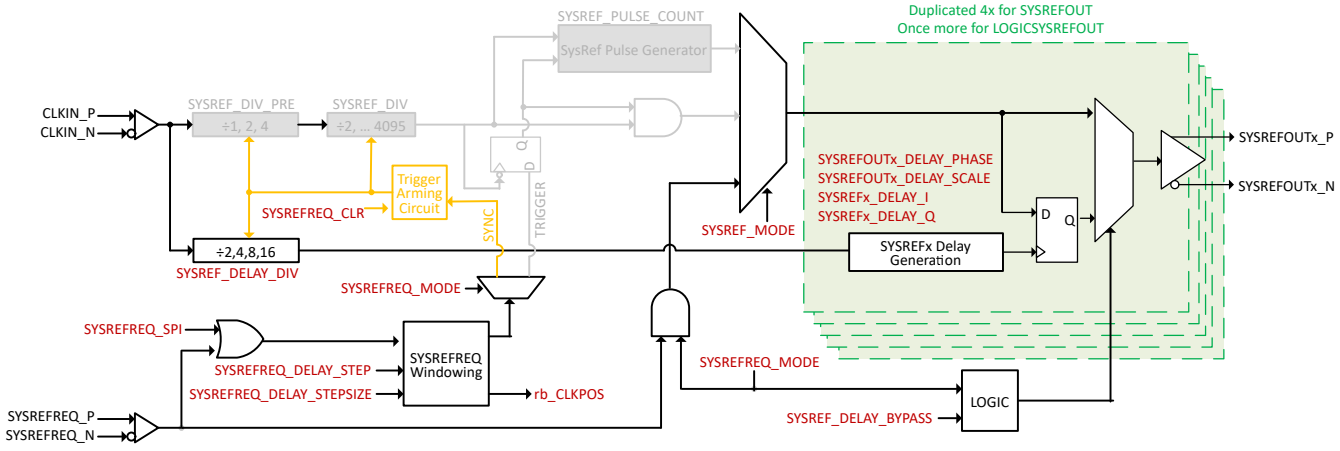


図 6-5. リピータ モードの SYSREF 回路の機能ブロック図

SYSREFREQ_FORCE ビットによって制御される SYSREF 出力 (パルサ) と SYNC を動作させるには、SYSREFREQ ピンを外部的に low ロジック状態に設定します。たとえば、SYSREFREQ_N ピンが SYSREFREQ_P ピンよりも高いレベル (400mV) であり、入力同相電圧の要件を維持していることを確認します。

Copyright © 2025 Texas Instruments Incorporated

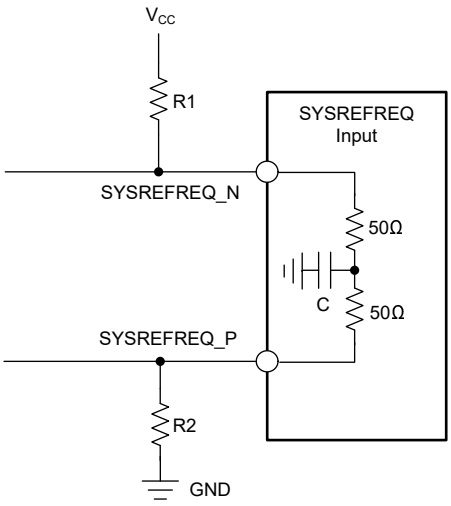


図 6-6. SYSREFREQ ピンのロジック low セットアップ

例えば、VCC が 2.5V のときに最小 400mV の電圧差を維持するには、100Ω を流れる電流が 4mA です。この例では、SYSREFREQ_P ピンを 1.4V DC のままにし、SYSREFREQ_N ピンで R2 を 350Ω、R1 を 1.8V で 175Ω に設定します。

6.3.5.1 SYSREF 出力バッファ

6.3.5.1.1 メイン クロック用の SYSREF 出力バッファ (SYSREFOUT)

クロック出力チャネル内の SYSREF 出力は、クロック出力バッファと同じ出力バッファ構造を持ち、同相電圧を調整する回路が追加されています。SYSREF 出力は、SYSREFOUTx_VCM フィールドで調整できる同相電圧付きの CML 出力と、SYSREFOUTx_PWR フィールドで設定できる出力レベルです。このリファレンス デザインにより DC 結合が可能になります。CLKOUT 出力には調整可能な同相電圧がないため、最適なノイズ性能を得るには AC 結合が必要であることに注意します。

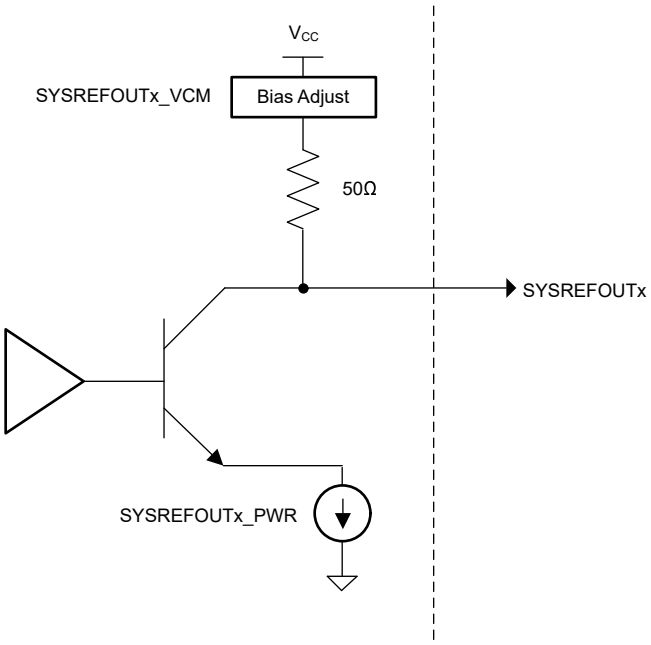


図 6-7. SYSREF 出力バッファ

Copyright © 2025 Texas Instruments Incorporated

同相電圧と出力電力は相互に関連しており、100Ω の差動負荷があり、グランドへの DC パスがないと仮定してシミュレーションできます。同相電圧と出力は、表 6-8 に示すように相互関係しています。長期的な信頼性の場合、$V_{CM} – V_{OD}/2 ≥ 0.5V$ is required.に注意してください

表 6-8. シングルエンド電圧 (V_{OD}) と同相電圧 (V_{CM})

SYSREFOUT_PWR	確認: $V_{CM} - V_{OL}/2 ≥ 0.5V$?	SYSREFOUT_VCM	V_{OD}	V_{CM}
0	有効な状態	0	0.27	1.09
		1	0.27	1.22
		2	0.28	1.37
		3	0.28	1.54
		4	0.29	1.69
		5	0.29	1.83
		6	0.29	2.00
		7	0.29	2.16
1		0	0.32	0.79
		1	0.33	0.95
		2	0.33	1.12
		3	0.34	1.33
		4	0.35	1.51
		5	0.35	1.69
		6	0.36	1.89
		7	0.37	2.08
2	無効な状態	0	0.37	0.52
		1	0.38	0.68
	有効な状態	2	0.39	0.89
		3	0.40	1.12
		4	0.41	1.34
		5	0.42	1.54
		6	0.43	1.78
		7	0.44	2.01
3	無効な状態	0	0.39	0.43
		1	0.42	0.50
		2	0.45	0.66
	有効な状態	3	0.46	0.93
		4	0.47	1.17
		5	0.48	1.41
		6	0.49	1.68
		7	0.51	1.93
4	無効な状態	0	0.40	0.40
		1	0.43	0.44
		2	0.48	0.52
		3	0.51	0.73
	有効な状態	4	0.52	1.00
		5	0.54	1.27
		6	0.55	1.57
		7	0.57	1.86

Copyright © 2025 Texas Instruments Incorporated

表 6-8. シングルエンド電圧 (V_{OD}) と同相電圧 (V_{CM}) (続き)

SYSREFOUT_PWR	確認: V_{CM} - V_{OL}/2 ≥ 0.5V?	SYSREFOUT_VCM	V_{OD}	V_{CM}
5	無効な状態	0	0.40	0.38
		1	0.44	0.42
		2	0.49	0.47
		3	0.55	0.59
	有効な状態	4	0.58	0.85
		5	0.59	1.14
		6	0.62	1.48
		7	0.63	1.79
6	無効な状態	0	0.40	0.36
		1	0.44	0.39
		2	0.49	0.45
		3	0.57	0.54
		4	0.63	0.70
	有効な状態	5	0.65	1.01
		6	0.67	1.38
		7	0.70	1.73
7	無効な状態	0	0.40	0.35
		1	0.44	0.38
		2	0.50	0.43
		3	0.58	0.51
		4	0.66	0.62
	有効な状態	5	0.70	0.89
		6	0.73	1.29
		7	0.76	1.66

6.3.5.1.2 LOGICLK の SYSREF 出力バッファ

LOGISYSREFOUT 出力は、LVDS と CML の 2 つのフォーマットをサポートしています。LOGISYSREFOUT_EN は出力バッファをイネーブルにし、LOGISYSREF_FMT はその形式を設定します。LVDS モードにより同相をプログラムでき、CML は外部コンポーネントを必要とし、CML は出力電力をプログラム可能です (表 6-9 を参照)。

表 6-9. LOGISYSREFOUT 出力バッファの構成

LOGISYSREFOUT_EN	LOGISYSREF_FMT	LOGISYSREF フォーマット	外部規制が必要です	出力電力	出力同相モード
0	電源オフ				
1	0	LVDS	なし	固定	LOGISYSREF_VCM でプログラム可能
	1	予約済み			
	2	CML	プルアップ抵抗 50Ω を V_{CC} へ	LOGISYSREF_PWR で制御されます	LOGISYSREF_VCM は影響を与えませんが、この変更は LOGISYSREF_PWR で行われます。
	3	予約済み			

Copyright © 2025 Texas Instruments Incorporated

6.3.5.2 SYSREF の周波数および遅延の生成

ジェネレータ モードでの SYSREF 出力の周波数には、SYSREF_DIV 分周器の入力が 3.2GHz を超えないことを確認するために SYSREF_DIV_PRE デバイダが必要です。

表 6-10. SYSREF_DIV_PRE セットアップ

f_{CLKIN}	SYSREF_DIV_PRE	合計 SYSRE 分周範囲
3.2GHz 以下	÷1、2、または 4	÷2, 3, 4, ...16380
3.2GHz < f_{CLKIN} ≤ 6.4GHz	÷2 または 4	÷4, 6, 8, … 16380
f_{CLKIN} > 6.4GHz	÷4	÷8, 12, 16, … 16380

遅延の場合、入力クロック周波数を SYSREF_DLY_DIV で除算して、$f_{INTERPOLATOR}$ が生成されます。表 6-11 に示すように、範囲が制限されています。また、SYSREF_DLY_BYP = 0 または 2 (ジェネレータ モードで遅延発生) で、SYSREF_MODE = 0 または 1 (ジェネレータ モード) の場合、SYSREF 出力周波数は位相補間器周波数の倍数である必要があることにも注意してください。

$f_{INTERPOLATOR}$ % f_{SYSREF} = 0.

表 6-11. SYSREF 遅延設定

f_{CLKIN}	SYSREF_DLY_DIV	SYSREFx_DLY_SCALE	$f_{INTERPOLATOR}$
6.4GHz < f_{CLKIN} ≤ 12.8GHz	16	0	0.4GHz ～ 0.8GHz
3.2GHz < f_{CLKIN} ≤ 6.4GHz	8	0	0.4GHz ～ 0.8GHz
1.6GHz < f_{CLKIN} ≤ 3.2GHz	4	0	0.4GHz ～ 0.8GHz
0.8GHz < f_{CLKIN} ≤ 1.6GHz	2	0	0.4GHz ～ 0.8GHz
0.4GHz < f_{CLKIN} ≤ 0.8GHz	2	1	0.2GHz ～ 0.4GHz
0.3GHz < f_{CLKIN} ≤ 0.4GHz	2	2	0.15GHz ～ 0.2GHz

最大遅延は位相補間法周期と等しく、4×127 = 508 の異なる遅延ステップがあります。式 2 を使用し、各ステップのサイズを計算します。

$$DelayStepSize = 1 / (f_{INTERPOLATOR} \times 508) = SYSREF_DLY_DIV / (f_{CLKIN} \times 508) \quad (2)$$

合計遅延を計算するには、式 3 を使用します。

$$TotalDelay = DelayStepSize \times StepNumber \quad (3)$$

表 6-12 に、各遅延のステップ数を示します。

表 6-12. ステップ数の計算

SYSREFx_DLY_PHASE	ステップ番号
3	127 - SYSREFx_DLY_I
2	254 - SYSREFx_DLY_Q
0	381 - SYSREFx_DLY_I
1	508 - SYSREFx_DLY_Q

SYSREF_DLY_BYP フィールドは、SYSREF 生成出力の遅延パスとリピータ モードのバイパス信号を選択します。SYSREF_MODE が連続モードまたはパルサ モードに設定されている場合、SYSREF_DLY_BYP をジェネレータ モードに設定することを推奨します。SYSREF_MODE がリピータ モードに設定されている場合、SYSREF_DLY_BYP をバイパス モードに設定することを推奨します。

Copyright © 2025 Texas Instruments Incorporated

6.3.5.3 SYSREFREQ ピンと SYSREFREQ_force フィールド

SYSREFREQ ピンは多目的であり、同期、SYSREF 要求、SYSREF ウィンドウ処理に使用できます。これらのピンは DC または AC 結合にすることができ、50Ω のシングルエンド終端を個別に持ち、同相信号をプログラム可能です。

これらのピンに加えて、SYSREFREQ_force フィールドは 1 に設定することで、これらのピンを強制的に High にするのと同じ効果をエミュレートでき、場合によってはハードウェアを簡素化できます。

6.3.5.3.1 SYSREFREQ ピン同相電圧

SYSREFREQ_P ピンと SYSREFREQ_N ピンは、AC 結合と DC 結合のどちらでも駆動できます。AC 結合を駆動する場合、SYSREFREQ_VCM ビットを使用して同相電圧を調整できます。

表 6-13. SYSREFREQ ピン同相電圧

SYSREFREQ_VCM	同相モード電圧
0	1.3V AC 結合
1	1.1V AC 結合
2	1.5V AC 結合
3	バイアスなし (DC 結合)

6.3.5.3.2 SYSREFREQ ウィンドウ処理機能

SYSREF ウィンドウ処理を使用して SYSREFREQ ピンと CLKIN ピンの間のタイミングを内部で較正し、セットアップおよびホールドのタイミングを最適化します。また、SYSREF のウィンドウ処理により、SYSREFREQ と CLKIN のパスとの間のミスマッチをトリミングできます。この機能を使用するには、SYSREFREQ の立ち上がりエッジから CLKIN の立ち上がりエッジまでのタイミングが一致している必要があります。SYSREFREQ の立ち上がりエッジから CLKIN の立ち上がりエッジまでのタイミングは、RB_CLKPOS フィールドで追跡できます。CLKIN ピンの立ち上がりエッジとのタイミングが見つかると、SYSREFREQ の立ち上がりエッジを SYSREFREQ_DLY フィールドと SYSREF_DLY_STEP フィールドを使用して内部で調整し、セットアップおよびホールド タイミングを最適化できます。

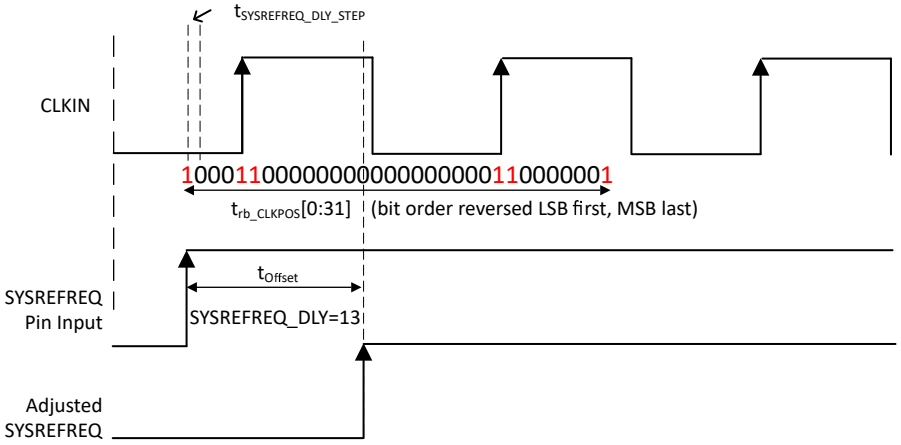


図 6-8. SYSREFREQ 内部タイミング調整

Copyright © 2025 Texas Instruments Incorporated

6.3.5.3.2.1 SYSREF ウィンドウ処理の一般的な手順フローチャート

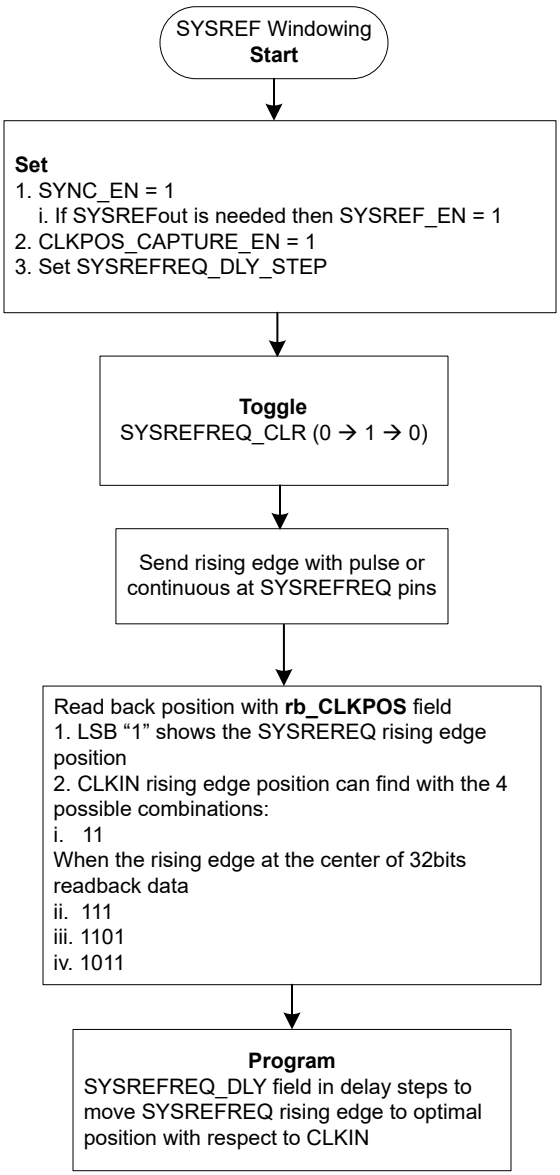


図 6-9. SYSREF ウィンドウ処理のフローチャート

表 6-14. SYSREFREQ_DLY_STEP

入力周波数	推奨される SYSREFREQ_DLY_STEP	遅延 (ps)
1.4GHz < f_{CLKIN} ≤ 2.7GHz	0	22.25
2.4GHz < f_{CLKIN} ≤ 4.7GHz	1	13
3.1GHz < f_{CLKIN} ≤ 5.7GHz	2	10.5
f_{CLKIN} ≥ 4.5GHz	3	7.75

Copyright © 2025 Texas Instruments Incorporated

6.3.5.3.2.2 遅延生成機能 (リタイム) 付きの SYSREFREQ リピータ モード

遅延イネーブルの SYSREF リピータ モードは、LMX から LMX へのファンアウト デバイスでは、IQ 生成のさまざまなエッジで SYSREFout をリタイミングすることで実現できます。このリタイミングは、SYSREF_DLY_DIV 値に基づき、CLKIN 入力と SYSREFREQ 入力の間の遅延マージンを持つことができます。

表 6-15 に、SYSREF ウィンドウ処理の合計遅延マージンと各種の SYSREF 設定との関係を示します。

表 6-15. リピータ モードでのリタイムの SYSREF 位相調整設定

SYSREF_DLY_DIV	同期中に選択された位置コード	最大マージンのエッジ	CLKIN サイクルの合計マージン	SYSREFx_DLY_PHASE	SYSREFx_DLY_Q	SYSREFx_DLY_i
/2	1 番目のエッジより前	I	-1、+1	"11"	0	127
	1 番目のエッジの後	QZ	-1、+1	"01"	127	0
	2 番目のエッジの後	Iz	-1、+1	"00"	0	127
/4	1 番目のエッジより前	QZ	-2、+2	"01"	127	0
	1 番目のエッジの後	Iz	-2、+2	"00"	0	127
	2 番目のエッジの後	Q	-2、+2	"10"	127	0
/8	1 番目のエッジより前	QZ	-5、+3	"01"	127	0
	1 番目のエッジの後	QZ	-4、+4	"01"	127	0
	2 番目のエッジの後	QZ	-3、+5	"01"	127	0
/16	1 番目のエッジより前	I	-9、+7	"11"	0	127
	1 番目のエッジの後	I	-8、+8	"11"	0	127
	2 番目のエッジの後	I	-7、+9	"11"	0	127

複数のデバイスで SYSREF_DLY_DIV を同期するために、初期フェーズで SYSREF ウィンドウ処理を実行するには、リピータ リタイム モードが必要です。ユーザーは後で、同期に選択したエッジの SYSREFx_DLY_PHASE、SYSREF_DLY_Q、SYSREFx_DLY_I の設定を選択できます。

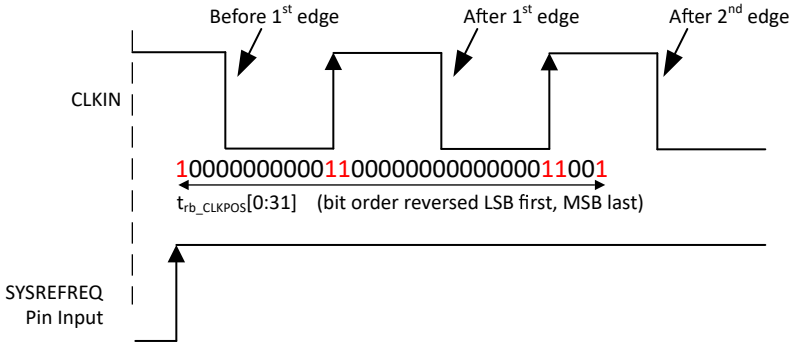


図 6-10. 同期するエッジ位置を選択する SYSREF ウィンドウ処理

この構成では、デバイスを **SYSREF_MODE** R17[1:0] の値「2」(リピータ モード) に設定し、**SYSREF_DLY_BPY** R72[1:0] の値「2」(すべてのモードで有効) に設定する必要があります。

Copyright © 2025 Texas Instruments Incorporated

6.3.5.3.2.3 SYSREF ウィンドウ処理に関するその他のガイダンス

- SYSREFREQ ピンは、$3/f_{CLKIN}$ + 1.6ns の最小時間にわたって high に保持する必要があり、この時間の後でのみ rb_CLKPOS フィールドが有効になります。
- ユーザーが rb_CLKPOS レジスタから複数の有効な SYSREFREQ_DLY 値を推測して、セットアップ時間およびホールド時間違反を回避します。温度による変動を最小限に抑えるため、有効な最小の SYSREFREQ_DLY を選択することをお勧めします。
- SYSREF ウィンドウ処理後にセットアップおよびホールド時間を最適化するようにプログラムされた SYSREFREQ_DLY によって内部 SYSREFREQ が調整されますが、SYSREFREQ_DLY は SYSREF ウィンドウ読み取りコードの移動を示しません。SYSREF ウィンドウ処理では、常にピンでの信号が評価されます。

6.3.5.3.2.4 グリッチのない出力

- リクエスト モードからウィンドウ モードに切り替えて、リクエスト モードに戻るときは、SYSREFRE Q ピンで同じ状態を維持します。たとえば、ウィンドウ モードが開始されたときに SYSREFREQ ピンが high (または low) になる場合、CLKPOS_CAPTURE_EN をプログラムする前に、ウィンドウモードの終了後にピンの状態を再度 high (または low) にするようにしてください。
- または同期モードから切り替えるときは、SYSREFREQ ピンを low に設定する必要があります。

6.3.5.3.2.5 SYNC 機能を使用する場合

- 75 入力クロック サイクルごとに 1 つの SYSREFREQ ピンの立ち上がりエッジのみが許可されます
- SYSREFREQ は 6 クロック サイクル以上にわたって high に維持する必要があります

6.3.5.3.3 同期機能

SYNC 機能を使用すると、ユーザー は CLK_DIV、LOGICLK_DIV、LOGICLK_DIV_PRE、SYSREF_DIV、SYSREF_DIV_PRE、SYSREF_DLY_DIV デバイダを同期して、電源サイクル間で位相オフセットを一貫させることができます。これにより、ユーザーは複数のデバイスを同期できます。この同期分周器は、ソフトウェアではなく SYSREFREQ ピン経由でのみ実行できます。

6.4 デバイスの機能モード構成

本デバイスは、高周波クロック バッファ モード、分周器モード、または逓倍器モードに構成できます。各モードを機能させるには、以下のレジスタ設定が必要です。

表 6-16. デバイスの機能モードの設定

レジスタ アドレス	ビット	フィールド	機能	バッファ	デバイダ	乗算器
R25	2:0	CLK_MUX	モードを選択します	1	2	3
R25	5:3	CLK_DIV / CLK_MULT	除算値または乗算値を選択します	x	CLK_DIV 0x1 = ÷2 0x2 = ÷3 0x3 = ÷4 0x4 = ÷5 0x5 = ÷6 0x6 = ÷7 0x7 = ÷8	CLK_MULT 0x2 = ×2 0x3 = ×3 0x4 = ×4
R2	5	SMCLK_EN	ステート マシン クロック ジェネレータをイネーブルにします	1		
R2	9:6	SMCLK_DIV_PRE	ステート マシン クロックのプリデバイダを設定します	ステート マシン クロックのプリクロック分周器 0x2 = ÷2 0x4 = ÷4 0x8 = ÷8		

表 6-16. デバイスの機能モードの設定 (続き)

レジスタ アドレス	ビット	フィールド	機能	バッファ	デバイダ	乗算器
R3	2:0	SMCLK_DIV	ステートマシンのクロック分周器を設定します	さらに 出力周波数を維持するには、SMCLK デバイダは ≤30Mhz である必要があります。 0x0 = ÷1 0x1 = ÷2 0x2 = ÷4 0x3 = ÷8 0x4 = ÷16 0x5 = ÷32 0x6 = ÷64 0x7 = ÷128		
R0	すべて	乗算器一のキャリブレーション	PLL ベースの乗算器をキャリブレーションします	x	x	キャリブレーション乗算器一のために R0 を書き込みます

6.4.1 ピン モード制御

このデバイスは、デバイス モード選択、分周器および乗算器値の選択、出力電力制御、およびチャネル出力制御 (ON/OFF) のプログラムに使用できるピン モードをサポートしています。ピンモード動作中にピンでロジック状態を変更するには、ステートマシン (SM) クロックをイネーブルにする必要があります。

6.4.1.1 チップ イネーブル (CE)

チップ イネーブル ピンは、デバイスをイネーブルおよびはディセーブルにするために使用されます。CE ピンが high (1) のとき、チップ イネーブルは SPI 経由で制御できます。

表 6-17. チップ イネーブル制御

CE ロジック	デバイス ステータス	SPI オーバーライド制御
0	無効	なし
1	イネーブル	あり

6.4.1.2 出力チャネル制御

各チャネル出力は、CLKx_EN ピンにより制御されます。このピンは、特定のチャネル出力の CLKOUT と SYSREFOUT をイネーブルまたはディセーブルにします。

表 6-18. 出力チャネル制御の選択

CLKx_EN	チャネルの出力状態	SPI オーバーライド制御
0	チャネル出力がディセーブルです	なし
1	チャネル出力をイネーブルします	あり

6.4.1.3 ロジック出力制御

ロジック出力ピンは、ロジック クロックとロジック SYSREF 出力をイネーブル/ディセーブルにできます。

表 6-19. ロジック出力イネーブル

LOGIC_EN	ロジック出力状態	SPI オーバーライド制御
0	ディスエーブル ロジック出力	なし
1	イネーブル ロジック出力	あり

Copyright © 2025 Texas Instruments Incorporated

6.4.1.4 SYSREF の出力制御

SYSREF_EN ピンは、SYSREF セクションをイネーブルおよびディセーブルにできます。

表 6-20. SYSREF 回路イネーブル

SYSREF_EN	SYSREF 回路	SPI オーバーライド制御
0	無効	なし
1	イネーブル	あり

6.4.1.5 デバイス モード選択

バッファ モード、分周器モード、乗算器 モードなどのデバイス機能は、MUXSELx ピンの設定で選択します。

表 6-21. デバイス動作モード選択

MUXSEL1	MUXSEL0	モード選択
0	0	SPI 制御
0	1	バッファ モード
1	0	デバイダ モード
1	1	乗算器 モード

6.4.1.6 分割器または乗算器値の選択

MUXSELx ピン ロジックにより動作モード (分周器モードまたは乗算器モード) を選択した後で、分周器の値または乗算器の値は DIVSELx ピン ロジックによって選択されます。

表 6-22. 分割器または乗算器値の選択

DIVSEL2	DIVSEL1	DIVSEL0	分周器の値	乗数の値
0	0	0	SPI 制御	SPI 制御
0	0	1	2	x
0	1	0	3	2
0	1	1	4	3
1	0	0	5	4
1	0	1	6	x
1	1	0	7	x
1	1	1	8	x

6.4.1.7 キャリブレーション制御ピン

乗算器 モードで動作している間、PLL ベースの乗算器は周波数ロックのキャリブレーションを必要とし、CAL ピンを low から high に遷移させるとキャリブレーションが開始されます。

表 6-23. CAL ピン ロジック

CAL	キャリブレーション状態
0	SPI 制御キャリブレーション
0 → 1	キャリブレーションを開始します

6.4.1.8 出力電力制御

すべてのチャネルの出力電力は PWRSELx ピンで制御されます。

Copyright © 2025 Texas Instruments Incorporated

表 6-24. チャネル出力電力制御

PWRSEL2	PWRSEL1	PWRSEL0	出力電力
0	0	0	SPI 制御
0	0	1	最小の出力電力
0	1	0	-
0	1	1	-
1	0	0	-
1	0	1	-
1	1	0	-
1	1	1	最大出力電力

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

7.1.1 SYSREFREQ 入力構成

SYSREFREQ ピンは、AC 結合モードまたは DC 結合モードのシングルエンドまたは差動入力をサポートしています。SYSREFREQ ピンには、100Ω 差動として機能する、容量性グランドによる 50Ω の内部終端があります。

図 7-1 に、すべての AC/DC、シングルエンド、または差動入力をサポートするための一般的な SYSREFREQ 入力回路の推奨事項を示します。図 7-1 に示すディスクリート部品の一部は、個別の入力信号 (シングルエンドまたは差動入力) と、AC 結合または DC 結合の入力に対応するためのプレース ホルダーです。

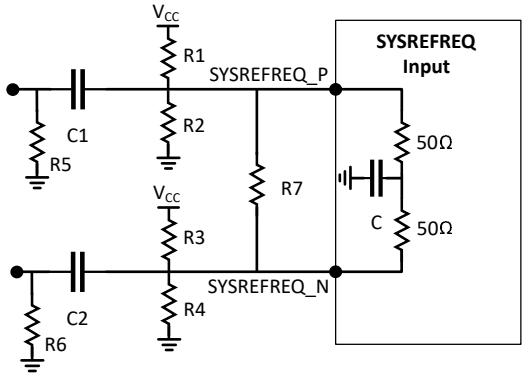


図 7-1. SYSREFREQ 入力回路に関する推奨事項

以下の図に、各構成の個別の回路図を示します。

Copyright © 2025 Texas Instruments Incorporated

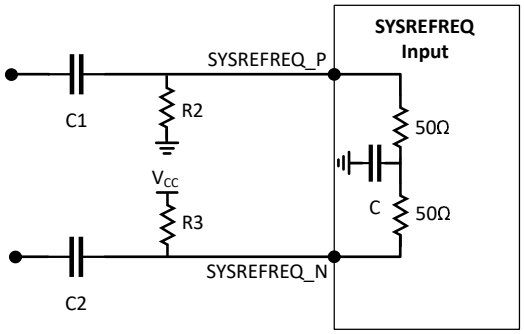


図 7-2. AC 結合差動入力

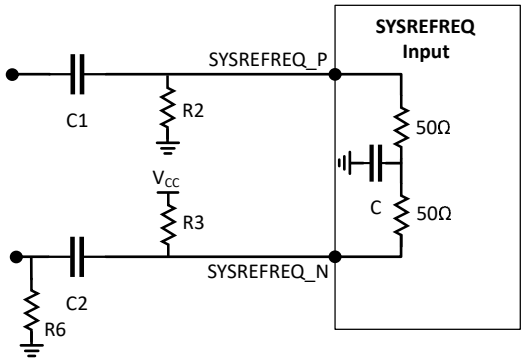


図 7-3. AC 結合、シングルエンド入力

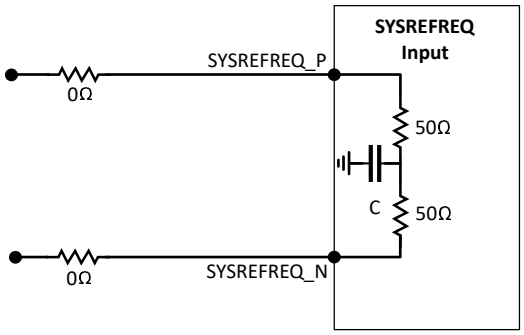


図 7-4. DC 結合差動入力

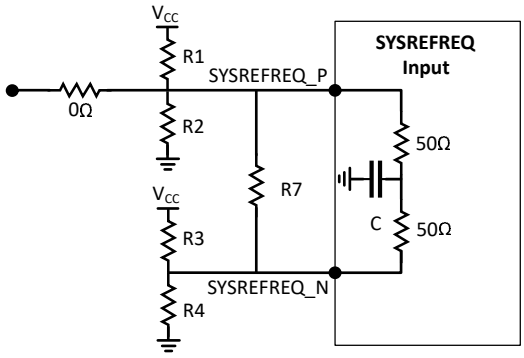


図 7-5. DC 結合、シングルエンド入力

1. AC 結合の差動およびシングルエンド入力構成では、各ピンで VCM を作成するための抵抗終端 (R2 と R3) が必要であり、抵抗値はピン P とピン N との間の電位差が 150mV を超えるように選択する必要があります。
   a. たとえば、2.5V VCC でピン P に 1.5V、ピン N に 1.65V の VCM を作成するには、R3 = 550Ω、R2 = 1kΩ に設定します
   b. シングルエンド入力構成の場合、相補入力ピンでの反射を避けるため、R6 = 50Ω を接続します。
2. ソース同相電圧がデバイスの入力同相仕様と一致するようにする必要があるのは DC 結合の差動およびシングルエンド入力構成です。
   a. シングルエンド入力構成の場合は、R1、R2、R3、R4 の抵抗を維持します。この方法では両方のピンで同じ同相電圧が生成され、抵抗分割器によりピン P に 75Ω、ピン N に 50Ω のテブナンの等価回路が生成されます。
   b. たとえば、各ピンの同相電圧が 1.35V になるには、2.5V VCC を使用して抵抗分圧器の値を R1 = 130Ω、R2 = 165Ω、R3 = 86.6Ω、R4 = 110Ω に設定します。

7.1.2 未使用ピンの処理

多くの場合、すべてのピンが使用されるわけではありません。表 7-1 に、これらの未使用ピンの取り扱いに関する推奨事項を示します。

表 7-1. 未使用または部分的に使用されているピンの処理

ピン	治療
すべての VCC ピン	これらのピンは、常に電源に接続する必要があります。これらの VCC ピンに電力を供給するブロック (ピン名で暗黙的に示す) を使用しない場合、バイパスを最小化または除去できます。
SYSREFREQ	1. シングルエンド入力を駆動する場合、相補入力ピンはセクション 7.1.1 に基づき終端します。 2. SYSREFREQ ピンを使用しない場合は、そのピンを 1kΩ 抵抗で VCC に接続します。
CLKIN 相補入力	シングルエンド入力を駆動する場合は、グランドに AC 結合した 50Ω の抵抗で相補ピンが終端します。

Copyright © 2025 Texas Instruments Incorporated

表 7-1. 未使用または部分的に使用されているピンの処理 (続き)

ピン	治療
VBIAS01、VBIAS23	乗算器を使用しない場合は、これらのピン コンデンサ (1µF) をグランドに接続します。
CLKOUT SYSREFOUT LOGICLKOUT LOGISYSREFOUT	使用しない場合は、AC カップリング コンデンサと 50Ω をグランドに接続します。
CE、CLKx_EN、LOGIC_EN、SYSREF_EN	1. デバイスを SPI 制御モードで動作させている場合、これらのピンを 1kΩ 抵抗で VCC に接続する必要があります。 2. SPI モードとピンモードの両方で動作していない場合、これらのピンは 1kΩ 抵抗を使用してグランドに接続する必要があります。
CAL、MUXSELx、DIVSELx、PWRSELx	1. これらのピンを使用しない場合、これらのピンは 1kΩ 抵抗を介してグランドに接続します。

7.1.3 消費電流

消費電流は、セットアップ条件に応じて異なります。表 7-2 に示すすべてのブロック電流を加算すると、どのような設定条件についても電流の適切な推定値を得られます。

表 7-2. ブロックあたりの消費電流

ブロック		条件		電流 (mA)
デバイスコア		CLK_MUX = バッファ モード		294
		CLK_MUX = 分周モード		260
		CLK_MUX = 乗算モード		560
SYSREF SYNC ウィンドウ	コア	SYSREF_EN = 1		80
	遅延ジェネレータ	ジェネレータ モード (SYSREF_MODE = 0、1)		53
		リピータ モード (SYSREF_MODE = 2)		40
	ウィンドウ処理回路	ウィンドウ処理回路 (CLKPOS_CAPTURE_EN = 1)	SYSREF_MODE = 0、1	113
			SYSREF_MODE = 2	0
	SYSREF パルサー	SYSREF_MODE = 1		7
CLKOUT (アクティブ クロック チャネルあたり)	コア	SYSREF_EN = 0		25
		SYSREF_EN = 1	未使用の遅延	30
			使用される遅延	40
	出力バッファ	CHx_EN = CLKOUTx_EN=1		4+6*CLKOUTx_PWR
SYSREFOUT	コア	SYSREFOUT_EN = CHx_EN = 1		74 + SYSREFOUTx_PWR*5
	出力バッファ	SYSREFOUT_EN = CHx_EN = 1 (SYSREFOUTx_PWR と SYSREFOUTx_VCM が相互作用する可能性があるため、出力バッファの電流は場合によっては予測した式よりも小さくなります。)		2*SYSREFOUTx_PWR + 2*SYSREFOUTx_VCM
LOGICLKOUT	コア	LOGIC_EN=1 LOGICLKOUT_EN=1	SYSREF_EN = 0	49
			SYSREF_EN = 1	59
	出力バッファ		CML(R_P=50Ω)	16+1*LOGICLKOUT_PWR
			LVDS	12
LOGISYSREFOUT	コア	LOGIC_EN=1 LOGISYSREFOUT_EN=1	SYSREF_EN = 0	0
			SYSREF_EN = 1	55
	出力バッファ	LOGIC_EN=1 LOGISYSREFOUT_EN=1	CML(R_P=50Ω)	16+1*LOGICLKOUT_PWR
			LVDS	12

Copyright © 2025 Texas Instruments Incorporated

7.2 代表的なアプリケーション

7.2.1 ローカル発振分配キャリブレーション

このアプリケーションでは、LMX1404-EP を x2 乗算器として使用する場合の追加ノイズの影響は、LMX2694-EP 3GHz 出力クロックに追加するとエクスポートされます。この特定の設定では、2 つの EVM を簡単に接続するためにシングルエンドクロックを使用して LMX1404-EP を駆動しましたが、一般的にはデバイスを差動で駆動することを推奨します。

図 7-6. 代表的なアプリケーション回路図

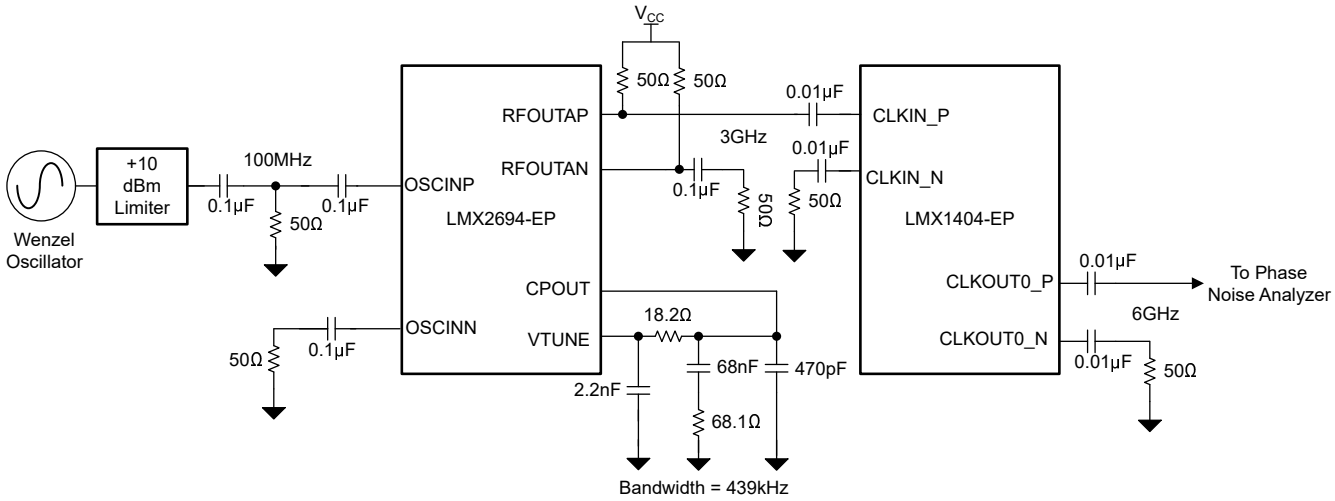


図 7-7. 代表的なアプリケーション回路図

7.2.1.1 設計要件

この例の設計パラメータを、表 7-3 に示します。

すべての出力や SYSREF が使用されない場合は、レイアウトを圧縮して、特に入力配線のトレース長を最小限にすることを推奨します。

表 7-3. 設計パラメータ

パラメータ	値
LMX2694-EP 入力周波数	100MHz
LMX2694 - EP 出力周波数	3GHz
LMX1404-EP クロック入力周波数	3GHz
LMX1404-EP クロック出力周波数	6GHz
LMX1404-EP 乗算器値	x2

7.2.1.2 詳細な設計手順

この例では、3GHz 入力クロックを 6GHz の入力クロックまで乗算します。内部構成では、外部コンポーネントはそれほど変化しません。TICS Pro ソフトウェアは、必要なレジスタ値の計算とデバイスの構成に非常に役立ちます。

Copyright © 2025 Texas Instruments Incorporated

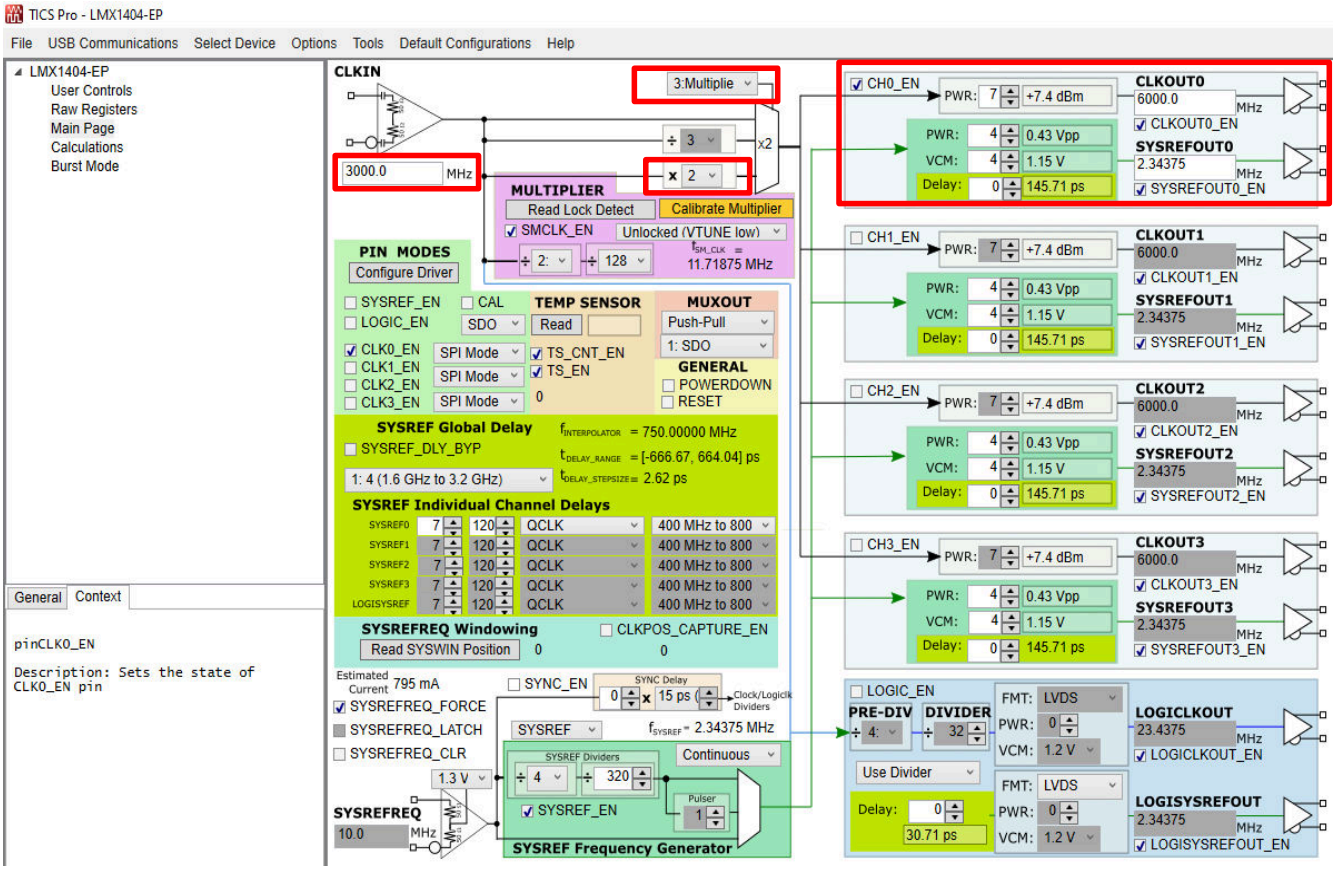


図 7-8. LMX1404-EP TICS Pro のセットアップ

7.2.1.3 アプリケーションのプロット

LMX1404-EP 乗算器出力 合計プロットは、LMX1404-EP 乗算器のノイズと、LMX2694-EP 3GHz 出力 (6dB を追加して 6GHz にスケーリング) のノイズの合計です。LMX1404-EP は、1MHz から 20Mhz の範囲の位相ノイズを増加させますが、20MHz を超えると、入力乗算器により出力ノイズ フロアが実際にフィルタリングされることに注意してください。

Copyright © 2025 Texas Instruments Incorporated

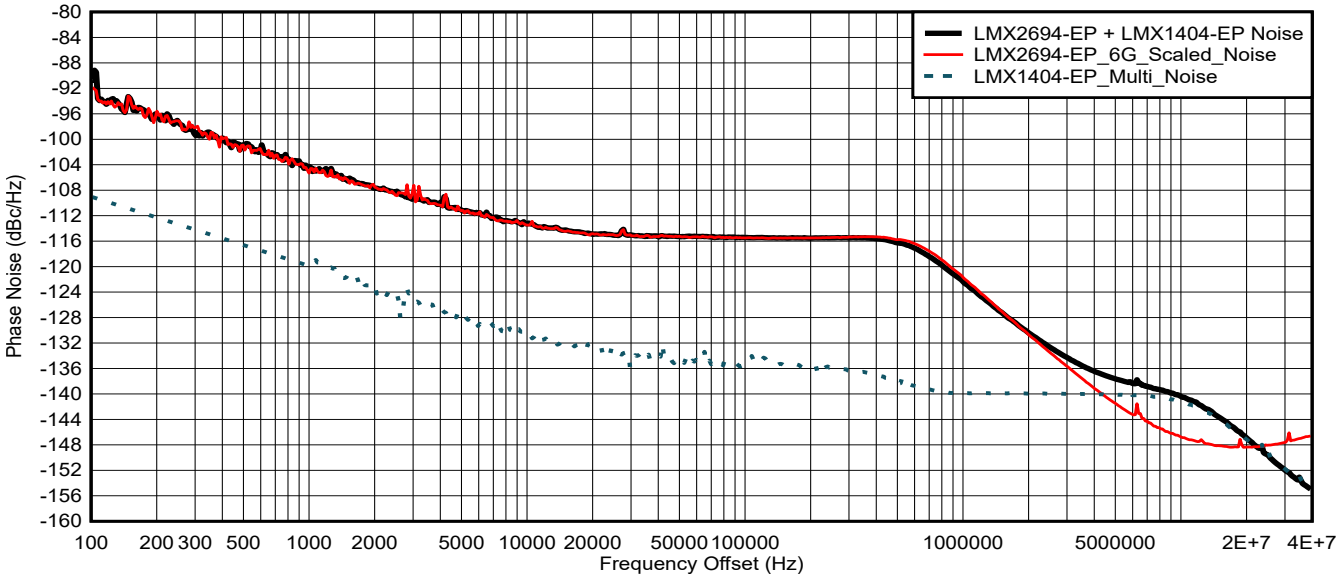


図 7-9. LMX1404-EP 乗算器出力

7.2.2 JESD204B/C クロック分配アプリケーション

このアプリケーションでは、 LMX1404-EP を使用した JESD204B/C クロック分配回路を示します。この回路は、LMX2694-EP から高周波入力を受け入れ、FPGA 用のクロックとともに、データ コンバータへの 4 ペアの JESD クロックを生成できます。

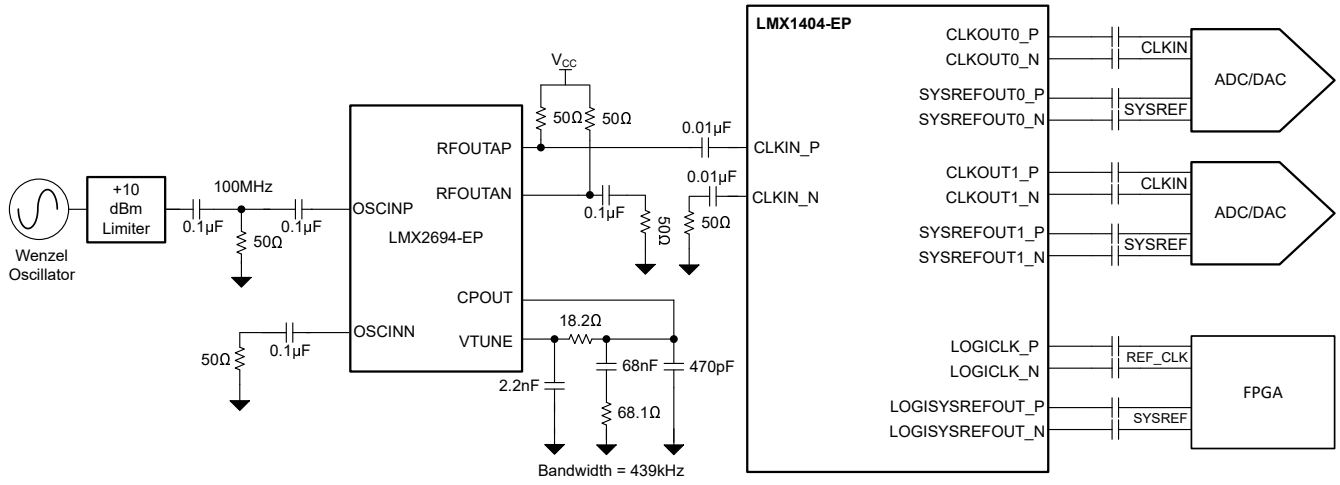


図 7-10. 代表的な JESD クロックのブロック図

7.3 レイアウト

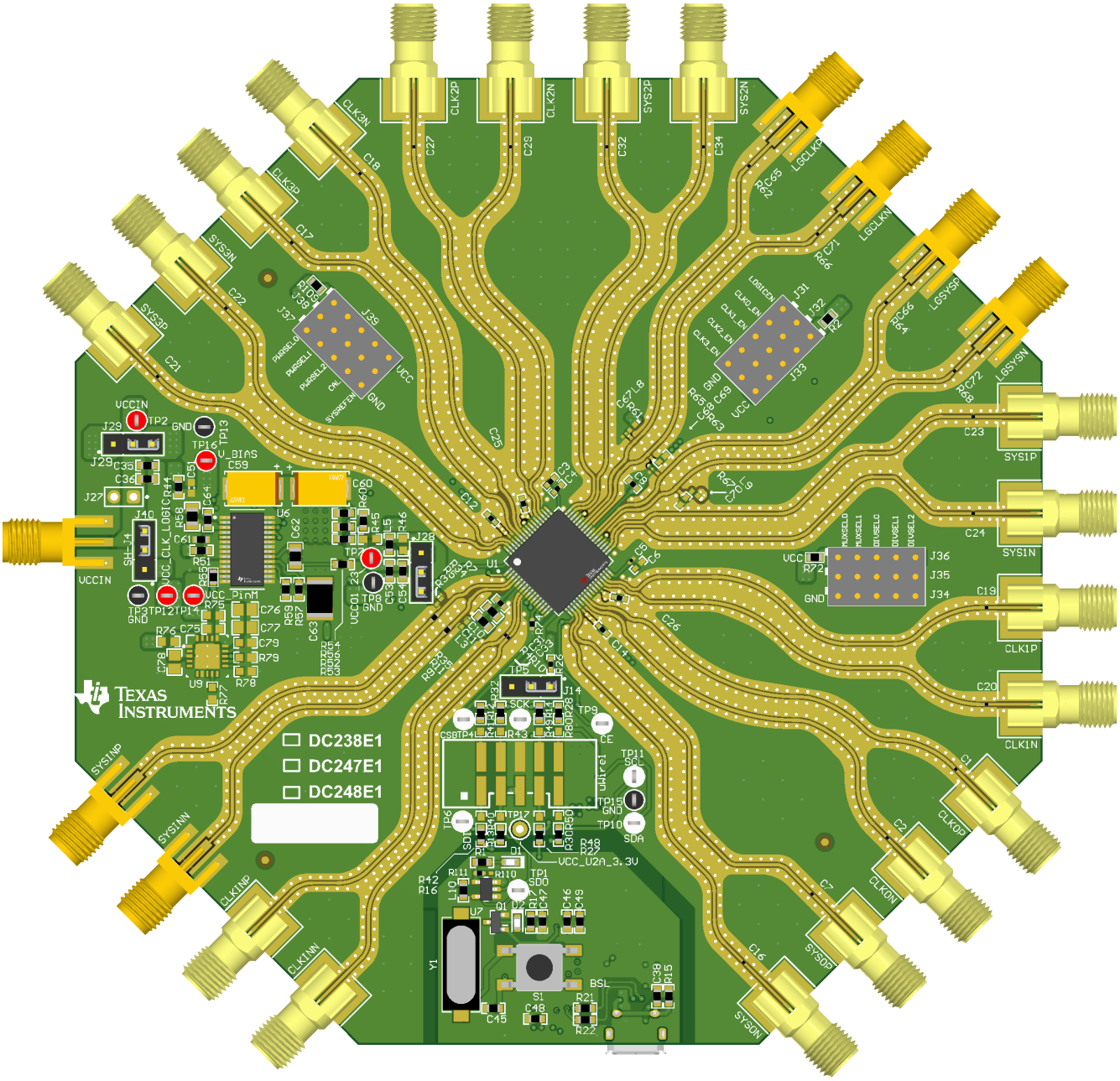
7.3.1 レイアウトのガイドライン

- シングルエンド出力を使用する場合は、信号出力のインピーダンスがコンプリメンタリ ピン側と同じになるように、50Ω のコンプリメンタリ側を終端します。
- パッケージの外周にある GND ピンはパッケージで、DAP に戻るよう配線できます。
- 最適な位相ノイズを実現するために、CLKIN の配線の長さを最小限に抑えます。マッチングが不十分な場合、ノイズ フロアが劣化する可能性があります。
- デバイスの DAP が、多数のビアで十分に接地されていることを確認します。

- より低損失の誘電体 (Rogers 4003C など) を使用して、最適な出力電力を実現します。
- すべての出力と SYSREF が動作している場合、125°C の推奨内部接合部温度を超えるほど消費電流が十分に高くなる可能性があることに注意してください。ヒートシンクが必要になる場合があります。

7.3.2 レイアウト例

レイアウト例



7.4 電源に関する推奨事項

このデバイスは、デバイス全体に 2.5V 電源を使用しています。スイッチング電源に直接接続すると、出力に望ましくないスプリアスが発生する可能性があります。すべての電源ピンで、個別にバイパスを行うことができます。テキサス インスツルメンツでは、デバイスと同じ層で、周波数が最小化された、より小さなコンデンサを、ピンにできる限り近づけて配置することを推奨します。デバイスのほとんどすべての信号の周波数は 100MHz 以上であるため、低周波数の最小インピーダンス

Copyright © 2025 Texas Instruments Incorporated

を持つ大容量のバイパス コンデンサは内部 LDO の安定性のためにのみ使用され、デバイスまでの距離 (およびバイパス パスのループ インダクタンス) を長くできます。両方を同時に使用する場合は、小さな抵抗またはフェライトビーズを使用して、クロックと LOGICLK の電源ピンを絶縁します。各ピンのその他の推奨事項については、*「ピン構成および機能」*セクションを参照してください。

注

このデバイスは、動作電圧が低く、LDO による内部フィルタリングが原因で、PSRR (電源除去比) が最小限です。このデバイスは、過剰なスプリアスノイズが発生しない低ノイズ電源に接続することが重要です。

7.4.1 パワーアップのタイミング

デバイスの電源をオンにするには、いくつかの電源シーケンスが必要です。

1. デバイスに電力を供給し、VCC ピンが適切なレベルに達していることを確認します。
2. パワーオン リセットは自動的に行われますが、ユーザーは RESET ビットを 1 から 0 に切り替えることにより、ソフトウェア リセットを実行できます。これら 2 つのコマンドのプログラミング間隔が、1µs 以上であることを確認します。
3. 必要に応じてレジスタをプログラムします。

Copyright © 2025 Texas Instruments Incorporated

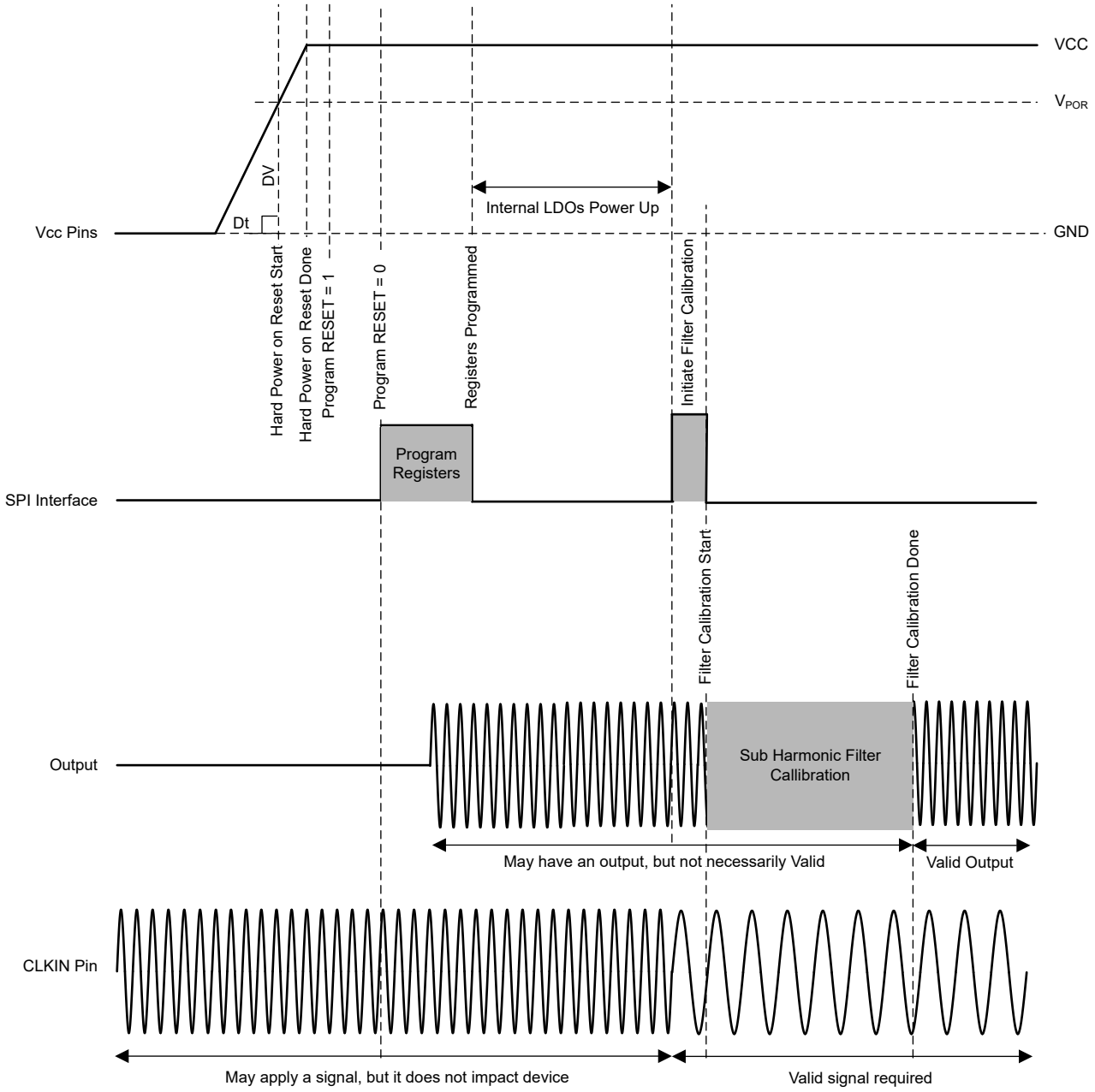


図 7-11. パワーアップのタイミング

Copyright © 2025 Texas Instruments Incorporated

7.5 レジスタ マップ

	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
R0	0	0	0	0	0	0	0	0	0	0	0	0	0	パワーダウン	0	リセット
R2	0	0	0	0	0	0	SMCLK_DIV_PRE				SMCLK_EN	0	0	0	1	1
R3	CH3_EN	CH2_EN	CH1_EN	CH0_EN	LOGICLK_MUTE_CAL	CH3_MUTE_CAL	CH2_MUTE_CAL	CH1_MUTE_CAL	CH0_MUTE_CAL	0	0	0	0	SMCLK_DIV		
R4	0	0	CLKOUT1_PWR			CLKOUT0_PWR			SYSREFOUT3_EN	SYSREFOUT2_EN	SYSREFOUT1_EN	SYSREFOUT0_EN	CLKOUT3_EN	CLKOUT2_EN	CLKOUT1_EN	CLKOUT0_EN
R5	0	SYSREFOUT2_PWR			SYSREFOUT1_PWR			SYSREFOUT0_PWR			CLKOUT3_PWR			CLKOUT2_PWR		
R6	LOGICLKOUT_EN	SYSREFOUT3_VCM			SYSREFOUT2_VCM			SYSREFOUT1_VCM			SYSREFOUT0_VCM			SYSREFOUT3_PWR		
R7	0	LOGISYSREFOUT_VCM		LOGICLKOUT_VCM		LOGISYSREF_DIV_PWR_PRE		LOGICLK_DIV_PWR_PRE	LOGISYSREFOUT_PWR			LOGICLKOUT_PWR				LOGISYSREFOUT_EN
R8	0	0	0	0	0	0	0	LOGICLK_DIV_PRE			LOGIC_EN	0	LOGISYSREFOUT_FMT		LOGICLKOUT_FMT	
R9	SYSREFREQ_VCM		SYNC_EN	LOGICLK_DIV_PD	LOGICLK_DIV_BYP	0	LOGICLK_DIV									
R11	rb_CLKPOS															
R12	rb_CLKPOS[31:16]															
R13	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SYSREFREQ_DLY_STEP	
R14	0	0	0	0	0	0	0	SYNC_MUTE_PD	0	0	0	0	0	CLKPOS_CAPTURE_EN	SYSREFREQ_MODE	SYSREFREQ_LATCH
R15	0	0	0	0	SYSREF_DIV_PRE		1	SYSREF_EN	0	SYSREFREQ_DLY						SYSREFREQ_CLR
R16	SYSREF_PULSE_CNT				SYSREF_DIV											
R17	0	0	0	0	0	SYSREF0_DLY_I							SYSREF0_DLY_PHASE	SYSREF_MODE		
R18	SYSREF1_DLY_I							SYSREF1_DLY_PHASE	SYSREF0_DLY_Q							
R19	SYSREF2_DLY_I							SYSREF2_DLY_PHASE	SYSREF1_DLY_Q							
R20	SYSREF3_DLY_I							SYSREF3_DLY_PHASE	SYSREF2_DLY_Q							
R21	LOGISYSREF_DLY_I							LOGISYSREF_DLY_PHASE	SYSREF3_DLY_Q							
R22	SYSREF1_DLY_SCALE		SYSREF0_DLY_SCALE		SYSREF_DLY_DIV			0	0	LOGISYSREF_DLY_Q						
R23	TS_EN	1	MUXOUT_EN	0	0	0	0	0	0	MUXOUT_SEL	LOGISYSREF_DLY_SCALE		SYSREF3_DLY_SCALE		SYSREF2_DLY_SCALE	
R24	0	0	0	0	rb_TS											TS_CNT_EN
R25	0	0	0	0	0	0	1	0	0	CLK_DIV_RST	CLK_DIV			CLK_MUX		
R28	0	0	0	VCO_CORE_FORCE	VCO_CORE			0	0	0	0	0	1	0	0	0
R29	0	0	0	0	0	1	0	1	VCO_CAPCTRL							

Copyright © 2025 Texas Instruments Incorporated

R33	0	1	0	1	0	1	1	0	0	1	1	0	0	1	1	0
R34	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R65	0	1	1	0	0	1	0	rb_VCO_CORE					0	0	0	0
R67	0	1	0	1	0	0	0	1	1	1	0	0	1	0	1	1
R72	0	0	0	0	0	0	0	0	0	0	0	0	0	SYSREFREQ_FORCE	SYSREF_DLY_BYP	
R73	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
R75	rb_CLK2_EN	rb_CLK1_EN	rb_CLK0_EN	rb_MUXSEL1	rb_MUXSEL0	rb_LOGIC_EN	rb_LD		rb_DIVSEL2	rb_DIVSEL1	rb_DIVSEL0	rb_CE	0	0	1	1
R76	0	0	0	0	0	0	0	0	0	0	0	0	rb_PWRSEL2	rb_PWRSEL1	rb_PWRSEL0	rb_CLK3_EN
R79	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R86	0	0	0	0	0	0	0	0	0	0	0	0	0	MUXOUT_EN_OVRD	0	0
R90	0	0	0	0	0	0	0	0	0	LOGICLK_DIV_BYP3	LOGICLK_DIV_BYP2	0	0	0	0	0

この表に記載されていないレジスタは、これらをプログラムしてはいけません。レジスタは、本デバイスの性能や機能に悪影響を及ぼす可能性があります。

デバイスの性能に悪影響を及ぼさないように、以下のレジスタをプログラムしてはなりません。R1、R10、R26、R27、R30-R32、

クロック出力乗算器を使用しない場合、以下のレジスタのプログラミングは必要ありません。R29、R33、R34、R65、R67、R73

以下のレジスタは、LOGICLK を使用しない場合、プログラミングの必要はありません。R79、R90

Copyright © 2025 Texas Instruments Incorporated

7.5.1 デバイスのレジスタ

表 7-4 に、デバイスのレジスタ用のメモリ マップト レジスタを示します。表 7-4 にないレジスタ オフセット アドレスはすべて予約済みと見なします。レジスタの内容は変更してはいけません。

表 7-4. DEVICE レジスタ

オフセット	略称	レジスタ名	セクション
0h	R0	パワーダウン、リセット、乗算器モードキャリブレーション	セクション 7.5.1.1
2h	R2	乗算器モード (ステートマシンクロック)	セクション 7.5.1.2
3h	R3	乗算器モード (ステートマシンクロック)、出力イネーブル	セクション 7.5.1.3
4h	R4	出力イネーブル、CLKOUT 電力	セクション 7.5.1.4
5h	R5	CLKOUT 電力、SYSREFOUT 電力	セクション 7.5.1.5
6h	R6	LOGICLK イネーブル、SYSREFOUT 電力/VCM	セクション 7.5.1.6
7h	R7	LOGICLK および LOGISYSREF	セクション 7.5.1.7
8h	R8	LOGICLK および LOGISYSREF	セクション 7.5.1.8
9h	R9	LOGICLK 分周器、SYNC、SYSREFREQ	セクション 7.5.1.9
Bh	R11	SYSREFREQ ウィンドウ処理 (読み戻し)	セクション 7.5.1.10
Ch	R12	SYSREFREQ ウィンドウ処理 (読み戻し)	セクション 7.5.1.11
Dh	R13	SYSREFREQ ウィンドウ処理	セクション 7.5.1.12
Eh	R14	SYSREFREQ ウィンドウ処理、SYNC、SYSREF	セクション 7.5.1.13
Fh	R15	SYSREFREQ ウィンドウ処理、SYNC、SYSREF	セクション 7.5.1.14
10h	R16	SYSREF	セクション 7.5.1.15
11h	R17	SYSREF、SYSREFOUT 遅延	セクション 7.5.1.16
12h	R18	SYSREFOUT 遅延	セクション 7.5.1.17
13h	R19	SYSREFOUT 遅延	セクション 7.5.1.18
14h	R20	SYSREFOUT 遅延	セクション 7.5.1.19
15h	R21	SYSREFOUT 遅延	セクション 7.5.1.20
16h	R22	SYSREFOUT 遅延	セクション 7.5.1.21
17h	R23	温度センサ、MUXOUT、SYSREFOUT 遅延	セクション 7.5.1.22
18h	R24	温度センサ	セクション 7.5.1.23
19h	R25	乗算器モード、分周器モード	セクション 7.5.1.24
1Ch	R28	乗算器モード (オプション、部分アシストキャリブレーション)	セクション 7.5.1.25
1Dh	R29	乗算器モード (オプション、部分アシストキャリブレーション)	セクション 7.5.1.26
21h	R33	乗算器モード (RESERVED、必ず乗算器モードで書き込み)	
22h	R34	乗算器モード (RESERVED、必ず乗算器モードで書き込み)	
41h	R65	乗算器モード (読み取り専用、オプション、部分アシストキャリブレーション用)	セクション 7.5.1.29
43h	R67	乗算器モード (読み取り専用、オプション、部分アシストキャリブレーション用)	セクション 7.5.1.30
48h	R72	SYSREF	セクション 7.5.1.31
49h	R73	予約済み	
4Bh	R75	乗算器モード (読み取り専用、オプション、ロック検出)	セクション 7.5.1.33
4Ch	R76	読み取り専用	セクション 7.5.1.34
56h	R86	MUXOUT (RESERVED、オプション、tri 状態用)	
5Ah	R90	LOGICLK 分周器 (RESERVED、オプション、分周器バイパス用)	

Copyright © 2025 Texas Instruments Incorporated

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-5 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-5. デバイスのアクセス タイプ コード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.5.1.1 R0 レジスタ (オフセット = 0h) [リセット = 0000h]

R0 を表 7-6 に示します。

概略表に戻ります。

表 7-6. R0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-3	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
2	パワーダウン	R/W	0h	デバイスを低消費電力状態に設定します。他のレジスタの状態は維持されます。
1	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
0	リセット	R/W	0h	ソフト リセット。ロジック全体とレジスタ全体をリセットします (パワーオン リセットと等価) 。次のレジスタ書き込み時にセルフ クリア。

7.5.1.2 R2 レジスタ (オフセット = 2h) [リセット = 0223h]

R2 を表 7-7 に示します。

概略表に戻ります。

表 7-7. R2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	非公開	R	0h	このフィールドを 0x0 にプログラムします。
10	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
9-6	SMCLK_DIV_PRE	R/W	8h	ステート マシン クロックのプリディバイダー (ホット ディバイダー 1 つ) ステート マシン クロックは、入力クロックから分周されます。プリデバイダの出力は、≤1600MHz である必要があります。これら以外の値は予約済みです。 2h = /2 4h = /4 8h = /8
5	SMCLK_EN	R/W	1h	ステートマシンクロックジェネレータをイネーブルにします乗算器のキャリブレーションと、乗算器のロック検出 (MUXOUT ピンを含む) にのみ必要です。乗算器を使用しない場合、または乗算器のロック検出機能を使用しない場合は、ステートマシンクロックジェネレータをディセーブルにしてクロストークを最小限に抑えることができます。
4-0	非公開	R/W	3h	このフィールドを 0x3 にプログラムします。

Copyright © 2025 Texas Instruments Incorporated

7.5.1.3 R3 レジスタ (オフセット = 3h) [リセット = FF86h]

R3 を表 7-8 に示します。

概略表に戻ります。

表 7-8. R3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	CH3_EN	R/W	1h	CH3 (CLKOUT3、SYSOUT3) をイネーブルにします。このビットを 0 に設定すると、CH3 が完全にディセーブルにされ、他のパワーダウンビット/イネーブルビットの状態が上書きされます。
14	CH2_EN	R/W	1h	CH2 (CLKOUT2、SYSOUT2) をイネーブルにします。このビットを 0 に設定すると、CH2 が完全にディセーブルにされ、他のパワーダウンビット/イネーブルビットの状態が上書きされます。
13	CH1_EN	R/W	1h	CH1 (CLKOUT1、SYSOUT1) をイネーブルにします。このビットを 0 に設定すると、CH1 が完全にディセーブルにされ、他のパワーダウンビット/イネーブルビットの状態が上書きされます。
12	CH0_EN	R/W	1h	CH0 (CLKOUT0、SYSOUT0) をイネーブルにします。このビットを 0 に設定すると、CH0 が完全にディセーブルにされ、他のパワーダウンビット/イネーブルビットの状態が上書きされます。
11	LOGICLK_MUTE_CAL	R/W	1h	乗算器のキャリブレーション中にロジック出力 (LOGICLK/LOGISYS) をミュートします。
10	CH3_MUTE_CAL	R/W	1h	乗算器のキャリブレーション中に、CH3 (CLKOUT3/SYSOUT3) をミュートします。
9	CH2_MUTE_CAL	R/W	1h	乗算器のキャリブレーション中に、CH2 (CLKOUT2/SYSOUT2) をミュートします。
8	CH1_MUTE_CAL	R/W	1h	乗算器のキャリブレーション中に、CH1 (CLKOUT1/SYSOUT1) をミュートします。
7	CH0_MUTE_CAL	R/W	1h	乗算器のキャリブレーション中に、CH0 (CLKOUT0/SYSOUT0) をミュートします。
6-3	非公開	R	0h	このフィールドを 0x0 にプログラムします。
2-0	SMCLK_DIV	R/W	6h	ステートマシン クロック分周器を設定します。ステート マシン クロック プリデバイダの出力をさらに分周します。SMCLK_DIV_PRE からの入力周波数を ≤1600MHz にする必要があります。出力周波数は ≤30MHz である必要があります。分周値は 2^{SMCLK_DIV} です。 0h = /1 1h = /2 2h = /4 3h = /8 4h = /16 5h = /32 6h = /64 7h = /128

7.5.1.4 R4 レジスタ (オフセット = 4h) [リセット = 36FFh]

R4 を表 7-9 に示します。

概略表に戻ります。

表 7-9. R4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	非公開	R	0h	このフィールドを 0x0 にプログラムします。
13-11	CLKOUT1_PWR	R/W	6h	CLKOUT1 の出力電力を設定します。値が大きいほど、出力電力も大きくなります。
10-8	CLKOUT0_PWR	R/W	6h	CLKOUT0 の出力電力を設定します。値が大きいほど、出力電力も大きくなります。

Copyright © 2025 Texas Instruments Incorporated

表 7-9. R4 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7	SYSREFOUT3_EN	R/W	1h	SYSREFOUT3 出力バッファをイネーブルにします。
6	SYSREFOUT2_EN	R/W	1h	SYSREFOUT2 出力バッファをイネーブルにします。
5	SYSREFOUT1_EN	R/W	1h	SYSREFOUT1 出力バッファをイネーブルにします。
4	SYSREFOUT0_EN	R/W	1h	SYSREFOUT0 出力バッファをイネーブルにします。
3	CLKOUT3_EN	R/W	1h	CLKOUT3 出力バッファをイネーブルにします。
2	CLKOUT2_EN	R/W	1h	CLKOUT2 出力バッファをイネーブルにします。
1	CLKOUT1_EN	R/W	1h	CLKOUT1 出力バッファをイネーブルにします。
0	CLKOUT0_EN	R/W	1h	CLKOUT0 出力バッファをイネーブルにします。

7.5.1.5 R5 レジスタ (オフセット = 5h) [リセット = 4936h]

R5 を表 7-10 に示します。

概略表に戻ります。

表 7-10. R5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	非公開	R	0h	このフィールドを 0x0 にプログラムします。
14-12	SYSREFOUT2_PWR	R/W	4h	SYSREFOUT2 の出力電力を設定します。値が大きいほど、出力電力も大きくなります。出力同相電圧を許容範囲内にするには、SYSREFOUT2_VCM を適切に設定する必要があります。
11-9	SYSREFOUT1_PWR	R/W	4h	SYSREFOUT1 の出力電力を設定します。値が大きいほど、出力電力も大きくなります。出力同相電圧を許容範囲内にするには、SYSREFOUT1_VCM を適切に設定する必要があります。
8-6	SYSREFOUT0_PWR	R/W	4h	SYSREFOUT0 の出力電力を設定します。値が大きいほど、出力電力も大きくなります。出力同相電圧を許容範囲内にするには、SYSREFOUT0_VCM を適切に設定する必要があります。
5-3	CLKOUT3_PWR	R/W	6h	CLKOUT3 の出力電力を設定します。値が大きいほど、出力電力も大きくなります。
2-0	CLKOUT2_PWR	R/W	6h	CLKOUT2 の出力電力を設定します。値が大きいほど、出力電力も大きくなります。

7.5.1.6 R6 レジスタ (オフセット = 6h) [リセット = B6DCh]

R6 を表 7-11 に示します。

概略表に戻ります。

表 7-11. R6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	LOGICLKOUT_EN	R/W	1h	ロジック クロック出力バッファをイネーブルにします。
14-12	SYSREFOUT3_VCM	R/W	3h	SYSREFOUT3 の出力同相を設定します。最小および最大出力電圧を許容限度内にするには、SYSREFOUT3_PWR を適切に設定する必要があります。
11-9	SYSREFOUT2_VCM	R/W	3h	SYSREFOUT2 の出力同相を設定します。最小および最大出力電圧を許容限度内にするには、SYSREFOUT2_PWR を適切に設定する必要があります。
8-6	SYSREFOUT1_VCM	R/W	3h	SYSREFOUT1 の出力同相を設定します。最小および最大出力電圧を許容限度内にするには、SYSREFOUT1_PWR を適切に設定する必要があります。

Copyright © 2025 Texas Instruments Incorporated

表 7-11. R6 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-3	SYSREFOUT0_VCM	R/W	3h	SYSREFOUT0 の出力同相を設定します。最小および最大出力電圧を許容限度内にするには、SYSREFOUT0_PWR を適切に設定する必要があります。
2-0	SYSREFOUT3_PWR	R/W	4h	SYSREFOUT3 の出力電力を設定します。値が大きいほど、出力電力も大きくなります。出力同相電圧を許容範囲内にするには、SYSREFOUT3_VCM を適切に設定する必要があります。

7.5.1.7 R7 レジスタ (オフセット = 7h) [リセット = 0001h]

R7 を表 7-12 に示します。

概略表に戻ります。

表 7-12. R7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	非公開	R	0h	このフィールドを 0x0 にプログラムします。
14-13	LOGISYSREFOUT_VCM	R/W	0h	LVDS モードでは、ロジック SYSREF 出力の出力同相を設定します。他の出力形式では、このフィールドは無視されます。 0h = 1.2V 1h = 1.1V 2h = 1.0V 3h = 0.9V
12-11	LOGICLKOUT_VCM	R/W	0h	LVDS モードで、ロジック クロック出力の出力コモン モードを設定します。他の出力形式では、このフィールドは無視されます。 0h = 1.2V 1h = 1.1V 2h = 1.0V 3h = 0.9V
10-9	LOGISYSREF_DIV_PWR_PRE	R/W	0h	ロジック SYSREF プリドライバの出力電力を設定します。値が大きいほど、出力電力も大きくなります。
8-7	LOGICLK_DIV_PWR_PRE	R/W	0h	ロジック クロック プリドライバの出力電力を設定します。値が大きいほど、出力電力も大きくなります。
6-4	LOGISYSREFOUT_PWR	R/W	0h	CML 形式の LOGISYSREFOUT の出力電力を設定します (他の出力形式ではこのフィールドは無視されます) 。値が大きいほど、出力電力も大きくなります。
3-1	LOGICLKOUT_PWR	R/W	0h	CML 形式の LOGICLKOUT の出力電力を設定します (他の出力形式ではこのフィールドは無視されます) 。値が大きいほど、出力電力も大きくなります。
0	LOGISYSREFOUT_EN	R/W	1h	ロジック SYSREF 出力バッファをイネーブルにします。

7.5.1.8 R8 レジスタ (オフセット = 8h) [リセット = 0120h]

R8 を表 7-13 に示します。

概略表に戻ります。

表 7-13. R8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-9	非公開	R	0h	このフィールドを 0x0 にプログラムします。

Copyright © 2025 Texas Instruments Incorporated

表 7-13. R8 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8-6	LOGICLK_DIV_PRE	R/W	4h	ロジック クロック分周器のプリデバイダ値を設定します。プリデバイダの出力は 3.2GHz 以下である必要があります。LOGICLK_DIV_PRE = 1 の場合、レジスタ R79 も 0x0005 および R90 ～ 0x0060 の値にプログラムする必要があります (LOGICLK_DIV_BYP2 = 1、LOGICLK_DIV_BYP3 = 1)。以下にリストされているもの以外の LOGICLK_DIV_PRE の値は予約済みです。 1h = /1 2h = /2 4h = /4
5	LOGIC_EN	R/W	1h	LOGICLK サブシステム (LOGICLKOUT、LOGISYSREFOUT) をイネーブルにします。このビットを 0x0 に設定すると、すべての LOGICLKOUT および LOGISYSREFOUT 回路が完全にディセーブルにされ、他のパワーダウンビット/イネーブルビットの状態が上書きされます。
4	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
3-2	LOGISYSREFOUT_FMT	R/W	0h	LOGISYSREFOUT 出力の出力ドライバ フォーマットを選択します。 0h = LVDS 1h = 予約済み 2h = CML 3h =予約済み
1-0	LOGICLKOUT_FMT	R/W	0h	LOGICLKOUT 出力の出力ドライバ フォーマットを選択します。 0h = LVDS 1h = 予約済み 2h = CML 3h =予約済み

7.5.1.9 R9 レジスタ (オフセット = 9h) [リセット = 0020h]

R9 を表 7-14 に示します。

概略表に戻ります。

表 7-14. R9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	SYSREFREQ_VCM	R/W	0h	SYSREFREQ ピンの内部 DC バイアスを設定します。AC 結合入力に対しては BIAS をイネーブルする必要がありますが、DC 結合入力ではイネーブルおよびオーバードライブまたはディセーブルできます。 SYSREFREQ の DC ピンの電圧は、最小および最大の信号スイングを含む、0.7V から VCC の範囲内である必要があります。 0h = 1.3V 1h = 1.1V 2h = 1.5V 3h = ディセーブル
13	SYNC_EN	R/W	0h	デバイダの同期パスをイネーブルにし、クロック位置キャプチャ 回路をイネーブルにできます。マルチデ バイス同期に使用されます。SYSREF_EN = 0x1 なら冗長。
12	LOGICLK_DIV_PD	R/W	0h	LOGICLK デバイダをディセーブルにします。LOGICLK プリデバイダはイネーブルのままです。LOGICLK デバイダをバイパスするとき消費電流を低減するために使用します。

Copyright © 2025 Texas Instruments Incorporated

表 7-14. R9 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	LOGICLK_DIV_BYP	R/W	0h	LOGICLK_DIV デバイダをバイパスして、LOGICLK_DIV_PRE デバイダから直接 LOGICLK 出力を生成します。LOGICLK の合計分周 1 を実現するためのいずれかのステップとして、LOGICLK_DIV_PRE = 1 の場合にのみ使用する必要があります。1 分周を実現するには、以下の手順が必要です。 1.LOGICLK_DIV_PRE = 1 に設定 2.レジスタ R79 に 0x0005 の値が設定されていることを確認します 3.R90 ～ 0x0060 (LOGICLK_DIV23 = 1、LOGICLK_DIV_DCC = 1) にプログラム 4.LOGICLK の合計分周 1 を必要としない場合、LOGICLK_DIV_BYP = 1 に設定 このビットは 0 に設定する必要があります。 0h = LOGICLK 分周器を使用 1h = LOGICLK 分周器をバイパス
10	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
9-0	LOGICLK_DIV	R/W	20h	LOGICLK デバイダの値を設定します。LOGICLK_DIV_PRE の最大入力周波数は、≤3200MHz である必要があります。振幅の劣化を避けるため、LOGICLKOUT の最大周波数は ≤800MHz にする必要があります。 0h = 予約済み 1h = 予約済み 2h = /2 3h = /3 3FFh = /1023

7.5.1.10 R11 レジスタ (オフセット= Bh) [リセット= 0000h]

R11 を表 7-15 に示します。

概略表に戻ります。

表 7-15. R11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	rb_CLKPOS	R	0h	SYSREFREQ の立ち上がりエッジを基準とした、CLKIN 信号の立ち上がりエッジ位置のスナップショットを格納します。スナップショットは LSB から始まり、MSB で終了します。各ビットは、CLKIN 信号のサンプルを表し、SYSREFREQ_DLY_STEP フィールドで決定された遅延で区切られます。rb_CLKPOS の最初と最後のビットは常に設定されており、キャプチャウィンドウ境界条件での不確実性を示します。CLKIN の立ち上がりエッジは、LSB から MSB までの 2 つの設定ビットのシーケンスごとに表され、境界条件でのビットも含まれます。スナップショットの CLKIN 立ち上がりエッジの位置、CLKIN 信号周期、および 遅延ステップサイズは、SYSREFREQ_DLY の値を計算できます。これにより、SYSREFREQ ピンの同期信号のセットアップ時間とホールド時間を最大化できます。

7.5.1.11 R12 レジスタ (オフセット = Ch) [リセット = 0000h]

R12 を表 7-16 に示します。

概略表に戻ります。

表 7-16. R12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	rb_CLKPOS[31:16]	R	0h	MSB または rb_CLKPOS フィールド。

Copyright © 2025 Texas Instruments Incorporated

7.5.1.12 R13 レジスタ (オフセット = Dh) [リセット = 0003h]

R13 を表 7-17 に示します。

概略表に戻ります。

表 7-17. R13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-2	非公開	R	0h	このフィールドを 0x0 にプログラムします。
1-0	SYSREFREQ_DLY_STEP	R/W	3h	SYSREFREQ 入力遅延とクロック位置キャプチャの両方で、SYSREFREQ パスで使用される遅延素子のステップ サイズを設定します。各ステップ サイズの推奨周波数範囲により、特定の CLKIN 周波数で使用可能な最大ステップ数が作成されます。範囲には、プロセスと温度の変動を考慮して、ある程度のオーバーラップが含まれます。CLKIN 周波数がオーバーラップしたスパンでカバーされる場合、より大きな遅延ステップサイズにより、クロック位置のキャプチャ中に CLKIN の立ち上がりエッジを検出する可能性が向上します。ただし、値が大きいほど遅延ステップが多くなるため、ステップ サイズが大きいほど、ステップ サイズが小さい場合と比較して PVT 全体の遅延変動が大きくなります。 0h = 28ps (1.4GHz ～ 2.7GHz) 1h = 15ps (2.4GHz ～ 4.7GHz) 2h = 11ps (3.1GHz ～ 5.7GHz) 3h = 8ps (4.5GHz ～ 12.8GHz)

7.5.1.13 R14 レジスタ (オフセット = Eh) [リセット = 0002h]

R14 を表 7-18 に示します。

概略表に戻ります。

表 7-18. R14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-9	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
8	SYNC_MUTE_PD	R/W	0h	SYNC モード (SYSREFREQ_MODE = 0x0) 中に、SYSREFOUT および LOGISYSREFOUT ピンのミュート状態を削除します。同期動作は SYSREF 分周器もリセットされるため、通常はミュート状態が望ましく、このビットはデフォルト値のままにできます。
7-3	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
2	CLKPOS_CAPTURE_EN	R/W	0h	SYSREF エッジに対する rb_CLKPOS レジスタのクロック位置をキャプチャするウィンドウ回路をイネーブルにします。 クロック位置のキャプチャの前に SYSREFREQ_CLR を high から low に切り替えることで、ウィンドウ処理回路をクリアする必要があります。ウィンドウ化回路 をクリアした後の SYSREFREQ ピンの最初の立ち上がりエッジによって、キャプチャがトリガされます。キャプチャ回路は電源電流を大幅に増加させるため、SYNC または SYSREF モードで SYSREFREQ 信号を遅延させるためにイネーブルする必要はありません。SYSREFREQ_DLY の目標値が決定されたら、このビットを 0x0 に設定して消費電流を最小限に抑えます。SYNC_EN = 0 および SYSREF_EN = 0 の場合、このビットの値は無視され、ウィンドウ化回路はディセーブルになります。
1	SYSREFREQ_MODE	R/W	1h	SYSREFREQ ピンの機能を選択 0h = SYNC ピン 1h = SYSREFREQ ピン
0	SYSREFREQ_LATCH	R/W	0h	SYSREFREQ ピンの最初の立ち上がりエッジで、内部 SYSREFREQ 状態をロジック high にラッチします。このラッチは、SYSREFREQ_CLR = 1 を設定することでクリアできます。

Copyright © 2025 Texas Instruments Incorporated

7.5.1.14 R15 レジスタ (オフセット= Fh) [リセット= 0B01h]

R15 を表 7-19 に示します。

概略表に戻ります。

表 7-19. R15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	非公開	R	0h	このフィールドを 0x0 にプログラムします。
11-10	SYSREF_DIV_PRE	R/W	2h	SYSREF プリデバイダを設定します。最大出力周波数は ≤3.2GHz とする必要があります。 0h = /1 1h = /2 2h = /4 3h = 予約済み
9	非公開	R/W	1h	このフィールドを 0x1 にプログラムします。
8	SYSREF_EN	R/W	1h	SYSREF サブシステムを有効化します (SYSREFREQ_MODE = 0x0 のときは SYNC サブシステムを有効化します) 。このビットを 0x0 に設定すると、すべての SYNC、SYSREF、およびクロック位置キャプチャ回路が完全に無効化され、SYNC_EN を除く他のパワーダウンビット/イネーブルビットの状態が上書きされます。SYNC_EN = 0x1 の場合、SYSREF_EN の状態に関係なく、同期パスとクロック位置キャプチャ回路はイネーブルのままです。
7	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
6-1	SYSREFREQ_DLY	R/W	0h	外部 SYSREFREQ 信号のディレイ ライン ステップを設定します。各ディレイ ライン ステップは、SYSREFREQ 信号を SYSREFREQ_DELAY_STEP x SYSREFREQ_DLY_STEP と等しい量だけ遅延させます。同期モードでは、このフィールドの値は、CLKIN 信号に対する同期信号の内部セットアップおよびホールド時間を満たすために、rb_CLKPOS 値に基づいて決定できます。SYSREF リピータ モードでは、このフィールドの値を粗いグローバル遅延として使用できます。0x3F より大きい値は無効です。値が大きいほど遅延ステップが多くなるため、値が大きいほど、小さい値に比べて PVT 全体のステップサイズ変動が大きくなります。遅延ステップの計算手順の詳細については、データシートまたはデバイスの TICS Pro プロファイルを参照してください。
0	SYSREFREQ_CLR	R/W	1h	SYSREFREQ_LATCH をクリアし、SYSREFREQ 信号の同期パスのタイミングをリセットします。このビットを high に保持すると、SYSREF リピータ モードを除くすべてのモードで内部 SYSREFREQ 信号が low に維持され、SYSREFREQ_force の状態がオーバーライドされます。同期またはクロック位置のキャプチャ動作を実行する前に、このビットを 1 回セットおよびクリアする必要があります。

7.5.1.15 R16 レジスタ (オフセット = 10h) [リセット = 1005h]

R16 を表 7-20 に示します。

概略表に戻ります。

表 7-20. R16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	SYSREF_PULSE_CNT	R/W	1h	パルサモードで生成されるパルス数をプログラムします。パルサは SYSREF 分周器をゲーティングするカウンタであるため、パルス幅と周波数はそれぞれ SYSREF 分周器出力のデューティ サイクルと周波数に等しくなります。 0h = 予約済み 1h = 1 パルス 2h = 2 パルス Fh = 15 パルス

Copyright © 2025 Texas Instruments Incorporated

表 7-20. R16 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11-0	SYSREF_DIV	R/W	5h	SYSREF 分周器を設定します。SYSREF_DIV_PRE の最大入力周波数は ≤3200MHz である必要があります。最大出力周波数は ≤100MHz とする必要があります。奇数分周 (デューティ サイクルが 50% 未満の場合) は、遅延ジェネレータがバイパスされる場合のみ許可されます。 0h = 予約済み 1h = 予約済み 2h = /2 3h = /3 FFFh = /4095

7.5.1.16 R17 レジスタ (オフセット = 11h) [リセット = 07F0h]

R17 を表 7-21 に示します。

概略表に戻ります。

表 7-21. R17 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	非公開	R	0h	このフィールドを 0x0 にプログラムします。
10-4	SYSREF0_DLY_I	R/W	7Fh	SYSREFOUT0 遅延ジェネレータの遅延ステップを設定します。SYSREFOUT0_DLY_I + SYSREFOUT0_DLY_Q = 127 を満たす必要があります
3-2	SYSREF0_DLY_PHASE	R/W	0h	SYSREFOUT0 遅延ジェネレータ リタイマに使用される補間クロックの直交位相を設定します。 0h = ICLK' 1h = QCLK' 2h = ICLK 3h = QCLK
1-0	SYSREF_MODE	R/W	0h	SYSREF 信号の生成方法を制御します。また、SYSREF_DLY_BYP フィールドによる影響も受けます。連続モードでは、SYSREF 分周器および遅延から得られた連続 SYSREF クロックが生成されます。パルサ モードでは、SYSREFREQ ピンのパルスにより、SYSREF 出力用の特定の数値 (SYSREF_PULSE_CNT によって決定) のパルスが生成されます。リピータモードでは、SYSREFREQ ピンのパルスが SYSREF 出力で単一のパルスを生成し、デバイスによる伝搬遅延のみが追加されます。 0h = 連続 1h = パルサ 2h = リピータ 3h = 予約済み

7.5.1.17 R18 レジスタ (オフセット = 12h) [リセット = FE00h]

R18 を表 7-22 に示します。

概略表に戻ります。

表 7-22. R18 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-9	SYSREF1_DLY_I	R/W	7Fh	SYSREFOUT0 遅延ジェネレータの遅延ステップを設定します。SYSREFOUT0_DLY_I + SYSREFOUT0_DLY_Q = 127 を満たす必要があります

Copyright © 2025 Texas Instruments Incorporated

表 7-22. R18 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8-7	SYSREF1_DLY_PHASE	R/W	0h	SYSREFOUT1 遅延ジェネレータ リタイマに使用される補間クロックの直交位相を設定します。 0h = ICLK' 1h = QCLK' 2h = QCLK 3h = ICLK
6-0	SYSREF0_DLY_Q	R/W	0h	遅延生成のための QCLK の強度を決定します。SYSREF0_DLY_I + SYSREF0_DLY_Q = 127 を満たす必要があります

7.5.1.18 R19 レジスタ (オフセット = 13h) [リセット = FE00h]

R19 を表 7-23 に示します。

概略表に戻ります。

表 7-23. R19 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-9	SYSREF2_DLY_I	R/W	7Fh	遅延生成のための ICLK の強度を決定します。SYSREF2_DLY_I + SYSREF2_DLY_Q = 127 を満たす必要があります
8-7	SYSREF2_DLY_PHASE	R/W	0h	SYSREFOUT2 遅延ジェネレータ リタイマに使用される補間クロックの直交位相を設定します。 0h = ICLK' 1h = QCLK' 2h = QCLK 3h = ICLK
6-0	SYSREF1_DLY_Q	R/W	0h	遅延生成のための QCLK の強度を決定します。SYSREF1_DLY_I + SYSREF1_DLY_Q = 127 を満たす必要があります

7.5.1.19 R20 レジスタ (オフセット = 14h) [リセット = FE00h]

R20 を表 7-24 に示します。

概略表に戻ります。

表 7-24. R20 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-9	SYSREF3_DLY_I	R/W	7Fh	SYSREFOUT1 遅延ジェネレータの遅延ステップを設定します。SYSREFOUT1_DLY_I + SYSREFOUT1_DLY_Q = 127 を満たす必要があります
8-7	SYSREF3_DLY_PHASE	R/W	0h	SYSREFOUT3 遅延ジェネレータ リタイマに使用される補間クロックの直交位相を設定します。 0h = ICLK' 1h = QCLK' 2h = QCLK 3h = ICLK
6-0	SYSREF2_DLY_Q	R/W	0h	遅延生成のための QCLK の強度を決定します。SYSREF3_DLY_I + SYSREF3_DLY_Q = 127 を満たす必要があります

7.5.1.20 R21 レジスタ (オフセット = 15h) [リセット = FE00h]

R21 を表 7-25 に示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

表 7-25. R21 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-9	LOGISYSREF_DLY_I	R/W	7Fh	遅延生成のロジック ICLK の強度を決定します。LOGISYSREF_DLY_I + LOGISYSREF_DLY_Q = 127 を満たす必要があります
8-7	LOGISYSREF_DLY_PHASE	R/W	0h	LOGISYSREFOUT 遅延ジェネレータリ タイマに使用される補間クロックの直交位相を設定します。 0h = ICLK' 1h = QCLK' 2h = QCLK 3h = ICLK
6-0	SYSREF3_DLY_Q	R/W	0h	遅延生成のための QCLK の強度を決定します。SYSREFx_DLY_I + SYSREFx_DLY_Q = 127 を満たす必要があります

7.5.1.21 R22 レジスタ (オフセット = 16h) [リセット = 0800h]

R22 を表 7-26 に示します。

概略表に戻ります。

表 7-26. R22 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	SYSREF1_DLY_SCALE	R/W	0h	SYSREFOUT1 遅延ジェネレータの周波数範囲を設定します。位相補間器の周波数に従って設定します。 0h = 400MHz ～ 800MHz 1h = 200MHz ～ 400MHz 2h = 150MHz ～ 200MHz 3h = 予約済み
13-12	SYSREF0_DLY_SCALE	R/W	0h	SYSREFOUT0 遅延ジェネレータの周波数範囲を設定します。位相補間器の周波数に従って設定します。 0h = 400MHz ～ 800MHz 1h = 200MHz ～ 400MHz 2h = 150MHz ～ 200MHz 3h = 予約済み
11-9	SYSREF_DLY_DIV	R/W	4h	遅延ジェネレータのクロック分周を設定し、位相補間器の周波数と遅延ジェネレータの分解能を決定します。以下に示す値 以外の値は予約済みです。 0h = /1 (最大 1.6GHz) 1h = /2 (1.6GHz ～ 3.2GHz) 2h = /4 (3.2GHz ～ 6.4GHz) 4h = /8 (6.4GHz ～ 12.8GHz)
8-7	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
6-0	LOGISYSREF_DLY_Q	R/W	0h	LOGISYSREFOUT 遅延ジェネレータの遅延ステップを設定します。LOGISYSREFOUT_DLY_I + LOGISYSREFOUT_DLY_Q = 127 を満たす必要があります。

7.5.1.22 R23 レジスタ (オフセット = 17h) [リセット = 4000h]

R23 を表 7-27 に示します。

概略表に戻ります。

表 7-27. R23 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	TS_EN	R/W	0h	オンダイ温度センサをイネーブルします。読み戻すためには、温度センサカウンタ (TS_CNT_EN) もイネーブルにする必要があります。
14	非公開	R/W	1h	このフィールドを 0x1 にプログラムします。

Copyright © 2025 Texas Instruments Incorporated

表 7-27. R23 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
13	MUXOUT_EN	R/W	0h	MUXOUT ピンドライバをイネーブルまたは tri 状態にします。 0h = Tri 状態 1h =プッシュプル
12-7	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
6	MUXOUT_SEL	R/W	0h	MUXOUT ピンの機能を選択します。 0h =ロック検出 1h =読み戻し
5-4	LOGISYSREF_DLY_SCALE	R/W	0h	LOGISYSREFOUT 遅延ジェネレータの周波数範囲を設定します。位相補間器の周波数に従って設定します。 0h = 400MHz ～ 800MHz 1h = 200MHz ～ 400MHz 2h = 150MHz ～ 200MHz 3h = 予約済み
3-2	SYSREF3_DLY_SCALE	R/W	0h	SYSREFOUT3 遅延ジェネレータの周波数範囲を設定します。位相補間器の周波数に従って設定します。 0h = 400MHz ～ 800MHz 1h = 200MHz ～ 400MHz 2h = 150MHz ～ 200MHz 3h = 予約済み
1-0	SYSREF2_DLY_SCALE	R/W	0h	SYSREFOUT2 遅延ジェネレータの周波数範囲を設定します。位相補間器の周波数に従って設定します。 0h = 400MHz ～ 800MHz 1h = 200MHz ～ 400MHz 2h = 150MHz ～ 200MHz 3h = 予約済み

7.5.1.23 R24 レジスタ (オフセット = 18h) [リセット = 0000h]

R24 を表 7-28 に示します。

概略表に戻ります。

表 7-28. R24 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	非公開	R	0h	このフィールドを 0x0 にプログラムします。
13-12	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
11-1	rb_TS	R	0h	オンダイ温度センサの読み戻し値。
0	TS_CNT_EN	R/W	0h	温度センサのカウンタをイネーブルします。正確なデータを得るには、温度センサ (EN_TS) をイネーブルにする必要があります。

7.5.1.24 R25 レジスタ (オフセット = 19h) [リセット = 0211h]

R25 を表 7-29 に示します。

概略表に戻ります。

表 7-29. R25 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-7	非公開	R/W	4h	このフィールドを 0x4 にプログラムします。

Copyright © 2025 Texas Instruments Incorporated

表 7-29. R25 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	CLK_DIV_RST	R/W	0h	メイン クロック分周器をリセットします。動作中にクロック分周値が変更された場合、新しい分周値を設定した後で、このビットを high の後で low に設定します。SYSREFREQ_MODE = 0x0 および SYNC_EN = 0x1 の SYSREFREQ ピンとデバイスを同期すると、メイン クロック分周器もリセットされます。このビットは、分周器モード外では無効です
5-3	CLK_DIV	R/W	2h	CLK_DIV と CLK_MULT は、同じフィールドのエイリアスです。 CLK_MUX = 1 (バッファ モード) のとき、このフィールドは無視されます。 CLK_MUX = 2 (分周器モード) のとき、クロック分周器は CLK_DIV + 1 です。CLK_DIV の有効範囲は 1 ～ 7 です。これを 0 に設定すると、メイン クロック デバイダがディスエーブルになり、バッファ モードに戻ります。 CLK_MUX = 3 (乗算器 モード) の場合、CLK_MULT の乗算器の値は CLK_MULT です。有効範囲は 1 ～ 4 です。この範囲外に設定すると、乗算器 モードが無効になり、バッファ モードに戻ります。有効範囲は 0x1 ～ 0x4 です。
2-0	CLK_MUX	R/W	1h	メインクロック出力の機能を選択 0h = 予約済み 1h =バッファ 2h = 分周器 3h = 乗算器

7.5.1.25 R28 レジスタ (オフセット = 1Ch) [リセット = 0A08h]

R28 を表 7-30 に示します。

概略表に戻ります。

表 7-30. R28 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	非公開	R	0h	このフィールドを 0x0 にプログラムします。
12	VCO_CORE_FORCE	R/W	0h	乗算器 PLL の VCO を、VCO_CORE で選択された値に強制します。乗算器 モードのプログラミングには不要ですが、オプションでキャリブレーション時間を短縮するために使用することもできます。
11-9	VCO_CORE	R/W	5h	VCO_CORE_FORCE = 0 の場合、乗算器 キャリブレーションの開始 VCO を指定します。 VCO_CORE_FORCE = 1 のとき、この VCO コアは強制されます。 このフィールドのプログラミングは、乗算器 モードのプログラミングには必要ありませんが、デバッグ目的やキャリブレーション時間の短縮に使用できます。
8-0	非公開	R/W	8h	このフィールドを 0x8 にプログラムします。

7.5.1.26 R29 レジスタ (オフセット = 1Dh) [リセット = 05FFh]

R29 を表 7-31 に示します。

概略表に戻ります。

表 7-31. R29 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	非公開	R	0h	このフィールドを 0x0 にプログラムします。
12-8	非公開	R/W	5h	このフィールドを 0x5 にプログラムします。
7-0	VCO_CAPCTRL	R/W	FFh	乗算器のキャリブレーション時の VCO チューニング容量の開始値を設定します。乗算器 モードのプログラミングには不要ですが、キャリブレーション時間の短縮に使用できます。

Copyright © 2025 Texas Instruments Incorporated

7.5.1.27 R33 レジスタ (オフセット = 21h) [リセット = 7777h]

R33 を表 7-32 に示します。

概略表に戻ります。

表 7-32. R33 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	非公開	R/W	7777h	このフィールドを 0x6666 にプログラムします。これはリセット値とは異なることに注意してください。

7.5.1.28 R34 レジスタ (オフセット = 22h) [リセット = 0007h]

R34 を表 7-33 に示します。

概略表に戻ります。

表 7-33. R34 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	非公開	R	0h	このフィールドを 0x0 にプログラムします。
13-0	非公開	R/W	7h	このフィールドを 0x5 にプログラムします。これはリセット値とは異なることに注意してください。

7.5.1.29 R65 レジスタ (オフセット = 41h) [リセット = 65F0h]

R65 を表 7-34 に示します。

概略表に戻ります。

表 7-34. R65 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-9	非公開	R/W	32h	このフィールドを 0x32 にプログラムします。
8-4	rb_VCO_CORE	R	1Fh	乗算器 VCO コアの読み戻し。有効な値のみが存在し、VCO は low のビットによって決定されます。 Fh = VCO1 17h = VCO2 1Bh = VCO3 1Dh = VCO4 1Eh = VCO5
3-0	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。

7.5.1.30 R67 レジスタ (オフセット = 43h) [リセット = 50C8h]

R67 を表 7-35 に示します。

概略表に戻ります。

表 7-35. R67 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	非公開	R/W	50C8h	このフィールドを 0x51CB にプログラムします。これはリセット値とは異なることに注意してください。

Copyright © 2025 Texas Instruments Incorporated

7.5.1.31 R72 レジスタ (オフセット = 48h) [リセット = 0000h]

R72 を表 7-36 に示します。

概略表に戻ります。

表 7-36. R72 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	非公開	R	0h	このフィールドを 0x0 にプログラムします。
14-3	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
2	SYSREFREQ_FORCE	R/W	0h	このビットをセットすると、SYSREFREQ ピンでのロジック HIGH の動作をエミュレートし、SYSREFREQ ピンの外部信号が無視されます。
1-0	SYSREF_DLY_BYP	R/W	0h	遅延ジェネレータのリタイミングをバイパスするオプション。通常の状況 (SYSREF_DLY_BYP = 0) では、遅延ジェネレータは連続モードまたはパルサ モード (ジェネレータ モード) で起動し、リピータ モードでバイパスされます。一般的に、これには異なる遅延メカニズムが使用されます。場合によっては、SYSREF_DLY_BYP = 1 に設定してジェネレータ モードで遅延ジェネレータのリタイミングをバイパスすることで、SYSREF 遅延を JESD レシーバで補償できる場合、デバイスの消費電流を大幅に低減できます。それ以外の場合は、SYSREF_DLY_BYP = 2 に設定することで、遅延ジェネレータに SYSREFREQ 信号をリタイミングすることで、CLKIN 位相に対する SYSREF 出力位相の精度を向上させることができます。または、補間分圧器位相と SYSREFREQ 位相との間に一貫した位相関係がある限り、 各出力の遅延を個別に変化させることもできます。 0h =ジェネレータモードで実行、リピータモードでバイパス 1h =すべてのモードでバイパス 2h = すべてのモードで実行 3h =予約済み

7.5.1.32 R73 レジスタ (オフセット = 49h) [リセット = 0000h]

R73 を表 7-37 に示します。

概略表に戻ります。

表 7-37. R73 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	非公開	R	0h	このフィールドを 0x0 にプログラムします。
12-0	非公開	R/W	0h	このフィールドを 0x1000 にプログラムします。これはリセット値とは異なることに注意してください。

7.5.1.33 R75 レジスタ (オフセット = 4Bh) [リセット = 0006h]

R75 を表 7-38 に示します。

概略表に戻ります。

表 7-38. R75 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	rb_CLK2_EN	R	0h	リードバック ピン ステータス
14	rb_CLK1_EN	R	0h	リードバック ピン ステータス
13	rb_CLK0_EN	R	0h	リードバック ピン ステータス
12	rb_MUXSEL1	R	0h	リードバック ピン ステータス
11	rb_MUXSEL0	R	0h	リードバック ピン ステータス

Copyright © 2025 Texas Instruments Incorporated

表 7-38. R75 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
10	rb_LOGIC_EN	R	0h	リードバック ピン ステータス
9-8	rb_LD	R	0h	乗算器 PLL ロック検出のリードバック。 0h = ロック解除 (VTUNE low) 1h = 予約済み 2h = ロック済み 3h = ロック解除 (VTUNE high)
7	rb_DIVSEL2	R	0h	リードバック ピン ステータス
6	rb_DIVSEL1	R	0h	リードバック ピン ステータス
5	rb_DIVSEL0	R	0h	リードバック ピン ステータス
4	rb_CE	R	0h	リードバック ピン ステータス
3-0	非公開	R/W	6h	このフィールドを 0x3 にプログラムします。これはリセット値とは異なることに注意してください。

7.5.1.34 R76 レジスタ (オフセット = 4Ch) [リセット = 0000h]

R76 を表 7-39 に示します。

概略表に戻ります。

表 7-39. R76 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-4	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
3	rb_PWRSEL2	R	0h	リードバック ピン ステータス
2	rb_PWRSEL1	R	0h	リードバック ピン ステータス
1	rb_PWRSEL0	R	0h	リードバック ピン ステータス
0	rb_CLK3_EN	R	0h	リードバック ピン ステータス

7.5.1.35 R86 レジスタ (オフセット = 56h) [リセット = 0000h]

R86 を表 7-40 に示します。

概略表に戻ります。

表 7-40. R86 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-3	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
2	MUXOUT_EN_OVRD	R/W	0h	説明なし
1-0	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。

7.5.1.36 R90 レジスタ (オフセット = 5Ah) [リセット = 0000h]

R90 を表 7-41 に示します。

概略表に戻ります。

表 7-41. R90 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	非公開	R	0h	このフィールドを 0x0 にプログラムします。
7	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。

Copyright © 2025 Texas Instruments Incorporated

表 7-41. R90 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	LOGICLK_DIV_BYP3	R/W	0h	LOGICLK_DIV_BYP = 1 の場合、それ以外の場合はこのビットを 0 に設定する必要があります。
5	LOGICLK_DIV_BYP2	R/W	0h	LOGICLK_DIV_BYP = 1 の場合、それ以外の場合はこのビットを 0 に設定する必要があります。
4-0	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。

Copyright © 2025 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

TI では、デバイスの性能のシミュレーションとデバイスのプログラムのための、幅広い開発ツールおよびソフトウェアを提供しています。

表 8-1. 開発ツールとソフトウェア

ツール	タイプ	説明
PLLatinum™ Sim	ソフトウェア	すべてのモードで位相ノイズのシミュレーションを行います
TICS Pro	ソフトウェア	対話型フィードバックと 16 進レジスタ エクスポート機能を備えた、使いやすい GUI を使用してデバイスをプログラムします。

8.2 ドキュメントのサポート

8.2.1 関連資料

- テキサス インスツルメンツ、LMX1404-EP 評価基板 、EVM ユーザー ガイド

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

PLLatinum™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
Rohde & Schwarz® is a registered trademark of Rohde & Schwarz GmbH & Co KG.
すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (June 2024) to Revision A (June 2025) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- デバイスステータスを *事前* から *量産* データに更新 1

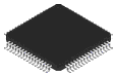
10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

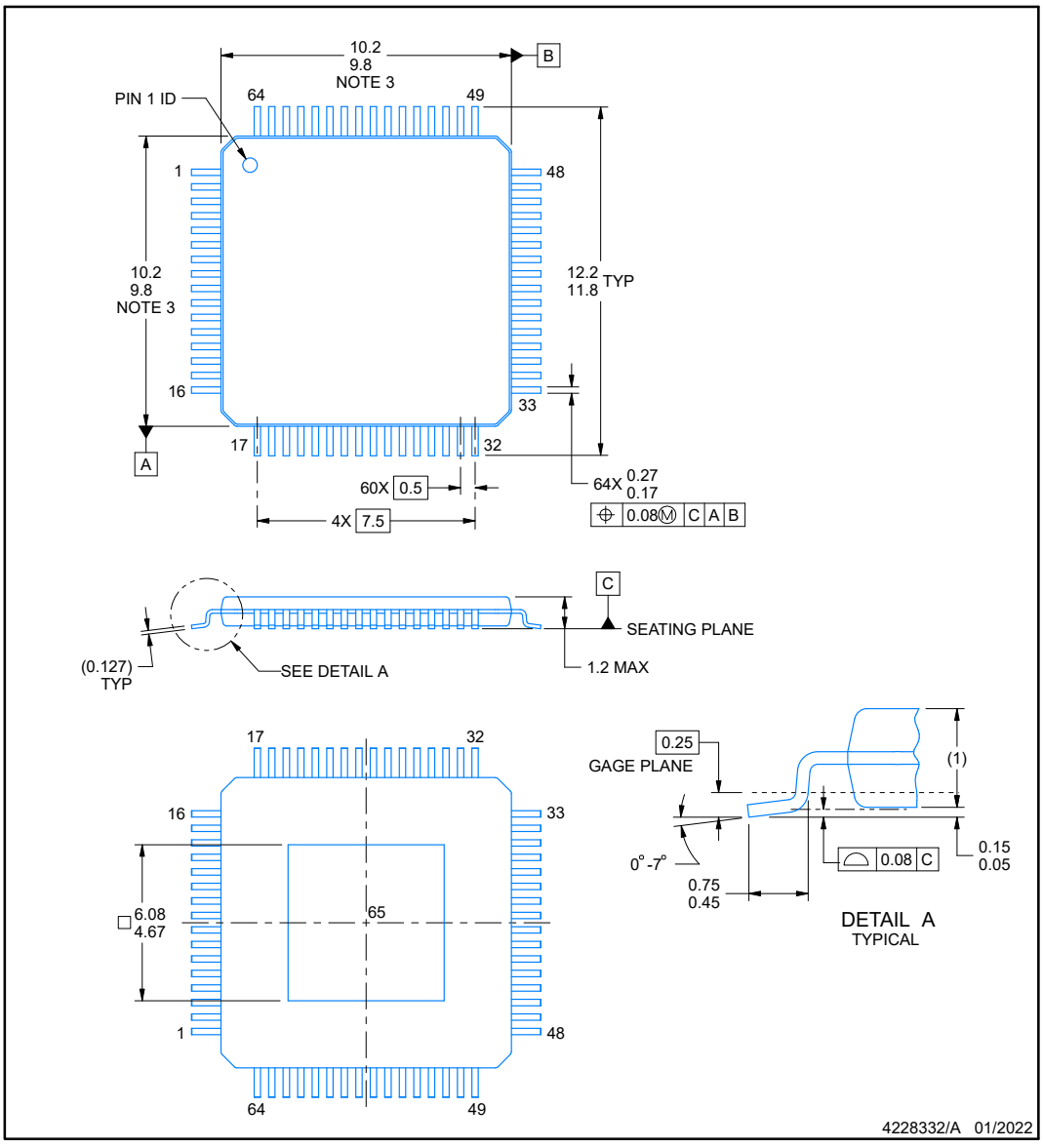
PACKAGE OUTLINE

PAP0064E



PowerPAD™ TQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs.
4. Strap features may not be present.
5. Reference JEDEC registration MS-026.

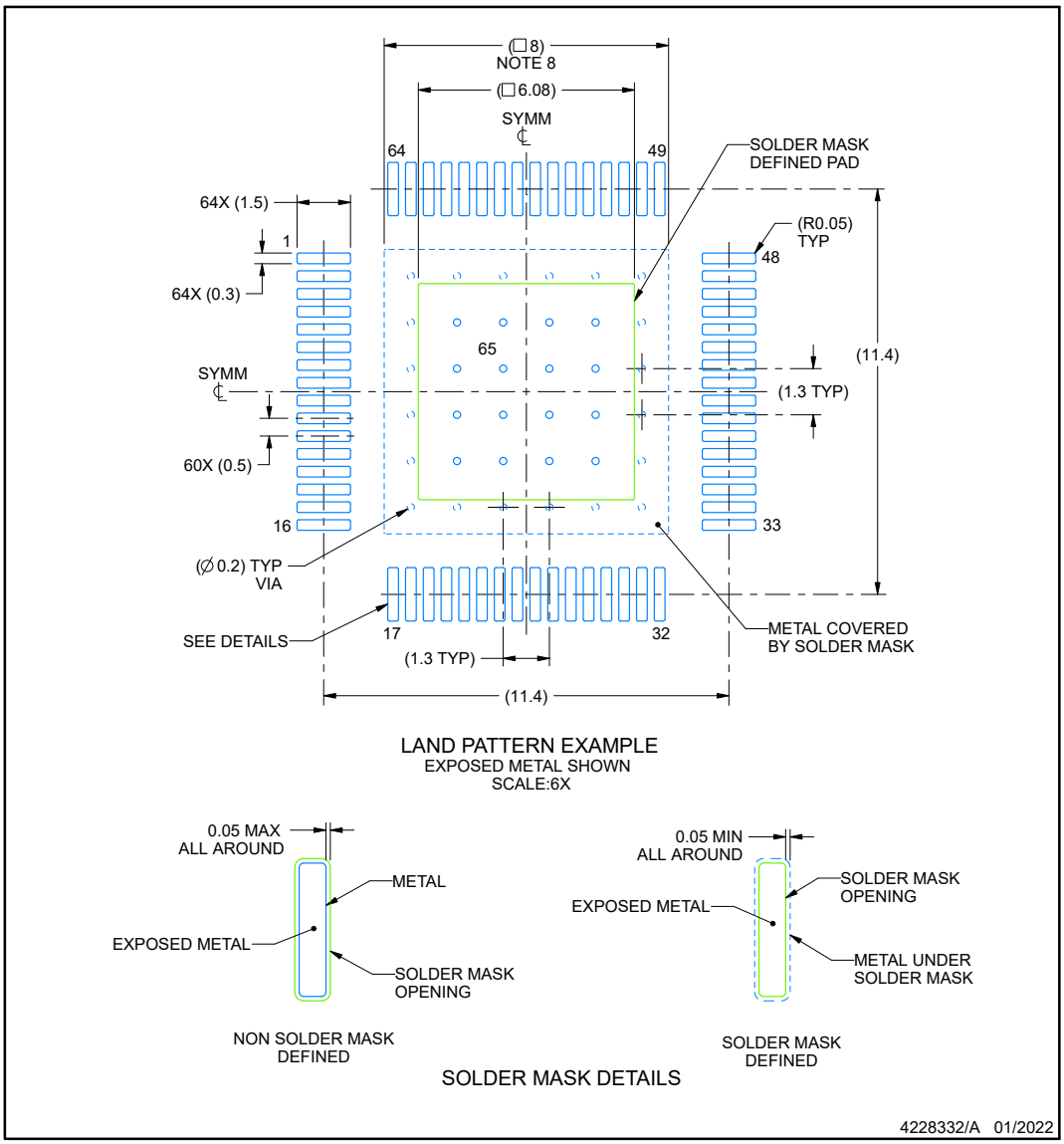
www.ti.com

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

PAP0064E — **PowerPAD™ TQFP - 1.2 mm max height**

PLASTIC QUAD FLATPACK



NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

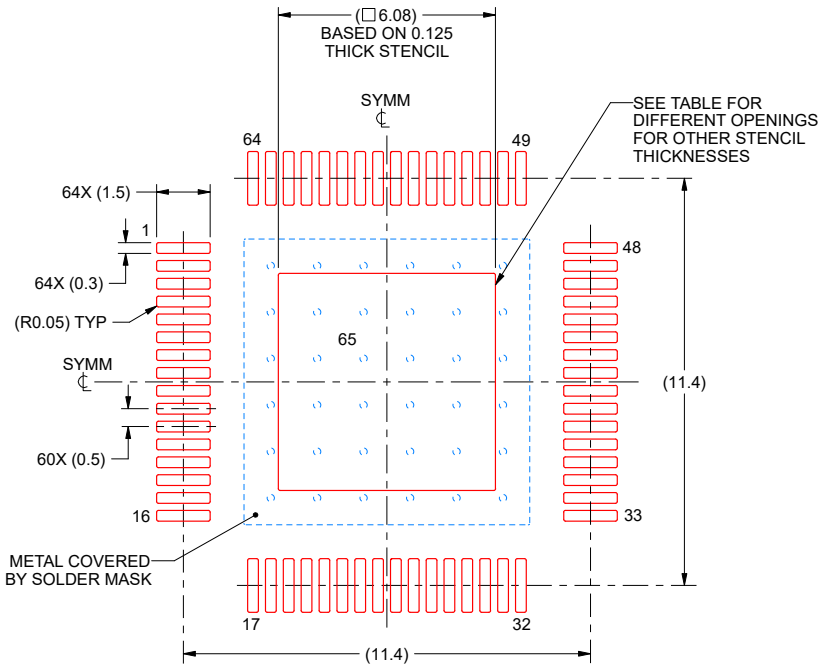
www.ti.com

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

PAP0064E — **PowerPAD™ TQFP - 1.2 mm max height**

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:6X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	6.80 X 6.80
0.125	6.08 X 6.08 (SHOWN)
0.15	5.55 X 5.55
0.175	5.14 X 5.14

4228332/A 01/2022

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMX1404MPAPTEP	Active	Production	HTQFP (PAP) | 64	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	LMX1404 (MPAPEP, PAPEP)
V62/24627-01XE	Active	Production	HTQFP (PAP) | 64	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	See LMX1404MPAPTEP	LMX1404 (MPAPEP, PAPEP)

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

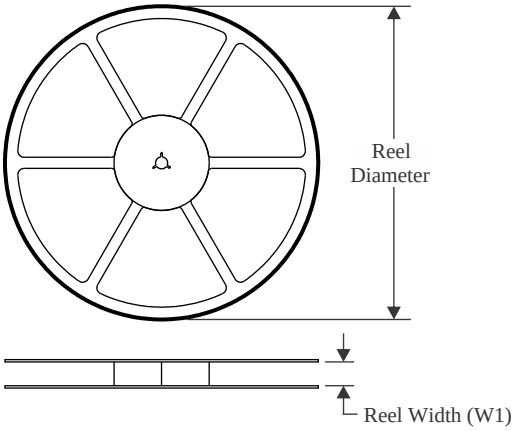
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

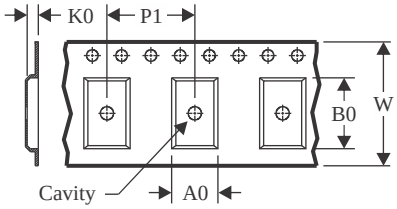
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

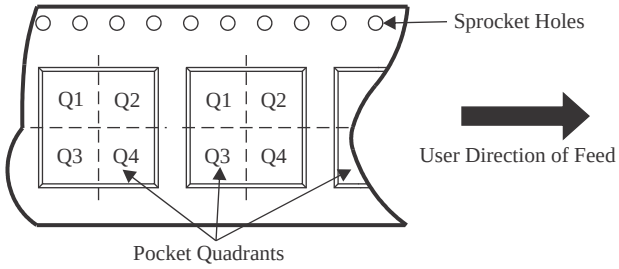


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

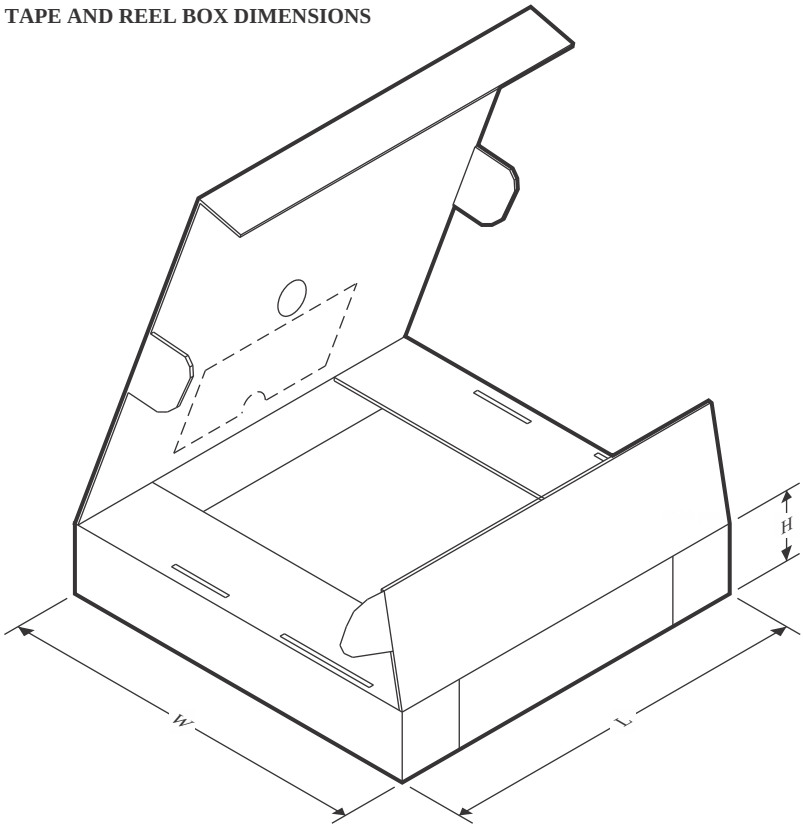
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

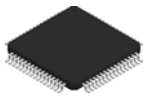
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMX1404MPAPTEP	HTQFP	PAP	64	250	178.0	24.4	13.0	13.0	1.5	16.0	24.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMX1404MPAPTEP	HTQFP	PAP	64	250	213.0	191.0	55.0

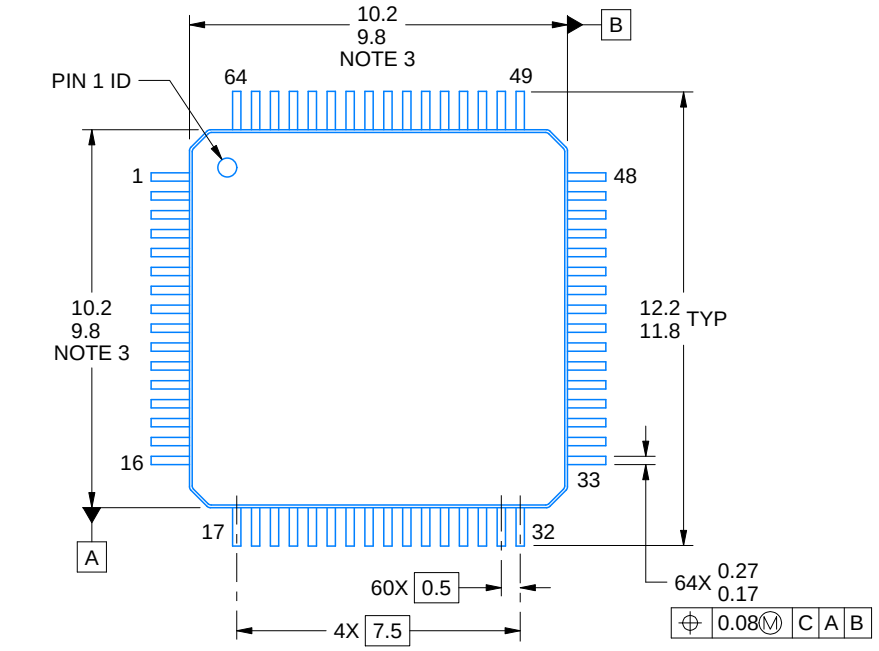


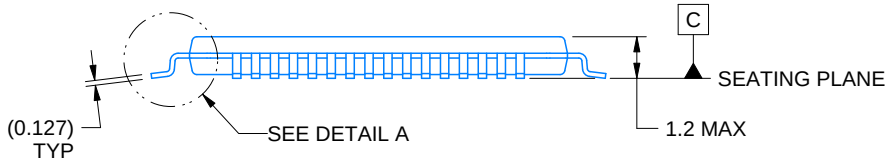
PACKAGE OUTLINE

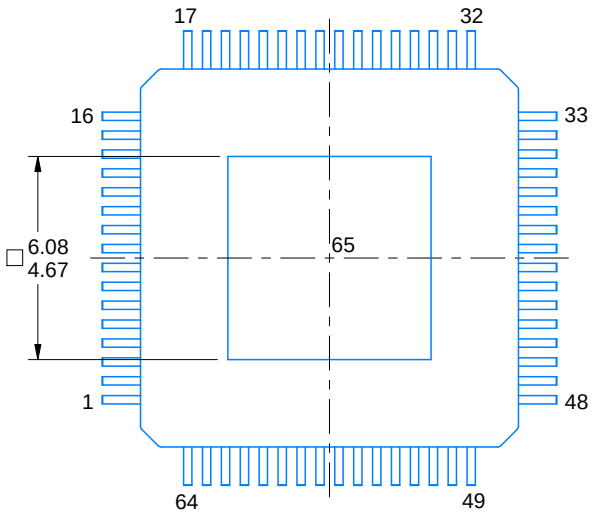
PAP0064E

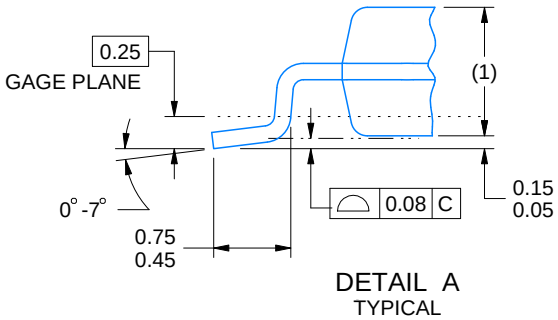
PowerPAD™ TQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK







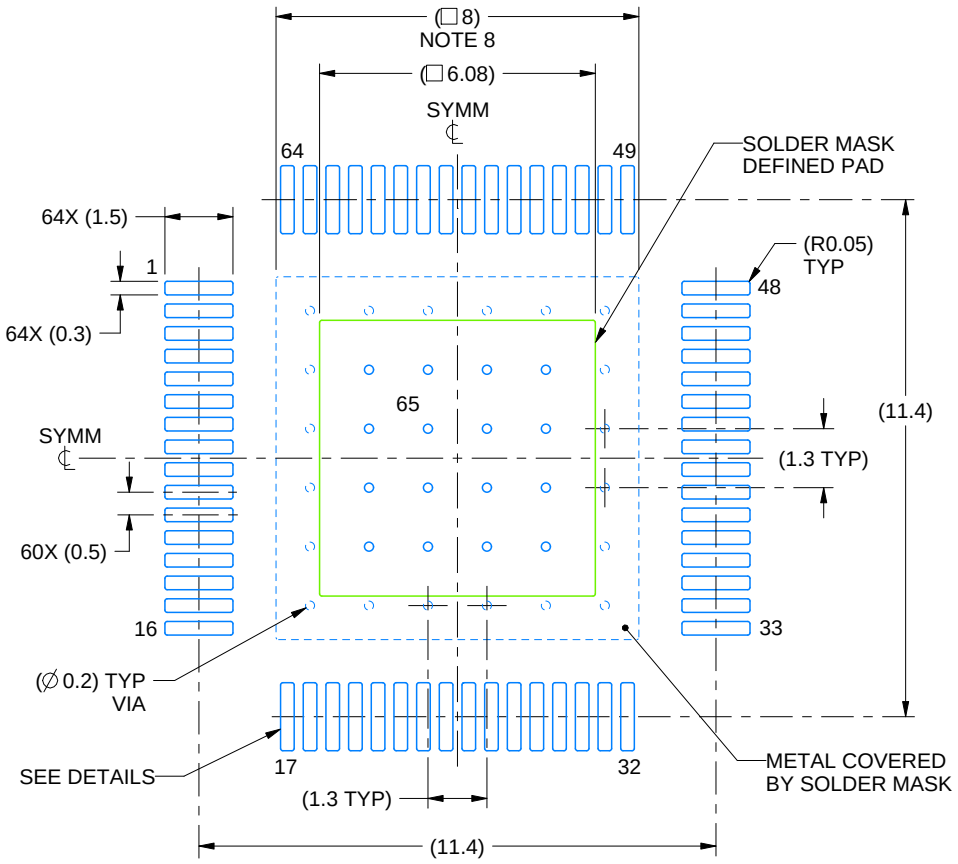


4228332/A 01/2022

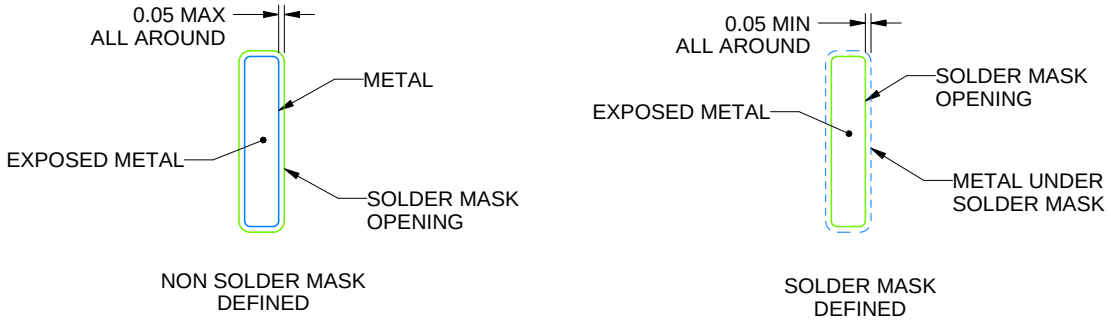
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs.
4. Strap features may not be present.
5. Reference JEDEC registration MS-026.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X

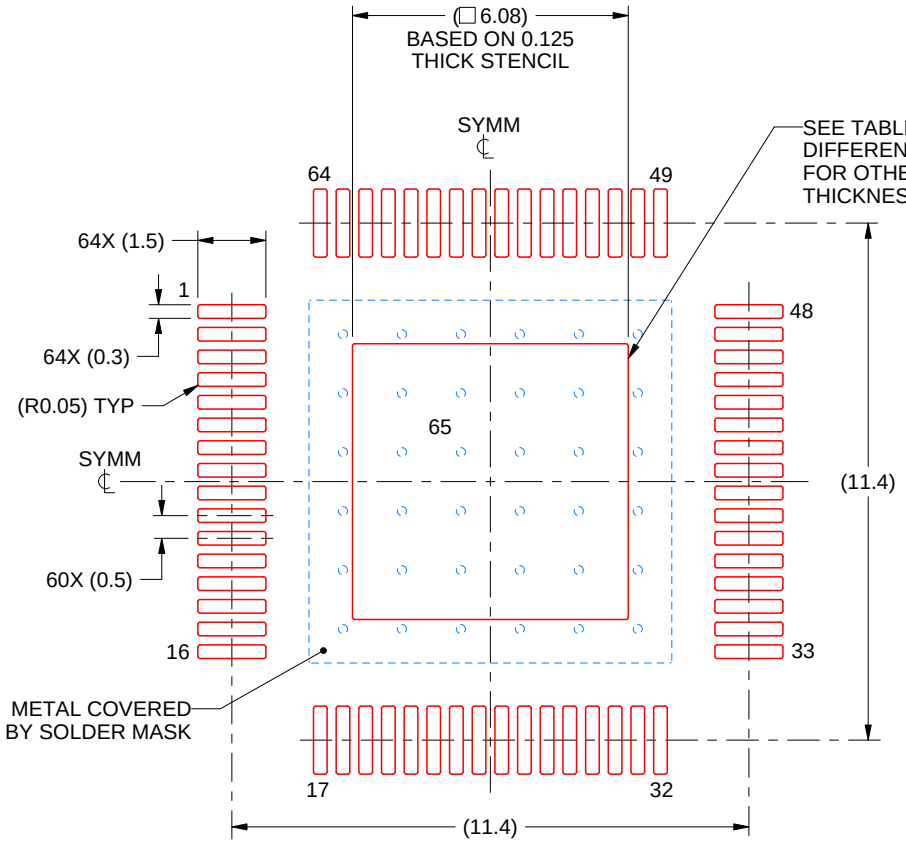


SOLDER MASK DETAILS

4228332/A 01/2022

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:6X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	6.80 X 6.80
0.125	6.08 X 6.08 (SHOWN)
0.15	5.55 X 5.55
0.175	5.14 X 5.14

4228332/A 01/2022

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月