LMX2615-SP 宇宙グレード 40MHz～15GHz 広帯域シンセサイザ (位相同期および JESD204B 対応)

1 特長

- 放射仕様:
  - シングル イベント ラッチアップ:120MeV-cm^2/mg 超
  - 総照射線量:100krad (Si)
  - SMD 5962R1723601VXC
- 出力周波数:40MHz～15.2GHz
- 15GHz 搬送波周波数使用時に、100kHz のオフセットで -110dBc/Hz の位相ノイズ
- 8GHz でのジッタ:45fs RMS (100Hz～100MHz)
- 出力電力をプログラム可能
- 主な PLL 仕様
  - 性能指数:-236dBc/Hz
  - 正規化 1/f ノイズ:-129dBc/Hz
  - 最高 200MHz の位相検出周波数
- 複数デバイス間の出力位相の同期
- プログラマブル遅延を備えた SYSREF のサポート
- 3.3V 単一電源動作
- 71 の事前選択ピン モード
- 11 × 11mm²、64 ピン CQFP セラミック パッケージ
- 動作温度範囲:–55°C ～ +125°C

2 アプリケーション

- 宇宙通信
- 宇宙レーダー システム
- フェーズド アレイ アンテナおよびビーム フォーミング
- 高速データ コンバータ クロッキング (JESD204B 対応)

3 説明

LMX2615-SP は、電圧制御発振器 (VCO) と電圧レギュレータを内蔵した高性能 広帯域のフェーズ ロック ループ (PLL) で、ダブラーなしで 40MHz～15.2GHz のあらゆる周波数を出力できることから、½ 低調波フィルタが不要になります。このデバイスの VCO は、1 オクターブの範囲をカバーしているため、最低 40MHz までのすべての周波数を出力できます。-236dBc/Hz という性能指数を持つ高性能 PLL と高い位相検出周波数により、帯域内ノイズと積分ジッタを非常に低く抑えることができます。

LMX2615-SP では、複数のデバイスの出力を同期できます。このため、フラクショナル エンジンまたは出力デバイダを使用した場合を含め、あらゆる利用ケースでデバイスから決定性位相を取得できます。このデバイスは、SYSREF (JESD204B 規格に準拠) の生成および中継サポートが追加されており、高速データ コンバータ向けの低ノイズ クロック ソースとして設計されています。

製品情報

部品番号	グレード	パッケージ
LMX2615-MKT-MS	メカニカル サンプル(1)	64 リード CQFP
LMX2615W-MPR	エンジニアリング モデル (2)	64 リード CQFP
5962R1723601VXC	フライト モデル	64 リード CQFP 質量 = 1787mg (3)

(1) これらのユニットはパッケージのみで、ダイは搭載されていません。機械的評価のみを目的としています。
(2) これらのユニットは製造や飛行には適していません。これらはエンジニアリング評価のみを目的としています。詳しくは、セクション 10.1 を参照してください。
(3) 公称値。

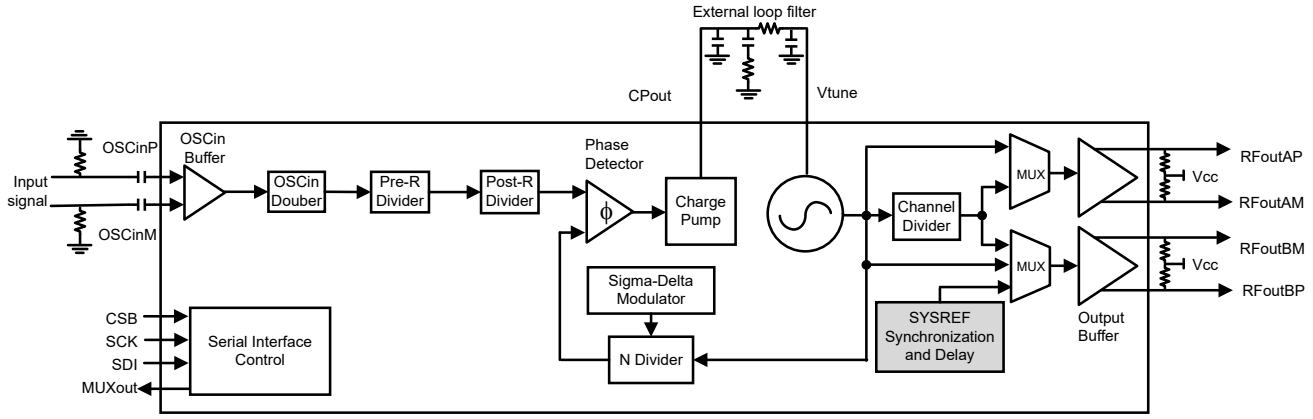


図 3-1. 概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....6
5.1 絶対最大定格.....6
5.2 ESD 定格.....6
5.3 推奨動作条件.....6
5.4 熱に関する情報.....6
5.5 電気的特性.....7
5.6 タイミング要件.....9
5.7 タイミング図.....9
5.8 代表的特性.....11
6 詳細説明.....13
6.1 概要.....13
6.2 機能ブロック図.....14
6.3 機能説明.....14
6.4 デバイスの機能モード.....28
6.5 プログラミング.....29
6.6 レジスタ マップ.....30
7 アプリケーションと実装.....65
7.1 アプリケーション情報.....65
7.2 外部ループ フィルタ.....68
7.3 代表的なアプリケーション.....69
7.4 電源に関する推奨事項.....71
7.5 レイアウト.....72
8 デバイスおよびドキュメントのサポート.....75
8.1 デバイス サポート.....75
8.2 ドキュメントのサポート.....75
8.3 ドキュメントの更新通知を受け取る方法.....75
8.4 サポート・リソース.....75
8.5 商標.....75
8.6 静電気放電に関する注意事項.....75
8.7 用語集.....75
9 改訂履歴.....75
10 メカニカル、パッケージ、および注文情報.....78
10.1 エンジニアリング サンプル.....78

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

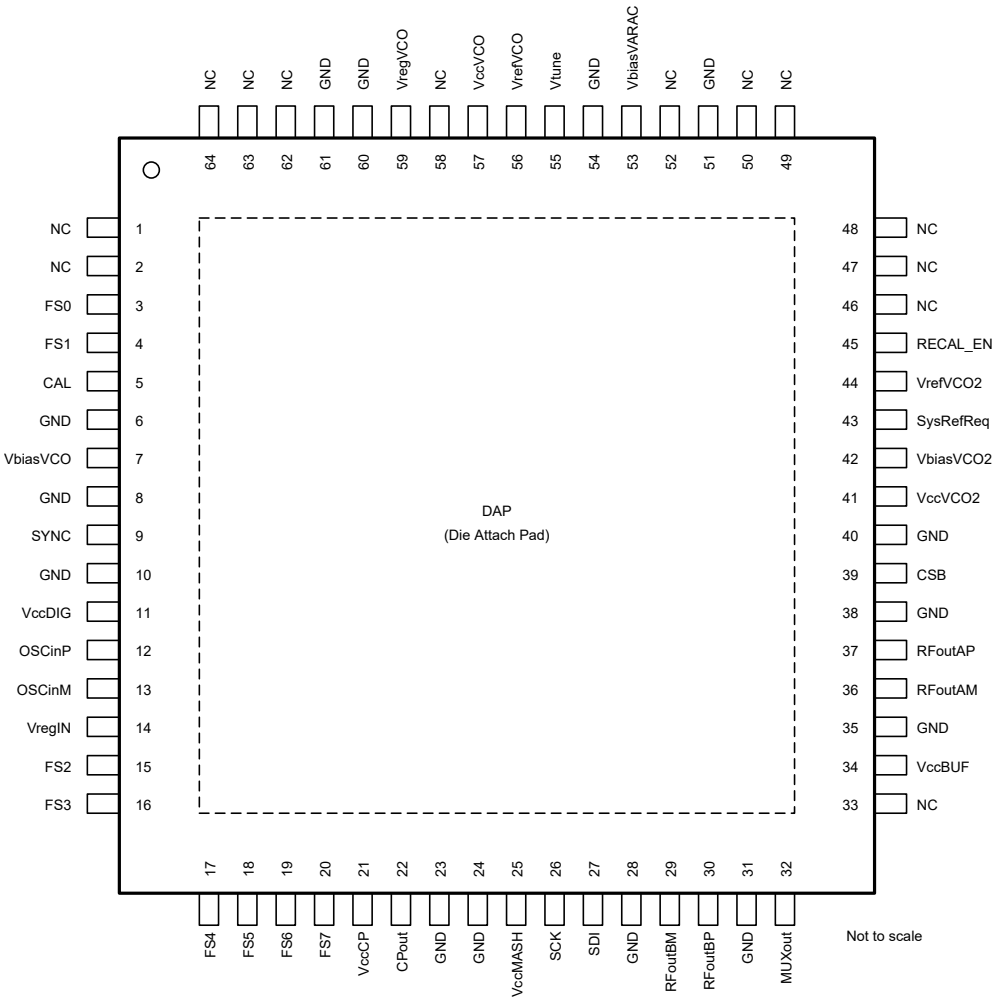


図 4-1. HBD パッケージ 64 ピン CQFP 上面図

表 4-1. ピンの機能

ピン		タイプ (1)	説明
番号	名称		
1	NC	NC	接続なし。ピンはグランドに接続するか、未接続のままにできます。
2	NC	NC	接続なし。ピンはグランドに接続するか、未接続のままにできます。
3	FS0	I	ピン モード パラレル ピン制御ビット 0。これは LSB です。
4	FS1	I	ピン モード パラレル ピン制御ビット 1。
5	CAL	I	チップ イネーブル ピン。アクティブ High で、デバイスの電源をオンにします。 ピン モードでは、このピンが Low から High へ遷移すると VCO 較正が実行されます。
6	GND	G	グランド。
7	VbiasVCO	BP	VCO バイアス。10µF コンデンサをグランドに接続する必要があります。ピンの近くに配置します。
8	GND	G	グランド。
9	SYNC	I	位相同期 SYNC 信号入力ピン。
10	GND	G	グランド。
11	VccDIG	P	デジタル電源。低 ESR の 1µF デカップリング コンデンサを介してグランドに接続し、3.3V に接続します。

Copyright © 2026 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ (1)	説明
番号	名称		
12	OSCinP	I	基準入力クロック (+)。高い入力インピーダンス。直列コンデンサを接続する必要があります (1µF を推奨)。
13	OSCinM	I	OSCinP の相補ピン。
14	VregIN	BP	入力基準パス レギュレータのデカップリング。1µF コンデンサをグランドに接続する必要があります。ピンの近くに配置します。
15	FS2	I	ピン モード パラレル ピン制御ビット 2。
16	FS3	I	ピン モード パラレル ピン制御ビット 3。
17	FS4	I	ピン モード パラレル ピン制御ビット 4。
18	FS5	I	ピン モード パラレル ピン制御ビット 5。
19	FS6	I	ピン モード パラレル ピン制御ビット 6。
20	FS7	I	ピン モード パラレル ピン制御ビット 7。これは MSB です。 このピンが Low のときは RFoutA のみが有効になり、それ以外の場合は両方の出力が有効になります。
21	VccCP	P	チャージ ポンプ電源。低 ESR の 1µF デカップリング コンデンサを介してグランドに接続し、3.3V に接続します。
22	CPout	O	チャージ ポンプ出力。ループ フィルタの C1 を、このピンの近くに接続することを推奨します。
23	GND	G	グランド。
24	GND	G	グランド。
25	VccMASH	P	デジタル電源。低 ESR の 1µF デカップリング コンデンサを介してグランドに接続し、3.3V に接続します。
26	SCK	I	SPI 入力クロック。
27	SDI	I	SPI 入力データ。
28	GND	G	グランド。
29	RFoutBM	O	RFoutBP に対する相補ピン。
30	RFoutBP	O	差動出力 B (+)。V_{CC} に対して、ピンにできる限り近づけて 50Ω の抵抗プルアップを接続する必要があります。RF 出力または SYSREF 出力として使用できます。
31	GND	G	グランド。
32	MUXout	O	多重化された出力ピン。ロック検出出力、SPI 読み戻しデータ出力、高インピーダンス (約 8kΩ からグランド) として構成できます。
33	NC	NC	接続なし。ピンはグランドに接続するか、未接続のままにできます。
34	VccBUF	P	出力バッファ電源。低 ESR の 0.1µF デカップリング コンデンサを介してグランドに接続し、3.3V に接続します。
35	GND	G	グランド。
36	RFoutAM	O	RFoutAP に対する相補ピン。
37	RFoutAP	O	差動出力 A (+)。V_{CC} に対して、ピンにできる限り近づけて 50Ω の抵抗プルアップを接続する必要があります。
38	GND	G	グランド。
39	CSB	I	SPI チップ セレクト。
40	GND	G	グランド。
41	VccVCO2	P	VCO 電源。低 ESR の 1µF デカップリング コンデンサを介してグランドに接続し、3.3V に接続します。このピンと VccVCO ピンは、同じ電源に接続する必要があります。
42	VbiasVCO2	BP	VCO バイアス。1µF コンデンサをグランドに接続する必要があります。
43	SysRefReq	I	JESD204B サポート用の差動 SYSREF 要求入力。
44	VrefVCO2	BP	VCO 電源基準電圧。10µF コンデンサをグランドに接続する必要があります。
45	RECAL_EN	I	Active High は、自動再キャリブレーション機能を有効にします。 内部 200kΩ プルアップ。

Copyright © 2026 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ (1)	説明
番号	名称		
46	NC	NC	接続なし。ピンはグランドに接続するか、未接続のままにできます。
47	NC	NC	接続なし。ピンはグランドに接続するか、未接続のままにできます。
48	NC	NC	接続なし。ピンはグランドに接続するか、未接続のままにできます。
49	NC	NC	接続なし。ピンはグランドに接続するか、未接続のままにできます。
50	NC	NC	接続なし。ピンはグランドに接続するか、未接続のままにできます。
51	GND	G	グランド。
52	NC	NC	接続なし。ピンはグランドに接続するか、未接続のままにできます。
53	VbiasVARAC	BP	VCO バラクタ バイアス。10µF コンデンサをグランドに接続する必要があります。
54	GND	G	グランド。
55	Vtune	I	VCO 調整電圧入力。1.5nF のデカップリング コンデンサをグランド接続します。
56	VrefVCO	BP	VCO 電源基準電圧。10µF コンデンサをグランドに接続する必要があります。
57	VccVCO	P	VCO 電源。低 ESR の 1µF デカップリング コンデンサを介してグランドに接続し、3.3V に接続します。このピンと VccVCO2 ピンは、同じ電源に接続する必要があります。
58	NC	NC	接続なし。ピンはグランドに接続するか、未接続のままにできます。
59	VregVCO	BP	VCO レギュレータ ノード。1µF コンデンサをグランドに接続する必要があります。
60	GND	G	グランド。
61	GND	G	グランド。
62	NC	NC	接続なし。ピンはグランドに接続するか、未接続のままにできます。
63	NC	NC	接続なし。ピンはグランドに接続するか、未接続のままにできます。
64	NC	NC	接続なし。ピンはグランドに接続するか、未接続のままにできます。
—	DAP	G	ダイ取り付けパッド。金属製のふた、シール リング、DAP は、内部で GND に接続されています。良好な放熱性能を得るため、DAP を複数のビアを用いて PCB のグランド プレーンに接続します。

(1) 各ピンの I/O タイプの定義は次のとおりです。

- I = 入力
- O = 出力
- BP = バイパス
- G = グランド
- NC = 接続なし
- P = 電源

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
V_{CC}	電源電圧(1)	-0.3	3.6	V
V_{DIG}	デジタル ピン電圧 (FS0 ～ FS7、SYNC、SysRefReq、RECAL_EN、CAL、SCK、SDI、CSB)	-0.3	V_{CC}+0.3	V
$\|V_{OSC}\|$	OSCinP と OSCinM 間の差動 AC 電圧		2.1	V_{PP}
T_J	接合部温度	-55	150	°C
T_{stg}	保存温度	-65	150	°C

(1) *「絶対最大定格」*の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。*「絶対最大定格」*は、これらの条件において、または*「推奨動作条件」*に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「*絶対最大定格*」の範囲内であっても「*推奨動作条件*」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠、すべてのピン(1)(1)	±1000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22C101 準拠、すべてのピン(2)	±250	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{CC}	電源電圧	3.2	3.3	3.45	V
T_C	ケース温度	-55	25	125	°C

5.4 熱に関する情報

熱評価基準(1)		CQFP	単位
		64 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	22.7	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗 (2)	7.3	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	7.6	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	2.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	7.4	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	1.0	°C/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』*アプリケーション ノートを参照してください。
(2) DAP

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性

3.2V ≤ V_{CC} ≤ 3.45V、–55°C ≤ T_C ≤ +125°C。標準値は V_{CC} = 3.3V、25°C でのものです (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
電源							
I_{CC}	電源電流	OUTA_PD = 0、OUTB_PD = 1 OUTA_MUX = OUTB_MUX = 1 OUTA_PWR = 31、CPG = 7 f_{OSC} = f_{PD} = 100MHz、f_{VCO} = f_{OUT} = 14.5GHz			360		mA
	パワーオン リセット電流	RESET = 1			289		
	パワーダウン電流	POWERDOWN = 1			6		
出力特性							
P_{OUT}	シングルエンド出力電力(1) (2)	50Ω 抵抗プルアップ OUTx_PWR = 31	f_{OUT} = 8GHz		6		dBm
			f_{OUT} = 15GHz		4		
入力信号パス							
f_{OSC}	リファレンス入力周波数	OSC_2X = 0		5		1000	MHz
		OSC_2X = 1		5		200	
		カテゴリ 3 相同期				50	
V_{OSC}	基準入力電圧	補完側を 50Ω 抵抗でグランドに AC 結合した、シングルエンド AC 結合の正弦波入力	f_{OSC} ≥ 20MHz	0.4		2	V_{PP}
			10MHz ≤ f_{OSC} < 20MHz	0.8		2	
			5MHz ≤ f_{OSC} < 10MHz	1.6		2	
P 位相検出器とチャージ ポンプ							
f_{PD}	位相検出器の周波数 (3)	MASH_ORDER = 0		0.125		250	MHz
		MASH_ORDER > 0		5		200	
I_{CPout}	チャージ ポンプ出力電流	CPG = 0			15		nA
	実効チャージ ポンプ電流。これは、アップ電流とダウン電流の合計です	CPG = 4			3		mA
		CPG = 1			6		
		CPG = 5			9		
		CPG = 3			12		
		CPG = 7			15		
$PN_{PLL_1/f}$	正規化された PLL 1/f ノイズ	f_{PD} = 100MHz、f_{VCO} = 12GHz(4)			-129		dBc/Hz
PN_{PLL_FOM}	正規化された PLL ノイズ フロア				-236		dBc/Hz

Copyright © 2026 Texas Instruments Incorporated

3.2V ≤ V_{CC} ≤ 3.45V、–55°C ≤ T_C ≤ +125°C。標準値は V_{CC} = 3.3V、25°C でのものです (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
VCO の特性							
f_{VCO}	VCO 周波数			7600		15200	MHz
PN_{VCO}	VCO 位相ノイズ	VCO1 f_{VCO} = 8.1GHz	100kHz		-105		dBc/Hz
			1MHz		-127		
			10MHz		-148		
			100MHz		-155		
		VCO2 f_{VCO} = 9.3GHz	100kHz		-103		
			1MHz		-125		
			10MHz		-146		
			100MHz		-153		
		VCO3 f_{VCO} = 10.4GHz	100kHz		-103		
			1MHz		-125		
			10MHz		-147		
			100MHz		-158		
		VCO4 f_{VCO} = 11.4GHz	100kHz		-101		
			1MHz		-124		
			10MHz		-146		
			100MHz		-158		
		VCO5 f_{VCO} = 12.5GHz	100kHz		-102		
			1MHz		-126		
			10MHz		-147		
			100MHz		-156		
		VCO6 f_{VCO} = 13.6GHz	100kHz		-101		
			1MHz		-124		
			10MHz		-146		
			100MHz		-160		
		VCO7 f_{VCO} = 14.7GHz	100kHz		-101		
			1MHz		-124		
			10MHz		-146		
			100MHz		-157		
t_{VCOCAL}	VCO のキャリブレーション時間	周波数帯域全体で切り替えを行います; f_{OSC} = f_{PD} = 100MHz、アシスト キャリブレーションなし			650		µs
K_{VCO}	VCO ゲイン	8.1GHz			94		MHz/V
		9.3GHz			106		
		10.4GHz			122		
		11.4GHz			148		
		12.5GHz			185		
		13.6GHz			202		
		14.7GHz			233		
$\lvert\Delta T_{CL}\rvert$	VCO が再キャリブレーションされていないときに許容される温度ドリフト				125		°C
H2	VCO 2 次高調波	f_{VCO} = 8GHz、分周器はディスエーブル			-30		dBc
H3	VCO の 3 次高調波	f_{VCO} = 8GHz、分周器はディスエーブル			-25		

Copyright © 2026 Texas Instruments Incorporated

3.2V ≤ V_{CC} ≤ 3.45V、–55°C ≤ T_C ≤ +125°C。標準値は V_{CC} = 3.3V、25°C でのものです (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
デジタル インターフェイス (SCK、SDI、CSB、CAL、RECAL_EN、MUXout、SYNC、SysRefReq、FSx に適用)							
V_{IH}	High レベル入力電圧			1.6			V
V_{IL}	Low レベル入力電圧					0.4	V
I_{IH}	High レベル入力電流			-100		100	µA
I_{IL}	Low レベル入力電流			-100		100	µA
V_{OH}	High レベル出力電圧	MUXout ピン	負荷電流 = -5mA	V_{CC} - 0.6			V
V_{OL}	Low レベル出力電圧		負荷電流 = 5mA			0.6	V

(1) マイクロ ストリップ配線の損失をデエンベッドし、マニュアル チューナで整合を取った後に得られたシングル エンド出力電力。未使用ポートは 50Ω 負荷に終端します。
(2) 出力電力、スプリアス、高調波は、基板レイアウトや部品によって異なる場合があります。
(3) VCO 周波数が低い場合、N デバイダの最小値によって位相検出器の周波数が制限される可能性があります。
(4) PLL ノイズの寄与は、クリーンなリファレンスと広いループ帯域幅を使用して測定され、フリッカ部品とフラット部品で構成されています。PLL_flat = PLL_FOM + 20× log(f_{VCO}/f_{PD}) + 10 × log(f_{PD} / 1Hz)。PLL_flicker (オフセット) = PLL_1/f + 20 × log (f_{VCO} /1GHz) - 10 × log (オフセット / 10kHz)。これら 2 つの成分が判明してから、PLL の合計ノイズは PLL_Noise = 10 × log ($10^{PLL_Flat/10}$ + $10^{PLL_flicker/10}$) として計算できます

5.6 タイミング要件

(3.2V ≤ V_{CC} ≤ 3.45V、–55°C ≤ T_A ≤ +125°C 特に記述のない限り。代表値はすべて、V_{CC} = 3.3V、T_A = 25°C における値です)

			最小値	公称値	最大値	単位
SYNC および SYSREFREQ タイミング						
t_{SETUP}	OSCIN の立ち上がりエッジに対するピンのセットアップ時間	図 5-1 を参照	2.5			ns
t_{HOLD}	OSCIN の立ち上がりエッジに対するピンのホールド時間		2.5			ns
SPI タイミング						
f_{SPI}	SPI SCK 速度	t_{CWL} + t_{CWH} ≥ 500ns			2	MHz
t_{CE}	クロックからイネーブル low 時間	図 5-2 を参照	50			ns
t_{CS}	クロックからデータまでの待機時間		50			ns
t_{CH}	クロックからデータまでのホールド時間		50			ns
t_{CWH}	クロック パルス幅 high		200			ns
t_{CWL}	クロック パルス幅 low		200			ns
t_{CES}	クロック セットアップ時間をイネーブル		50			ns
t_{EWH}	パルス幅 high をイネーブル		100			ns
t_{CD}	立ち下がりクロック エッジからデータ待ち時間まで				200	ns

5.7 タイミング図

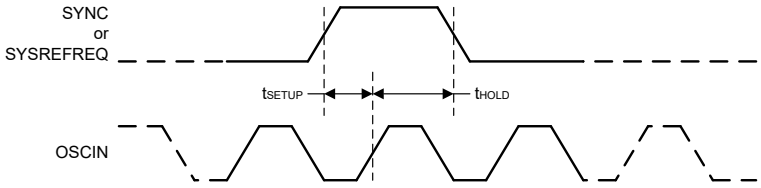


図 5-1. トリガ信号のタイミング図

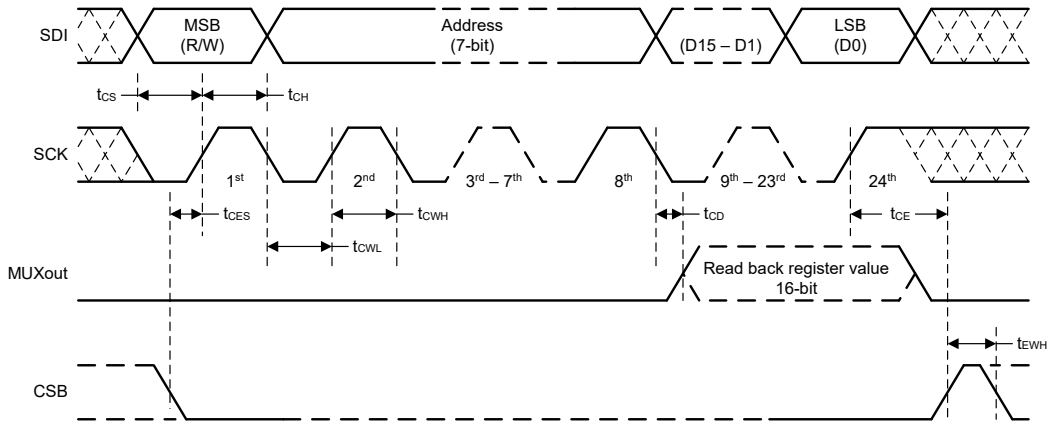


図 5-2. SPI タイミング図

LMX2615-SP は、SPI モード 0 (CPOL = 0、CPHA = 0) およびモード 3 (CPOL = 01 CPHA = 1) をサポートしています。

レジスタに書き込む場合:

- R/W ビットを 0 に設定する必要があります。
- SDI ピンのデータは、SCK ピンのクロックの立ち上がりエッジでシフト レジスタに取り込まれます。24 番目のクロック サイクルの立ち上がりエッジで、データ フィールドから選択したレジスタ バンクにデータが転送されます。
- プログラム後に CSB ピンを High に保持することもできるので、LMX2615-SP はクロックパルスを無視します。
- VCO がロックされている間に SCK ラインと SDI ラインがトグルされると、これらのラインがデバイス間で共有される場合もありますが、このプログラミングの期間中に位相ノイズが低下する可能性があります。

レジスタを読み戻す場合:

- R/W ビットを 1 に設定する必要があります。
- SDI ライン上のデータ フィールドの内容は無視されます。
- MUXout ピンの読み戻しデータは、8 番目のクロック サイクルの立ち下がりエッジからクロック アウトされます。
- MUXOUT_CTRL = 0 の場合のみ、MUXout ピンはトライステートです。

Copyright © 2026 Texas Instruments Incorporated

5.8 代表的特性

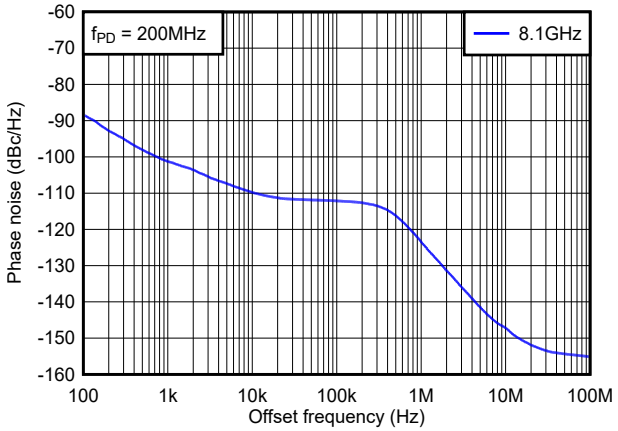


図 5-3. 8.1GHz での閉ループ位相ノイズ

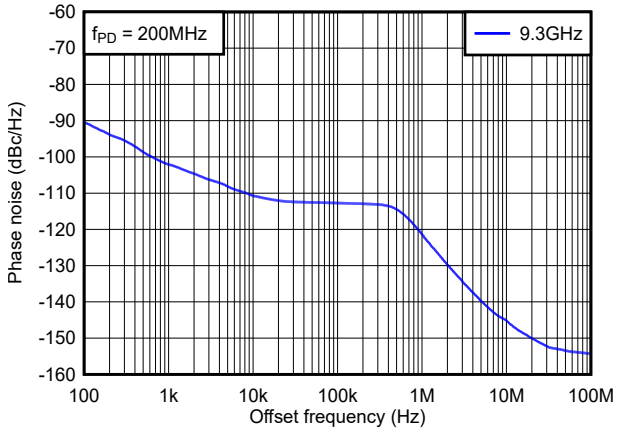


図 5-4. 9.3GHz での閉ループ位相ノイズ

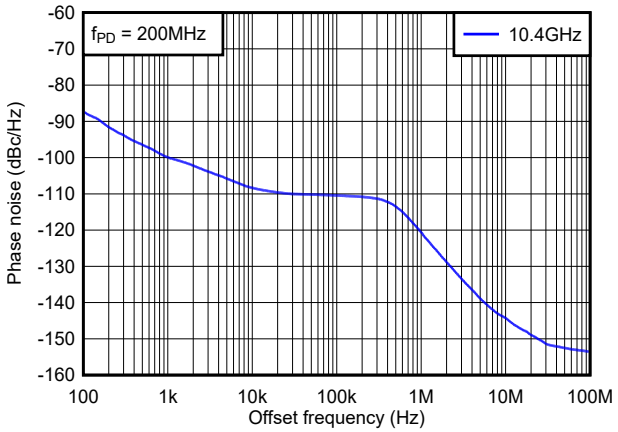


図 5-5. 10.4GHz での閉ループ位相ノイズ

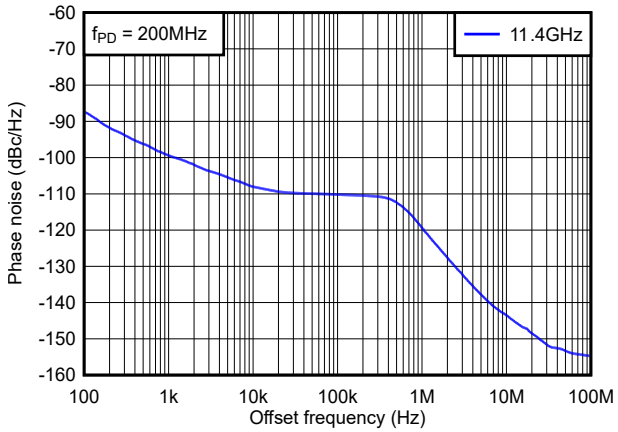


図 5-6. 11.4GHz での閉ループ位相ノイズ

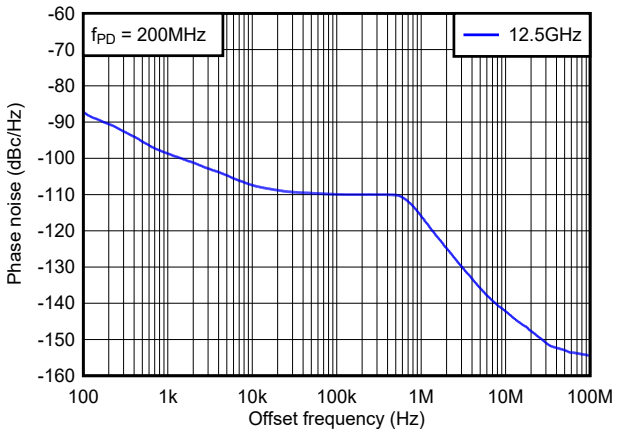


図 5-7. 12.5GHz での閉ループ位相ノイズ

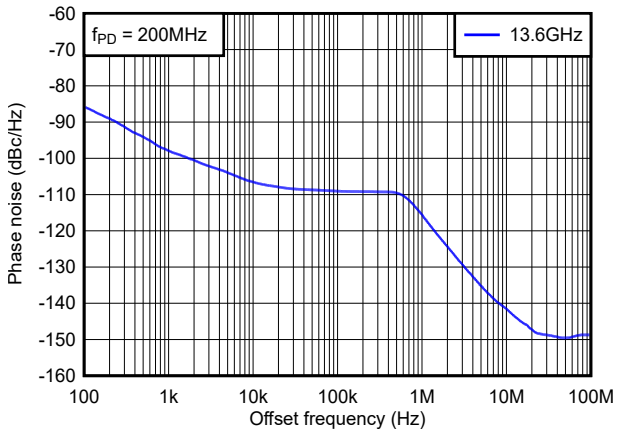


図 5-8. 13.6GHz での閉ループ位相ノイズ

Copyright © 2026 Texas Instruments Incorporated

5.8 代表的特性 (続き)

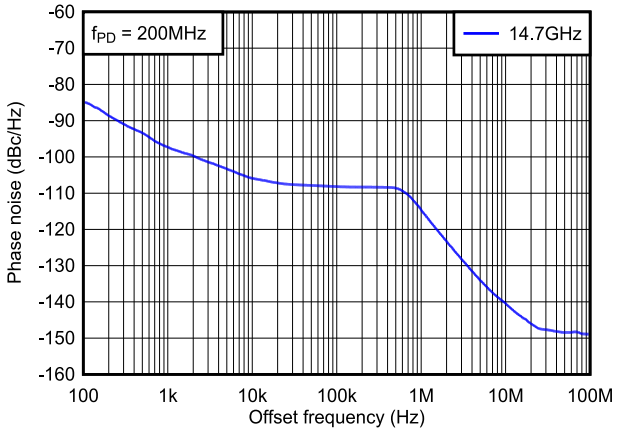


図 5-9. 14.7GHz での閉ループ位相ノイズ

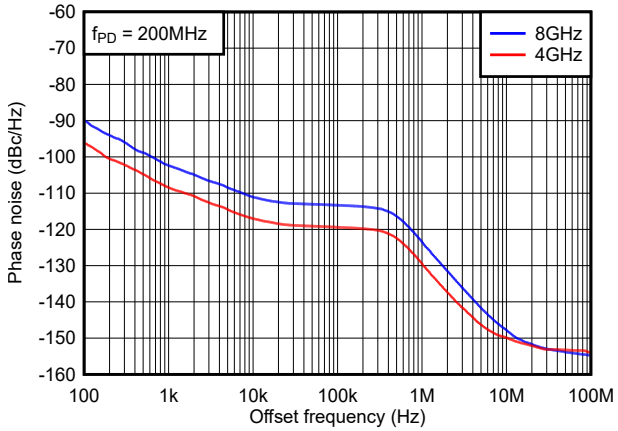


図 5-10. CHDIV がイネーブルなときの閉ループ位相ノイズ

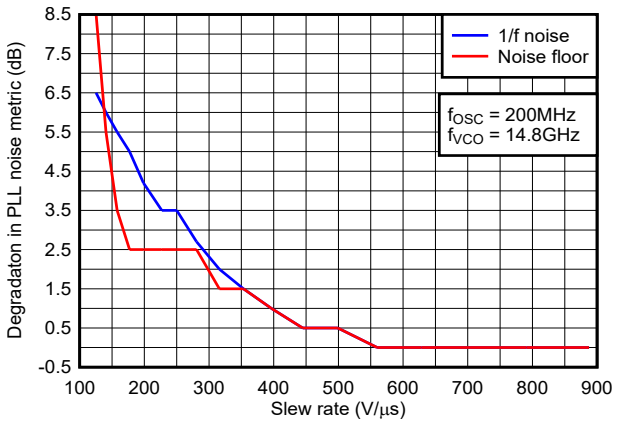


図 5-11. PLL 位相ノイズ指標と f_{OSC} スルーレートとの関係

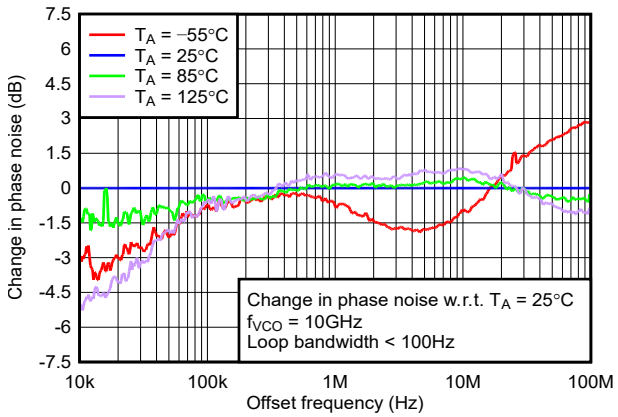


図 5-12. 温度範囲全体での VCO 位相ノイズの変化

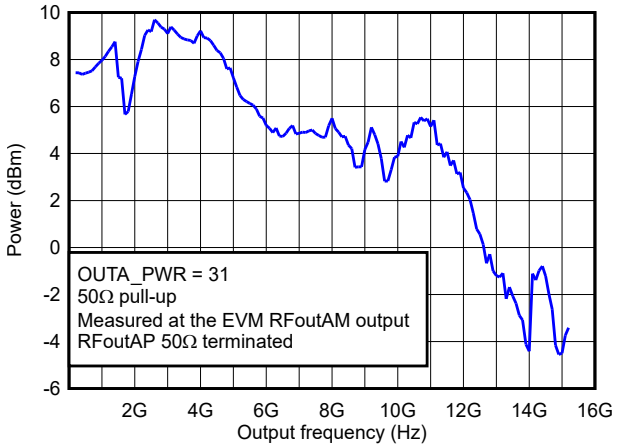


図 5-13. 出力電力と周波数との関係

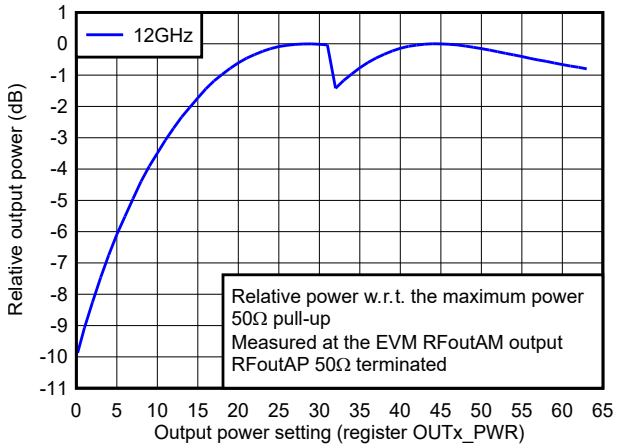


図 5-14. 出力電力と電源設定との関係

Copyright © 2026 Texas Instruments Incorporated

6 詳細説明

6.1 概要

LMX2615-SP は、VCO と出力デバイダを内蔵した高性能で広帯域の周波数シンセサイザです。VCO は 7600MHz～15200MHz で動作し、出力分周器と組み合わせることで、40MHz～15.2GHz の任意の周波数を生成できます。入力パスには 2 つのデバイダがあります。

PLL は分数 N PLL で、最高 4 次までのプログラム可能なデルタ シグマ変調器が搭載されています。フラクショナル分母はプログラマブルで 32 ビット長であり、1Hz 未満の分解能での微細な周波数ステップを容易に実現できるほか、1/3 や 7/1000 など、多くの正確な分数比の設定にも使用できます。

決定論的または調整可能な位相が要求されるアプリケーションでは、SYNC ピンを使用して、OSCin ピンと RFout ピンとの位相関係を決定論的にできます。この設定を行うと、VCO 周期を分数分母で除算した、ごく細かいステップで、位相を調整できます。

超高速の VCO キャリブレーションは、周波数をスイープする必要がある、または周波数が突然変化するアプリケーション用に最適なものです。周波数は手動でプログラム可能です。

JESD204B サポートとして、RFoutB 出力を使用して差動 SYSREF 出力を作成できます。この出力は単一のパルスまたは一連のパルスで、出力信号の立ち上がりエッジから、プログラムにより決定された距離だけ離れて発生します。

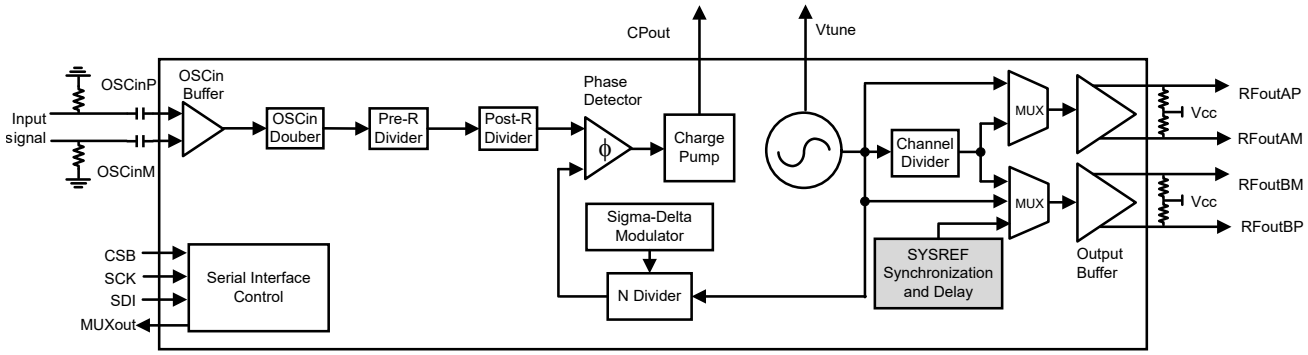
LMX2615-SP デバイスは、単一の 3.3V 電源のみを必要とします。内蔵 LDO によって内部電源が供給されるため、高性能の外部 LDO は不要です。

表 6-1 は、複数の逓倍器、分周器、および分数設定の範囲を示しています。

表 6-1. ダブラ、分周器、および分数設定の範囲

パラメータ	最小値	最大値	コメント
OSCin ダブラ	0 (1X)	1 (2X)	低ノイズのダブラを使用して、位相検出器の周波数を高くすることで位相ノイズを改善し、スプリアスを回避できます。これは、OSC_2X ビットを基準としています。
Pre-R デバイダ	1 (バイパス)	128	入力周波数が Post-R デバイダに対して高すぎる場合にのみ、Pre-R デバイダを使用します。
Post-R デバイダ	1 (バイパス)	255	Post-R デバイダの最大入力周波数は 250MHz です。必要なら、プリ R デバイダを使用してください。
N デバイダ	≥ 28	524287	最小分周値は、分数の次数と VCO 周波数によって異なります。詳細については、セクション 6.3.5 を参照してください。
分数分子	0 (整数チャネル)	2^{32} - 2 = 4294967294	分数分子はプログラム可能です。この分子は、分数順序 = 整数モードの場合は無視されます。
分数分母	1	2^{32} - 1 = 4294967295	分数分母はプログラム可能なため、この分母は固定の分母ではありません。
分数の次数 (MASH_ORDER)	0	4	次数 0 は整数モードであり、次数をプログラムできます。
チャネル デバイダ	2	192	これは、いくつかのデバイダのシリーズです。また、11.5GHz を上回る場合、許容される最大チャネル デバイダの値は 6 であることに注意してください。
出力周波数	約 40MHz	15.2GHz	これは、VCO 周波数の最小値を最大チャネル デバイダ値で除算した値で表されます。

6.2 機能ブロック図



6.3 機能説明

6.3.1 基準発振器入力

OSCin ピンは、本デバイスへの周波数基準入力として使用されます。入力は高インピーダンスで、ピンに AC カップリング キャップが必要です。OSCin ピンは、CMOS クロックまたは XO でシングル エンドを駆動できます。差動クロック入力にも対応しているため、TI の LMK シリーズ クロック デバイスなどの高性能システム クロック デバイスとのインターフェイスが容易になります。OSCin 信号は VCO キャリブレーション用のクロックとして使用されるため、FCAL_EN = 1 を設定する時点で、OSCin ピンには適切なリファレンス信号が入力されている必要があります。リファレンス クロック信号は、LMX2615-SP デバイスの電源投入前に OSCin に入力しておいても構いません。

6.3.2 リファレンス パス

リファレンス パスは、OSCin ダブラ (OSC_2X)、Pre-R デバイダ、マルチプライヤ、および Post-R デバイダで構成されます。

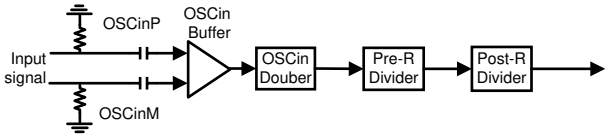


図 6-1. リファレンス パスの図

OSCin ダブラ (OSC_2X) は、低い OSCin 周波数を 2 倍にすることができます。プリ R (PLL_R_PRE) およびポスト R (PLL_R) のデバイダは、どちらも周波数を分周して下げます。位相検出器の周波数 f_{PD} は、式 1 で計算されます

$$f_{PD} = f_{OSC} \times OSC_2X / (PLL_R_PRE \times PLL_R) \quad (1)$$

式 1 については、次の点に注意してください:

- OSCin ダブラを使用する場合、立ち上がりエッジと立ち下がりエッジの両方が使用されるため、OSCin 信号は 50% デューティ サイクルである必要があります。
- OSCin ダブラを使用しない場合、OSCin 信号の立ち上がりエッジのみが使用され、デューティサイクルは重要ではありません。

6.3.2.1 OSCin ダブラ (OSC_2X)

OSCin ダブラを使用すると、入力リファレンス周波数を最大 400MHz まで 2 倍にでき、しかも付加されるノイズは最小限に抑えられます。一部の状況では、ダブラを使用して最大位相検出器周波数を超える高い周波数まで引き上げることが有利な場合があります。これは、Pre-R デバイダによってその周波数を位相検出器にとって都合のよい周波数まで分周でき、フラクショナル スプリアスの低減に有利になるためです。

Copyright © 2026 Texas Instruments Incorporated

6.3.2.2 プリ R デバイダ (PLL_R_PRE)

Pre-R デバイダは、入力周波数を低減し、PLL-R デバイダの最大入力周波数 250MHz の制限を満たすのに役立ちます。それ以外の場合、Pre-R デバイダを使用する必要はありません。

6.3.2.3 Post-R デバイダ (PLL_R)

Post-R デバイダは、周波数をさらに分周して、位相検出器の周波数にするために使用できます。このデバイダを使用する場合 (PLL_R > 1)、このデバイダへの入力周波数は 250MHz に制限されます。

6.3.3 ステート マシン クロック

ステート マシン クロックは、デバイスで内部で使用される OSCin 信号を分周したものです。この分周値 1、2、4、8、16、32 は CAL_CLK_DIV プログラミング ワードによって決定されます。このステート マシンのクロックは、VCO キャリブレーションなどのさまざまな機能に影響を及ぼします。ステート マシン クロックは、$f_{SM} = f_{OSC} / 2^{CAL_CLK_DIV}$ として計算されます。ステート マシンの最大クロック周波数は 50MHz です。

6.3.4 PLL 位相検出器とチャージ ポンプ

位相検出器は、Post-R デバイダと N デバイダの出力を比較し、2 つの信号が位相内で同期するまで、位相誤差に対応する補正電流を生成します。このチャージ ポンプの電流はソフトウェアによって多くの異なるレベルにプログラム可能で、PLL の閉ループ帯域幅を変更できます。

6.3.5 N デバイダとフラクショナル回路

N デバイダには分数補償が含まれており、1 ～ (2^{32} - 1) のあらゆる分数分母を実現できます。N の整数部分は N デバイダの値の全体部分であり、分数部分 N_{frac} = NUM/ DEN が残りの分数です。一般に、N デバイダの合計値は N + NUM/ DEN によって決定されます。N、NUM、DEN はソフトウェアでプログラム可能です。分母が大きいほど、出力の分解能ステップは細かくなります。たとえば、f_{PD} = 200MHz の場合、出力は 200MHz / (2^{32} - 1) = 0.047Hz のステップでインクリメントできます。式 2 は位相検出器と VCO の周波数の関係を示しています。

$$f_{VCO} = f_{PD} \times IncludedDivide \times (N + NUM / DEN) \quad (2)$$

この分数分周を制御するシグマ デルタ モジュレータは、整数モードから 4 次までプログラム可能です。分数スプリアスの一貫性を確保するため、R0 レジスタがプログラムされると常に変調器がリセットされます。

N デバイダには、変調器の次数と VCO 周波数に応じた最小値の制限があります。さらに、PFD_DLY_SEL ビットは、表 6-2 に従ってプログラムする必要があります。PFD_DLY_SEL は位相ノイズを最適化するために使用されます。この推奨値はほとんどの PLL 構成に適用されます。これらの値は、実際のアプリケーションの要求に合わせて多少切り替えることができます。

同期モードでは、IncludedDivide を 1 より大きくすることができます。それ以外の場合、IncludedDivide は 1 になります。詳しくは、表 6-11 を参照してください。

表 6-2. N デバイダの最小制限

MASH_ORDER	f_{VCO} / IncludedDivide (MHz)	最小 N	PFD_DLY_SEL
0	≦ 12500	29	1
	> 12500	33	2
1	≦ 10000	30	1
	10000 ～ 12500	34	2
	> 12500	38	3
2	≦ 4000	31	1
	7500 ～ 10000	35	2
	> 10000	39	3

Copyright © 2026 Texas Instruments Incorporated

表 6-2. N デバイダの最小制限 (続き)

MASH_ORDER	f_{VCO} / IncludedDivide (MHz)	最小 N	PFD_DLY_SEL
3	≦ 4000	33	1
	7500 ～ 10000	41	3
	> 10000	45	4
4	≦ 4000	45	3
	7500 ～ 10000	53	5
	> 10000	57	6

6.3.6 MUXout ピン

MUXout ピンは、PLL のロック検出インジケータとして、または SPI がレジスタを読み取るためのシリアル データ出力 (SDO) として構成できます。フィールド MUXOUT_LD_SEL (レジスタ R0 [2]) は、この出力を構成します。

表 6-3. MUXout ピンの構成

MUXOUT_LD_SEL	機能
0	読み戻し用のシリアル データ出力
1	ロック検出インジケータ

ロック検出インジケータが選択されている場合、2 種類のインジケータがあり、インジケータは LD_TYPE (レジスタ R59[0]) フィールドで選択できます。1 つ目のインジケータは「VCOCal」(LD_TYPE = 0) と呼ばれ、2 つ目のインジケータは「Vtune および VCOCal」(LD_TYPE = 1) と呼ばれます。

6.3.6.1 読み戻し用のシリアル データ出力

このモードでは、MUXout ピンが SPI のシリアル データ出力になります。この出力はトライステート (MUXOUT_CTRL = 0) に構成できるため、ライン共有が可能です。LMX2615-SP をフルアシスト モードで使用し、VCO キャリブレーション データを取得して将来の使用のために保存する場合、読み戻しは非常に便利です。読み戻しを使用すると、フィールド rb_LD_VTUNE(レジスタ R110[10:9]) を用いてロック状態を読み出すこともできます。

6.3.6.2 タイプ「VCOCal」として設定されるロック検出インジケータ

このモードでは、VCO キャリブレーションが完了し (成功、不成功にかかわらず)、かつロック検出遅延タイマがタイムアウトすると、MUXout ピンが HIGH にアサートされます。VCO 較正中、およびロック遅延タイマがタイムアウトする前に、MUXout ピンは LOW になります。プログラム可能なロック検出タイマ (LD_DLY) は、VCO キャリブレーションが完了してから、ロック検出インジケータが high にアサートされるまでに追加の遅延を追加します。LD_DLY は 16 ビットの符号なし数量であり、ステート マシンのクロック サイクル数の 4 倍に対応します。たとえば、f_{OSC} = 100MHz、CAL_CLK_DIV = 1 の場合、ステート マシン クロック周波数 = f_{OSC} /$2^{CAL_CLK_DIV}$ = 50MHz となります。LD_DLY = 1000 の場合、遅延時間は 80µs と等しくなります。MUXout ピンは、PLL が実際にロックされているかどうかにかかわらず、現在の状態のままです。つまり、PLL がロック状態を解除した場合や、現在の状態が high のとき入力基準電圧がクリアされた場合、現在の状態は high のままです。このロック検出設定は、VCO キャリブレーション時間の測定に役立ちます。

6.3.6.3 Vtune および VCOCal のタイプに設定されるロック検出インジケータ

このモードでは、VCO キャリブレーションが完了し、ロック検出遅延タイマの動作が終了し、かつ PLL がロックしている場合に、MUXout ピンが high になります。OSCin 信号が失われた場合、このインジケータは現在の状態 (high または low) のままにできます。インジケータの実際のステータスが更新され、OSCin ピンへの有効な入力参照が返された場合にのみ動作が再開されます。PLL の OSCin を監視する代替方法を推奨します。このインジケータは、OSCin への基準電圧が存在している限り、信頼性が高くなります。

どちらのタイプのロック検出インジケータも VCO 較正を完了する必要があるため、フルアシスト モードで少なくとも 1 つの VCO 較正を実行する必要があります。そうしないと、ロック検出器は動作しません。

Copyright © 2026 Texas Instruments Incorporated

6.3.7 VCO (電圧制御発振器)

LMX2615-SP には完全統合型 VCO が搭載されています。VCO はループ フィルタから電圧を受け取り、周波数に変換します。VCO の周波数は、式 2 に示すように、他の周波数と関連しています。

6.3.7.1 VCO 較正

VCO のチューニング ゲインを減らして VCO の位相ノイズ性能を向上させるため、VCO の周波数範囲はいくつかの異なる周波数帯域に分周されています。7600MHz ～ 15200MHz の全範囲は 1 オクターブをカバーしており、下限未満の周波数は分周器で対応できます。このため、目標出力周波数に対して正しい周波数帯域を決定するための周波数キャリブレーションが必要となります。周波数のキャリブレーション ルーチンは、R0 レジスタに FCAL_EN = 1 がプログラムされると、常にアクティブになります。VCO キャリブレーションを開始する前に、有効な OSCin 信号が入力されている必要があります。

VCO には内部振幅のキャリブレーション アルゴリズムも搭載されており、位相ノイズを最適化します。このアルゴリズムは、R0 レジスタがプログラムされたときにも常にアクティブになります。

最適な内部設定は、温度によって変化します。再キャリブレーションを行わずに温度変化が大きくなると、わずかな位相ノイズ劣化が生じる場合があります。連続ロックを維持するための最大許容ドリフト ΔT_{CL} は、電気的特性に記載されています。このデバイスでは、125°C という値は、推奨動作条件下で動作させている限り、デバイスがロックを失わないことを意味します。

LMX2615-SP では、VCO の較正を支援できます。一般に、表 6-4 に示すように 3 種類の支援があります:

表 6-4. VCO 較正の速度を支援

アシスタンス レベル	説明	VCO_SEL	VCO_SEL_FORCE VCO_CAPCTRL_FORCE VCO_DACISET_FORCE	VCO_CAPCTRL VCO_DACISET
アシストなし	VCO 較正速度を向上させる作業は行いません。	7	0	ドント ケア
部分アシスト	周波数を変更するたびに、FCAL_EN ビットを確認する前に、ユーザーは初期の開始 VCO_SEL を設定します。	表で選択します	0	ドント ケア
フルアシスト	VCO コア (VCO_SEL)、振幅設定 (VCO_DACISET)、周波数帯域 (VCO_CAPCTRL) をユーザーが決定し、値を手動で設定します。	読み戻しで選択します	1	読み戻しで選択します

アシストなしの方法では、VCO_SEL = 7 に設定するだけで、これが行われます。部分的支援を行う場合、目標周波数に応じて VCO_SEL ビットを変更することで、VCO のキャリブレーション時間を延長できます。表 6-5 の周波数は正確な VCO コア範囲ではなく、実際には VCO を選択する方が優先されることに注意してください。これは、VCO キャリブレーション時間に最適なだけでなく、信頼性の高いロックにも必要です。どちらの方法でも、VCO 較正を完了するには、FCAL_EN = 1 を設定して R0 をプログラムする必要があります。

表 6-5. 部分支援の最小 VCO_SEL

f_{VCO} (MHz)	VCO コア (最小)
7600 ～ 8740	VCO1
8740 ～ 10000	VCO2
10000 ～ 10980	VCO3
10980 ～ 12100	VCO4
12100 ～ 13080	VCO5
13080 ～ 14180	VCO6
14180 ～ 15200	VCO7

フルアシストモードでは VCO 較正プロセスが完全にスキップされるため、この方法では VCO 周波数のスイッチング時間が最短になります。このモードの動作には、対象となるすべての周波数に対する VCO パラメータ (VCO_SEL、

Copyright © 2026 Texas Instruments Incorporated

VCO_DACISET、VCO_CAPCTRL) を取得するための、1 回限りの VCO 較正が必要です。このデータは、LMX2615-SP デバイスに手動で適用されます。xxx_FORCE ビットがセットされている場合、デバイスはこのデータを使用して VCO を設定します。フル アシストモードでは、R0 のプログラミングは必要ありません。ただし、FCAL_EN=1 の R0 がプログラムされると、VCO 較正が行われますが、VCO パラメータは書き込まれた値として維持されます。

6.3.7.2 ウォッチドッグ機能

ウォッチドッグ機能は、VCO キャリブレーション中に放射線が存在し、その影響で VCO のキャリブレーションが失敗する可能性がある状況を想定して使用されます。この機能をイネーブルにすると、ウォッチドッグ タイマは VCO のキャリブレーション中に動作します。VCO のキャリブレーションが完了する前にこのタイマが実行されると、VCO のキャリブレーションが再開始されます。WD_CNTRL ワードは、ウォッチドッグ機能でこのキャリブレーションを再起動できる回数を設定します。

6.3.7.3 RECAL 機能

RECAL 機能は、VCO がロック状態にあるものの、その後に放射線の影響で VCO がロック外れを起こす状況を緩和するために使用されます。RECAL_EN ピンが high のとき、PLL がロックを失って、WD_DLY ワードで指定された時間ロックから外れたままになると、RECAL は VCO 再キャリブレーションをトリガします。ロック検出器を「Vtune および VCOCal」(LD_TYPE = 1) に設定し、ロック検出タイマ (LD_DLY) はゼロ以外である必要があります。ステート マシン クロック周波数が 50MHz の場合、推奨されるロック検出タイマの最小遅延時間は 200µs です。

6.3.7.4 VCO ゲインの決定

VCO のゲインは 7 つのコア間で異なり、各バンドの低周波数端では最も低く、高周波数端では最も高くなります。より正確な推定を行うには、表 6-6 を使用します:

表 6-6. VCO ゲイン

f1 (MHz)	f2 (MHz)	$K_{VCO}1$	$K_{VCO}2$
7600	8740	78	114
8740	10000	91	125
10000	10980	112	136
10980	12100	136	168
12100	13080	171	206
13080	14180	188	218
14180	15200	218	248

式 3 は、任意の VCO 周波数 f_{VCO} について、VCO ゲインを推定できます:

$$K_{VCO} = K_{VCO}1 + (K_{VCO}2 - K_{VCO}1) \times (f_{VCO} - f1) / (f2 - f1) \quad (3)$$

6.3.8 チャネル デバイダ

7600MHz の VCO 下限を下回るには、チャネル デバイダを使用できます。チャネル デバイダは 4 つのセグメントで構成され、合計分周値はそれらの乗算に等しくなります。したがって、すべての値が有効であるとは限りません。

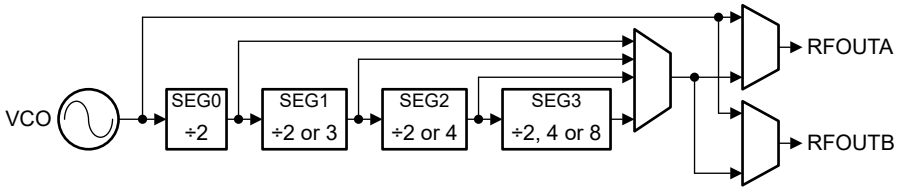


図 6-2. チャネル デバイダ

チャネル デバイダを使用する場合、値に制限があります。

Copyright © 2026 Texas Instruments Incorporated

表 6-7. チャネル デバイダの制限

CHDIV[4:0]	等価除算値	VCO 周波数の制限
0	2	なし
1	4	
2	6	
3	8	f_{VCO} ≤ 11.5GHz
4	12	
5	16	
6	24	
7	32	
8	48	
9	64	
10	96	
11	128	
12	192	

チャネル デバイダは、出力 (OUTx_MUX) がチャネル デバイダに選択されている場合、または SYSREF_EN = 1 の場合に、チャネル デバイダがパワーダウン設定であるかどうかに関係なく、常にパワーアップされます。出力が使用されないときは、チャネル デバイダに不必要に電源がオンになっていないことを確認するため、TI は VCO 出力を選択することを推奨しています。

表 6-8. チャネル デバイダ

OUTA MUX	OUTB MUX	SYSREF_EN	チャネル デバイダ
チャネル デバイダ	X	X	電源オン
X	チャネル デバイダ	X	
X	X	1	
その他のケース			電源オフ

6.3.9 出力バッファ

RF 出力バッファ タイプはオープン コレクタで、V_{CC} への外部プルアップが必要です。この部品には、50Ω の抵抗またはインダクタを使用できます。インダクタのインピーダンスは制御されていませんが、電力が大きくなります。インダクタの場合については、これに従って抵抗パッドを付けます。出力電力は、PLL をロック状態に維持しながら、さまざまなレベルにプログラムすることも、ディスエーブルにすることもできます。抵抗を使用する場合は、OUTx_PWR 設定を 31 に制限します。これを上回ると、実際に電力が低減される傾向があります。なお、状態 32～47 は冗長であり、無視する必要があります。つまり、状態 31 の後、次に高い電力設定は 48 になります。

表 6-9. OUTx_PWR 推奨事項

f_{OUT}	利用制限	コメント
10MHz ≤ f_{OUT} ≤ 5GHz	なし	低い周波数では出力バッファのインピーダンスが高いため、50Ω のプルアップによって出力インピーダンスがある程度 50Ω に近づいて見えます。通常、最大出力電力は OUTx_PWR = 50 の設定付近です。
5GHz < f_{OUT} ≤ 10GHz	OUTx_PWR ≤ 31	この範囲では、寄生インダクタンスにある程度の影響があるため、出力設定が制限されます。
10GHz < f_{OUT}	OUTx_PWR ≤ 20	このような高い周波数範囲では、最大の出力と最適なノイズ フロアを得るために、20 未満に保ちます。

6.3.10 パワーダウン モード

LMX2615-SP は、CAL ピンまたは POWERDOWN ビットを使用してパワーオンおよびパワーダウンできます。ピン モードでは、CAL ピンへ Low から High に遷移すると、VCO 較正が作動します。

Copyright © 2026 Texas Instruments Incorporated

6.3.11 未使用ピンの処理

このデバイスには多くの機能に対応する複数のピンがあり、使用しない場合には推奨される取り扱い方法があります。入力ピンについては直列抵抗の使用が推奨されますが、ピンを直接短絡しても問題ありません。

表 6-10. ピンの推奨処理

ピン	SPI モード	ピン モード	使用しない場合の推奨処置
FS0、FS1、FS2、FS3、FS4、FS5、FS6、FS7	未使用	常に使用	1kΩ 搭載の GND
同期、SysRefReq	時々使われる	未使用	1kΩ 搭載の GND
OSCinP、OSCinM	常に使用	常に使用	AC カップリング コンデンサの後に 50Ω の GND。相補ペアの一方のみを使用し、もう一方を使用しない場合でも、両方のピンから見たインピーダンスが同程度になるようにする必要があります。
SCK、SDI	常に使用	未使用	1kΩ 搭載の GND
CSB	常に使用	未使用	1kΩ 搭載の VCC
RECAL_EN	時々使われる	時々使われる	1kΩ 搭載の GND
CAL	時々使われる	常に使用	1kΩ 搭載の VCC
RFoutA、RFoutB	時々使われる	時々使われる	50Ω で VCC に接続。相補ペアの一方を使用し、もう一方を使用しない場合でも、両方のピンから外部を見たインピーダンスが同程度になるようにする必要があります。
MUXout	時々使われる	時々使われる	10kΩ 搭載の GND

6.3.12 位相同期

6.3.12.1 基本的な考え方

SYNC ピンを使用することで、OSCin 信号の立ち上がりエッジから出力信号までの遅延が決定論的になるように、LMX2615-SP を同期させることができます。最初は、デバイスは入力にロックされますが、同期されていません。ユーザーは同期パルスを送信し、そのパルスは OSCin パルスの次の立ち上がりエッジで再クロックされます。所定の時間 t_1 が経過すると、OSCin と f_{OUT} の位相関係は決定論的になります。この時間は、VCO キャリブレーション時間、PLL ループのアナログ設定時間、さらに分数モードを使用する場合は MASH_RST_COUNT の合計によって主に決まります。

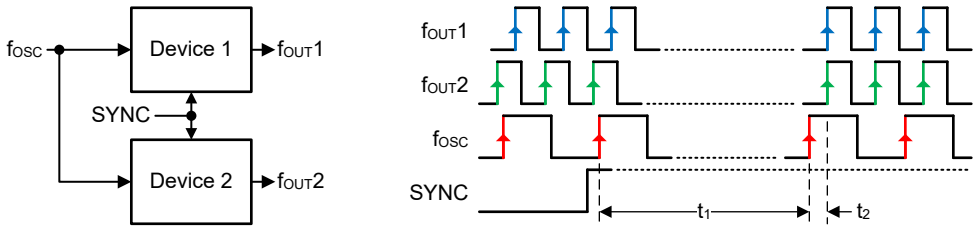


図 6-3. これで、デバイスは OSCin 信号に同期されます

SYNC モードが有効 (VCO_PHASE_SYNC = 1) な場合、チャネル デバイダの一部 (IncludedDivide) をフィードバック パスに含めることができます。IncludedDivide が 1 でない場合:

- N デバイダはより小さくなります。N デバイダの最小制限に違反しないように注意する必要があります。
- SEG1_EN は 1 に等しい必要があります。
- IncludedDivide = 6 の場合、FCAL_HPFD_ADJ レジスタを使用して、VCO キャリブレーション中に使用される位相検出器の周波数を 50MHz 未満に低減します。

表 6-11. VCO_PHASE_SYNC=1 を備える IncludedDivide

OUTx_MUX	チャネル デバイダ	IncludedDivide
OUTA_MUX = OUTB_MUX = 1 (「VCO」)	ドント ケア	1 (バイパス)

Copyright © 2026 Texas Instruments Incorporated

表 6-11. VCO_PHASE_SYNC=1 を備える IncludedDivide (続き)

OUTx_MUX	チャネル デバイダ	IncludedDivide
他のすべての有効な条件	3 で割り切り可能	SEG0 × SEG1 = 6
	その他すべての値	SEG0 × SEG1 = 4

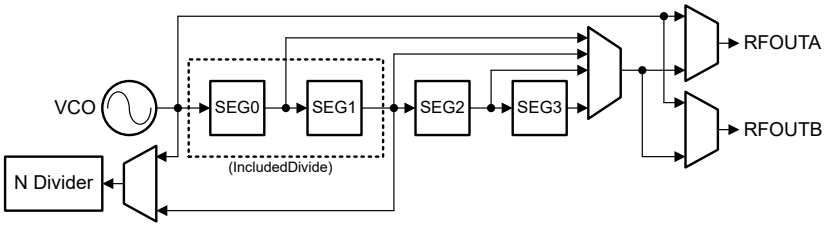


図 6-4. 位相同期図

6.3.12.2 SYNC のアプリケーションのカテゴリ

SYNC に関する要件は、特定の設定条件に依存します。図 6-5 に、さまざまなカテゴリを示します。カテゴリ 3 の SYNC では、SYNC ピンに入力されるトリガ信号のセットアップ時間およびホールド時間が、OSCin ピンに対して重要になります。

表 6-12. カテゴリ 3 SYNC の SYNC ピンのタイミング特性

パラメータ	説明	最小値	最大値	単位
f_{OSC}	入力リファレンス クロック周期		50	MHz
t_{SETUP}	SYNC と OSCin の立ち上がりエッジ間のセットアップ時間	2.5		ns
t_{HOLD}	SYNC と OSCin 立ち上がりエッジの間のホールド時間	2.5		ns

Copyright © 2026 Texas Instruments Incorporated

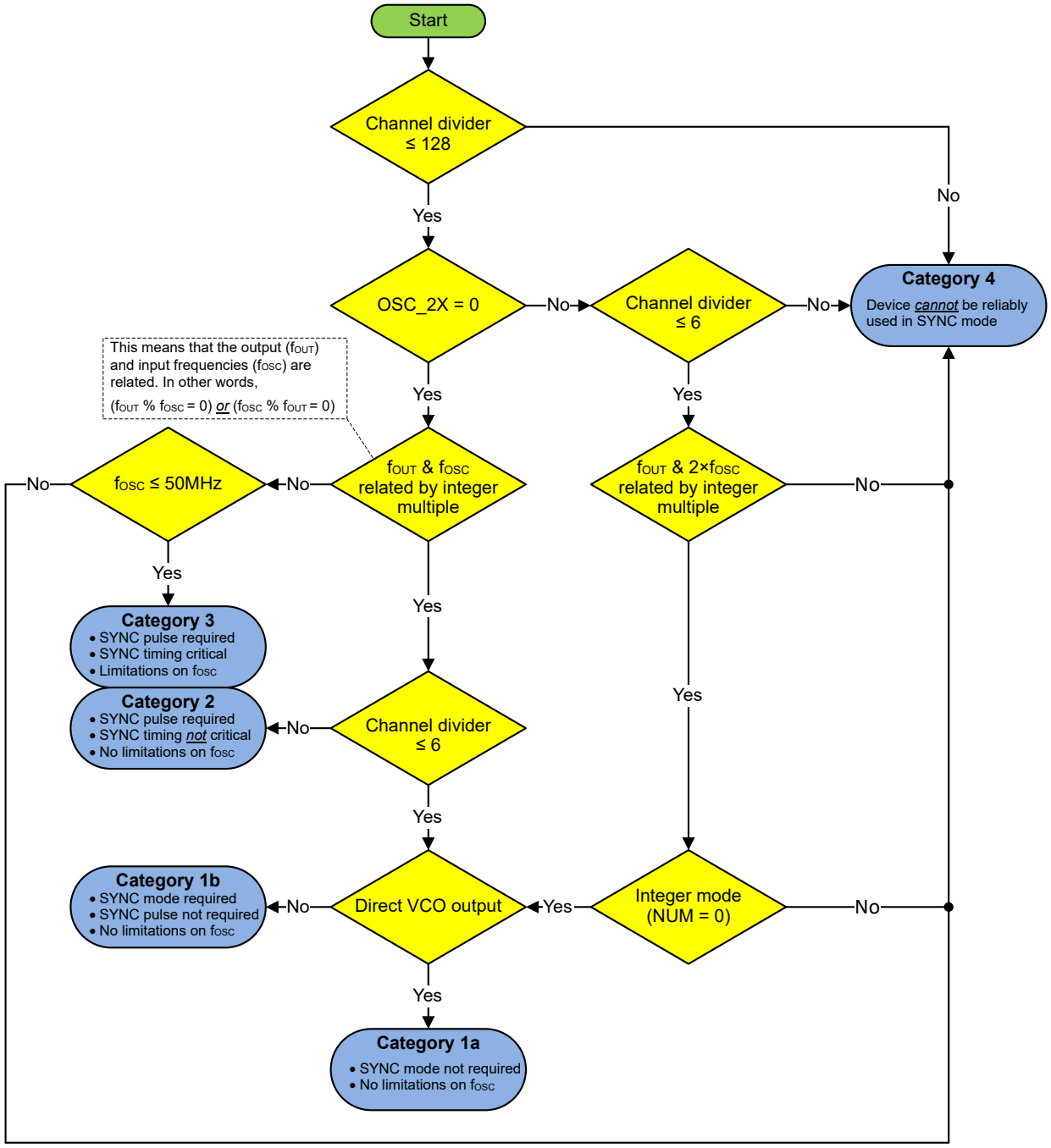


図 6-5. SYNC カテゴリの決定

6.3.12.3 SYNC を使用する手順

デバイスを SYNC モードにするには、この手順を使用する必要があります。

1. フローチャートを使用して、SYNC カテゴリを決定します。
2. カテゴリに基づいて OSCin と SYNC を使用する決定を行います
   a. カテゴリ 4 の場合、この設定では SYNC を実行できません。
   b. カテゴリ 3 では、SYNC モードでの最大 f_{OSC} 周波数に違反しないことと、SYNC ピンを使用するためのハードウェア対応が存在することを確認します。

Copyright © 2026 Texas Instruments Incorporated

3. チャネル分割を使用する場合は、表 6-11 から IncludedDivide 値を決定します。
4. まだ実行していない場合は、含まれるチャネル分周値を考慮して、N デバイダの値と分数値を IncludedDivide(式 2) で除算します。
5. VCO_PHASE_SYNC = 1 にデバイスをプログラムします。
6. 必要に応じて同期を適用します
   a. カテゴリ 2 では、SYNC ピンに立ち上がりエッジを送信でき、そのタイミングは重要ではありません。
   b. カテゴリ 3 の場合、SYNC 信号の OSCin クロックに対するタイミングは、表 6-12 に示す条件に従う必要があります。

6.3.12.4 SYNC 入力ピン

SYNC ピンを使用しない場合は、INPIN_IGNORE ビットを 1 に設定する必要があります。そうしないと、このピンがロック検出に問題を引き起こします。このピンを使用し、VCO_PHASE_SYNC = 1 の場合は、INPIN_IGNORE = 0 に設定します。

6.3.13 位相調整

MASH_SEED ワードは、デルタ シグマ変調器を使用して、入力基準電圧に対して出力信号の位相をシフトできます。SYNC パルスが送信される、または MASH_RST_N = 0 によって MASH がリセットされると、この位相シフトは初期位相ゼロからのものになります。MASH_SEED ワードが書き込まれると、この位相が追加されます。位相シフトは式 4 のように計算されます。

$$\text{Phase shift in degrees} = 360 \times (\text{MASH_SEED} / \text{PLL_DEN}) \times (\text{IncludedDivide} / \text{CHDIV}) \quad (4)$$

例:

MASH_SEED = 1

分母 = 12

チャネル デバイダ = 16

位相シフト (VCO_PHASE_SYNC = 0) = 360 × (1/12) × (1/16) = 1.875 度

位相シフト (VCO_PHASE_SYNC = 1) = 360 × (1/12) × (4/16) = 7.5 度

MASH_SEED を使用する場合、いくつかの検討事項があります:

- 位相シフトは PLL_NUM = 0 で実行できますが、MASH_ORDER は 0 より大きくする必要があります。
- MASH_ORDER = 1 の場合、位相シフトは MASH_SEED が PLL_DEN の倍数のときのみ発生します。
- MASH_ORDER = 2 の場合、PLL_N ≥ 45 です。
- MASH_ORDER = 3 の場合、PLL_N ≥ 49 です。
- MASH_ORDER = 4 の場合、PLL_N ≥ 54 です。
- 位相調整のため、PLL_DEN > PLL_NUM + MASH_SEED の条件を満たす必要があります。
- MASH_SEED と位相 SYNC を IncludedDivide > 1 の条件で併用する場合、特に VCO 周波数が 10GHz 未満のときには、MASH_SEED と位相シフトの間に単調な関係を持たせるために、追加の制約が必要になることがあります。これらの制約はアプリケーションごとに異なりますが、変調器の次数を減らし、N デバイダを増やすことです。
  - MASH_ORDER ≤ 2 を使用します。
  - 10GHz を下回る VCO 周波数 (IncludedDivide = 6 の場合) または 9GHz (IncludedDivide = 4 の場合) に 2 次変調器を使用するときは、PLL_N の値をはるかに高くするか、1 次変調器に変更します。
- MASH_SEED > 0 を設定すると、分数スプリアスに影響する可能性があります。PLL_NUM = 0 と併用すると、この設定によってフラクショナル スプリアスが発生する可能性があります。0 以外の分子で使用した場合、スプリアスが減る場合も、増える場合もあります。この効果は、TI の PLLatinum Sim ツールを使用してシミュレーションできます。

Copyright © 2026 Texas Instruments Incorporated

- MASH_SEED ワードのプログラミングは累積的です。*累積*とは、設定した値が現在の値に加算されることを意味します。MASH_RST_N ビットがトグルされる、または VCO が再キャリブレーションされるたびに、現在の値は MASH_SEED に設定されます。静的な位相調整では、MASH_SEED ワードを目的の値に設定し、MASH_RST_N ビットをトグルして、その値を適用します。動的な位相調整では、MASH_SEED を小さい値に設定し、MASH_SEED ワードを繰り返しプログラムして、MASH_SEED の累積値に追加します。たとえば MASH_SEED をプログラムし、10 度の位相シフトを取得します。MASH_SEED と同じ値を 3 回プログラムすると 30 度の位相シフトが得られます。

6.3.14 位相調整と位相同期の微調整

位相同期とは、電源投入サイクルごと、および特定のプログラミング手順が実行されていると考えられるときに、同じ位相関係を実現するプロセスを意味します。ただし、最も正確な結果を得るために、いくつかの調整を行うことができます。位相同期の整合性が変化する原因として考えられるのは、VCO キャリブレーションで別の VCO コアとコンデンサが選択されることだけです。この場合、差異が約 10ps のバイモーダル分散が発生することがあります。この 10ps のばらつきが望ましくない場合は、VCO パラメータを読み戻し、その値を強制的に設定することで、毎回同じキャリブレーション設定になるようにして、このばらつきを排除できます。デバイスでの遅延時間は部品によって異なり、60ps 程度が考えられます。この部品ごとの差異は、MASH_SEED によって調整できます。デバイス内部を通過する遅延のばらつきは、約 +2.5ps/℃ のオーダーで温度によっても変化しますが、同一基板上のデバイスはおおむね同じ温度になると考えられます。要約すると、デバイスの遅延は部品内で一貫するように設計でき、残る誤差は MASH_SEED を使用して調整できます。これが問題になるのは一般に、出力周波数が高く、周期が短い場合のみです。

6.3.15 SYSREF

LMX2615-SP は SYSREF 出力信号を生成でき、この信号は f_{OUT} と同期され、遅延をプログラム可能です。この出力は、単一パルス、一連のパルス、または連続的なパルス ストリームのいずれかです。SYSREF 機能を使用するには、最初に VCO_PHASE_SYNC = 1 を設定して、PLL を同期モードにする必要があります。

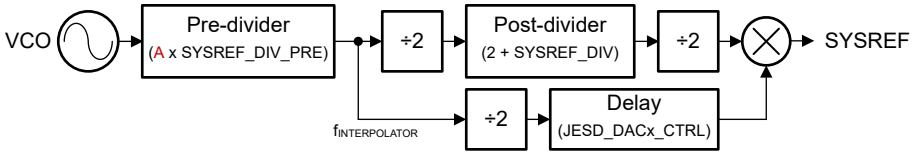


図 6-6. SYSREF のブロック図

$$f_{SYSREF} = f_{VCO} / [(A \times SYSREF_DIV_PRE) \times 2 \times (2 + SYSREF_DIV) \times 2], \text{ where A is the IncludedDivide value.} \quad (5)$$

図 6-6 に示すように、SYSREF 機能は IncludedDivide と SYSREF_DIV_PRE を使用して $f_{INTERPOLATOR}$ を生成します。この周波数は、SysRefReq ピンにおける立ち上がりエッジおよび立ち下がりエッジの再クロックに使用されます。マスタ モードでは、$f_{INTERPOLATOR}$ がさらに除算され、有限な一連または連続的なパルス ストリームが生成されます。

表 6-13. SYSREF 仕様

パラメータ	最小値	標準値	最大値	単位
f_{VCO}	7600		15200	MHz
$f_{INTERPOLATOR}$	0.8		1.5	GHz
SYSREF_DIV_PRE	1、2、または 4			
SYSREF_DIV	0、1、2、...、2047			
パルス モードのパルス (SYSREF_PULSE_CNT)	1		15	

この遅延時間は、JESD_DAC1_CTRL、JESD_DAC2_CTRL、JESD_DAC3_CTRL、JESD_DAC4_CTRL ワードを使用してプログラムできます。これらのワードを連結して「SYSREFPHASESHIFT」という大きなワードにすると、相対遅延が判明します。これらのワードの合計は常に 63 にする必要があります。全体として、252 個の便利なプログラマブルステップがあります。各ステップの遅延時間は以下で表されます:

$$\text{SYSREF delay time} = [(A \times SYSREF_DIV_PRE) \times 2] / 252 / f_{VCO}, \text{ where A is the IncludedDivide value.} \quad (6)$$

Copyright © 2026 Texas Instruments Incorporated

表 6-14. SYSREF 遅延

SYSREFPHASESHIFT	JESD_DAC1_CTRL	JESD_DAC2_CTRL	JESD_DAC3_CTRL	JESD_DAC4_CTRL
0	36	27	0	0
1	35	28	0	0
...	...	...	0	0
36	0	63	0	0
37	0	62	1	0
...	0	...	...	0
99	0	0	63	0
100	0	0	62	1
...	0	0	...	...
162	0	0	0	63
163	1	0	0	62
...	...	0	0	...
225	63	0	0	0
226	62	1	0	0
...	...	...	0	0
251	37	26	0	0

マスタ モードでは、連続した SYSREF クロック出力を可能にするため、SysRefReq ピンは HIGH にプルアップされ、HIGH のまま保持されます。SYSREF パルスを生成するには、SysRefReq ピンで Low から High への遷移が必要です。

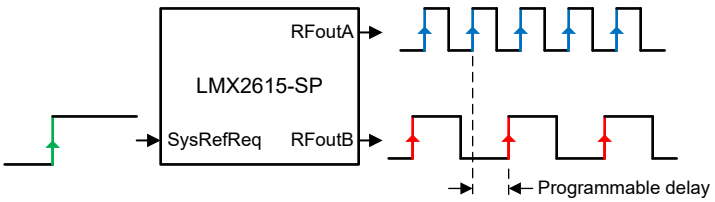


図 6-7. SYSREF パルス / 連続モード

SYSREF はリピータ モードで使用できます。リピータ モードでは、SysRefReq ピンに信号をエコーするだけです。$f_{INTERPOLATOR}$ 周波数に再クロックし、RFoutB に出力します。リピータモードでは、1、2、4、8、または無限 (連続) パルスを繰り返すことができます。

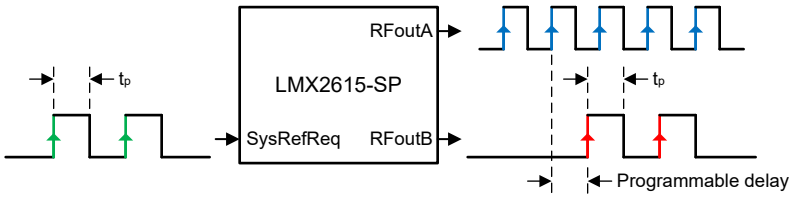


図 6-8. SYSREF リピータ モード

SYSREF を使用するには、次の手順を行います:

1. すでに説明した手順に従って、デバイスを同期モードにします。
2. IncludedDivide を確認する同期モードと同じ方法を使用します。
3. 補間器周波数 ($f_{INTERPOLATOR}$) が 800MHz から 1500MHz の範囲内になるように、SYSREF_DIV_PRE 値を計算します。

Copyright © 2026 Texas Instruments Incorporated

4. マスタ モード (SYSREF_REPEAT = 0) を使用する場合、SysRefReq ピンが HIGH であり、連続 SYSREF クロック生成用に HIGH を維持することを確認します。SYSREF パルスを生成するには、SYSREF_PULSE = 1 に設定し、必要に応じてパルス数を設定します。SysRefReq ピンの LOW から HIGH への遷移によってパルスが生成されます。
5. リピータ モードを使用する場合は、SYSREF_REPEAT = 1 に設定し、SYSREF 信号を SysRefReq ピンに印加します。
6. JESD_DACx_CTL フィールドを使用して、RFoutA 信号と RFoutB 信号の間の遅延を調整します。

6.3.16 ピン モード

LMX2615-SP には 8 本のピンがあり、事前選択されたモードのプログラムに使用できます。これらのピン モードに関する動作上のいくつかのルールは次のとおりです:

- ピン モードを必要に応じて設定します。ピン モード 0 は SPI モードです。
- 電源の立ち上がり時間は 50ms 未満である必要があります。
- すべてのピン モードの分数分母は 4250000000 です。
- ピン モードを切り替える際は、ピン設定を変更した後に、VCO をキャリブレーションするため CAL ピンをトグルする必要があります。
- FS7 ピンが low の場合、RFoutA 出力のみがアクティブになります。FS7 ピンが high の場合、RFoutA と RFoutB の両方の出力がアクティブになります。

表 6-15 に、すべてのピン モード構成を示します。

表 6-15. ピン モード

モード	f_{OSC} (MHz)	f_{PD} (MHz)	CPG (mA)	f_{OUT} (MHz)	CHDIV	f_{VCO} (MHz)	N	分数
0	SPI モード							
1	10	20	15	160	48	7680	384	0 / 4250000000
2	10	10	15	395	24	9480	948	0 / 4250000000
3	10	20	15	720	12	8640	432	0 / 4250000000
4	10	20	15	1280	6	7680	384	0 / 4250000000
5	100	200	15	300	32	9600	48	0 / 4250000000
6	100	200	15	1000	8	8000	40	0 / 4250000000
7	100	200	15	1200	8	9600	48	0 / 4250000000
8	20	40	15	6199.855	2	12399.71	309	4219187500 / 4250000000
9	100	200	15	2000	4	8000	40	0 / 4250000000
10	50	100	15	250	32	8000	80	0 / 4250000000
11	50	100	15	500	16	8000	80	0 / 4250000000
12	50	100	15	850	12	10200	102	0 / 4250000000
13	20	40	15	5654.912	2	11309.824	282	3168800000 / 4250000000
14	10	20	15	1517.867839	6	9107.207034	455	1531494725 / 4250000000
15	10	20	15	1708.670653	6	10252.02392	512	2555082575 / 4250000000
16	50	100	15	2500	4	10000	100	0 / 4250000000
17	予約済み。このピン モードを使用しないでください。							
18	10	20	15	3035.735678	4	12142.94271	607	625326300 / 4250000000
19	50	100	15	3200	4	12800	128	0 / 4250000000
20	10	20	15	3417.341306	4	13669.36522	683	1990110100 / 4250000000
21	50	100	15	4500	2	9000	90	0 / 4250000000
22	50	100	15	4800	2	9600	96	0 / 4250000000
23	50	100	15	5350	2	10700	107	0 / 4250000000
24	50	100	15	6800	2	13600	136	0 / 4250000000

Copyright © 2026 Texas Instruments Incorporated

表 6-15. ピン モード (続き)

モード	f_{OSC} (MHz)	f_{PD} (MHz)	CPG (mA)	f_{OUT} (MHz)	CHDIV	f_{VCO} (MHz)	N	分数
25	10	20	15	6834	2	13668	683	1700000000 / 4250000000
26	10	20	15	6834.682611	2	13669.36522	683	1990109675 / 4250000000
27	10	20	15	6834.6875	2	13669.375	683	1992187500 / 4250000000
28	10	20	15	6834.75	2	13669.5	683	2018750000 / 4250000000
29	50	100	15	9600	1	9600	96	0 / 4250000000
30	50	100	15	9650	1	9650	96	2125000000 / 4250000000
31	50	100	15	13500	1	13500	135	0 / 4250000000
32	100	100	15	70	128	8960	89	2550000000 / 4250000000
33	18.75	37.5	15	393.75	24	9450	252	0 / 4250000000
34	18.75	37.5	15	422.4990441	24	10139.97706	270	1697399952 / 4250000000
35	37.5	75	15	422.4990441	24	10139.97706	135	848699976 / 4250000000
36	20	40	15	6785.552	2	13571.104	339	1179800000 / 4250000000
37	20	40	15	2088.38	4	8353.52	208	3561500000 / 4250000000
38	100	100	15	2210	4	8840	88	1700000000 / 4250000000
39	100	100	15	2238	4	8952	89	2210000000 / 4250000000
40	20	40	15	2254.35	4	9017.4	225	1848750000 / 4250000000
41	20	40	15	2270	4	9080	227	0 / 4250000000
42	20	40	15	2280	4	9120	228	0 / 4250000000
43	18.75	37.5	15	6759.984705	2	13519.96941	360	2263199800 / 4250000000
44	37.5	75	15	6759.984705	2	13519.96941	180	1131599900 / 4250000000
45	20	40	15	8125	1	8125	203	531250000 / 4250000000
46	20	40	15	8175	1	8175	204	1593750000 / 4250000000
47	20	40	15	8200	1	8200	205	0 / 4250000000
48	20	40	15	8210	1	8210	205	1062500000 / 4250000000
49	20	40	15	8212.5	1	8212.5	205	1328125000 / 4250000000
50	20	40	15	8275	1	8275	206	3718750000 / 4250000000
51	20	40	15	8300	1	8300	207	2125000000 / 4250000000
52	20	40	15	8400	1	8400	210	0 / 4250000000
53	20	40	15	8450	1	8450	211	1062500000 / 4250000000
54	20	40	15	8460	1	8460	211	2125000000 / 4250000000
55	20	40	15	8484	1	8484	212	425000000 / 4250000000
56	20	40	15	8496	1	8496	212	1700000000 / 4250000000
57	20	40	15	8212	1	8212	205	1275000000 / 4250000000
58	10	20	15	12860	1	12860	643	0 / 4250000000
59	10	20	15	13000	1	13000	650	0 / 4250000000
60	10	20	15	13022.5	1	13022.5	651	531250000 / 4250000000
61	10	20	15	13125	1	13125	656	1062500000 / 4250000000
62	10	20	15	13222.5	1	13222.5	661	531250000 / 4250000000
63	20	40	15	12209.697	1	12209.697	305	1030306250 / 4250000000
64	10	20	15	13390	1	13390	669	2125000000 / 4250000000
65	10	20	15	13417.5	1	13417.5	670	3718750000 / 4250000000
66	20	40	15	12689.697	1	12689.697	317	1030412500 / 4250000000
67	20	40	15	13906.667	1	13906.667	347	2833368750 / 4250000000
68	20	40	15	14192.727	1	14192.727	354	3477243750 / 4250000000

Copyright © 2026 Texas Instruments Incorporated

表 6-15. ピン モード (続き)

モード	f_{OSC} (MHz)	f_{PD} (MHz)	CPG (mA)	f_{OUT} (MHz)	CHDIV	f_{VCO} (MHz)	N	分数
69	10	20	15	8212.5	1	8212.5	410	2656250000 / 4250000000
70	100	50	15	1250	8	10000	200	0 / 4250000000
71	50	100	15	1250	8	10000	100	0 / 4250000000
72	18.75	37.5	15	1875	6	11250	300	0 / 4250000000

6.4 デバイスの機能モード

表 6-16. デバイスの機能モード

モード	説明	ソフトウェア設定
リセット	すレジスタがリセット状態に維持されます。このデバイスにはパワーオン リセット機能がありますが、特に他のデバイスと共有しているなどプログラミング ラインにノイズが入る可能性がある場合は、ソフトウェア リセットも実行することが推奨されます。また、データシートに開示されていないレジスタがリセットされていることもわかります。	RESET = 1 POWERDOWN = 0
パワーダウン	デバイスがパワーダウンします。	POWERDOWN = 1 または CAL ピン = Low
ピン モード	デバイス設定は、ピンの状態によって決まります。	FS0、FS1 の 1 つ、...FS7 ピンは Low ではありません
通常動作モード	このデバイスは、少なくとも 1 つの出力を有効にした周波数シンセサイザとして使用され、SPI を介して制御されます	FS0、FS1 のすべて ...FS7 ピンは Low です
SYNC モード	決定論的な位相を得るために、チャネル デバイダの一部をフィードバック パスに含めて使用します。	VCO_PHASE_SYNC = 1
SYSREF モード	このモードでは、RFoutB を使用して SYSREF 用のパルスを生成します。	VCO_PHASE_SYNC = 1、 SYSREF_EN = 1

Copyright © 2026 Texas Instruments Incorporated

6.5 プログラミング

ピン モードではないとき、LMX2615-SP は 24 ビット シフト レジスタを使用してプログラムされます。シフト レジスタは、R/W ビット (MSB)、続いて 7 ビットのアドレス フィールド、そして 16 ビットのデータ フィールドで構成されています。R/W ビットについては、0 は書き込み用、1 は読み取り用です。アドレス フィールド ADDRESS[6:0] は、内部レジスタのアドレスをデコードするために使用されます。残りの 16 ビットがデータ フィールド DATA[15:0] を構成します。CSB が low の間、シリアル データはクロックの立ち上がりエッジでシフト レジスタに取り込まれます (データは MSB ファーストでプログラムされます)。タイミングの詳細については、図 5-2 を参照してください。

6.5.1 推奨される初期電源オン シーケンス

最も信頼性の高いプログラミングを行うために、TI では次の手順を推奨しています:

1. ボードに電源を供給します。
2. RESET = 1 をプログラムすると、レジスタをリセットできます。
3. レジスタ マップに示すように、レジスタを上限から下限へと逆の順序でプログラムします。
   - レジスタ R114 のプログラムに必要なのは、WD_CNTRL または WD_DLY のデフォルト状態を変更することのみです。
   - レジスタ R113 から R76 までのプログラミングは必要ありませんが、レジスタをプログラムする場合は、レジスタ マップに示されているようにレジスタを行う必要があります。
   - 特に記述のない限り、レジスタ R75 を R0 まで (FCAL_EN = 1 の場合) にプログラムする必要があります。
   - この手順では、FCAL_EN = 1 の R0 が最後にプログラムされたレジスタであることを確認します。そうしないと、VCO はキャリブレーションされません。
4. 内部 LDO が落ち着いたことを確認するまで、10ms 待ちます。
5. レジスタ R0 を FCAL_EN = 1 でさらに 1 回プログラムし、VCO キャリブレーションが安定した状態で実行されることを確認します。

6.5.2 周波数変更の推奨シーケンス

周波数の変更に推奨されるシーケンスは次のとおりです:

1. PLL_N や PLL_NUM などの周波数関連レジスタを変更します。
2. PFD_DLY_SEL など、必要なレジスタをプログラムします。
3. VCO のキャリブレーションを行うには、FCAL_EN = 1 をプログラムします。

Copyright © 2026 Texas Instruments Incorporated

6.6 レジスタ マップ

6.6.1 レジスタ マップ

表 6-17. 完全なレジスタ マップ表

REG	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	POR
R0	0	VCO_PHASE_SYNC	1	0	0	0	OUT_MUTE	FCAL_HPFD_ADJ		0	0	1	FCAL_EN	MUXOUT_LD_SEL	リセット	パワーダウン	0x241C
R1	0	0	0	0	1	0	0	0	0	0	0	0	MUXOUT_CTRL	CAL_CLK_DIV			0x80C
R2	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0x500
R3	0	0	0	0	0	1	1	0	0	1	0	0	0	0	1	0	0x642
R4	0	0	0	0	1	1	1	0	0	1	0	0	0	0	1	1	0xE43
R5	0	0	0	0	0	0	1	1	1	1	1	0	1	0	0	0	0x3E8
R6	0	1	1	1	1	0	0	0	0	0	0	0	0	0	1	0	0x7802
R7	0	0	0	0	0	0	0	0	1	0	1	1	0	0	1	0	0xB2
R8	0	VCO_DACISET_FORCE	1	0	VCO_CAPCTRL_FORCE	0	0	0	0	0	0	0	0	0	0	0	0x2000
R9	0	0	0	OSC_2X	0	1	1	0	0	0	0	0	0	1	0	0	0x1604
R10	0	0	0	1	0	0	0	0	1	1	0	1	1	0	0	0	0x10D8
R11	0	0	0	0	PLL_R								1	0	0	0	0x18
R12	0	1	0	1	0	0	0	0	PLL_R_PRE								0x5001
R13	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x4000
R14	0	0	0	1	1	1	1	0	0	CPG			0	0	0	0	0x1E70
R15	0	0	0	0	0	1	1	0	0	1	0	0	1	1	1	1	0x64F
R16	0	0	0	0	0	0	0	VCO_DACISET									0x80
R17	0	0	0	0	0	0	0	1	0	0	1	0	1	1	0	0	0x12C
R18	0	0	0	0	0	0	0	0	0	1	1	0	0	1	0	0	0x64
R19	0	0	1	0	0	1	1	1	VCO_CAPCTRL								0x27B7
R20	1	1	VCO_SEL			VCO_SEL_FORCE	0	0	0	1	0	0	1	0	0	0	0xF848
R21	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0x401
R22	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0x1
R23	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0	0x7C
R24	0	0	0	0	0	1	1	1	0	0	0	1	1	0	1	0	0x71A
R25	0	0	0	0	0	1	1	0	0	0	1	0	0	1	0	0	0x624
R26	0	0	0	0	1	1	0	1	1	0	1	1	0	0	0	0	0xDB0
R27	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0x2
R28	0	0	0	0	0	1	0	0	1	0	0	0	1	0	0	0	0x488
R29	0	0	1	1	0	0	0	1	1	0	0	0	1	1	0	0	0x318C
R30	0	0	1	1	0	0	0	1	1	0	0	0	1	1	0	0	0x318C
R31	0	SEG1_EN	0	0	0	0	1	1	1	1	1	0	1	1	0	0	0x43EC
R32	0	0	0	0	0	0	1	1	1	0	0	1	0	0	1	1	0x393
R33	0	0	0	1	1	1	1	0	0	0	1	0	0	0	0	1	0x1E21
R34	0	0	0	0	0	0	0	0	0	0	0	0	0	PLL_N[18:16]			0x0
R35	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0x4
R36	PLL_N[15:0]																0x46
R37	1	0	PFD_DLY_SEL						0	0	0	0	0	1	0	0	0x404
R38	PLL_DEN[31:16]																0xFD51
R39	PLL_DEN[15:0]																0xDA80
R40	MASH_SEED[31:16]																0x0
R41	MASH_SEED[15:0]																0x0
R42	PLL_NUM[31:16]																0x0
R43	PLL_NUM[15:0]																0x0

Copyright © 2026 Texas Instruments Incorporated

表 6-17. 完全なレジスタ マップ表 (続き)

REG	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	POR
R44	0	0	OUTA_PWR						OUTB_PD	OUTA_PD	MASH_RESET_N	0	0	MASH_ORDER			0x1FA3
R45	1	1	0	OUTA_MUX		0	0	0	1	1	OUTB_PWR						0xC8DF
R46	0	0	0	0	0	1	1	1	1	1	1	1	1	1	OUTB_MUX		0x7FD
R47	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0x300
R48	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0x300
R49	0	1	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0x4180
R50	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R51	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0x80
R52	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0x420
R53	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R54	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R55	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R56	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R57	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0x20
R58	INPIN_IGNORE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0x8001
R59	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	LD_TYPE	0x1
R60	LD_DLY																0x9C4
R61	0	0	0	0	0	0	0	0	1	0	1	0	1	0	0	0	0xA8
R62	0	0	0	0	0	0	1	1	0	0	1	0	0	0	1	0	0x322
R63	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R64	0	0	0	1	0	0	1	1	1	0	0	0	1	0	0	0	0x1388
R65	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R66	0	0	0	0	0	0	0	1	1	1	1	1	0	1	0	0	0x1F4
R67	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R68	0	0	0	0	0	0	1	1	1	1	1	0	1	0	0	0	0x3E8
R69	MASH_RST_COUNT[31:16]																0x0
R70	MASH_RST_COUNT[15:0]																0xC350
R71	0	0	0	0	0	0	0	0	SYSREF_DIV_PRE			SYSREF_PULSE	SYSREF_EN	SYSREF_REPEAT	0	0	0x80
R72	0	0	0	0	0	SYSREF_DIV											0x1
R73	0	0	0	0	JESD_DAC2_CTRL						JESD_DAC1_CTRL						0x3F
R74	SYSREF_PULSE_CNT				JESD_DAC4_CTRL						JESD_DAC3_CTRL						0x0
R75	0	0	0	0	1	CHDIV					0	0	0	0	0	0	0x800
R76	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0xC
R77	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R78	0	0	0	0	0	0	0	0	0	1	1	0	0	1	0	0	0x64
R79	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R80	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R81	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R82	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R83	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R84	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R85	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R86	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R87	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R88	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R89	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R90	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R91	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R92	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R93	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R94	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0

Copyright © 2026 Texas Instruments Incorporated

表 6-17. 完全なレジスタ マップ表 (続き)

REG	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	POR
R95	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R96	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R97	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R98	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R99	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R100	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R101	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R102	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R103	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R104	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R105	0	1	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0x4440
R106	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0x7
R107	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	読み出し
R108	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	読み出し
R109	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	読み出し
R110	0	0	0	0	0	rb_LD_VTUNE		-	rb_VCO_SEL			-	-	-	-	-	読み出し
R111	0	0	0	0	0	0	0	0	rb_VCO_CAPCTRL								読み出し
R112	0	0	0	0	0	0	0	rb_VCO_DACISET									読み出し
R113	rb_IO_STATUS																読み出し
R114	0	0	0	0	0	0	WD_DLY							WD_CNTRL			0x26F

表 6-18 に、デバイスのレジスタ用のメモリ マップト レジスタを示します。

表 6-18. デバイスのレジスタ

オフセット	略称	レジスタ名	セクション
0x0	R0		表示
0x1	R1		表示
0x2	R2		表示
0x3	R3		表示
0x4	R4		表示
0x5	R5		表示
0x6	R6		表示
0x7	R7		表示
0x8	R8		表示
0x9	R9		表示
0xA	R10		表示
0xB	R11		表示
0xC	R12		表示
0xD	R13		表示
0xE	R14		表示
0xF	R15		表示
0x10	R16		表示

Copyright © 2026 Texas Instruments Incorporated

表 6-18. デバイスのレジスタ (続き)

オフセット	略称	レジスタ名	セクション
0x11	R17		表示
0x12	R18		表示
0x13	R19		表示
0x14	R20		表示
0x15	R21		表示
0x16	R22		表示
0x17	R23		表示
0x18	R24		表示
0x19	R25		表示
0x1A	R26		表示
0x1B	R27		表示
0x1C	R28		表示
0x1D	R29		表示
0x1E	R30		表示
0x1F	R31		表示
0x20	R32		表示
0x21	R33		表示
0x22	R34		表示
0x23	R35		表示
0x24	R36		表示
0x25	R37		表示
0x26	R38		表示
0x27	R39		表示
0x28	R40		表示
0x29	R41		表示
0x2A	R42		表示
0x2B	R43		表示
0x2C	R44		表示
0x2D	R45		表示
0x2E	R46		表示
0x2F	R47		表示
0x30	R48		表示
0x31	R49		表示
0x32	R50		表示
0x33	R51		表示
0x34	R52		表示
0x35	R53		表示
0x36	R54		表示

Copyright © 2026 Texas Instruments Incorporated

表 6-18. デバイスのレジスタ (続き)

オフセット	略称	レジスタ名	セクション
0x37	R55		表示
0x38	R56		表示
0x39	R57		表示
0x3A	R58		表示
0x3B	R59		表示
0x3C	R60		表示
0x3D	R61		表示
0x3E	R62		表示
0x3F	R63		表示
0x40	R64		表示
0x41	R65		表示
0x42	R66		表示
0x43	R67		表示
0x44	R68		表示
0x45	R69		表示
0x46	R70		表示
0x47	R71		表示
0x48	R72		表示
0x49	R73		表示
0x4A	R74		表示
0x4B	R75		表示
0x4C	R76		表示
0x4D	R77		表示
0x4E	R78		表示
0x4F～0x68	R79～R104		表示
0x69	R105		表示
0x6A	R106		表示
0x6B～0x6D	R107～R109		表示
0x6E	R110		表示
0x6F	R111		表示
0x70	R112		表示
0x71	R113		表示
0x72	R114		表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 6-19 に、このセクションでアクセス タイプに使用しているコードを示します。

Copyright © 2026 Texas Instruments Incorporated

表 6-19. デバイスのアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値

6.6.1.1 R0 レジスタ (オフセット = 0x0) [リセット = 0x241C]

図 6-9 に、R0 を示し、表 6-20 に、その説明を示します。

概略表に戻ります。

図 6-9. R0 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	VCO_PHASE_SYNC	予約済み				OUT_MUTE	FCAL_HPFD_ADJ		予約済み			FCAL_EN	MUXOUT_LD_SEL	リセット	パワーダウン
R/W-0x0	R/W-0x0	R/W-0x9				R/W-0x0	R/W-0x0		R/W-0x1			R/W-0x1	R/W-0x1	R/W-0x0	R/W-0x0

表 6-20. R0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0x0	このフィールドに 0x0 をプログラムします。
14	VCO_PHASE_SYNC	R/W	0x0	位相同期モードをイネーブル。この状態では、決定論的な位相を得るために、チャネルデバイダの一部がフィードバックパスに組み込まれます。このビットを 0 から 1 に切り替えるアクションも、非同期同期パルスを送信します。 0:通常動作 1:位相同期をイネーブル
13 - 10	予約済み	R/W	0x9	このフィールドに 0x8 をプログラムします。
9	OUT_MUTE	R/W	0x0	VCO のキャリブレーション中に出力をミュート (RFOUTA/B)。 0:ミュートなし 1:ミュートが有効
8 - 7	FCAL_HPFD_ADJ	R/W	0x0	VCO キャリブレーションに使用する f_{PD} 周波数を下げるために調整します。 $f_{PD_CAL} = f_{PD} / 2^{FCAL_HPFD_ADJ}$ 0: $f_{PD} \leq 50MHz$ 1: $50MHz < f_{PD} \leq 100MHz$ 2: $100MHz < f_{PD} \leq 200MHz$ 3: $f_{PD} > 200MHz$
6 ～ 4	予約済み	R/W	0x1	このフィールドに 0x1 をプログラムします。
3	FCAL_EN	R/W	0x1	このビットを 1 に設定してレジスタ R0 を書き込むと、VCO キャリブレーションがイネーブルになり、トリガされます。 0:キャリブレーションなし 1:較正を有効にします
2	MUXOUT_LD_SEL	R/W	0x1	MUXout ピンの機能を選択します。 0:レジスタ読み戻し 1:ロック検出

Copyright © 2026 Texas Instruments Incorporated

表 6-20. R0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	リセット	R/W	0x0	レジスタのリセット。これにより、すべてのレジスタとステート マシンがリセットされます。Vcc の電源投入後に RESET = 1 をプログラムし、一貫性のある性能を実現します。 0:通常動作 1:リセット
0	パワーダウン	R/W	0x0	デバイスの電源をオフにします。 0:通常動作 1:電源オフ

6.6.1.2 R1 レジスタ (オフセット = 0x1) [リセット = 0x80C]

図 6-10 に、R1 を示し、表 6-21 に、その説明を示します。

概略表に戻ります。

図 6-10. R1 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												MUXOUT_CTRL	CAL_CLK_DIV		
R/W-0x80												R/W-0x1	R/W-0x4		

表 6-21. R1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 4	予約済み	R/W	0x80	このフィールドに 0x80 をプログラムします。
3	MUXOUT_CTRL	R/W	0x1	MUXOUT ピンのステータスを設定します。 0:トライステート 1:通常動作
2 ～ 0	CAL_CLK_DIV	R/W	0x4	f_{OSC} 周波数をステート マシンのクロック周波数 (f_{SM}) に分周します。 $f_{SM} = f_{OSC} / 2^{CAL_CLK_DIV}$。 ステート マシンのクロック周波数が 50MHz 以下であることを確認します。 0: $f_{OSC} \leq 50MHz$ 1: $50MHz < f_{OSC} \leq 100MHz$ 2: $100MHz < f_{OSC} \leq 200MHz$ 3: $200MHz < f_{OSC} \leq 400MHz$ 4: $400MHz < f_{OSC} \leq 800MHz$ 5: $f_{OSC} > 800MHz$

6.6.1.3 R2 レジスタ (オフセット = 0x2) [リセット = 0x500]

図 6-11 に、R2 を示し、表 6-22 に、その説明を示します。

概略表に戻ります。

図 6-11. R2 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x500															

表 6-22. R2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x500	このフィールドに 0x500 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

Copyright © 2026 Texas Instruments Incorporated

6.6.1.4 R3 レジスタ (オフセット = 0x3) [リセット = 0x642]

図 6-12 に、R3 を示し、表 6-23 に、その説明を示します。

概略表に戻ります。

図 6-12. R3 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x642															

表 6-23. R3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x642	このフィールドに 0x642 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.5 R4 レジスタ (オフセット = 0x4) [リセット = 0xE43]

図 6-13 に、R4 を示し、表 6-24 に、その説明を示します。

概略表に戻ります。

図 6-13. R4 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0xE43															

表 6-24. R4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0xE43	このフィールドに 0xE43 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.6 R5 レジスタ (オフセット = 0x5) [リセット = 0x3E8]

図 6-14 に、R5 を示し、表 6-25 に、その説明を示します。

概略表に戻ります。

図 6-14. R5 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x3E8															

表 6-25. R5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x3E8	このフィールドに 0x3E8 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.7 R6 レジスタ (オフセット = 0x6) [リセット = 0x7802]

図 6-15 に、R6 を示し、表 6-26 に、その説明を示します。

概略表に戻ります。

図 6-15. R6 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Copyright © 2026 Texas Instruments Incorporated

図 6-15. R6 レジスタ (続き)

予約済み
R/W-0x7802

表 6-26. R6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x7802	このフィールドに 0x7802 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.8 R7 レジスタ (オフセット = 0x7) [リセット = 0xB2]

図 6-16 に、R7 を示し、表 6-27 に、その説明を示します。

概略表に戻ります。

図 6-16. R7 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0xB2															

表 6-27. R7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0xB2	このフィールドに 0xB2 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.9 R8 レジスタ (オフセット = 0x8) [リセット = 0x2000]

図 6-17 に、R8 を示し、表 6-28 に、その説明を示します。

概略表に戻ります。

図 6-17. R8 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	VCO_DACISET_FORCE	予約済み		VCO_CAPCTRL_FORCE	予約済み										
R/W-0x0	R/W-0x0	R/W-0x2		R/W-0x0	R/W-0x0										

表 6-28. R8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0x0	このフィールドに 0x0 をプログラムします。
14	VCO_DACISET_FORCE	R/W	0x0	VCO_DACISET 値を強制します。VCO 較正とデバッグの完全支援に便利です。 0:通常動作 1:VCO キャリブレーションから得られた値の代わりに、VCO_DACISET の値を使用します。
13 ～ 12	予約済み	R/W	0x2	このフィールドに 0x2 をプログラムします。
11	VCO_CAPCTRL_FORCE	R/W	0x0	VCO_CAPCTRL の値を強制します。VCO 較正とデバッグの完全支援に便利です。 0:通常動作 1:VCO 較正から得られた値の代わりに、VCO_CAPCTRL の値を使用します。
10 ～ 0	予約済み	R/W	0x0	このフィールドに 0x0 をプログラムします。

Copyright © 2026 Texas Instruments Incorporated

6.6.1.10 R9 レジスタ (オフセット = 0x9) [リセット = 0x1604]

図 6-18 に、R9 を示し、表 6-29 に、その説明を示します。

概略表に戻ります。

図 6-18. R9 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			OSC_2X	予約済み											
R/W-0x0			R/W-0x1	R/W-0x604											

表 6-29. R9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 13	予約済み	R/W	0x0	このフィールドに 0x0 をプログラムします。
12	OSC_2X	R/W	0x1	リファレンス パス ダブラ 0:無効 1:有効
11 ～ 0	予約済み	R/W	0x604	このフィールドに 0x604 をプログラムします。

6.6.1.11 R10 レジスタ (オフセット = 0xA) [リセット = 0x10D8]

図 6-19 に、R10 を示し、表 6-30 に、その説明を示します。

概略表に戻ります。

図 6-19. R10 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x10D8															

表 6-30. R10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x10D8	このフィールドに 0x10D8 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.12 R11 レジスタ (オフセット = 0xB) [リセット = 0x18]

図 6-20 に、R11 を示し、表 6-31 に、その説明を示します。

概略表に戻ります。

図 6-20. R11 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				PLL_R								予約済み			
R/W-0x0				R/W-0x1								R/W-0x8			

表 6-31. R11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 12	予約済み	R/W	0x0	このフィールドに 0x0 をプログラムします。
11 ～ 4	PLL_R	R/W	0x1	リファレンス パス Post-R デバイダ。これは、Pre-R デバイダの後のデバイダです。
3 ～ 0	予約済み	R/W	0x8	このフィールドに 0x8 をプログラムします。

Copyright © 2026 Texas Instruments Incorporated

6.6.1.13 R12 レジスタ (オフセット = 0xC) [リセット = 0x5001]

図 6-21 に、R12 を示し、表 6-32 に、その説明を示します。

概略表に戻ります。

図 6-21. R12 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								PLL_R_PRE							
R/W-0x50								R/W-0x1							

表 6-32. R12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 8	予約済み	R/W	0x50	このフィールドに 0x50 をプログラムします。
7 ～ 0	PLL_R_PRE	R/W	0x1	PLL Pre-R デバイダの値。

6.6.1.14 R13 レジスタ (オフセット = 0xD) [リセット = 0x4000]

図 6-22 に、R13 を示し、表 6-33 に、その説明を示します。

概略表に戻ります。

図 6-22. R13 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x4000															

表 6-33. R13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x4000	このフィールドに 0x4000 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.15 R14 レジスタ (オフセット = 0xE) [リセット = 0x1E70]

図 6-23 に、R14 を示し、表 6-34 に、その説明を示します。

概略表に戻ります。

図 6-23. R14 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み									CPG			予約済み			
R/W-0x3C									R/W-0x7			R/W-0x0			

表 6-34. R14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 7	予約済み	R/W	0x3C	このフィールドに 0x3C をプログラムします。
6 ～ 4	CPG	R/W	0x7	実効チャージ ポンプ ゲイン。これは、アップ電流とダウン電流の合計です。 0 : 0mA 1 : 6mA 2 : 予約済み 3 : 12mA 4 : 3mA 5 : 9mA 6 : 予約済み 7 : 15mA

Copyright © 2026 Texas Instruments Incorporated

表 6-34. R14 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3 ～ 0	予約済み	R/W	0x0	このフィールドに 0x0 をプログラムします。

6.6.1.16 R15 レジスタ (オフセット = 0xF) [リセット = 0x64F]

図 6-24 に、R15 を示し、表 6-35 に、その説明を示します。

概略表に戻ります。

図 6-24. R15 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x64F															

表 6-35. R15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x64F	このフィールドに 0x64F をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.17 R16 レジスタ (オフセット = 0x10) [リセット = 0x80]

図 6-25 に、R16 を示し、表 6-36 に、その説明を示します。

概略表に戻ります。

図 6-25. R16 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み							VCO_DACISET								
R/W-0x0							R/W-0x80								

表 6-36. R16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 9	予約済み	R/W	0x0	このフィールドに 0x0 をプログラムします。
8 ～ 0	VCO_DACISET	R/W	0x80	VCO_DACISET_FORCE = 1 のときに適用される VCO のプログラマブル電流設定。

6.6.1.18 R17 レジスタ (オフセット = 0x11) [リセット = 0x12C]

図 6-26 に、R17 を示し、表 6-37 に、その説明を示します。

概略表に戻ります。

図 6-26. R17 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x12C															

表 6-37. R17 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x12C	このフィールドに 0x12C をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.19 R18 レジスタ (オフセット = 0x12) [リセット = 0x64]

図 6-27 に、R18 を示し、表 6-38 に、その説明を示します。

Copyright © 2026 Texas Instruments Incorporated

概略表に戻ります。

図 6-27. R18 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x64															

表 6-38. R18 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x64	このフィールドに 0x64 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.20 R19 レジスタ (オフセット = 0x13) [リセット = 0x27B7]

図 6-28 に、R19 を示し、表 6-39 に、その説明を示します。

概略表に戻ります。

図 6-28. R19 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								VCO_CAPCTRL							
R/W-0x27								R/W-0xB7							

表 6-39. R19 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 8	予約済み	R/W	0x27	このフィールドに 0x27 をプログラムします。
7 ～ 0	VCO_CAPCTRL	R/W	0xB7	VCO_CAPCTRL_FORCE=1 のときに適用される VCO コア内のプログラマブル帯域。有効な値は 183～0 です。この値が大きいほど周波数は低くなります。

6.6.1.21 R20 レジスタ (オフセット = 0x14) [リセット = 0xF848]

図 6-29 に、R20 を示し、表 6-40 に、その説明を示します。

概略表に戻ります。

図 6-29. R20 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		VCO_SEL			VCO_SEL_FORCE	予約済み									
R/W-0x3		R/W-0x7			R/W-0x0	R/W-0x48									

表 6-40. R20 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 14	予約済み	R/W	0x3	このフィールドに 0x3 をプログラムします。
13 ～ 11	VCO_SEL	R/W	0x7	ユーザー指定のキャリブレーション用の開始 VCO。VCO_SEL_FORCE=1 によって強制的に設定される VCO コアでもあります。 0 : 予約済み 1 : VCO1 2 : VCO2 ..... 7 : VCO7

Copyright © 2026 Texas Instruments Incorporated

表 6-40. R20 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
10	VCO_SEL_FORCE	R/W	0x0	VCO_SEL 値で指定されたコアを、VCO が強制的に使用します。 0:無効 1:有効
9 ～ 0	予約済み	R/W	0x48	このフィールドに 0x48 をプログラムします。

6.6.1.22 R21 レジスタ (オフセット = 0x15) [リセット = 0x401]

図 6-30 に、R21 を示し、表 6-41 に、その説明を示します。

概略表に戻ります。

図 6-30. R21 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x401															

表 6-41. R21 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x401	このフィールドに 0x401 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.23 R22 レジスタ (オフセット = 0x16) [リセット = 0x1]

図 6-31 に、R22 を示し、表 6-42 に、その説明を示します。

概略表に戻ります。

図 6-31. R22 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x1															

表 6-42. R22 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x1	このフィールドに 0x1 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.24 R23 レジスタ (オフセット = 0x17) [リセット = 0x7C]

図 6-32 に、R23 を示し、表 6-43 に、その説明を示します。

概略表に戻ります。

図 6-32. R23 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x7C															

Copyright © 2026 Texas Instruments Incorporated

表 6-43. R23 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x7C	このフィールドに 0x7C をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.25 R24 レジスタ (オフセット = 0x18) [リセット = 0x71A]

図 6-33 に、R24 を示し、表 6-44 に、その説明を示します。

概略表に戻ります。

図 6-33. R24 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x71A															

表 6-44. R24 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x71A	このフィールドに 0x71A をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.26 R25 レジスタ (オフセット = 0x19) [リセット = 0x624]

図 6-34 に、R25 を示し、表 6-45 に、その説明を示します。

概略表に戻ります。

図 6-34. R25 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x624															

表 6-45. R25 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x624	このフィールドに 0x624 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.27 R26 レジスタ (オフセット = 0x1A) [リセット = 0xDB0]

図 6-35 に、R26 を示し、表 6-46 に、その説明を示します。

概略表に戻ります。

図 6-35. R26 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0xDB0															

表 6-46. R26 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0xDB0	このフィールドに 0xDB0 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

Copyright © 2026 Texas Instruments Incorporated

6.6.1.28 R27 レジスタ (オフセット = 0x1B) [リセット = 0x2]

図 6-36 に、R27 を示し、表 6-47 に、その説明を示します。

概略表に戻ります。

図 6-36. R27 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x2															

表 6-47. R27 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x2	このフィールドに 0x2 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.29 R28 レジスタ (オフセット = 0x1C) [リセット = 0x488]

図 6-37 に、R28 を示し、表 6-48 に、その説明を示します。

概略表に戻ります。

図 6-37. R28 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x488															

表 6-48. R28 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x488	このフィールドに 0x488 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.30 R29 レジスタ (オフセット = 0x1D) [リセット = 0x318C]

図 6-38 に、R29 を示し、表 6-49 に、その説明を示します。

概略表に戻ります。

図 6-38. R29 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x318C															

表 6-49. R29 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x318C	このフィールドに 0x318C をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.31 R30 レジスタ (オフセット = 0x1E) [リセット = 0x318C]

図 6-39 に、R30 を示し、表 6-50 に、その説明を示します。

概略表に戻ります。

図 6-39. R30 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Copyright © 2026 Texas Instruments Incorporated

図 6-39. R30 レジスタ (続き)

予約済み
R/W-0x318C

表 6-50. R30 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x318C	このフィールドに 0x318C をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.32 R31 レジスタ (オフセット = 0x1F) [リセット = 0x43EC]

図 6-40 に、R31 を示し、表 6-51 に、その説明を示します。

概略表に戻ります。

図 6-40. R31 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	SEG1_EN	予約済み													
R/W-0x0	R/W-0x1	R/W-0x3EC													

表 6-51. R31 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0x0	このフィールドに 0x0 をプログラムします。
14	SEG1_EN	R/W	0x1	チャネル デバイダが作動しているとき、SEG1 を有効にします。 0:無効 (CHDIV = 0x0 (2 分周) の場合のみ有効で、同期モードではありません) 1:イネーブル (他の CHDIV 値に使用)
13 ～ 0	予約済み	R/W	0x3EC	このフィールドに 0x3EC をプログラムします。

6.6.1.33 R32 レジスタ (オフセット = 0x20) [リセット = 0x393]

図 6-41 に、R32 を示し、表 6-52 に、その説明を示します。

概略表に戻ります。

図 6-41. R32 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x393															

表 6-52. R32 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x393	このフィールドに 0x393 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.34 R33 レジスタ (オフセット = 0x21) [リセット = 0x1E21]

図 6-42 に、R33 を示し、表 6-53 に、その説明を示します。

概略表に戻ります。

図 6-42. R33 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x1E21															

Copyright © 2026 Texas Instruments Incorporated

表 6-53. R33 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x1E21	このフィールドに 0x1E21 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.35 R34 レジスタ (オフセット = 0x22) [リセット = 0x0]

図 6-43 に、R34 を示し、表 6-54 に、その説明を示します。

概略表に戻ります。

図 6-43. R34 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み													PLL_N[18:16]		
R/W-0x0													R/W-0x0		

表 6-54. R34 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 3	予約済み	R/W	0x0	このフィールドに 0x0 をプログラムします。
2 ～ 0	PLL_N[18:16]	R/W	0x0	N デバイダの上位 3 ビット、合計 19 ビット、16 + 3 に分割。

6.6.1.36 R35 レジスタ (オフセット = 0x23) [リセット = 0x4]

図 6-44 に、R35 を示し、表 6-55 に、その説明を示します。

概略表に戻ります。

図 6-44. R35 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x4															

表 6-55. R35 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x4	このフィールドに 0x4 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.37 R36 レジスタ (オフセット = 0x24) [リセット = 0x46]

図 6-45 に、R36 を示し、表 6-56 に、その説明を示します。

概略表に戻ります。

図 6-45. R36 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PLL_N[15:0]															
R/W-0x46															

表 6-56. R36 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	PLL_N[15:0]	R/W	0x46	PLL N デバイダの値。

6.6.1.38 R37 レジスタ (オフセット = 0x25) [リセット = 0x404]

図 6-46 に、R37 を示し、表 6-57 に、その説明を示します。

Copyright © 2026 Texas Instruments Incorporated

概略表に戻ります。

図 6-46. R37 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		PFD_DLY_SEL						予約済み							
R/W-0x0		R/W-0x4						R/W-0x4							

表 6-57. R37 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 14	予約済み	R/W	0x0	このフィールドに 0x2 をプログラムします。
13 ～ 8	PFD_DLY_SEL	R/W	0x4	PFD_DLY_SEL は、N デバイダの値に従って調整する必要があります。 詳しくは、表 6-2 を参照してください。
7 ～ 0	予約済み	R/W	0x4	このフィールドに 0x4 をプログラムします。

6.6.1.39 R38 レジスタ (オフセット = 0x26) [リセット = 0xFD51]

図 6-47 に、R38 を示し、表 6-58 に、その説明を示します。

概略表に戻ります。

図 6-47. R38 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PLL_DEN[31:16]															
R/W-0xFD51															

表 6-58. R38 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	PLL_DEN[31:16]	R/W	0xFD51	分数分母 (MSB)。

6.6.1.40 R39 レジスタ (オフセット = 0x27) [リセット = 0xDA80]

図 6-48 に、R39 を示し、表 6-59 に、その説明を示します。

概略表に戻ります。

図 6-48. R39 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PLL_DEN[15:0]															
R/W-0xDA80															

表 6-59. R39 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	PLL_DEN[15:0]	R/W	0xDA80	分数分母。

6.6.1.41 R40 レジスタ (オフセット = 0x28) [リセット = 0x0]

図 6-49 に、R40 を示し、表 6-60 に、その説明を示します。

概略表に戻ります。

図 6-49. R40 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MASH_SEED[31:16]															
R/W-0x0															

Copyright © 2026 Texas Instruments Incorporated

表 6-60. R40 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	MASH_SEED[31:16]	R/W	0x0	MASH_SEED (MSB)。

6.6.1.42 R41 レジスタ (オフセット = 0x29) [リセット = 0x0]

図 6-50 に、R41 を示し、表 6-61 に、その説明を示します。

概略表に戻ります。

図 6-50. R41 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MASH_SEED[15:0]															
R/W-0x0															

表 6-61. R41 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	MASH_SEED[15:0]	R/W	0x0	フラクショナル エンジンの初期状態を設定します。位相シフトおよび分周スプリアスの最適化に便利です。

6.6.1.43 R42 レジスタ (オフセット = 0x2A) [リセット = 0x0]

図 6-51 に、R42 を示し、表 6-62 に、その説明を示します。

概略表に戻ります。

図 6-51. R42 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PLL_NUM[31:16]															
R/W-0x0															

表 6-62. R42 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	PLL_NUM[31:16]	R/W	0x0	分数分子 (MSB)。

6.6.1.44 R43 レジスタ (オフセット = 0x2B) [リセット = 0x0]

図 6-52 に、R43 を示し、表 6-63 に、その説明を示します。

概略表に戻ります。

図 6-52. R43 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PLL_NUM[15:0]															
R/W-0x0															

表 6-63. R43 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	PLL_NUM[15:0]	R/W	0x0	分数分子。

6.6.1.45 R44 レジスタ (オフセット = 0x2C) [リセット = 0x1FA3]

図 6-53 に、R44 を示し、表 6-64 に、その説明を示します。

概略表に戻ります。

図 6-53. R44 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Copyright © 2026 Texas Instruments Incorporated

図 6-53. R44 レジスタ (続き)

予約済み	OUTA_PWR	OUTB_PD	OUTA_PD	MASH_RESET_N	予約済み	MASH_ORDER
R/W-0x0	R/W-0x1F	R/W-0x1	R/W-0x0	R/W-0x1	R/W-0x0	R/W-0x3

表 6-64. R44 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 14	予約済み	R/W	0x0	このフィールドに 0x0 をプログラムします。
13 ～ 8	OUTA_PWR	R/W	0x1F	出力 A の出力電力を制御する電流を設定します。0 は最小電流です。
7	OUTB_PD	R/W	0x1	出力 B をパワーダウンします。 0:通常動作 1:パワーダウン
6	OUTA_PD	R/W	0x0	出力 A をパワーダウンします。 0:通常動作 1:パワーダウン
5	MASH_RESET_N	R/W	0x1	MASH のアクティブ low リセット。 0:リセット 1:通常動作
4 ～ 3	予約済み	R/W	0x0	このフィールドに 0x0 をプログラムします。
2 ～ 0	MASH_ORDER	R/W	0x3	MASH の順序を設定します。 0:整数モード 1:1 次変調器 2:2 次変調器 3:3 次変調器 4:4 次変調器 5 – 7: 予約済み

6.6.1.46 R45 レジスタ (オフセット = 0x2D) [リセット = 0xC8DF]

図 6-54 に、R45 を示し、表 6-65 に、その説明を示します。

概略表に戻ります。

図 6-54. R45 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			OUTA_MUX		予約済み					OUTB_PWR					
R/W-0x6			R/W-0x1		R/W-0x3					R/W-0x1F					

表 6-65. R45 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 13	予約済み	R/W	0x6	このフィールドに 0x6 をプログラムします。
12 ～ 11	OUTA_MUX	R/W	0x1	OUTA 出力への入力を選択します。 0:チャネル デバイダ 1:VCO 2:予約済み 3:予約済み
10 ～ 6	予約済み	R/W	0x3	このフィールドに 0x3 をプログラムします。
5 ～ 0	OUTB_PWR	R/W	0x1F	出力 B の出力電力を制御する電流を設定します。0 は最小電流です。

Copyright © 2026 Texas Instruments Incorporated

6.6.1.47 R46 レジスタ (オフセット = 0x2E) [リセット = 0x7FD]

図 6-55 に、R46 を示し、表 6-66 に、その説明を示します。

概略表に戻ります。

図 6-55. R46 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														OUTB_MUX	
R/W-0x1FF														R/W-0x1	

表 6-66. R46 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 2	予約済み	R/W	0x1FF	このフィールドに 0x1FF をプログラムします。
1 ～ 0	OUTB_MUX	R/W	0x1	OUTB 出力への入力を選択します。 0:チャネル デバイダ 1:VCO 2:SYSREF 3:予約済み

6.6.1.48 R47 レジスタ (オフセット = 0x2F) [リセット = 0x300]

図 6-56 に、R47 を示し、表 6-67 に、その説明を示します。

概略表に戻ります。

図 6-56. R47 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x300															

表 6-67. R47 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x300	このフィールドに 0x300 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.49 R48 レジスタ (オフセット = 0x30) [リセット = 0x300]

図 6-57 に、R48 を示し、表 6-68 に、その説明を示します。

概略表に戻ります。

図 6-57. R48 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x300															

表 6-68. R48 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x300	このフィールドに 0x300 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.50 R49 レジスタ (オフセット = 0x31) [リセット = 0x4180]

図 6-58 に、R49 を示し、表 6-69 に、その説明を示します。

Copyright © 2026 Texas Instruments Incorporated

概略表に戻ります。

図 6-58. R49 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x4180															

表 6-69. R49 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x4180	このフィールドに 0x4180 を書き込みます。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.51 R50 レジスタ (オフセット = 0x32) [リセット = 0x0]

図 6-59 に、R50 を示し、表 6-70 に、その説明を示します。

概略表に戻ります。

図 6-59. R50 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x0															

表 6-70. R50 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x0	このフィールドに 0x0 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.52 R51 レジスタ (オフセット = 0x33) [リセット = 0x80]

図 6-60 に、R51 を示し、表 6-71 に、その説明を示します。

概略表に戻ります。

図 6-60. R51 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x80															

表 6-71. R51 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x80	このフィールドに 0x80 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.53 R52 レジスタ (オフセット = 0x34) [リセット = 0x420]

図 6-61 に、R52 を示し、表 6-72 に、その説明を示します。

概略表に戻ります。

図 6-61. R52 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x420															

Copyright © 2026 Texas Instruments Incorporated

表 6-72. R52 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x420	このフィールドに 0x420 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.54 R53 レジスタ (オフセット = 0x35) [リセット = 0x0]

図 6-62 に、R53 を示し、表 6-73 に、その説明を示します。

概略表に戻ります。

図 6-62. R53 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x0															

表 6-73. R53 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x0	このフィールドに 0x0 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.55 R54 レジスタ (オフセット = 0x36) [リセット = 0x0]

図 6-63 に、R54 を示し、表 6-74 に、その説明を示します。

概略表に戻ります。

図 6-63. R54 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x0															

表 6-74. R54 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x0	このフィールドに 0x0 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.56 R55 レジスタ (オフセット = 0x37) [リセット = 0x0]

図 6-64 に、R55 を示し、表 6-75 に、その説明を示します。

概略表に戻ります。

図 6-64. R55 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x0															

表 6-75. R55 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x0	このフィールドに 0x0 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

Copyright © 2026 Texas Instruments Incorporated

6.6.1.57 R56 レジスタ (オフセット = 0x38) [リセット = 0x0]

図 6-65 に、R56 を示し、表 6-76 に、その説明を示します。

概略表に戻ります。

図 6-65. R56 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x0															

表 6-76. R56 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x0	このフィールドに 0x0 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.58 R57 レジスタ (オフセット = 0x39) [リセット = 0x20]

図 6-66 に、R57 を示し、表 6-77 に、その説明を示します。

概略表に戻ります。

図 6-66. R57 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x20															

表 6-77. R57 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x20	このフィールドに 0x20 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.59 R58 レジスタ (オフセット = 0x3A) [リセット = 0x8001]

図 6-67 に、R58 を示し、表 6-78 に、その説明を示します。

概略表に戻ります。

図 6-67. R58 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INPIN_IGNORE	予約済み														
R/W-0x1	R/W-0x1														

表 6-78. R58 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	INPIN_IGNORE	R/W	0x1	SYNC ピンおよび SYSREF ピンを無視します。このビットは、VCO_PHASE_SYNC = 1 の場合を除き、1 に設定する必要があります。 0 : SYNC ピンおよび SYSREF ピンがアクティブになります 1 : SYNC ピンと SYSREF ピンが非アクティブになります
14 ～ 0	予約済み	R/W	0x1	このフィールドに 0x1 をプログラムします。

6.6.1.60 R59 レジスタ (オフセット = 0x3B) [リセット = 0x1]

図 6-68 に、R59 を示し、表 6-79 に、その説明を示します。

Copyright © 2026 Texas Instruments Incorporated

概略表に戻ります。

図 6-68. R59 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															LD_TYPE
R/W-0x0															R/W-0x1

表 6-79. R59 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 1	予約済み	R/W	0x0	このフィールドに 0x0 をプログラムします。
0	LD_TYPE	R/W	0x1	ロック検出タイプを定義します。 VCOCal ロック検出は、VCO のキャリブレーションが完了し、LD_DLY のタイムアウト カウンタが終了した後に、出力が high になります。 Vtune および VCOCal ロック検出は、VCOCal ロック検出がアサートされ、かつ VCO へのチューニング電圧が許容範囲内にある場合に、出力が high になります。RECAL 機能では、このロック検出タイプを使用する必要があります。 0 : VCOCal ロック検出 1 : Vtune および VCOCal ロック検出

6.6.1.61 R60 レジスタ (オフセット = 0x3C) [リセット = 0x9C4]

図 6-69 に、R60 を示し、表 6-80 に、その説明を示します。

概略表に戻ります。

図 6-69. R60 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LD_DLY															
R/W-0x9C4															

表 6-80. R60 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	LD_DLY	R/W	0x9C4	VCOCal ロック検出については、キャリブレーション完了後に、VCOCal ロック検出が high にアサートされるまでの間に追加される、ステート マシン クロック サイクル単位の遅延を指します。 遅延時間 = LD_DLY × 4 / f_{SM}。

6.6.1.62 R61 レジスタ (オフセット = 0x3D) [リセット = 0xA8]

図 6-70 に、R61 を示し、表 6-81 に、その説明を示します。

概略表に戻ります。

図 6-70. R61 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0xA8															

表 6-81. R61 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0xA8	このフィールドに 0xA8 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

Copyright © 2026 Texas Instruments Incorporated

6.6.1.63 R62 レジスタ (オフセット = 0x3E) [リセット = 0x322]

図 6-71 に、R62 を示し、表 6-82 に、その説明を示します。

概略表に戻ります。

図 6-71. R62 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x322															

表 6-82. R62 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x322	このフィールドに 0x322 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.64 R63 レジスタ (オフセット = 0x3F) [リセット = 0x0]

図 6-72 に、R63 を示し、表 6-83 に、その説明を示します。

概略表に戻ります。

図 6-72. R63 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x0															

表 6-83. R63 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x0	このフィールドに 0x0 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.65 R64 レジスタ (オフセット = 0x40) [リセット = 0x1388]

図 6-73 に、R64 を示し、表 6-84 に、その説明を示します。

概略表に戻ります。

図 6-73. R64 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x1388															

表 6-84. R64 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x1388	このフィールドに 0x1388 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.66 R65 レジスタ (オフセット = 0x41) [リセット = 0x0]

図 6-74 に、R65 を示し、表 6-85 に、その説明を示します。

概略表に戻ります。

図 6-74. R65 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Copyright © 2026 Texas Instruments Incorporated

図 6-74. R65 レジスタ (続き)

予約済み
R/W-0x0

表 6-85. R65 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x0	このフィールドに 0x0 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.67 R66 レジスタ (オフセット = 0x42) [リセット = 0x1F4]

図 6-75 に、R66 を示し、表 6-86 に、その説明を示します。

概略表に戻ります。

図 6-75. R66 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x1F4															

表 6-86. R66 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x1F4	このフィールドに 0x1F4 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.68 R67 レジスタ (オフセット = 0x43) [リセット = 0x0]

図 6-76 に、R67 を示し、表 6-87 に、その説明を示します。

概略表に戻ります。

図 6-76. R67 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x0															

表 6-87. R67 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x0	このフィールドに 0x0 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.69 R68 レジスタ (オフセット = 0x44) [リセット = 0x3E8]

図 6-77 に、R68 を示し、表 6-88 に、その説明を示します。

概略表に戻ります。

図 6-77. R68 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x3E8															

Copyright © 2026 Texas Instruments Incorporated

表 6-88. R68 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x3E8	このフィールドに 0x3E8 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.70 R69 レジスタ (オフセット = 0x45) [リセット = 0x0]

図 6-78 に、R69 を示し、表 6-89 に、その説明を示します。

概略表に戻ります。

図 6-78. R69 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MASH_RST_COUNT[31:16]															
R/W-0x0															

表 6-89. R69 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	MASH_RST_COUNT [31:16]	R/W	0x0	MASH_RST_COUNT の上位 16 ビット。 このレジスタは、位相同期を使用するときに遅延を追加するために使用されます。この遅延は、PLL ロック時間の少なくとも 4 倍に設定する必要があります。この遅延は、ステートマシンのクロック周期で表されます。これらの期間の 1 つは以下に等しくなります $2^{CAL_CLK_DIV} / f_{OSC}$。

6.6.1.71 R70 レジスタ (オフセット = 0x46) [リセット = 0xC350]

図 6-79 に、R70 を示し、表 6-90 に、その説明を示します。

概略表に戻ります。

図 6-79. R70 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MASH_RST_COUNT[15:0]															
R/W-0xC350															

表 6-90. R70 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	MASH_RST_COUNT [15:0]	R/W	0xC350	MASH_RST_COUNT の下位 16 ビット。

6.6.1.72 R71 レジスタ (オフセット = 0x47) [リセット = 0x80]

図 6-80 に、R71 を示し、表 6-91 に、その説明を示します。

概略表に戻ります。

図 6-80. R71 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								SYSREF_DIV_PRE			SYSREF_PULSE	SYSREF_EN	SYSREF_REPEAT	予約済み	
R/W-0x0								R/W-0x4			R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	

表 6-91. R71 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 8	予約済み	R/W	0x0	このフィールドに 0x0 をプログラムします。

Copyright © 2026 Texas Instruments Incorporated

表 6-91. R71 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7 ～ 5	SYSREF_DIV_PRE	R/W	0x4	この分周器を使用して、SYSREF 補間器への周波数入力を許容可能な制限範囲内に取得します。 1:バイパス 2:2 分周 4:4 分周 その他の値は予約済みです。
4	SYSREF_PULSE	R/W	0x0	マスタ モード (SYSREF_REPEAT = 0) では、SysRefReq ピンが high になるたびに、(SYSREF_PULSE_CNT で決定される) 複数のパルスが送信されます。 0:連続 SYSREF クロック 1:SYSREF パルス
3	SYSREF_EN	R/W	0x0	SYSREF モードを有効にします。SYSREF には VCO_PHASE_SYNC = 1 が必要です。 0:無効 1:有効
2	SYSREF_REPEAT	R/W	0x0	SYSREF モードを定義します。 0:マスタ モード。パルスは出力で生成されます。 1:反復モード。SysRefReq ピンに応答してパルスが生成されます。
1 ～ 0	予約済み	R/W	0x0	このフィールドに 0x0 をプログラムします。

6.6.1.73 R72 レジスタ (オフセット = 0x48) [リセット = 0x1]

図 6-81 に、R72 を示し、表 6-92 に、その説明を示します。

概略表に戻ります。

図 6-81. R72 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み					SYSREF_DIV										
R/W-0x0					R/W-0x1										

表 6-92. R72 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 11	予約済み	R/W	0x0	このフィールドに 0x0 をプログラムします。
10 ～ 0	SYSREF_DIV	R/W	0x1	このデバイダは、SYSREF の出力周波数をさらに分周します。

6.6.1.74 R73 レジスタ (オフセット = 0x49) [リセット = 0x3F]

図 6-82 に、R73 を示し、表 6-93 に、その説明を示します。

概略表に戻ります。

図 6-82. R73 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				JESD_DAC2_CTRL						JESD_DAC1_CTRL					
R/W-0x0				R/W-0x0						R/W-0x3F					

表 6-93. R73 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 12	予約済み	R/W	0x0	このフィールドに 0x0 をプログラムします。
11 ～ 6	JESD_DAC2_CTRL	R/W	0x0	SysRef モード用のプログラマブル遅延調整。

Copyright © 2026 Texas Instruments Incorporated

表 6-93. R73 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5 ～ 0	JESD_DAC1_CTRL	R/W	0x3F	SysRef モード用のプログラマブル遅延調整。

6.6.1.75 R74 レジスタ (オフセット = 0x4A) [リセット = 0x0]

図 6-83 に、R74 を示し、表 6-94 に、その説明を示します。

概略表に戻ります。

図 6-83. R74 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SYSREF_PULSE_CNT				JESD_DAC4_CTRL						JESD_DAC3_CTRL					
R/W-0x0				R/W-0x0						R/W-0x0					

表 6-94. R74 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 12	SYSREF_PULSE_CNT	R/W	0x0	SYSREF_REPEAT モードで使用して、送信するパルスの数を定義します。
11 ～ 6	JESD_DAC4_CTRL	R/W	0x0	SysRef モード用のプログラマブル遅延調整。
5 ～ 0	JESD_DAC3_CTRL	R/W	0x0	SysRef モード用のプログラマブル遅延調整。

6.6.1.76 R75 レジスタ (オフセット = 0x4B) [リセット = 0x800]

図 6-84 に、R75 を示し、表 6-95 に、その説明を示します。

概略表に戻ります。

図 6-84. R75 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み					CHDIV					予約済み					
R/W-0x1					R/W-0x0					R/W-0x0					

表 6-95. R75 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 11	予約済み	R/W	0x1	このフィールドに 0x1 をプログラムします。
10 ～ 6	CHDIV	R/W	0x0	チャネル デバイダ (等価除算) は、チャネル分周器の各セグメントの分周器値を制御します。 0:2 分周 1:4 分周 2:6 分周 3:8 分周 4:12 分周 5:16 分周 6:24 分周 7:32 分周 8:48 分周 9:64 分周 10:96 分周 11:128 分周 12:192 分周 その他の値は予約済みです。
5 ～ 0	予約済み	R/W	0x0	このフィールドに 0x0 をプログラムします。

Copyright © 2026 Texas Instruments Incorporated

6.6.1.77 R76 レジスタ (オフセット = 0x4C) [リセット = 0xC]

図 6-85 に、R76 を示し、表 6-96 に、その説明を示します。

概略表に戻ります。

図 6-85. R76 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0xC															

表 6-96. R76 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0xC	このフィールドに 0xC をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.78 R77 レジスタ (オフセット = 0x4D) [リセット = 0x0]

図 6-86 に、R77 を示し、表 6-97 に、その説明を示します。

概略表に戻ります。

図 6-86. R77 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x0															

表 6-97. R77 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x0	このフィールドに 0x0 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.79 R78 レジスタ (オフセット = 0x4E) [リセット = 0x64]

図 6-87 に、R78 を示し、表 6-98 に、その説明を示します。

概略表に戻ります。

図 6-87. R78 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x64															

表 6-98. R78 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x64	このフィールドに 0x64 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.80 R79 - R104 レジスタ (オフセット = 0x4F - 0x68) [リセット = 0x0]

図 6-88 に、R79 - R104 を示し、表 6-99 に、その説明を示します。

概略表に戻ります。

図 6-88. R79 ～ R104 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Copyright © 2026 Texas Instruments Incorporated

図 6-88. R79 ～ R104 レジスタ (続き)

予約済み
R/W-0x0

表 6-99. R79 - R104 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x0	このフィールドに 0x0 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.81 R105 レジスタ (オフセット = 0x69) [リセット = 0x4440]

図 6-89 に、R105 を示し、表 6-100 に、その説明を示します。

概略表に戻ります。

図 6-89. R105 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x4440															

表 6-100. R105 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x4440	このフィールドに 0x4440 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.82 R106 レジスタ (オフセット = 0x6A) [リセット = 0x7]

図 6-90 に、R106 を示し、表 6-101 に、その説明を示します。

概略表に戻ります。

図 6-90. R106 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0x7															

表 6-101. R106 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R/W	0x7	このフィールドに 0x7 をプログラムします。 R0 を RESET = 1 にプログラムした後で、このレジスタをプログラムする必要はありません。

6.6.1.83 R107-R109 レジスタ (オフセット = 0x6B ～ 0x6D) [読み取り専用]

図 6-91 に、R107 - R109 を示し、表 6-102 に、その説明を示します。

概略表に戻ります。

図 6-91. R107 ～ R109 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R															

Copyright © 2026 Texas Instruments Incorporated

表 6-102. R107 - R109 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	予約済み	R	-	未使用。読み戻しのみ。

6.6.1.84 R110 レジスタ (オフセット = 0x6E) [読み取り専用]

図 6-92 に、R110 を示し、表 6-103 に、その説明を示します。

概略表に戻ります。

図 6-92. R110 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み					rb_LD_VTUNE		予約済み	rb_VCO_SEL			予約済み				
R-0x0					R		R-0x0	R			R-0x0				

表 6-103. R110 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 11	予約済み	R	0x0	未使用。読み戻しのみ。
10 ～ 9	rb_LD_VTUNE	R	-	ロック検出の読み戻しフィールド。LD_TYPE = 1 で R0 が少なくとも 1 回プログラムされている場合のみ適用されます。 0 : ロック解除 (Fvco Low) 1 : 無効 2 : ロック済み 3 : ロック解除 (Fvco High)
8	予約済み	R	0x0	未使用。読み戻しのみ。
7 ～ 5	rb_VCO_SEL	R	-	キャリブレーションが選択した実際の VCO を読み戻します。
4 ～ 0	予約済み	R	0x0	未使用。読み戻しのみ。

6.6.1.85 R111 レジスタ (オフセット = 0x6F) [読み取り専用]

図 6-93 に、R111 を示し、表 6-104 に、その説明を示します。

概略表に戻ります。

図 6-93. R111 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								rb_VCO_CAPCTRL							
R-0x0								R							

表 6-104. R111 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 8	予約済み	R	0x0	未使用。読み戻しのみ。
7 ～ 0	rb_VCO_CAPCTRL	R	-	VCO 較正によって選択される実際の VCO_CAPCTRL 値の読み戻しフィールド。

6.6.1.86 R112 レジスタ (オフセット = 0x70) [読み取り専用]

図 6-94 に、R112 を示し、表 6-105 に、その説明を示します。

概略表に戻ります。

図 6-94. R112 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								rb_VCO_DACISET							
R-0x0								R							

Copyright © 2026 Texas Instruments Incorporated

表 6-105. R112 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 9	予約済み	R	0x0	未使用。読み戻しのみ。
8 ～ 0	rb_VCO_DACISET	R	-	VCO キャリブレーションによって選択される実際の VCO_DACISET 値の読み戻しフィールド。

6.6.1.87 R113 レジスタ (オフセット = 0x71) [読み取り専用]

図 6-95 に、R113 を示し、表 6-106 に、その説明を示します。

概略表に戻ります。

図 6-95. R113 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
rb_IO_STATUS															
R															

表 6-106. R113 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 0	rb_IO_STATUS	R	-	mode ピンのステータスを読み戻します。 ビット 0 : RECAL_EN ピン ビット 1 : FS0 ピン ….. ビット 8 : FS7 ピン

6.6.1.88 R114 レジスタ (オフセット = 0x72) [リセット = 0x26F]

図 6-96 に、R114 を示し、表 6-107 に、その説明を示します。

概略表に戻ります。

図 6-96. R114 レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						WD_DLY							WD_CNTRL		
R-0x0						R/W-0x4D							R/W-0x7		

表 6-107. R114 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 ～ 10	予約済み	R	0x0	このフィールドに 0x0 をプログラムします。
9 ～ 3	WD_DLY	R/W	0x4D	内部ウォッチドッグ タイマの遅延。遅延時間 = WD_DLY×2^{14} / ステート マシン クロック周波数。
2 ～ 0	WD_CNTRL	R/W	0x7	B ウォッチドッグ制御 0 : デジタル ウォッチドッグはディスエーブル。 1 : ウォッチドッグは 1 回トリガされます 2 : ウォッチドッグは最大 2 回までトリガされます 3 : ウォッチドッグは最大 3 回までトリガされます 4 : ウォッチドッグは最大 4 回までトリガされます 5 : ウォッチドッグは最大 5 回までトリガされます 6 : ウォッチドッグは最大 6 回までトリガされます 7 : ウォッチドッグは、必要な回数だけ再トリガされ、制限はありません。

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

7.1.1 OSCin の構成

OSCin は、シングル エンドまたは差動クロックをサポートしています。デバイスのピンの手前には、直列に AC 結合コンデンサを挿入する必要があります。OSCin 入力は内部バイアス電圧を持つ高インピーダンス CMOS です。TI では、差動配線を終端するためにシャント終端抵抗を配置することを推奨しています (特性インピーダンスが 50Ω の配線の場合は、50Ω の抵抗を配置します)。OSCin 側と OSCin* 側は、レイアウト上でマッチングさせる必要があります。基板レイアウトでは、OSCin ピンの直後に直列の AC 結合コンデンサを配置し、その後段にグランドへのシャント終端抵抗を配置する必要があります。

入力クロックの定義を図 7-1 に示します:

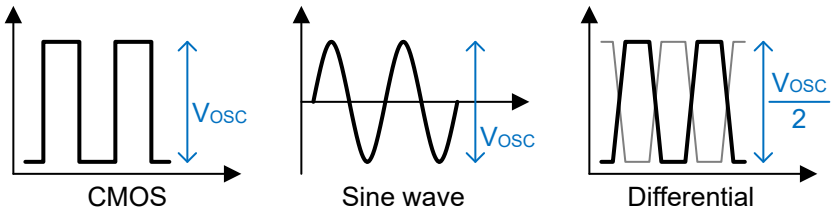


図 7-1. 入力クロックの定義

7.1.2 OSCin スルーレート

OSCin 信号のスルーレートが低すぎる場合、LMX2615-SP のスプリアスおよび位相ノイズに影響を与える可能性があります。一般に、最良の性能が得られるのは、スルーレートが高く、かつ振幅の小さい信号、例えば LVDS のような信号です。

7.1.3 RF 出力バッファ電力制御

OUTA_PWR および OUTB_PWR レジスタは、出力の駆動電流の量を制御します。この電流により、プルアップ成分と負荷の間に電圧が生じます。OUTx_PWR 設定は 31 以下に維持します。大きい設定で消費電流が大きくなり、出力電力が大きくなる可能性もあります。最適なノイズ フロアは通常、OUTx_PWR を 15 ～ 25 の範囲内に設定することで得られます。

7.1.4 RF 出力バッファのプルアップ

出力バッファ部品の選択は非常に重要で、出力電力に大きな影響を及ぼす可能性があります。プルアップ部品は、抵抗、インダクタ、またはそれらの組み合わせで使用できます。信号スイングは、このプルアップを流れる電流によって発生するため、インピーダンスが大きいほど信号振幅が大きくなります。ただし、このプルアップ部品は負荷インピーダンスと並列に接続されているものとして扱えるため、インピーダンスが負荷インピーダンスよりもはるかに大きくなると、効果は次第に小さくなります。このデバイスの出力インピーダンスは周波数の関数として変化し複素数ですが、通常は 100Ω 程度の大きさですが、周波数とともに減少します。

差動とシングル エンドのどちらの入力信号も使用できます。シングルエンドで使用する場合でもプルアップは必要であり、未使用の補完側については、ピンから見たインピーダンスが使用しているピンと同程度になるように終端する必要があります。役に立つ可能性のある標準的な部品を以下にいくつか示します。

Copyright © 2026 Texas Instruments Incorporated

表 7-1. 出力プルアップ構成

部品	値	部品番号
インダクタ	1nH、13.6GHz SRF	Toko LL1005-FH1N0S
	3.3nH、6.8GHz SRF	Toko LL1005-FH3N3S
	10nH、3.8GHz SRF	Toko LL1005-FH10NU
抵抗	50 Ω	Vishay FC0402E50R0BST1
コンデンサ	周波数によって変化します	ATC 520L103KT16T ATC 504L50R0FTNCFT

7.1.4.1 抵抗プルアップ

プルアップ部品を選択するための 1 つの方針は、抵抗 (R) を使用することです。これは通常 50Ω に設定され、デバイスの出力インピーダンスが高いという前提では、出力周波数に関係なく、理論的に出力インピーダンスは 50Ω になります。デバイスの出力インピーダンスは無限ではないため、プルアップ抵抗を使用するときの出力インピーダンスは 50Ω 未満であり、妥当に近い値です。抵抗に一定の電圧降下は生じますが、OUTx_PWR ≤ 31 であれば、50Ω の抵抗において信号スイングへの影響は大きくありません。

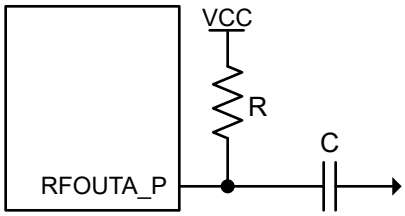


図 7-2. 抵抗プルアップ

7.1.4.2 インダクタのプルアップ

別の方法は、インダクタ (L) プルアップを選択することです。これにより、部品に DC 電圧降下が生じる心配なく、より高いインピーダンスを使用できます。理想的には、負荷インピーダンスに対して十分に高いインピーダンスとなるようインダクタを大きめに選定し、かつ自己共振周波数から離れた領域で動作させる必要があります。例えば、自己共振周波数が 7GHz の 3.3nH プルアップ インダクタで、50Ω のスペクトル アナライザ入力を駆動する場合を考えます。このインダクタは理論的には、2.4GHz 付近で j50Ω の入力インピーダンスがあります。この周波数では、これが負荷と並列になって約 35Ω となり、電力が 3dB 低下します。1.4GHz では、このインダクタのインピーダンスは約 j29Ω です。これは 50Ω の負荷と並列になると合成インピーダンスの大きさが 25Ω となり、50Ω のプルアップを用いた場合と同じです。インダクタによるプルアップの主な問題は、インピーダンスが負荷にきれいに整合して見えないことです。

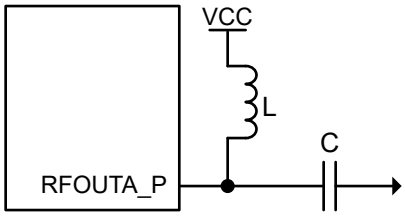


図 7-3. インダクタのプルアップ

出力インピーダンスはきれいに整合していないものの出力電力は高いため、最適なインピーダンス制御を得るには抵抗パッドの使用が望まれます。6dB のパッド (R1 = 18Ω、R2 = 68Ω) は、必要よりも減衰が大きいと考えられます。3dB または 1dB のパッドで十分です。パッドの前に 2 つの AC カップリング コンデンサが必要です。図 7-4 に示す構成では、そのうちの 1 つをグランドに配置し、高周波パスの部品の数を最小限に抑えて、損失を低減します。

Copyright © 2026 Texas Instruments Incorporated

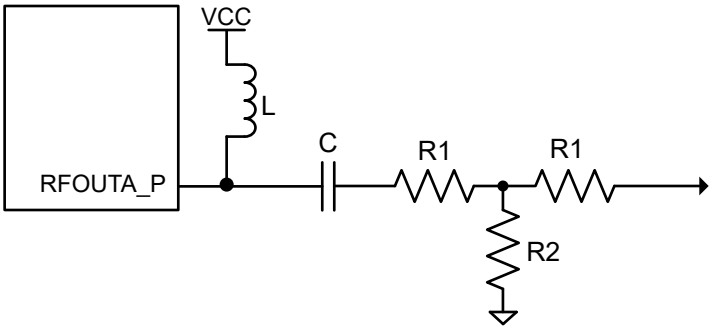


図 7-4. パッド付きインダクタ プルアップ

抵抗性パッドについて、表 7-2 に一般的な値を示します:

表 7-2. 抵抗性 T パッドの値

減衰 (dB)	R1 (Ω)	R2 (Ω)
1	2.7	420
2	5.6	220
3	6.8	150
4	12	100
5	15	82
6	18	68

7.1.4.3 組み合わせプルアップ

この抵抗は優れた低周波数応答を実現しますが、インダクタは悪化したマッチングで良好な高周波応答を実現します。プルアップのインピーダンスを高くすることが求められますが、抵抗を使用すると、DC 電圧降下が大きくなる可能性があります。インダクタを使用する場合、低周波数域とインダクタの自己共振周波数付近の両方で特性の良いものを見つけるのは困難です。これに対処する一つの方法として、直列の抵抗とインダクタを使用し、その後段に抵抗パッドを配置する方法があります。

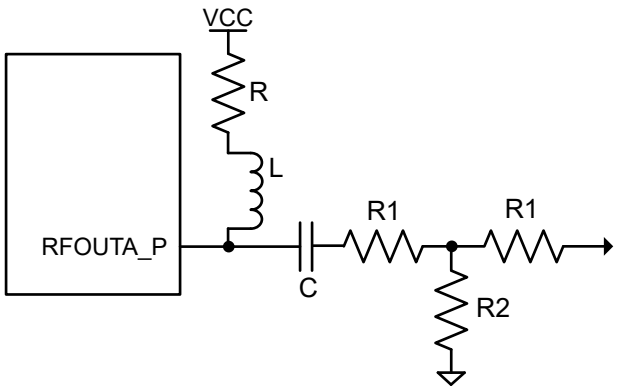


図 7-5. インダクタおよび抵抗のプルアップ

7.1.5 相補側の RF 出力処理

差動出力の両側を使用するかどうかにかかわらず、両側に同様の負荷が必要になります。

7.1.5.1 未使用出力のシングル エンド終端

未使用の出力は、高調波を最小限に抑え、最適な出力電力を実現するため、ピンの外を見た場合とほぼ同じインピーダンスを確認する必要があります。最適な出力電力を実現するにはプルアップ部品の配置が重要なため、配線を完全に対称にする必要はありません。使用される出力 (この場合は RFoutA_P) に最優先のルーティングを設定します。

Copyright © 2026 Texas Instruments Incorporated

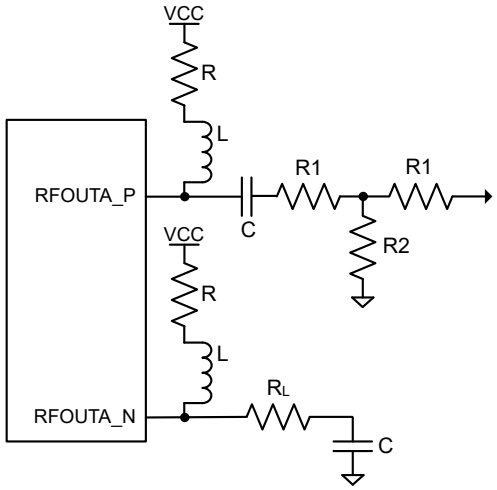


図 7-6. 未使用の出力の終端：シングル エンド

7.1.5.2 差動終端

差動終端の場合、両側に同じ終端を行う方法のほか、グランド同士を接続する方法も可能です。この方法は、可能な限り高い出力電力を得るために、差動からシングルエンドへのバランを併用することもできます。

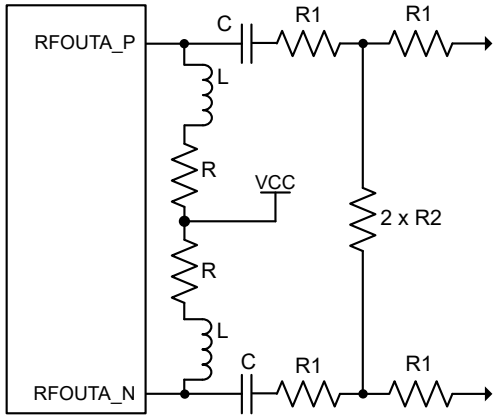


図 7-7. 未使用の出力の終端：差動

7.2 外部ループ フィルタ

LMX2615-SP では、アプリケーションごとに最適化された外付けループ フィルタが必要であり、その設計は PLLatinum シミュレーション ツールを用いて行うことができます。LMX2615-SP では、Vtune ピンから外側を見たときのインピーダンスが重要です。このインピーダンスは、3 次フィルタでは部品 C3、2 次フィルタでは C1 により決定されます。このピンに対してシャントされる容量が少なくとも 1.5nF あれば、VCO の位相ノイズはほぼ最良の値に近づきます。これより小さい場合、100kHz～1MHz の領域における VCO の位相ノイズが悪化します。このコンデンサは、Vtune ピンの近くに配置する必要があります。

Copyright © 2026 Texas Instruments Incorporated

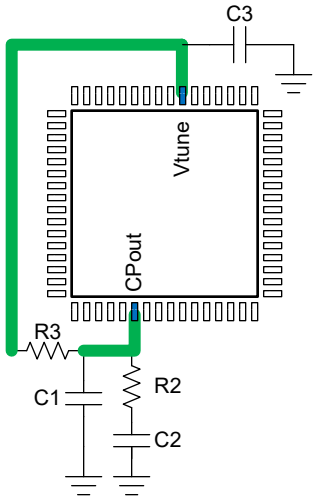


図 7-8. 外部ループ フィルタ

7.3 代表的なアプリケーション

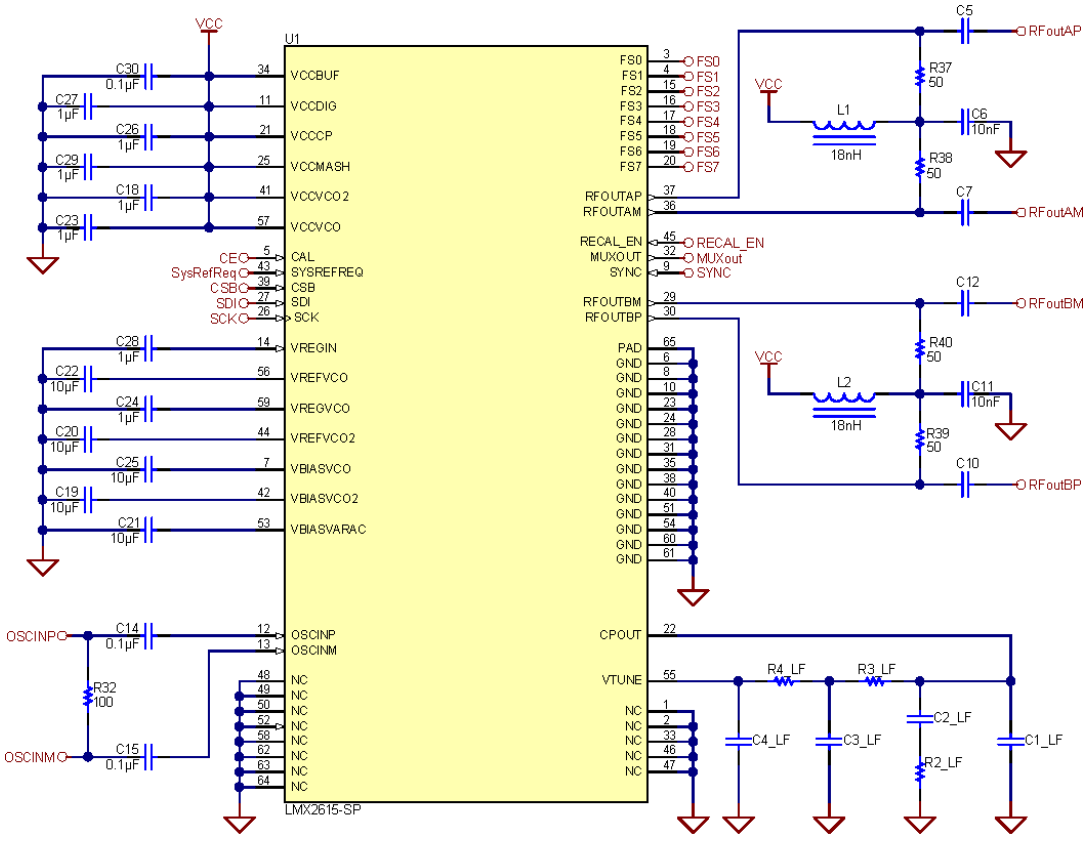


図 7-9. 代表的なアプリケーション回路図

7.3.1 設計要件

ループ フィルタの設計は複雑であるため、通常はソフトウェアで処理されます。PLLatinum Sim ソフトウェアは、この設計を行うための非常に有用なツールであり、その設計例は 図 7-10 に示されています。

図 7-10. PLLatinum Sim ツール

7.3.2 詳細な設計手順

特定の帯域幅における位相ノイズ (ジッタ) の統合は、信号対雑音比に変換される性能仕様です。ループ帯域幅の内側の位相ノイズは主に PLL により決定され、ループ帯域幅の外側の位相ノイズは主に VCO により決定されます。一般に、ループ帯域幅がこれら 2 つの交差するポイントに設計されている場合、ジッタは最も小さくなります。ループ フィルタの設計で位相マージンが高いほど、ループ帯域幅でのピークが小さくなり、ジッタも小さくなります。これに対するトレードオフは、設計時に長いロック時間とスプリアスも考慮する必要があることです。

7.3.3 アプリケーション曲線

ここで説明した設定を使用して、クリーンな 100MHz 入力リファレンスを使用して測定した性能を示しています。シミュレーションによって予測されるように、ループ帯域幅は約 350kHz であることに注意してください。

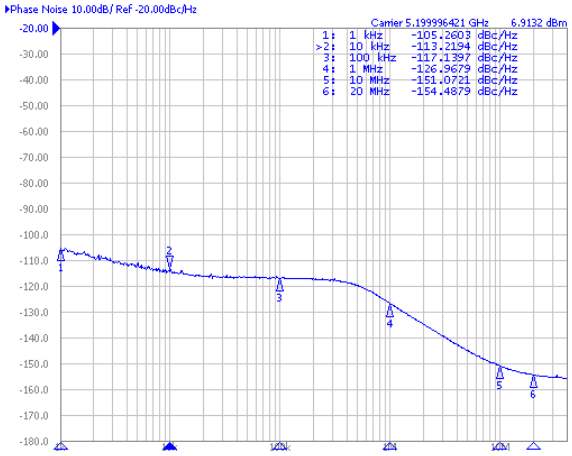


図 7-11. ループ フィルタ設計の結果

Copyright © 2026 Texas Instruments Incorporated

7.4 電源に関する推奨事項

TI はピンの近くにバイパス コンデンサを配置することを推奨します。レイアウトの例については、EVM の説明を参照してください。分数スプリアスが大きな問題となる場合は、これらの各電源ピンにフェライト ビーズを取り付けて、スプリアスを多少低減できます。このデバイスには LDO が内蔵されており、電源ノイズへの耐性が強化されています。ただし、出力の RFoutA および RFoutB ピンに接続されているプルアップ部品は電源に直接接続されているため、これらのピンに供給される電圧がクリーンであることを十分に確認する必要があります。

LMX2615-SP の消費電流は、構成によって異なります。LMX2615EVM-CVAL のデフォルト構成において、表 7-3 は各電圧電源ピンから引き出される標準的な電流を示しています。すべての電源電圧ピンを互いに接続して同じ電源を共有することも、個別の電源でピンを分離することもできます。ただし、VccVCO と VccVCO2 は同じ電源に接続する必要があります。

表 7-3. 個別電圧電源ピン電流

ピン番号	ピン名	電流 (mA)
11	VccDIG	25
21	VccCP	18
34	VccBUF	137 (1 つの出力アクティブ)
		258 (2 つの出力がアクティブ)
25	VccMASH	59
57、41	VccVCO + VccVCO2	118 (1 つの出力アクティブ)
		130 (2 つの出力がアクティブ)
合計		357 (1 つの出力アクティブ)
		490 (2 つの出力がアクティブ)

Copyright © 2026 Texas Instruments Incorporated

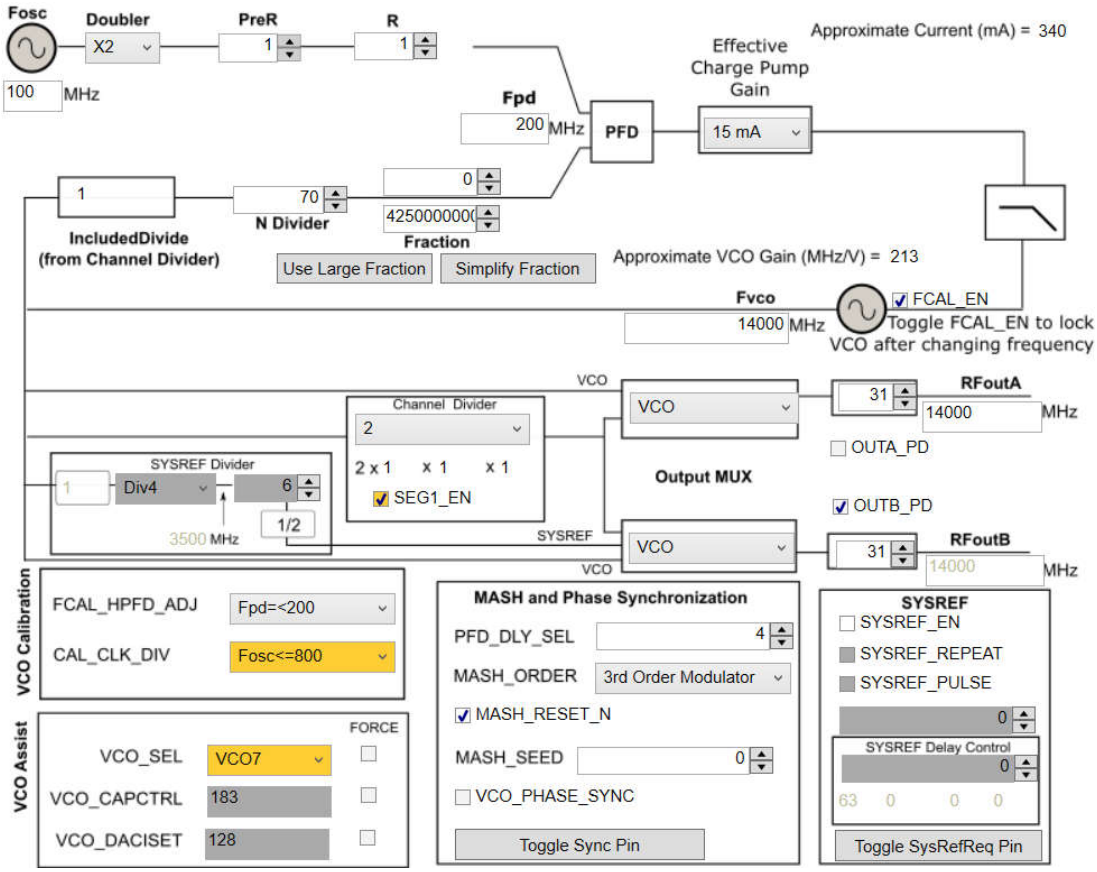


図 7-12. LMX2615EVM-CVAL のデフォルト構成

7.5 レイアウト

7.5.1 レイアウトのガイドライン

一般に、レイアウトのガイドラインは他のほとんどの PLL デバイスと同様です。いくつか固有のガイドラインが存在するので、以下に示します。

- GND ピンはパッケージで、DAP に戻るよう配線できます。
- 出力については、プルアップ部品をできるだけピンの近くに配置し、差動ペアの両側で同一の部品を使用します。
- シングル エンド出力が必要な場合、反対側にも同じ負荷とプルアップが必要です。しかし、使用する側の配線は、補完側をビアにより基板の反対側に配線することで最適化できます。この側についても同じプルアップを使用し、使用している側と同等の負荷に見えるようにします。
- デバイスの DAP が、多くのビアで十分に接地されていることを確認してください。可能なら全面銅箔にします。
- LMX2615-SP の露出パッドと同じサイズのサーマル パッドを取り付けます。放熱性能を最大にするため、サーマル パッドにビアを追加します。
- 最高の出力電力を得るために、低損失の誘電体材料を使用します。
- 電源バイパス コンデンサは、デバイスの近くに配置します。

7.5.2 レイアウト例

すでに示したレイアウト ガイドラインに加えて、この特定のレイアウト例に関する追加のコメントを以下に示します

- このレイアウトで最も重要なのは、最適な出力電力を得るために、プルアップ部品 (R37、R38、R39、R40) を該当ピンの近くに配置することです。
- このレイアウトでは、ループ フィルタ(C1_LF、C2_LF、C3_LF、R2_LF、R3_LF、R4_LF) の大部分が基板の裏面に配置されています。ただし、C4_LF は、Vtune ピンのすぐ隣の上面にあることに注意してください。この C4_LF コンデ

Copyright © 2026 Texas Instruments Incorporated

ンサがオープンになるときに発生します。ループ コンデンサの 1 つをこの場所に移動します。例えば、3 次のループ フィルタを使用する場合、技術的には C3_LF は非ゼロとなり、C4_LF はオープンになります。ただし、このレイアウト例は 4 次ループ フィルタ向けに設計されているため、R3_LF は 0Ω に設定し、C3_LF はオープンとし、C4_LF には本来 C3_LF に使用するはずだった容量値を設定します。

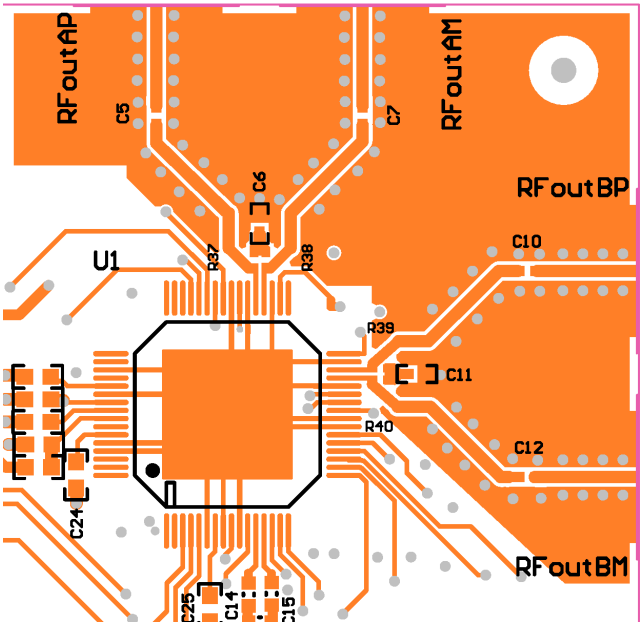


図 7-13. LMX2615-SP のレイアウト例

7.5.3 PCB レイアウトのフットプリントの例

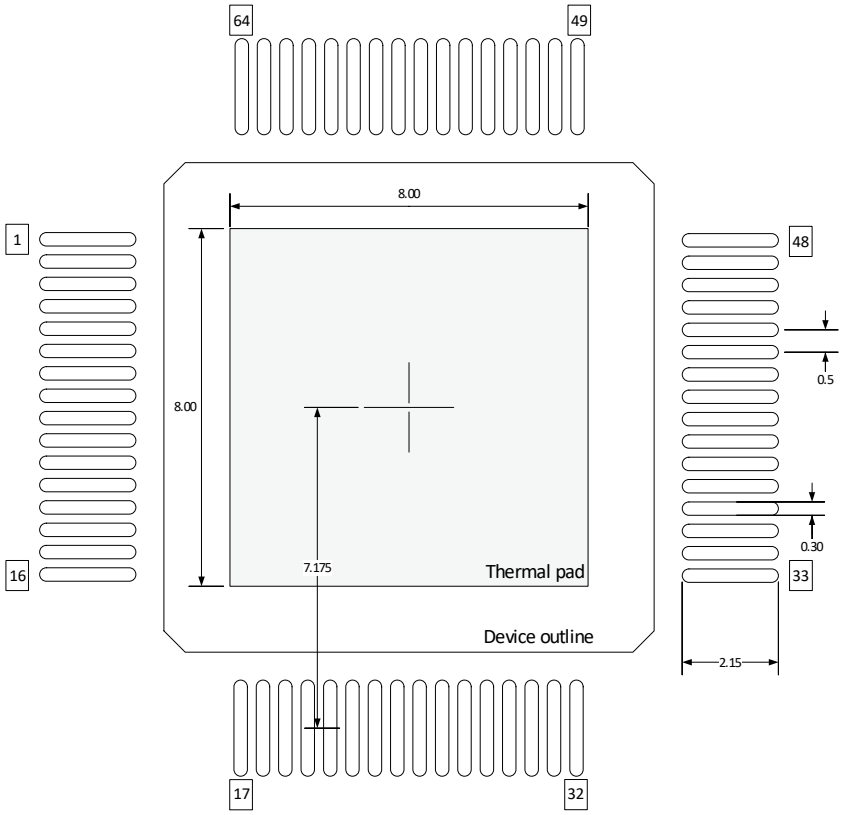


図 7-14. LMX2615-SP PCB のランド パターンの例

7.5.4 放射線環境

放射線環境で製品を使用する際は、環境条件に十分配慮する必要があります。

7.5.4.1 全電離線量

放射線耐性保証 (RHA) 製品とは、注文情報において全電離線量 (TID) レベルが明記されている品番のことです。これらの製品の試験および認定は、MIL-STD-883 の試験方法 1019 に従い、ウェハ レベルで実施されています。ウェハ レベルの TID データは、ロット出荷に付属しています。

7.5.4.2 単一事象効果

単一イベント効果 (SEE) の一回試験は、単一イベント ラッチアップ (SEL)、単一イベント 機能割り込み (SEFI)、および単一イベント アップセット (SEU) を含み、EIA/JEDEC 規格 EIA/JEDEC57 に従って実施されています。リクエストに応じて、テスト レポートを提供します。

Copyright © 2026 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

テキサス インスツルメンツは、開発を支援するためのソフトウェア ツールを www.ti.com で提供しています。ツールには次のものがあります:

- EVM ソフトウェアは、デバイスのプログラム方法と EVM 基板のプログラミング方法を理解するためのものです。
- 詳細な測定条件と完全な設計を含む、代表的な測定データを確認するための EVM ボード手順。
- ループ フィルタの設計、位相ノイズとスプリアスのシミュレーションのための PLLatinum Sim プログラム

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、*AN-1879 フラクショナル N 周波数合成*アプリケーション ノート
- テキサス インスツルメンツ、*PLL の性能、シミュレーション、デザイン ハンドブック*設計ガイド

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (May 2020) to Revision E (December 2025)	Page
• *デバイス情報*表にパッケージ質量および関連リンクを追加	1
• 各種ピンの内容を更新	3

- DAP ピンを追加 3
- デジタルピン電圧に SCK、SDI、CSB を追加 6
- CDM 定格を追加 6
- t_{CD} の仕様を最大値の列に変更 9
- SYNC および SYSREFREQ のタイミング要件を追加 9
- トリガ信号のタイミング図を追加、SPI タイミング図を変更 9
- 代表的なプロットを追加 11
- 表 6-1 に、分数分子の行を追加 13
- 最後の文を追加 14
- ステートマシンの最大クロック周波数を追加。 15
- 表 6-2 の内容と値を更新 15
- 回線共有の変更が可能です 16
- 位相検出器のサイクルをステート マシンのクロック サイクルに変更 16
- コンテンツが更新されます 16
- 式 3 を削除 17
- 表 6 を削除 17
- WD_DLY を WD_CNTRL に変更 18
- LD_DLY を WD_DLY に変更 18
- 72 の等価分割値を削除 18
- 図 6-2 および 表 6-7 を更新 18
- SPI モードの記述を削除。ピン モードの記述を追加。 19
- 誤字を修正 20
- 図 6-3、図 6-4 および 表 6-11 を更新 20
- セットアップ時間、ホールド時間、および同期のフローチャートを変更 21
- 同期を使用する手順を更新しました 22
- 最初の文を削除 23
- 位相調整の成分を追加 23
- SYSREF ブロック図と式を更新、表 6-14 の値を更新 24
- 「...R75 から R0 まで ...」を「...R75 から R0 まで (FCAL_EN = 1 の場合) が必要です ...」に変更 29
- コンテンツを更新 29
- 表 6-17 のレジスタ R1 のビット 3 の名前を 1 から MUXOUT_CTRL に変更 30
- 表 6-17 のレジスタ R11 ビット 4 の名前を 1 から PLL_R に変更 30
- 表 6-17 に POR 列を追加 30
- 表 6-20 の RESET の説明を変更 35
- 図 6-10 と表 6-21 に MUXOUT_CTRL を追加 36
- 図 7-1 を更新 65
- インピーダンス値を変更。 66
- 「外部ループ フィルタ」セクションを追加 68
- 図 7-10 を更新 69
- 図 7-11 を更新 70
- 図 7-14 のタイトルを変更 74
- エンジニアリング サンプル向け技術ドキュメントへのリンクを追加 78

Changes from Revision C (November 2018) to Revision D (May 2020) **Page**

- SMD 番号と注文用部品を追加 1
- *製品情報*表から LMX2615W-MLS を削除 1
- *PLL 位相検出器とチャージ ポンプ*セクションから「アプリケーション セクションで、チャージ ポンプによる位相ノイズを参照」の文を削除 15

Copyright © 2026 Texas Instruments Incorporated

- *代表的なアプリケーション回路図*の図を変更 69
- *レイアウト例*グラフを変更 72

Changes from Revision B (June 2018) to Revision C (November 2018) **Page**

- デバイスのステータスを「事前情報」から「量産データ」に変更 1
- 出力電力、VCO 較正時間、および高調波を変更。 7
- 代表的性能特性を追加 11
- 上位分周の最大周波数を 15.2GHz ではなく 11.5GHz に基づくように更新 18
- FS7 ピンの説明を追加 26
- 代表的なアプリケーションを追加 69
- Vtune ピンのコンデンサ要件を含む詳細を追加。 72
- 「レイアウト例」を追加 72

Changes from Revision A (June 2018) to Revision B (August 2018) **Page**

- ジッタの標準値を 45fs に変更 1
- デジタル ピンの最大電圧および OSCin 電圧を追加 6
- VCO ゲインの標準値を変更 7
- 読み戻しのタイミング図を変更し、tCD を追加。 9
- VCO の周波数範囲を 7600～15200MHz に変更 13
- VCO キャリブレーションを更新し、VCO の 範囲 を 7600 ～ 15200MHz に 変更 17
- キャリブレーション時間表における VCO の並び順を変更 17
- ウォッチドッグ機能の説明を追加 18
- RECAL 機能の説明を変更 18
- 「VCO ゲイン」表を変更 18
- チャネル デバイダの説明と図を変更 18
- VCO 周波数のチャネル デバイダの使用を変更 18
- 5MHz ではなく 5GHz に変更 19
- 未使用ピンの取り扱いに関する情報を追加 20
- Fosc%Fout = 0 のケースは、カテゴリ 2 に変更されました 21
- CAL と RECAL_EN の推奨事項を変更 26
- RECAL_EN を CAL ピンに変更 26
- ピン モード 17 を使用しないように変更。 26
- 推奨される初期電源投入シーケンスに 10ms の遅延を追加し、プログラムすべきレジスタに関する詳細を追記しました。 29
- レジスタ マップ表を追加 30

Changes from Revision * (May 2017) to Revision A (June 2018) **Page**

- 「ESD 定格」表を変更 6
- 「推奨動作条件」表において、周囲温度パラメータをケース温度に変更 6
- 「推奨動作条件」表から、接合部温度パラメータを削除 6
- 電源電圧の最小値を次の値から変更：3.15V から：3.2V 7
- テスト条件を消費電流パラメータに変更 7
- RESET = 1 の試験条件におけるパワーオン リセット電流の代表値を次の値から変更：270mA から 289mA 7
- POWERDOWN = 1 の試験条件におけるパワーオンリセット電流の代表値を次の値から変更：5mA から 6mA 7
- リファレンス入力電圧パラメータの試験条件を変更し、最小値を追加 7

Copyright © 2026 Texas Instruments Incorporated

- 位相検出器の周波数テスト条件を追加 7
- VCO 位相ノイズのテスト条件と標準値を変更 7
- 負荷が整合され、損失がデエンベッドされていることを前提とした出力電力であることが明確になるように記載を変更。 7
- *VCO キャリブレーション速度のアシスト*に関する表と、*部分アシスト用の最小 VCO_SEL* の表を変更 17
- *VCO_SEL 表に基づき、f_{OSC} = f_{PD} = 100MHz の場合の代表的なキャリブレーション時間を追加* 17
- *位相調整*セクションの MASH_SEED に関する検討事項を変更 23

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

10.1 エンジニアリング サンプル

エンジニアリング サンプル(LMX2615W-MPR)は、パッケージ、ピン配置、プログラミング、標準性能がフライト デバイス(5962R1723601VXC)と同じです。サンプルは室温で電気的仕様を満たすことを確認するための試験は実施されていますが、宇宙用途向けの完全な量産フローや試験はまだ受けておらず、合格もしていません。エンジニアリング サンプルは、完全な航空宇宙向けの生産テスト(放射線や信頼性など)に失格した QCI 却下品の可能性があります。

エンジニアリング モデルの詳細については、『Texas Instruments Engineering Evaluation Units versus MIL-PRF-38535 QML Class V Processing』を参照してください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962R1723601VXC	Active	Production	CFP (HBD) | 64	14 | TUBE	Yes	NIAU	Level-1-NA-UNLIM	-55 to 125	5962R1723601VXC LMX2615WRQMLV
LMX2615-MKT-MS	Active	Production	CFP (HBD) | 64	1 | TUBE	-	Call TI	Call TI	25 to 25	LMX2615-MKT-MS MECHANICAL
LMX2615W-MPR	Active	Production	CFP (HBD) | 64	14 | TUBE	Yes	NIAU	Level-1-NA-UNLIM	25 to 25	LMX2615W-MPR ENG SAMPLE

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

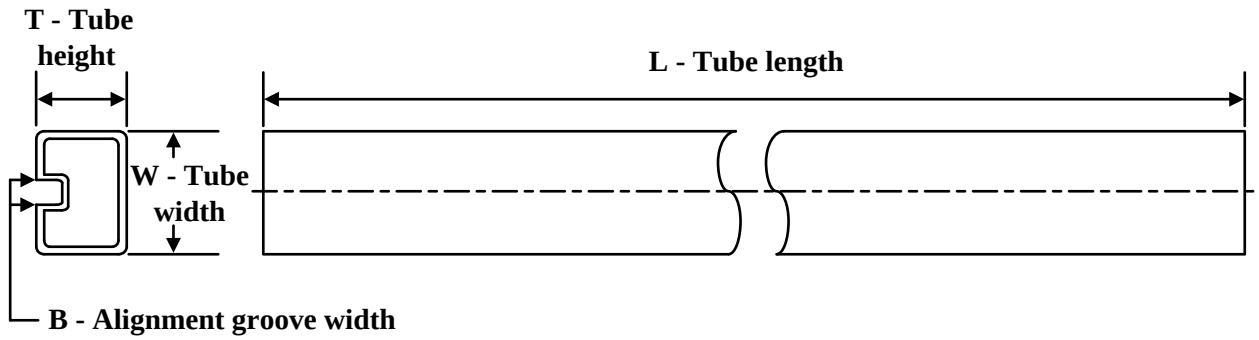
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TUBE



*All dimensions are nominal

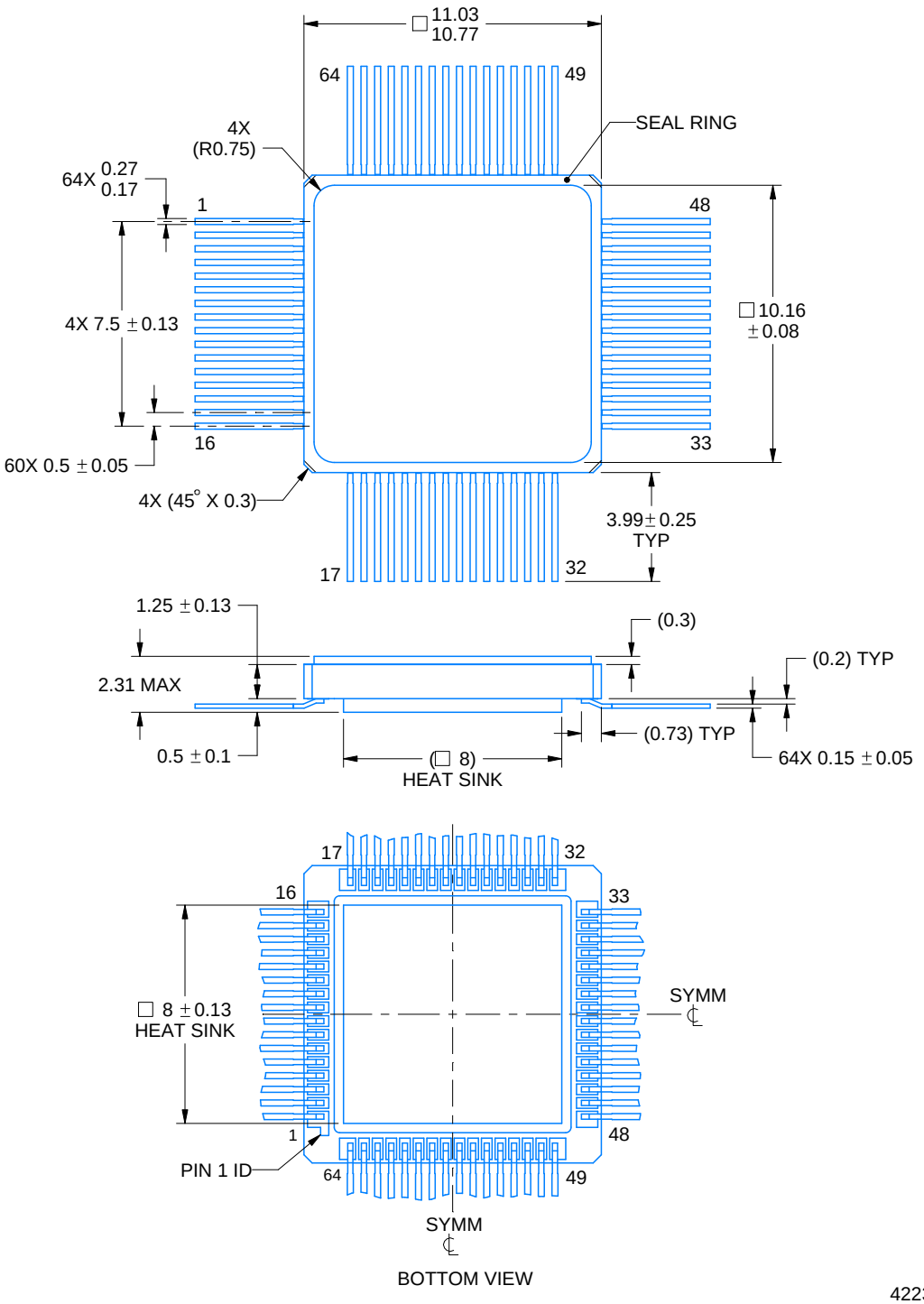
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962R1723601VXC	HBD	CFP (HSL)	64	14	495	33	11176	16.51
LMX2615W-MPR	HBD	CFP (HSL)	64	14	495	33	11176	16.51

PACKAGE OUTLINE

HBD0064A

CFP - 2.31 mm max height

CERAMIC FLATPACK



4223243/A 01/2017

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermetically sealed with a metal lid.
4. Ground pad to be electronic connected to heat sink and seal ring.
5. The leads are gold plated and can be solder dipped.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月