LMX2624-SP5MHz～30GHz 広帯域 シンセサイザ、位相同期および JESD204B/C 対応

1 特長

- SMD 5962R2321001PXE
  - 総照射線量耐性:100Krad (ELDRS フリー)
  - シングル イベント ラッチアップ (SEL) 耐性:最大 75MeV-cm^2/mg
  - シングル イベント機能割り込み (SEFI) 耐性:最大 75MeV-cm^2/mg
- 広帯域周波数シンセサイザ:出力周波数:5MHz～30GHz
- 30GHz 搬送波周波数使用時に、100kHz のオフセットで -102dBc/Hz の位相ノイズ
- 30GHz でのジッタ:62fs RMS (1kHz～100MHz)
- 出力電力をプログラム可能
- 主な PLL 仕様
  - 性能指数:-236dBc/Hz
  - 正規化 1/f ノイズ:-129dBc/Hz
  - 分数モードで最大 200MHz の位相検出器周波数。
- 複数デバイス間の出力位相の同期
- RFoutA および RFoutB 出力用の独立したミュート ピン
- プログラマブル遅延を備えた SYSREF のサポート
- 3.3V 単一電源動作
- ピン モード:整数 PLL モードでピンにより構成可能な N 分周器および出力分周器
- 10×10mm² 64 リード QFP パッケージ
- 動作温度範囲:–55°C ～ +125°C
- PLLatinum™ シミュレータ設計ツール対応

2 アプリケーション

- Ku/Ka バンドまでの宇宙通信ペイロード
- 宇宙レーダー システム
- コマンドおよびデータの処理系
- 高速データ コンバータ クロッキング (JESD204B/C 対応)
- 30GHz までの周波数のミキサ用ローカル発振器

3 説明

LMX2624-SP は、周波数 5MHz ～ 30GHz を出力可能な電圧制御発振器 (VCO) を内蔵した、高性能、広帯域フェーズ ロック ループ (PLL) です。このデバイスの VCO は、1 オクターブの範囲をカバーしているため、最低 5MHz までのすべての周波数を出力できます。-236dBc/Hz という性能指数を持つ高性能 PLL と高い位相検出周波数により、帯域内ノイズと積分ジッタを非常に低く抑えることができます。

LMX2624-SP を使えば、このデバイスの複数のインスタンスからの出力を同期することができます。このため、フラクショナル エンジンまたは出力分周器を使用した場合を含めて、あらゆる使用事例でデバイスから決定性位相を取得できます。このデバイスは、SYSREF (JESD204B/C 規格に準拠) の生成および中継サポートが追加されており、高速データ コンバータ向けの低ノイズ クロック ソースとして設計されています。

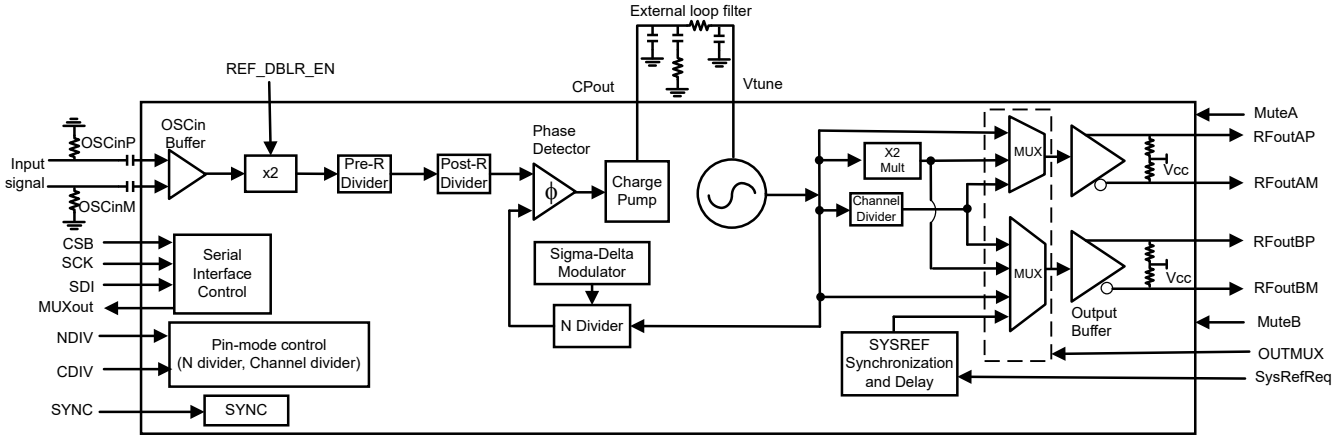
このデバイスは、テキサス・インスツルメンツの高度な BiCMOS プロセスで製造され、64 リード QFP プラスチック パッケージで供給されます。

パッケージ情報

部品番号	タイプ	パッケージ (1)	パッケージ サイズ (2)
5962R2321001PXE	放射線耐性強化の保証	QFP 64 ピン	10mm × 10mm
LMX2624PAP/EM(3)	エンジニアリング サンプル		

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
(3) これらのユニットは、技術的な評価のみを目的としています。規格に準拠した手順は実施していません (バーンインなし、25°C でのテストのみなど)。さらにこれらのユニットは、適格性評価、量産、放射試験、航空機での使用には適していません。これらの部品について、温度範囲や動作寿命にわたる性能は保証されていません。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



機能ブロック図

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 ピン構成および機能 ... 4
5 仕様 ... 8
5.1 絶対最大定格 ... 8
5.2 ESD 定格 ... 8
5.3 推奨動作条件 ... 8
5.4 熱に関する情報 ... 8
5.5 電気的特性 ... 9
5.6 タイミング要件 ... 13
5.7 タイミング図 ... 14
5.8 代表的特性 ... 16
6 詳細説明 ... 23
6.1 概要 ... 23
6.2 機能ブロック図 ... 24
6.3 機能説明 ... 24
6.4 未使用ピンの処理 ... 43
6.5 プログラミング ... 45
7 アプリケーションと実装 ... 80
7.1 使用上の注意 ... 80
7.2 代表的なアプリケーション ... 81
7.3 電源に関する推奨事項 ... 84
7.4 レイアウト ... 84
8 デバイスおよびドキュメントのサポート ... 86
8.1 デバイス サポート ... 86
8.2 ドキュメントのサポート ... 86
8.3 ドキュメントの更新通知を受け取る方法 ... 86
8.4 サポート・リソース ... 86
8.5 商標 ... 86
8.6 静電気放電に関する注意事項 ... 86
8.7 用語集 ... 86
9 改訂履歴 ... 87
10 メカニカル、パッケージ、および注文情報 ... 87

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

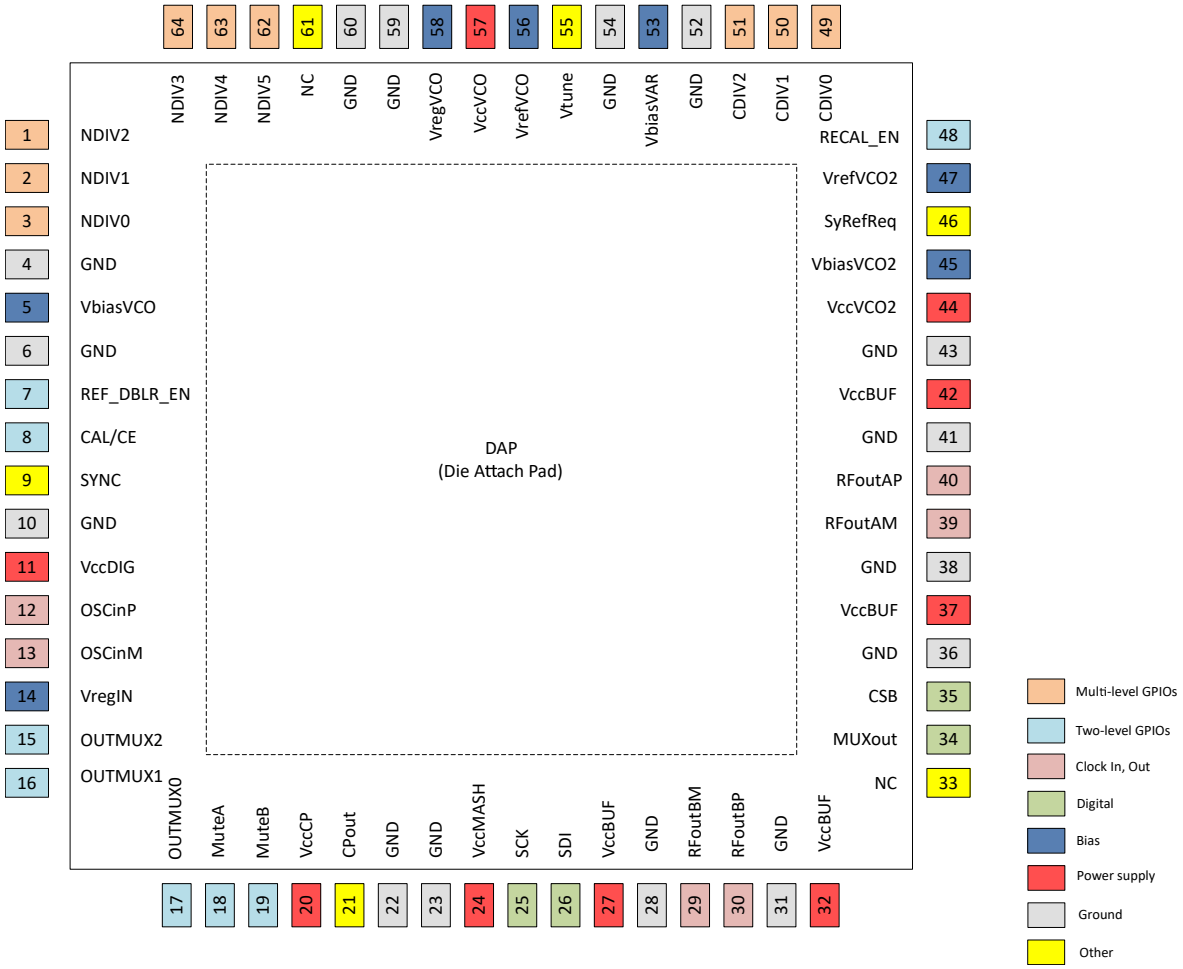


図 4-1. HBD パッケージ 64 ピン CQFP 上面図

表 4-1. ピンの機能

ピン		タイプ[1]	タイプ	説明
番号	名称			
1	NDIV2	I	4 レベル ピン	ピン モードでの整数 N デバイダのビット 2。これは、N デバイダ設定の 6 ビット値である NDIV5-NDIV0 の一部です。詳細については、ピン モード整数周波数生成 のピン モードの説明を参照してください。
2	NDIV1	I	4 レベル ピン	ピン モードでの整数 N デバイダのビット 1。これは、N デバイダ設定の 6 ビット値である NDIV5-NDIV0 の一部です。詳細については、ピン モード整数周波数生成 のピン モードの説明を参照してください。
3	NDIV0	I	4 レベル ピン	ピン モードでの整数 N デバイダのビット 0。これは、N デバイダ設定の 6 ビット値である NDIV5-NDIV0 の一部です。詳細については、ピン モード整数周波数生成 のピン モードの説明を参照してください。
4	GND	—	—	グランド
5	VbiasVCO	—	—	VCO バイアス。10µF コンデンサをグランドに接続する必要があります。ピンの近くに配置します。
6	GND	—	—	グランド

Copyright © 2026 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ[1]	タイプ	説明
番号	名称			
7	REF_DBLR_EN	I	—	ピンモードで入力リファレンス ダブラがイネーブル。このピンが "High" になると、リファレンス ダブラがイネーブルになり、このピンが "Low" になると、入力リファレンス ダブラがバイパスされます。詳細については、ピン モード整数周波数生成 のピン モードの説明を参照してください。
8	CAL/CE	I	—	チップ イネーブル。ピン モード (SPI モードではない) では、このピンに現れる立ち上がりエッジによって VCO キャリブレーションが起動されます。SPI モードでは、このピンは CE と同様に機能します。この場合、CE ピンが "High" になるとデバイスがイネーブルになり、"Low" になるとデバイスがディスエーブルになります。
9	SYNC	I	—	位相同期 SYNC 信号入力ピン。CMOS 入力。使用しない場合は、1kΩ の抵抗を介してグランドに接続します。
10	GND	—	—	グランド
11	VccDIG	—	—	デジタル電源。3.3V を、0.1µF のコンデンサを介してグランドに接続します。
12	OSCinP	I	—	リファレンス入力クロック ピン (+)。高い入力インピーダンス。直列コンデンサを接続する必要があります (0.1µF を推奨)。シングルエンド入力の場合、AC カップリング直列コンデンサの手前に、GND への 50Ω の抵抗が必要です。差動入力の場合、OSCinP と OSCinM の間に 100Ω の抵抗を使用します。
13	OSCinM	I	—	OSCinP への相補ピン (–)。使用しない場合は、50Ω の抵抗を介して GND に AC 結合します。
14	VregIN	—	—	入力基準パス レギュレータのデカップリング。1µF コンデンサをグランドに接続する必要があります。ピンの近くに配置します。
15	OUTMUX2	I	—	RFOUTA および RFOUTB の出力マルチプレクサの選択を OUTMUX1 と OUTMUX0 とともに制御します。8 つのオプションには、RFOUTA および RFOUTB の VCO 出力、ダブラ出力またはチャネル デバイダ出力の組み合わせを選択することが含まれます。詳細については、ピン モード整数周波数生成 のピン モードの説明を参照してください。
16	OUTMUX1	I	—	RFOUTA および RFOUTB の出力マルチプレクサの選択を OUTMUX2 と OUTMUX0 とともに制御します。8 つのオプションには、RFOUTA および RFOUTB の VCO 出力、ダブラ出力またはチャネル デバイダ出力の組み合わせを選択することが含まれます。詳細については、ピン モード整数周波数生成 のピン モードの説明を参照してください。
17	OUTMUX0	I	—	RFOUTA および RFOUTB の出力マルチプレクサの選択を OUTMUX2 と OUTMUX1 とともに制御します。8 つのオプションには、RFOUTA および RFOUTB の VCO 出力、ダブラ出力またはチャネル デバイダ出力の組み合わせを選択することが含まれます。詳細については、ピン モード整数周波数生成 のピン モードの説明を参照してください。
18	MuteA	I	—	出力バッファのミュート制御。高インピーダンスの CMOS 入力。RFOUTA は、MuteA ピンを使用してミュートまたはミュート解除されます
19	MuteB	I	—	出力バッファのミュート制御。高インピーダンスの CMOS 入力。RFOUTB は、MuteB ピンを使用してミュートまたはミュート解除されます
20	VccCP	I	—	チャージ ポンプ電源。3.3V を、0.1µF のコンデンサを介してグランドに接続します。
21	CPout	O	—	チャージ ポンプ出力。ループ フィルタの C1 を、チャージ ポンプ ピンの近くに接続することを推奨します。
22	GND	—	グランド	グランド
23	GND	—	グランド	グランド
24	VccMASH	—	—	デジタル電源。0.1µF のコンデンサを介して 3.3V に接続し、10µF のコンデンサを介してグランドに接続します。
25	SCK	I	—	SPI 入力クロック。高インピーダンスの CMOS 入力。1.6V ～ 3.3V ロジック。
26	SDI	I	—	SPI 入力データ。高インピーダンスの CMOS 入力。1.6V ～ 3.3V ロジック。
27	VccBUF	—	—	出力バッファ電源。3.3V を、0.1µF のコンデンサを介してグランドに接続します。
28	GND	—	グランド	グランド
29	RFoutBM	O	—	差動出力 B ペア。V_{CC} への 50Ω 抵抗のプルアップを内蔵しています。シンセサイザ出力または SYSREF 出力として使用できます。

Copyright © 2026 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ[1]	タイプ	説明
番号	名称			
30	RFoutBP	O	—	差動出力 B ペア。V_{CC} への 50Ω 抵抗のプルアップを内蔵しています。シンセサイザ出力または SYSREF 出力として使用できます。
31	GND	—	グランド	グランド
32	VccBUF	—	—	出力バッファ電源。3.3V を、0.1µF のコンデンサを介してグランドに接続します。
33	NC	—	—	このピンを、1kΩ 抵抗を介して V_{CC} またはグランドに接続します。これは性能には影響しません。
34	MUXout	—	—	多重化された出力ピン。出力可能:ロック検出、SPI 読み戻し、診断。
35	CSB	—		SPI チップ セレクト バー。高インピーダンスの CMOS 入力。1.6V ～ 3.3V ロジック。
36	GND	—	グランド	グランド
37	VccBUF	—	—	出力バッファ電源。3.3V を、0.1µF のコンデンサを介してグランドに接続します。
38	GND	—	グランド	グランド
39	RFoutAM	O	—	差動出力 A ペア。V_{CC} への 50Ω 抵抗のプルアップを内蔵しています。
40	RFoutAP	O	—	差動出力 A ペア。V_{CC} への 50Ω 抵抗のプルアップを内蔵しています。
41	GND	—	グランド	グランド
42	VccBUF	—	—	出力バッファ電源。3.3V を、0.1µF のコンデンサを介してグランドに接続します。
43	GND	—	グランド	グランド
44	VccVCO2	—	—	VCO 電源。0.1µF のコンデンサを介して 3.3V に接続し、10µF のコンデンサを介してグランドに接続します。
45	VbiasVCO2	—	—	VCO バイアス。1µF コンデンサをグランドに接続する必要があります。
46	SysRefReq	I	—	JESD204B/C サポート用の SYSREF 要求入力。
47	VrefVCO2	—	—	VCO 電源基準電圧。10µF コンデンサをグランドに接続する必要があります。
48	RECAL_EN	I	—	自動再キャリブレーション機能をイネーブルに有効化します。このピンが "Low" ではキャリブレーションはトリガされません。このピンが "High" の場合は、特定の遅延後にデバイスがロック解除されたときは常に、キャリブレーションが起動されることを意味します。このピンには内部に 200kΩ のプルアップ抵抗があります。
49	CDIV0	I	4 レベル ピン	ピン モードオプションで、CDIV2 および CDIV1 とともにチャネル デバイダを制御します。詳細については、ピン モード整数周波数生成 のピン モードの説明を参照してください。
50	CDIV1	I	4 レベル ピン	ピン モードオプションで、CDIV0 および CDIV2 とともにチャネル デバイダを制御します。詳細については、ピン モード整数周波数生成 のピン モードの説明を参照してください。
51	CDIV2	I	4 レベル ピン	ピン モードオプションで、CDIV1 および CDIV0 とともにチャネル デバイダを制御します。詳細については、ピン モード整数周波数生成 のピン モードの説明を参照してください。
52	GND	—	グランド	グランド
53	VbiasVARAC	—	—	VCO バラクタ バイアス。10µF コンデンサをグランドに接続する必要があります。
54	GND	—	グランド	グランド
55	Vtune	I	—	VCO 調整電圧入力。
56	VrefVCO	—	—	VCO 電源基準電圧。10µF コンデンサをグランドに接続する必要があります。
57	VccVCO	—	—	VCO 電源。0.1µF のコンデンサを介して 3.3V に接続し、10µF のコンデンサを介してグランドに接続します。
58	VregVCO	—	—	VCO レギュレータ ノード。1µF コンデンサをグランドに接続する必要があります。
59	GND	—	グランド	グランド
60	GND	—	グランド	グランド
61	NC	—	NC	このピンは 1KΩ の抵抗を介して VCC に接続します。
62	NDIV5	I	4 レベル ピン	ピン モードでの整数 N デバイダのビット 5。これは、N デバイダ設定の 6 ビット値である NDIV5-NDIV0 の一部です。詳細については、ピン モード整数周波数生成 のピン モードの説明を参照してください。

Copyright © 2026 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ(1)	タイプ	説明
番号	名称			
63	NDIV4	I	4 レベル ピン	ピン モードでの整数 N デバイダのビット 4。これは、N デバイダ設定の 6 ビット値である NDIV5-NDIV0 の一部です。詳細については、ピン モード整数周波数生成 のピン モードの説明を参照してください。
64	NDIV3	I	4 レベル ピン	ピン モードでの整数 N デバイダのビット 3。これは、N デバイダ設定の 6 ビット値である NDIV5-NDIV0 の一部です。詳細については、ピン モード整数周波数生成 のピン モードの説明を参照してください。
—	DAP	—	グランド	ダイ取り付けパッド。良好な放熱性能を得るため、DAP を複数のビアを用いて PCB のグランド プレーンに接続します。

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
V_{CC}	電源電圧(1)	-0.3	3.6	V
V_{DIG}	デジタルピン電圧 (SYNC、SysRefReq、RECAL_EN、CAL、MUXout、REF_DBLR_EN、MuteX、OUTMUXx、CHDIVx、NDIVx)	-0.3	3.6	V
$\|V_{OSCin}\|$	OSCinP と OSCinM 間の差動 AC 電圧		2.1	V_{PP}
T_J	接合部温度	-55	150	°C
T_{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		荷電デバイス モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠、すべてのピン(2)	±750	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。必要な予防措置をとれば、HBM の ESD 耐圧が 500V 未満でも製造可能です。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。必要な予防措置をとれば、CDM の ESD 耐圧が 250V 未満でも製造可能です。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{CC}	電源電圧	3.2	3.3	3.45	V
T_C	ケース温度	-55	25	125	°C

5.4 熱に関する情報

熱評価基準(1)		CQFP 64 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	19.95	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	6.84	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	5.91	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.11	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	5.87	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗 (2)	0.45	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
(2) DAP

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性

3.2V ≤ V_{CC} ≤ 3.45V、–55°C ≤ T_C ≤ +125°C、OSCIN = 100MHz、SM Clock = 12.5MHz、標準値は V_{CC} = 3.3V、25°C にて (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
電源							
I_{CC}	電源電流 (両方のチャネルで選択された VCO 出力、RFOUTA イネーブル、RFOUTB ディスエーブル)	OUTA_PD = 0、OUTB_PD = 1 OUTA_MUX = 1 OUTA_PWR = 7、CPG = 7 f_{OSC} = f_{PD} = 100MHz、f_{VCO} = f_{OUT} = 14.5GHz			460		mA
	電源電流 (RFOUTA と RFOUTB の両方の VCO 出力イネーブルが)	OUTA_PD = 0、OUTB_PD = 0 OUTA_MUX = 1、OUTB_MUX = 1 OUTA_PWR = 7、OUTB_PWR = 7、CPG = 7 f_{OSC} = f_{PD} = 100MHz、f_{VCO} = f_{OUT} = 14.5GHz			660		mA
	電源電流 (両チャネルでチャネル デバイダを選択、RFOUTA イネーブル、RFOUTB ディスエーブル)	OUTA_PD = 0、OUTB_PD = 1 OUTA_MUX = 0 OUTA_PWR = 7、CPG = 7 f_{OSC} = f_{PD} = 100MHz、f_{VCO} = 15GHz、f_{OUT} = 7.5GHz			510		
	電源電流 (RFOUTA と RFOUTB の両方のチャネル デバイダイネーブルが)	OUTA_PD = 0、OUTB_PD = 0 OUTA_MUX = 0、OUTB_MUX = 0、 OUTA_PWR = 7、OUTB_PWR = 7、CPG = 7 f_{OSC} = f_{PD} = 100MHz、f_{VCO} = 15GHz、f_{OUT} = 7.5GHz			685		
	消費電流 (両方のチャネルで選択されたダブラ出力、RFOUTA がイネーブル、RFOUTB がディスエーブル)	OUTA_PD = 0、OUTB_PD = 1、 OUTA_MUX = 2、 OUTA_PWR = 7、CPG = 7 f_{OSC} = f_{PD} = 100MHz、f_{VCO} = 12GHz、f_{OUT} = 24GHz			650		
	電源電流 (RFOUTA と RFOUTB の両方のダブラ出力がイネーブル)	OUTA_PD = 0、OUTB_PD = 0 OUTA_MUX = 2、OUTB_MUX = 2、 OUTA_PWR = 7、OUTB_PWR = 7、CPG = 7 f_{OSC} = f_{PD} = 100MHz、f_{VCO} = 12GHz、f_{OUT} = 24GHz			730		
	電源電流 (RFOUTA のダブラ出力、RFOUTB の CHDIV がイネーブル)	OUTA_PD = 0、OUTB_PD = 0 OUTA_MUX = 2、OUTB_MUX = 0、 OUTA_PWR = 7、OUTB_PWR = 7、CPG = 7 f_{OSC} = f_{PD} = 100MHz、f_{VCO} = 12GHz f_{OUTA} = 24GHz、f_{OUTB} = 6GHz			810		
	パワーオン リセット電流	RESET = 1 (デバイス ウェークアップ)			250		
	パワーダウン電流	POWERDOWN = 1			17		
出力特性							
Fout	RF 出力周波数			5		30000	MHz
P_{OUT}	シングルエンド出力電力[2][4]	OUTx_PWR = 7、ダブラ出力	f_{OUT} = 30GHz		1.2		dBm
	差動出力電力[5]				4.2		
	シングルエンド出力電力[2][4]		f_{OUT} = 27GHz		2		
	差動出力電力[5]				5		
	シングルエンド出力電力[2][4]		f_{OUT} = 24GHz		3.5		
	差動出力電力[5]				6.5		
	シングルエンド出力電力[2][4]		f_{OUT} = 18GHz		2		
	差動出力電力[5]				5		
	シングルエンド出力電力[2][4]	OUTx_PWR = 7、VCO 出力	f_{OUT} = 15GHz		2.5		
	差動出力電力[5]				5.5		
	シングルエンド出力電力[2][4]		f_{OUT} = 7.5GHz		6		
	差動出力電力[5]				9		
	シングルエンド出力電力[2][4]	OUTx_PWR = 7、デバイダ出力	f_{OUT} = 4GHz		6.5		
	差動出力電力[5]				9.5		

Copyright © 2026 Texas Instruments Incorporated

3.2V ≤ V_{CC} ≤ 3.45V、–55°C ≤ T_C ≤ +125°C、OSCIN = 100MHz、SM Clock = 12.5MHz、標準値は V_{CC} = 3.3V、25°C にて (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
$H_{1/2}$	1/2 次高調波、シングル エンド測定	12GHz の周波数で測定	F_{out} = 2 × F_{vco} = 24GHz		-55		dBc
	1/2 次高調波、差動エンド				-60		
	1/2 次高調波、シングル エンド測定	8GHz の周波数で測定	F_{out} = 2 × F_{vco} = 16GHz		-42		
	1/2 次高調波、差動エンド				-45		
$H_{3/2}$	3/2 次高調波、シングル エンド測定	24GHz の周波数で測定	F_{out} = 2 × F_{vco} = 16GHz		-45		
	3/2 次高調波、差動エンド測定				-45		
P_{mute}	出力がミュート状態のときのシングルエンド出力電力リーケージ	Fout = 24 GHz			-40		dBm
	出力がミュート状態のときのシングルエンド出力電力リーケージ	Fout = 12 GHz			-55		
	出力がミュート状態のときのシングルエンド出力電力リーケージ	Fout = 6GHz、RFoutA、RFoutB は CHDIV 用に構成、両方がミュート状態			-85		
	出力がミュート状態のときのシングルエンド出力電力リーケージ	Fout = 6GHz、RFoutA、RFoutB は CHDIV 用に構成、RFoutA がミュート状態、RFoutA で測定			-60		
t_{MUTE}	MUTE のイネーブル時間	Fout = 12 GHz			200		ns
t_{UNMUTE}	MUTE のディスエーブル時間	Fout = 12 GHz			200		
isoCH	チャネル間絶縁 (ダブラから VCO)	RFOUTA = 24GHz、RFOUTB = 12GHz			-39		dBc
	チャネル間絶縁 (VCO から CH デバイダ)	RFOUTA = 12GHz、RFOUTB = 6GHz			-53		
	チャネル間絶縁 (ダブラから CH デバイダ)	RFOUTA = 24GHz、RFOUTB = 6GHz			-41		
位相ノイズ	RF 出力周波数位相ノイズ	Fout = 24 GHz	1kHz		-92.5		dBc/Hz
			10kHz		-102		
			100kHz		-104		
			1MHz		-112.5		
			10MHz		-138		
			100MHz		-150.7		
		Fout = 15 GHz	1kHz		-97		
			10kHz		-105.5		
			100kHz		-107.5		
			1MHz		-115		
			10MHz		-140		
			100MHz		-156		
ジッタ	RMS ジッタ	Fout = 24GHz、f_{OSCin} = 100MHz、f_{PD} = 200MHz、積分範囲 1kHz ～ 100MHz			54		fs
スキュー	RFOUTA と RFOUTB の間のスキュー	RFOUTA = RFOUTB = 16GHz			32		ps
		RFOUTA = RFOUTB = 8GHz			6		
		RFOUTA = RFOUTB = 4GHz			5		
入力信号パス							
f_{OSCin}	リファレンス入力周波数	OSC_2X = 0		5		1200	MHz
		OSC_2X = 1		5		200	
v_{OSCin}	基準入力電圧	補完側を 50Ω 抵抗でグランドに AC 結合した、シングルエンド AC 結合の正弦波入力	f_{OSCin} ≥ 20MHz	0.4		2	V_{PP}
			10MHz ≤ f_{OSCin} < 20MHz	0.8		2	
			5MHz ≤ f_{OSCin} < 10MHz	1.6		2	
P 位相検出器とチャージ ポンプ							
f_{PD}	位相検出器の周波数 (1)	MASH_ORDER = 0		0.125		250	MHz
		MASH_ORDER > 0		5		200	MHz

Copyright © 2026 Texas Instruments Incorporated

3.2V ≤ V_{CC} ≤ 3.45V、–55°C ≤ T_C ≤ +125°C、OSCIN = 100MHz、SM Clock = 12.5MHz、標準値は V_{CC} = 3.3V、25°C にて (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{CPout}	チャージ ポンプ出力電流	CPG = 0		15		nA
	実効チャージ ポンプ電流。これは、アップ電流とダウン電流の合計です	CPG = 4		3		mA
		CPG = 1		6		
		CPG = 5		9		
		CPG = 3		12		
		CPG = 7		15		
$PN_{PLL_1/f}$	正規化された PLL 1/f ノイズ	f_{PD} = 100MHz、f_{VCO} = 12GHz(3)		-129		dBc/Hz
PN_{PLL_FOM}	正規化された PLL ノイズ フロア	f_{PD} = 100MHz、f_{VCO} = 12GHz(3)		-236		

Copyright © 2026 Texas Instruments Incorporated

3.2V ≤ V_{CC} ≤ 3.45V、–55°C ≤ T_C ≤ +125°C、OSCIN = 100MHz、SM Clock = 12.5MHz、標準値は V_{CC} = 3.3V、25°C にて (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
VCO の特性							
f_{VCO}	VCO 周波数			7500		15000	MHz
PN_{VCO}	VCO 位相ノイズ	VCO1 f_{VCO} = 8.1GHz	100kHz		-106		dBc/Hz
			1MHz		-129		
			10MHz		-148		
			100MHz		-158		
		VCO2 f_{VCO} = 9.3GHz	100kHz		-104		
			1MHz		-126		
			10MHz		-143		
			100MHz		-157		
		VCO3 f_{VCO} = 10.4GHz	100kHz		-102		
			1MHz		-126		
			10MHz		-142		
			100MHz		-157		
		VCO4 f_{VCO} = 11.4GHz	100kHz		-99		
			1MHz		-124		
			10MHz		-145		
			100MHz		-156		
		VCO5 f_{VCO} = 12.5GHz	100kHz		-99		
			1MHz		-123		
			10MHz		-143		
			100MHz		-156		
		VCO6 f_{VCO} = 13.6GHz	100kHz		-98		
			1MHz		-122		
			10MHz		-142		
			100MHz		-157		
		VCO7 f_{VCO} = 14.7GHz	100kHz		-97		
			1MHz		-121		
			10MHz		-141		
			100MHz		-156		
t_{VCOCAL}	VCO のキャリブレーション時間	周波数帯域全体を切り換え、f_{OSC} = f_{PD} = 100MHz、アシスト キャリブレーションなし			650		µs
$t_{LockTime}$	ロック時間	フル アシスト モード、ループ帯域幅 = 300kHz、PFD 周波数 = 100MHz、RFOUTA 9.5GHz ～ 9.52GHz、RFOUT 付近で 1ppm セトリング、ダブル バッファリングがイネーブル			16		µs
K_{VCO}	VCO ゲイン	8.1GHz			94		MHz/V
		9.3GHz			106		
		10.4GHz			122		
		11.4GHz			148		
		12.5GHz			185		
		13.6GHz			202		
		14.7GHz			233		
$\lvert\Delta T_{CL}\rvert$	VCO が再キャリブレーションされていないときに許容される温度ドリフト	SPI モードで構成されたデバイス			125		°C
H2	VCO 2 次高調波	f_{VCO} = 8GHz、デバイダがディスエーブル、シングルエンド出力			-30		dBc
H3	VCO の 3 次高調波	f_{VCO} = 8GHz、デバイダがディスエーブル、シングルエンド出力			-14		

Copyright © 2026 Texas Instruments Incorporated

3.2V ≤ V_{CC} ≤ 3.45V、–55°C ≤ T_C ≤ +125°C、OSCIN = 100MHz、SM Clock = 12.5MHz、標準値は V_{CC} = 3.3V、25°C にて (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
デジタル インターフェイス (SCK、SDI、CSB、CAL、RECAL_EN、MUXout、SYNC、SysRefReq、REF_DBLR_EN、MuteX、OUTMUXx に適用)							
V_{IH}	High レベル入力電圧			1.6			V
V_{IL}	Low レベル入力電圧					0.4	V
I_{IH}	High レベル入力電流					100	µA
I_{IL}	Low レベル入力電流			-100			µA
V_{OH}	High レベル出力電圧	MUXout ピン	負荷電流 = -5mA	V_{CC} - 0.6			V
V_{OL}	Low レベル出力電圧	MUXout ピン	負荷電流 = 5mA			0.6	V
$V_{SysRefCM}$	SYSREF 出力同相電圧	OUTB_PWR = 7、V_{CC} = 3.3V、差動 100Ω 負荷			2.1		V
V_{SysRef}	SYSREF 出力スイング	OUTB_PWR = 7、V_{CC} = 3.3V、差動 100Ω 負荷			1.2		V
f_{SysRef}	SYSREF 周波数範囲					187.5	MHz
$f_{SysRefDly}$	SYSREF 遅延ステップ サイズ	$f_{Interpolator}$ = 800MHz			9		ps
VL	CDIV0、CDIV1、CDIV2 の電圧レベル			0		0.4	V
VML	CDIV0、CDIV1、CDIV2 の電圧レベル			0.8	V_{CC}/3	1.4	V
VMH	CDIV0、CDIV1、CDIV2 の電圧レベル			1.9	2 × V_{CC} / 3	2.5	V
VH	CDIV0、CDIV1、CDIV2 の電圧レベル			3	V_{CC}	3.45	V
VL	NDIV0、NDIV1、NDIV2、NDIV3、NDIV4、NDIV5 電圧レベル			0		0.4	V
VML	NDIV0、NDIV1、NDIV2、NDIV3、NDIV4、NDIV5 電圧レベル			0.8	V_{CC}/3	1.4	V
VMH	NDIV0、NDIV1、NDIV2、NDIV3、NDIV4、NDIV5 電圧レベル			1.9	2 × V_{CC} / 3	2.5	V
VH	NDIV0、NDIV1、NDIV2、NDIV3、NDIV4、NDIV5 電圧レベル			3	V_{CC}	3.45	V

(1) VCO 周波数が低い場合、N デバイダの最小値によって位相検出器の周波数が制限される可能性があります。
(2) デバイス ピンのシングルエンド出力電力。パターン損失の影響は取り除かれます。未使用ポートは 50Ω 負荷に終端します。
(3) PLL ノイズの寄与は、クリーンなリファレンスと広いループ帯域幅を使用して測定され、フリッカ部品とフラット部品で構成されています。PLL_flat = PLL_FOM + 20 × log(Fvco / Fpd) + 10 × log(Fpd / 1Hz)。PLL_flicker (オフセット) = PLL_1 / f + 20 × log(Fvco / 1GHz) – 10 × log(オフセット / 10kHz)。これら 2 つの成分が特定された後、PLL の総ノイズは PLL_Noise = 10 × log ($10^{PLL_Flat / 10}$ + $10^{PLL_flicker / 10}$) として計算できます
(4) 出力電力、スプリアス、高調波は、基板レイアウトや部品によって異なる場合があります。
(5) 外部バランで測定された差動出力電力。バランとパターンの損失の影響は取り除かれています。

5.6 タイミング要件

(3.2V ≤ V_{CC} ≤ 3.45V、–55°C ≤ T_C ≤ +125°C、特に指定のない限り。公称値は、V_{CC} = 3.3V、T_C = 25°C における値です)

パラメータ			最小値	公称値	最大値	単位
デジタル インターフェイス書き込み仕様						
f_{SPI}Write	SPI 書き込み速度				40	MHz
t_{CE}	クロックからイネーブル low 時間	タイミング図を参照	2.5			ns
t_{CS}	データ - クロック セットアップ時間	タイミング図を参照	8.6			ns
t_{CH}	データ - クロック ホールド時間	タイミング図を参照	0.6			ns
t_{CWH}	クロック パルス幅 high	タイミング図を参照	10			ns
t_{CWL}	クロック パルス幅 low	タイミング図を参照	10			ns
t_{CES}	クロック セットアップ時間をイネーブル	タイミング図を参照	6.5			ns
t_{EWH}	パルス幅 high をイネーブル	タイミング図を参照	5			ns
デジタル インターフェイス読み戻し仕様						
f_{SPI}Readback	SPI 読み戻し速度				40	MHz

Copyright © 2026 Texas Instruments Incorporated

(3.2V ≤ V_{CC} ≤ 3.45V、–55°C ≤ T_C ≤ +125°C、特に指定のない限り。公称値は、V_{CC} = 3.3V、T_C = 25°C における値です)

パラメータ			最小値	公称値	最大値	単位
t_{CE}	クロックからイネーブル low 時間	タイミング図を参照	2.5			ns
t_{CS}	クロックからデータまでの待機時間		8.6			ns
t_{CWH}	クロック パルス幅 high		10			ns
t_{CWL}	クロック パルス幅 low		10			ns
t_{CES}	クロック セットアップ時間をイネーブル		6.5			ns
t_{EWH}	パルス幅 high をイネーブル		5			ns
t_{CD}	立ち下がりクロック エッジからデータ待ち時間まで				10	ns
SYNC と SYSREFREQ						
t_{SETUP}	SYNC ピンから OSCin までのセットアップ時間		2.5			ns
t_{HOLD}	SYNC ピンから OSCin までのホールド時間		2.5			ns

5.7 タイミング図

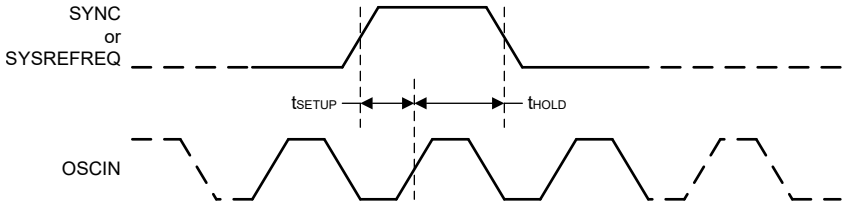


図 5-1. トリガ信号のタイミング図

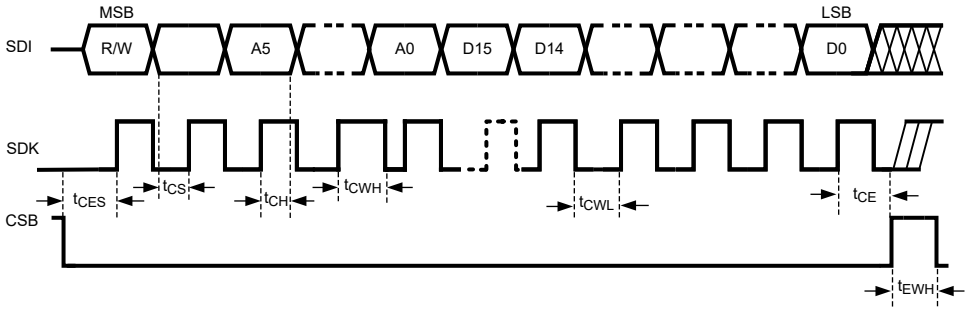


図 5-2. シリアル データ入力のタイミング図

LMX2624-SP は、SPI モード 0 (CPOL = 0、CPHA = 0) およびモード 3 (CPOL = 01 CPHA = 1) に対応しています。

SPI に書き込む場合、他にも次のような考慮事項があります。

- R/W ビットを 0 に設定する必要があります。
- SDI ピンのデータは、SCK ピンの各立ち上がりエッジでシフト レジスタに取り込まれます。24 番目のクロック サイクルの立ち上がりエッジで、データ フィールドから選択したレジスタ バンクにデータが転送されます。
- データをクロック駆動するには、CSB を "Low" に保持する必要があります。CSB が "High" に保持されている場合、デバイスはクロック パルスを無視します。
- MUXOUT ピンが SPI SDO として構成されている場合、すべての書き込みトランザクション中および CSB が "High" のとき、MUXOUT ピンはトライステートになります。
- SCK ラインと SDI ラインがデバイス間で共有されている場合は、クロック供給しないデバイスの CSB ラインを "High" に保持することを推奨します。

Copyright © 2026 Texas Instruments Incorporated

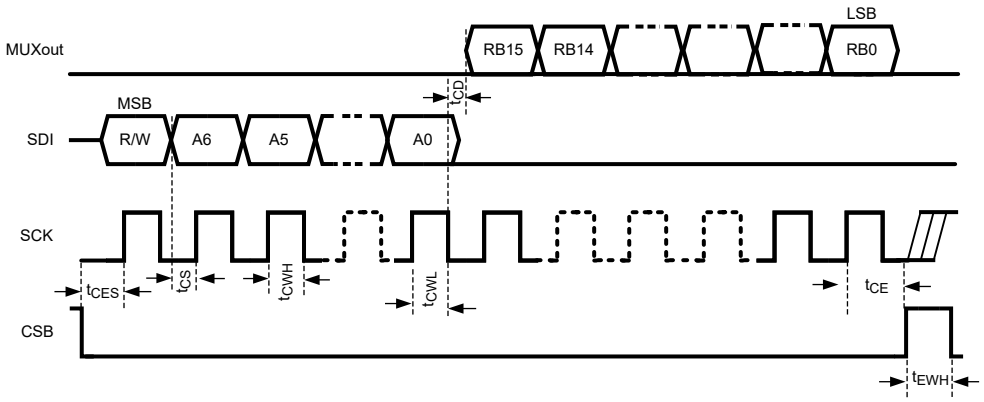


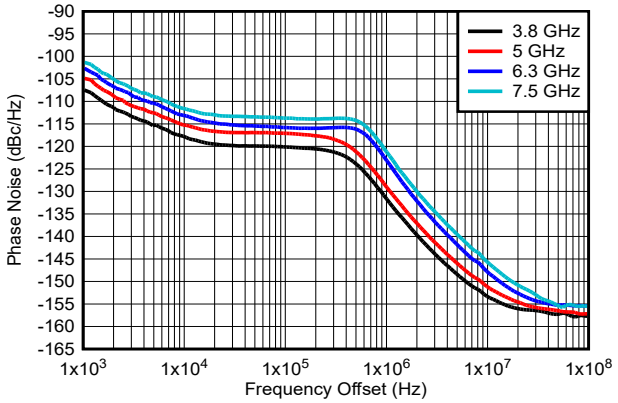
図 5-3. シリアル データの読み戻しタイミング図

SPI 読み戻しには、他にもいくつかの考慮事項があります。

- R/W ビットを 1 に設定する必要があります。
- MUXout ピンは、トランザクションのアドレス部分において、また CSB ピンが High のときに、トライステートになります。
- MUXout のデータは、SCK の立ち下がりエッジの後に瞬間的に利用可能になるため、SCK の立ち上がりエッジで読み戻す必要があります。
- SDI ラインの遷移のデータ部分は、常に無視されます。

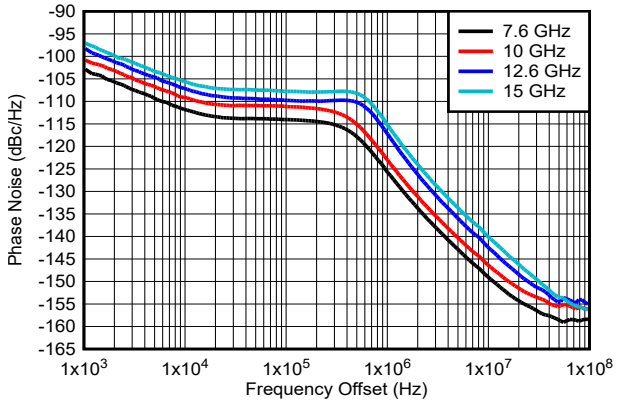
5.8 代表的特性

特に記載のない限り、次の条件が想定されています。温度 = 25°C、Vcc = 3.3V、OUTx_PWR = 7、OSCIN_P はピンで 10dBm のシングル エンドで駆動されます。



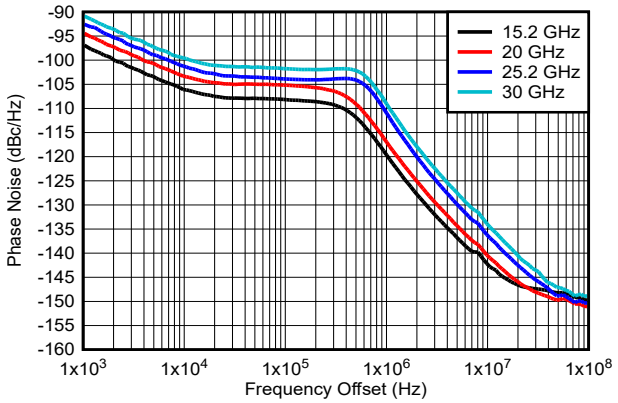
f_{OSC} = 100MHz、f_{PD} = 200MHz、チャネル分周値:2

図 5-4. チャネル デバイダ周波数範囲における閉ループ位相ノイズ



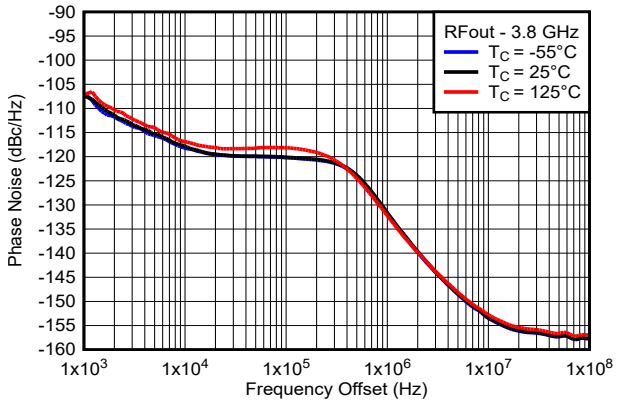
f_{OSC} = 100MHz、f_{PD} = 200MHz

図 5-5. VCO 周波数範囲における閉ループ位相ノイズ



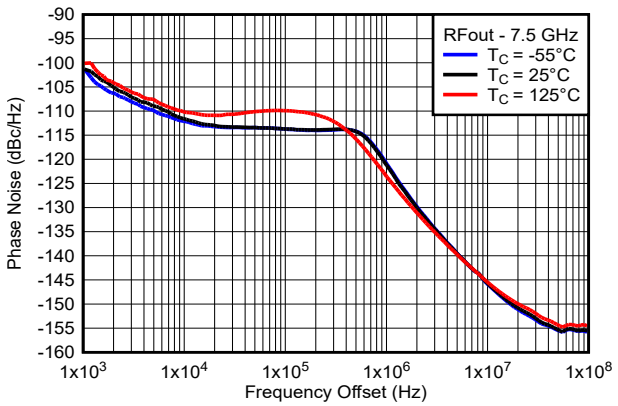
f_{OSC} = 100MHz、f_{PD} = 200MHz

図 5-6. ダブラ周波数範囲における閉ループ位相ノイズ



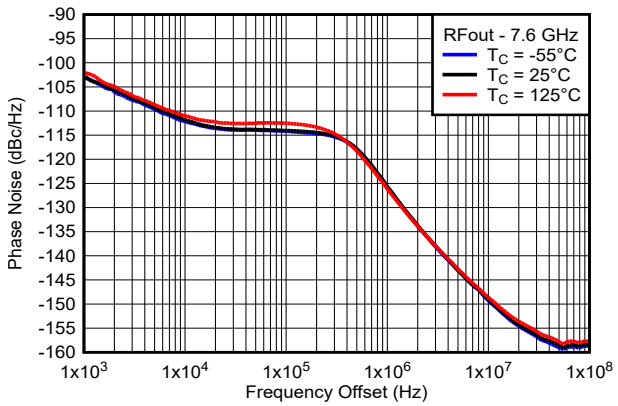
f_{OSC} = 100MHz、f_{PD} = 200MHz、チャネル分周値:2

図 5-7. 3.8GHz での閉ループ位相ノイズ



f_{OSC} = 100MHz、f_{PD} = 200MHz、チャネル分周値:2

図 5-8. 7.5GHz での閉ループ位相ノイズ



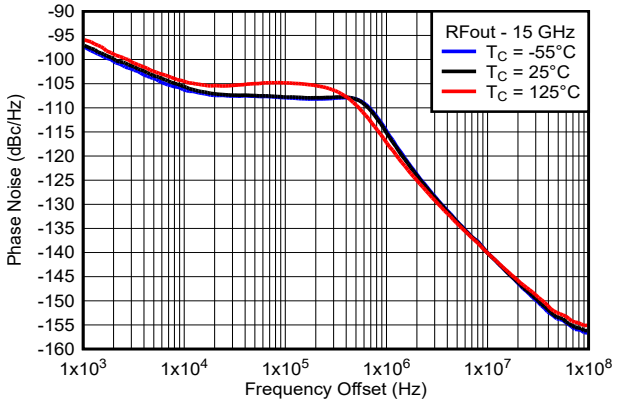
f_{OSC} = 100MHz、f_{PD} = 200MHz

図 5-9. 7.6GHz での閉ループ位相ノイズ

Copyright © 2026 Texas Instruments Incorporated

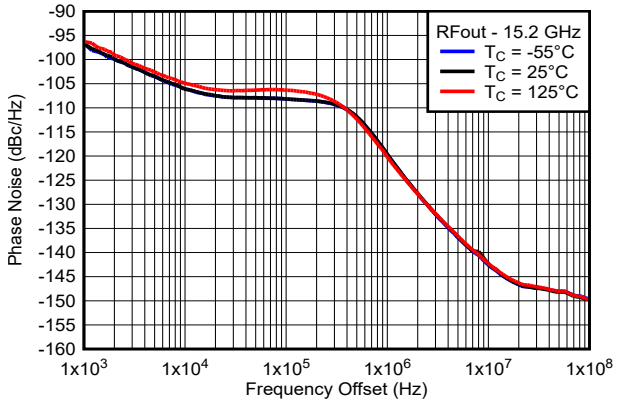
5.8 代表的特性 (続き)

特に記載のない限り、次の条件が想定されています。温度 = 25°C、Vcc = 3.3V、OUTx_PWR = 7、OSCIN_P はピンで 10dBm のシングル エンドで駆動されます。



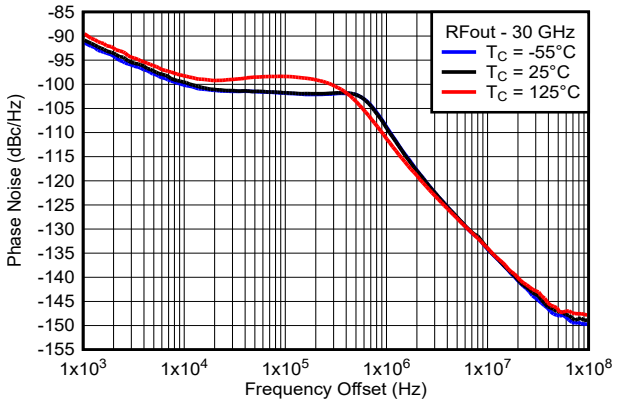
f_{OSC} = 100MHz、f_{PD} = 200MHz

図 5-10. 15GHz での閉ループ位相ノイズ



f_{OSC} = 100MHz、f_{PD} = 200MHz

図 5-11. 15.2GHz (ダブラ範囲) における閉ループ位相ノイズ



f_{OSC} = 100MHz、f_{PD} = 200MHz

図 5-12. 30GHz (ダブラ範囲) における閉ループ位相ノイズ

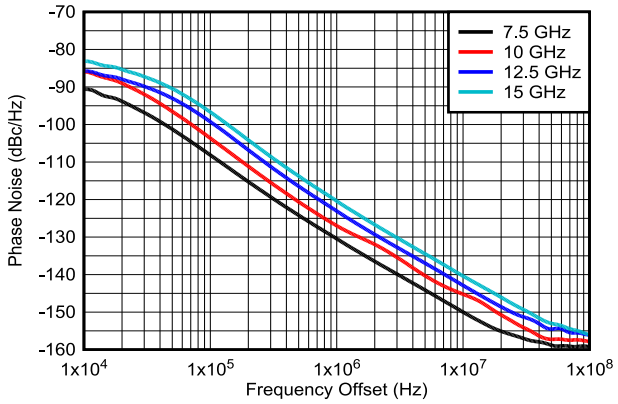


図 5-13. 開ループ VCO 位相ノイズ

5.8 代表的特性 (続き)

特に記載のない限り、次の条件が想定されています。温度 = 25°C、Vcc = 3.3V、OUTx_PWR = 7、OSCIN_P はピンで 10dBm のシングル エンドで駆動されます。

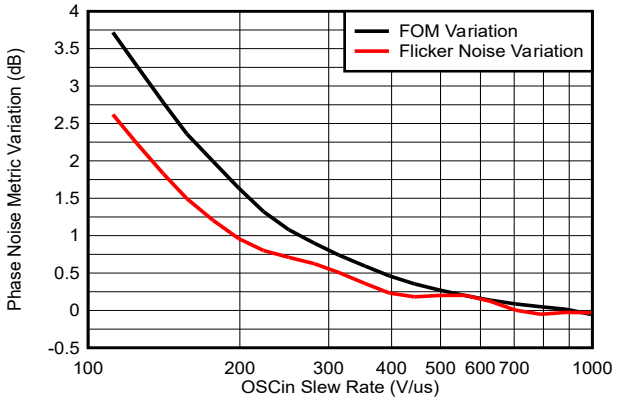
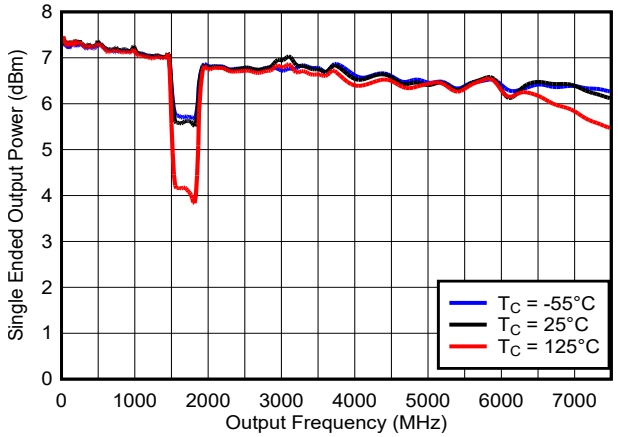


図 5-14. PLL ノイズ指標のバラツキと OSCin スルーレートとの関係



50% のデューティ サイクル出力でないため、デバイダ値 6 での電源降下。

図 5-15. チャネル デバイダ周波数範囲における出力電力と温度との関係

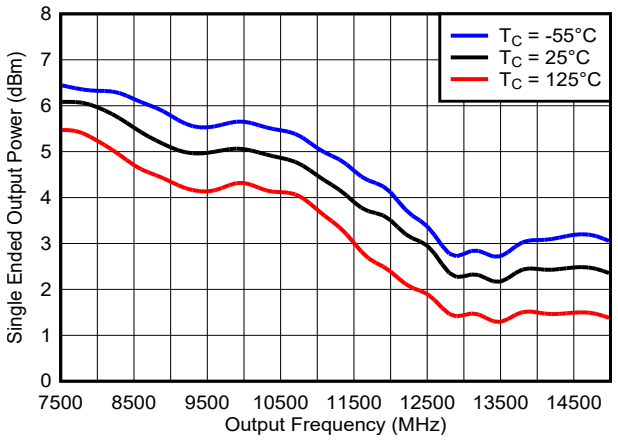


図 5-16. VCO 周波数範囲における出力電力と温度との関係

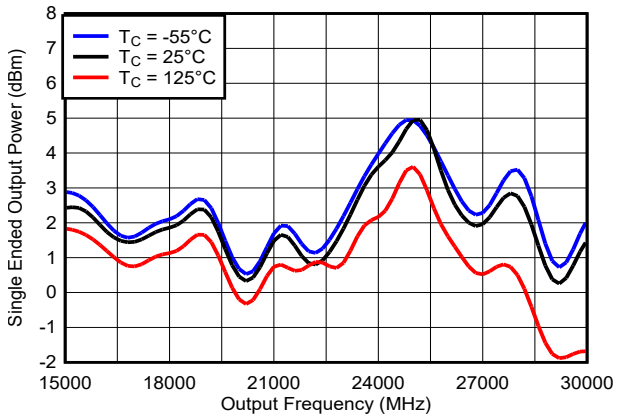


図 5-17. ダブラ周波数範囲における出力電力と温度との関係

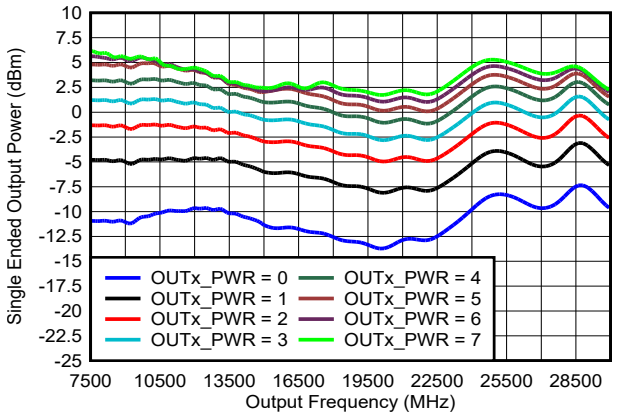


図 5-18. 出力電力と OUTx_PWR との関係

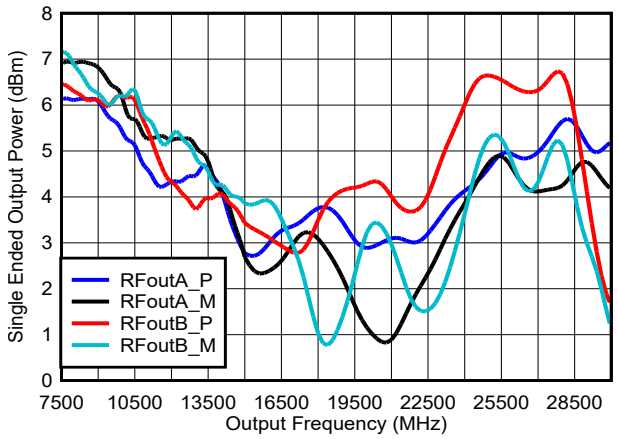
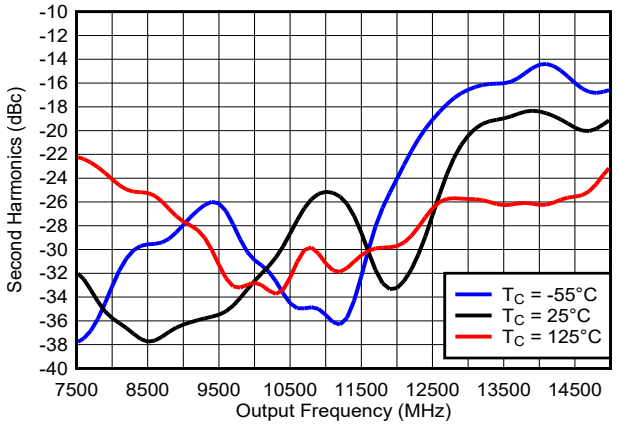


図 5-19. 各 RFout ピンの出力電力

Copyright © 2026 Texas Instruments Incorporated

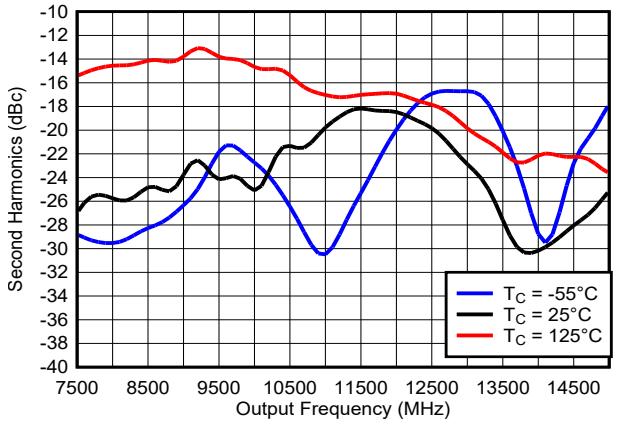
5.8 代表的特性 (続き)

特に記載のない限り、次の条件が想定されています。温度 = 25°C、Vcc = 3.3V、OUTx_PWR = 7、OSCIN_P はピンで 10dBm のシングル エンドで駆動されます。



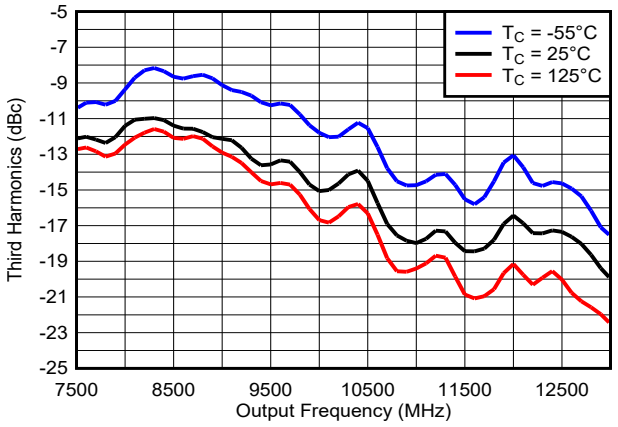
RFoutx_P のシングルエンド出力

図 5-20. VCO 周波数範囲における 2 次高調波



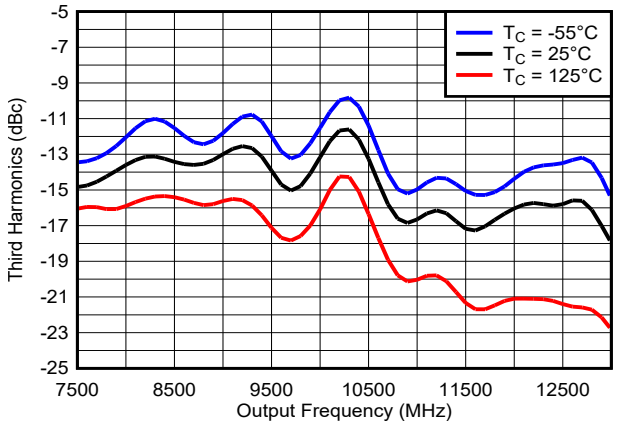
RFoutx_M のシングルエンド出力

図 5-21. VCO 周波数範囲における 2 次高調波



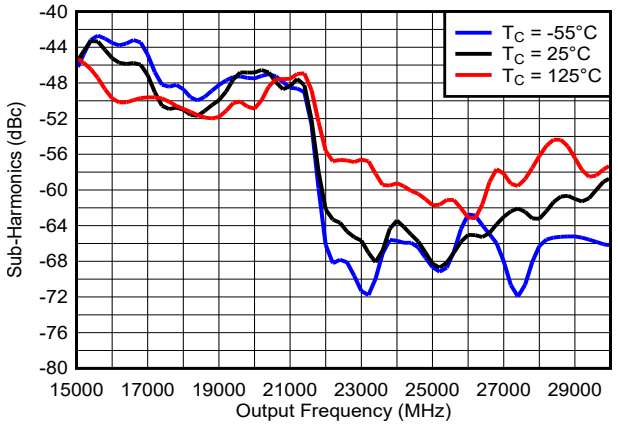
差動出力

図 5-22. VCO 周波数範囲における 3 次高調波



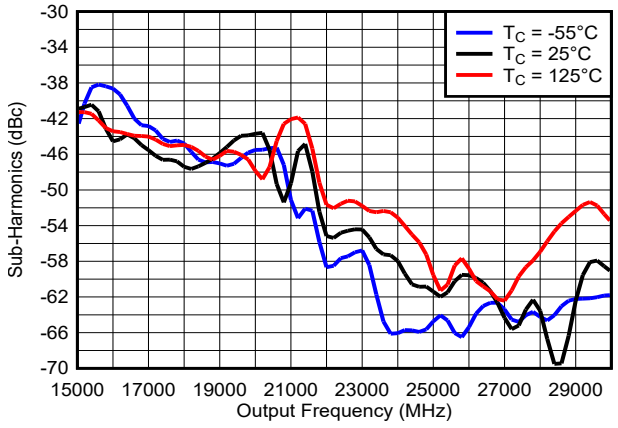
シングルエンド出力

図 5-23. VCO 周波数範囲における 3 次高調波



差動出力

図 5-24. ダブラ周波数範囲における低調波



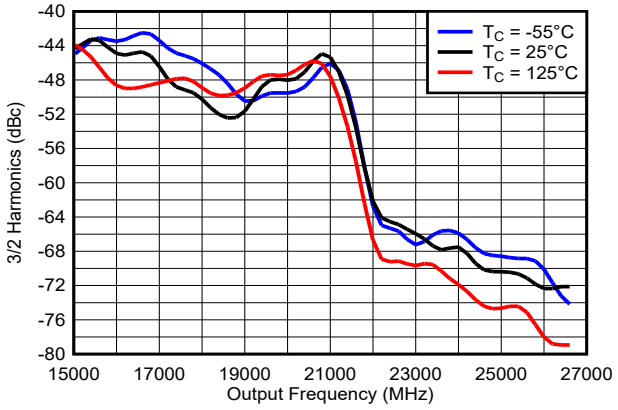
シングルエンド出力

図 5-25. ダブラ周波数範囲における低調波

Copyright © 2026 Texas Instruments Incorporated

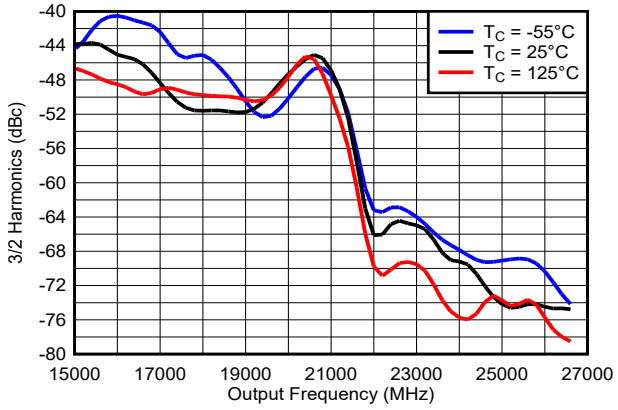
5.8 代表的特性 (続き)

特に記載のない限り、次の条件が想定されています。温度 = 25°C、Vcc = 3.3V、OUTx_PWR = 7、OSCIN_P はピンで 10dBm のシングル エンドで駆動されます。



差動出力

図 5-26. ダブラ周波数範囲における 3/2 次高調波



シングルエンド出力

図 5-27. ダブラ周波数範囲における 3/2 次高調波

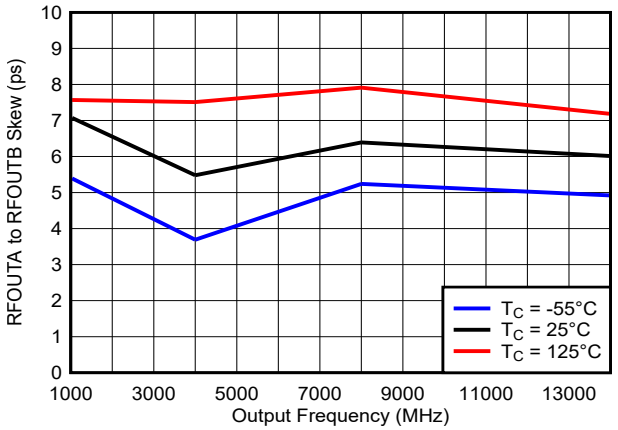
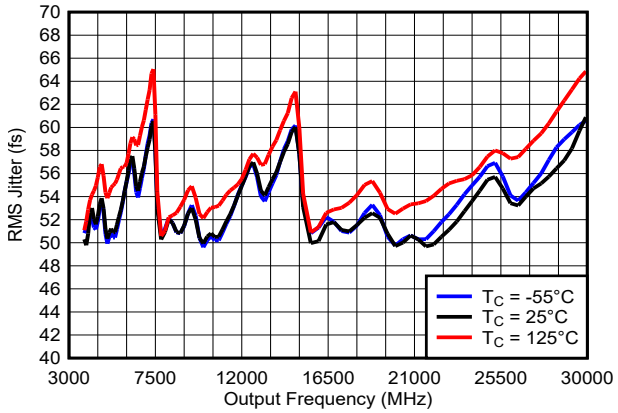
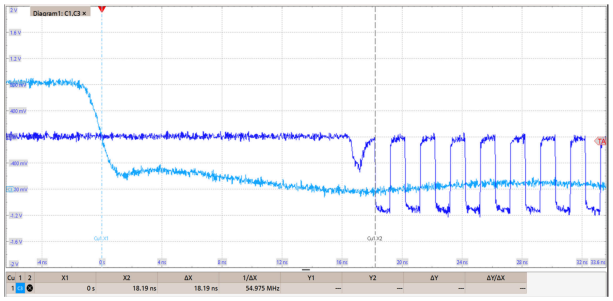


図 5-28. チャネル間スキュー



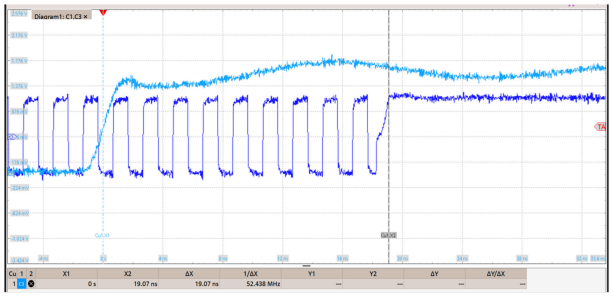
積分範囲は 1k ～ 100MHz

図 5-29. 積分ジッタ (fs) と出力周波数 (MHz) との関係



SM クロック = 50MHz

図 5-30. ミュート ピンの出力イネーブル時間



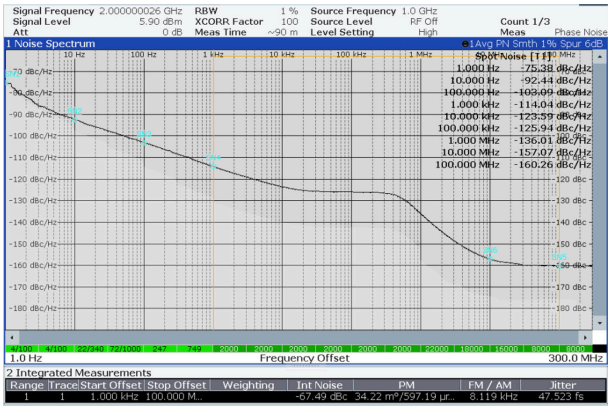
SM クロック = 50MHz

図 5-31. ミュート ピンの出力ディスエーブル時間

Copyright © 2026 Texas Instruments Incorporated

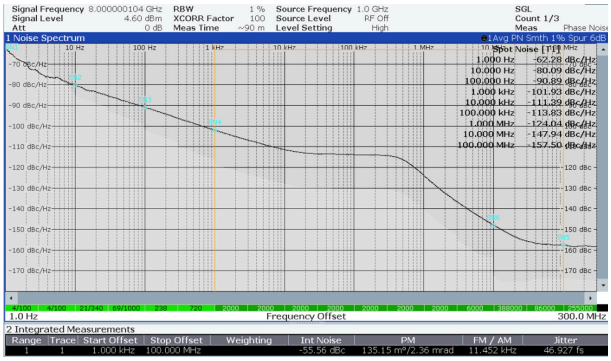
5.8 代表的特性 (続き)

特に記載のない限り、次の条件が想定されています。温度 = 25°C、Vcc = 3.3V、OUTx_PWR = 7、OSCIN_P はピンで 10dBm のシングル エンドで駆動されます。



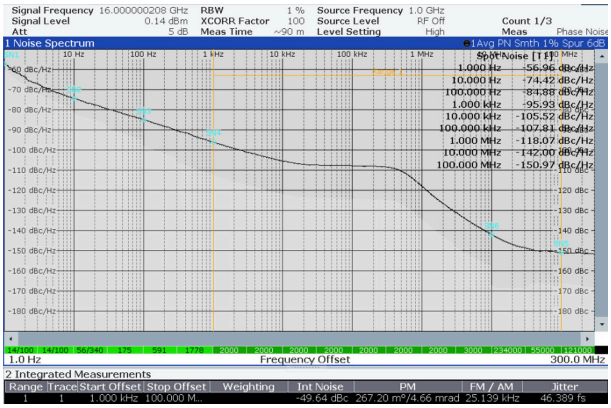
シングルエンド出力、f_{OSC} = 100MHz、f_{PD} = 200MHz、ループ フィルタ BW = 400kHz

図 5-32. 位相ノイズのグラフ (2GHz)



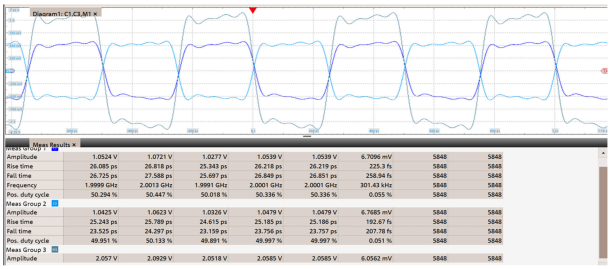
シングルエンド出力、f_{OSC} = 100MHz、f_{PD} = 200MHz、ループ フィルタ BW = 400kHz

図 5-33. 位相ノイズのグラフ (8GHz)



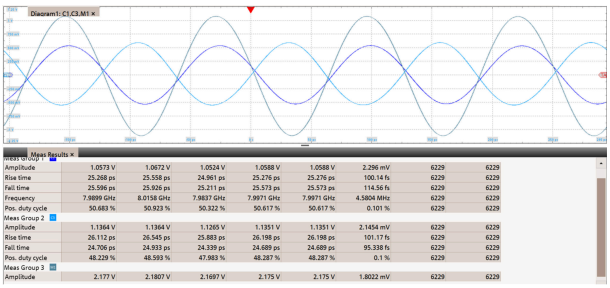
シングルエンド出力、f_{OSC} = 100MHz、f_{PD} = 200MHz、ループ フィルタ BW = 400kHz

図 5-34. 位相ノイズのグラフ (16GHz)



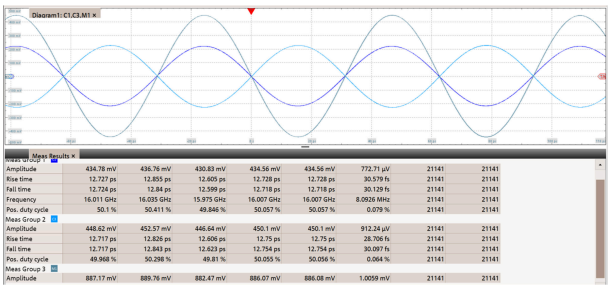
C1 : RFOUTAP、C3 : RFOUTAM、M1 : RFOUTAP – RFOUTAM (差動)

図 5-35. 時間ドメイン (2GHz) における差動出力波形



C1 : RFOUTAP、C3 : RFOUTAM、M1 : RFOUTAP – RFOUTAM (差動)

図 5-36. 時間ドメイン (8GHz) における差動出力波形



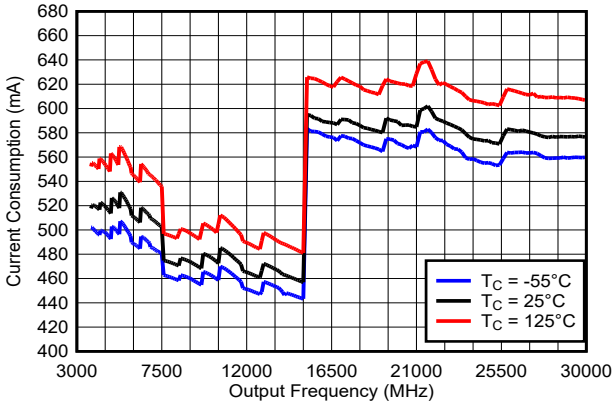
C1 : RFOUTAP、C3 : RFOUTAM、M1 : RFOUTAP – RFOUTAM (差動)

図 5-37. 時間ドメイン (16GHz) における差動出力波形

Copyright © 2026 Texas Instruments Incorporated

5.8 代表的特性 (続き)

特に記載のない限り、次の条件が想定されています。温度 = 25°C、Vcc = 3.3V、OUTx_PWR = 7、OSCIN_P はピンで 10dBm のシングル エンドで駆動されます。



シングル チャネルがイネーブル

図 5-38. 消費電流と出力周波数との関係

Copyright © 2026 Texas Instruments Incorporated

6 詳細説明

6.1 概要

LMX2624-SP は、VCO、出力ダブラ、および出力デバイダを内蔵した高性能で広帯域の周波数シンセサイザです。VCO は 7500 ～ 15000MHz で動作し、出力デバイダおよびダブラと組み合わせることで、5MHz ～ 30GHz の範囲の任意の周波数を生成できます。

PLL は分数 N PLL で、最高 3 次までのプログラム可能なデルタ シグマ変調器が搭載されています。分数分母はプログラマブルの 32 ビット長で、1Hz 未満の分解能での微細な周波数ステップを容易に実現できるほか、1/3 や 7/1000 など、多くの正確な分数比の設定にも使用できます。

位相検出器周波数は、分数モードでは 200MHz、整数モードでは 250MHz まで使用できますが、N デバイダの最小値も考慮する必要があります。確定的な位相が要求されるアプリケーションでは、SYNC ピンを使用して、OSCin ピンと RFout ピンとの位相関係を確定的に設定できます。

超高速の VCO キャリブレーションは、周波数をスイープする必要がある、または周波数が突然変化するアプリケーション用に設計されたものです。このデバイスにはピン モードと SPI モードの両方のオプションがあり、汎用入力を使用して周波数を手動で構成することも、SPI を使用してプログラムすることもできます。

JESD204B/C 対応として、RFoutB 出力を使用して差動 SYSREF 出力を作成できます。この出力は単一のパルスまたは一連のパルスで、出力信号の立ち上がりエッジから、プログラマブルな距離だけ離れて発生します。

LMX2624-SP デバイスは、単一の 3.3V 電源のみを必要とします。内部の電源は、高性能の外部 LDO によって供給されます。

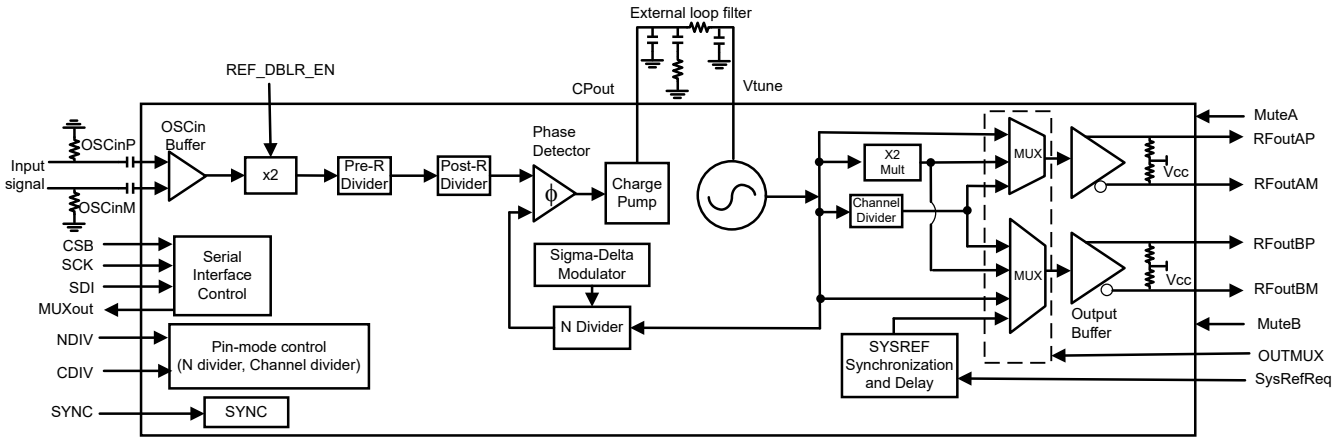
表 6-1 は、複数の逓倍器、分周器、および分数設定の範囲を示しています。

表 6-1. ダブラ、分周器、および分数設定の範囲

パラメータ	フィールド	最小値	最大値	コメント
OSCin ダブラ	OSC_2X	0 (1X)	1 (2X)	低ノイズのダブラを使用して、位相検出器の周波数を高くすることで位相ノイズを改善し、スプリアスを回避できます。これは、OSC_2X ビットを基準としています。
Pre-R デバイダ	PLL_R_PRE	1 (バイパス)	128	入力周波数が Post-R デバイダに対して高すぎる場合にのみ、Pre-R デバイダを使用します。
Post-R デバイダ	PLL_R	1 (バイパス)	255	ポスト R デバイダの最大入力周波数は 250MHz です。必要なら、プリ R デバイダを使用してください。
N デバイダ	PLL_N	≥ 29	2^{19} - 1 = 524287	最小分周値は、変調器の次数と VCO 周波数によって異なります。詳細については、セクション 6.3.5 を参照してください。
分数分子	PLL_NUM	0 (整数モード)	2^{32} - 2 = 4294967294	分数分子はプログラム可能です。この分子は、分数順序 = 整数モードの場合は無視されます。
分数分母	PLL_DEN	1	2^{32} - 1 = 4294967295	分数分母はプログラマブルで、1 ～ 2^{32} – 1 の範囲で任意の値に設定できます。分母は固定値ではありません。
分数の次数	MASH_ORDER	0	3	次数 0 は整数モードであり、次数はプログラム可能です
チャネル デバイダ	CHDIV	1 (バイパス)	1536	これは、いくつかのデバイダのシリーズです。また、12GHz を上回る場合、許容される最大チャネル デバイダの値は 4 であることに注意してください。
出力周波数		5MHz	30GHz	7.5GHz より低い周波数では、チャネル デバイダが使用されます。7.5GHz ～ 15GHz は VCO から供給されます。15GHz ～ 30GHz は VCO と出力ダブラから供給されます

Copyright © 2026 Texas Instruments Incorporated

6.2 機能ブロック図



6.3 機能説明

6.3.1 基準発振器入力

OSCin ピンは、本デバイスへの周波数基準入力として使用されます。入力は高インピーダンスで、ピンに AC カップリング キャップが必要です。OSCin ピンは、CMOS クロックまたは XO でシングル エンドを駆動できます。差動クロック入力にも対応しているため、TI の LMK シリーズ クロック デバイスなどの高性能システム クロック デバイスとのインターフェイスが容易になります。OSCin 信号は VCO キャリブレーション用のクロックとして使用されるため、FCAL_EN = 1 をプログラミングする時点、またはピン モードで CAL ピンを切り換える時点で、OSCin ピンに適切なリファレンス信号が入力されている必要があります。

6.3.2 リファレンス パス

リファレンス パスは、OSCin ダブラ (OSC_2X)、Pre-R デバイダ、マルチプライヤ、および Post-R デバイダで構成されます。

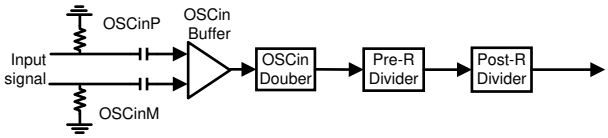


図 6-1. リファレンス パスの図

OSCin ダブラ (OSC_2X) は、低い OSCin 周波数を 2 倍にすることができます。このダブラはノイズを最小限に抑え、位相検出器の周波数を上げるほか、スプリアスを回避するのにも役立ちます。位相検出器の周波数を高くすると、PLL 位相ノイズのフラットな部分が改善されます。プリ R (PLL_R_PRE) およびポスト R (PLL_R) のデバイダは、どちらも周波数を分周して下げます。位相検出器の周波数 f_{PD} は、式 1 で計算されます

$$f_{PD} = f_{OSC} \times OSC_2X / (PLL_R_PRE \times PLL_R) \quad (1)$$

Copyright © 2026 Texas Instruments Incorporated

6.3.2.1 OSCin ダブラ (OSC_2X)

OSCin ダブラを使用すると、付加されるノイズを最小限に抑えながら、入力リファレンス周波数を 2 倍にできます。一部の状況では、ダブラを使用することで、位相検出器の最大周波数より高い周波数まで引き上げることができる場合があります。これは、プリ R デバイダがこの周波数を位相検出器の周波数まで分周できるためであり、分数スプリアスの低減に有効です。

- OSCin ダブラを使用する場合、立ち上がりエッジと立ち下がりエッジの両方が使用されるため、OSCin 信号は約 50% のデューティ サイクルである必要があります。そうでない場合は、スプリアスが高くなります。
- OSCin ダブラを使用しない場合、OSCin 信号の立ち上がりエッジのみが使用され、デューティサイクルは重要ではありません。

6.3.2.2 プリ R デバイダ (PLL_R_PRE)

プリ R デバイダは、入力周波数を低減し、PLL_R デバイダの最大入力周波数 250MHz の制限を満たすのに役立ちます。それ以外の場合、プリ R デバイダを使用する必要はありません。

6.3.2.3 Post-R デバイダ (PLL_R)

Post-R デバイダは、周波数をさらに分周して、位相検出器の周波数にするために使用できます。このデバイダを使用する場合 (PLL_R > 1)、このデバイダへの入力周波数は 250MHz に制限されます。

6.3.3 ステート マシン クロック

ステート マシン クロック (SM クロック) は、デバイス内部で使用される OSCin 信号を分周したものです。この分周値 1、2、4、8、または 16 は CAL_CLK_DIV プログラミング ワードによって決定されます (プログラミングのセクションで説明)。このデバイスは最大 50MHz のステート マシン クロック周波数に対応しています。このステート マシン クロックは、VCO キャリブレーションに影響します。ステート マシン クロックは、$f_{SM} = f_{OSC} / 2^{CAL_CLK_DIV}$ として計算されます。

6.3.4 PLL 位相検出器とチャージ ポンプ

位相検出器は、Post-R デバイダと N デバイダの出力を比較し、2 つの信号が位相内で同期するまで、位相誤差に対応する補正電流を生成します。このチャージ ポンプの電流はソフトウェアによって多くの異なるレベルにプログラム可能で、PLL の閉ループ帯域幅を変更できます。

6.3.5 N デバイダとフラクショナル回路

N デバイダには分数補償が含まれており、1 ～ (2^{32} - 1) のあらゆる分数分母を実現できます。N の整数部分は N デバイダの値の全体部分であり、分数部分 N_{frac} = NUM/ DEN が残りの分数です。一般に、N デバイダの合計値は PLL_N + PLL_NUM / PLL_DEN で決定されます。PLL_N、PLL_NUM、および PLL_DEN は、SPI モードにおいてソフトウェアプログラマブルです。ピン モード オプションには整数周波数生成があります。詳細については、「ピン モード」セクションのピン モードの詳細説明を参照してください。

分母が大きいほど、出力の分解能ステップは細かくなります。たとえば、f_{PD} = 200MHz を使用する場合でも、出力は 200MHz / (2^{32} – 1) = 0.047Hz のステップでインクリメントできます。式 2 は位相検出器と VCO の周波数の関係を示しています。SYNC モードでは、式 2 に示されている IncludedDivide デバイダが存在することに注意してください。

$$f_{VCO} = f_{pd} \times \text{IncludedDivide} \times \left(N + \frac{NUM}{DEN}\right) \quad (2)$$

この分数分周を制御するシグマ デルタ変調器は、整数モードから 3 次までプログラマブルです。分数スプリアスの一貫性を確保するため、R0 レジスタがプログラムされると常に変調器がリセットされます。

N デバイダには、変調器の次数と VCO 周波数に応じた最小値の制限があります。さらに、PFD_DLY ビットは 表 6-2 に従ってプログラムする必要があります。SYNC モードでは、IncludedDivide を 1 より大きくすることができます。それ以外の場合、IncludedDivide は 1 になります。

Copyright © 2026 Texas Instruments Incorporated

表 6-2. N デバイダの最小制限

MASH_ORDER	f_{VCO} / IncludedDivide (MHz)	最小 N	PFD_DLY
0	≦ 12500	29	1
	> 12500	33	2
1	≦ 10000	30	1
	10000 – 12500	34	2
	>12500	38	3
2	≦ 4000	31	1
	7500 – 10000	33	2
	>10000	37	3
3	≦ 4000	33	1
	7500 – 10000	41	3
	>10000	45	4

6.3.6 MUXout ピン

MUXout ピンは、PLL のロック検出インジケータ、SPI がレジスタを読み戻すためのシリアル データ出力 (SDO)、位相検出器 f_{PD} の R ポートおよび N ポート信号のコピーとして、および MUXout ピンのステート マシン クロック f_{SM} のコピーとして構成できます。MUXout ピンの構成 に、ピン モードと SPI モードの MUXOUT ピンの構成を示します。MUXOUT フィールドは、さまざまな機能として構成できます。

表 6-3. MUXout ピンの構成

動作モード	MUXOUT	MUXOUT ピン	FUNCTION
ピン モード	X	ロック検出	PLL のロック検出インジケータ
SPI モード	0	ロック検出	PLL のロック検出インジケータ
SPI モード	1 (デフォルト)	レジスタ読み戻し	レジスタ読み戻しデータの出力
SPI モード	> 1	診断	R22 レジスタを参照

6.3.6.1 読み戻し用のシリアル データ出力

SPI モードでは、MUXout ピンにはいくつかのオプションがあります。MUXOUT をレジスタ読み戻し出力に設定すると、出力データが存在しないとき、MUXout ピンは自動的にトライステートになります。このピンの動作の詳細については、タイミング図 で説明されています。デバイスをフル アシスト モードで使用し、VCO キャリブレーションデータを取得して将来の使用のために保存する場合には、読み戻しが便利です。読み戻しを使用すると、フィールド rb_LD_VTUNE (レジスタ R35[5:4]) によってロック検出ステータスを読み戻すこともできます。

6.3.6.2 「VCOcal」または「Vtune と VCOcal」のタイプに設定されるロック検出インジケータ

ロック検出インジケータが選択されている場合、2 種類のインジケータがあり、インジケータは LD_TYPE (レジスタ R1[12]) フィールドで選択できます。1 つ目のインジケータは「VCOCal」(LD_TYPE = 0) と呼ばれ、2 つ目のインジケータは「Vtune と VCOCal」(LD_TYPE = 1) と呼ばれます。

「VCOcal」モードでは、VCO キャリブレーションが (成功、不成功にかかわらず) 完了し、かつロック検出遅延タイマがタイム アウトすると、MUXout ピンが "High" にアサートされます。VCO 較正中、およびロック遅延タイマがタイムアウトする前に、MUXout ピンは LOW になります。プログラマブルなロック検出タイマ (LD_DLY、レジスタ R23[15:0]) は、VCO キャリブレーションが完了してから、ロック検出インジケータが "High" にアサートされるまでにさらなる遅延を追加します。LD_DLY は 16 ビットの符号なし数量であり、ステート マシンのクロック サイクル数の 4 倍に対応します。たとえば、f_{OSC} = 100MHz、CAL_CLK_DIV = 1 の場合、ステート マシン クロック周波数 = f_{OSC} /$2^{CAL_CLK_DIV}$ = 50MHz となります。LD_DLY = 1000 の場合、遅延時間は 80µs と等しくなります。MUXout ピンは、PLL が実際にロックされているかどうか

Copyright © 2026 Texas Instruments Incorporated

にかかわらず、現在の状態のままです。つまり、PLL がロック状態を解除した場合や、現在の状態が high のとき入力基準電圧がクリアされた場合、現在の状態は high のままです。このロック検出設定は、VCO キャリブレーション時間の測定に役立ちます。

「Vtine と VCOcal」モードでは、VCO キャリブレーションが完了し、ロック検出遅延タイマの動作が終了し、かつ PLL がロックしている場合に、MUXout ピンが "High" になります。OSCin 信号が失われた場合、このインジケータは現在の状態 (high または low) のままにできます。インジケータの実際のステータスが更新され、OSCin ピンへの有効な入力参照が返された場合にのみ動作が再開されます。PLL の OSCin を監視する代替方法を推奨します。このインジケータは、OSCin への基準電圧が存在している限り、信頼性が高くなります。

どちらのタイプのロック検出インジケータも VCO 較正を完了する必要があるため、フルアシスト モードで少なくとも 1 つの VCO 較正を実行する必要があります。そうしないと、ロック検出器は動作しません。

6.3.7 VCO (電圧制御発振器)

LMX2624-SP には統合型 VCO が搭載されています。VCO はループ フィルタから電圧を受け取り、周波数に変換します。VCO の周波数は、式 2 に示すように、他の周波数と関連しています。

6.3.7.1 VCO 較正

VCO のチューニング ゲインを減らして VCO の位相ノイズ性能を向上させるため、VCO の周波数範囲はいくつかの異なる周波数帯域に分周されています。7500MHz ～ 15000MHz の全範囲は 1 オクターブをカバーしており、下限未満の周波数は分周器で対応できます。このため、目標出力周波数に対して正しい周波数帯域を決定するための周波数キャリブレーションが必要となります。周波数キャリブレーション ルーチンは、R0 レジスタに FCAL_EN = 1 がプログラムされるか、ピン モードで CAL ピンが "Low" から "High" に切り換わると、常に起動されます。VCO キャリブレーションを開始する前に、有効な OSCin 信号が入力されている必要があります。

VCO には内部振幅のキャリブレーション アルゴリズムも搭載されており、位相ノイズを最適化します。このアルゴリズムは、R0 レジスタがプログラムされたときにも常にアクティブになります。

最適な内部設定は、温度によって変化します。再キャリブレーションを行わずに温度変化が大きくなると、わずかな位相ノイズ劣化が生じる場合があります。連続ロックを維持するための最大許容ドリフト ΔT_{CL} は、電気的特性に記載されています。このデバイスの温度が 125°C であれば、デバイスがこの範囲で動作している限り、デバイスがロックを失わないことを意味します。

Copyright © 2026 Texas Instruments Incorporated

LMX2624-SP では、ユーザーが VCO キャリブレーションをアシストできます。一般には、表 6-4 に示すような 3 種類のアシストがあります。商用デバイスで紹介した VCO キャリブレーション手法の詳細な実装手順と性能デモについては、『アプリケーション ノート』をご覧ください。フル アシスト モードで VCO ダブラを含む VCO パラメータの読み戻しを実行するときは、ビット R1[13] が 1 に設定されていることを確認します。

表 6-4. VCO 較正の速度を支援

アシスタンス レベル	説明	VCO_SEL	VCO_SEL_FORCE VCO_CAPCTRL_FORCE VCO_DACISET_FORCE	VCO_CAPCTRL VCO_DACISET
アシストなし	VCO 較正速度を向上させる作業は行いません。	7	0	ドント ケア
部分アシスト	周波数を変更するたびに、FCAL_EN ビットを確認する前に、ユーザーが初期の開始 VCO_SEL を設定します	表による選択	0	ドント ケア
フルアシスト	VCO コア (VCO_SEL)、振幅設定 (VCO_DACISET)、周波数帯域 (VCO_CAPCTRL)、VCO ダブラをユーザーが決定し、値を手動で設定します。2 つの周波数ポイントの差が 5MHz 以内で、同じ VCO コア上にある場合、ユーザーは線形補間を使用して、それら 2 点間の任意の周波数に対して VCO 振幅とキャップコードを設定できます	読み戻しによる選択	1	読み戻しによる選択

アシストなしの方法では、VCO_SEL = 7 に設定するだけで完了します。部分アシストを行う場合、その周波数に応じて VCO_SEL ビットを変更することで、VCO キャリブレーションの速度を改善できます。その周波数は実際の VCO コア範囲ではなく、VCO を選択する方が優先されることに注意してください。これは、VCO キャリブレーションの速度に最適なだけでなく、信頼性の高いロックにも必要です。

Copyright © 2026 Texas Instruments Incorporated

表 6-5. 部分支援の最小 VCO_SEL

f_{VCO}	VCO コア (最小)
7500 ～ 8600MHz	VCO1
8600 ～ 9900MHz	VCO2
9900 ～ 10800MHz	VCO3
10800 ～ 11900MHz	VCO4
11900 ～ 13000MHz	VCO5
13000 ～ 14000MHz	VCO6
14000 ～ 15000MHz	VCO7

キャリブレーション時間を最短にするには、前の表で推奨されている最小 VCO コアを使用します。表 6-6 には、太字で示されたこの選択における、アナログ ロック時間の有無での標準的な VCO キャリブレーション時間が示されているほか、必要以上に高性能な VCO コアを選択した場合にキャリブレーション時間がどれだけ長くなるかも示されています。これらのキャリブレーション時間は、指定された f_{OSC} および f_{PD} 条件に固有であり、2 つのコアの境界では、時にはキャリブレーション時間が長くなる可能性があることに留意してください。

表 6-6. アナログ ロック時間なしで f_{OSC} = 100MHz、f_{PD} = 200MHz、f_{SM} = 50MHz の標準的なキャリブレーション時間 (µs)

f_{VCO}	VCO_SEL						
	VCO7	VCO6	VCO5	VCO4	VCO3	VCO2	VCO1
8.1GHz	650	614	620	376	256	243	**191**
9.3GHz	606	589	587	335	196	**177**	無効
10.4GHz	598	579	570	338	**177**	無効	
11.4GHz	543	540	530	**284**	無効		
12.5GHz	396	346	**300**	無効			
13.6GHz	262	**218**	無効				
14.7GHz	**164**	無効					

表 6-7. アナログ ロック時間ありで f_{OSC} = 100MHz、f_{PD} = 200MHz、f_{SM} = 50MHz の標準的なキャリブレーション時間 (µs)

f_{VCO}	VCO_SEL(1)						
	VCO7	VCO6	VCO5	VCO4	VCO3	VCO2	VCO1
8.1GHz	854	828	822	579	451	437	**393**
9.3GHz	819	800	794	551	401	**380**	無効
10.4GHz	808	786	781	551	**388**	無効	
11.4GHz	767	745	743	**494**	無効		
12.5GHz	603	560	**513**	無効			
13.6GHz	469	**426**	無効				
14.7GHz	**385**	無効					

(1) これには、標準的なループ帯域幅 (300kHz) のアナログ ロック時間が含まれます。

6.3.7.2 VCO ゲインの決定

VCO のゲインはコアによって異なり、これは温度やプロセスによって変化します。表 6-8 に、この VCO コアで予測される VCO ゲイン値に関する、大まかなガイドラインを示します。

この表に基づき、任意の VCO 周波数である f_{VCO} に対する VCO ゲインは、式 3 で推定できます。

$$Kvco = Kvco1 + (Kvco2-Kvco1) \times (f_{VCO} – f1) / (f2 – f1) \quad (3)$$

Copyright © 2026 Texas Instruments Incorporated

表 6-8. VCO ゲイン

f_1	f_2	$Kvco_1$	$Kvco_2$
7500	8600	73	112
8600	9900	84	136
9900	10800	102	140
10800	11900	115	162
11900	13000	167	224
13000	14000	182	228
14000	15000	218	254

6.3.7.3 ダブル バッファリング (シャドウ レジスタ)

ダブル バッファリング (別名シャドウ レジスタ) を使うと複数のレジスタに書き込むことができますが、その時点ではこれらのレジスタは実際には有効化されません。R0 レジスタがプログラムされると、これらのレジスタが有効になります。この機能は、周波数の急速な変更が行われ、かつ複数のレジスタへの書き込みが必要な場合に特に役立ちます。DBL_BUF_EN = 1 の時、VCO、ダブラ、PLL、出力マルチプレクサ、およびチャネル デバイダに関連するレジスタではダブル バッファリングがイネーブルになっています。レジスタの詳細については、「レジスタ マップ」セクションを参照してください。

6.3.7.4 ウォッチドッグ機能

ウォッチドッグ機能は、放射線によって VCO キャリブレーションが中断したり失敗したりする状況に対処するのに役立ちます。この機能をオンにすると、VCO キャリブレーションの実行中に、タイマがバックグラウンドで動作します。タイマが切れる前にキャリブレーションが完了しない場合、キャリブレーションは自動的に再開されます。WD_CNTRL ワードは、ウォッチドッグがキャリブレーションを再開できる回数を制御します。

6.3.7.5 RECAL 機能

RECAL 機能は、VCO がロック状態にあるものの、その後に放射線の影響で VCO がロック外れを起こす状況を緩和するために使用されます。RECAL_EN ピンが high のとき、PLL がロックを失って、WD_DLY ワードで指定された時間ロックから外れたままになると、RECAL は VCO 再キャリブレーションをトリガします。ロック検出器を「Vtune および VCOCal」(LD_TYPE = 1) に設定し、ロック検出タイマ (LD_DLY) はゼロ以外である必要があります。ステート マシン クロック周波数が 50MHz の場合、推奨されるロック検出タイマの最小遅延時間は LD_DLY = 2500 (デフォルト) で 200µs です。

6.3.8 チャネル デバイダ

7500MHz の VCO 下限を下回るには、チャネル デバイダを使用できます。このチャネル デバイダは、3 段構成で、総分周比は 3 つのデバイダの積と等しくなります。したがって、すべての値が有効であるとは限りません。

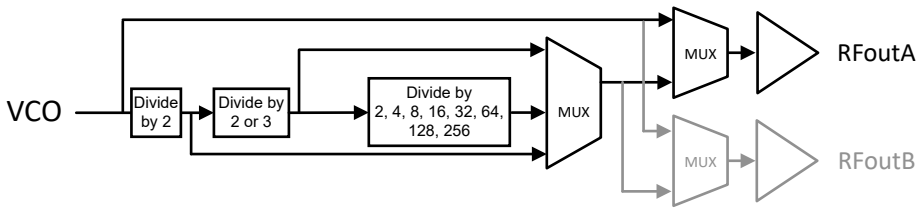


図 6-2. チャネル デバイダ

チャネル デバイダは 6 (÷6) 設定であり、デューティ サイクルは 50% ではないことに注意してください。

チャネル デバイダを使用する場合、値に制限があります。表 6-9 に、これらの値の実装方法を示します。

Copyright © 2026 Texas Instruments Incorporated

表 6-9. チャネル デバイダの区分

等価除算値	周波数の制限	OutMin (MHz)	OutMax (MHz)	CHDIV[4:0]
2	なし	3750	7500	1
4		1875	3750	2
6	f_{VCO} ≤ 12GHz	1250	2000	3
8		937.5	1500	4
12		625	1000	5
16		468.75	750	6
24		312.5	500	7
32		234.375	375	8
48		156.25	250	9
64		117.1875	187.5	10
96		78.125	125	11
128		58.59375	93.75	12
192		39.0625	62.5	13
256		29.296875	46.875	14
384		19.53125	31.25	15
512		14.6484375	23.4375	16
768		9.765625	15.625	17
1024		7.32421875	11.71875	18
1536		4.8828125	7.8125	19

チャネル デバイダは、出力 (OUTx_MUX) がチャネル デバイダまたは SysRef に選択されている場合、その出力がパワーダウン状態であるかどうかに関係なく、パワーアップ状態です。出力が使用されないときは、チャネル デバイダに不必要に電源がオンになっていないことを確認するため、TI は VCO 出力を選択することを推奨しています。

表 6-10. チャネル デバイダ

RFOUTA	RFOUTB	チャネル デバイダのステータス
チャネル デバイダ	チャネル デバイダ	電源オン
チャネル デバイダ	VCO	電源オン
VCO	チャネル デバイダ	電源オン
ダブラ	チャネル デバイダ	電源オン
VCO	VCO	電源オフ
VCO	ダブラ	電源オフ
ダブラ	VCO	電源オフ
ダブラ	ダブラ	電源オフ

6.3.9 出力ミュート ピンとピンポン手法

出力バッファは、MUTE ピンによりミュートまたはミュート解除できます。このピンの極性は、SPI モードの OUTx_MUTE_POL ビットでプログラマブルです。出力がミュートになっている場合、PLL はロック状態を維持するため、複数のシンセサイザを組み合わせてロック時間を短縮できます。出力がミュートになっている PLL は、プログラミング コマンドを受け入れたり、新しい周波数にロックしたりできます。出力がミュートになると、不要な信号は大幅に減衰し、RF スイッチを使用することでさらに減衰できます。

MuteA ピンと MuteB ピンがあり、RFOUTA と RFOUTB を個別にミュートできます。一方の出力がミュートされている間、もう一方の出力は通常動作できます。MuteA と MuteB は、専用のピン制御と SPI ベースの構成の両方に対応しています。SPI モードでは、MuteA および MuteB の動作は、レジスタ設定または MuteA ピンと MuteB ピンのどちらかにより動作するように設定できます。

Copyright © 2026 Texas Instruments Incorporated

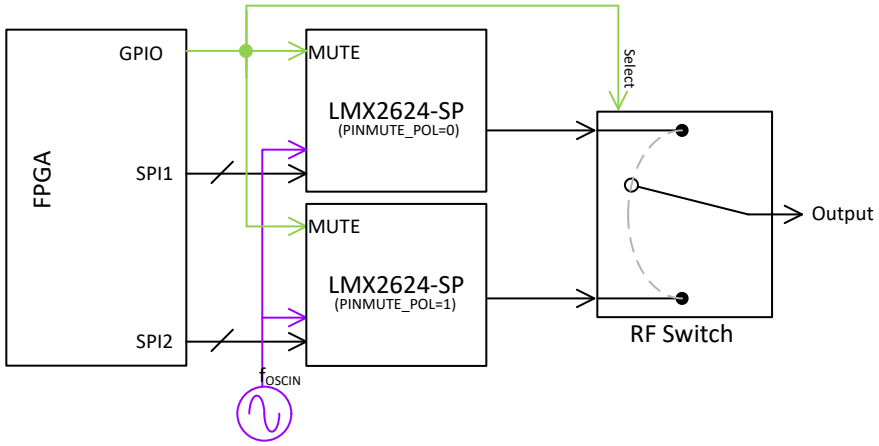


図 6-3. 2 つの LMX2624-SP デバイスを使用した出力ミュートの実装

6.3.10 出力周波数ダブラ

周波数ダブラは、ピン モードの OUTMUX2、OUTMUX1、OUTMUX0 の設定、または SPI モードの OUTx_MUX の設定に基づいて、RFOUTA と RFOUTB での VCO 周波数の 2 倍の出力周波数を生成するために使用されます。VCO 周波数を 2 倍にすると、基本の (2 倍になっていない) VCO 周波数が出力にリークし、分数調波 (0.5X) になります。これらの分数調波を最小化するために、調整可能なフィルタがあります。このフィルタは出力周波数を追跡し、この分数調波や、他の不要な高調波 (1.5X、2X、3X など) をフィルタで排除します。この調整可能なフィルタのキャリブレーションは、VCO のキャリブレーションが完了すると自動的にトリガされます。

6.3.11 出力バッファ

RF 出力バッファは、50Ω のプルアップ抵抗を内蔵した CML アーキテクチャを利用しており、50Ω の終端負荷との AC カップリングが必要です。出力バッファは、PLL をロック状態に維持したまま、さまざまな電力レベルに設定したり、OUTx_PD ビットを介してディスエーブルにしたりすることができます。

OUTA_PWR および OUTB_PWR フィールドは、出力バッファの電力レベルを増減するようにプログラムできます。0 から 7 までの 8 つの設定があり、0 が最小電力、7 が最大電力設定です。電源オン時のデフォルト設定は 7 です。

6.3.12 パワーダウン モード

LMX2624-SP は、POWERDOWN ビットまたは CAL ピンを使用してパワーアップ / パワーダウンができます。POWERDOWN ビットを 1 にセットするか、CAL ピンを "Low" にセットすると、デバイスはパワーダウン モードに移行します。デバイスを通常動作に戻すには、POWERDOWN ビットをゼロにセットするか、CAL ピンを "High" に引き戻します (CAL ピンによってデバイスの電源がオフになっている場合)。デバイスを再キャリブレーションするには、レジスタ R0 で FCAL_EN を "High" にプログラムし直す必要があります。ピン モードでは、CAL ピンが "Low" から "High" へ遷移すると VCO キャリブレーションが起動されます。

6.3.13 位相同期

6.3.13.1 基本的な考え方

SYNC ピンを使用することで、LMX2624-SP を同期させ、OSCin 信号の立ち上がりエッジから出力信号までの遅延が確定的になるようにすることができます。最初は、デバイスは入力にロックされますが、同期されていません。ユーザーは同期パルスを送信し、そのパルスは OSCin パルスの次の立ち上がりエッジで再クロックされます。所定の時間 t_1 が経過すると、OSCin と f_{OUT} の位相関係は決定論的になります。この時間は、VCO キャリブレーション時間、PLL ループのアナログ設定時間、さらに分数モードを使用する場合は MASH_RST_COUNT の合計によって主に決まります。

Copyright © 2026 Texas Instruments Incorporated

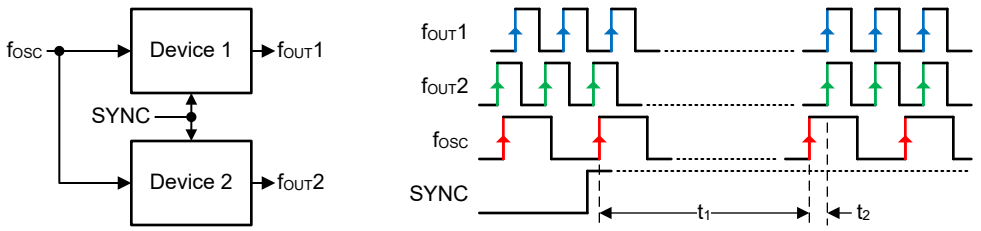


図 6-4. SYNC 入力を使用した複数デバイスの同期

SYNC 機能がイネーブル (VCO_PHASE_SYNC = 1) の場合、チャネル デバイダの一部 (IncludedDivide) をフィードバック パスに含めることができます。IncludedDivide が 1 でない場合:

- N デバイダはより小さくなります。N デバイダの最小制限に違反しないように注意する必要があります。また、有効な VCO キャリブレーションを行うために、位相検出器の周波数範囲に従って、FCAL_HPFD_ADJ レジスタを使用します。

表 6-11. VCO_PHASE_SYNC=1 を備える IncludedDivide

OUTx_MUX	チャネル デバイダ	IncludedDivide
OUTA_MUX = OUTB_MUX = 1 ("VCO") OUTA_MUX = OUTB_MUX = 2 (「ダブラ」)	ドント ケア	1 (バイパス)
その他すべての有効な条件	3 で割り切り可能	6
	その他すべての値	4

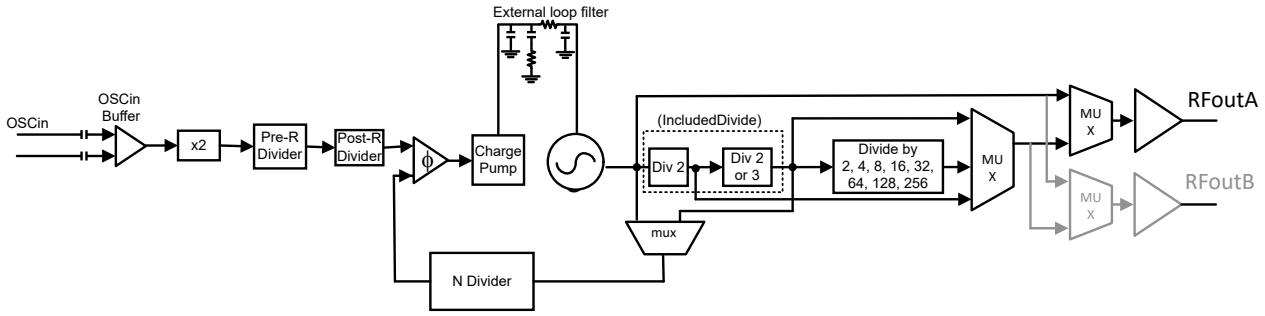


図 6-5. 位相同期図

位相同期とは、電源投入サイクルごと、および特定のプログラミング手順が実行されていると考えられるときに、同じ位相関係を実現するプロセスを意味します。ただし、最も正確な結果を得るために、いくつかの調整を行うことができます。位相同期の整合性が変化する原因として考えられるのは、VCO キャリブレーションで別の VCO コアとコンデンサが選択されることだけです。この場合、差異が約 10ps のバイモーダル分散が発生することがあります。この 10ps のバラツキが望ましくない場合は、VCO コア、キャップコード、DACISET の値を読み戻し、その値を強制的に設定することで、毎回同じキャリブレーション設定になるようにして、このバラツキを排除できます。

6.3.13.2 SYNC のアプリケーションのカテゴリ

SYNC に関する要件は、特定の設定条件に依存します。SYNC のタイミングが重要でない場合は、VCO_PHASE_SYNC ビットを 0 から 1 に切り換えることで、ソフトウェアにより SYNC を行うことができます。図 6-6 に、さまざまなカテゴリを示します。タイミングが重要な場合、SYNC はピンで行う必要があります。この場合、OSCin ピンのセットアップおよびホールド時間も重要となります。タイミングが重要な SYNC (カテゴリ 3) の場合に限り、次の カテゴリ 3 SYNC の SYNC ピンのタイミング特性 を遵守してください。

表 6-12. カテゴリ 3 SYNC の SYNC ピンのタイミング特性

パラメータ	説明	最小値	最大値	単位
f_{OSC}	入力リファレンス クロック周波数		50	MHz
t_{SETUP}	SYNC と OSCin の立ち上がりエッジ間のセットアップ時間	2.5		ns

Copyright © 2026 Texas Instruments Incorporated

表 6-12. カテゴリ 3 SYNC の SYNC ピンのタイミング特性 (続き)

パラメータ	説明	最小値	最大値	単位
t_{HOLD}	SYNC と OSCin 立ち上がりエッジの間のホールド時間	2.5		ns

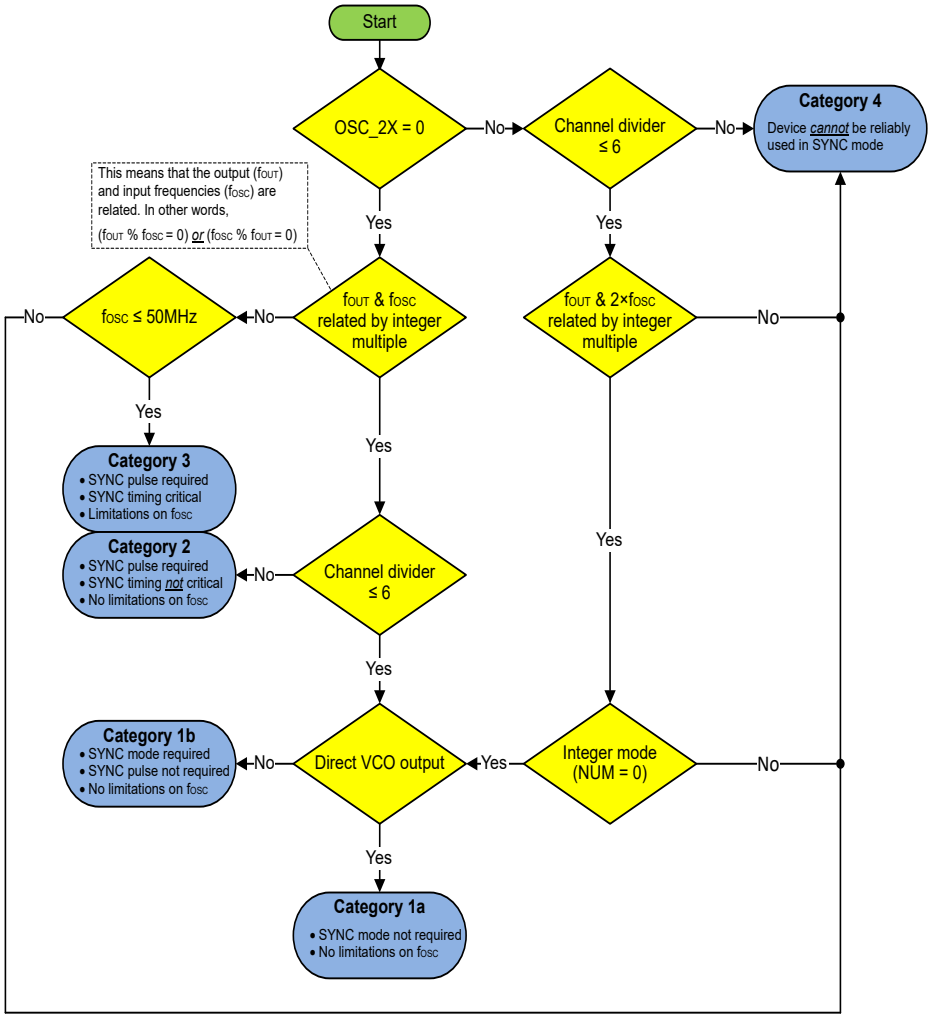


図 6-6. SYNC カテゴリの決定

Copyright © 2026 Texas Instruments Incorporated

6.3.13.3 SYNC を使用する手順

デバイスを SYNC モードにするには、この手順を使用する必要があります。

1. フローチャートを使用して、SYNC カテゴリを決定します。
2. カテゴリに基づいて OSCin と SYNC を使用する決定を行います
   a. カテゴリ 4 の場合、この設定では SYNC を実行できません。
   b. カテゴリ 3 では、SYNC モードでの最大 f_{OSC} 周波数に違反しないことと、SYNC ピンを使用するためのハードウェア対応が存在することを確認します。
3. チャネル分割を使用する場合は、表 6-11 から IncludedDivide 値を決定します。
4. まだ実行していない場合は、含まれるチャネル分周値を考慮して、N デバイダの値と分数値を IncludedDivide(式 2) で除算します。
5. VCO_PHASE_SYNC = 1 にデバイスをプログラムします。
6. 必要に応じて同期を適用します
   a. カテゴリ 2 では、SYNC ピンに立ち上がりエッジを送信でき、そのタイミングは重要ではありません。
   b. カテゴリ 3 の場合、SYNC 信号の OSCin クロックに対するタイミングは、表 6-12 に示す条件に従う必要があります。

Copyright © 2026 Texas Instruments Incorporated

6.3.14 SYSREF

LMX2624-SP は SYSREF 出力信号を生成できます。この信号はプログラマブルな遅延付きで、f_{OUT} と同期されます。この出力は、単一パルス、一連のパルス、または連続的なパルス ストリームのいずれかです。SYSREF 機能を使用するには、最初に VCO_PHASE_SYNC = 1 を設定して、PLL を同期モードにする必要があります。

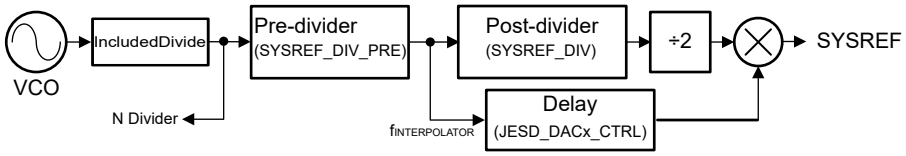


図 6-7. SYSREF のブロック図

図 6-7 に示されるように、SYSREF 機能は IncludedDivide と SYSREF_DIV_PRE デバイダを使用して $f_{INTERPOLATOR}$ を生成します。この周波数は、SysRefReq ピンにおける立ち上がりエッジおよび立ち下がりエッジの再クロックに使用されます。SYSREF 生成モードでは、$f_{INTERPOLATOR}$ がさらに 2 × SYSREF_DIV で除算され、有限な一連のまたは連続的なパルス ストリームが生成されます。

表 6-13. SYSREF 仕様

パラメータ	最小値	標準値	最大値	単位
f_{VCO}	7500		15000	MHz
$f_{INTERPOLATOR}$	0.8		1.5	GHz
IncludedDivide		4 または 6		
SYSREF_DIV_PRE	1、2、または 4			
SYSREF_DIV	÷ 4、6、8、...、4098			
$f_{INTERPOLATOR}$	$f_{INTERPOLATOR} = f_{VCO}$ / (IncludedDivide × SYSREF_DIV_PRE)			
f_{SYSREF}	$f_{SYSREF} = f_{INTERPOLATOR}$ / (2 × SYSREF_DIV)			
パルス モードのパルス (SYSREF_PULSE_CNT)	1		15	該当なし

この遅延時間は、JESD_DAC1、JESD_DAC2、JESD_DAC3、および JESD_DAC4 フィールドを使用してプログラムできます。これらのフィールドを連結して「SYSREFPHASESHIFT」というより大きなワードにすることで、相対的な遅延を算出することができます。これらのワードの合計は常に 63 にする必要があります。全体として、252 個の便利なプログラマブルステップがあります。各ステップの遅延時間は以下で表されます:

SYSREF delay time = [(IncludedDivide × SYSREF_DIV_PRE) × 2] / 252 / f_{VCO}

Copyright © 2026 Texas Instruments Incorporated

表 6-14. SysRef 遅延

SYSREFPHASESHIFT	DELAY	JESD_DAC1	JESD_DAC2	JESD_DAC3	JESD_DAC4
0	最小	36	27	0	0
1		35	28	0	0
...		...	...	0	0
35		1	62	0	0
36		0	63	0	0
37		0	62	1	0
...		0	...	...	0
98		0	1	62	0
99		0	0	63	0
100		0	0	62	1
...		0	0	...	...
161		0	0	1	62
162		0	0	0	63
163		1	0	0	62
...		...	0	0	...
224		62	0	0	1
225		63	0	0	0
226		62	1	0	0
...		...	...	0	0
251	最大	37	26	0	0

6.3.14.1 プログラマブル フィールド

表 6-15SYSREF 機能のプログラム可能なフィールドがあります。

表 6-15. SYSREF プログラミング フィールド

フィールド	プログラミング	デフォルト	説明
SYSREF_EN	0 = 無効 1 = 有効	0	SYSREF モードをイネーブルにします。 OUTB_MUX = 2 (SysRef) の場合、および SYSREF_EN は 1 である必要があります
SYSREF_DIV_PRE	1:DIV1 2:DIV2 4:DIV4 その他の状態: 無効です	4	このデバイダの出力は $f_{INTERPOLATOR}$ です。
SYSREF_REPEAT	0 = SYSREF 生成モード 1 = SYSREF リピータ モード	0	SYSREF 生成モードでは、このデバイスは一連の SYSREF パルスを生成します。リピータ モードでは、SysRefReq ピンを使用して SYSREF パルスが生成されます。
SYSREF_PULSE	0 = 連続モード 1 = パルス モード	0	連続モードでは、SYSREF パルスは連続的に形成され、パルス モードでは SYSREF_PULSE_CNT パルスの一連が生成されます
SYSREF_PULSE_CNT	1～15	4	パルス モードを使用する場合、これはパルス数を示します。これを 0 に設定することは許容されますが、実際の状態ではありません。
SYSREF_DIV	0:4 分周 1: 6 分周 2: 8 分周 ... 2047:4098 分周	0	SYSREF_DIV は、補間クロックを分周して SYSREF 周波数を生成します。

Copyright © 2026 Texas Instruments Incorporated

6.3.14.2 例

SYSREF 生成モードでは、連続 SYSREF クロック出力を可能にするため、SysRefReq ピンは "High" にプルアップされ、"High" のままになります。SYSREF パルスを生成するには、SysRefReq ピンで Low から High への遷移が必要です。

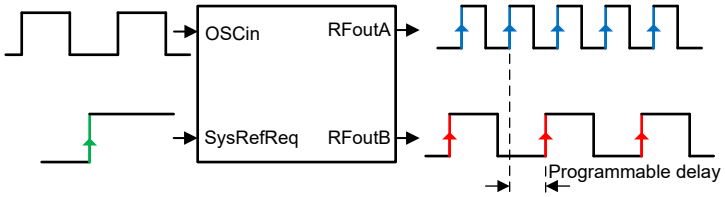


図 6-8. SYSREF パルス / 連続モード

デバイスは、非同期モードと再クロック モードの 2 種類のリピータ モードに対応しています。RPTR_NONSYNC = 1 の場合、SYSREF 出力は再クロックなしで信号を通過します (非同期)。一方で、RPTR_NONSYNC = 0 の場合、SYSREF 出力は VCO で再クロックされます。リピータ モードでは、SYSREF 出力は SysRefReq ピンの信号を繰り返し、RFoutB に出力します。リピータ モードでは、SysRefReq 入力信号はシングル ショット、複数パルス、連続信号にできます。

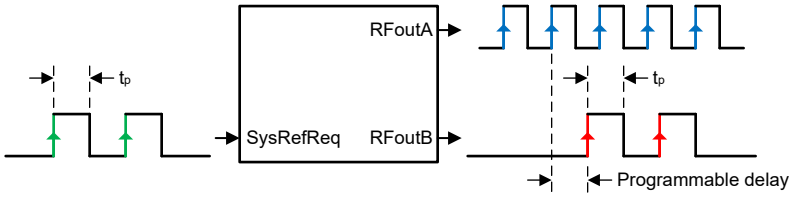


図 6-9. SYSREF リピータ再クロック モード

Copyright © 2026 Texas Instruments Incorporated

6.3.14.3 SYSREF 手順

SYSREF 信号を構成して使用するには、以下の手順に従います。

1. すでに説明した手順に従って、デバイスを同期モードにします。
2. SYNC モードと同じ方法で IncludedDivide を確認します。
3. 補間器周波数 ($f_{INTERPOLATOR}$) が 800MHz から 1500MHz の範囲内になるように、SYSREF_DIV_PRE 値を計算します。
4. SYSREF 生成モード (SYSREF_REPEAT = 0) を使用する場合、SysRefReq ピンが "High" であり、連続 SYSREF クロック生成用に "High" を維持することを確認します。SYSREF パルスを生成するには、SYSREF_PULSE = 1 に設定し、必要に応じてパルス数を設定します。SysRefReq ピンの LOW から HIGH への遷移によってパルスが生成されます。
5. SYSREF リピータ モード (SYSREF_REPEAT = 1) を使用する場合は、SYSREF 信号を SysRefReq ピンに印加します。
   a. 非同期モードの場合、RPTR_NONSYNC = 1 に設定します。
   b. VCO 再クロック モードの場合、RPTR_NONSYNC = 0 に設定します。
6. JESD_DACx フィールドを使用して、RFoutA 信号と RFoutB 信号 (SYSREF 出力) 間の遅延を調整します。

6.3.15 ピン モード整数周波数生成

LMX2624-SP には、シリアル プログラミングなしで固定周波数出力を生成するピン モード オプションがあります。出力周波数は、ピン モード オプションでのピン設定に基づいて生成されます。整数 N デバイダ、出力チャネル デバイダ、OUTMUX、および入力リファレンス ダブラは、ピン モード オプションを使用して設定できます。

デバイスをピン モードで使用するための条件。

- CDIVx ピンを使用してピン モードを設定します。グランドに接続している場合を除き、CDIVx ピンのすべてのピンの組み合わせはピン モードと見なされます。SPI 制御はピン モードでは使用できません。CDIV2、CDIV1、および CDIV0 がグランドに接続されている場合、デバイスは SPI モードになります。
- 電源の立ち上がり時間は 50ms 未満である必要があります。
- 分数分子と分母はピン モードでは利用できないため、PLL は整数モードでのみ使用できます。
- CAL ピンを V_{CC} に接続します。ピン モードで周波数を f_1 から f_2 に変更するには、CAL ピンを "Low" から "High" に切り換える必要があります。

NDIVx ピンと CDIVx ピンは 4 レベル ピンです。4 レベル ピンを使用すると、より少ないピン数でより多くの分周値を取得できるため、パッケージ全体のサイズを小さくできます。NDIVx には合計 6 本のピンがあり、CDIVx には 3 本のピンがあります。4 レベルを備えた NDIVx の 6 ピン (NDIV5、NDIV4、NDIV3、NDIV2、NDIV1、NDIV0) では、合計 4^6 の組み合わせ、すなわち 4,096 の値を作成できます。同様に、4 レベルのピンを持つ CDIVx (CDIV2、CDIV1、CDIV0) には、合計 $4^3 = 64$ の組み合わせがあります。4 レベル ピンを採用しているため、2 レベル ピンでは 18 ピンが必要ですが、9 ピンで十分です。ピンの 4 つのレベルは、図 6-10 に示すように、VL、VML、VMH、VH です。VCC とグランドとの間に 3 つの 10kΩ 抵抗を使用します。これらの抵抗は、VCC、グランド、および VMH (中間高電圧) と VML (中間低電圧) という 2 つの中間レベルを備えています。

Copyright © 2026 Texas Instruments Incorporated

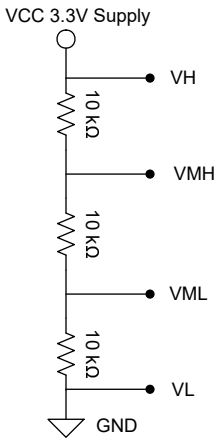


図 6-10. 4 レベル ピンの実装

NDIVx は、ピンモードで合計 4,096 の整数デバイダ オプションを提供します。分数 PLL の分子 (PLL_NUM) と分母 (PLL_DEN) はピン モードでは利用できず、SPI モードでのみ可能です。ピン モードの NDIVx 値の N デバイダ制限の最小値は、SPI モード オプションと同様です。N デバイダの最小値の設定については、表 6-2 を参照してください。N デバイダの 10 進数の値に基づいて、各 NDIVx ピン設定は 4 進数で計算できます。

表 6-16. NDIVx ピン モード N デバイダの値

NDIV5	NDIV4	NDIV3	NDIV2	NDIV1	NDIV0	N デバイダの値
VL	VL	VL	VL	VL	VL	0
VL	VL	VL	VL	VL	VML	1
VL	VL	VL	VL	VL	VMH	2
VL	VL	VL	VL	VL	VH	3
VL	VL	VL	VL	VML	VL	4
VL	VL	VL	VL	VML	VML	5
VL	VL	VL	VL	VML	VMH	6
VL	VL	VL	VL	VML	VH	7
VL	VL	VL	VL	VMH	VL	8
...	...				...	...
VL	VL	VL	VH	VMH	VH	59
VL	VL	VL	VH	VH	VL	60
VL	VL	VL	VH	VH	VML	61
VL	VL	VL	VH	VH	VMH	62
...	...				...	...
VH	VH	VH	VH	VH	VL	4092
VH	VH	VH	VH	VH	VML	4093
VH	VH	VH	VH	VH	VMH	4094
VH	VH	VH	VH	VH	VH	4095

SPI モードで利用可能なチャネル デバイダ設定のすべての組み合わせは、CDIVx ピンを使用したピン モード オプションでも利用できます。ピン モードでの CDIVx 設定、SPI モードでの CHDIV<4:0> 設定、および対応するチャネル デバイダ値については、表 6-17 を参照してください。必要なチャネル デバイダ値に基づき、CDIV2、CDIV1、CDIV0 ピンを 4 レベルのいずれかに接続する必要があります。

Copyright © 2026 Texas Instruments Incorporated

表 6-17. CDIVx ピン モード デバイダの値

CDIV2	CDIV1	CDIV0	SPI モードの CHDIV<4:0> 等価	チャネル デバイダ値
VL	VL	VL	0	SPI モード
VL	VML	VL	1	2
VL	VMH	VL	2	4
VL	VMH	VH	3	6
VML	VL	VL	4	8
VML	VL	VH	5	12
VML	VML	VL	6	16
VML	VML	VH	7	24
VML	VMH	VL	8	32
VML	VMH	VH	9	48
VML	VH	VL	10	64
VML	VH	VH	11	96
VMH	VL	VL	12	128
VMH	VL	VH	13	192
VMH	VML	VL	14	256
VMH	VML	VH	15	384
VMH	VMH	VL	16	512
VMH	VMH	VH	17	768
VMH	VH	VL	18	1024
VMH	VH	VH	19	1536

RFOUTx を選択するために OUTMUX2、OUTMUX1、OUTMUX0 ピンは、表 6-18 に基づいて使用されます。

表 6-18. OUTMUX の設定

OUTMUX2	OUTMUX1	OUTMUX0	RFOUTA 出力	RFOUTB 出力
0	0	0	チャネル デバイダ	チャネル デバイダ
0	0	1	チャネル デバイダ	VCO
0	1	0	VCO	チャネル デバイダ
0	1	1	VCO	VCO
1	0	0	ダブラ	チャネル デバイダ
1	0	1	VCO	ダブラ
1	1	0	ダブラ	VCO
1	1	1	ダブラ	ダブラ

6.3.15.1 GPIO を使用した 4 レベル ピン

図 6-10 では抵抗ネットワークを使用した VL、VML、VMH、および VH レベルの生成について説明しました。RFOUTx 周波数が固定されている場合は、この構成で十分です。ピン モード オプションを使用して周波数を変更する必要があるアプリケーションでは、出力周波数の要件に応じて NDIVx ピンと CDIVx ピンのレベルを変更する必要があります。オプションの 1 つは、低速高精度 DAC を使用してこれら 4 レベル ピンを駆動し、複雑な 4 つの電圧レベルを生成することです。

以下の構成により、GPIO を使用して 4 レベルの駆動を行うことができます。ピン モードで GPIO を使用して 4 レベル ピンを駆動する を参照してください。

Copyright © 2026 Texas Instruments Incorporated

表 6-19. ピン モードで GPIO を使用して 4 レベル ピンを駆動する

GPIO2	GPIO1	Nx	NDIVx ピンの電圧レベル
VL	VL	VL	0
VL	VH	VML	VH/3
VH	VL	VMH	2×VH / 3
VH	VH	VH	VH

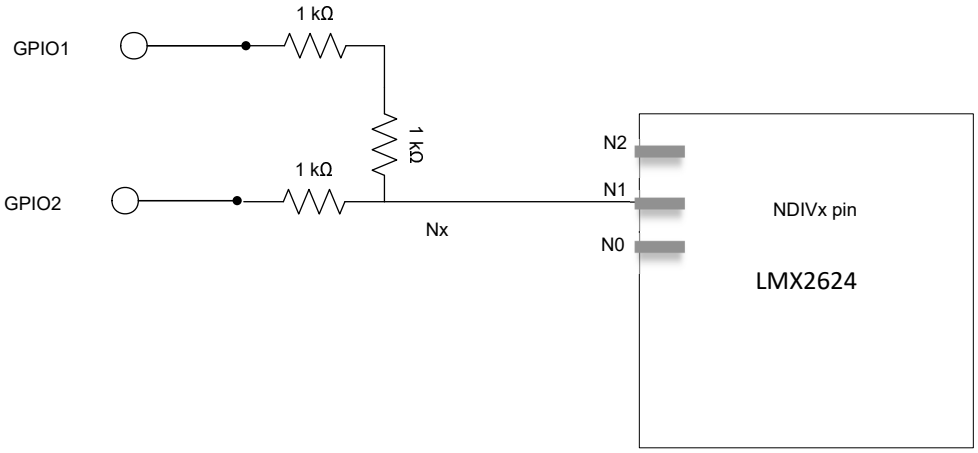


図 6-11. GPIO を使用して 4 レベル ピンを駆動する

ピン モードの NDIVx ピンと CDIVx ピンの構成は、目標出力周波数に依存します。参照値については、表 6-16 および表 6-17 を参照してください。

6.3.15.2 ピン モードの例

RFoutA チャネルで 21GHz のクロック周波数を生成し、RFoutB チャネルをディスエーブル (クロック出力 / SYSREF なし) にするには、LMX2624-SP をピン モードで構成する必要があります。

表 6-20. ピン モードの設計パラメータ

パラメータ	説明	値	単位
f_{OSC}	OSCin のリファレンス周波数	50	MHz
REF_DBLR_EN	リファレンス ダブラがイネーブル	x2	
f_{PD}	位相検出器の周波数	100	MHz
f_{OUT}	RFoutA 出力の周波数	21	GHz
f_{VCO}	VCO 周波数	10.5	GHz

周波数が既知の場合、、PLLatinum Sim ツールを使用してループ フィルタを設計する必要があります。まず、出力周波数に注目し、ピン モード構成において、周波数が整数モードで動作していることを確認します。次の表に、設計要件に対するピン モード設定を示します。

表 6-21. GPIO のピン モード設定

パラメータ	説明	計算値 / 必要な値	GPIO の設定
REF_DBLR_EN	OSCin ダブラ パス	1	High (1)
N デバイダ	フィードバック N デバイダ (f_{VCO}/ f_{PD})	$(105)_{10}$ (十進法)	(NDIV5, NDIV4, NDIV3, NDIV2, NDIV1, NDIV0)$_4$$(001221)_4$

Copyright © 2026 Texas Instruments Incorporated

表 6-21. GPIO のピン モード設定 (続き)

パラメータ	説明	計算値 / 必要な値	GPIO の設定
CDIV	チャネル デバイダ (f_{OUT}/f_{VCO})	≠ $(000)_{10}$ (十進法)	RFout ダブラ モードでは、CDIV 設定は重要ではありませんが、ピン モードでは ≠ 0 である必要があります。
OUTMUXx	出力マルチプレクサの設定	RFoutA ダブラ、RFoutB オフ (VCO パスを設定)	(OUTMUX2, OUTMUX1, OUTMUX0)$_2$(110)$_2$
MuteA	RFoutA 出力をイネーブル	0	Low (0)
MuteB	RFoutB 出力をディスエーブル	1	High (1)

未使用ピンの構成については、表 6-23 を参照してください。

6.3.16 デバイスの機能モード

表 6-22. デバイスの機能モード

モード	説明	ソフトウェア設定
リセット	すレジスタがリセット状態に維持されます。このデバイスにはパワーオン リセット機能がありますが、特に他のデバイスと共有しているなどプログラミング ラインにノイズが入る可能性がある場合は、ソフトウェア リセットも実行することが推奨されます。また、データシートに開示されていないレジスタがリセットされていることもわかります。	RESET = 1 POWERDOWN = 0
パワーダウン	デバイスがパワーダウンします。	POWERDOWN = 1 または CAL ピン = Low
ピン モード	デバイス設定は、CDIV のピンの状態によって決まります。	CDIV0、CDIV1、CDIV2 ピンのいずれかの値が "Low" 以外になっています
通常動作モード	このデバイスは、少なくとも 1 つの出力を有効にした周波数シンセサイザとして使用され、SPI を介して制御されます	すべての CDIV ピンを "Low" にする必要があります
SYNC モード	決定論的な位相を得るために、チャネル デバイダの一部をフィードバック パスに含めて使用します。	VCO_PHASE_SYNC = 1
SYSREF モード	このモードでは、RFoutB を使用して SYSREF 用のパルスを生成します。	VCO_PHASE_SYNC = 1、 SYSREF_EN = 1

6.4 未使用ピンの処理

このデバイスには多くの機能に対応する複数のピンがあり、使用しない場合には推奨される取り扱い方法があります。入力ピンについては直列抵抗の使用が推奨されますが、ピンを直接短絡しても問題ありません。

表 6-23. ピンの推奨処理

ピン	SPI モード	ピン モード	使用しない場合の推奨処置
CDIV0、CDIV1、CDIV2	常に使用	常に使用	SPI モード:CDIV0、CDIV1、CDIV2 ピンは、1kΩ 抵抗 (標準値) で GND に接続する必要があります。 ピン モード:CDIV0、CDIV1、CDIV2 ピンは、すべてのピンについて同時に GND 以外の値が設定されている必要があります。これらのピンの値に基づいて、出力デバイダが設定されます。
NDIV0、NDIV1、NDIV2、NDIV3、NDIV4、NDIV5	未使用	常に使用	1kΩ 搭載の GND
CAL	時々使われる	常に使用	1kΩ 搭載の VCC
同期、SysRefReq	時々使われる	未使用	1kΩ 搭載の GND

Copyright © 2026 Texas Instruments Incorporated

表 6-23. ピンの推奨処理 (続き)

ピン	SPI モード	ピン モード	使用しない場合の推奨処置
OSCinP、OSCinM	常に使用	常に使用	AC カップリング コンデンサの後に 50Ω で GND に接続します。相補ペアの一方を使用し、もう一方を使用しない場合でも、両方のピンから見たインピーダンスが同程度になるようにする必要があります。
SCK、SDI	常に使用	未使用	1kΩ 搭載の GND
CSB	常に使用	未使用	1kΩ 搭載の VCC
RECAL_EN	時々使われる	時々使われる	200kΩ を使用して内部で VCC にプルされます。RECAL 機能を使用しない場合、1kΩ で GND に接続します。
RFoutAP、RFoutAM、RFoutBP、RFoutBM	時々使われる	時々使われる	差動出力ピンの両方を使用しない場合、SPI モードを使用してこれらのピンをフローティングのままにしてパワーダウンするか、ピン モード オプションを使用してピンをミュートできます。相補出力の片側のみを使用する場合は、未使用のピンを AC カップリング コンデンサを介して 50Ω で GND に接続します。
OUTMUX2、OUTMUX1、OUTMUX0	未使用	常に使用	1kΩ 搭載の GND
REF_DBLR_EN	未使用	時々使用	1kΩ 搭載の GND
MuteA、MuteB	時々使用	常に使用	1kΩ 搭載の GND

Copyright © 2026 Texas Instruments Incorporated

6.5 プログラミング

ピン モードではないとき、LMX2624-SP は 24 ビット シフト レジスタを使用してプログラムされます。シフト レジスタは、R/W ビット (MSB)、続いて 7 ビットのアドレス フィールド、そして 16 ビットのデータ フィールドで構成されています。R/W ビットについては、0 は書き込み用、1 は読み取り用です。アドレス フィールド ADDRESS[6:0] は、内部レジスタのアドレスをデコードするために使用されます。残りの 16 ビットがデータ フィールド DATA[15:0] を構成します。CSB が low の間、シリアル データはクロックの立ち上がりエッジでシフト レジスタに取り込まれます (データは MSB ファーストでプログラムされます)。タイミングの詳細については、図 5-2 を参照してください。

プログラムは、レジスタ マップ に示されるような R/W タイプのレジスタ フィールドのみに必要です。読み取り専用レジスタ フィールドには書き込むことができないので、そのフィールドへのプログラミングは必要ありません。

同じように、レジスタ マップ に示されるような読み取り専用レジスタ フィールドのリセット値や POR 値は必要はありません。なぜなら、これらのフィールドの初期状態は確定的ではないためです。

6.5.1 推奨される初期電源オン シーケンス

最も信頼性の高いプログラミングを行うために、TI では次の手順を推奨しています:

1. ボードに電源を供給します。
2. RESET = 1 をプログラムすると、レジスタをリセットできます。
3. レジスタ マップ に示すように、レジスタを最上のアドレスから最下のアドレスへと逆の順序でプログラムします。
   - R0 まで、すべてのレジスタを (FCAL_EN = 1 の場合) プログラムする必要があります。文書化されたフィールドのないレジスタでも、レジスタ マップ に従ってプログラムする必要があります。パワーオン リセット状態と推奨値が同じであると仮定してはいけません。
4. 内部 LDO が安定したことを確認するのに、10ms 待ちます
5. レジスタ R0 を FCAL_EN = 1 でさらに 1 回プログラムし、VCO キャリブレーションが安定した状態で実行されることを確認します。

6.5.2 周波数変更の推奨シーケンス

周波数の変更に推奨されるシーケンスは次のとおりです:

1. N デバイダ値を変更します。
2. PLL の分子と分母をプログラムします。
3. FCAL_EN (R0[2]) = 1 をプログラムします。

Copyright © 2026 Texas Instruments Incorporated

6.5.3 レジスタ マップ

	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
R0	0	VCO_PHASE_SYNC	1	FCAL_DBLR_EN	0	0	OUT_MUTE		FCAL_HPFD_ADJ		FCAL_LPFD_ADJ		1	FCAL_EN	リセット	パワーダウン
R1	0	MASH_SEED_EN	読み戻し	LD_TYPE	OUTB_MUTE_POL	OUTA_MUTE_POL	OUTB_MUTE_PIN	OUTA_MUTE_PIN	OUTB_MUTE	OUTA_MUTE	OUTB_PD	OUTA_PD	1	CAL_CLK_DIV		
R2	0	0	0	0	1	CPG			0	0	OUTB_PWR			OUTA_PWR		
R3	OUTB_MUX		OUTA_MUX		OUTMUX	PFD_DLY					CHDIV					
R4	0	VCO_CAPCTRL_FORCE	VCO_DACISET_FORCE	VCO_SEL_FORCE	QUICK_RECAL_EN	1	1	0	0	1	0	0	0	1	0	0
R5	MASH_ORDER			VCO_FULL_ASSIST	VCO_SEL			VCO_DACISET								
R6	0	DBLR_AMP1_DACCTRL		DBLR_AMP_CAPCTRL				DBLR1_PD	VCO_CAPCTRL							
R7	0	VCO_FASTCHG_CNT							DBLR_PG_AMP_DACCTRL		DBLR_PG_AMP_CAPCTRL					
R8	PLL_N															
R9	PLL_N[18:16]			0	0	0	0	0	0	0	0	0	0	0	0	0
R10	PLL_DEN[15:0]															
R11	PLL_DEN[31:16]															
R12	MASH_SEED[15:0]															
R13	MASH_SEED[31:16]															
R14	PLL_NUM[15:0]															
R15	PLL_NUM[31:16]															
R16	0	0	0	0	0	0	0	DBL_BUF_EN	PLL_R							
R17	0	0	0	OSC_2X	PLL_R_PRE											
R18	SYSREF_DIV										SYSREF_DIV_PRE			SYSREF_EN	SYSREF_REPEAT	
R19	0	JESD_DAC2					JESD_DAC1						RPTR_NONSYNC	0	SYSREF_PULSE	
R20	SYSREF_PULSE_CNT				JESD_DAC4						JESD_DAC3					
R22	0	0	0	0	0	0	0	0	0	MUXOUT						
R23	LD_DLY															
R30	MASH_RST_COUNT[15:0]															
R31	MASH_RST_COUNT[31:16]															
R32	0	0	0	0	0	0	WD_DLY							WD_CNTRL		
R34	rb_VER_ID															
R35	0	0	0	0	0	0	0	0	0	0	rb_LD_VTUNE		rb_VCO_SEL			0

Copyright © 2026 Texas Instruments Incorporated

R84	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1 デバイスのレジスタ

表 6-24 に、デバイスのレジスタ用のメモリ マップト レジスタを示します。表 6-24 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 6-24. デバイスのレジスタ

オフセット	略称	レジスタ名	セクション
0h	R0		セクション 6.5.3.1.1
1h	R1		セクション 6.5.3.1.2
2h	R2		セクション 6.5.3.1.3
3h	R3		セクション 6.5.3.1.4
4h	R4		セクション 6.5.3.1.5
5h	R5		セクション 6.5.3.1.6
6h	R6		セクション 6.5.3.1.7
7h	R7		セクション 6.5.3.1.8
8h	R8		セクション 6.5.3.1.9
9h	R9		セクション 6.5.3.1.10
Ah	R10		セクション 6.5.3.1.11
Bh	R11		セクション 6.5.3.1.12
Ch	R12		セクション 6.5.3.1.13
Dh	R13		セクション 6.5.3.1.14
Eh	R14		セクション 6.5.3.1.15
Fh	R15		セクション 6.5.3.1.16
10h	R16		セクション 6.5.3.1.17
11h	R17		セクション 6.5.3.1.18
12h	R18		セクション 6.5.3.1.19
13h	R19		セクション 6.5.3.1.20
14h	R20		セクション 6.5.3.1.21
16h	R22		セクション 6.5.3.1.22
17h	R23		セクション 6.5.3.1.23
1Eh	R30		セクション 6.5.3.1.24
1Fh	R31		セクション 6.5.3.1.25
20h	R32		セクション 6.5.3.1.26
22h	R34		セクション 6.5.3.1.27
23h	R35		セクション 6.5.3.1.28
54h	R84		セクション 6.5.3.1.29

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 6-25 に、このセクションでアクセス タイプに使用しているコードを示します。

表 6-25. デバイスのアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		

Copyright © 2026 Texas Instruments Incorporated

表 6-25. デバイスのアクセス タイプ コード (続き)

アクセス タイプ	コード	説明
-n		リセット後の値またはデフォルト値

6.5.3.1.1 R0 レジスタ (オフセット = 0h) [リセット = 33CCh]

R0 を表 6-26 に示します。

概略表に戻ります。

表 6-26. R0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
14	VCO_PHASE_SYNC	R/W	0h	位相同期イネーブル。 このビットが 1 に設定されている場合、SYNC ピンの立ち上がりエッジによって位相同期がトリガされます。SYSREF 動作では、このビットを 1 に設定する必要があります。 0h = 位相同期なし 1h = 位相同期イネーブル
13	非公開	R/W	1h	このフィールドを 0x1 にプログラムします。
12	FCAL_DBLR_EN	R/W	1h	VCO ダブラ キャリブレーション用イネーブル ビット。 このビットが 1 に設定されている場合、VCO キャリブレーションがトリガされると常に VCO ダブラがキャリブレーションされます。 0h = VCO ダブラ キャリブレーションなし 1h = VCO ダブラ キャリブレーション イネーブル
11-10	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
9-8	OUT_MUTE	R/W	3h	VCO のキャリブレーション時に RF 出力をミュートする方法を定義します。ミュートを選択すると、少なくとも 1 つの VCO キャリブレーションを実行する必要があります。そうしないと、選択されたミュート チャネルがミュートされます。 0h = RFOUTA、RFOUTB がミュートされていない 1h = RFOUTA がミュートされ、RFOUTB はミュートされていない 2h = RFOUTA がミュートされていない、RFOUTB はミュートされている 3h = RFOUTA、RFOUTB がミュートされている
7-6	FCAL_HPFD_ADJ	R/W	3h	VCO キャリブレーションに使用する f_{PD} 周波数を下げるための調整。 最適な VCO キャリブレーションのために、位相検出器周波数に従ってこのフィールドを設定します。 0h = $f_{PD} \leq 50MHz$ 1h = $50MHz < f_{PD} \leq 100MHz$ 2h = $100MHz < f_{PD} \leq 200MHz$ 3h = $f_{PD} > 200MHz$
5-4	FCAL_LPFD_ADJ	R/W	0h	VCO キャリブレーションで使用する f_{PD} 周波数を上げるための調整。 最適な VCO キャリブレーションのために、位相検出器周波数に従ってこのフィールドを設定します。 0h = $f_{PD} \geq 10MHz$ 1h = $5MHz \leq f_{PD} < 10MHz$ 2h = $2.5MHz \leq f_{PD} < 5MHz$ 3h = $f_{PD} < 2.5MHz$
3	非公開	R/W	1h	このフィールドを 0x1 にプログラムします。
2	FCAL_EN	R/W	1h	このビットをイネーブルにして 1 をレジスタ R0 に書き込むと、VCO キャリブレーションがトリガされます。 0h = キャリブレーションなし 1h = 1 を書き込むと VCO キャリブレーションをトリガ
1	リセット	R/W	0h	すべてのレジスタをシリコンのデフォルト値にリセットします。 リセット後に、すべてのレジスタを再プログラミングする必要があります。 0h = 通常動作 1h = 1 を書き込むとリセットをトリガ
0	パワーダウン	R/W	0h	デバイスをパワーダウンします。 レジスタの内容は、デバイスがパワーダウンのときも保持されます。 0H = 通常動作 1h = デバイス パワーダウン

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.2 R1 レジスタ (オフセット = 1h) [リセット = 10CBh]

R1 を表 6-27 に示します。

概略表に戻ります。

表 6-27. R1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
14	MASH_SEED_EN	R/W	0h	スプリアス改善に MASH_SEED を有効にします。 0h=ディセーブル 1h = イネーブル
13	読み戻し	R/W	0h	レジスタの読み戻し制御を設定します。 0h = 書き込みされたレジスタ値を読み取り 1h = ステート マシン値を読み取り
12	LD_TYPE	R/W	1h	ロック検出タイプを定義します。 VCOCal ロック検出は、VCO のキャリブレーションが完了し、LD_DLY タイムアウト カウンタが終了すると "High" 出力をアサートします。 Vtune および VCOCal ロック検出は、VCOCal ロック検出が信号をアサートする場合に、VCO への調整電圧が許容範囲内にあるとき (Vtune 電圧の連続監視)、"High" 出力をアサートします。 RECAL 機能は、Vtune と VCOCal ロック検出を使用する必要があります。 どちらのロック検出タイプも、VCO キャリブレーションは少なくとも 1 回実行される必要があります。そうしないと、出力は "Low" のままになります。 0h = VCOCal ロック検出 1h = Vtune および VCOCal ロック検出
11	OUTB_MUTE_POL	R/W	0h	MUTEB ピンがアクティブ "High" かアクティブ "Low" かを選択します。 0h = ピンが "High" のときミュート 1h = ピンが "Low" のときミュート
10	OUTA_MUTE_POL	R/W	0h	MUTEA ピンがアクティブ "High" かアクティブ "Low" かを選択します。 0h = ピンが "High" のときミュート 1h = ピンが "Low" のときミュート
9	OUTB_MUTE_PIN	R/W	0h	RFOUTB がピンでミュートされるかレジスタでミュートされるかを選択します。 0h = ピンによってミュート 1h = レジスタによってミュート
8	OUTA_MUTE_PIN	R/W	0h	RFOUTA がピンでミュートされるかレジスタでミュートされるかを選択します。 0h = ピンによってミュート 1h = レジスタによってミュート
7	OUTB_MUTE	R/W	1h	RFOUTB をミュートします。 0h = RFOUTB がミュートされていない 1h = RFOUTB がミュートされている
6	OUTA_MUTE	R/W	1h	RFOUTA をミュートします。 0h = RFOUTA がミュートされていない 1h = RFOUTA がミュートされている
5	OUTB_PD	R/W	0h	RFOUTB の電源をオフにします。 0h = RFOUTB は電源オン 1h = RFOUTB は電源オフ
4	OUTA_PD	R/W	0h	RFOUTA の電源をオフにします。 0h = RFOUTA は電源オン 1h = RFOUTA は電源オフ
3	非公開	R/W	1h	このフィールドを 0x1 にプログラムします。

Copyright © 2026 Texas Instruments Incorporated

表 6-27. R1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2-0	CAL_CLK_DIV	R/W	3h	ステート マシンのクロック周波数を 50MHz 以下に設定します。 $f_{SM} = f_{OSC} / 2^{CAL_CLK_DIV}$ 0h = $f_{OSC} \leq 50MHz$ 1h = $f_{OSC} \leq 100MHz$ 2h = $f_{OSC} \leq 200MHz$ 3h = $f_{OSC} \leq 400MHz$ 4h = $f_{OSC} \leq 800MHz$ 5h = $f_{OSC} > 800MHz$

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.3 R2 レジスタ (オフセット = 2h) [リセット = 0F3Fh]

R2 を表 6-28 に示します。

概略表に戻ります。

表 6-28. R2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-11	非公開	R/W	1h	このフィールドを 0x1 にプログラムします。
10-8	CPG	R/W	7h	チャージ ポンプ ゲインを設定します。 0h = トライステート 1h = 6mA 2h = 予約済み 3h = 12mA 4h = 3mA 5h = 9mA 6h = 予約済み 7h = 15mA
7-6	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
5-3	OUTB_PWR	R/W	7h	RFOUTB の出力電力を制御します。値が大きいほど出力電力が大きくなります。
2-0	OUTA_PWR	R/W	7h	RFOUTA の出力電力を制御します。値が大きいほど出力電力が大きくなります。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.4 R3 レジスタ (オフセット = 3h) [リセット = 5040h]

R3 を表 6-29 に示します。

概略表に戻ります。

表 6-29. R3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	OUTB_MUX	R/W	1h	RFOUTB 構成を選択します。 0h = 分周出力 1h = ダイレクト VCO 出力 2h = VCO ダブラ出力 3h = SYSREF 出力
13-12	OUTA_MUX	R/W	1h	RFOUTA 構成を選択します。 0h = 分周出力 1h = ダイレクト VCO 出力 2h = VCO ダブラ出力 3h = 予約済み
11	OUTMUX	R/W	0h	RF 出力の選択 (分周、ダイレクト VCO、または VCO ダブラ出力) を OUTMUX ピンを介して制御するか、レジスタを介して制御するかを決定します。 0h = ピンにより制御 1h = レジスタにより制御
10-5	PFD_DLY	R/W	2h	プログラマブルな位相検出器遅延。これは、VCO 周波数、分数次数、N デバイダ値に基づいてプログラムする必要があります。 その他すべての値は、N デバイダ値に従って設定する必要があります 0h = 予約済み
4-0	CHDIV	R/W	0h	RF 出力の VCO 周波数デバイダ値を設定します。 以下に記載されていない値は予約済みです。 1h = 2 分周 2h = 4 分周 3h = 6 分周 4h = 8 分周 5h = 12 分周 6h = 16 分周 7h = 24 分周 8h = 32 分周 9h = 48 分周 Ah = 64 分周 Bh = 96 分周 Ch = 128 分周 Dh = 192 分周 Eh = 256 分周 Fh = 384 分周 10h = 512 分周 11h = 768 分周 12h = 1024 分周 13h = 1536 分周

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.5 R4 レジスタ (オフセット = 4h) [リセット = 0644h]

R4 を表 6-30 に示します。

概略表に戻ります。

表 6-30. R4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
14	VCO_CAPCTRL_FORCE	R/W	0h	VCO に対して、プログラムされた VCO_CAPCTRL の値をデバイスに強制的に使用させることができます。 0h=ディセーブル 1h = イネーブル
13	VCO_DACISET_FORCE	R/W	0h	VCO に対して、プログラムされた VCO_DACISET の値をデバイスに強制的に使用させることができます。 0h=ディセーブル 1h = イネーブル
12	VCO_SEL_FORCE	R/W	0h	プログラムされた VCO_SEL 値をデバイスに強制的に使用させて、VCO コアを手動で選択することができます。 0h=ディセーブル 1h = イネーブル
11	QUICK_RECAL_EN	R/W	0h	VCO キャリブレーションを開始するための、VCO 構成 (VCO_CAPCTRL、VCO_SEL、および VCO_DACISET) の値を選択します。 0h = プログラムされた VCO 構成を使用 1h = 現在の VCO 構成ステート マシン値を使用
10-0	非公開	R/W	644h	このフィールドを 0x644 にプログラムします。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.6 R5 レジスタ (オフセット = 5h) [リセット = 0F2Ch]

R5 を表 6-31 に示します。

概略表に戻ります。

表 6-31. R5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	MASH_ORDER	R/W	0h	MASH の順序を設定します。 MASH がディスエーブルの場合、分数分子 (PLL_NUM) は無視されます。 以下に記載されていない値は予約済みです。 0h = MASH ディセーブル 1h = 1 次変調器 2h = 2 次変調器 3h = 3 次変調器
12	VCO_FULL_ASSIST	R/W	0h	このビットをイネーブルにすると、デバイスは強制的に、次のフィールドにプログラムされた値を使用します: VCO_SEL、VCO_CAPCTRL、VCO_DACISET DBLR1_PD、DBLR_AMP_CAPCTRL、DBLR_AMP1_DACCTRL DBLR_PG_AMP_CAPCTRL、DBLR_PG_AMP_DACCTRL イネーブルの場合、DBL_BUF_EN = 1 が必要です。 0h=ディセーブル 1h = イネーブル
11-9	VCO_SEL	R/W	7h	VCO キャリブレーションの初期 VCO コアを設定します。 QUICK_RECAL_EN = 1 でない限り、VCO キャリブレーションは常にこのフィールドに指定された値から開始します。 0h = 予約済み 1h = VCO1 2h = VCO2 3h = VCO3 4h = VCO4 5h = VCO5 6h = VCO6 7h = VCO7
8-0	VCO_DACISET	R/W	12Ch	VCO キャリブレーションの初期値を設定します。標準値は 300 です。 QUICK_RECAL_EN = 1 でない限り、VCO キャリブレーションは常にこのフィールドに指定された値から開始します。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.7 R6 レジスタ (オフセット = 6h) [リセット = 41BFh]

R6 を表 6-32 に示します。

概略表に戻ります。

表 6-32. R6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
14-13	DBLR_AMP1_DACCTRL	R/W	2h	VCO ダブラ構成。 プログラミングはフル アシスト モードでのみ必要です。フィールド値は、VCO ダブラ キャリブレーション後にレジスタを読み戻すことで取得されます。
12-9	DBLR_AMP_CAPCTRL	R/W	0h	VCO ダブラ構成。 プログラミングはフル アシスト モードでのみ必要です。フィールド値は、VCO ダブラ キャリブレーション後にレジスタを読み戻すことで取得されます。
8	DBLR1_PD	R/W	1h	VCO ダブラのパス 1 をディスエーブルにします。 プログラミングはフル アシスト モードでのみ必要です。フィールド値は、VCO ダブラ キャリブレーション後にレジスタを読み戻すことで取得されます。 0h = ダブラ パス 1 がイネーブル 1h = ダブラ パス 1 がディスエーブル
7-0	VCO_CAPCTRL	R/W	BFh	VCO キャリブレーションの初期値を設定します。 有効な値は 0 ～ 191 です。大きい値は VCO 周波数が低いことを表します。 QUICK_RECAL_EN = 1 でない限り、VCO キャリブレーションは常にこのフィールドに指定された値から開始します。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.8 R7 レジスタ (オフセット = 7h) [リセット = 7D40h]

R7 を表 6-33 に示します。

概略表に戻ります。

表 6-33. R7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
14-7	VCO_FASTCHG_CNT	R/W	FAh	フル アシスト モードで使用するため、またはダブル バッファリングがイネーブルにされている場合に、高速充電オン時間を設定します。 オン時間 = VCO_FASTCHG_CNT / f_{SM} 推奨オン時間は 5µs です。
6-4	DBLR_PG_AMP_DACCTRL	R/W	4h	VCO ダブラ構成。 プログラミングはフル アシスト モードでのみ必要です。フィールド値は、VCO ダブラ キャリブレーション後にレジスタを読み戻すことで取得されます。
3-0	DBLR_PG_AMP_CAPCTRL	R/W	0h	VCO ダブラ構成。 プログラミングはフル アシスト モードでのみ必要です。フィールド値は、VCO ダブラ キャリブレーション後にレジスタを読み戻すことで取得されます。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.9 R8 レジスタ (オフセット = 8h) [リセット = 0046h]

R8 を表 6-34 に示します。

概略表に戻ります。

表 6-34. R8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PLL_N	R/W	46h	N デバイダの下位 16 ビット、合計 19 ビット。

6.5.3.1.10 R9 レジスタ (オフセット = 9h) [リセット = 0000h]

R9 を表 6-35 に示します。

概略表に戻ります。

表 6-35. R9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	PLL_N[18:16]	R/W	0h	N デバイダの上位 3 ビット、合計 19 ビット。
12-0	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.11 R10 レジスタ (オフセット = Ah) [リセット = DA80h]

R10 を表 6-36 に示します。

概略表に戻ります。

表 6-36. R10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PLL_DEN[15:0]	R/W	DA80h	分数分母下位 16 ビット、合計 32 ビット。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.12 R11 レジスタ (オフセット= Bh) [リセット= FD51h]

R11 を表 6-37 に示します。

概略表に戻ります。

表 6-37. R11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PLL_DEN[31:16]	R/W	FD51h	分数分母上位 16 ビット、合計 32 ビット。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.13 R12 レジスタ (オフセット = Ch) [リセット = 0000h]

R12 を表 6-38 に示します。

概略表に戻ります。

表 6-38. R12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	MASH_SEED[15:0]	R/W	0h	MASH_SEED の下位 16 ビット、合計 32 ビット。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.14 R13 レジスタ (オフセット = Dh) [リセット = 0000h]

R13 を表 6-39 に示します。

概略表に戻ります。

表 6-39. R13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	MASH_SEED[31:16]	R/W	0h	MASH_SEED の上位 16 ビット、合計 32 ビット。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.15 R14 レジスタ (オフセット = Eh) [リセット = 0000h]

R14 を表 6-40 に示します。

概略表に戻ります。

表 6-40. R14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PLL_NUM[15:0]	R/W	0h	分数分子下位 16 ビット、合計 32 ビット。

6.5.3.1.16 R15 レジスタ (オフセット= Fh) [リセット= 0000h]

R15 を表 6-41 に示します。

概略表に戻ります。

表 6-41. R15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	PLL_NUM[31:16]	R/W	0h	分数分子上位 16 ビット、合計 32 ビット。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.17 R16 レジスタ (オフセット = 10h) [リセット = 0001h]

R16 を表 6-42 に示します。

概略表に戻ります。

表 6-42. R16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-9	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
8	DBL_BUF_EN	R/W	0h	ダブル バッファリングをイネーブルにします。 ダブル バッファリングを使うと、ユーザーはレジスタ R0 が書き込まれるまで実際には有効になることなしに複数のレジスタをプログラムできます。 このビットをイネーブルにする場合、十分な高速充電オン時間を設定する必要があります。 フル アシスト モードでは、このビットを 1 に設定する必要があります。 0h = ダブル バッファリングをディスエーブル 1h = ダブル バッファリングをイネーブル
7-0	PLL_R	R/W	1h	リファレンス パスのポスト R デバイダ。 これはプリ R デバイダの後のデバイダです。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.18 R17 レジスタ (オフセット = 11h) [リセット = 1001h]

R17 を表 6-43 に示します。

概略表に戻ります。

表 6-43. R17 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
12	OSC_2X	R/W	1h	リファレンス パスの入力クロック ダブラをイネーブルにします。 0h=ディセーブル 1h = イネーブル
11-0	PLL_R_PRE	R/W	1h	リファレンス パスのプリ R デバイダ。 上位 4 ビットは使用されません。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.19 R18 レジスタ (オフセット = 12h) [リセット = 0030h]

R18 を表 6-44 に示します。

概略表に戻ります。

表 6-44. R18 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-5	SYSREF_DIV	R/W	1h	このデバイダは、SYSREF 出力のクロック周波数をさらに分周します。
4-2	SYSREF_DIV_PRE	R/W	4h	このデバイダを使用して、SYSREF デバイダのクロック周波数を下げることができます。 このデバイダの出力周波数は、800MHz ～ 1.5GHz の範囲にする必要があります。 以下に記載されていない値は予約済みです。 1h = バイパス 2h = 2 分周 4h = 4 分周
1	SYSREF_EN	R/W	0h	SYSREF モードを有効にします。 0h = SYSREF モジュールをディスエーブル 1h = SYSREF モジュールをイネーブル
0	SYSREF_REPEAT	R/W	0h	デバイスを SYSREF 生成モードまたはリピータ モードに設定します。 生成モードでは、内部回路を使用して SYSREF クロックが生成されます。 リピータ モードでは、受け取った SYSREF 信号は再クロックされずにデバイスを通過します。 0h = 生成モード 1h = リピータ モード

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.20 R19 レジスタ (オフセット = 13h) [リセット = 01F8h]

R19 を表 6-45 に示します。

概略表に戻ります。

表 6-45. R19 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
14-9	JESD_DAC2	R/W	0h	SYSREF 出力のプログラマブルな遅延。
8-3	JESD_DAC1	R/W	3Fh	SYSREF 出力のプログラマブルな遅延。
2	RPTR_NONSYNC	R/W	0h	非同期 SYSREF リピータ モードをイネーブルにします。 SYSREF リピータ モードでは、このビットが 1 に設定されている場合、出力 SYSREF クロックは VCO で再クロックされず、入力 SYSREF クロックがデバイスを直接通過できます。 0h = VCO で再クロック 1h = 再クロックなしで通過
1	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
0	SYSREF_PULSE	R/W	0h	デバイスを、連続 SYSREF パルスまたは固定数のパルスに設定します。 連続モードでは、SYSREF パルスが連続的に生成されます。 パルス モードでは、SYSREF_PULSE_CNT で決定される複数のパルスが SysRefReq ピンが "High" になるたびに送出されます。 0h = 連続変換モード 1h = パルス モード

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.21 R20 レジスタ (オフセット = 14h) [リセット = 0000h]

R20 を表 6-46 に示します。

概略表に戻ります。

表 6-46. R20 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	SYSREF_PULSE_CNT	R/W	0h	SYSREF パルス モードで送出されるパルスの数を定義します。 有効な値は 1 ～ 15 です。
11-6	JESD_DAC4	R/W	0h	SYSREF 出力のプログラマブルな遅延。
5-0	JESD_DAC3	R/W	0h	SYSREF 出力のプログラマブルな遅延。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.22 R22 レジスタ (オフセット = 16h) [リセット = 0001h]

R22 を表 6-47 に示します。

概略表に戻ります。

表 6-47. R22 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-7	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
6-0	MUXOUT	R/W	1h	MUXOUT ピンの機能を選択します。 0h = ロック検出 1h = レジスタ読み戻し 2h = f_{PD} / 32 3h = f_{SM} / 32

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.23 R23 レジスタ (オフセット = 17h) [リセット = 09C4h]

R23 を表 6-48 に示します。

概略表に戻ります。

表 6-48. R23 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	LD_DLY	R/W	9C4h	VCOCal ロック検出タイプでは、この値は、キャリブレーション完了後からロック検出が "High" にアサートされるまでの間に追加される、ステート マシン クロック サイクル単位の遅延を指します。 遅延時間 = LD_DLY × 4 / f_{SM}

6.5.3.1.24 R30 レジスタ (オフセット = 1Eh) [リセット = D6D8h]

R30 を表 6-49 に示します。

概略表に戻ります。

表 6-49. R30 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	MASH_RST_COUNT[15:0]	R/W	D6D8h	MASH_RST_COUNT の下位 16 ビット、合計 32 ビット。 このフィールドは、位相同期中に MASH エンジンがリセットされた後に必要な遅延時間を定義します。PLL_NUM がゼロでない場合、遅延時間は PLL ロック時間の少なくとも 4 倍に設定する必要があります。PLL_NUM = 0 のとき、このフィールドは 0 に設定できます。 遅延時間 = MASH_RST_COUNT / f_{SM}

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.25 R31 レジスタ (オフセット = 1Fh) [リセット = 0000h]

R31 を表 6-50 に示します。

概略表に戻ります。

表 6-50. R31 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	MASH_RST_COUNT[31:16]	R/W	0h	MASH_RST_COUNT の上位 16 ビット、合計 32 ビット。

6.5.3.1.26 R32 レジスタ (オフセット = 20h) [リセット = 026Fh]

R32 を表 6-51 に示します。

概略表に戻ります。

表 6-51. R32 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
9-3	WD_DLY	R/W	4Dh	内部ウォッチドッグ タイマの遅延。 遅延時間 = WD_DLY × 2^{14} / f_{SM}
2-0	WD_CNTRL	R/W	7h	ウォッチドッグ制御。 0h = デジタル ウォッチドッグがディスエーブル 1h = ウォッチドッグが 1 回トリガ 2h = ウォッチドッグが最大 2 回までトリガ 3h = ウォッチドッグが最大 3 回までトリガ 4h = ウォッチドッグが最大 4 回までトリガ 5h = ウォッチドッグが最大 5 回までトリガ 6h = ウォッチドッグが最大 6 回までトリガ 7h = ウォッチドッグが必要な回数だけ制限なく再トリガされる

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.27 R34 レジスタ (オフセット = 22h) [リセット = 0000h]

R34 を表 6-52 に示します。

概略表に戻ります。

表 6-52. R34 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	rb_VER_ID	R	0h	デバイスのバージョン ID を読み戻します。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.28 R35 レジスタ (オフセット = 23h) [リセット = 0000h]

R35 を表 6-53 に示します。

概略表に戻ります。

表 6-53. R35 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-6	非公開	R/W	0h	このフィールドを 0x0 にプログラムします。
5-4	rb_LD_VTUNE	R	0h	ロック検出ステータスの読み戻しフィールド。 レジスタ R0 が LD_TYPE = 1 で少なくとも 1 回プログラムされている場合のみ適用、FCAL_EN ビットは未使用です。 以下に記載されていない値は、ロック解除されています。 2h = ロック済み
3-1	rb_VCO_SEL	R	0h	VCO キャリブレーションが選択した実際の VCO コアを読み戻します。 0h = 予約済み 1h = VCO1 2h = VCO2 3h = VCO3 4h = VCO4 5h = VCO5 6h = VCO6 7h = VCO7
0	非公開	R	0h	このフィールドを 0x0 にプログラムします。

Copyright © 2026 Texas Instruments Incorporated

6.5.3.1.29 R84 レジスタ (オフセット = 54h) [リセット = 0000h]

R84 を表 6-54 に示します。

概略表に戻ります。

表 6-54. R84 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	非公開	R/W	0h	このフィールドを 0x4000 にプログラムします。これはリセット値とは異なることに注意してください。

7 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

7.1.1 OSCin の構成

OSCin は、シングル エンドまたは差動クロックをサポートしています。デバイスのピンの手前に、直列に AC カップリング コンデンサを挿入する必要があります。OSCin 入力は内部バイアス電圧を持つ高インピーダンス CMOS です。TI では、差動配線を終端するためにシャント終端抵抗を配置することを推奨しています (特性インピーダンスが 50Ω の配線の場合は、50Ω の抵抗を配置します)。OSCinP 側と OSCinM 側は、レイアウト上で一致させる必要があります。基板レイアウトでは、OSCin ピンの直後に直列の AC カップリング コンデンサを配置し、その後にグランドへのシャント終端抵抗を配置する必要があります。

入力クロックの定義を図 7-1 に示します:

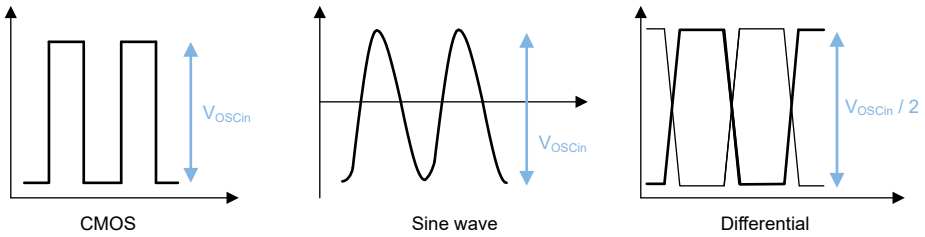


図 7-1. 入力クロックの定義

7.1.2 OSCin スルーレート

OSCin 信号のスルーレートが低すぎる場合、デバイスのスプリアスおよび位相ノイズに影響を与える可能性があります。一般に、最良の性能が得られるのは、スルーレートが高く、かつ振幅の小さい信号、例えば LVDS のような信号です。

7.1.3 RF 出力バッファ電力制御

OUTA_PWR および OUTB_PWR レジスタは、出力電力の量を制御します。OUTx_PWR 設定を「7」にすると、最大出力電力を得られますが、消費電流も大きくなります。設定を 1 まで下げることで出力電力を制御することができます。

7.1.4 RF 出力バッファ

このデバイスにはプルアップ抵抗が内蔵されています。VCC プルアップの 50Ω 抵抗は、差動出力 RFOUTA および RFOUTB の各ピンの内部にあります。

7.1.5 相補側の RF 出力処理

差動出力の両側を使用するかどうかにかかわらず、両側に同様の負荷が必要になります。

7.1.5.1 未使用出力のシングルエンド終端

高調波を最小限に抑え、最適な出力電力を実現するためには、未使用の出力端子のインピーダンスを、そのピンから外側を見た場合のインピーダンスとほぼ同じにする必要があります。RFOUTAP のように、アプリケーション要件がシングルエンド出力のみを使用する要件である場合は、RFOUTAM も同じインピーダンスであることを確認する必要があります。50Ω PCB パターンを持つ標準的な 50Ω システムでは、未使用のピンは AC カップリング コンデンサで 50Ω の終端ができます。

Copyright © 2026 Texas Instruments Incorporated

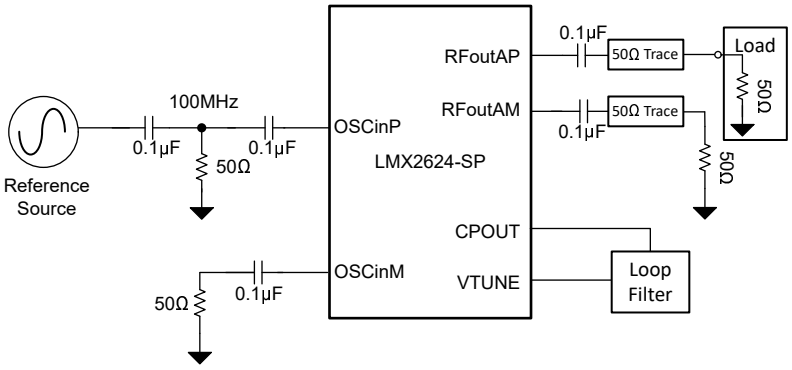


図 7-2. 未使用出力の終端

7.2 代表的なアプリケーション

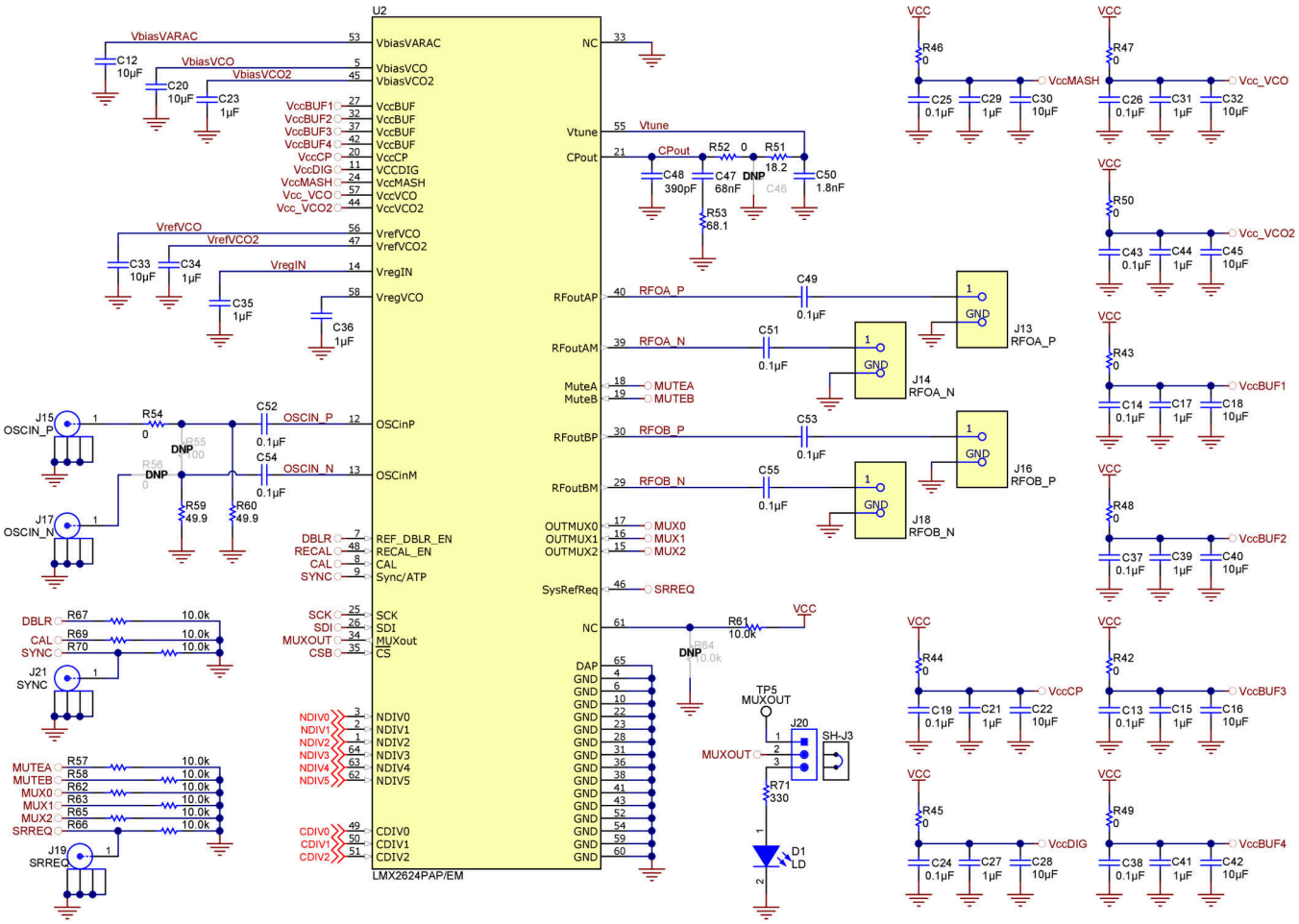


図 7-3. 代表的なアプリケーション回路図

7.2.1 設計要件

ループ フィルタの設計は複雑であるため、通常はソフトウェアで処理されます。PLLatinum Sim ソフトウェアは、設計とシミュレーションのための優れたリソースです。この場合は整数 PLL 設計が想定されており、多くのクロック供給アプリケーションの場合と同様に、最適なジッタを実現するよう設計されます。この例では、100MHz クロックから 12GHz の出力を生成

すると想定しています。この場合にエンジニアは、ループ フィルタの設計に進む前に、VCO 周波数と位相検出器を選択する必要があります。

VCO 周波数は 7.5GHz ～ 15GHz の範囲内である必要があります。出力周波数はこの VCO の分周、または VCO 周波数の 2 倍のいずれかにする必要があります。ここでは、VCO 周波数を 12GHz と想定します。次のステップとして、位相検出器の周波数を選択します。位相検出器周波数は、入力周波数の分周である必要があります。または、OSC_2X 機能を使用する場合は 2 倍の周波数にすることもできます。また、位相検出器周波数が VCO 周波数の約数である場合、スプリアス性能は大幅に向上します。位相検出器の周波数を 200MHz に設定し、OSC_2X ダブラを使用すると、整数モードでデバイスを使用でき、優れた位相ノイズ性能が得られます。

表 7-1. 設計パラメータ

パラメータ	説明	値	単位
f_{OSC}	OSCin のリファレンス周波数	100	MHz
OSC_2X = "1"	リファレンス ダブラがイネーブル	x2	-
f_{PD}	位相検出器の周波数	200	MHz
f_{OUT}	RFoutA 出力の周波数	12	GHz
f_{VCO}	VCO 周波数	12	GHz

7.2.2 詳細な設計手順

周波数を決定した後、ループ フィルタを設計する必要があります。特定の帯域幅における位相ノイズ (ジッタ) の統合は、信号対雑音比に変換される性能仕様です。ループ帯域幅の内側の位相ノイズは主に PLL により決定され、ループ帯域幅の外側の位相ノイズは主に VCO により決定されます。一般に、ループ帯域幅がこれら 2 つの交差するポイントに設計されている場合、ジッタは最も小さくなります。ループ フィルタの設計で位相マージンが高いほど、ループ帯域幅でのピークが小さくなり、ジッタも小さくなります。これに対するトレードオフは、設計時に長いロック時間とスプリアスも考慮する必要があることです。

PLLatinum Sim ソフトウェアはループ フィルタの設計に非常に便利で、TI の Web サイトから入手できます。このツールを使用して、表 7-2 の結果が得られました。

表 7-2. PLLatinum Sim による結果

部品	値	単位
C1	390	pF
C2	68	nF
C3	1.8	nF
R2	68.1	Ω
R3	18.2	Ω

TICS Pro ソフトウェアは、必要なレジスタ値の計算とデバイスの構成に非常に役立ちます。図 7-4 に、RFoutA チャネルに 12GHz を出力するための TICS Pro 構成を示します。

Copyright © 2026 Texas Instruments Incorporated

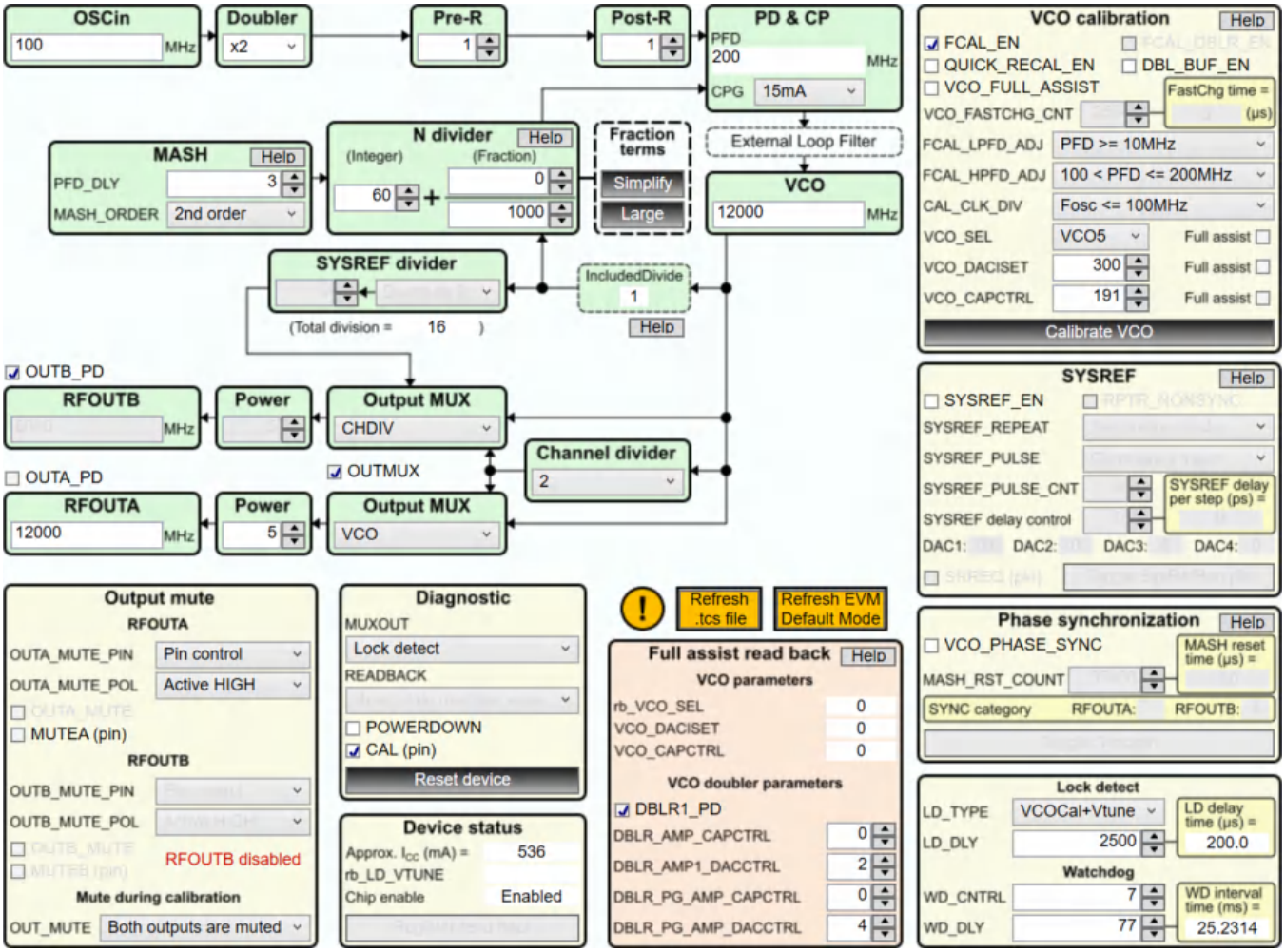


図 7-4. LMX2624-SP TICS Pro のセットアップ

7.2.3 アプリケーション曲線

説明した設定を使用して、クリーンな 100MHz 入力リファレンスを使用して測定した 12GHz 性能を示しています。シミュレーションによって予測されるように、ループ帯域幅は約 350kHz であることに注意してください。

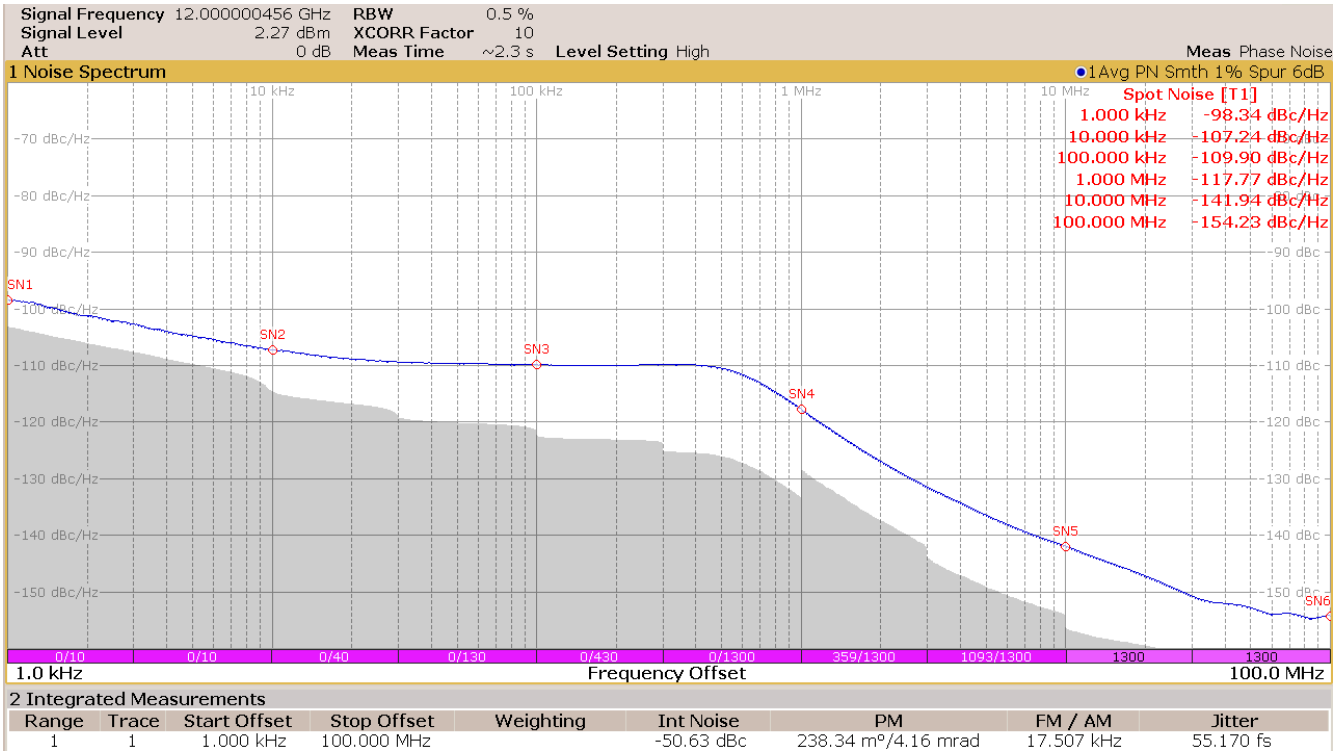


図 7-5. ループ フィルタ設計の結果

7.3 電源に関する推奨事項

TI はピンの近くにバイパス コンデンサを配置することを推奨します。レイアウトの例については、EVM の説明を参照してください。分数スプリアスが大きな問題となる場合は、これらの各電源ピンにフェライト ビーズを取り付けて、スプリアスを多少低減できます。このデバイスには LDO が内蔵されており、電源ノイズへの耐性が強化されています。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

一般に、レイアウトのガイドラインは他のほとんどの PLL デバイスと同様です。いくつか固有のガイドラインが存在するので、以下に示します。

- GND ピンはパッケージで、DAP に戻るよう配線できます。
- OSCin ピンは内部的にバイアスされており、AC 結合する必要があります。
- 使用しない場合、SysRefReq は DAP に接地しても構いません。
- 200kHz～1MHz の範囲で最適な VCO 位相ノイズ性能を得るには、Vtune ピンに最も近い位置に配置するコンデンサの容量を少なくとも 3.3nF にします。この容量が大きいコンデンサが必要なことから、ループ帯域幅が制限される可能性があるため、VCO 位相ノイズを犠牲にして、この値を (たとえば 1.5nF に) 減らすことができます。
- シングルエンド出力が必要な場合、反対側にも同じ負荷が必要です。しかし、使用する側の配線は、補完側をビアにより基板の反対側に配線することで最適化できます。こちらの側でも、使用される側と負荷が等価に見えるようにします。
- デバイス上の DAP が、多数のビアで十分に接地されていることを確認してください。可能なら銅箔ベタにします。
- LMX2624-SP の露出パッドと同じサイズのサーマル パッドを用意してください。放熱性能を最大にするため、サーマル パッドにビアを追加します。
- より低損失の誘電体 (Rogers 4350B など) を使用して、最適な出力電力を実現します。
- 電源バイパス コンデンサは、デバイスの近くに配置します。

Copyright © 2026 Texas Instruments Incorporated

7.4.2 レイアウト例

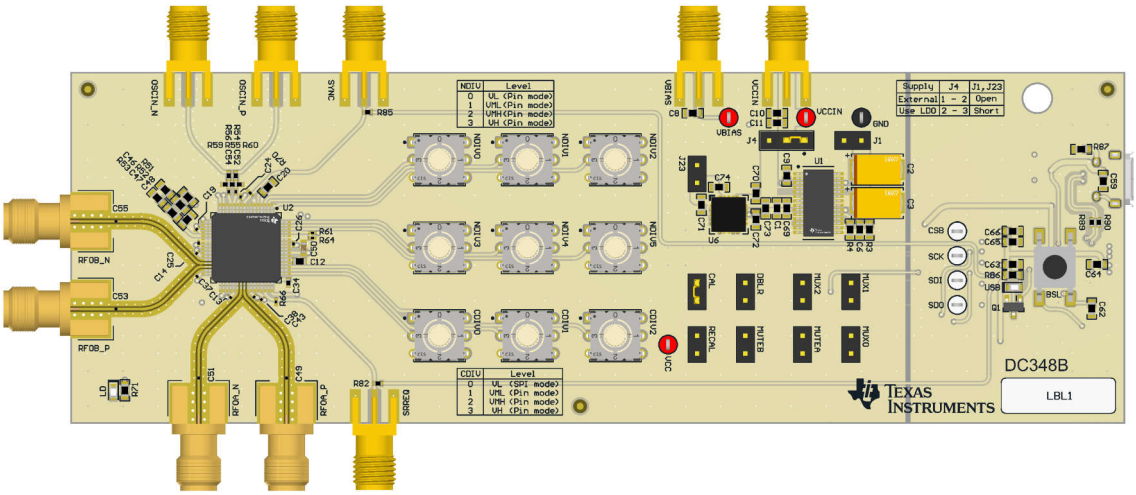


図 7-6. LMX2624-SP レイアウト例

7.4.3 PCB レイアウトのフットプリントの例

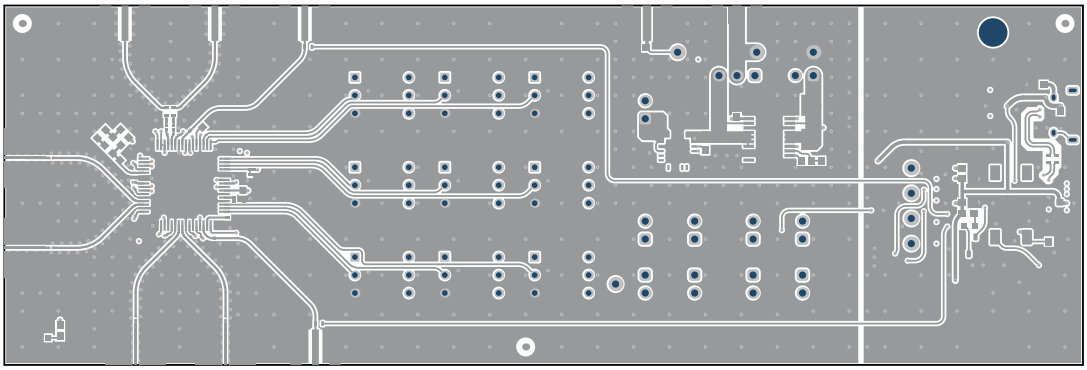


図 7-7. LMX2624-SP PCB レイアウト (最上層 — RF 信号)

7.4.4 放射線環境

放射線環境で製品を使用する際は、環境条件に十分配慮する必要があります。

7.4.4.1 全電離線量

放射線耐性保証 (RHA) 製品とは、注文情報において総電離線量 (TID) のレベルが規定されている品番のことです。これらの製品の試験および認定は、MIL-STD-883 の試験方法 1019 に従い、ウェハ レベルで実施されています。ウェハ レベルの TID データは、ロット出荷に付属しています。

7.4.4.2 単一事象効果

単一イベント効果 (SEE) の一回試験は、単一イベント ラッチアップ (SEL)、単一イベント 機能割り込み (SEFI)、および単一イベント アップセット (SEU) を含み、EIA/JEDEC 規格 EIA/JEDEC57 に従って実施されています。リクエストに応じて、テスト レポートを提供します。

Copyright © 2026 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

テキサス インスツルメンツは、開発を支援するためのソフトウェア ツールを www.ti.com で提供しています。ツールには次のものがあります:

- EVM ソフトウェアは、デバイスのプログラム方法と EVM 基板のプログラミング方法を理解するためのものです。
- 詳細な測定条件と完全な設計を含む、代表的な測定データを確認するための EVM ボード手順。
- ループ フィルタの設計、位相ノイズとスプリアスのシミュレーションのための PLLatinum Sim プログラム

表 8-1. 開発ツールとソフトウェア

ツール	タイプ	説明
PLLatinum™ Sim	ソフトウェア	すべてのモードで位相ノイズのシミュレーションを行います
TICS Pro	ソフトウェア	対話型フィードバックと 16 進レジスタ エクスポート機能を備えた、使いやすい GUI を使用してデバイスをプログラムします。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『LMX2624-SP 評価基板』、EVM ユーザーガイド
- テキサス インスツルメンツ、『AN-1879 分数分周型周波数シンセサイザ』アプリケーション ノート
- テキサス インスツルメンツ、『PLL の性能、シミュレーション、およびデザイン ハンドブック』アプリケーション ノート

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

PLLatinum™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2026 Texas Instruments Incorporated

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (July 2026) to Revision B (September 2026)	Page
• RF 出力の位相ノイズ仕様を更新されたデータに変更	9
• tCWH の仕様を「6」から「10」に変更。	13
• 図 5-20、図 5-21 を更新、および 図 5-15 の注を更新	16
• セクション 6.3.2.1 の説明を更新	25
• VCO 較正 および 表 6-4 の説明を更新	27
• RECAL 機能 の説明を更新	30
• セクション 6.3.8 の説明を更新	30
• セクション 6.3.13.1 の説明を更新	32
• 表 6-13 を更新	36
• 表 6-15 を更新	37
• セクション 6.3.14.2 の説明を更新	38
• 表 6-23 を更新	43
• レジスタ マップ、レジスタ R1 およびレジスタ R2 の説明を変更	46
• 図 7-1 の差動入力クロックの VOSCin 値を変更	80
• 表 7-1 のパラメータ テキストを変更	81
• 電源に関する推奨事項 の説明を更新	84

Changes from Revision * (December 2024) to Revision A (July 2026)	Page
• デバイスのステータスを「アドバンスト」データから「量産」データに変更	1

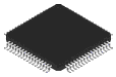
10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

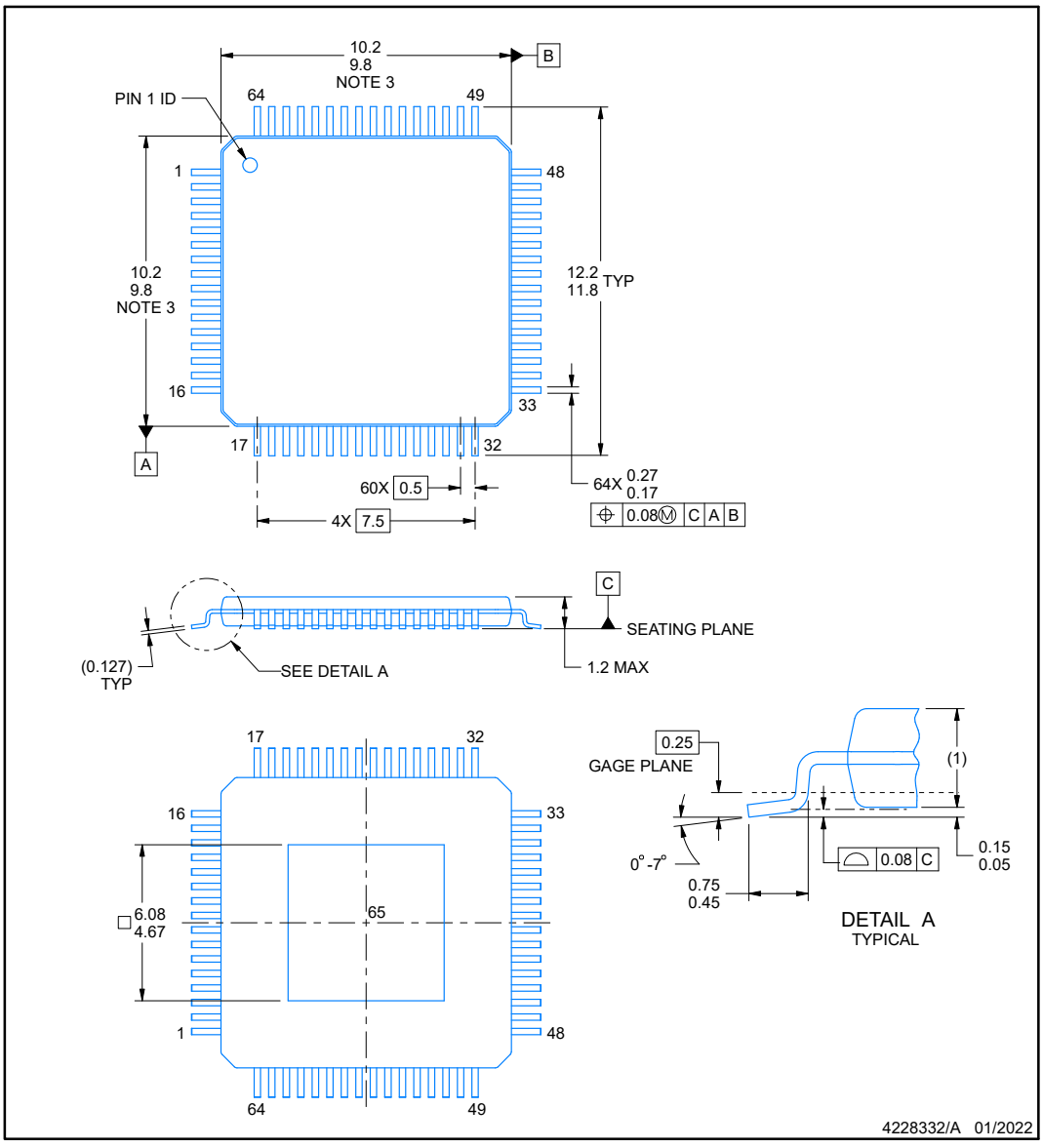
PACKAGE OUTLINE

PAP0064E



PowerPAD™ TQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



NOTES:

PowerPAD is a trademark of Texas Instruments.

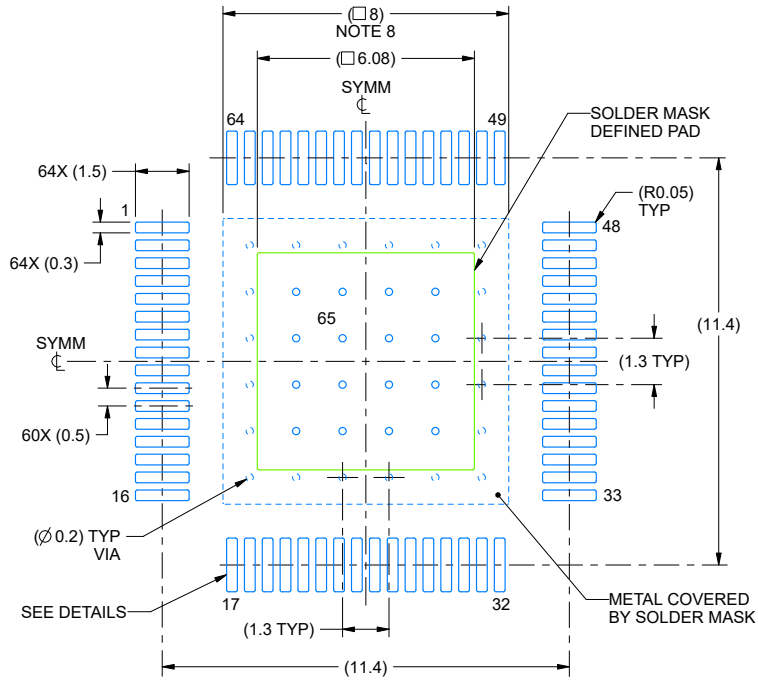
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs.
4. Strap features may not be present.
5. Reference JEDEC registration MS-026.

Copyright © 2026 Texas Instruments Incorporated

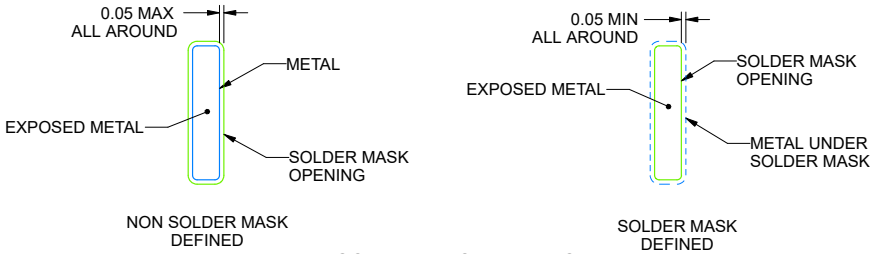
EXAMPLE BOARD LAYOUT

PAP0064E — **PowerPAD™ TQFP - 1.2 mm max height**

PLASTIC QUAD FLATPACK



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



SOLDER MASK DETAILS

4228332/A 01/2022

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

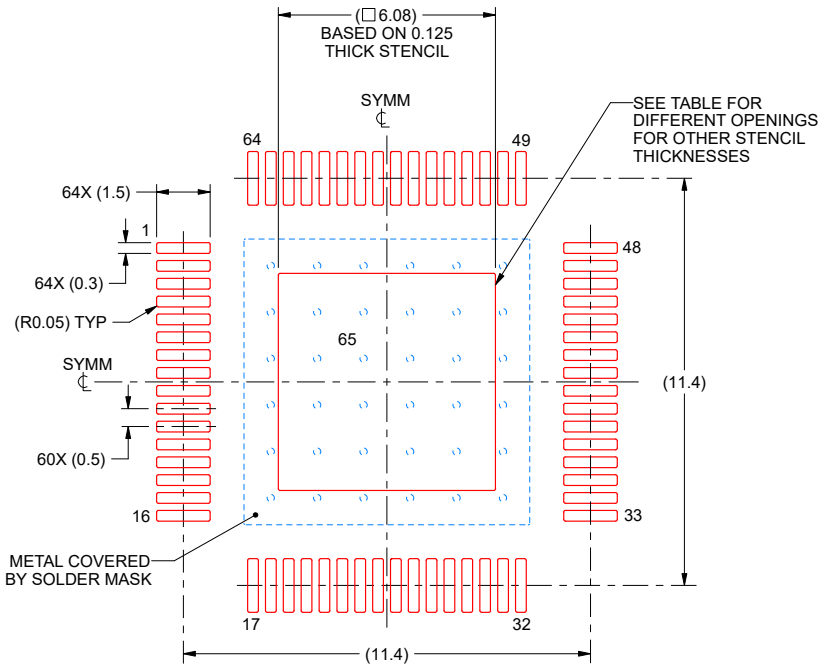
www.ti.com

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

PAP0064E — **PowerPAD™ TQFP - 1.2 mm max height**

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:6X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	6.80 X 6.80
0.125	6.08 X 6.08 (SHOWN)
0.15	5.55 X 5.55
0.175	5.14 X 5.14

4228332/A 01/2022

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962R2321001PXE	Active	Production	HTQFP (PAP) | 64	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	5962R2321001PXE
PLMX2624PAP/EM	Active	Preproduction	HTQFP (PAP) | 64	250 | SMALL T&R	-	Call TI	Call TI	25 to 25	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

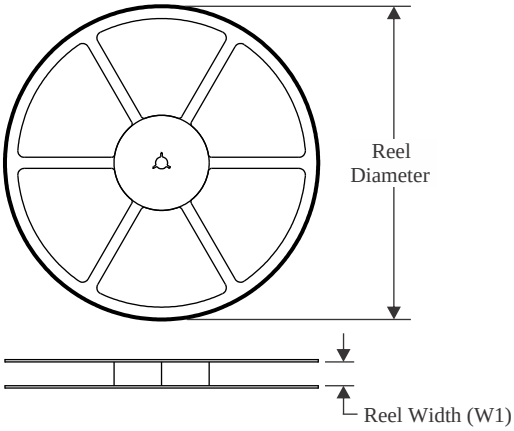
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

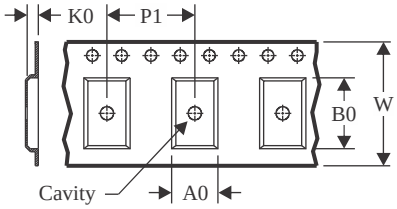
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

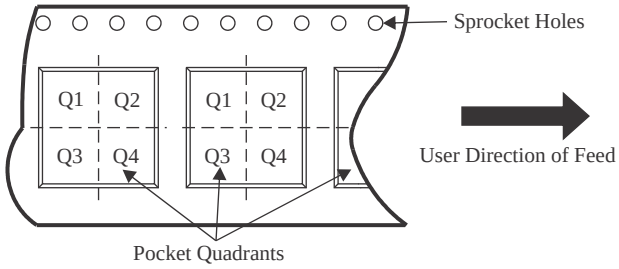


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

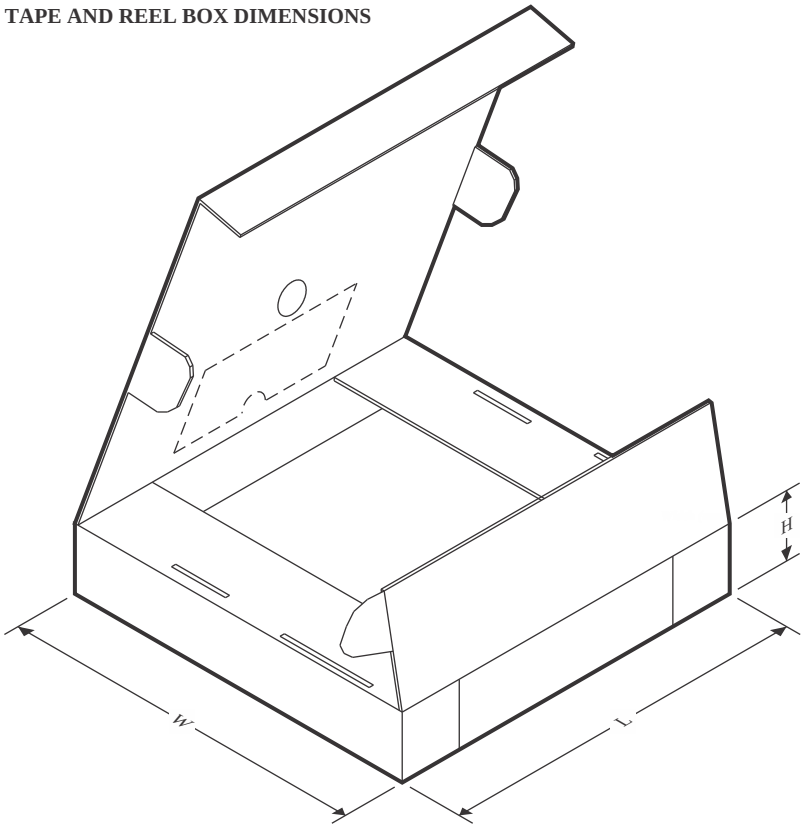
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
5962R2321001PXE	HTQFP	PAP	64	250	330.0	24.4	13.0	13.0	1.5	16.0	24.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
5962R2321001PXE	HTQFP	PAP	64	250	367.0	367.0	55.0

GENERIC PACKAGE VIEW

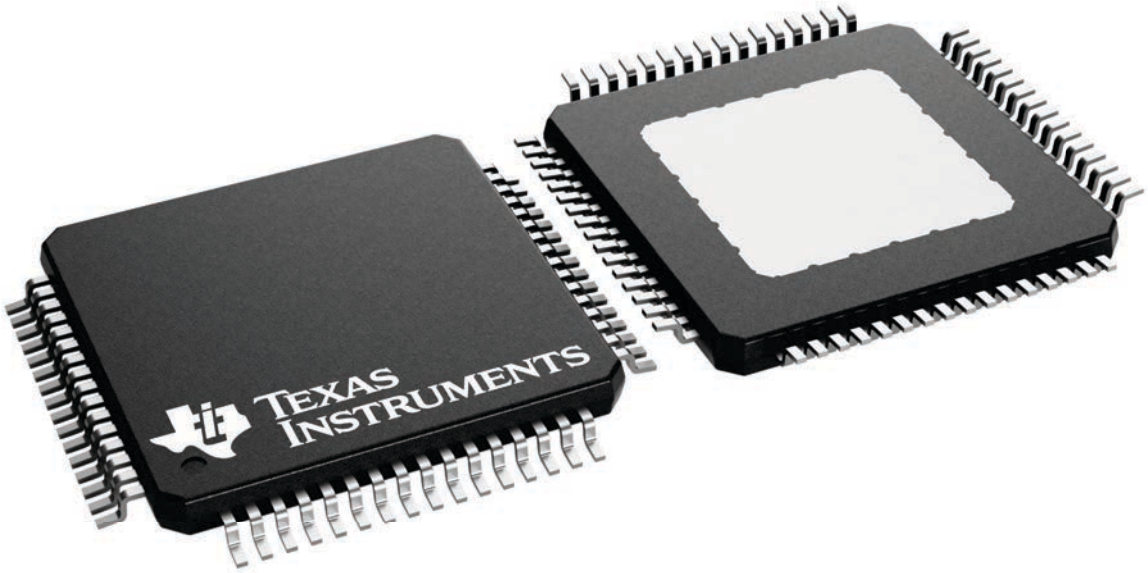
PAP 64

HTQFP - 1.2 mm max height

10 x 10, 0.5 mm pitch

QUAD FLATPACK

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4226442/A

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月