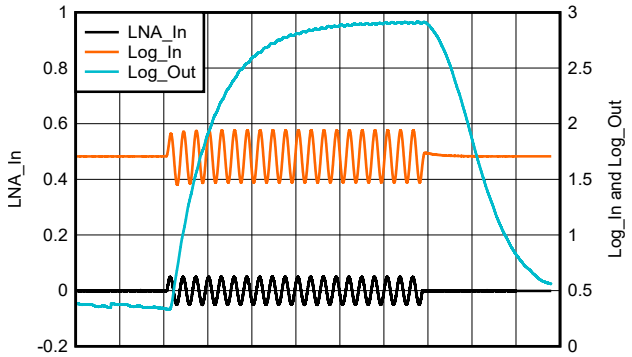
LOG300 低ノイズ アンプ内蔵、40MHz、98dB 対数検出器

1 特長

- 入力範囲:
  - LNA + 対数検出器:7μVP～200mVP
  - 対数検出器:20μVP～1.6VP
- 調整可能な出力対入力スロープと応答時間
- シングルエンド入力および差動入力をサポート
- ダイナミック レンジ:98dB (対数適合性誤差 (LCE) = ±1dB の場合)
- 50Hz ～ 40MHz の信号検出 (LCE が小さい場合、さらに高い周波数の信号を検出できます。)
- 入力周波数検出、ゼロクロス検出
- 電源電圧:3V ～ 5.25V

2 アプリケーション

- 距離と材質の超音波検出
- フローサイトメトリー
- ESD および高エネルギー EMI 信号検出
- エネルギー検出
- 気泡、閉塞検出



3 説明

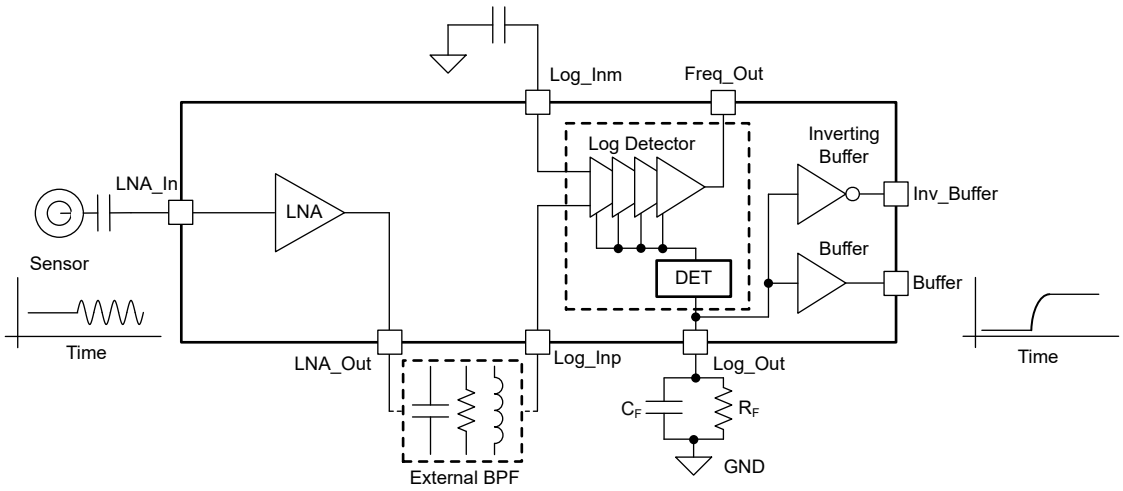
LOG300 は、低ノイズアンプ (LNA) と対数検出器ブロックで構成された統合型アナログ フロント エンド (AFE) です。このデバイスは 50Hz ～ 40MHz の入力周波数範囲と 98dB (標準値) のダイナミック レンジに対応しています。LOG300 は、広いダイナミック レンジの電圧および信号測定が求められるアプリケーションに適しています。LOG300 の対数検出器ブロックは、シングルエンド入力と差動入力の両方をサポートしています。内蔵 LNA は入力ノイズが小さいため、最小 7μVP の信号を測定できます。Log_Out ピンに接続されたコンデンサを調整することで、過渡出力応答を調整できます。LOG300 の内蔵周波数検出機能を使うと、入力信号の周波数とゼロクロス情報を抽出できます。

LOG300 は、16 ピン SOIC および 16 ピン VQFN パッケージで供給されます。LOG300 は、-40℃～+125℃の周囲温度範囲全体にわたって、3V～5.25V の電源で動作します。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
LOG300	D (SOIC、16)	9.9mm × 6mm
	RGT (VQFN、16)	3mm × 3mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



対数検出器と包絡線検出器

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 ピン構成および機能 ... 3
5 仕様 ... 5
5.1 絶対最大定格 ... 5
5.2 ESD 定格 ... 5
5.3 推奨動作条件 ... 5
5.4 熱に関する情報 ... 6
5.5 電気的特性 (低ノイズ アンプ (LNA)) ... 6
5.6 電気的特性 (対数検出器) ... 8
5.7 電気的特性 (LNA + 対数検出器 (AFE)) ... 10
5.8 代表的特性:VCC = 5V ... 11
5.9 代表的特性:VCC = 3.3V ... 18
6 パラメータ測定情報 ... 19
7 詳細説明 ... 20
7.1 概要 ... 20
7.2 機能ブロック図 ... 20
7.3 機能説明 ... 20
7.4 デバイスの機能モード ... 22
8 アプリケーションと実装 ... 23
8.1 アプリケーション情報 ... 23
8.2 代表的なアプリケーション ... 23
8.3 電源に関する推奨事項 ... 25
8.4 レイアウト ... 26
9 デバイスおよびドキュメントのサポート ... 27
9.1 サード・パーティ製品に関する免責事項 ... 27
9.2 ドキュメントの更新通知を受け取る方法 ... 27
9.3 サポート・リソース ... 27
9.4 商標 ... 27
9.5 静電気放電に関する注意事項 ... 27
9.6 用語集 ... 27
10 改訂履歴 ... 27
11 メカニカル、パッケージ、および注文情報 ... 28

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

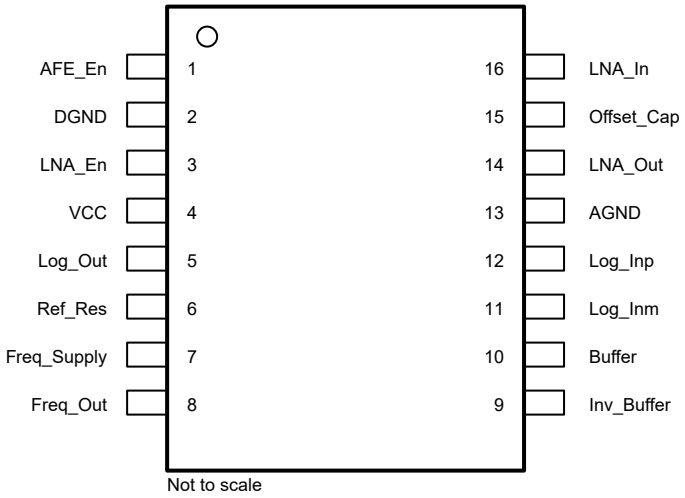


図 4-1. D パッケージ、16 ピン SOIC (上面図)

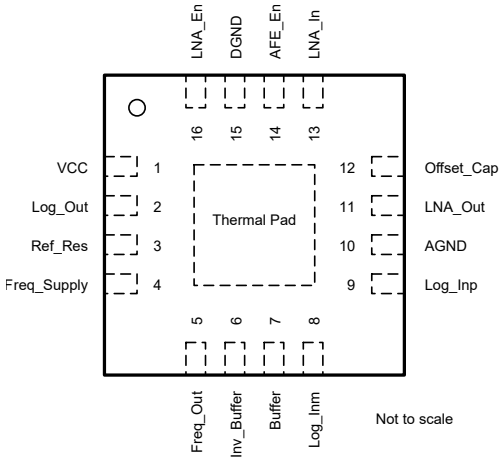


図 4-2. RGT パッケージ、16 ピン VQFN (上面図)

表 4-1. ピンの機能

ピン			タイプ(1)	説明
名称	番号			
	D (SOIC)	RGT (VQFN)		
AFE_En	1	14	I	LNA および対数検出器ブロックの有効化ピンおよび無効化ピン。AFE 有効の場合 AFE_En = High。このピンをフローティングにすると、両方のブロックも有効に維持されます。
AGND	13	10	P	LNA および対数検出器ブロックのアナロググランド
バッファ	10	7	O	非反転型バッファ出力。$V_{Buffer} = V_{Log_Out} \times 2$.
DGND	2	15	P	Freq_Out ピンのデジタル グランド
Freq_Out	8	5	O	このピンは、Log_In に印加されたのと同じ信号周波数で切り替わります。
Freq_Supply	7	4	P	Freq_Out 機能用電源。周波数検出機能が必要ない場合、このピンをフローティングにします。
Inv_Buffer	9	6	O	反転型バッファ出力。$V_{Inv_Buffer} = VCC – V_{Log_Out} \times 2$。
LNA_En	3	16	I	低ノイズ アンプ有効 /無効。LNA 有効の場合は LNA_en = High。このピンをフローティングにすると、LNA も有効のままになります。
LNA_In	16	13	I	低ノイズアンプ入力
LNA_Out	14	11	O	低ノイズアンプ出力
Log_Inm	11	8	I	対数検出器ブロックの反転入力。シングルエンド入力で使用する場合は、適切なコンデンサをグランドに接続します。セクション 7.3.2 を参照してください。
Log_Inp	12	9	I	対数検出器ブロックの非反転入力
Log_Out	5	2	O	ログ検出器ブロックのバッファ無し出力。適切な抵抗 R_F (入力から出力へのスロープを設定するため) とコンデンサ C_F (応答時間を設定するため) を接続します。
Offset_Cap	15	12	I	このピンからグランドに推奨コンデンサを接続します。このコンデンサは、内部オフセット補正ループの極を設定します。推奨コンデンサについては、セクション 7.3.1 を参照してください。
Ref_Res	6	3	I	1% 56kΩ 抵抗をこのピンに接続します。デフォルトの緩和勾配精度が許容可能な場合、このピンをオープンにします。
VCC	4	1	P	電源

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン			タイプ(1)	説明
名称	番号			
	D (SOIC)	RGT (VQFN)		
サーマル パッド	—	サーマル パッド	P	サーマル パッド。デバイスから電気的に絶縁されています。熱拡散プレーン (通常はグランド) に接続します。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
VCC	電源電圧および Freq_Supply		5.5	V
	電源ターンオンおよびターンオフの最大 dV/dT(3)		1	V/µs
	AFE_En および LNA_En	GND–0.5	VCC+0.5	V
LNA_In	LNA 入力電圧		±1	V_P
Log_In	シングルエンド入力電圧 (Log_Inp および Log_Inm)		(VCC × 0.17) + 0.9	V_P
I_I	すべてのピンの連続入力電流(2)		±10	mA
	連続消費電力	「熱に関する情報」を参照		
T_J	最大接合部温度		150	°C
T_{stg}	保存温度	-65	150	°C

(1) *「絶対最大定格」*の範囲を超える動作は、デバイスに永続的な損傷を与える可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。*絶対最大定格*の範囲内であっても*推奨動作条件*の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) 入力ピンは、電源レールに対してダイオード クランプされています。電源レールを超えて 0.5V 以上スイングする入力信号は、電流を 10mA 以下に抑える必要があります。VCC の RC フィルタを使用すると、簡単に実現できます。
(3) この ± 電源のターン
オン エッジ レートを下回るように維持して、電源ピン全体でエッジトリガされる ESD 吸収デバイスがオンになるのを防止します。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±1000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	±500	V

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

外気温度範囲での動作時 (特に記述がない限り)

		最小値	公称値	最大値	単位
VCC	電源電圧	3		5.25	V
T_A	周囲温度	-40	25	125	°C
Ref_Res	推奨される接地基準抵抗		56		kΩ
Log_In	3.3V VCC における対数検出器入力(1)			1.2	V_P
	5V VCC における対数検出器入力(1)			1.6	

(1) 室温では入力信号の周波数と波形に関係なし。

Copyright © 2025 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準(1)		LOG300		単位
		D (SOIC)	VQFN (RGT)	
		16 ピン	16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	81.1	48.2	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	43.3	56.0	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	43.5	23.4	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	7.7	1.6	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	43.1	23.4	℃/W
$R_{\theta JC(bottom)}$	接合部からケース (底面) への熱抵抗	該当なし	8.2	℃/W

(1) 従来および最新の熱評価基準の詳細については、『*半導体および IC パッケージの熱評価基準*』アプリケーション レポートを参照してください。

5.5 電気的特性 (低ノイズ アンプ (LNA))

T_A = 25°C、VCC = 3.3V ～ 5V、LNA_Out = 1kΩ ～ AGND、R_{SOURCE} = 50Ω、および入力 AC カップリング コンデンサ (C_{IN}) = 10nF (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
DC 特性						
G_{LNA}	内部ゲイン			11		V/V
	内部ゲイン誤差	T_A = –40°C ～ +125°C		±0.8	±1	%
AC 特性						
SSBW	小信号帯域幅	LNA_Out = 20mV_{PP}		39		MHz
LSBW	大信号帯域幅			36		MHz
SR	スルーレート	、LNA_Out で 2V ステップ		200		V/µs
	総入力換算ノイズ	f > 100kHz、ゲイン抵抗とバイアス抵抗を含む		2.6		nV/√Hz
	オーバードライブの復帰時間	2 倍の出力オーバードライブ		1		µs
	静電容量ドライブ(1)	3dB 未満のピーク		∞		nF
入力						
V_{LNA_In}	リニア入力電圧	VCC = 5V			200	mV_P
		VCC = 3.3V			140	
V_{BIAS}	内部バイアス電圧	LNA_In で、T_A = –40°C ～ +125°C		VCC × 0.044		mV
	LNA ピンの入力インピーダンス			1.7 || 1.8		kΩ || pF
出力						
	LNA の出力バイアス ポイント	LNA_In = open		V_{BIAS} × 11		V
	LNA の出力インピーダンス		0.850	1	1.150	kΩ
電源						
	静止時動作電流	LNA_Out = Open		2	2.7	mA
		T_A = –40°C ～ +125°C			3	
パワーダウン						
	LNA 電圧スレッショルド有効化		VCC – 1.2			V
	LNA 電圧スレッショルド無効化				GND + 0.6	V
	ターンオン時間	無効から有効になるまでの時間		50		µs

Copyright © 2025 Texas Instruments Incorporated

T_A = 25°C、VCC = 3.3V ～ 5V、LNA_Out = 1kΩ ～ AGND、R_{SOURCE} = 50Ω、および入力 AC カップリング コンデンサ (C_{IN}) = 10nF (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
	ターンオフ時間	有効から無効になるまでの時間		130		ns

(1) 絶縁抵抗の 1kΩ が存在するため、無限の容量性ドライブが可能です。

Copyright © 2025 Texas Instruments Incorporated

5.6 電気的特性 (対数検出器)

T_A = 25°C、VCC = 3.3V ～ 5V、C_F = 1nF、R_F = 43kΩ (slope = 43mV/dB) (VCC = 5V の場合)、R_F = 30kΩ (VCC = 3.3V の場合)、Ref_resistor = 1% 56kΩ、10nF コンデンサを AGND と Log_Inp および Log_Inm のソースとの間に接続 (特に記述のない限り) (1) (2)

パラメータ		テスト条件		最小値	標準値	最大値	単位
AC 特性							
LCE	対数適合誤差(3)	f = 1MHz			±0.6	±1	dB
			T_A = -40°C～+125°C			±1.1	
		f = 40MHz			±2		
			T_A = -40°C～+125°C		±2.5		
DR	ダイナミック レンジ(3)	LCE = ±1dB、f = 1MHz、VCC = 5V		96	98		dB
	対数検出器のスロープ(4)				R_F の値 (kΩ)(5)		mV/dB
	対数検出器のスロープの変動(3)	Ref_Res = 56kΩ、f = 1MHz			±1	±6	%
			T_A = -40°C～+125°C			±6.8	
		Ref_Res = open、f = 1MHz	の場合		±4.5		
			T_A = –40°C ～ +125°C		±5.6		
入力							
V_{Log_In}	標準入力電圧	VCC = 3.3V、LCE = ±2dB、f = 20MHz		20µ		1.2	V_P
			T_A = -40°C～+85°C	24µ		1	
			T_A = -40°C～+125°C	26µ		0.8	
		VCC = 5V、LCE = ±2dB、f = 20MHz		20µ		1.6	
			T_A = -40°C～+85°C	22µ		1.6	
			T_A = -40°C～+125°C	32µ		1.6	
	差動入力電圧	(Log_Inp) – (Log_Inm)、T_A = –40°C ～ +125°C				±1.6	V
	内部バイアス電圧	Log_Inp および Log_Inm			1.7		V
	入力インピーダンス	Log_Inp および Log_Inm の場合			1.7 || 10		kΩ || pF
LOG_OUT							
	Log_Out の立ち上がり時間	C_F = 220pF			20		µs
		C_F = 1nF			95		
	Log_Out fall time の立ち下がり時間	C_F = 220pF			27		µs
		C_F = 1nF			100		
	出力オーバードライブ回復	C_F = 220pF			250		µs
	最小出力電圧(3) (6) Log_Inp = 10nF ～ AGND	QFN パッケージ		82	142	233	mV
			T_A = -40°C～+125°C			301	
		SOIC パッケージ		90	130	162	
			T_A = -40°C～+125°C			250	mV
	最大出力電圧	T_A = -40°C～+125°C		VCC– 0.3			V

Copyright © 2025 Texas Instruments Incorporated

5.6 電気的特性 (対数検出器) (続き)

T_A = 25°C、VCC = 3.3V ～ 5V、C_F = 1nF、R_F = 43kΩ (slope = 43mV/dB) (VCC = 5V の場合)、R_F = 30kΩ (VCC = 3.3V の場合)、Ref_resistor = 1% 56kΩ、10nF コンデンサを AGND と Log_Inp および Log_Inm のソースとの間に接続 (特に記述のない限り) (1) (2)

パラメータ		テスト条件		最小値	標準値	最大値	単位
BUFFER OUTPUT (C_{LOAD} || R_{LOAD} = 100pF || 10kΩ)							
	ゲイン	V_{Buffer}/V_{Log_Out}			+2		V/V
	出力電圧の式				2 × Log_Out		V
	出力換算オフセット					30	mV
	出力電圧	T_A = -40℃～+125℃		GND + 0.1		VCC– 0.1	V
	立ち上がりおよび立ち下がり時間(5)	C_{LOAD} || R_{LOAD} = 100pF || 10kΩ			1.5		µs
	短絡電流	ソース電流およびシンク電流		10			mA
Z_{OUT}	出力インピーダンス				5.3		Ω
INV_BUFFER OUTPUT (C_{LOAD} || R_{LOAD} = 100pF || 10kΩ)							
	ゲイン	$V_{Inv_Buffer}/V_{Log_Out}$			-2		V/V
	出力電圧の式				VCC–(2× Log_Out)		V
	出力電圧	T_A = -40℃～+125℃		GND + 0.1		VCC – 0.1	V
	立ち上がりおよび立ち下がり時間(5)	C_{LOAD} || R_{LOAD} = 100pF || 10kΩ			1.5		µs
	出力換算オフセット					32	mV
	短絡電流	ソース電流およびシンク電流		10			mA
	出力インピーダンス				6.3		Ω
周波数検出出力							
	周波数検出ブロックの標準的な入力感度	f < 20MHz の Log_Inp 信号		250µ		1.6	V_P
	周波数誤差	1ms で平均化、T_A = –40°C ～ 125°C			0.15		%
	Freq_Out スイング			DGND		Freq_Supply	V
電源							
	静止時電流	VCC を流れる電流			3.6	4.6	mA
			T_A = -40℃～+125℃			5.9	
		Freq_Supply を流れる電流				0.37	

(1) 信号周波数に基づいて Offset_Cap ピンのコンデンサの値を計算するには、*オフセット補正ループ*を参照してください。
(2) 記号 f は、Log_Inp ピンに印加された正弦波の短いバーストを表します。この定義は、データシート全体に適用されます。
(3) 32 のユニットを通じて特徴付けられます。
(4) 入力信号周波数が高くなると対数検出器のスロープが低下します。*「代表的特性」*を参照してください。
(5) R_F の定義については、*パラメータ測定情報*を参照してください。
(6) 最小出力電圧は、信号が印加されていない高値コンデンサを使用して入力が AGND ピンに短絡したときに Log_out がセトリングする最小電圧です。

Copyright © 2025 Texas Instruments Incorporated

5.7 電気的特性 (LNA + 対数検出器 (AFE))

T_A = 25°C、VCC = 5V、C_F = 1nF、R_F = 43kΩ (f = 1MHz の場合のスロープ = 43mV/dB)、Ref_resistor = 1% 56kΩ、ゲイン = –7dB の 2 次外部バンドパス フィルタ (BPF) を使用、R_{SOURCE} = 50Ω、AGND または LNA_In のソースへの 10nF コンデンサ (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
AFE AC 性能							
LCE	対数適合誤差	f = 1MHz			±1		dB
			T_A = -40°C～+125°C		±1		
DR	ダイナミック レンジ	LCE = ±1dB、f = 1MHz の場合			91		dB
	対数検出器のスロープの変動(1)	Ref_Res = open			±4.5		%
		Ref_Res = 56kΩ			±1	±7	
		Ref_Res = 56kΩ	T_A = -40°C～+125°C			±7.2	
AFE 入力							
	標準入力電圧	LCE = ±1dB、f = 1MHz		7µ		200m	V_P
			T_A = -40°C～+125°C	8µ		200m	
		LCE = ±2dB、f = 20MHz		12µ		200m	
			T_A = -40°C～+125°C	14µ		200m	
	出力立ち上がり時間	BPF = 180kHz、C_F = 350pF			35		µs
		BPF = 1MHz、C_F = 500pF			50		
	出力立ち下がり時間	BPF = 180kHz、C_F = 350pF			65		µs
		BPF = 1MHz、C_F = 500pF			45		
LOG_OUT							
	最小出力電圧(1)	LNA_In = 10nF ～ AGND			290	335	mV
			T_A = -40°C～+125°C			450	
電源							
	VCC 静止電流	合計 AFE、LNA_Out = open			6	7.2	mA
			T_A = -40°C～+125°C			8.3	
パワーダウン							
	VCC 無効化された電流	合計 AFE、VCC = 3.3V	T_A = -40°C～+125°C			65	µA
		合計 AFE、VCC = 5V				130	
	AFE 有効化電圧スレッショルド			VCC– 1.2			V
	AFE 無効化電圧スレッショルド					AGND + 0.6	V

(1) 32 個のデバイスを通じて特徴付けられます。

Copyright © 2025 Texas Instruments Incorporated

5.8 代表的特性：VCC = 5V

T_A = 25°C、VCC = 5V、C_F = 1nF、R_F = 43kΩ (slope = 43mV/dB)、Ref_Res = 1% 56kΩ、Log_Inp および Log_Inm の AGND との間に 10nF のコンデンサ (特に記述のない限り)、AFE の場合、周波数 *f* を中心とした 2 次 BPF、ゲイン =–7dB を LNA ブロックと対数検出器ブロックの間に使用

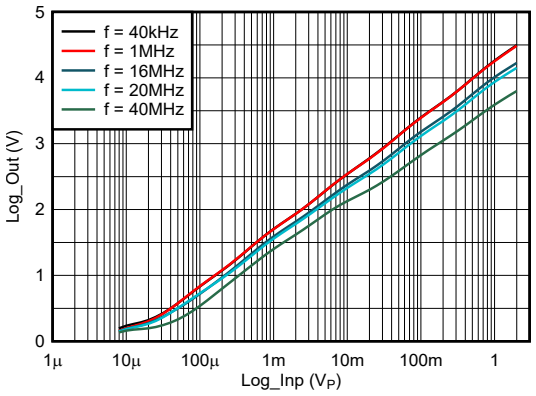


図 5-1. さまざまな周波数での対数検出器出力

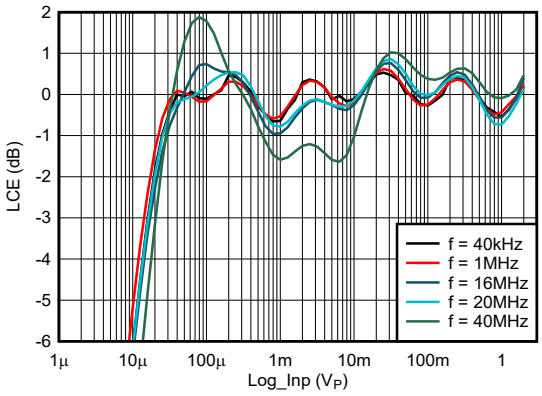


図 5-2. さまざまな周波数における対数検出器適合誤差

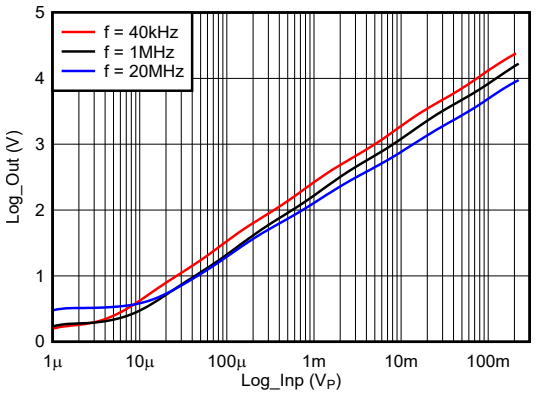


図 5-3. さまざまな周波数における AFE 出力

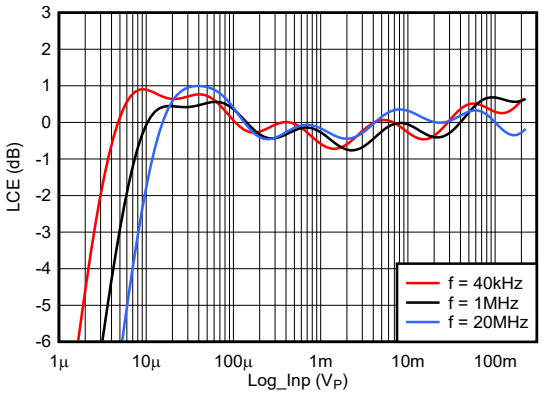


図 5-4. さまざまな周波数における AFE 対数適合性誤差

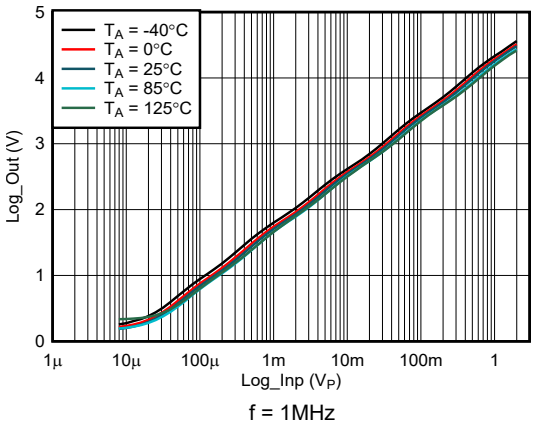


図 5-5. さまざまな温度ポイントにおける対数検出器出力

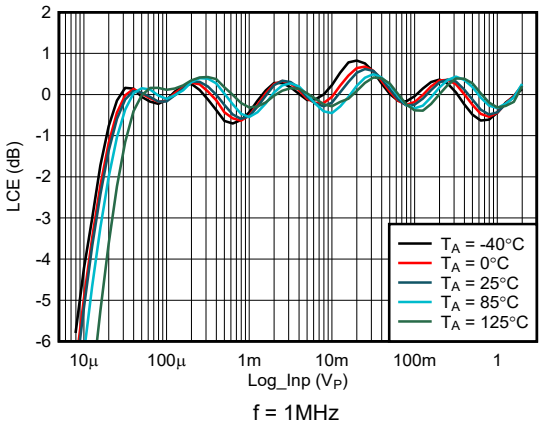
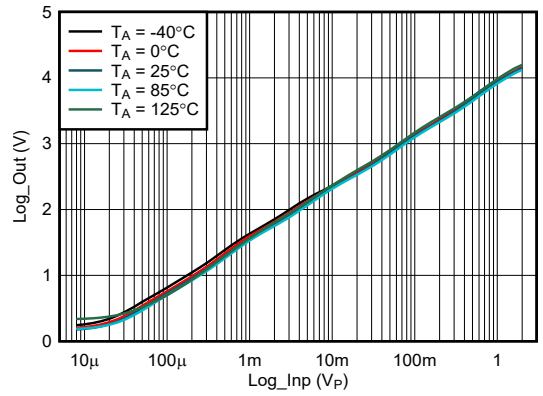


図 5-6. さまざまな温度ポイントにおける対数検出器の適合誤差

Copyright © 2025 Texas Instruments Incorporated

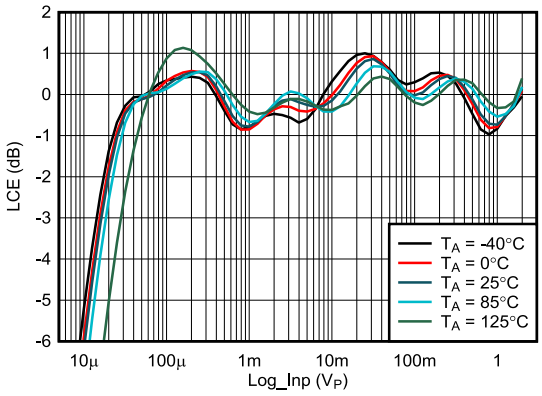
5.8 代表的特性：VCC = 5V (続き)

T_A = 25°C、VCC = 5V、C_F = 1nF、R_F = 43kΩ (slope = 43mV/dB)、Ref_Res = 1% 56kΩ、Log_Inp および Log_Inm の AGND との間に 10nF のコンデンサ (特に記述のない限り)、AFE の場合、周波数 *f* を中心とした 2 次 BPF、ゲイン =–7dB を LNA ブロックと対数検出器ブロックの間に使用



f = 20MHz

図 5-7. さまざまな温度ポイントにおける対数検出器出力



f = 20MHz

図 5-8. さまざまな温度ポイントにおける対数検出器の適合誤差

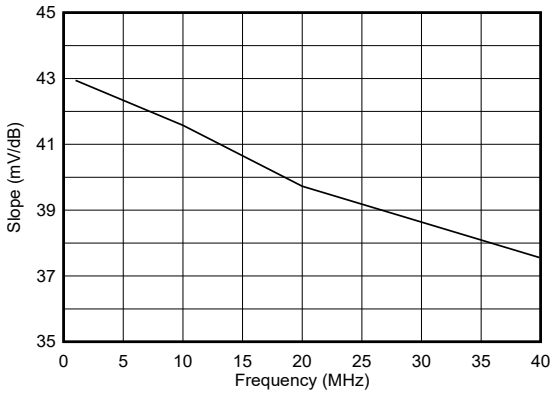
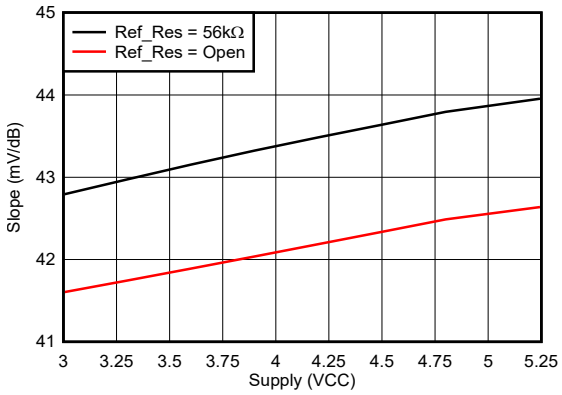
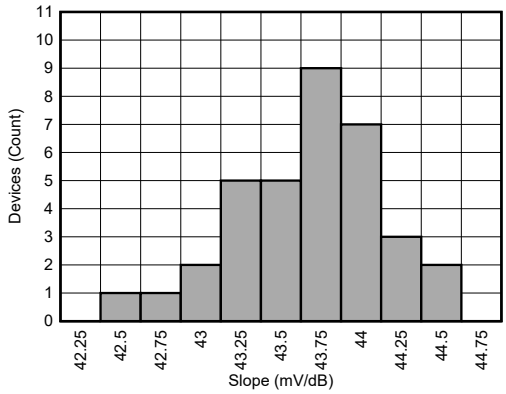


図 5-9. 入力信号周波数による対数検出器のスロープの変動



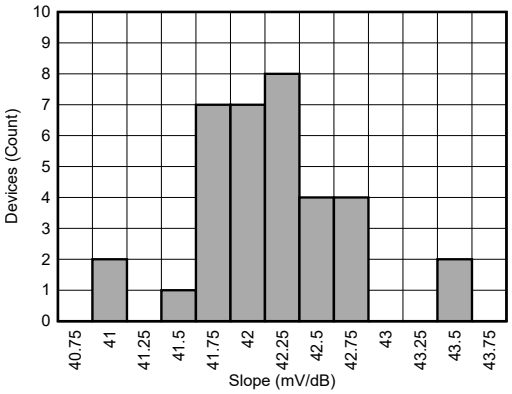
R_F = 43kΩ、f = 1MHz

図 5-10. 対数検出器のスロープの変動と電源との関係



Ref_Res = 56kΩ　　µ = 43.55mV/dB　　σ = 0.44mV/dB

図 5-11. Ref_Res を使用した対数検出器のスロープ ヒストグラム



Ref_Res = Open　　µ = 42.03mV/dB　　σ = 0.53mV/dB

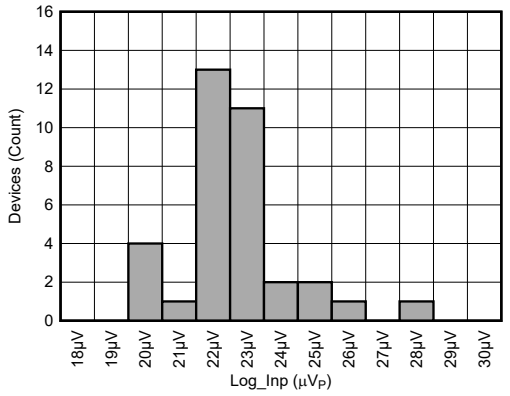
同じロットでテストしたユニット

図 5-12. Ref_Res を使用しない対数検出器のスロープ ヒストグラム

Copyright © 2025 Texas Instruments Incorporated

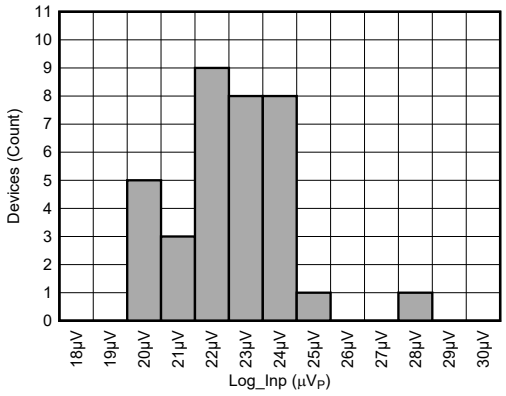
5.8 代表的特性：VCC = 5V (続き)

T_A = 25°C、VCC = 5V、C_F = 1nF、R_F = 43kΩ (slope = 43mV/dB)、Ref_Res = 1% 56kΩ、Log_Inp および Log_Inm の AGND との間に 10nF のコンデンサ (特に記述のない限り)、AFE の場合、周波数 *f* を中心とした 2 次 BPF、ゲイン =–7dB を LNA ブロックと対数検出器ブロックの間に使用



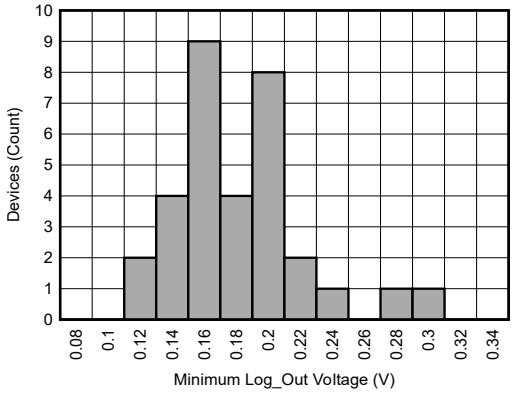
LCE = ±1dB、f = 1MHz　μ = 22.15µVP　σ = 1.59µVP

図 5-13. 対数検出器の最小入力感度



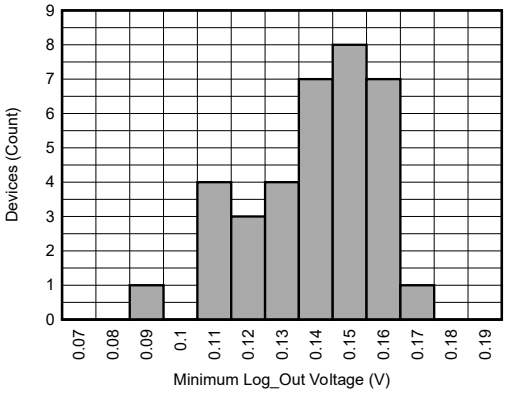
LCE = ±2dB、f = 20MHz　μ = 22.14µVP　σ = 1.67µVP

図 5-14. 対数検出器の最小入力感度



Log_Inp ～ AGND で 50Ω + 10nF　μ = 0.17V　σ = 0.04V

図 5-15. Log_out における最小出力電圧



Log_Inp ～ AGND で 10nF　μ = 0.13V　σ = 0.018V

図 5-16. Log_out における最小出力電圧

5.8 代表的特性：VCC = 5V (続き)

T_A = 25°C、VCC = 5V、C_F = 1nF、R_F = 43kΩ (slope = 43mV/dB)、Ref_Res = 1% 56kΩ、Log_Inp および Log_Inm の AGND との間に 10nF のコンデンサ (特に記述のない限り)、AFE の場合、周波数 *f* を中心とした 2 次 BPF、ゲイン =–7dB を LNA ブロックと対数検出器ブロックの間に使用

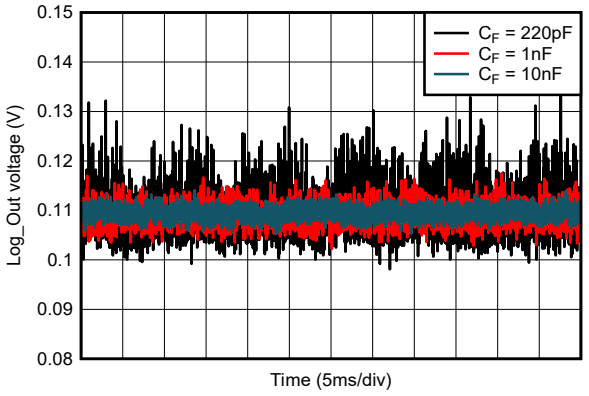


図 5-17. 最小 Log_Out 電圧と時間との関係

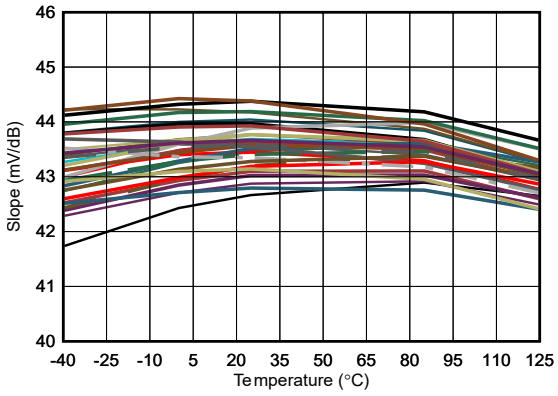
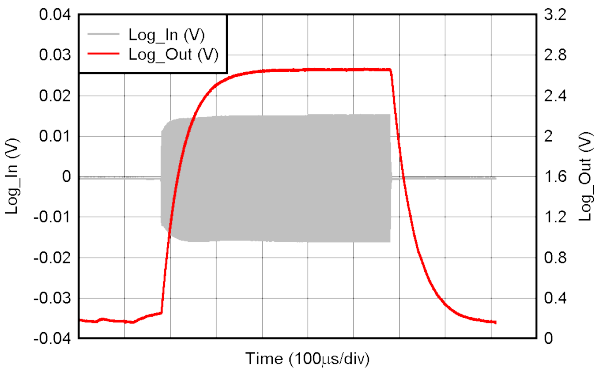
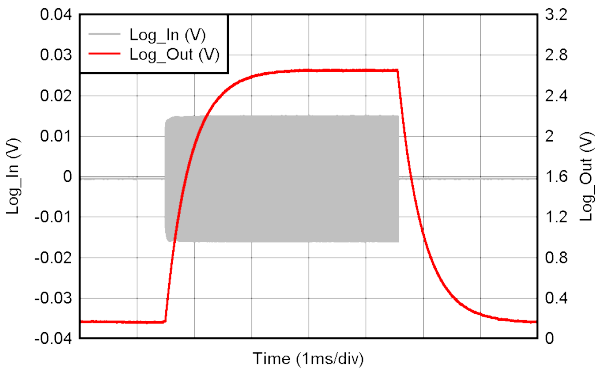


図 5-18. スロープの変動と温度との関係



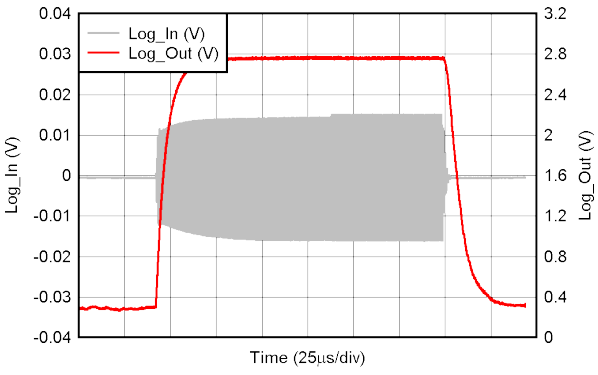
f = 1MHz、C_F = 1nF

図 5-19. 対数検出器の立ち上がり/立ち下がり時間



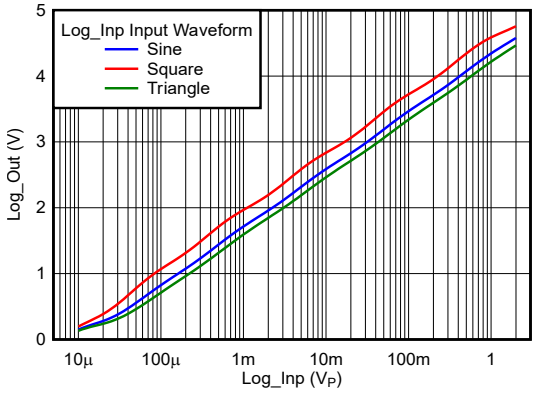
f = 1MHz、C_F = 10nF

図 5-20. 対数検出器の立ち上がり/立ち下がり時間



f = 1MHz、C_F = 100pF

図 5-21. 対数検出器の立ち上がり/立ち下がり時間



f = 1MHz

図 5-22. さまざまな入力波形に対する対数検出器出力

Copyright © 2025 Texas Instruments Incorporated

5.8 代表的特性：VCC = 5V (続き)

T_A = 25°C、VCC = 5V、C_F = 1nF、R_F = 43kΩ (slope = 43mV/dB)、Ref_Res = 1% 56kΩ、Log_Inp および Log_Inm の AGND との間に 10nF のコンデンサ (特に記述のない限り)、AFE の場合、周波数 *f* を中心とした 2 次 BPF、ゲイン =–7dB を LNA ブロックと対数検出器ブロックの間に使用

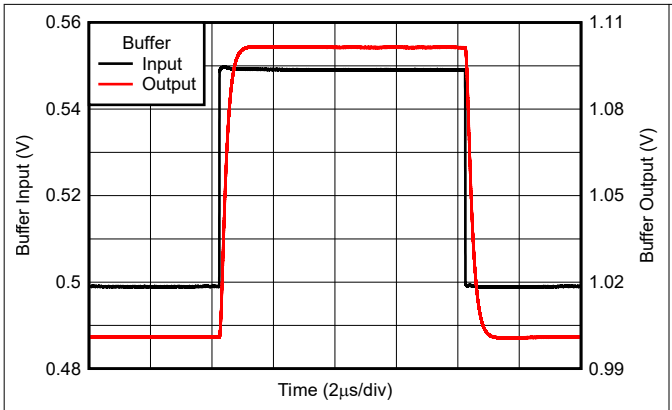


図 5-23. 小信号ステップ応答：バッファ

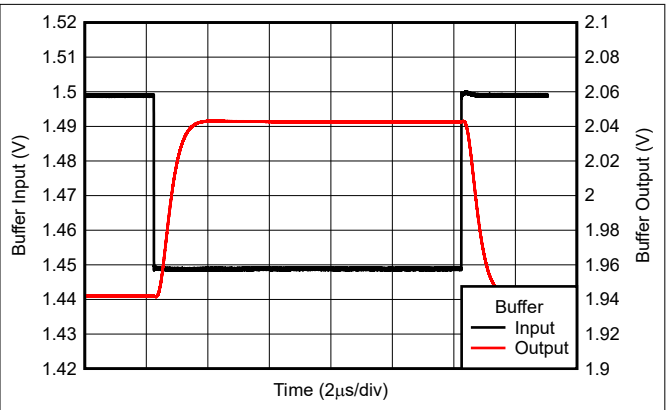


図 5-24. 小信号ステップ応答：インバータ バッファ

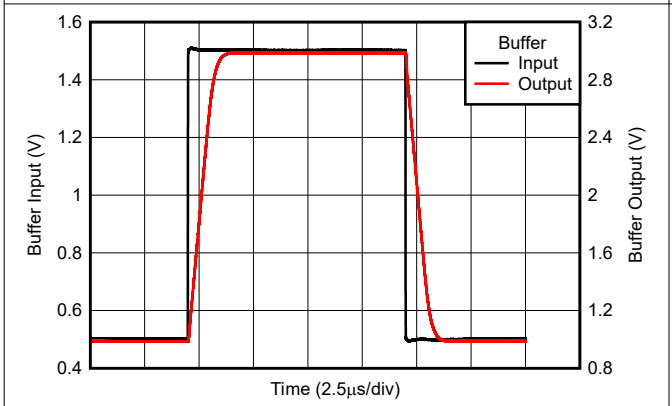


図 5-25. 大信号ステップ応答：バッファ

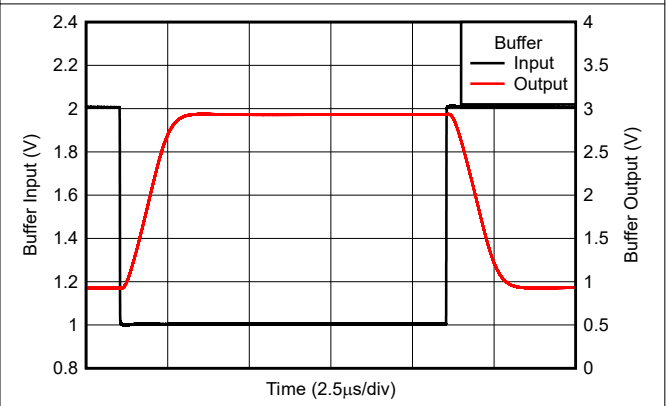


図 5-26. 大信号ステップ応答：インバータ バッファ

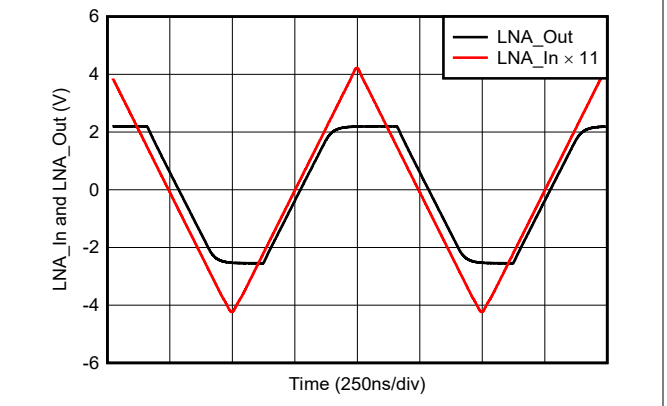
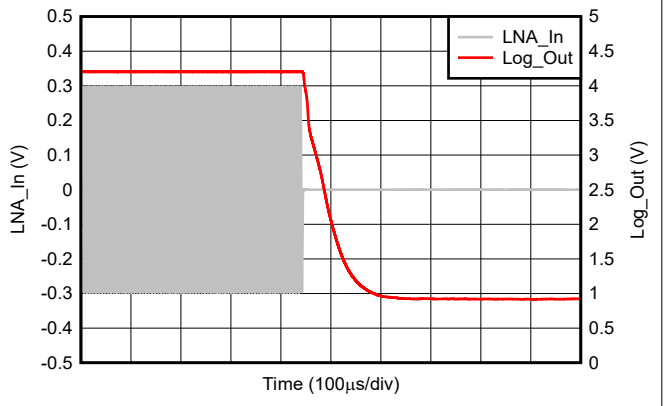


図 5-27. LNA オーバードライブ回復



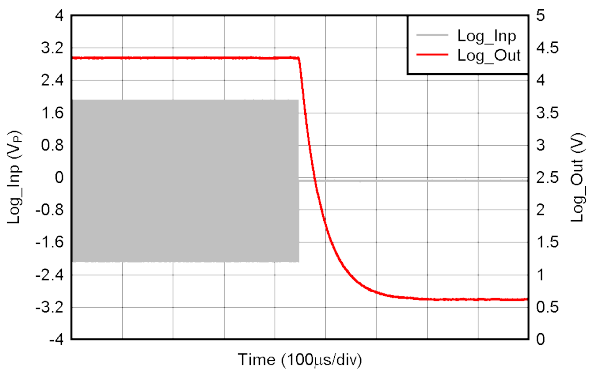
BPF = 180kHz、C_F = 220pF

図 5-28. AFE オーバードライブ回復

Copyright © 2025 Texas Instruments Incorporated

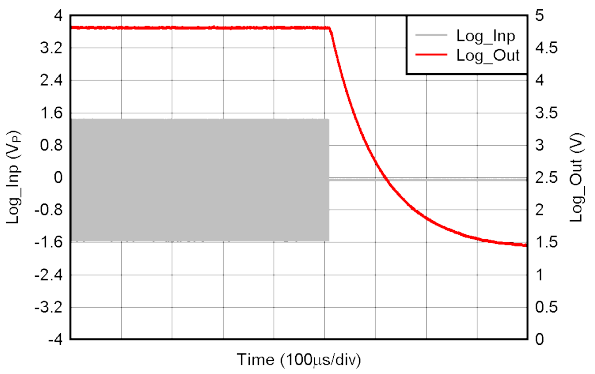
5.8 代表的特性：VCC = 5V (続き)

T_A = 25°C、VCC = 5V、C_F = 1nF、R_F = 43kΩ (slope = 43mV/dB)、Ref_Res = 1% 56kΩ、Log_Inp および Log_Inm の AGND との間に 10nF のコンデンサ (特に記述のない限り)、AFE の場合、周波数 *f* を中心とした 2 次 BPF、ゲイン =–7dB を LNA ブロックと対数検出器ブロックの間に使用



C_F = 200pF、Log_Inp = $4V_P$

図 5-29. 対数検出器入力段オーバードライブ



C_F = 200pF、R_F = 100kΩ

図 5-30. 対数検出器の出力段オーバードライブ

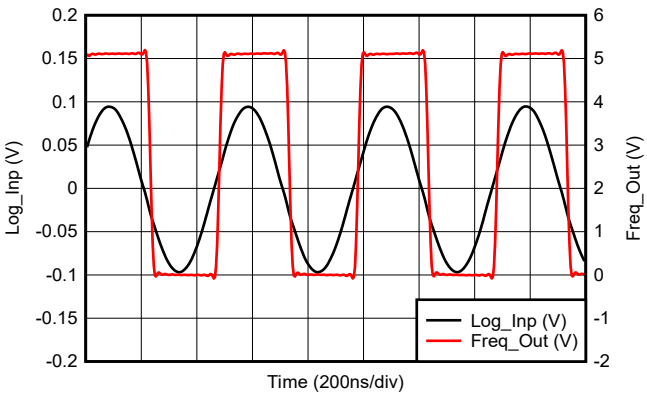
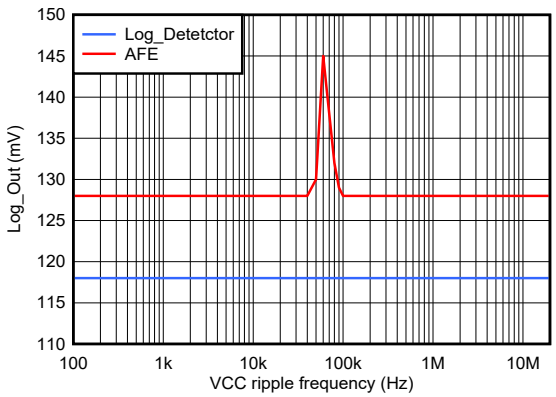


図 5-31. 周波数検出器の出力波形



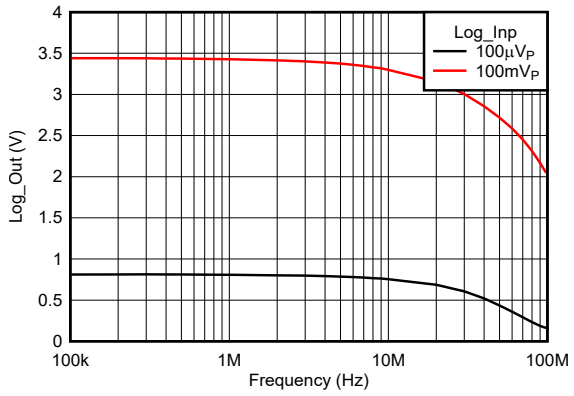
AFE; BPF = 65kHz、R = 50Ω の VCC に対する RC フィルタ、C = 12µF

図 5-32. VCC に注入される出力と 100mVpp のリップルとの関係

Copyright © 2025 Texas Instruments Incorporated

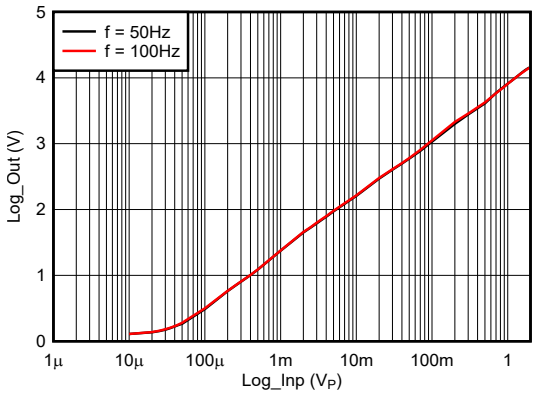
5.8 代表的特性：VCC = 5V (続き)

T_A = 25°C、VCC = 5V、C_F = 1nF、R_F = 43kΩ (slope = 43mV/dB)、Ref_Res = 1% 56kΩ、Log_Inp および Log_Inm の AGND との間に 10nF のコンデンサ (特に記述のない限り)、AFE の場合、周波数 *f* を中心とした 2 次 BPF、ゲイン =–7dB を LNA ブロックと対数検出器ブロックの間に使用



R_F = 42.2kΩ、Offset_Cap = 100nF

図 5-33. Log_Inp に対する Log_Out 平坦度



入力コンデンサ、C_{IN} = 30µF および Offset_Cap = 50µF

図 5-34. 低周波数スイープ

5.9 代表的特性：VCC = 3.3V

T_A = 25°C、VCC = 3.3V、C_F = 1nF、R_F = 30kΩ (slope = 30mV/dB)、Ref_Res = 1% 56kΩ、Log_Inp および Log_Inm の AGND との間に 10nF のコンデンサ (特に記述のない限り)、AFE の場合、周波数 *f* を中心とした 2 次 BPF、ゲイン =–7dB を LNA ブロックと対数検出器ブロックの間に使用

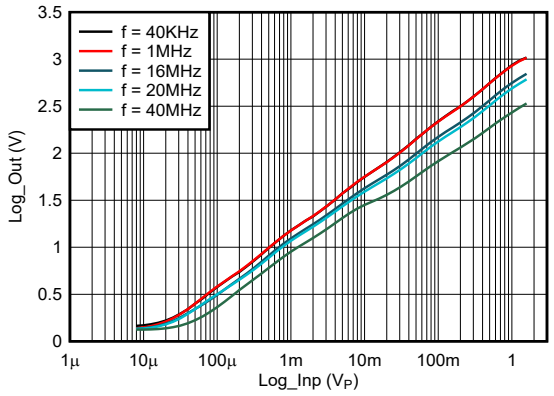


図 5-35. さまざまな周波数での対数検出器出力

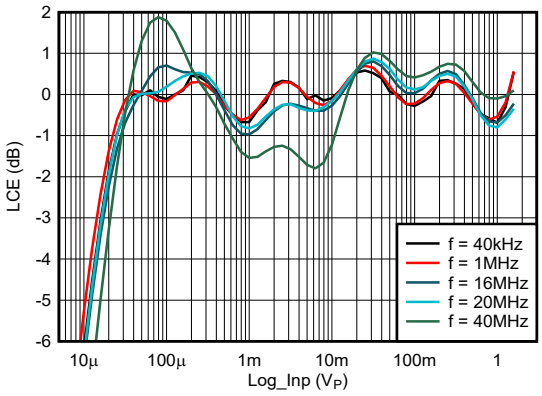


図 5-36. さまざまな周波数における対数検出器適合誤差

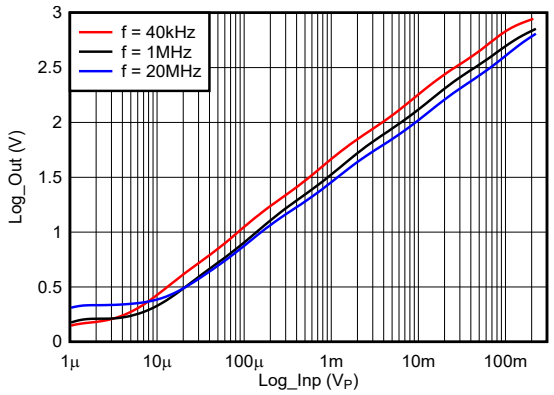


図 5-37. さまざまな周波数における AFE 出力

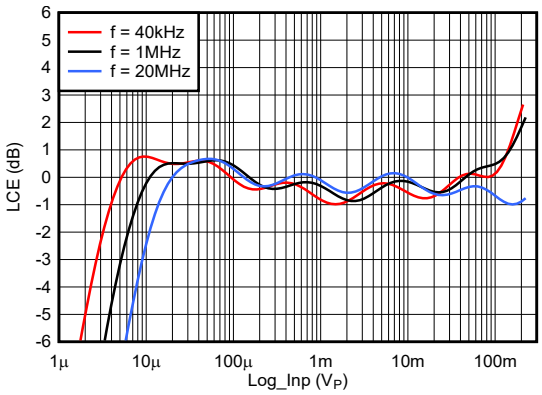
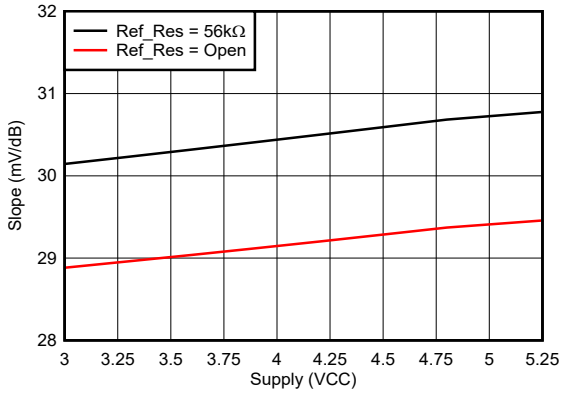


図 5-38. さまざまな周波数における AFE 対数適合性誤差



R_F = 30kΩ、f = 1MHz

図 5-39. 対数検出器のスロープの変動と電源との関係

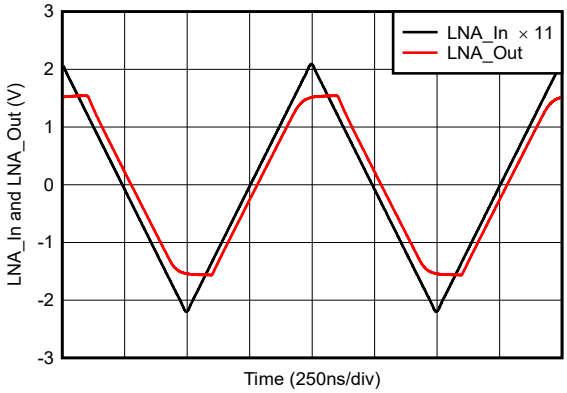


図 5-40. LNA オーバードライブ回復

Copyright © 2025 Texas Instruments Incorporated

6 パラメータ測定情報

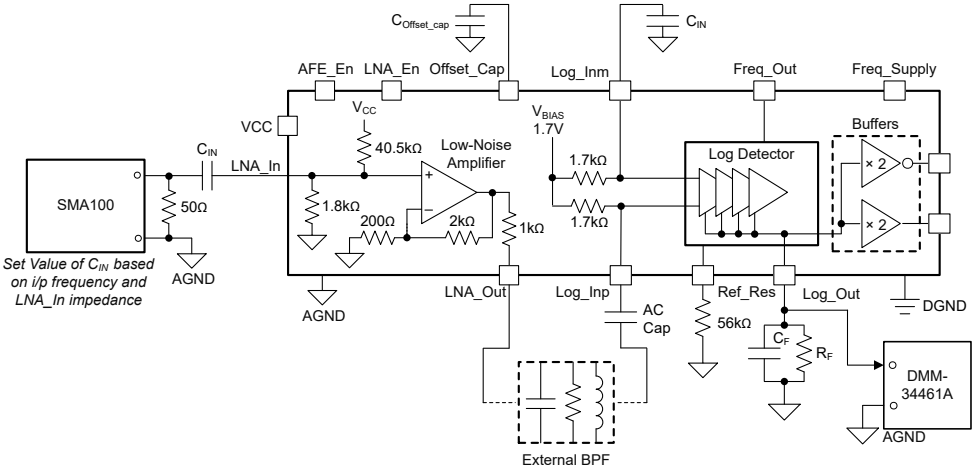


図 6-1. AFE (LNA + 対数検出器) スロープ特性

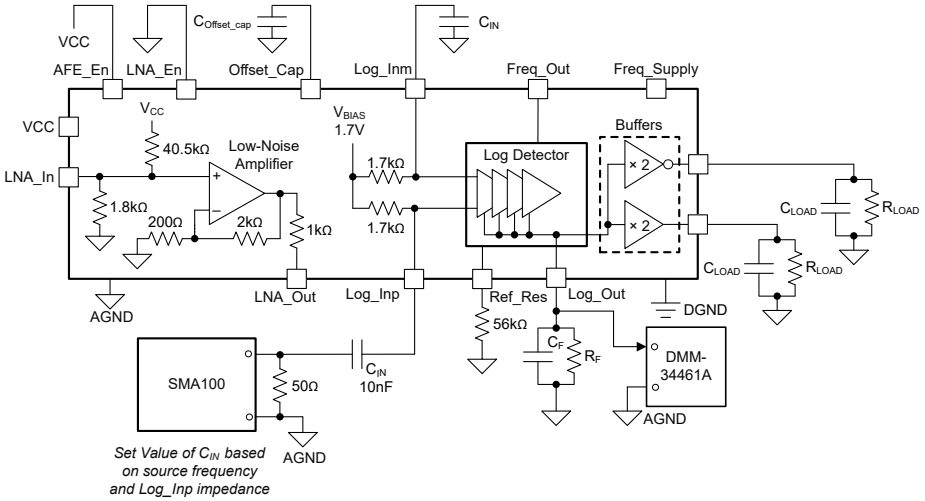


図 6-2. 対数検出器のスロープ特性

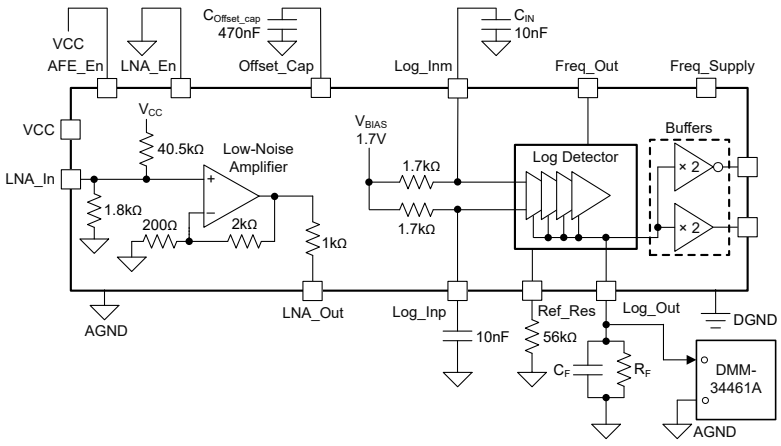


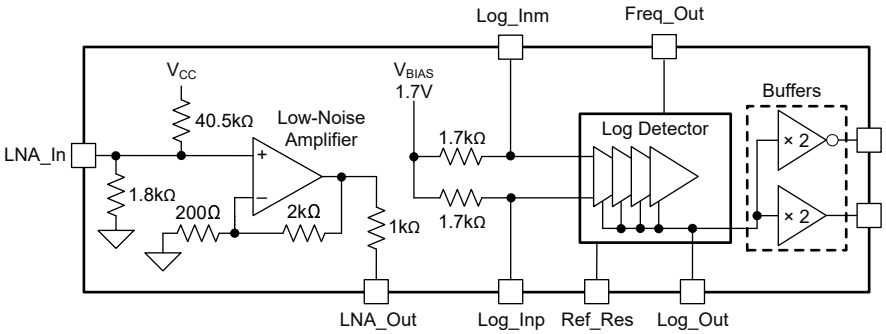
図 6-3. 対数検出器の最小出力電圧測定

7 詳細説明

7.1 概要

LOG300 は最大 40MHz 信号の電力を測定するための高感度アナログ フロントエンド システムであり、標準的なダイナミックレンジは 98dB です。LOG300 は、超音波 Rx 信号チェーン、振幅復調、信号電力測定、グリッド監視など、多様なアプリケーションに使用することを意図しています。LOG300 は、入力信号の対数に比例する振幅のアナログ エンベロープを生成します。この動作によって、高速信号取得部品を必要とせずに、アプリケーション回路で高精度の入力信号振幅を測定できます。内蔵の周波数検出機能を使用すると、受信信号のゼロクロスと周波数測定能力を実現できます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 オフセット補正ループ (OCL)

LOG300 には、外付け要因や内部ゲイン不一致による小さなオフセット電圧誤差を補正するように設計された内部オフセット補正ループ (OCL) が備えられています。LOG300 の内部ゲイン ブロックはゲインが非常に高いため、小さな誤差電圧でそれぞれのゲイン ブロックが飽和するのに十分であり、ダイナミック レンジの劣化が生じます。

Offset_Cap ピン (セクション 6 を参照) は、OCL の時定数を設定します。受信信号に OCL が応答しないように、OCL 極の値を入力信号周波数よりも小さい値に設定します。次の式を使用して、受信信号の周波数に基づいて C_{Offset_Cap} の値を計算します。

$$C_{Offset_Cap}\left(nF\right) \geq \frac{6000}{\text{Frequency of input signal (kHz)}} \quad (1)$$

ここで、

- C_{Offset_Cap} は 1nF 以上です。この式から 1nF 未満の C_{Offset_Cap} の値が得られる場合、1nF を使用します。
- C_{Offset_Cap} の値が計算値より大きい場合、OCL ループが低い周波数に設定されているため、式 1 を使用できます。
- 入力信号の周波数が kHz 単位の場合、デフォルトでは C_{Offset_Cap} の値は nF 単位です。

Copyright © 2025 Texas Instruments Incorporated

7.3.2 シングル入力および差動入力

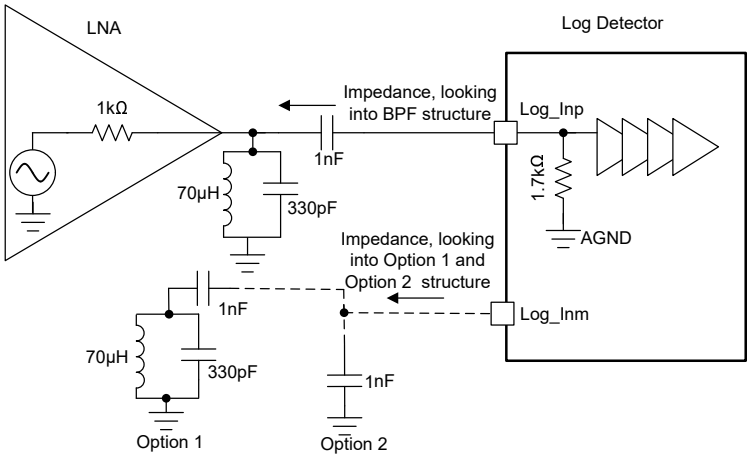
LOG300 の対数検出器ブロックは、シングルエンド入力と差動入力信号の両方をサポートしています。入力信号の種類に関係なく、Log_Inp ピンおよび Log_Inm ピンから AGND へのインピーダンスを一致させる必要があります。

インピーダンス一致の要件は、すべての電源ノイズまたは外部結合ノイズがこれらのインピーダンスを通過して入力電圧を生成するという事実から生じます。2 つの入力のインピーダンスが一致していない場合、対数検出器ブロックによって差動電圧が観測され、Log_out ピンの最小出力電圧が上昇します。その結果、ダイナミックレンジの低下が生じます。

差動入力の場合のインピーダンス一致は、両方のピンにソース インピーダンスを複製することで簡単に実現できます。

ただし、シングルエンド入力の場合、インピーダンス一致がかなり複雑になる可能性があります。基板面積に制限がない場合は、Log_Inp ピンの入力構造を Log_Inm 入力にコピーすることをお勧めします。この構造体を Log_Inm ピンにコピーするときは、1kΩ の LNA のデフォルトの内部出力インピーダンスをメモしてください。

上記の推奨ができない場合は、周波数での 2 つのピン間のインピーダンスを、ノイズ結合の可能性を最大限に高めて一致してください。たとえば、500kHz の周波数でスイッチングする DC/DC コンバータによって VCC 電源を生成する場合、オプション 1 を使用すると、Log_Inp と Log_Inm の間のインピーダンス整合を最適化できます。VCC リップルが 100kHz の場合、オプション 1 とオプション 2 の両方で同じ除去応答が得られます。



1MHz の BPF を使用した AFE 設計

図 7-1. Log_Inp と Log_Inm のインピーダンス構造

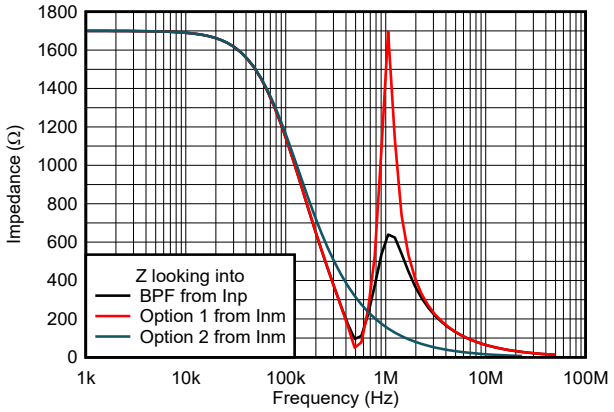


図 7-2. Log_Inp および Log_Inm のインピーダンスと周波数との関係

7.3.3 入力周波数検出

Log_Out ピンは、入力信号に比例するエンベロープを作成します。したがって、入力信号の周波数と位相の情報は失われます。周波数検出機能を使用すると、LOG300 はこの周波数情報を回復できます。周波数検出ピンは、入力と同じ周波数で切り替わるため、入力信号周波数または入力信号のゼロ クロスポイントの計算に使用できます。

内部回路は、1 つの入力が Log_IN バイアス電圧に接続され、もう 1 つの入力は対数検出器のゲインブロックの最後の段に接続されたコンパレータで構成されます (図 7-3 を参照)。Log_In は AC 結合されているため、入力信号は内部バイアス電圧にバイアスされます。

このコンパレータは、内部バイアス電圧でバイアスされたゲインされた Log_In (シングルエンドと差動の両方) 信号を、DC 内部バイアス電圧と比較し、ゼロクロスの発生時にすべて切り替わります。受信信号が対称的な波形ではない場合、または複数の周波数成分で構成されている場合、周波数検出機能は入力信号のゼロクロスを比較します。

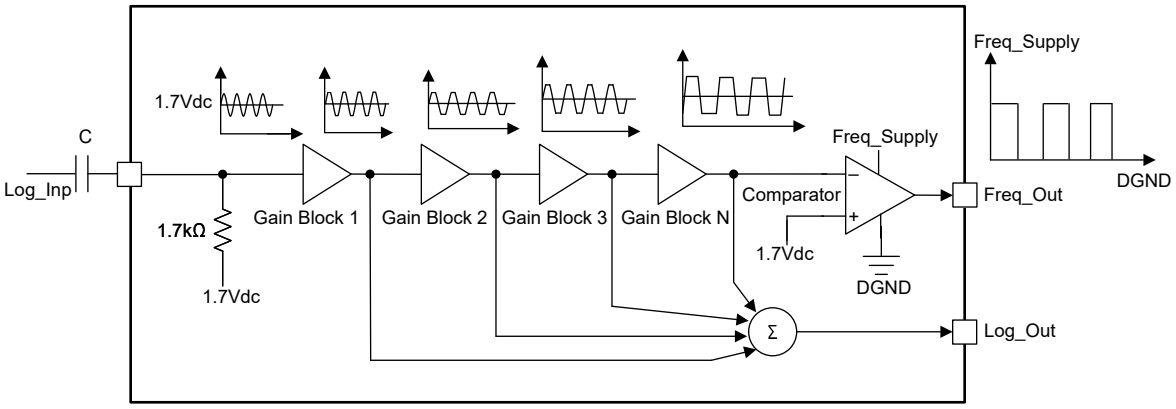


図 7-3. 周波数検出の内部ブロック図

7.4 デバイスの機能モード

LOG300 には 3 つの機能モードがあります:

- AFE 無効化
  - このモードでは、AFE (LOG300) 全体がむこうかされ、消費電力は約 100µA のみです。
- LNA 無効化
  - このモードでは、LNA は無効になりますが、Log Detector ブロックは引き続き動作します。このモードの詳細なパラメータについては セクション 5.6 を参照してください。
  - 通常、このモードは必要な入力感度が緩和され、アプリケーションが低い静止電流を優先する場合に使用されます。LNA を無効にすると、最初に LNA が消費した静止電流の 2mA を節約できます。
- 通常動作モード
  - このモードでは、LOG300 のすべてのブロックが動作します。消費電力、許容される電源、入力出力範囲などの詳細なパラメータについては、セクション 5.7 を参照してください。
  - このモードには、LNA_en ピンおよび AFE_en ピンをフローティングにするか、VCC に接続することで移行できます。

Copyright © 2025 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

LOG300 は、超音波受信信号測定、電力、エネルギー測定など、さまざまな用途に適しています。LOG300 はダイナミック レンジが広く入力感度が高いため、高価で高帯域幅、低ノイズの部品を必要とせずに、低振幅信号を測定するなどの用途に最適です。セクション 8.2.1 に例を示します。

8.2 代表的なアプリケーション

8.2.1 超音波距離測定

この設計例では、回路計算と LOG300 の周囲のディスクリート部品選定を示し、標準的な超音波距離ベースの測定センサで高感度な受信信号チェーンを実現します。

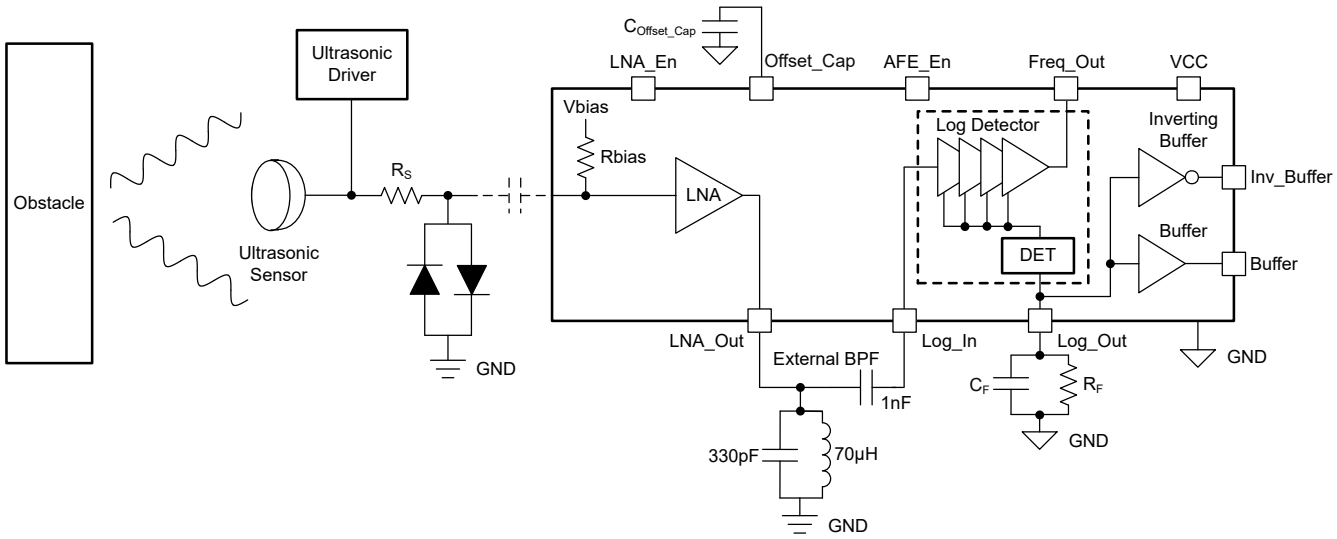


図 8-1. 超音波距離センサ

8.2.1.1 設計要件

表 8-1. 設計パラメータ

パラメータ	値
電源 (VCC)	5V
最小入力信号測定性能	7µV_P
最大入力信号測定性能:リニア	200mV_P
最大入力信号処理性能 (V_{max})	100V_P
Tx 信号および Rx 信号の周波数	1MHz
Log_Out、出力範囲	0.5V ～ 4.5V

8.2.1.2 詳細な設計手順

LOG300 は 5V VCC をサポートしています。VCC ピンの近くに 10Ω と 10µF || 10nF を追加して、外部ノイズに対する十分なデカップリングと耐性を与えます。この電源フィルタの極は 1.59kHz で、対象となる周波数、つまり 1MHz よりも十分に低い値です。

ピン LNA_In の絶対最大電圧定格は ±1V です。LNA の入力に直列抵抗 (R_S) とともに、双方向ダイオードを追加します (図 8-1 も参照してください)。双方向ダイオードは、特に送信動作時に、LNA_In ピンが高電圧にさらされるのを防止します。双方向ダイオードの最大電力定格 (P_{MAX}) に従って、直列抵抗値を選択します。追加された直列抵抗は入力ノイズに寄与し、最小入力感度を低下させます。

$$R_S = \frac{(0.7V \times (V_{max} - 0.7V))}{P_{max}} \quad (2)$$

入力に双方向ダイオードを配置した場合の LNA の最大出力電圧の予測値は次のとおりです。

$$11V/V \times 0.7V_P = 7.7V_P \quad (3)$$

LNA は 5V 電源からのみ電力を供給されるため、最大出力はわずか $2.5V_P$ です。

Log_Inp ピンの最大入力は、5VCC で $1.7V_P$ です (セクション 5.1 も参照してください)。このため、検出器ブロックの絶対最大電圧定格に違反しないように、パスバンド領域で適切な減衰を達成するバンドパスフィルタ (BPF) を追加します。この場合、BPF が少なくとも –3.3dB の減衰を持つことを確認します。–4.3dB の BPF を 図 8-1 に示します。.

セクション 7.3.1 に基づいて、Offset_Cap 値を選択します。

Log_Out ピン電圧に必要な立ち上がり時間 (V_{Log_Out}) に基づいて、C_F の値を選択します。C_F の値が小さいと、出力エンベロープのリップルが大きくなることに加えて、立ち上がり時間が改善されます。リファレンス プロットについては、セクション 5.8 も参照してください。受信バースト動作中にトリガされる Log_Out ピンにオシロスコープを接続して、必要な立ち上がり時間と許容可能なリップルとの間の適切なバランスを見つけます。

R_F 抵抗は、入力と出力のスロープを決定します。R_F (kΩ) の値は、入力と出力の間のスロープ (mV/dB 単位) に等しくなります。この例では、以下に示す一連の式を使用して R_F を計算します。

$$\text{Slope}\left(\text{mV/dB}\right) = R_F\,\text{k}\Omega = \frac{(\text{Saturated output voltage} - \text{Minimum output voltage})}{(20 \times \log(\text{Maximum LNA_In} / \text{Minimum LNA_In}))} \quad (4)$$

$$\text{Slope}\left(\text{mV/dB}\right) = R_F\,\text{k}\Omega = \frac{(4.5V - 0.5V)}{(20 \times \log(200\text{mV} - 7\mu V))} \quad (5)$$

$$\text{Slope}\,(\text{mV/dB}) = 44\text{mV/dB, hence use } R_F\,\text{k}\Omega = 44\text{k}\Omega \quad (6)$$

注

出力がリニア範囲内で適切に動作するように設計するため、最大および最小の Log_out 値は緩和されています。R_F の精度はスロープの精度に影響を及ぼします。

Log_out で測定された電圧をトレースすることで、次の式を使用して入力振幅を計算できます。

$$\text{Log_Out}_A = \text{Slope} \times 20 \times \text{Log}\left(\frac{\text{Log_In}_A}{\text{Log_In}_B}\right) + \text{Log_Out}_B \quad (7)$$

$$\text{Log_In}_A = 10^{\left(\frac{\text{Log_Out}_A - \text{Log_Out}_B}{\text{Slope} \times 20}\right)} \times \text{Log_In}_B \quad (8)$$

式の意味:A は必要な測定ポイントにおける Log_Out および Log_in の値を表し、B は Log_Out および Log_in の値を表し、工場出荷時のキャリブレーションまたは生産時に測定された既知の入力値を表します。

Copyright © 2025 Texas Instruments Incorporated

8.2.1.3 アプリケーション曲線

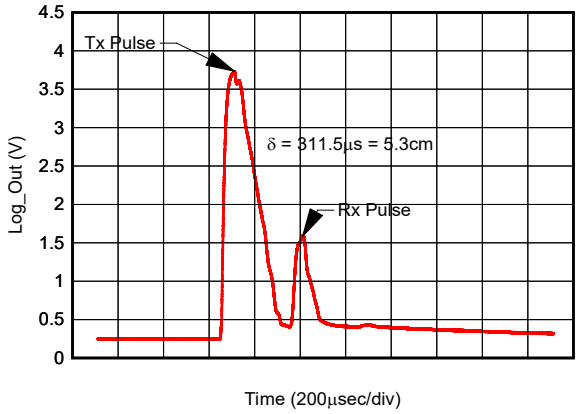


図 8-2. 超音波距離測定に対する Log_Out 応答

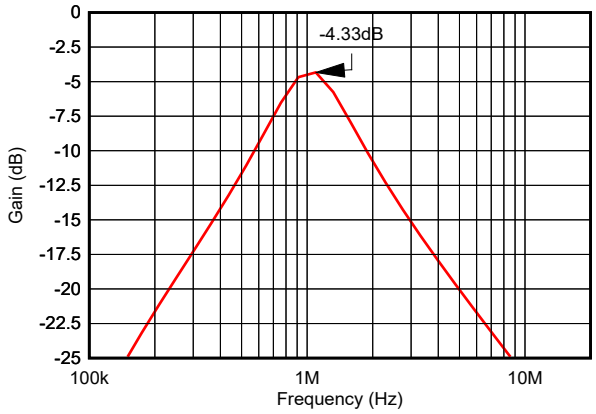


図 8-3. バンドパス フィルタの周波数応答

8.3 電源に関する推奨事項

LOG300 には 2 つの電源ピンがあります。アナログ電源ピン (VCC) および周波数検出ブロック電源ピン (Freq_Supply)。両方のピンは、AGND を基準として、3V ～ 5.25V の範囲の任意の電圧でバイアスできます。これらのピンはどちらも内部で異なる回路に接続されていますが、両方のピンを同じ電位に接続することを推奨します。これらの電源ピンに個別のデカップリング コンデンサ、抵抗、フェライト ビーズを配置し (セクション 8.4.2 を参照)、クロス カップリングに対する十分な耐性を維持します。

LOG300 は、電源ピンを介したノイズ結合に敏感です。入力周波数信号よりもカットオフ周波数が低いローパス フィルタを、電源ラインで使用します。

たとえば、受信信号が 100kHz で、100kHz の中心周波数を達成するようにバンド パスフィルタを調整している場合、少なくとも 10kHz のカットオフ周波数を持つ RC フィルタを電源に設計します。信号周波数が高い場合は、RC 値がより小さい値に低下し始めるため、カットオフ周波数は適切な値にパークできます。

LNA と 対数検出器ブロックの間に外部バンド パスフィルタと、電源ピンのローパス フィルタを組み合わせることで、Log_Out を影響を受けないための十分な電源除去を実現できます。

Copyright © 2025 Texas Instruments Incorporated

8.4 レイアウト

8.4.1 レイアウトのガイドライン

LOG300 の性能とノイズ耐性を向上させるには、次の手順に従います。

- Freq_Supply と VCC に star 接続形式の電源を用意します。この接続により、ノイズ耐性とデカップリングが向上します。
- ノイズ ピックアップに対する耐性を向上させるために、ガード トレースを使用して Log_Inp、Log_Inm、LNA_In の各トレースを設計します。可能な場合はシールドを使用して、放射ノイズ耐性を向上させます。
- AFE および LNA 有効化ピンに小さなコンデンサを配置し、デバイスに入る前に高周波ノイズをグランドできるようにします。
- セクション 7.3.2 に示すように、Log_Inp と Log_Inm から外部回路までのインピーダンスを同じにします。Log_Inp と Log_Inm までのトレース長をほぼ同じにして、インピーダンスを一致した状態にします。
- 負荷回路をピンの近くに配置するか、出力パターンの下のアナログ グランド プレーンを取り除くことで、Freq_Out ピンの容量を最小限に抑えます。
- ソリッドなアナログ グランド プレーンを配線するために PCB の 1 層のみを割り当て、十分なビアを使用して、ピンに使用されるすべてのコンデンサを終端します。

8.4.2 レイアウト例

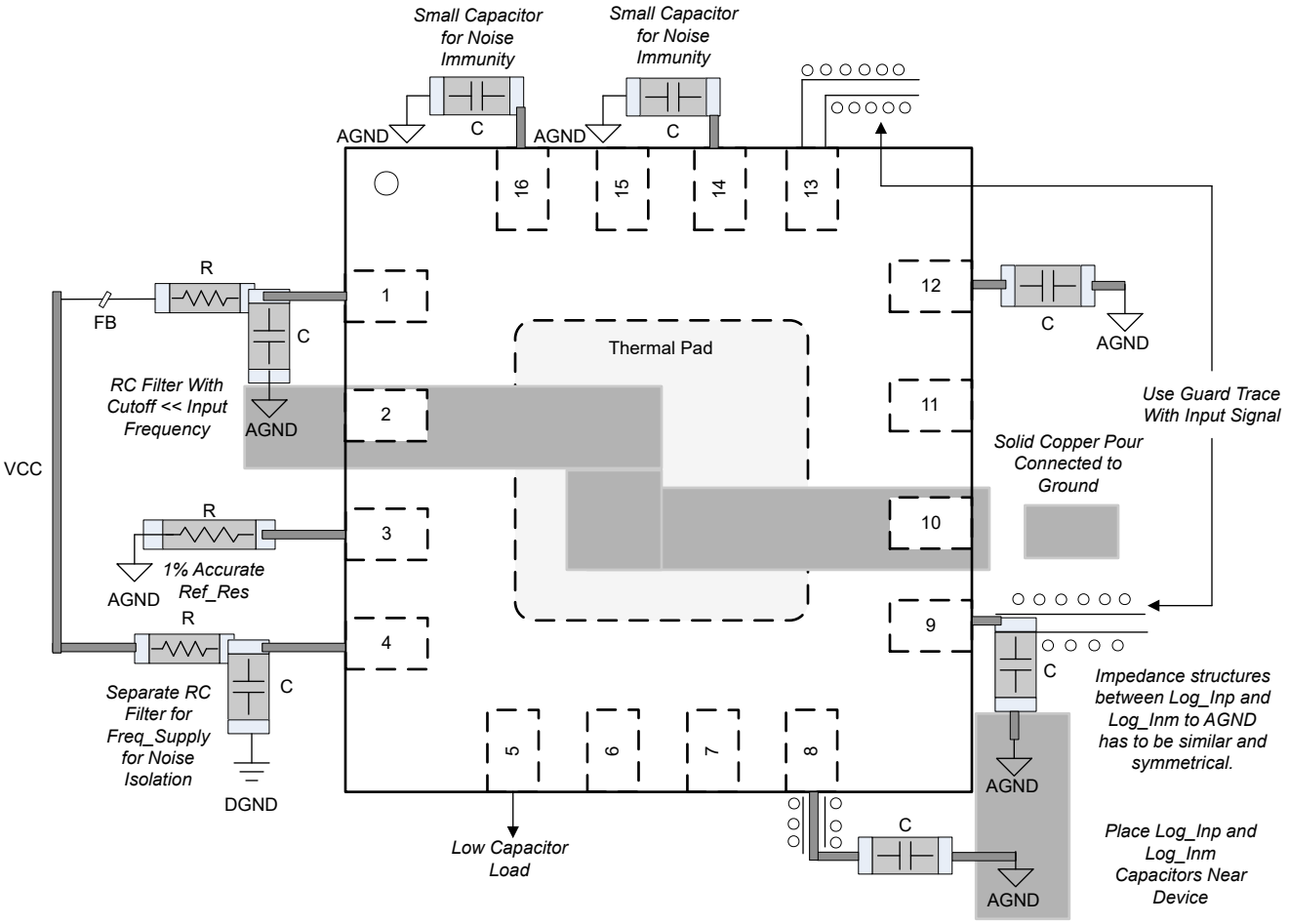


図 8-4. レイアウト例

Copyright © 2025 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (December 2024) to Revision C (September 2025)	Page
• シングルエンド入力および差動入力のサポートと 50Hz ～ 40Mhz の信号検出を強調するために*機能*と*説明*を更新しました	1
• *説明*の *対数検出器と包絡線検出器* を更新	1
• 図 5-33 のタイトルを*スロープと周波数の関係*から *Log_Inp* に対する *Log_Out* *平坦度*に変更しました	11
• 図 5-34、*低周波数スイープ*を追加	11
• *パラメータ測定情報*のすべての図を更新し、Log_Inm ピンと Log_Inp ピンの対称入力を示し、両方の入力に 1.7kΩ を追加。	19
• *機能ブロック図*を更新し、Log_Inm ピンと Log_Inp ピンの対称入力を示し、両方の入力に 1.7kΩ を追加	20
• *オフセット補正ループ (OCL)* を更新して明確化	20

Changes from Revision A (October 2024) to Revision B (December 2024) **Page**

- データシートに RGT パッケージを追加 1
- RGT パッケージの最小出力電圧を追加 8
- *電気特性 LNA + ログ検出器 (AFE)* の T_A = –40°C ～ +125°C における最小出力電圧を更新 10
- 図 5-34、*さまざまな周波数における対数検出器出力*を更新し、破損した X 軸のスケールを修正 18
- 図 7-1、*Log_Inp* と *Log_Inm* *のインピーダンス構造*を更新 21
- 図 7-2、*Log_Inp* および *Log_Inm* *のインピーダンスと周波数との関係*を更新 21

Changes from Revision * (September 2024) to Revision A (October 2024) **Page**

- 文書のステータスを事前情報 (プレビュー) から量産データ (アクティブ) に変更 1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LOG300DR	Active	Production	SOIC (D) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LOG300D
LOG300DR.B	Active	Production	SOIC (D) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LOG300D
LOG300RGTR	Active	Production	VQFN (RGT) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LOG300
LOG300RGTR.B	Active	Production	VQFN (RGT) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LOG300

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

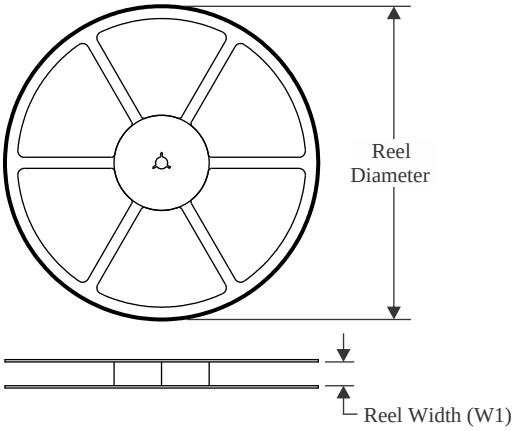
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

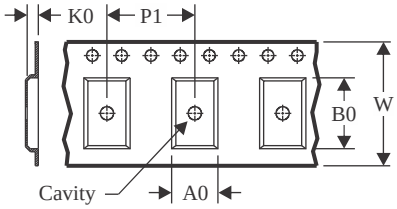
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

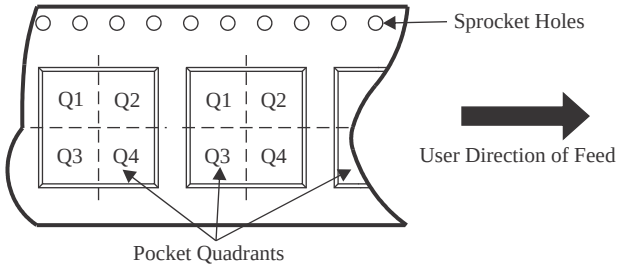


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

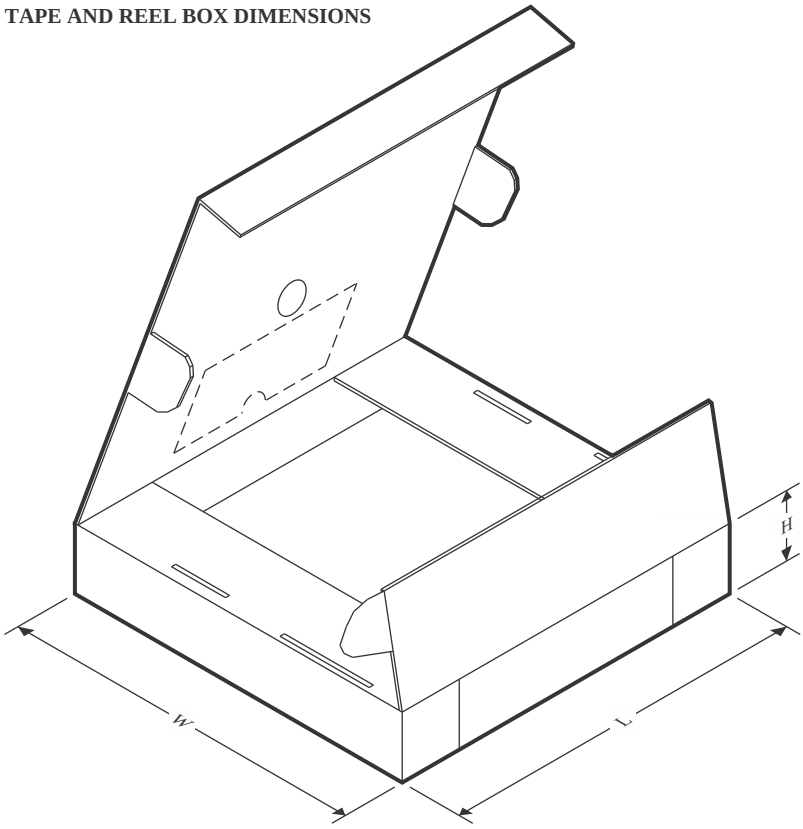
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LOG300DR	SOIC	D	16	3000	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
LOG300RGTR	VQFN	RGT	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS

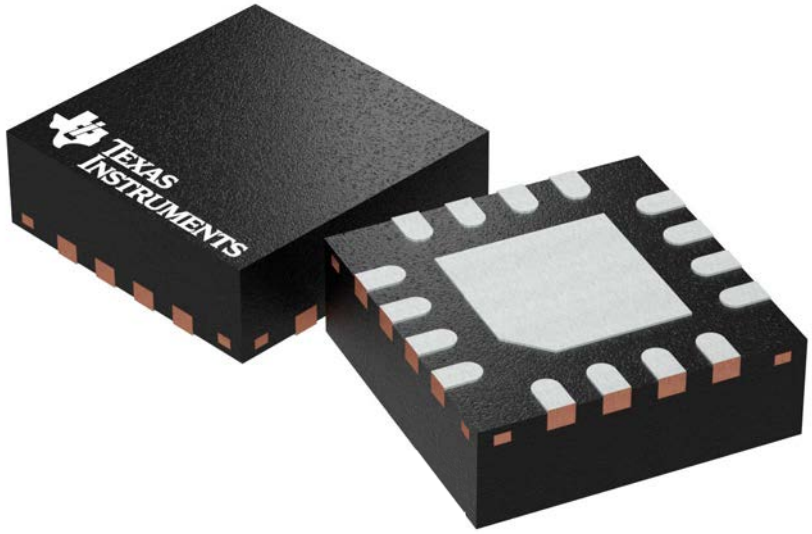


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LOG300DR	SOIC	D	16	3000	353.0	353.0	32.0
LOG300RGTR	VQFN	RGT	16	3000	360.0	360.0	36.0

RGT 16 VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



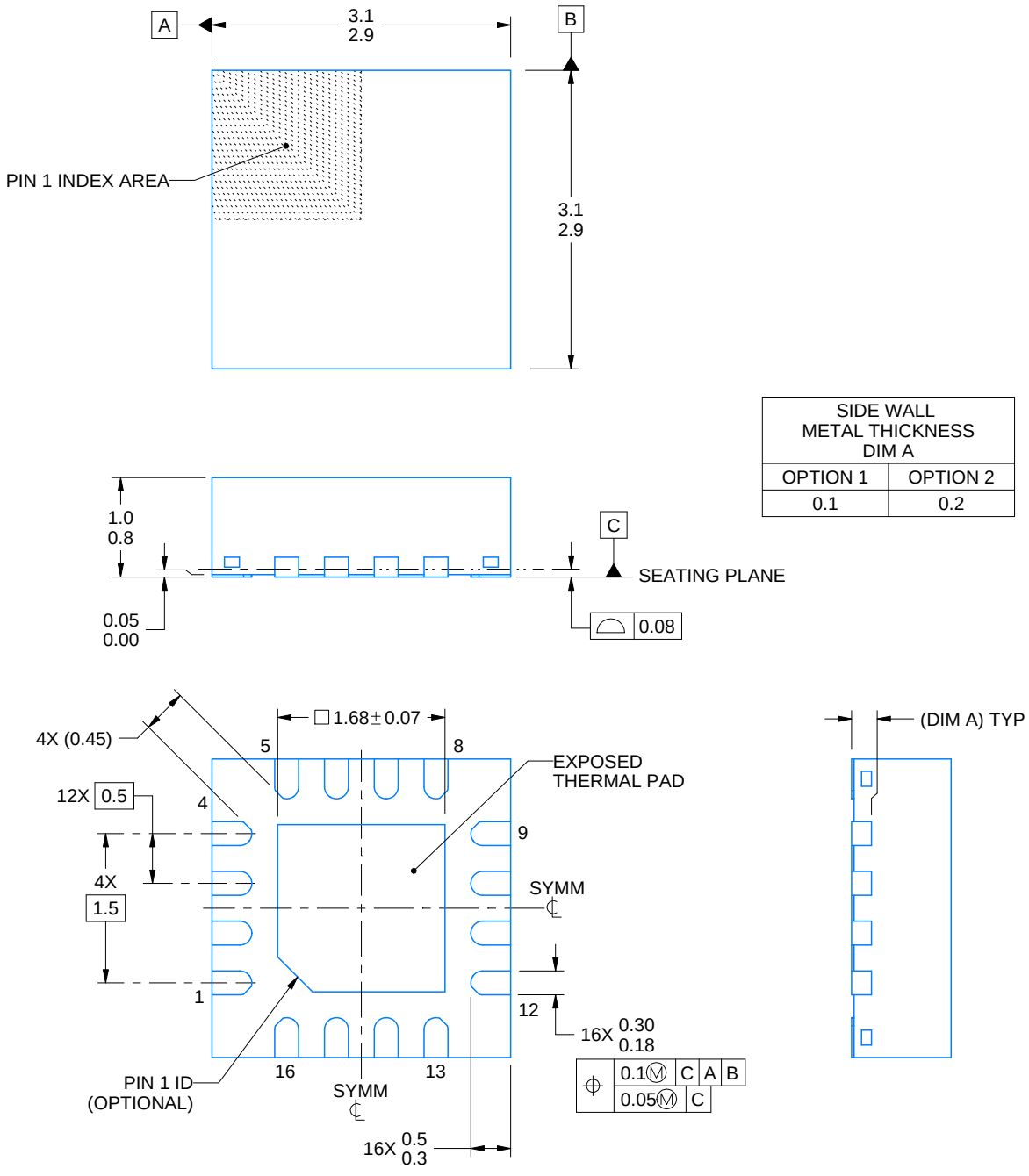
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

PACKAGE OUTLINE

RGT0016C

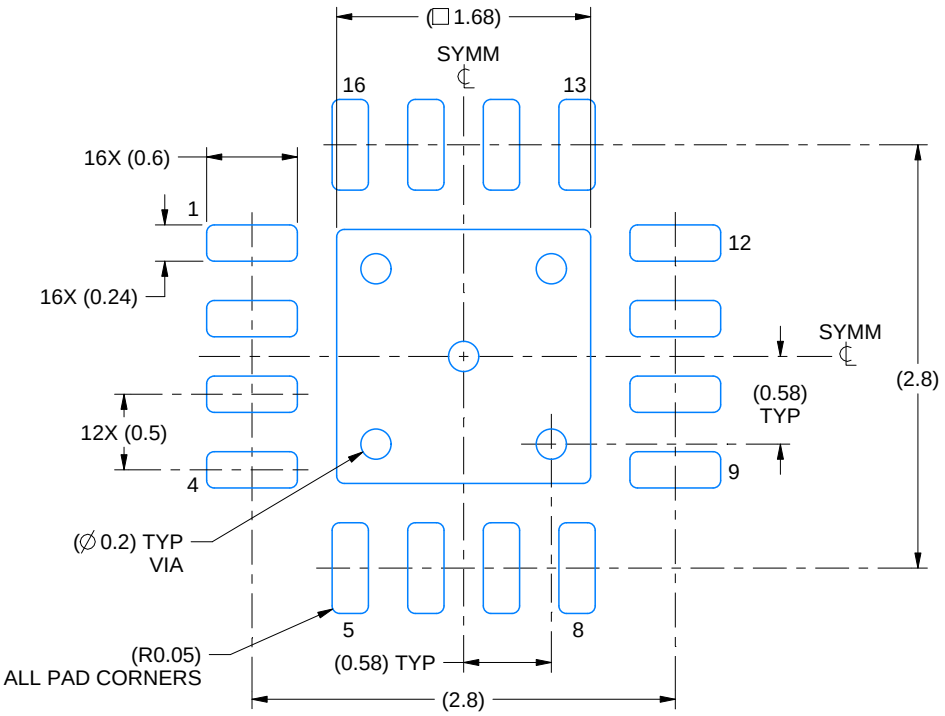
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

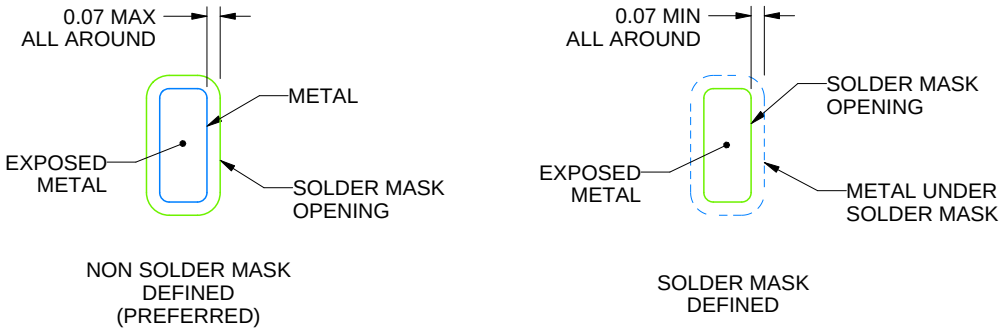


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

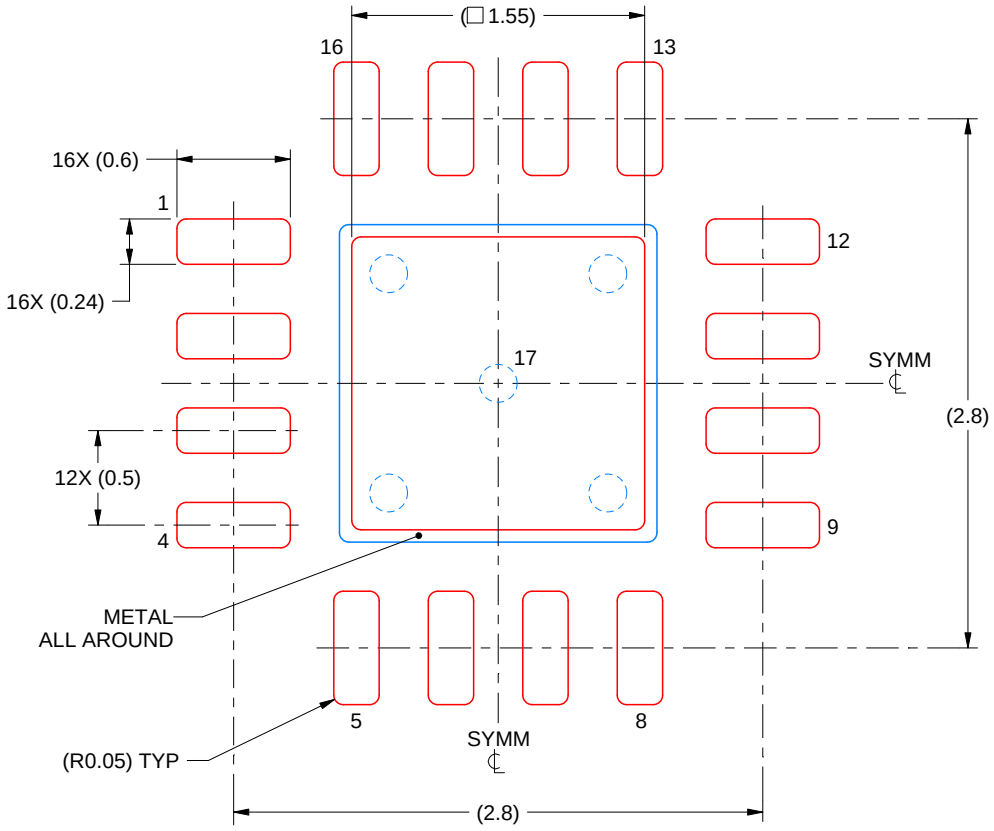


SOLDER MASK DETAILS

4222419/E 07/2025

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

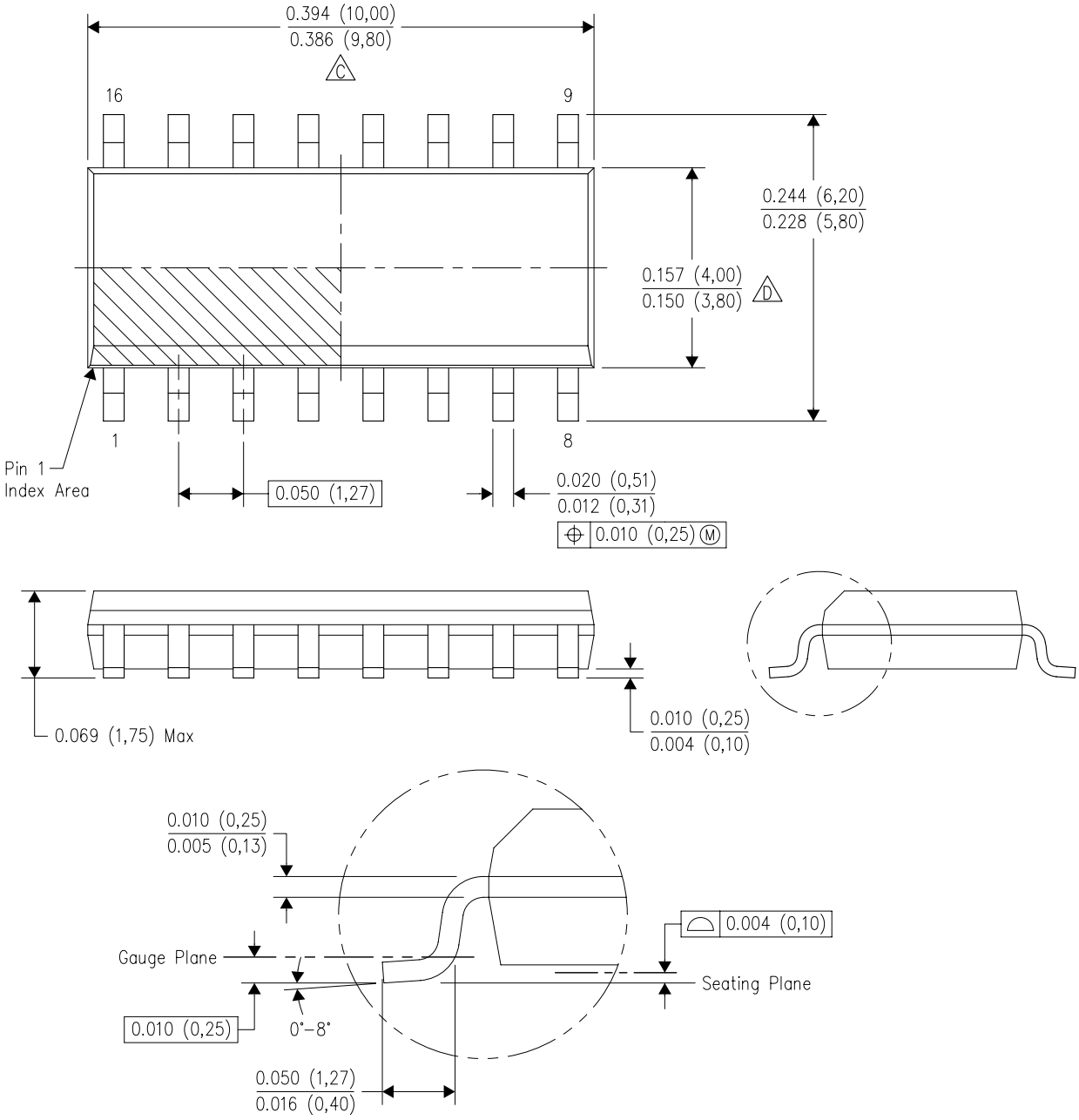
EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4222419/E 07/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

D (R–PDSO–G16) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月