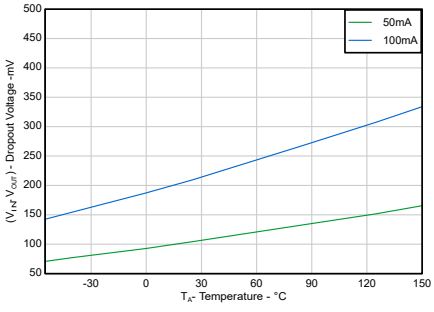
LP295x 100mA、30V、可変電圧レギュレータ、シャットダウン機能搭載

1 特長

- 広い入力電圧範囲
  - V_{IN} 範囲:2V ～ 30V
- 広い出力電圧範囲 V_{OUT}
  - 固定オプション:3V (従来チップ)、3.3V、5.0V
  - 可変オプション:V_{REF} ～ 29V
- 出力電流:100mA
- V_{OUT} 精度:
  - ライン、負荷、温度の全範囲にわたって ±2% の精度 (従来チップ)
  - ライン、負荷、温度の全範囲にわたって ±1% の精度 (新しいチップ)
- 静止電流 I_Q (新しいチップ):50µA (標準値)
- 低ドロップアウト (新しいチップ):340mV (標準値)
- 出力電流制限とサーマル シャットダウン
- セラミック出力コンデンサの値の広い範囲で安定
  - C_{OUT} 範囲:1µF～100µF (新しいチップ)
  - ESR 範囲:0Ω～2Ω (新しいチップ)
- 動作時接合部温度:-40℃ ～ 125℃
- パッケージ オプション:
  - LP (3 ピン TO-92)
  - D (8 ピン SOIC)
  - DRG (8 ピン WSON)

2 アプリケーション

- グリッド インフラ
- ファクトリ オートメーション
- モーター ドライブ
- ビル オートメーション



V_{IN} = 4.9V

ドロップアウト電圧と温度との関係 (新チップ)

3 説明

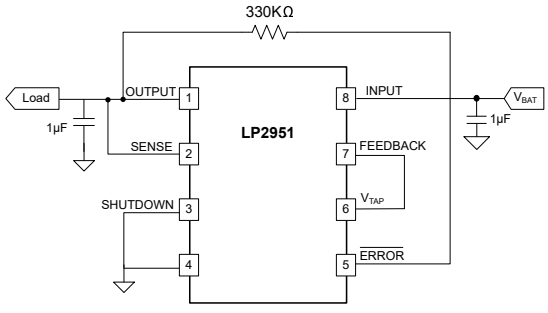
LP2951 は入力範囲の広い低ドロップアウト レギュレータ (LDO) で、2V～30V の入力電圧範囲に対応し、最大 100mA の負荷電流を供給できます。LP2951 は、同じデバイスから固定出力と可変出力のどちらでも出力できます。OUTPUT ピンと SENSE ピン、FEEDBACK ピンと V_{TAP} ピンをそれぞれ相互に接続すると、LP2951 の出力電圧は 3.3V または 5V に固定されます。または、SENSE ピンと V_{TAP} ピンをオープンのままにして、FEEDBACK を外部の分圧抵抗に接続します。この構成では、出力を V_{REF} ～ 29V の間の任意の値に設定できます (V_{REF} の詳細については 電気的特性 (レガシーと新しいチップの両方) を参照)。

LP2951 には、フィードバック ピンの電圧を監視して出力電圧のステータスを示す $\overline{\text{ERROR}}$ 出力があります。SHUTDOWN 入力と $\overline{\text{ERROR}}$ 出力を使用して、システムの複数の電源をシーケンシングできます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
LP2950	LP (TO-92、3)	4.83mm × 4.83mm
LP2951	D (SOIC、8)	4.90mm x 6.00mm
	DRG (SON、8)	3.00mm x 3.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



代表的なアプリケーション回路

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

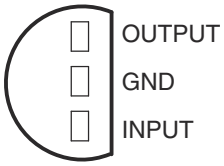
目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....5
5.4 熱に関する情報.....5
5.5 電気的特性 (レガシーと新しいチップの両方).....5
5.6 タイミング要件 (新しいチップのみ).....10
5.7 代表的特性.....11
6 詳細説明.....22
6.1 概要.....22
6.2 機能ブロック図.....22
6.3 機能説明.....23
6.4 デバイスの機能モード.....24
7 アプリケーションと実装.....24
7.1 使用上の注意.....24
7.2 代表的なアプリケーション.....26
7.3 電源に関する推奨事項.....30
7.4 レイアウト.....30
8 デバイスおよびドキュメントのサポート.....31
8.1 デバイス サポート.....31
8.2 ドキュメントの更新通知を受け取る方法.....31
8.3 デバイスの命名規則.....31
8.4 ドキュメントのサポート.....31
8.5 サポート・リソース.....31
8.6 商標.....32
8.7 静電気放電に関する注意事項.....32
8.8 用語集.....32
9 改訂履歴.....32
10 メカニカル、パッケージ、および注文情報.....32

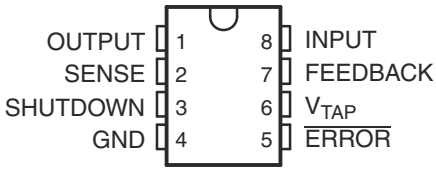
Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

LP2950
LP PACKAGE
(BOTTOM VIEW)



LP2951
D OR P PACKAGE
(TOP VIEW)



LP2951
DRG PACKAGE
(TOP VIEW)

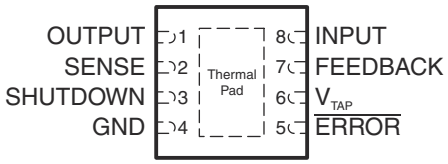


表 4-1. ピンの機能

ピン			タイプ(1)	説明
名称	LP2950	LP2951		
$\overline{\text{エラー}}$	—	5	O	アクティブ "Low" オープン ドレイン エラー出力。V_{OUT} が公称値の 6% 低下すると、low になります。
帰還	—	7	I	出力電圧を決定します。固定出力オプションの場合は V_{TAP} に接続 (OUTPUT を SENSE に接続)するか、可変出力オプションの場合は抵抗分圧器に接続します。
GND	2	4	—	グランド
入力	3	8	I	入力電源ピン。このピンとグランドとの間に、1µF 以上の値のコンデンサを使用することを推奨します。詳細については、「セクション 7.1.2」セクションを参照してください。
出力	1	1	O	安定性のために、OUTPUT と GND の間にコンデンサが必要です。最高の過渡応答を実現するには、公称推奨値またはそれ以上に大きい値のセラミック コンデンサを OUTPUT と GND (2) の間に接続します。この出力コンデンサは、デバイスのできるだけ近くに配置します。詳細については、セクション 7.1.2 を参照してください。
SENSE	—	2	I	出力電圧を感知します。固定出力オプションの場合のみ、OUTPUT に接続します (FEEDBACK を V_{TAP} に接続します)。本デバイスを可変出力として使用する場合、このピンをフローティングのままにする必要があります。
シャットダウン	—	3	I	アクティブ high 入力。High 信号にするとデバイスがディスエーブルになり、Low 信号にするとデバイスがイネーブルになります。
V_{TAP}	—	6	I	固定出力オプションの場合は FEEDBACK に接続します。本デバイスを可変出力として使用する場合、このピンをフローティングのままにする必要があります。

(1) I = 入力、O = 出力
(2) 公称出力容量は 1µF より大きくなければなりません。このドキュメント全体を通して、これらのコンデンサの公称ディレーティングは 50% です。ピンの実効容量が 1µF より大きいことを確認します。

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
V_{IN}	連続入力電圧 (従来チップ)	-0.3	35	V
	連続入力電圧 (新しいチップ)	-0.3	42	
V_{OUT}	出力電圧	-0.3	VIN+0.3(4)	
V_{SHDN}	SHUTDOWN 入力電圧 (従来のチップ)	-1.5	35	
	SHUTDOWN 入力電圧 (新しいチップ)	-0.3	42	
V_{ERROR}	$\overline{ERROR}$ コンパレータの出力電圧 (従来のチップ) (2)	-1.5	30	
	$\overline{ERROR}$ コンパレータの出力電圧 (新しいチップ)(2)	-0.3	39	
V_{FDBK}	FEEDBACK 入力電圧 (従来のチップ)(2) (3)	-1.5	30	
	FEEDBACK 入力電圧 (新しいチップ)(2) (3)	-0.3	5	
V_{TAP}	内蔵抵抗分圧器 (固定電圧オプションのみ、新しいチップ)	-0.3	5	
V_{SENSE}	出力電圧センス (固定電圧オプションのみ、新しいチップ)	-0.3	6	
T_{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 入力電源電圧を超えることがあります。
(3) 負荷が負の電源に戻った場合、出力を GND にダイオード クランプする必要があります。
(4) 絶対最大定格は V_{IN} + 0.3V または 39V のどちらか小さい方です。

5.2 ESD 定格

			値 (従来のチップ)	VALUE (新しいチップ)	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2500	±3000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	±1000	±1000	V

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

Copyright © 2026 Texas Instruments Incorporated

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{IN}	入力電圧	2.0		30	V
V_{EN}	イネーブル電圧	0		30	
V_{OUT}	出力電圧	1.2		30	
I_L	出力電流	0		100	mA
C_{OUT}	出力コンデンサ(1)	1	2.2	100	µF
C_{OUT} ESR	出力コンデンサ ESR (従来のチップ)	30m		5	Ω
	出力コンデンサ ESR (新しいチップ)(3)	0		2	
C_{IN}	入力コンデンサ		1		µF
C_{FF}	フィードフォワード コンデンサ (オプション(2)、可変デバイスのみ)		10		pF
$I_{FB_DIVIDER}$	フィードバック分圧器の電流(2) (可変デバイスのみ)	12			µA
T_J	接合部温度	-40		125	°C

(1) 安定させるために、最低 0.5µF の実効出力キャパシタンスが必要です。
(2) フィードバック分圧器の電流が 12µA 未満の場合、安定性のために C_{FF} が必要です。フィードバック分圧器の電流 = $V_{OUT}/(R_1 + R_2)$。詳細については、「*フィードフォワード コンデンサ (C_{FF})*」を参照してください。
(3) 新しいチップでサポートされる最大 ESR 範囲は 2Ω です。ESR 値が大きい出力コンデンサには、低 ESR の MLCC コンデンサを接続します。

5.4 熱に関する情報

熱評価基準(1) (2)		従来のチップ			新しいチップ			単位
		D	DRG	LP	D	DRG	LP	
		8 ピン	8 ピン	3 ピン	8 ピン	8 ピン	3 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	97	52.44	140	123	61.7	132.6	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	-	-	-	67.8	63.1	114.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	-	-	-	70.7	31.0	94.9	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	-	-	-	18.0	2.2	26.9	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	-	-	-	69.8	30.9	94.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	-	-	-	該当なし	2.9	該当なし	°C/W

(1) 熱データは、JEDEC 規格の High-K プロファイル (JESD 51-7) に基づいています。2 信号、2 プレーン、4 層基板、2 オンスの銅を使用しています。銅パッドをサーマル ランド パターンに半田付けします。また、正しい取り付け手順に従う必要があります。
(2) 従来および最新の熱評価基準の詳細については、『*半導体および IC パッケージの熱評価基準*』アプリケーション ノートを参照してください。

5.5 電気的特性 (レガシーと新しいチップの両方)

$V_{IN} = V_{OUT}$ (公称) + 1V、I_L = 100µA、C_L = 1µF (新しいチップ用) および C_L = 2.2µF (従来のチップ用)、
8 ピン バージョン: FEEDBACK を V_{TAP} に接続、OUTPUT を SENSE に接続、$V_{SHUTDOWN} \le 0.7V$

パラメータ	テスト条件		T_J	最小値	標準値	最大値	単位
3.3V バージョン (LP295x-33)							
出力電圧	I_L = 100µA	従来のチップ	25°C	3.267	3.3	3.333	V
			-40°C ～ 125°C	3.234	3.3	3.366	
		新しいチップ	25°C	3.2868	3.3	3.3132	
			-40°C ～ 125°C	3.2736	3.3	3.3264	
3.3V ADJ バージョン (LP295x-33ADJ)							

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (レガシーと新しいチップの両方) (続き)

V_{IN} = V_{OUT} (公称) + 1V、I_L = 100µA、C_L = 1µF (新しいチップ用) および C_L = 2.2µF (従来のチップ用)、
8 ピン バージョン : FEEDBACK を V_{TAP} に接続、OUTPUT を SENSE に接続、$V_{SHUTDOWN}$ ≤ 0.7V

パラメータ	テスト条件		T_J	最小値	標準値	最大値	単位
出力電圧	I_L = 100µA	新しいチップ (LP295x - 33ADJ)	25°C	3.3451	3.37	3.3923	V
			-40°C ～ 125°C	3.3283	3.37	3.4091	V
5V バージョン (LP295x-50)							
出力電圧	I_L = 100µA	従来のチップ	25°C	4.95	5	5.05	V
			-40°C ～ 125°C	4.900	5	5.100	
		新しいチップ	25°C	4.98	5	5.02	
			-40°C ～ 125°C	4.96	5	5.04	
5V ADJ バージョン (LP295x-50ADJ)							
出力電圧	I_L = 100µA	新しいチップ (LP295x - 50ADJ)	25°C	5.0608	5.1	5.1475	V
			-40°C ～ 125°C	5.0353	5.1	5.1731	V
すべての電圧オプション							
出力電圧精度	V_{IN} = [$V_{OUT(NOM)}$ + 1V] ～ 30V、I_L = 100µA ～ 100mA	新しいチップ	-40°C ～ 125°C	-1		1	%
		新しいチップ (LP295x-XXADJ)		-1.35		1.35	%
	V_{IN} = [$V_{OUT(NOM)}$ + 1V] ～ 30V、I_L = 100µA ～ 100mA、LP (TO-92) パッケージ	新しいチップ		-1.2		1.2	
出力電圧の温度係数(1)	I_L = 100µA	従来のチップ	-40°C ～ 125°C		20	100	ppm/°C
		新しいチップ			20	60	
ライン レギュレーション(2)	V_{IN} = [$V_{OUT(NOM)}$ + 1V] ～ 30V	従来のチップ	25°C		0.03	0.2	%/V
			-40°C ～ 125°C			0.4	
		新しいチップ	25°C		0.0006	0.01	
			-40°C ～ 125°C			0.015	
負荷レギュレーション(2)	I_L = 100µA ～ 100mA	従来のチップ	25°C		0.04	0.2	%
			-40°C ～ 125°C			0.3	
		新しいチップ	25°C		0.04	0.1	
			-40°C ～ 125°C			0.2	

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (レガシーと新しいチップの両方) (続き)

V_{IN} = V_{OUT} (公称) + 1V、I_L = 100µA、C_L = 1µF (新しいチップ用) および C_L = 2.2µF (従来のチップ用)、
8 ピン バージョン:FEEDBACK を V_{TAP} に接続、OUTPUT を SENSE に接続、$V_{SHUTDOWN}$ ≤ 0.7V

パラメータ	テスト条件		T_J	最小値	標準値	最大値	単位
ドロップアウト電圧	V_{IN} = 2V、I_L = 100 µA	従来のチップ	25°C		50	80	mV
			-40°C ～ 125°C			150	
		新しいチップ	25°C		1	4	
			-40°C ～ 125°C			5	
	V_{IN} = 2V、I_L = 100 mA	従来のチップ	25°C		380	450	
			-40°C ～ 125°C			600	
		新しいチップ	25°C		340	420	
			-40°C ～ 125°C			570	
GND 電流	I_L = 100µA	従来のチップ	25°C		75	120	µA
			-40°C ～ 125°C			140	
		新しいチップ	25°C		50	65	
			-40°C ～ 125°C			80	
	I_L = 100mA	従来のチップ	25°C		8	12	mA
			-40°C ～ 125°C			14	
		新しいチップ	25°C			0.8	
			-40°C ～ 125°C			0.9	
ドロップアウト グランド電流	V_{IN} = $V_{OUT(NOM)}$ – 0.5V、I_L = 100µA	従来のチップ	25°C		110	170	µA
			-40°C ～ 125°C			200	
		新しいチップ	25°C		78	120	
			-40°C ～ 125°C			150	
UVLO V_{IN} 立ち上がり	I_L = 100µA	新しいチップ	-40°C ～ 125°C	1.8	1.9	2.0	V
UVLO V_{IN} 立ち下がり				1.7	1.8	1.9	
ヒステリシス					100		mV
電流制限	V_{OUT} = 0V	従来のチップ	25°C		160	200	mA
			-40°C ～ 125°C			220	
		新しいチップ	25°C		180	200	
			-40°C ～ 125°C			230	
サーマル レギュレーション(3)	I_L = 100µA	従来のチップ	25°C		0.05	0.2	%/W
		新しいチップ			0.05	0.2	

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (レガシーと新しいチップの両方) (続き)

V_{IN} = V_{OUT} (公称) + 1V、I_L = 100µA、C_L = 1µF (新しいチップ用) および C_L = 2.2µF (従来のチップ用)、
8 ピン バージョン:FEEDBACK を V_{TAP} に接続、OUTPUT を SENSE に接続、$V_{SHUTDOWN}$ ≤ 0.7V

パラメータ	テスト条件		T_J	最小値	標準値	最大値	単位
出力ノイズ (RMS)、10Hz ～ 100kHz	C_L = 1µF (5V のみ)	従来のチップ	25°C		430		µV
		新しいチップ			265		
	C_L = 200µF	従来のチップ	25°C		160		
	C_L = 100µF	新しいチップ			250		
	C_L = 3.3µF、C_{Bypass} = 0.01µF (ピン 1 と 7 の間)	従来のチップ	25°C		100		
		新しいチップ			100		
電源リップル除去	V_{IN} - V_{OUT} = 1V、周波数 = 100Hz、I_{OUT} ≥ 5mA	新しいチップ	25°C		80		dB
(LP2951-xx および LP2951-xxADJ) 8 ピン バージョンのみで調整可能							
リファレンス電圧		従来のチップ	25°C	1.218	1.235	1.252	V
			-40°C ～ 125°C	1.212		1.257	
		新しいチップ	25°C	1.192	1.2	1.208	
			-40°C ～ 125°C	1.189		1.211	
		新しいチップ (LP295x-XXADJ)	25°C	1.215	1.23	1.245	
			-40°C ～ 125°C	1.205		1.255	
リファレンス電圧	V_{IN} = 2.3V ～ 30V、I_L = 100µA ～ 100mA	従来のチップ	-40°C ～ 125°C	1.2		1.272	
		新しいチップ		1.188		1.212	
		新しいチップ (LP295x-XXADJ)		1.212		1.257	
リファレンス電圧温度係数[1]		従来のチップ	25°C		20		ppm/°C
		新しいチップ			5		
帰還バイアス電流		従来のチップ	25°C		20	40	nA
			-40°C ～ 125°C			60	
		新しいチップ	25°C		10	50	
			-40°C ～ 125°C			60	
FEEDBACK バイアス電流の温度係数		従来のチップ	25°C		0.1		nA/°C
		新しいチップ			0.1		
$\overline{\text{ERROR}}$ コンパレータ							
出力リーク電流	V_{OUT} = 30V	従来のチップ	25°C		0.01	1	µA
			-40°C ～ 125°C			2	
		新しいチップ	25°C		0.2	0.5	
			-40°C ～ 125°C			1	

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (レガシーと新しいチップの両方) (続き)

V_{IN} = V_{OUT} (公称) + 1V、I_L = 100µA、C_L = 1µF (新しいチップ用) および C_L = 2.2µF (従来のチップ用)、
8 ピン バージョン:FEEDBACK を V_{TAP} に接続、OUTPUT を SENSE に接続、$V_{SHUTDOWN}$ ≤ 0.7V

パラメータ	テスト条件		T_J	最小値	標準値	最大値	単位
出力 LOW 電圧	V_{IN} ≥ 2V I_{OL} = 400µA	従来のチップ	25°C		150	250	mV
			-40°C ～ 125°C			400	
		新しいチップ	25°C		180	250	
			-40°C ～ 125°C			350	
上側スレッショルド電圧 ($\overline{\text{ERROR}}$ 出力 high)(4)		従来のチップ	25°C	40	60		mV
			-40°C ～ 125°C	25			
		新しいチップ	25°C	40	60		
			-40°C ～ 125°C	25			
低スレッショルド電圧 ($\overline{\text{ERROR}}$ 出力 low)(4)		従来のチップ	25°C		75	95	mV
			-40°C ～ 125°C			140	
		新しいチップ	25°C		75	95	
			-40°C ～ 125°C			140	
ヒステリシス (4)		従来のチップ	25°C		15		mV
		新しいチップ			15		
SHUTDOWN INPUT							
入力ロジック電圧	Low (レギュレータが ON)	従来のチップ	-40°C ～ 125°C			0.7	V
		新しいチップ				0.7	
	High (レギュレータが OFF)	従来のチップ	-40°C ～ 125°C	2			
		新しいチップ		2			
SHUTDOWN 入力電流	SHUTDOWN = 2.4V	従来のチップ	25°C		30	50	µA
			-40°C ～ 125°C			100	
		新しいチップ	25°C		0.2	0.5	
			-40°C ～ 125°C			1	
	SHUTDOWN = 30V	従来のチップ	25°C		450	600	
			-40°C ～ 125°C			750	
		新しいチップ	25°C		0.3	0.5	
			-40°C ～ 125°C			1	
シャットダウンでのレギュレータ出力電流	$V_{SHUTDOWN}$ ≥ 2V、 V_{IN} ≥ 30V、V_{OUT} = 0、 フィードバック を V_{TAP} に接続	従来のチップ	25°C		3	10	µA
			-40°C ～ 125°C			20	
		新しいチップ	25°C		4	6	
			-40°C ～ 125°C			7.5	

(1) 出力または基準電圧の温度係数は、ワーストケースの電圧変化を、全温度範囲で割った値として定義されます。
(2) レギュレーションは、一定の接合部温度で、低いデューティ サイクルでのパルス テストを使用して測定されます。発熱効果による出力電圧の変化については、サーマル レギュレーションの仕様に記載されています。

Copyright © 2026 Texas Instruments Incorporated

(3) サーマル レギュレーションは、消費電力の変化が適用された後、一度 (T) に生じる出力電圧の変化として定義されます (負荷またはライン レギュレーションによる影響は除く)。仕様は、t = 10ms 間で V_{IN} = 30V、V_{OUT} = 5V (1.25W パルス) の場合の 50mA 負荷パルスに対するものです。

(4) コンパレータのスレッショルドは、公称リファレンス電圧 (V_{IN} – V_{OUT} = 1V で測定) から帰還端子電圧を引いた値と等しい電圧差に関して表されます。出力電圧の変化に関してこれらのスレッショルドを表すには、エラー アンプのゲイン = V_{OUT}/V_{REF} = (R1 + R2)/R2 を乗算します。例えば、プログラミングされた出力電圧が 5V の場合、出力が 95mV × 5V/V_{REF} 低下すると、$\overline{\text{ERROR}}$ 出力が low になるように規定されています。スレッショルドは (V_{OUT} が変化しても)、V_{OUT} のパーセンテージとして一定に保たれ、低出力警告が公称値 (標準値) の 6% 未満および 7.7% (最大) で発生します。

5.6 タイミング要件 (新しいチップのみ)

パラメータ	テスト条件	最小値	標準値	最大値	単位
t_{PGDH}	PG 遅延時間の立ち上がり、92% V_{OUT} から PG の 20% までの時間 (1)		40		µs
t_{PGDL}	PG 遅延時間の立ち下がり、90% V_{OUT} から PG の 80% までの時間 (1)		10		µs

(1) 出力オーバードライブ= 10%。

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性

V_{IN} = V_{OUT} (公称) + 1V、I_L = 100µA、C_L = 1µF (新しいチップ用) および C_L = 2.2µF (従来のチップ用) (特に記述のない限り)

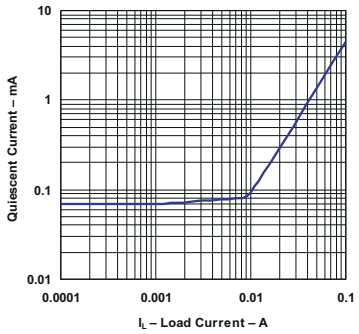
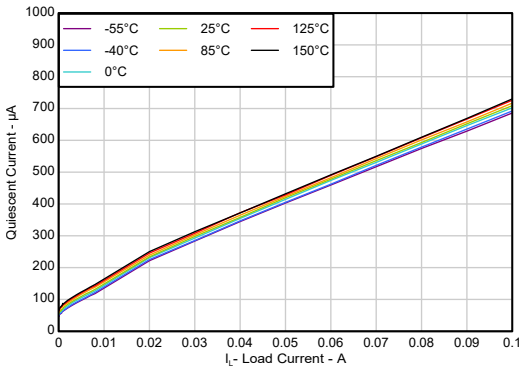


図 5-1. 静止電流と負荷電流との関係 (従来のチップ)



V_{IN} = 6V、V_{OUT} = 5V

図 5-2. 静止電流と負荷電流との関係 (新しいチップ)

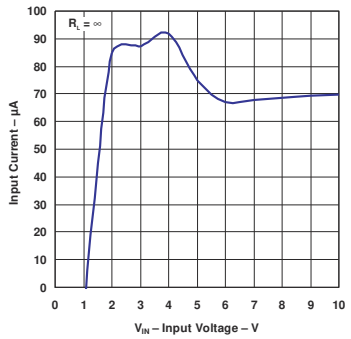
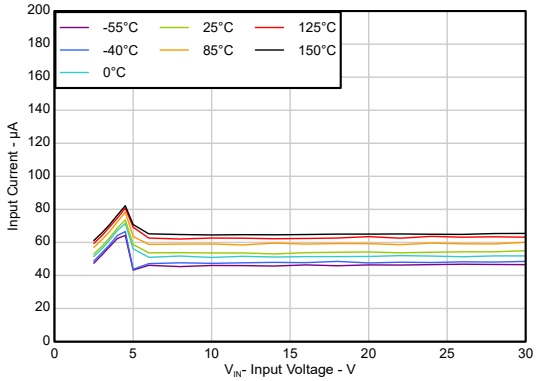


図 5-3. 入力電流と入力電圧との関係 (I_L = OPEN) (従来のチップ)



V_{OUT} = 5V、I_L = 0mA

図 5-4. 入力電流と入力電圧との関係 (R_L = OPEN) (新しいチップ)

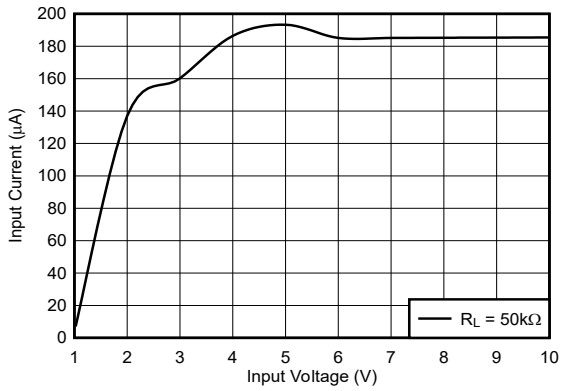
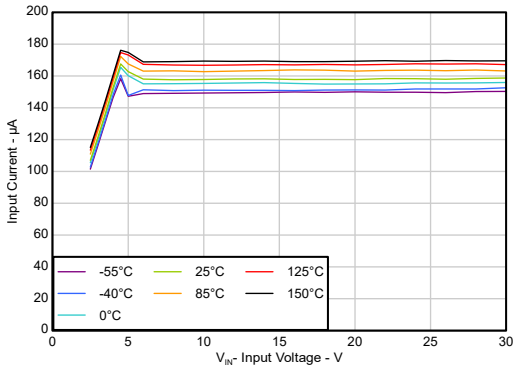


図 5-5. 入力電流と入力電圧との関係 (R_L = 50kΩ)



V_{OUT} = 5V、I_L = 100µA

図 5-6. 入力電流と入力電圧との関係 (R_L = 50kΩ) (新しいチップ)

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性 (続き)

V_{IN} = V_{OUT} (公称) + 1V、I_L = 100µA、C_L = 1µF (新しいチップ用) および C_L = 2.2µF (従来のチップ用) (特に記述のない限り)

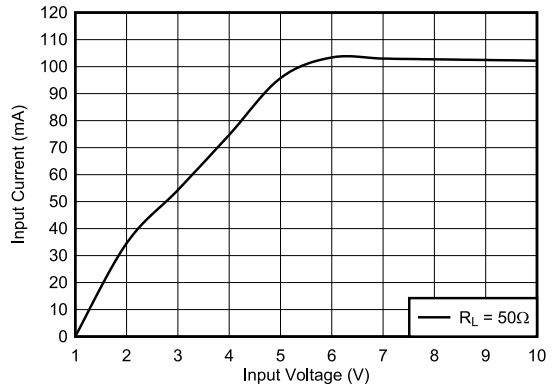
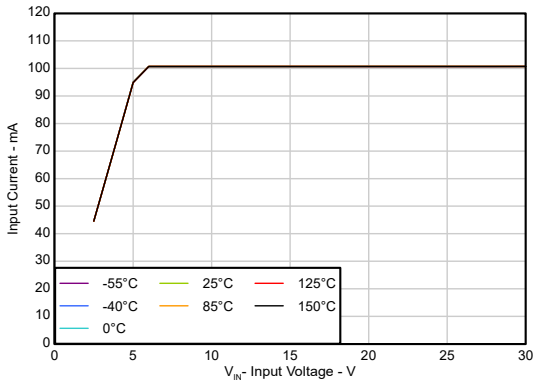


図 5-7. 入力電流と入力電圧との関係 (I_L = 50Ω) (従来のチップ)



V_{OUT} = 5V、I_L = 100mA

図 5-8. 入力電流と入力電圧との関係 (R_L = 50Ω) (新しいチップ)

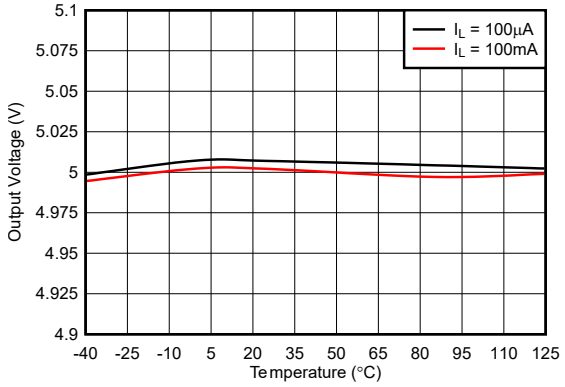
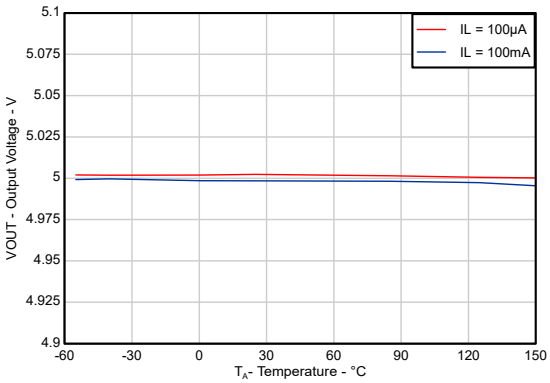


図 5-9. 出力電圧と温度との関係 (従来のチップ)



V_{IN} = 6V、V_{OUT} = 5V

図 5-10. 出力電圧と温度との関係 (新しいチップ)

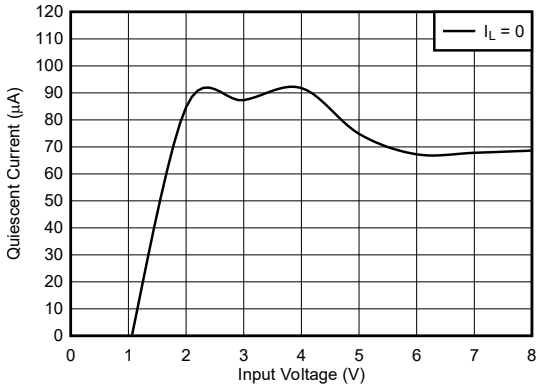
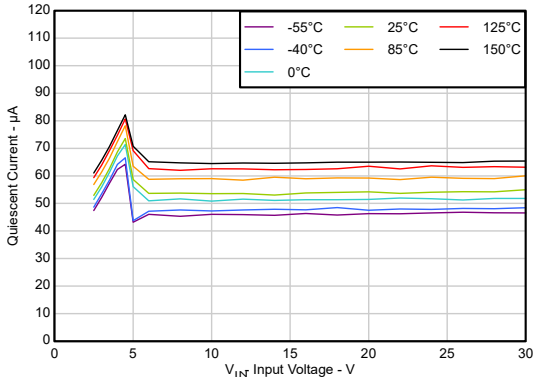


図 5-11. 静止電流と入力電圧との関係 (I_L = 0) (従来のチップ)



V_{OUT} = 5V

図 5-12. 静止電流と入力電圧との関係 (I_L = 0) (新しいチップ)

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性 (続き)

V_{IN} = V_{OUT} (公称) + 1V、I_L = 100µA、C_L = 1µF (新しいチップ用) および C_L = 2.2µF (従来のチップ用) (特に記述のない限り)

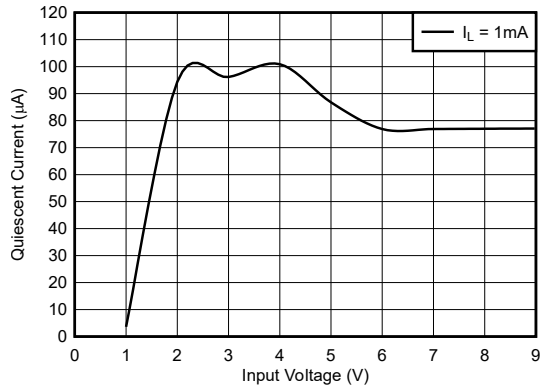
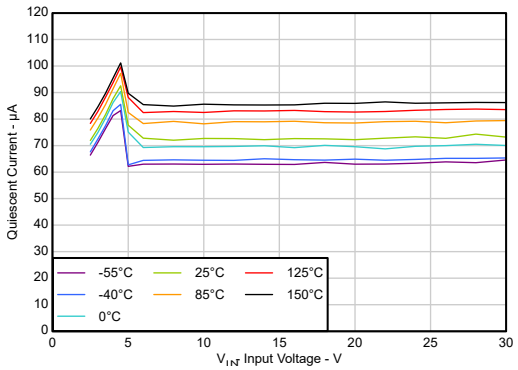


図 5-13. 静止電流と入力電圧との関係 (I_L = 1mA) (従来のチップ)



V_{OUT} = 5V

図 5-14. 静止電流と入力電圧との関係 (I_L = 1mA) (新しいチップ)

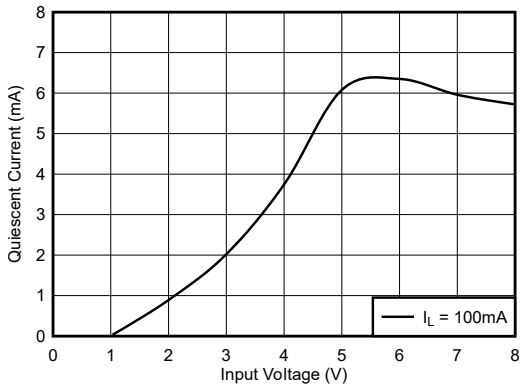
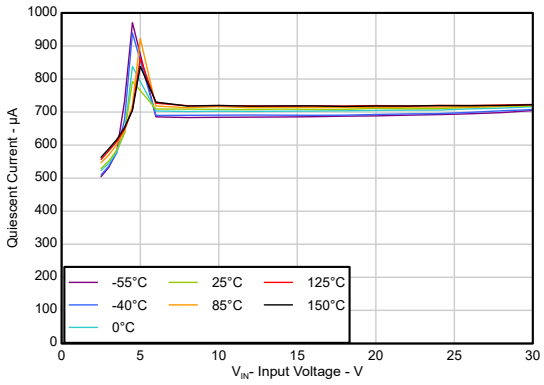


図 5-15. 静止電流と入力電圧との関係 (I_L = 100mA) (従来のチップ)



V_{OUT} = 5V

図 5-16. 静止電流と入力電圧との関係 (I_L = 100mA) (新しいチップ)

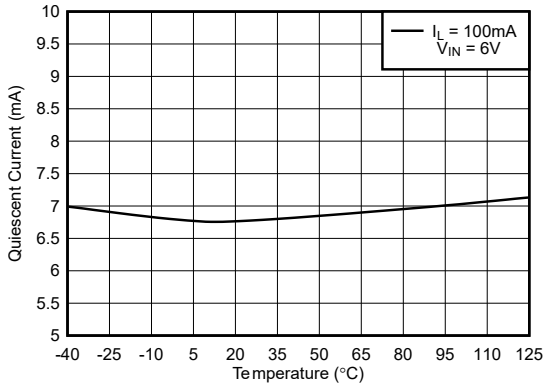
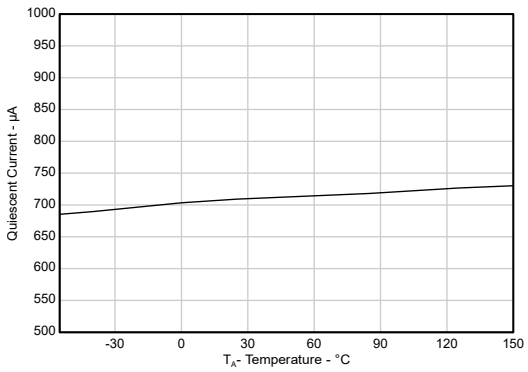


図 5-17. 静止電流と温度との関係 (I_L = 100mA) (従来のチップ)



V_{IN} = 6V、V_{OUT} = 5V

図 5-18. 静止電流と温度との関係 (I_L = 100mA) (新しいチップ)

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性 (続き)

V_{IN} = V_{OUT} (公称) + 1V、I_L = 100µA、C_L = 1µF (新しいチップ用) および C_L = 2.2µF (従来のチップ用) (特に記述のない限り)

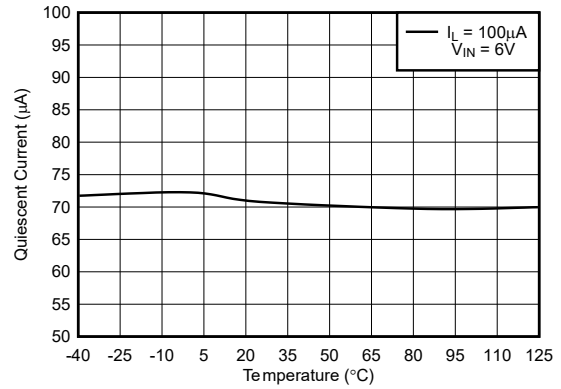
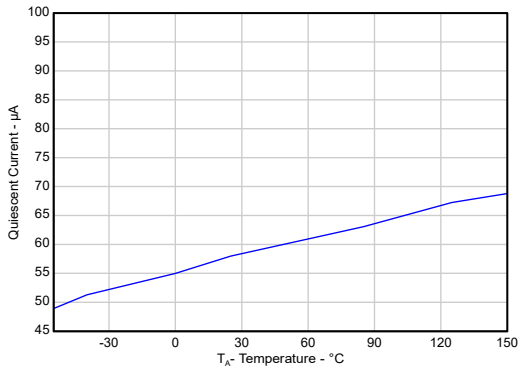


図 5-19. 静止電流と温度との関係 (I_L = 100µA) (従来のチップ)



V_{IN} = 6V、V_{OUT} = 5V

図 5-20. 静止電流と温度との関係 (I_L = 100µA) (新しいチップ)

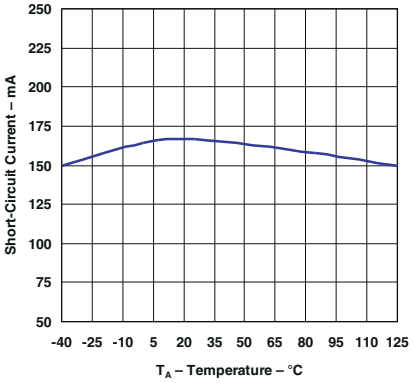
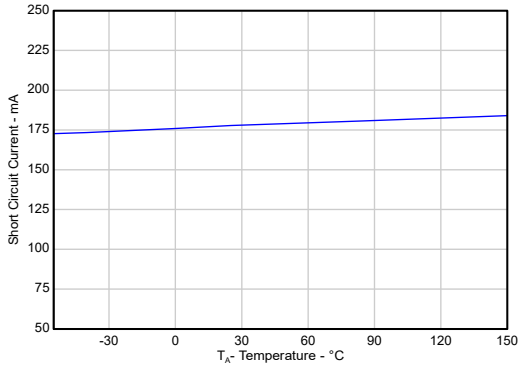


図 5-21. 短絡電流と温度との関係 (従来のチップ)



V_{IN} = 6V、V_{OUT} = 0V

図 5-22. 短絡電流と温度との関係 (新しいチップ)

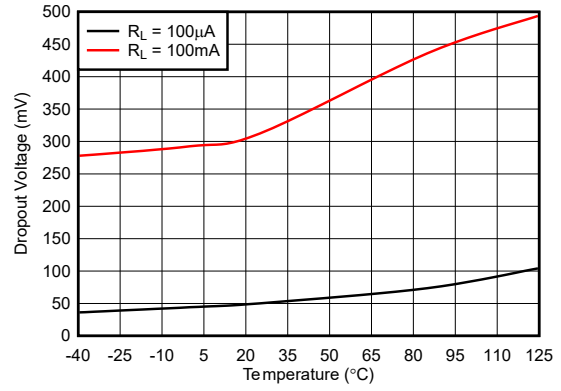
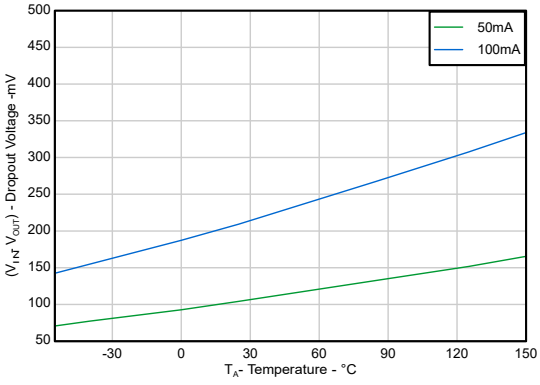


図 5-23. ドロップアウト電圧と温度との関係 (従来のチップ)



V_{IN} = 4.9V

図 5-24. ドロップアウト電圧と温度との関係 (新チップ)

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性 (続き)

V_{IN} = V_{OUT} (公称) + 1V、I_L = 100µA、C_L = 1µF (新しいチップ用) および C_L = 2.2µF (従来のチップ用) (特に記述のない限り)

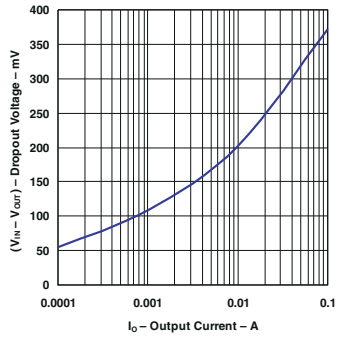
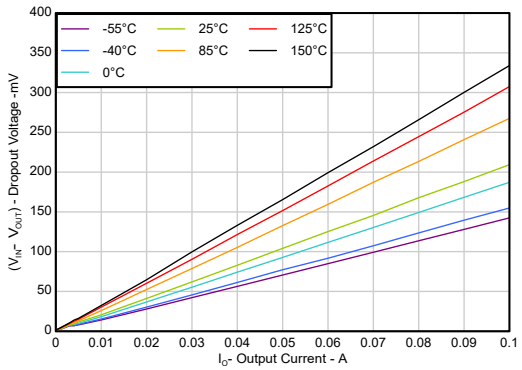


図 5-25. ドロップアウト電圧とドロップアウト電流との関係 (従来のチップ)



V_{IN} = 4.9V

図 5-26. ドロップアウト電圧とドロップアウト電流との関係 (新しいチップ)

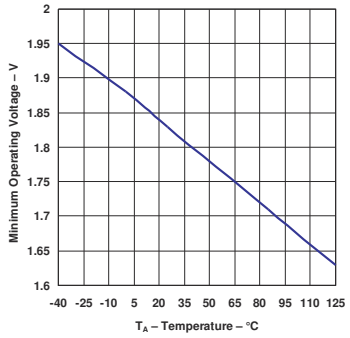


図 5-27. 最小動作電圧と温度との関係 (従来のチップ)

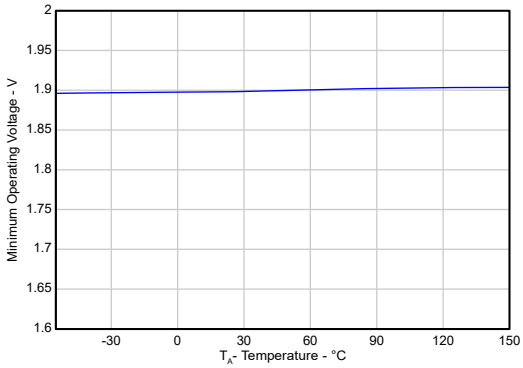


図 5-28. 最小動作電圧と温度との関係 (新しいチップ)

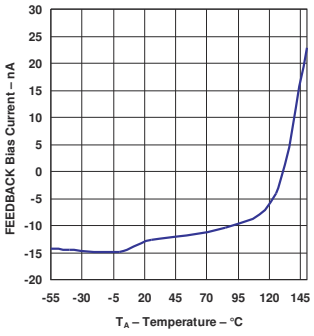


図 5-29. LP2951 FEEDBACK バイアス電流と温度との関係 (従来のチップ)

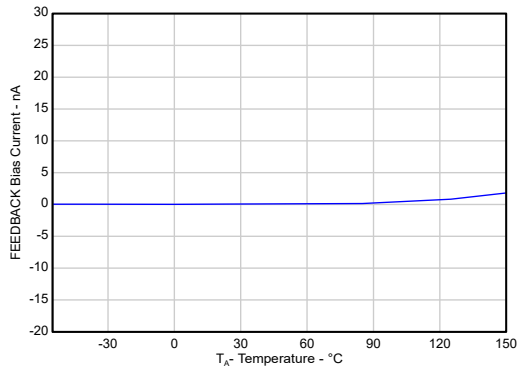


図 5-30. FEEDBACK バイアス電流と温度との関係 (新しいチップ)

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性 (続き)

V_{IN} = V_{OUT} (公称) + 1V、I_L = 100µA、C_L = 1µF (新しいチップ用) および C_L = 2.2µF (従来のチップ用) (特に記述のない限り)

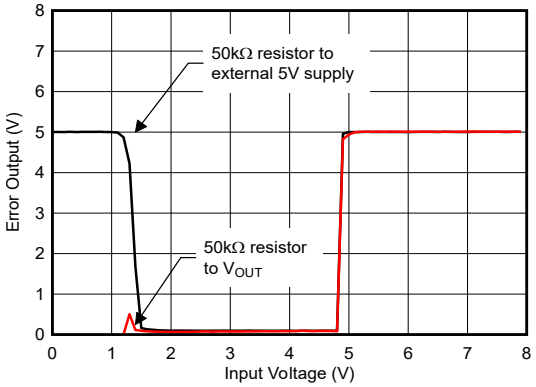


図 5-31. LP2951 $\overline{\text{ERROR}}$ コンパレータ出力と入力電圧との関係 (従来のチップ)

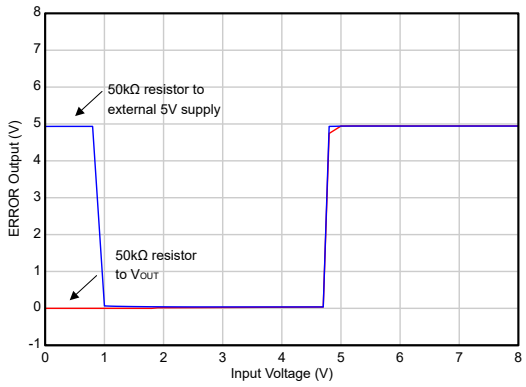


図 5-32. $\overline{\text{ERROR}}$ コンパレータ出力と入力電圧との関係 (新しいチップ)

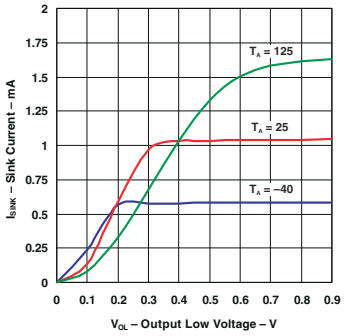


図 5-33. LP2951 $\overline{\text{ERROR}}$ コンパレータ シンク電流と出力低電圧との関係 (従来のチップ)

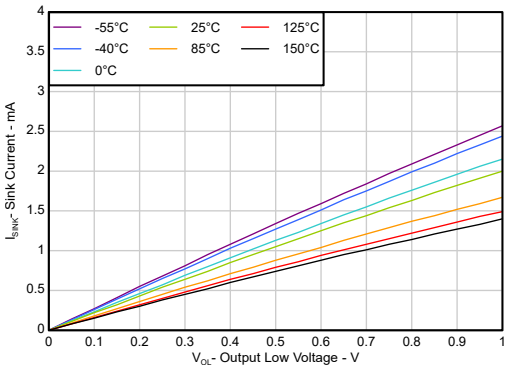


図 5-34. $\overline{\text{ERROR}}$ コンパレータ　シンク電流と出力低電圧との関係 (新しいチップ)

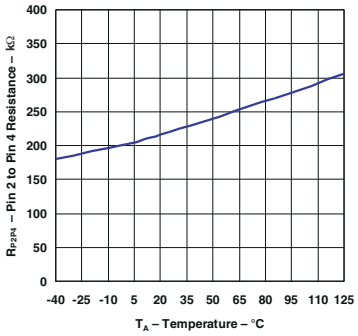


図 5-35. LP2951 分圧器の抵抗と温度との関係 (従来のチップ)

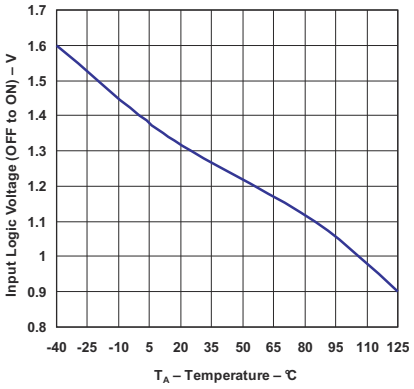


図 5-36. シャットダウン スレッショルド電圧 (オフ ～ オン) と温度との関係 (従来のチップ)

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性 (続き)

V_{IN} = V_{OUT} (公称) + 1V、I_L = 100µA、C_L = 1µF (新しいチップ用) および C_L = 2.2µF (従来のチップ用) (特に記述のない限り)

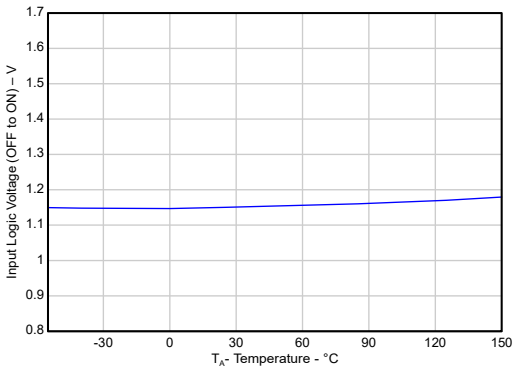


図 5-37. シャットダウン スレッショルド電圧 (オフ ～ オン) と温度との関係 (新しいチップ)

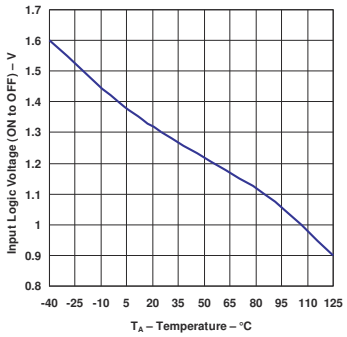


図 5-38. シャットダウン スレッショルド電圧 (オン ～ オフ) と温度との関係 (従来のチップ)

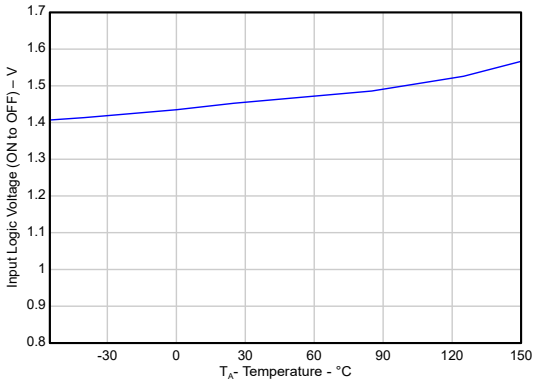


図 5-39. シャットダウン スレッショルド電圧 (オン ～ オフ) と温度との関係 (新しいチップ)

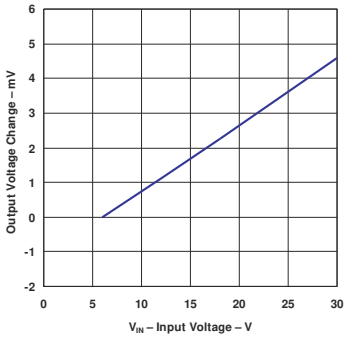
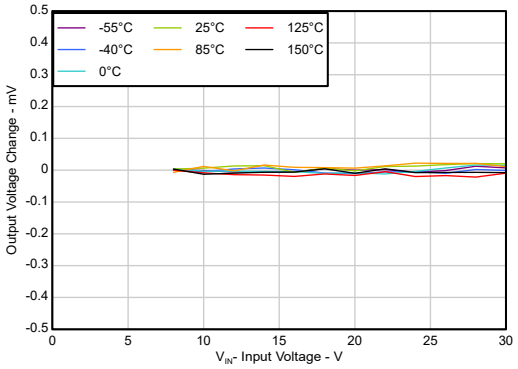
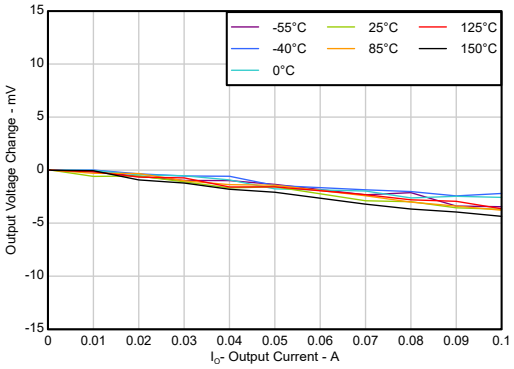


図 5-40. ライン レギュレーションと入力電圧との関係 (従来のチップ)



VOUT = 5V、IOUT = 100µA

図 5-41. ライン レギュレーションと入力電圧との関係 (新しいチップ)

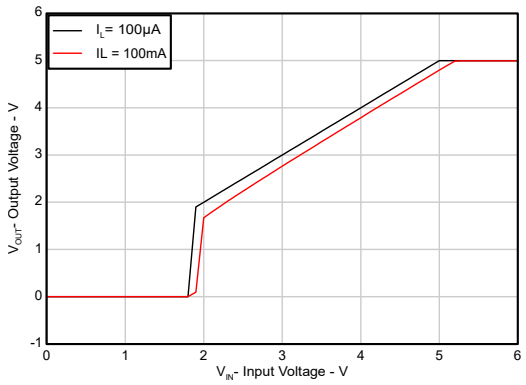


VIN = 6V、VOUT = 5V

図 5-42. ロード レギュレーションと負荷電流との関係 (新しいチップ)

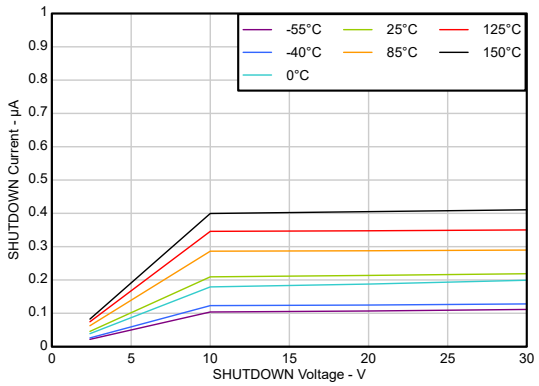
5.7 代表的特性 (続き)

V_{IN} = V_{OUT} (公称) + 1V、I_L = 100µA、C_L = 1µF (新しいチップ用) および C_L = 2.2µF (従来のチップ用) (特に記述のない限り)



V_{IN} = 6V、V_{OUT} = 5V

図 5-43. 出力電圧と入力電流との関係 (新しいチップ)



V_{IN} = 6V、V_{OUT} = 5V

図 5-44. SHUTDOWN 入力電流と SHUTDOWN 電圧との関係 (新しいチップ)

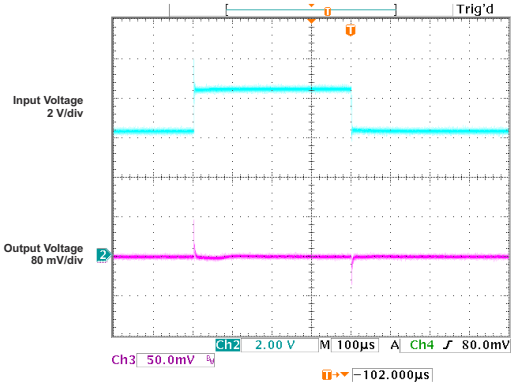
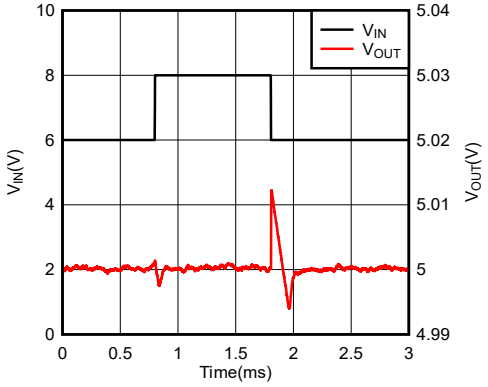


図 5-45. ライン過渡応答と時間との関係 (従来チップ)



V_{IN} = 6V ～ 8V、V_{OUT} = 5V、C_{OUT} = 1µF、I_{OUT} = 100µA

図 5-46. ライン過渡応答と時間との関係 (新しいチップ)

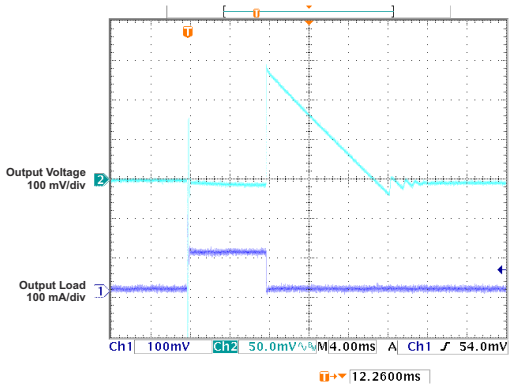
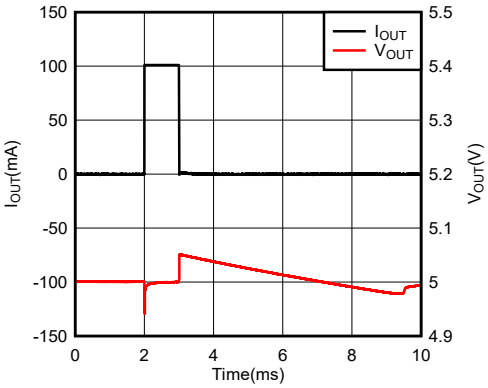


図 5-47. 負荷過渡応答と時間との関係 (V_{OUT} = 5V、C_L = 10µF) (従来のチップ)



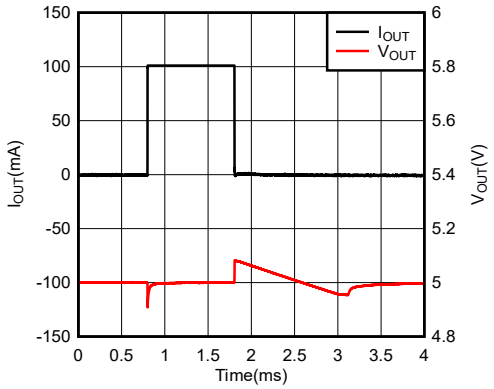
V_{IN} = 6V、V_{OUT} = 5V、I_{OUT} = 0 ～ 100mA、C_{OUT} = 10µF

図 5-48. 負荷過渡応答と時間との関係 (新しいチップ)

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性 (続き)

V_{IN} = V_{OUT} (公称) + 1V、I_L = 100µA、C_L = 1µF (新しいチップ用) および C_L = 2.2µF (従来のチップ用) (特に記述のない限り)



V_{IN} = 6V、V_{OUT} = 5V、I_{OUT} = 0 ～ 100mA、C_{OUT} = 1µF

図 5-49. 負荷過渡応答と時間との関係 (新しいチップ)

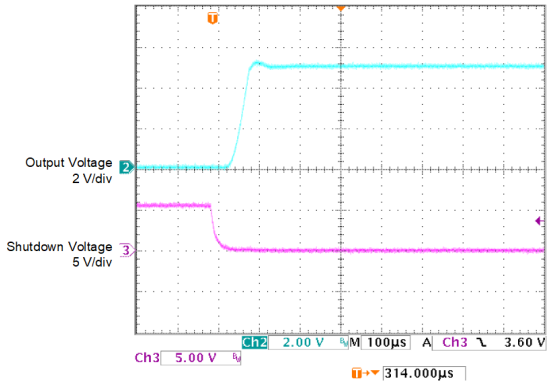
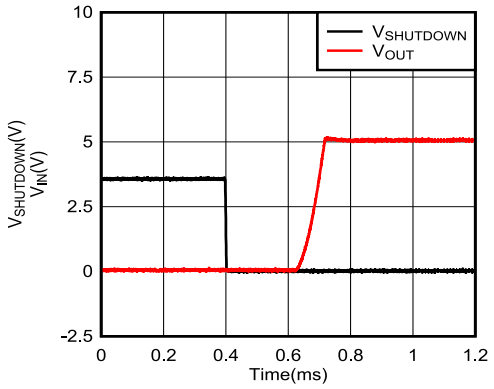


図 5-50. 有効な過渡応答と時間との関係 (I_L = 1mA、C_L = 1µF) (従来のチップ)



V_{IN} = 6V、V_{OUT} = 5V、C_{OUT} = 1µF、I_{OUT} = 1mA

図 5-51. 過渡応答対時間を有効にする (新しいチップ)

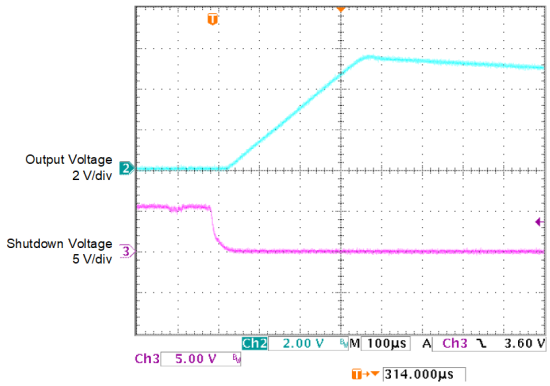
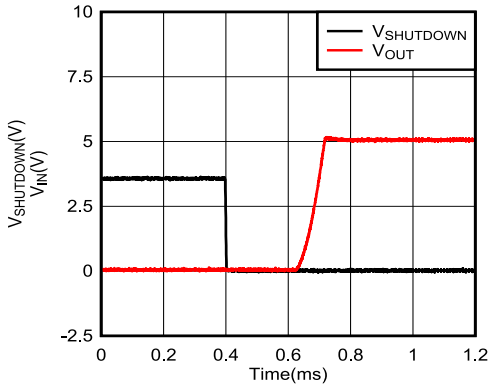


図 5-52. 有効な過渡応答と時間との関係 (I_L = 1mA、C_L = 10µF)



V_{IN} = 6V、V_{OUT} = 5V、C_{OUT} = 10µF、I_{OUT} = 1mA

図 5-53. 過渡応答対時間を有効にする (新しいチップ)

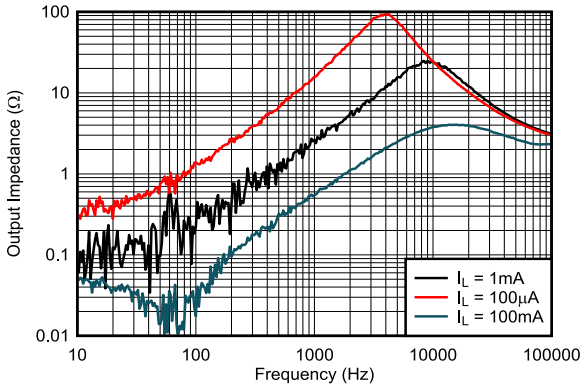


図 5-54. 出力インピーダンスと周波数との関係 (従来チップ)

5.7 代表的特性 (続き)

V_{IN} = V_{OUT} (公称) + 1V、I_L = 100µA、C_L = 1µF (新しいチップ用) および C_L = 2.2µF (従来のチップ用) (特に記述のない限り)

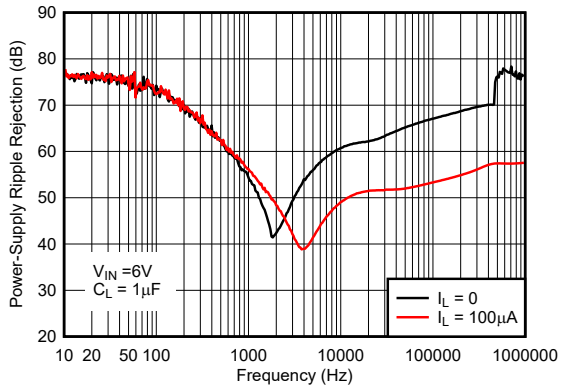


図 5-55. リップル除去と周波数との関係 (従来チップ)

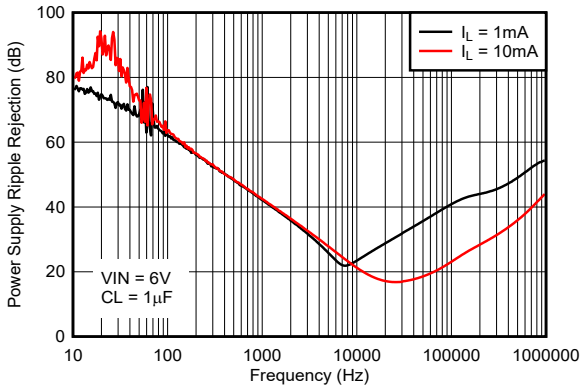


図 5-56. リップル除去と周波数との関係 (従来チップ)

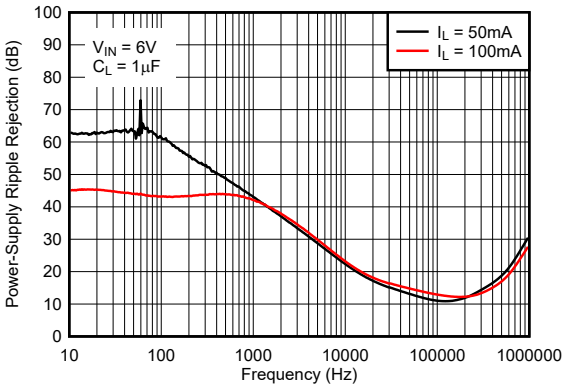
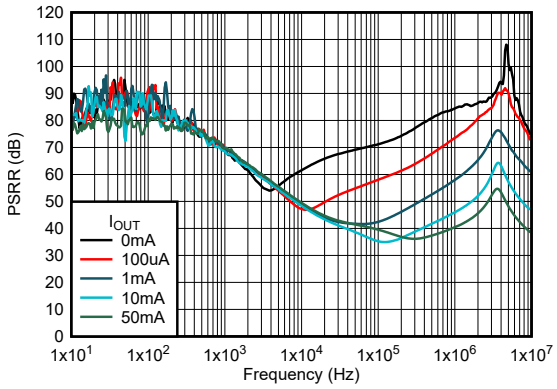
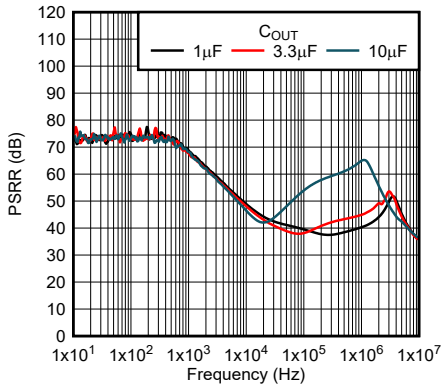


図 5-57. リップル除去と周波数との関係 (従来チップ)



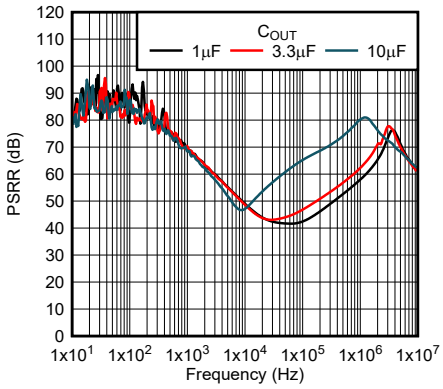
V_{IN} = 6V、V_{OUT} = 5V、C_{OUT} = 1µF

図 5-58. リップル除去と周波数との関係 (新しいチップ)



V_{IN} = 6V、V_{OUT} = 5V、I_{OUT} = 100mA

図 5-59. リップル除去と周波数との関係 (新しいチップ)



V_{IN} = 6V、V_{OUT} = 5V、I_{OUT} = 1mA

図 5-60. リップル除去と周波数との関係 (新しいチップ)

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性 (続き)

V_{IN} = V_{OUT} (公称) + 1V、I_L = 100µA、C_L = 1µF (新しいチップ用) および C_L = 2.2µF (従来のチップ用) (特に記述のない限り)

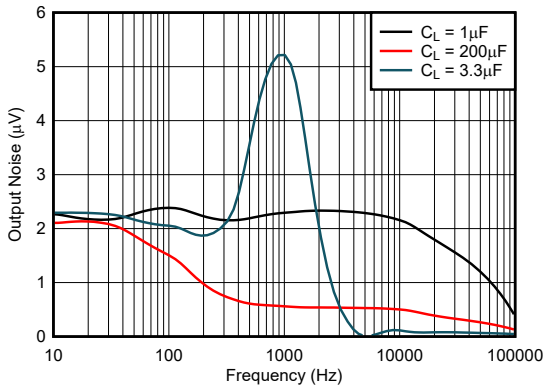
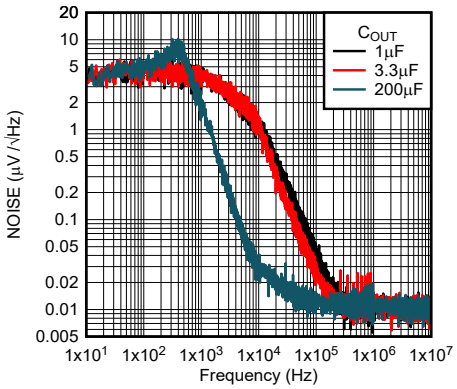
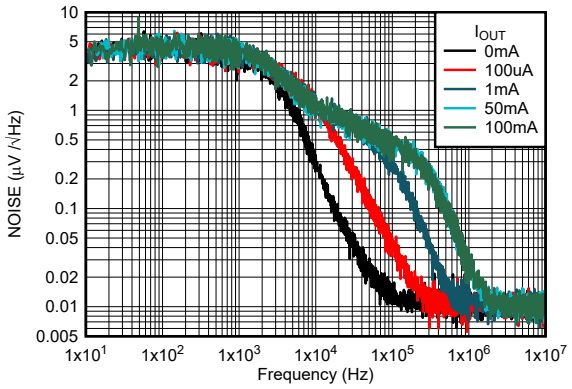


図 5-61. 出力ノイズと周波数との関係 (従来のチップ)



V_{IN} = 6V、V_{OUT} = 5V、I_{OUT} = 100µA

図 5-62. ノイズ電圧と周波数との関係 (新しいチップ)



V_{IN} = 6V、V_{OUT} = 5V、C_{OUT} = 1µF

図 5-63. ノイズ電圧と周波数との関係 (新しいチップ)

6 詳細説明

6.1 概要

LP2950 および LP2951 デバイスは低ドロップアウト電圧レギュレータで、最大 30V の広い入力電源電圧範囲に対応できます。使いやすい 3 ピン LP2950 は、5V および 3.3V の固定出力電圧で供給されます。ただし、8 ピンの LP2951 は、同じデバイスで固定出力と可変出力のどちらかを出力します。OUTPUT ピンと SENSE ピン、FEEDBACK ピンと V_{TAP} ピンをそれぞれ相互接続することで、LP295x デバイスの出力は (バージョンに応じて) 5V または 3.3V に固定されます。または、SENSE ピンと V_{TAP} ピンを未接続のままにし、FEEDBACK を外部の抵抗デバイダに接続することで、出力を V_{REF} ～ 30V の範囲の任意の値に設定できます (V_{REF} の詳細は 電気的特性 (レガシーと新しいチップの両方) を参照)。

LP295x は、フィードバック ピンの電圧を監視して出力電圧のステータスを表示するエラ フラグ出力 ($\overline{ERROR}$) を備えています。SHUTDOWN 入力および $\overline{ERROR}$ 出力を使用して、システムの複数の電源をシーケンシングできます。

LP295x デバイスは小さなセラミック出力コンデンサでも安定に動作するため、ソリューション全体を小型化できます。LP295x デバイスは、ライン、負荷、温度変動 (新しいチップ) にわたって出力許容誤差が 1% であり、100mA の連続的な負荷電流を供給できます。このデバイスはサーマル シャットダウン、電流制限、低電圧誤動作防止 (UVLO) 機能を内蔵しています。これらのデバイスは、ラインおよび負荷過渡性能に優れています。デバイスの動作時周囲温度範囲は、–40°C ～ 125°C です。

6.2 機能ブロック図

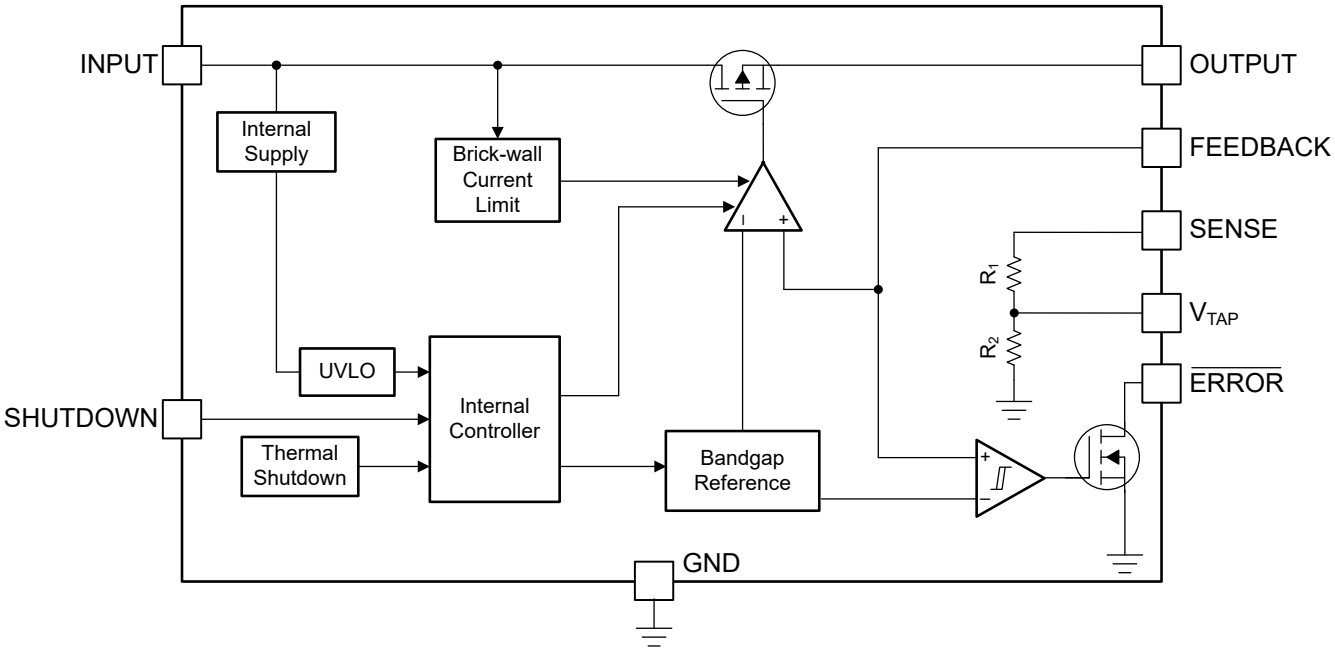


図 6-1. LP2951 の機能ブロック図

Copyright © 2026 Texas Instruments Incorporated

6.3 機能説明

6.3.1 出力イネーブル

デバイスのシャットダウン ピンはアクティブ high ピンです。シャットダウン ピンの電圧がシャットダウン ピンの low レベル入力電圧より低いとき、出力電圧は有効になります。シャットダウン ピンの電圧がシャットダウン ピンの high レベル入力電圧より高いとき、出力電圧が無効になります。出力電圧を独立して制御する必要がない場合は、シャットダウン ピンをデバイスの GND に接続します。

6.3.2 ドロップアウト電圧

ドロップアウト電圧 (V_{DO}) は、パス トランジスタが完全にオンになる定格出力電流 (I_{RATED}) において、V_{IN} - V_{OUT} として定義されます。V_{IN} は入力電圧、V_{OUT} は出力電圧、I_{RATED} は セクション 5.3 表に記載されている最大 I_{OUT} です。この動作ポイントで、パス トランジスタは完全にオンに駆動されます。ドロップアウト電圧は、出力電圧がレギュレーション状態を維持すると予想される、プログラムされた公称出力電圧よりも大きな最小入力電圧を間接的に規定します。入力電圧が公称出力レギュレーションよりも低下すると、出力電圧も同様に低下します。

CMOS レギュレータの場合、ドロップアウト電圧はパス トランジスタのドレイン ソース間オン抵抗 ($R_{DS(ON)}$) によって決まります。したがって、リニア レギュレータが定格電流よりも低い値で動作する場合、その電流に対するドロップアウト電圧はそれに応じてスケーリングされます。以下の式を使用して、デバイスの $R_{DS(ON)}$ を計算します。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (1)$$

6.3.3 電流制限

このデバイスには、内部に電流制限回路があり、過渡的な高負荷電流障害または短絡イベントの時にレギュレータを保護します。電流制限は、ブリックウォール方式です。高負荷電流障害では、ブリックウォール方式により、出力電流が電流制限 (I_{CL}) に制限されます。I_{CL} は、「セクション 5.5」表に記載されています。

デバイスが電流制限されている場合、出力電圧はレギュレートされません。電流制限イベントが発生すると、消費電力の増加によりデバイスが発熱し始めます。デバイスがブリックウォール電流制限にある場合、パス トランジスタは電力 [(V_{IN} - V_{OUT}) × I_{CL}] を消費します。サーマル シャットダウンがトリガされると、デバイスはオフになります。デバイスの温度が下がると、内蔵のサーマル シャットダウン回路によってデバイスがオンに戻ります。出力電流フォルト状態が継続すると、デバイスは電流制限とサーマル シャットダウンを繰り返します。電流制限の詳細については、「制限の把握」アプリケーション ノートを参照してください。

図 6-2 は、電流制限の図を示しています。

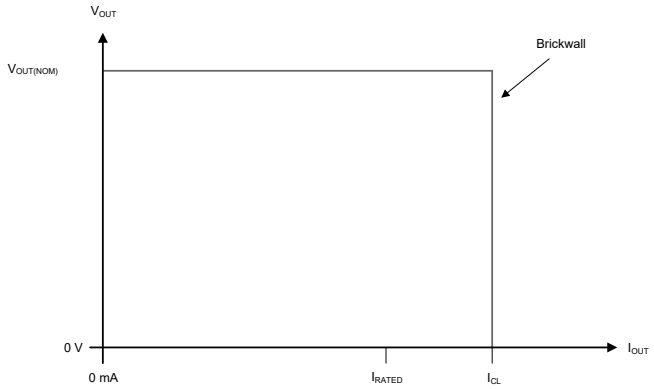


図 6-2. 電流制限

6.3.4 低電圧誤動作防止 (UVLO)

このデバイスは、入力電圧を監視する独立した低電圧ロックアウト (UVLO) 回路を備えており、出力電圧のオンおよびオフを制御された一定の動作で行えるようにします。ターンオン中に入力電圧が降下した場合にデバイスがオフにならないように、UVLO には、*セクション 5.5* 表に規定されているヒステリシスがあります。

6.3.5 サーマル シャットダウン

デバイスには、パス トランジスタの接合部温度 (T_J) が $T_{SD(shutdown)}$ (標準値) まで上昇したときにデバイスを無効化するサーマル シャットダウン保護回路が内蔵されています。サーマル シャットダウン ヒステリシスにより、温度が $T_{SD(reset)}$ (標準値) まで低下するとデバイスがリセットされる (オンになります) ことを確認します。

半導体ダイの熱時定数はかなり短いため、消費電力が減少するまでの間、サーマル シャットダウンに達したときに、本デバイスはサイクルのオンとオフを行います。スタートアップ時の消費電力は、デバイス両端での大きな V_{IN} - V_{OUT} 電圧降下が発生するか、大きな突入電流で大容量の出力コンデンサを充電することにより高くなる可能性があります。条件によっては、サーマル シャットダウン保護機能により、起動が完了する前にデバイスが無効化されることがあります。

信頼性の高い動作を実現するには、接合部温度を*セクション 5.3* 表に記載された最大値に制限します。この最大温度を超えて動作すると、デバイスは動作仕様を超えます。本デバイスの内蔵保護回路は全体的な熱条件から保護するように設計されていますが、この回路は適切なヒート シンクの代わりとなるものではありません。デバイスをサーマル シャットダウン状態、または推奨される最大接合部温度を上回る状態で使用し続けると、長期的な信頼性が低下します。

6.4 デバイスの機能モード

6.4.1 シャットダウン モード

このデバイスは、SHUTDOWN ピンにロジック High のシャットダウン モードに移行できます。動作を復元するには、ロジック レベルを low に戻します。この機能を使用しない場合は、SHUTDOWN をグラウンドに接続します。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

LP295x デバイスは、幅広い入力電圧に対応する低ドロップアウト レギュレータとして使用されます。

7.1.1 逆電流

過度な逆電流がある場合、デバイスが損傷する可能性があります。逆電流は、通常の導通チャネルではなく、パス トランジスタの固有ボディ ダイオードを通って流れます。この電流が大きくなると、デバイスの長期的な信頼性が低下します。

このセクションでは、逆電流が発生する可能性のある条件について概説します。これらの条件はすべて、$V_{OUT} \leq V_{IN}$ + 0.3V の絶対最大定格を超える可能性があります。

- デバイスが大きな C_{OUT} を持ち、負荷電流がほとんどまたはまったくない状態で入力電源が破損した場合
- 入力電源が確立されていない場合、出力はバイアスされる
- 出力は入力電源よりも高くバイアスされる

アプリケーションで逆電流が予期される場合は、外部保護機能を使用してデバイスを保護します。逆電流はデバイス内で制限されないため、拡張された逆電圧動作が予期される場合は、外部制限が必要です。

図 7-1 に、デバイスを保護するための 1 つのアプローチを示します。

Copyright © 2026 Texas Instruments Incorporated

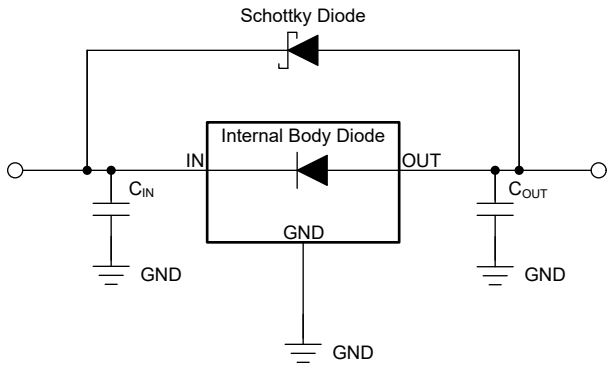


図 7-1. ショットキー ダイオードを使用した逆電流保護の回路例

7.1.2 入出力コンデンサの要件

安定性のために入力コンデンサは必要ではありませんが、アナログ設計では IN と GND の間にコンデンサを接続するのが適切です。このコンデンサは、リアクティブな入力ソースに対抗し、過渡応答、入力リップル、PSRR を改善します。ソース インピーダンスが 0.5Ω を超える場合は、入力コンデンサを使用します。立ち上がり時間の短い大きな負荷またはライン過渡事象が予想される場合、またはデバイスが入力電源から数インチの場所に配置される場合は、より大きな値のコンデンサが必要になることがあります。

出力コンデンサを使用することで、デバイスの動的性能が向上します。安定性のために、「セクション 5.3」表に記載されている範囲内の出力コンデンサを使用します。

7.1.3 推定接合部温度

現在、JEDEC 規格では、典型的な PCB 基板アプリケーションで回路内にあるリニア レギュレータの接合部温度を推定するために、psi (Ψ) の熱指標を使用することを推奨しています。これらの指標は熱抵抗パラメータではなく、接合部温度を推定するための実用的かつ相対的な方法を提供します。これらの psi 指標は、熱拡散に利用できる銅箔面積に大きく依存しないことが判明しています。「セクション 5.4」表には、主要な熱指標である、接合部から上面への特性パラメータ (ψ_{JT}) と接合部から基板への特性パラメータ (ψ_{JB}) がリストされています。これらのパラメータは、以下の式で説明するように、接合部温度 (T_J) を計算するための 2 つの方法を提供します。接合部から上面への特性パラメータ (ψ_{JT}) とデバイス パッケージの中央上部の温度 (T_T) を使用して、接合部温度を計算します。接合部から基板への特性パラメータ (ψ_{JB}) とデバイス パッケージから 1mm の PCB 表面温度 (T_B) を使用して、接合部温度を計算します。

$$T_J = T_T + \psi_{JT} \times P_D \quad (2)$$

ここで

- P_D は、消費電力
- T_T は、デバイス パッケージの中央上部の温度

$$T_J = T_B + \psi_{JB} \times P_D \quad (3)$$

ここで

- T_B は、デバイス パッケージから 1mm の位置で、パッケージのエッジの中心で測定された PCB 表面温度

熱指標とその使用方法の詳細については、『半導体および IC パッケージの熱指標』アプリケーション ノートを参照してください。

7.1.4 消費電力 (P_D)

回路の信頼性を確保するには、デバイスの消費電力、プリント基板 (PCB) 上の回路の位置、およびサーマル プレーンの適切なサイズを考慮する必要があります。レギュレータの周囲の PCB 領域には、熱ストレスを増大させるその他の発熱デバイスがほとんどまたはまったくないことが必要です。

Copyright © 2026 Texas Instruments Incorporated

1 次近似では、レギュレータの消費電力は、入力と出力の電圧差と負荷条件に依存します。消費電力 (P_D) は、次の式で計算されます。

$$P_D = (V_{IN} – V_{OUT}) × I_{OUT} \quad (4)$$

注

システム電圧レールを適切に選択することで、消費電力を最小限に抑えられるため、より高い効率を実現できます。消費電力を最小限にするには、適切な出力レギュレーションに必要な最小の入力電圧を使用します。

サーマル パッドを備えたデバイスの場合、デバイス パッケージの主な熱伝導経路は、サーマル パッドを通って PCB へと接続されます。サーマル パッドをデバイスの下の銅パッド領域に半田付けします。このパッド領域には、放熱性を高めるために、追加の銅プレーンに熱を伝導するメッキされたビアの配列を設ける必要があります。

最大消費電力により、デバイスの最大許容周囲温度 (T_A) が決まります。以下の式によれば、消費電力と接合部温度は、PCB とデバイス パッケージを組み合わせた接合部から周囲への熱抵抗 ($R_{\theta JA}$)、および周囲空気の温度 (T_A) に最も関連します。

$$T_J = T_A + (R_{\theta JA} × P_D) \quad (5)$$

熱抵抗 ($R_{\theta JA}$) は、特定の PCB 設計に組み込まれている熱拡散能力に大きく依存するため、合計の銅箔面積、銅箔の重量、およびプレーンの位置によって変化します。*セクション 5.4* 表に記載されている接合部から周囲への熱抵抗は、JEDEC 標準の PCB および銅箔面積によって決まります。この熱抵抗は、パッケージの熱性能の相対的な測定値として使用されます。

7.2 代表的なアプリケーション

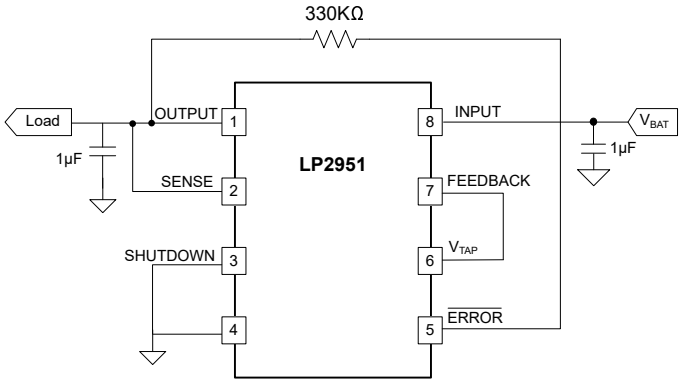


図 7-2. 12V から 5V へのコンバータ

7.2.1 設計要件

安定性を確保するための最小 C_{OUT} 値 (安定性と過渡応答を向上させるために 100µF まで増やすことも可能)

シャットダウンはアクティブに終了する必要があります。シャットダウン機能を使用しない場合は、GND に接続します。

7.2.1.1 推奨されるコンデンサの種類

7.2.1.1.1 推奨コンデンサ (従来のチップ)

入力にはほとんどのタンタルまたはアルミニウム電解質が使用されます。フィルムタイプ コンデンサも使用できますが、コストが高くなります。出力でセラミック コンデンサを使用できますが、ESR が低い (最小 5mΩ ～ 10mΩ) ため、出力が最小 ESR 要件を満たしていない可能性があります。セラミック コンデンサを使用する場合は、最小 ESR 要件を満たすために、0.1Ω ～ 2Ω の範囲に直列抵抗を追加します。

Copyright © 2026 Texas Instruments Incorporated

セラミック コンデンサも使用できますが、ESR が低い (5mΩ から 10mΩ まで) ため、これらのコンデンサは前述の最小 ESR 要件を満たしていない可能性があります。セラミック コンデンサを使用する場合は、最小 ESR 要件を満たすために、0.1Ω ～ 2Ω の直列抵抗を追加する必要があります。さらに、セラミック コンデンサには、温度によって静電容量が大きく変化する温度係数が低いという、大きな欠点があります。たとえば、値の大きいセラミック コンデンサ (≥ 2.2µF) は、25°C から 85°C までの温度が上昇すると、容量の半分以上が失われる可能性があります。そのため、25°C の 2.2µF コンデンサは、周囲温度が上昇するときに安定性に必要な最小 C_L よりも大幅に小さくなります。このため、動作温度範囲全体で安定性のために必要な最小 2.2µF を維持する出力コンデンサを選択します。

7.2.1.1.1.1 ESR 範囲 (従来のチップ)

レギュレータの制御ループは、無条件レギュレータの安定性を実現するために十分な位相マージンを追加するために、出力コンデンサの ESR に依存してゼロを供給します。この条件では、開ループ ゲインが 20dB/decade でロールオフする領域で、閉ループ ゲインが開ループ応答と交差する必要があります。このロールオフにより、ユニティ ゲインで位相が常に 180° (位相マージンが 0°より大きい) 未満になります。したがって、ESR の最小最大範囲に従う必要があります。

この ESR 範囲の上限は、ESR が大きすぎるとゼロが早すぎる可能性があり、ゲインのロール オフが遅すぎるという事実によって決定されます。この影響により、ユニティ ゲインの前に 3 番目の極が出現し、不安定性を引き起こすのに十分な位相シフトが発生します。この位相シフトにより、最大 ESR は通常約 5Ω に制限されます。

逆に、ESR 範囲の下限は、ESR が小さすぎると、ユニティ ゲインを超えてゼロがシフトされすぎます。これによって、ユニティ ゲインで 40dB/decade でゲインをロール オフし、180°を超える位相シフトが得られます。通常、これにより最小 ESR は約 20mΩ ～ 30mΩ に制限されます。

特定の ESR 要件については、セクション 5.7 セクションを参照してください。

7.2.1.1.2 推奨コンデンサ (新しいチップ)

新しいチップは、安定性のために 1µF 以上の出力コンデンサと、0Ω ～ 2Ω の等価直列抵抗 (ESR) を必要とします。出力コンデンサがないと、レギュレータは発振します。最高の過渡性能を得るには、X5R および X7R タイプのセラミック コンデンサを使用します。これらのコンデンサは、温度による値と ESR の変動が最小限に抑えられているからです。特定のアプリケーション用にコンデンサを選択するときは、コンデンサの DC バイアス特性に注意します。出力電圧が高くなると、コンデンサの定格が大きく低下します。最高の性能を得るために、推奨される最大出力コンデンサは 100µF です。安定性のために入力コンデンサは必要ありませんが、GND と IN ピンの間にコンデンサ (500nF 以上) を接続するのがアナログ手法として適切です。一部の入力電源は高インピーダンスなので、入力電源に入力コンデンサを配置することで、入力インピーダンスを低減できます。このコンデンサは、リアクティブな入力ソースに対抗し、過渡応答、入力リップル、PSRR を改善します。入力電源が広範囲の周波数にわたって ハイ インピーダンスの場合は、複数の入力コンデンサを並列に使用して、全周波数帯域のインピーダンスを低減します。立ち上がり時間の短い大きな負荷過渡事象が予想される場合、またはデバイスが入力電源から数インチの場所に配置される場合は、より大きな値のコンデンサを使用してください。

7.2.2 詳細な設計手順

7.2.2.1 帰還抵抗の選択

V_{OUT} は、次の式に従って外部の帰還抵抗 R_1 および R_2 によって設定されます。

$$V_{OUT} = V_{REF} \times \left(1 + \frac{R_1}{R_2}\right) \quad (6)$$

V_{REF} の詳細については、セクション 5.5 の表を参照してください。

V_{OUT} の式における FEEDBACK ピン電流 (I_{FB}) 誤差項を無視するためには、フィードバック分圧電流を セクション 5.5 表内に示されている FEEDBACK ピン電流 (I_{FB}) の 100 倍に設定してください。この設定により、次の式に示すように、最大の帰還分圧器の直列抵抗が得られます:

$$R_1 + R_2 \leq \frac{V_{OUT}}{(I_{FB} \times 100)} \quad (7)$$

7.2.2.2 フィードフォワード コンデンサ

フィードフォワード コンデンサ (C_{FF}) を OUT ピンと FEEDBACK ピンの間に接続します。C_{FF} により、過渡、ノイズ、PSRR に対する性能が向上します。より高い容量の C_{FF} を使用することもできますが、起動時間が長くなります。C_{FF} のトレードオフの詳細な説明については、*『低ドロップアウト レギュレータでフィードフォワード コンデンサを使用する場合の長所と短所』アプリケーション ノート* を参照してください。

FEEDBACK ピンにおける寄生コンデンサの形成 に示すように、不適切なレイアウト手法と FEEDBACK ピンで長いパターンを使用すると、寄生コンデンサ (C_{FB}) が形成されます。

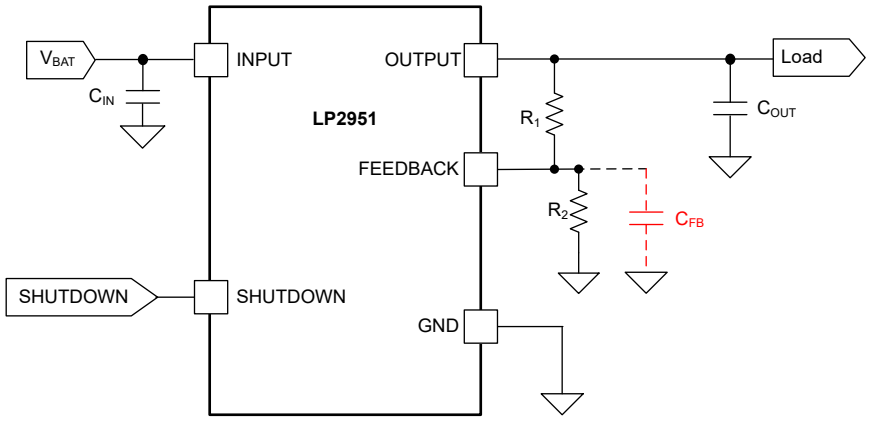


図 7-3. FEEDBACK ピンにおける寄生コンデンサの形成

C_{FB} と帰還抵抗 R_1 および R_2 は、ループ ゲインの伝達関数に補償されないポールを形成し、不安定になる可能性があります。C_{FB} 値がわずか 6pF である場合、式 8 によって与えられる寄生極周波数が LDO の帯域幅内に収まり、不安定になる可能性があります。

$$f_P = \frac{1}{(2 \times \pi \times C_{FB} \times (R_1 \parallel R_2))} \quad (8)$$

フィードフォワード コンデンサ (C_{FF}) を追加すると、図 7-4 に示されているように、C_{FB} により発生する寄生ポールを補償するループ ゲイン伝達関数にゼロが生じます。式 9 と式 10 は、ポール周波数とゼロ周波数を計算します。

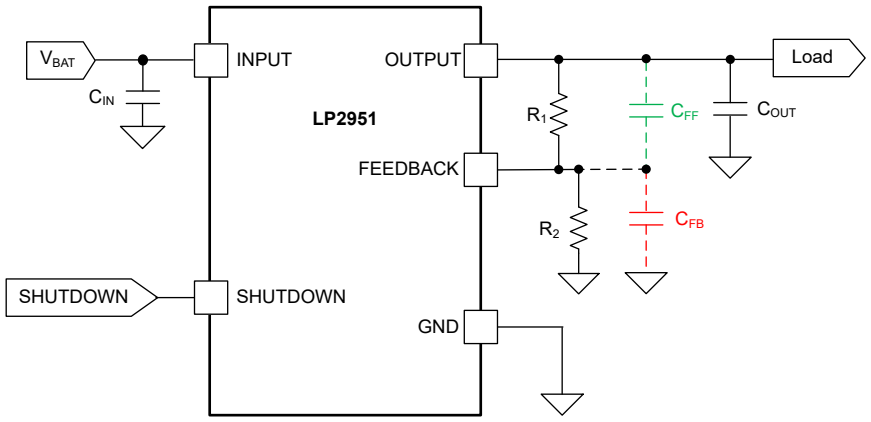


図 7-4. フィードフォワード コンデンサによって、寄生コンデンサの影響が補償されます

$$f_P = \frac{1}{(2 \times \pi \times (R_1 \parallel R_2) \times (C_{FF} + C_{FB}))} \quad (9)$$

Copyright © 2026 Texas Instruments Incorporated

$$f_Z = \frac{1}{(2 \times \pi \times C_{FF} \times R_1)} \quad (10)$$

f_P を f_Z と等しくし、極ゼロ キャンセルをもたらす C_{FF} の値は、C_{FB} の値と、アプリケーションで使用される帰還抵抗に依存します。または、$C_{FF} \gg C_{FB}$ となるようフィードフォワード コンデンサを選択する場合、式 10 と 式 9 によるポール周波数とゼロ周波数は次のように関係します:

$$\frac{f_p}{f_z} \cong \left(1 + \frac{R_1}{R_2}\right) = \frac{V_{OUT}}{V_{REF}} \quad (11)$$

ほとんどのアプリケーションにおいて、特に 3.3V または 5V の V_{OUT} が生成される場合、この比率はそれほど大きくはありません。これは、周波数が互いに近くに配置されているため、寄生ポールが補償されることを意味します。この比率が 20 と大きい V_{OUT} の値が大きい場合でも、通常、C_{FF} の値の範囲が $100pF \le C_{FF} \le 10nF$ であると、帰還ノードの寄生容量によって不安定性を防げます。

7.2.3 アプリケーション曲線

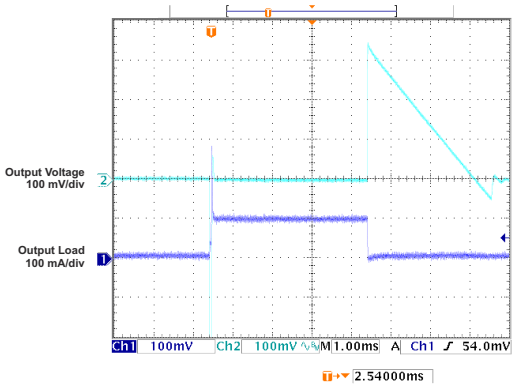
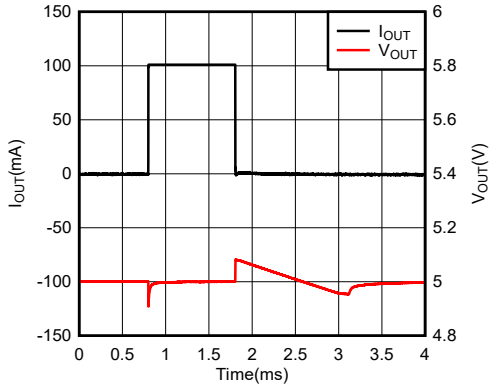


図 7-5. 負荷過渡応答と時間との関係 (従来チップ)



V_{IN} = 6V、V_{OUT} = 5V、I_{OUT} = 0 ～ 100mA、C_{OUT} = 1µF

図 7-6. 負荷過渡応答と時間との関係 (新しいチップ)

7.3 電源に関する推奨事項

適切な動作のためには、最大入力電圧を 30V に制限する必要があります。高周波のノイズ フィルタリング特性を利用するため、入力および出力コンデンサをデバイスにできる限り近づけて配置します。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

デバイスの入力および出力のパターンが、目的の電流に対応するのに十分な幅があることを確認してください。このデバイスでは、利用可能な電流が大きいため、より大き出力パターンを使用します。

高周波のノイズ フィルタリング特性を利用するため、入力および出力コンデンサをデバイスにできる限り近づけて配置します。

7.4.2 レイアウト例

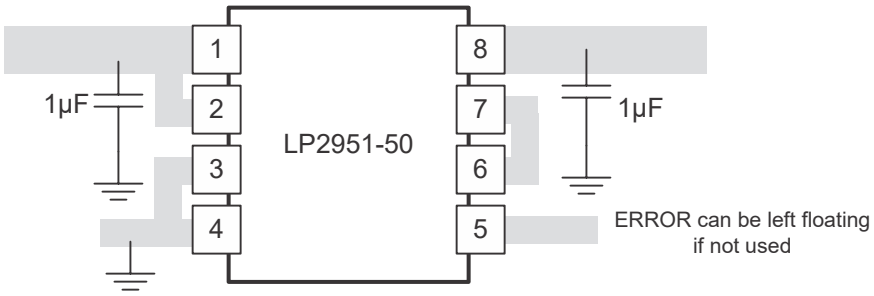


図 7-7. LP2951 レイアウト例 (D または P パッケージ)

Copyright © 2026 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

初期の回路性能評価には、評価基板 (EVM) を利用することができます。LP2951EVM (および 関連するユーザー ガイド) は、テキサス インスツルメンツの Web サイトのプロダクト フォルダから請求するか、TI eStore から直接お求めになれます。

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 デバイスの命名規則

表 8-1. デバイスの命名規則

製品(1)	V_{OUT}
LP2951-**xxyyyz**	**xx** は公称出力電圧です (例:50 = 5.0V、33 = 3.3V)。 **yyy** はパッケージ指定子です。 **z** はパッケージ数量です。 このデバイスは、可変出力と固定出力の両方を持つように構成できます。 デバイスは従来のチップ (CSO:SHE) または新しいチップ (CSO: RFB) を用いて出荷されます。リール包装ラベルには、使用されているチップを識別するための CSO 情報が記載されています。本データシートでは、新旧チップごとのデバイス性能について説明しています。
LP2951DR	調整可能なオプション。 デバイスは、従来のチップ (CSO:SHE) または新しいチップ (CSO: RFB) を用いて出荷されます。 リール包装ラベルには、使用されているチップを識別するための CSO 情報が記載されています。 本データシートでは、新旧チップごとのデバイス性能について説明しています。
LP2951-**xxADJyyyz**	**xx** は公称出力電圧です (例:50 = 5.0V、33 = 3.3V)。 **yyy** はパッケージ指定子です。 **z** はパッケージ数量です。 このデバイスは、可変出力と固定出力の両方を持つように構成できます。 **ADJ** は、このデバイスが新しいチップのみを搭載して出荷され、可変構成で従来のチップの内部リファレンス (VREF) 制限が保持されることを示します。
LP2950-**xxyyyz**	**xx** は公称出力電圧です (例:50 = 5.0V、33 = 3.3V)。 **yyy** はパッケージ指定子です。 **z** はパッケージ数量です。 デバイスは、従来のチップ (CSO:SHE) または新しいチップ (CSO: RFB) を用いて出荷されます。 リール包装ラベルには、使用されているチップを識別するための CSO 情報が記載されています。 本データシートでは、新旧チップごとのデバイス性能について説明しています。

(1) 最新のパッケージ情報と発注情報については、このデータシートの末尾にある「付録:パッケージ オプション」を参照するか、www.ti.com または www.tij.co.jp にある TI の Web サイトを参照してください。

8.4 ドキュメントのサポート

8.4.1 関連資料

- テキサス・インスツルメンツ、『LP2951EVM』EVM ユーザー ガイド

8.5 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

Copyright © 2026 Texas Instruments Incorporated

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.6 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.7 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.8 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision K (December 2024) to Revision L (June 2026) — **Page**

- 可変構成の出力範囲を更新 — 1
- 可変構成の出力範囲を更新。 — 1
- DRG パッケージの熱に関する詳細を更新 — 5
- LP295X-XXADJ バリアントの電気的制限値を追加 — 5
- 可変構成の V_{REF} の詳細を更新。 — 22
- 可変構成の V_{REF} の詳細を更新。 — 27
- フィードバック ピンと I_{FB} の詳細を修正 — 28
- LP2951-xxADJ OPN の命名規則を追加 — 31

Changes from Revision J (August 2024) to Revision K (December 2024) — **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 — 1
- LP パッケージの精度およびドロップアウトの仕様を更新 — 1
- LP パッケージの熱情報を追加 — 1
- 「推奨動作条件」セクションの動作温度範囲を更新し、修正を追加 — 4

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LP2950-30LP	Active	Production	TO-92 (LP) | 3	1000 | BULK	Yes	SN	N/A for Pkg Type	-40 to 125	KY5030
LP2950-30LP.A	Active	Production	TO-92 (LP) | 3	1000 | BULK	Yes	SN	N/A for Pkg Type	-40 to 125	KY5030
LP2950-30LPR	Active	Production	TO-92 (LP) | 3	2000 | LARGE T&R	Yes	SN	N/A for Pkg Type	-40 to 125	KY5030
LP2950-30LPR.A	Active	Production	TO-92 (LP) | 3	2000 | LARGE T&R	Yes	SN	N/A for Pkg Type	-40 to 125	KY5030
LP2950-30LPRE3	Active	Production	TO-92 (LP) | 3	2000 | LARGE T&R	Yes	SN	N/A for Pkg Type	-40 to 125	KY5030
LP2950-33LPE3	Active	Production	TO-92 (LP) | 3	1000 | BULK	Yes	SN	N/A for Pkg Type	-40 to 125	KY5033
LP2950-33LPE3.A	Active	Production	TO-92 (LP) | 3	1000 | BULK	Yes	SN	N/A for Pkg Type	-40 to 125	KY5033
LP2950-33LPRE3	Active	Production	TO-92 (LP) | 3	2000 | LARGE T&R	Yes	SN	N/A for Pkg Type	-40 to 125	KY5033
LP2950-33LPRE3.A	Active	Production	TO-92 (LP) | 3	2000 | LARGE T&R	Yes	SN	N/A for Pkg Type	-40 to 125	KY5033
LP2950-50LPRE3	Active	Production	TO-92 (LP) | 3	2000 | LARGE T&R	Yes	SN	N/A for Pkg Type	-40 to 125	KY5050
LP2950-50LPRE3.A	Active	Production	TO-92 (LP) | 3	2000 | LARGE T&R	Yes	SN	N/A for Pkg Type	-40 to 125	KY5050
LP2951-30D	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	KY5130
LP2951-30D.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	KY5130
LP2951-30DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	KY5130
LP2951-30DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	KY5130
LP2951-30DRGR	Active	Production	SON (DRG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZUD
LP2951-30DRGR.A	Active	Production	SON (DRG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZUD
LP2951-33D	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	KY5133
LP2951-33D.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	KY5133
LP2951-33DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	KY5133
LP2951-33DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	KY5133
LP2951-33DRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	KY5133
LP2951-33DRGR	Active	Production	SON (DRG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZUE
LP2951-33DRGR.A	Active	Production	SON (DRG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZUE
LP2951-50D	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	KY5150
LP2951-50D.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	KY5150
LP2951-50DRGR	Active	Production	SON (DRG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZUF
LP2951-50DRGR.A	Active	Production	SON (DRG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZUF
LP2951D	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LP2951

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LP2951D.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LP2951
LP2951DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LP2951
LP2951DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LP2951
LP2951DRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LP2951

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LP2951 :

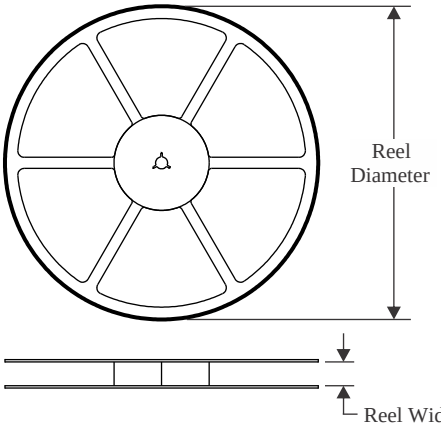
- Automotive : LP2951-Q1

NOTE: Qualified Version Definitions:

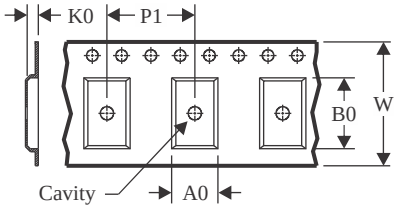
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

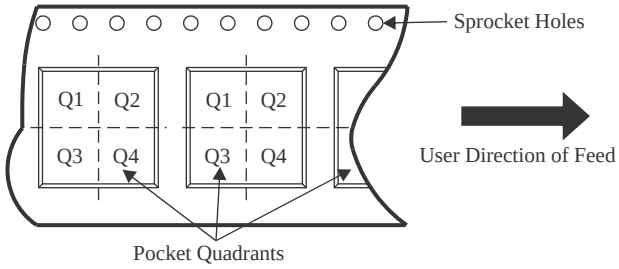


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

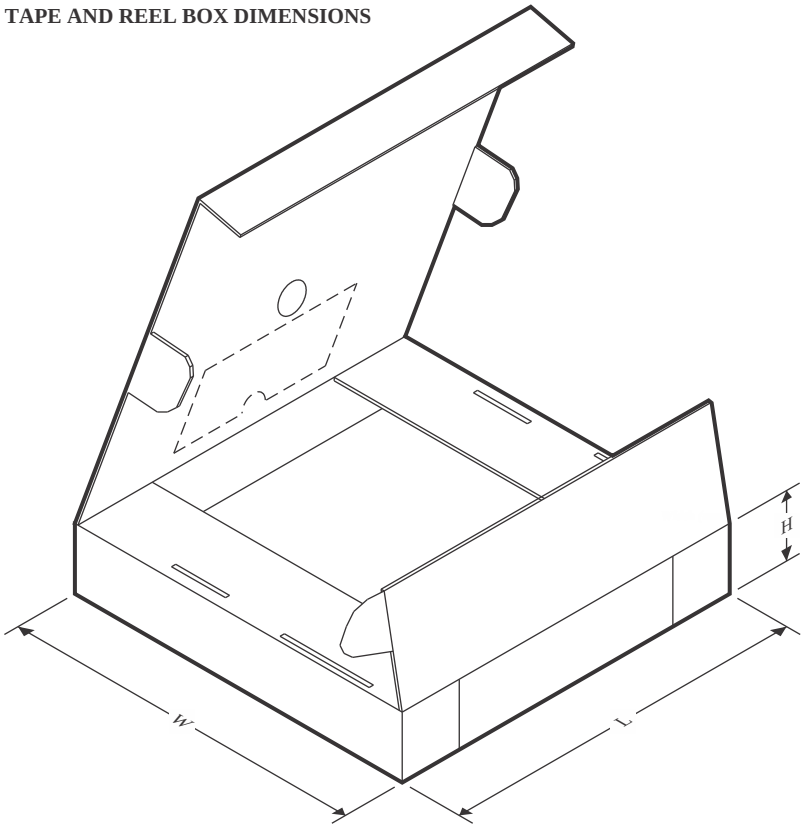
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LP2951-30DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LP2951-30DRGR	SON	DRG	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LP2951-33DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LP2951-33DRGR	SON	DRG	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LP2951-50DRGR	SON	DRG	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LP2951DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LP2951DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

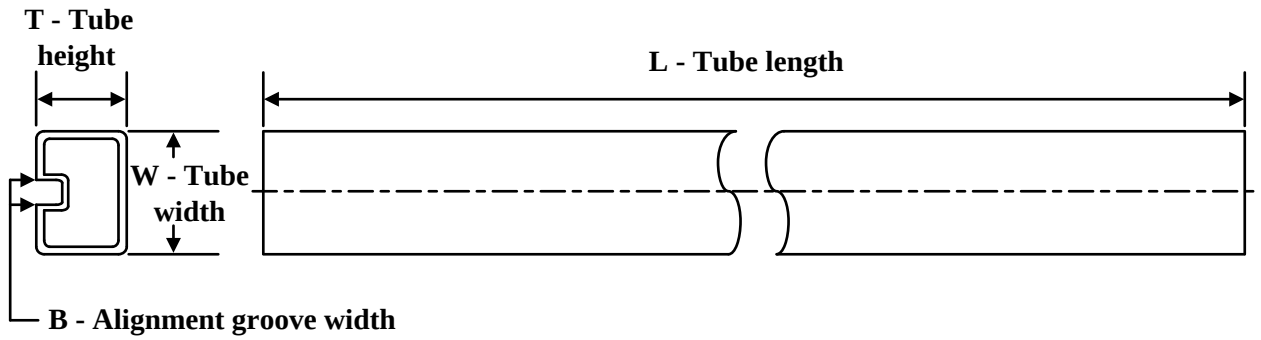
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LP2951-30DR	SOIC	D	8	2500	353.0	353.0	32.0
LP2951-30DRGR	SON	DRG	8	3000	353.0	353.0	32.0
LP2951-33DR	SOIC	D	8	2500	340.5	338.1	20.6
LP2951-33DRGR	SON	DRG	8	3000	353.0	353.0	32.0
LP2951-50DRGR	SON	DRG	8	3000	353.0	353.0	32.0
LP2951DR	SOIC	D	8	2500	340.5	338.1	20.6
LP2951DR	SOIC	D	8	2500	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
LP2951-30D	D	SOIC	8	75	507	8	3940	4.32
LP2951-30D.A	D	SOIC	8	75	507	8	3940	4.32
LP2951-33D	D	SOIC	8	75	507	8	3940	4.32
LP2951-33D.A	D	SOIC	8	75	507	8	3940	4.32
LP2951-50D	D	SOIC	8	75	507	8	3940	4.32
LP2951-50D.A	D	SOIC	8	75	507	8	3940	4.32
LP2951D	D	SOIC	8	75	507	8	3940	4.32
LP2951D.A	D	SOIC	8	75	507	8	3940	4.32

GENERIC PACKAGE VIEW

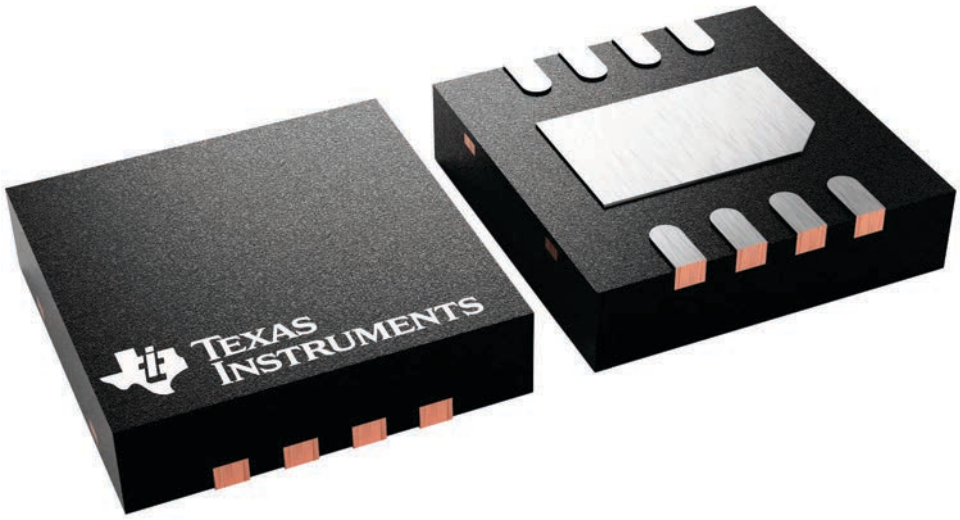
DRG 8

WSON - 0.8 mm max height

3 x 3, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



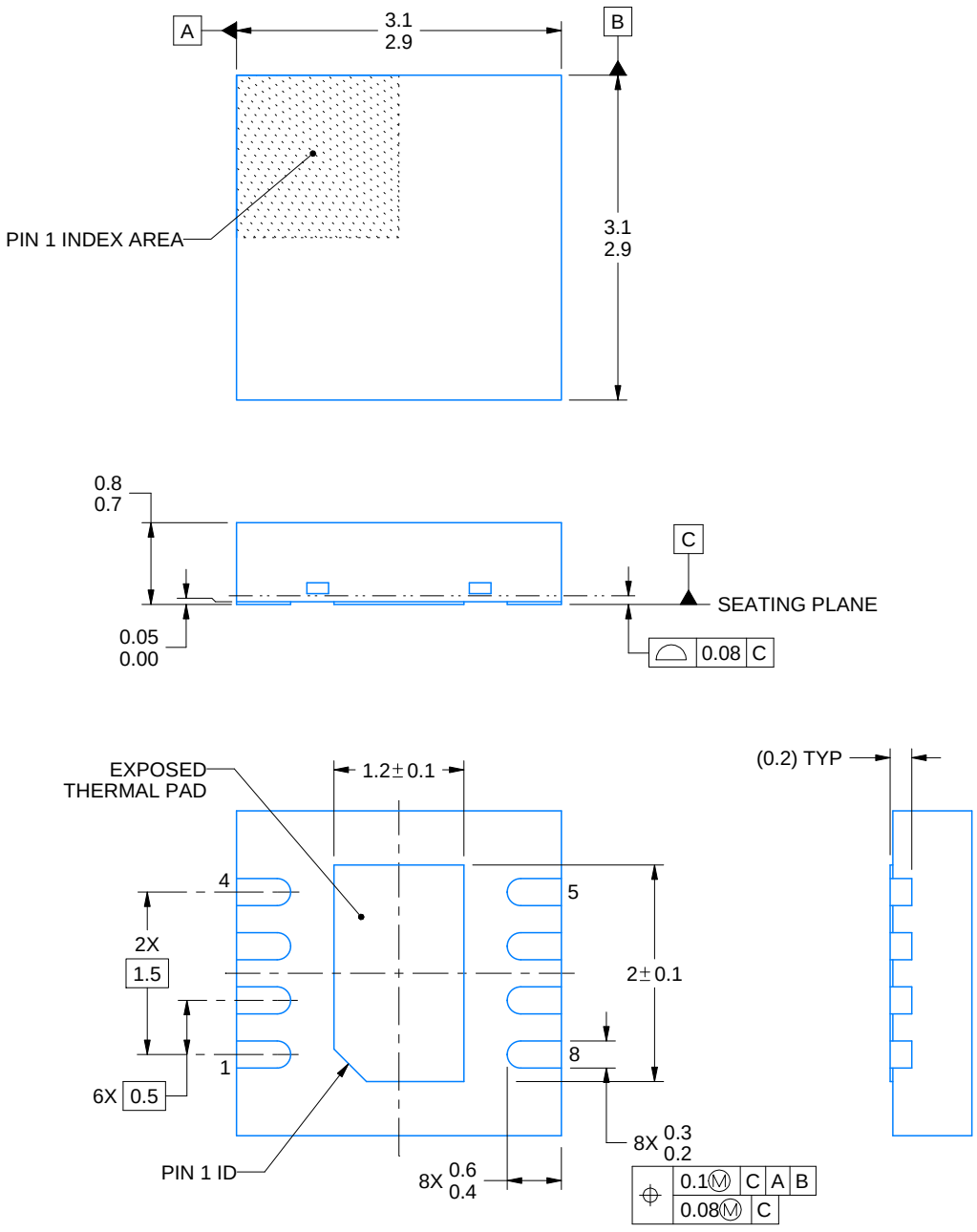
4225794/A

PACKAGE OUTLINE

DRG0008A

WSON - 0.8 mm max height

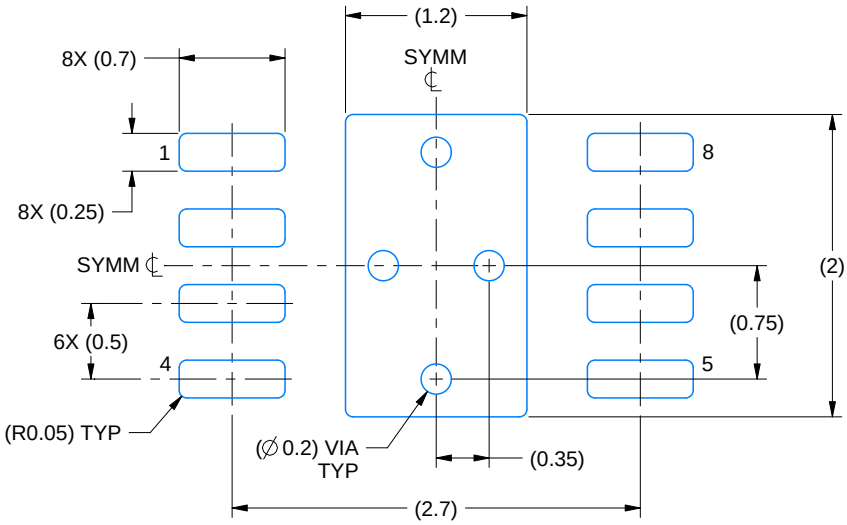
PLASTIC SMALL OUTLINE - NO LEAD



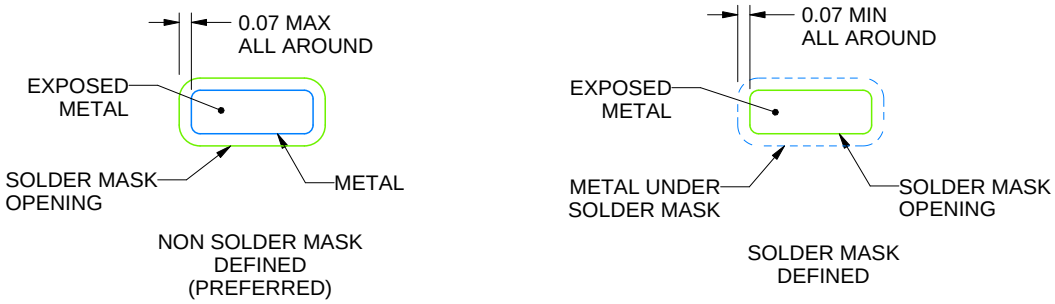
4218885/A 03/2020

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

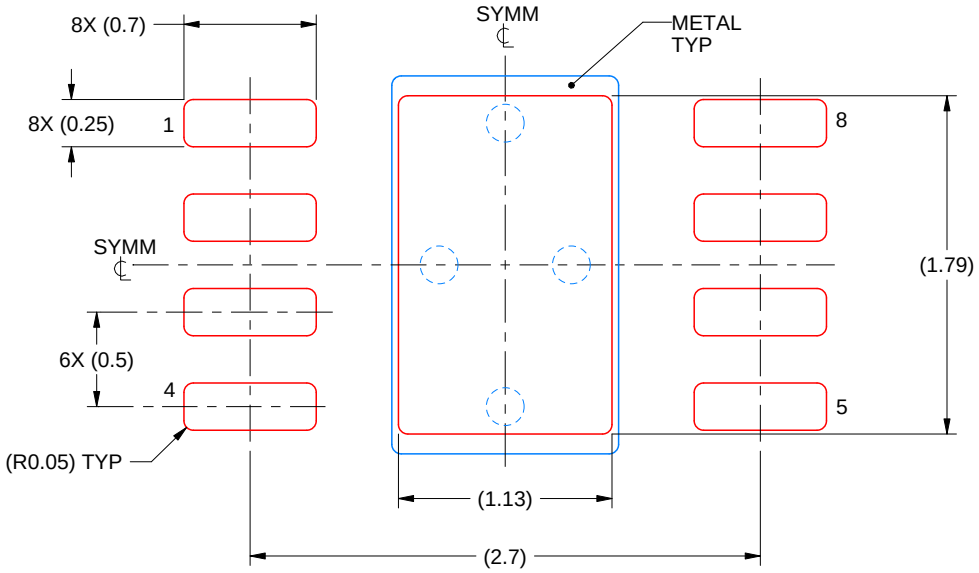


SOLDER MASK DETAILS

4218885/A 03/2020

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



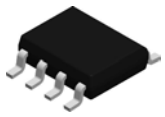
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
84% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4218885/A 03/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

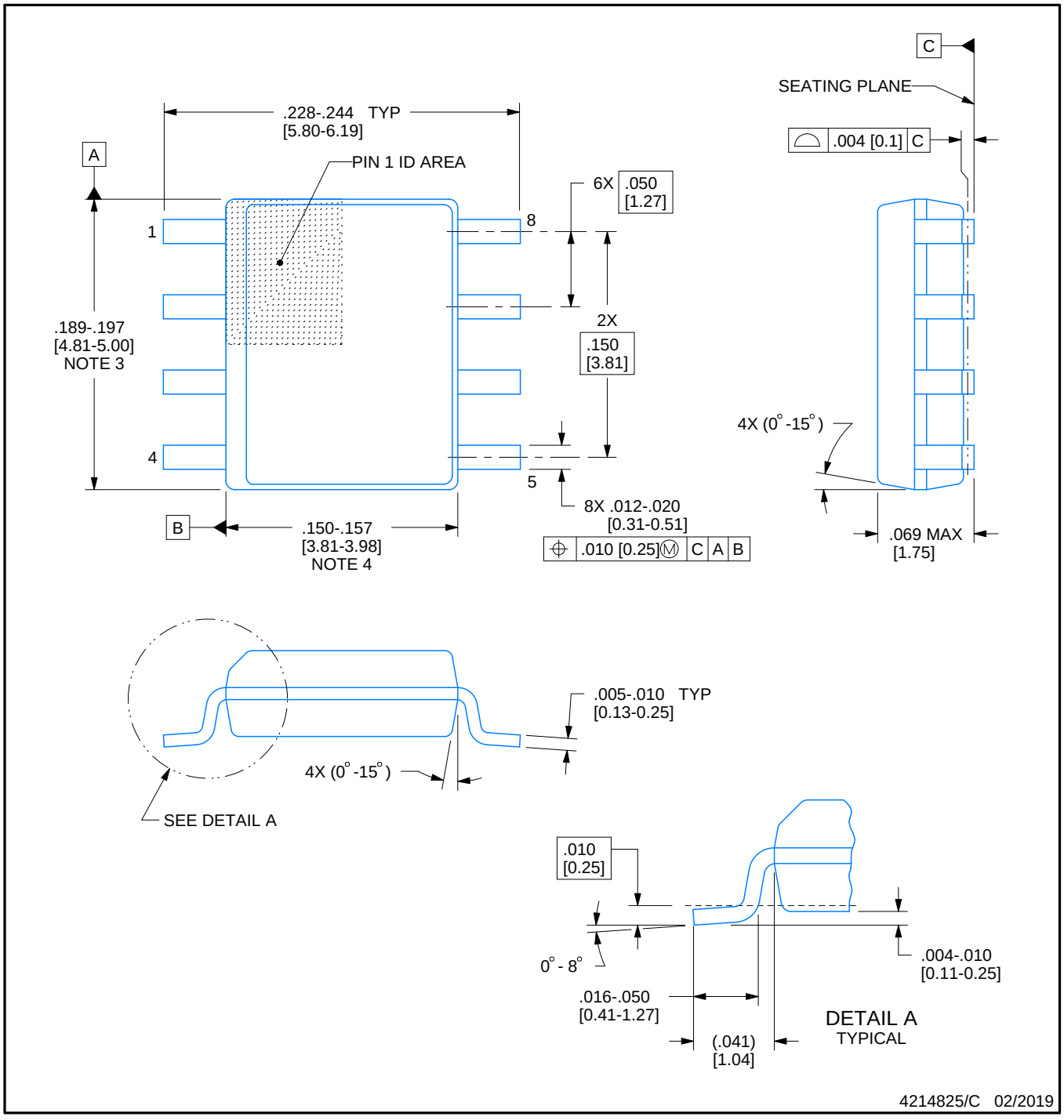


PACKAGE OUTLINE

D0008A

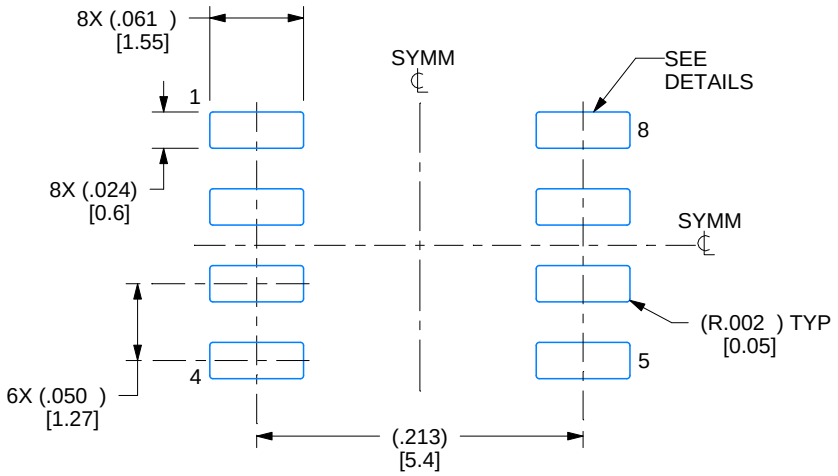
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

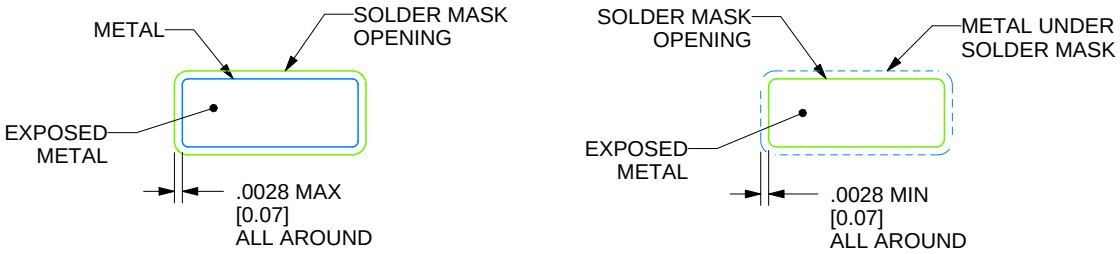


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

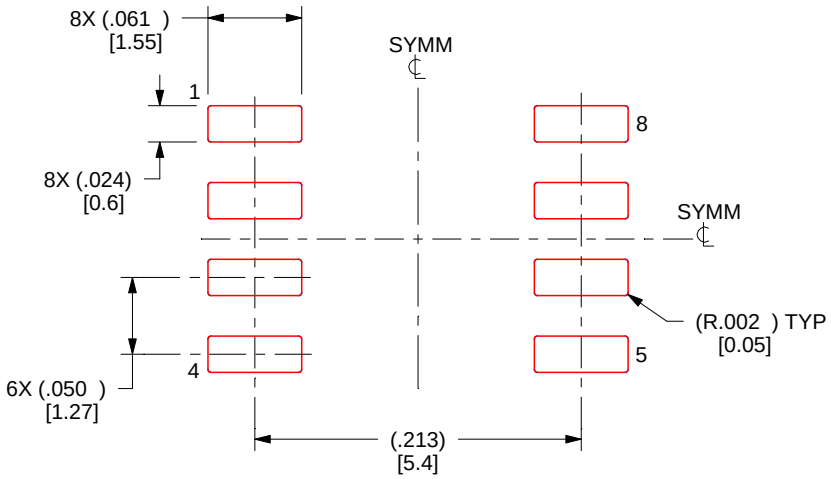
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

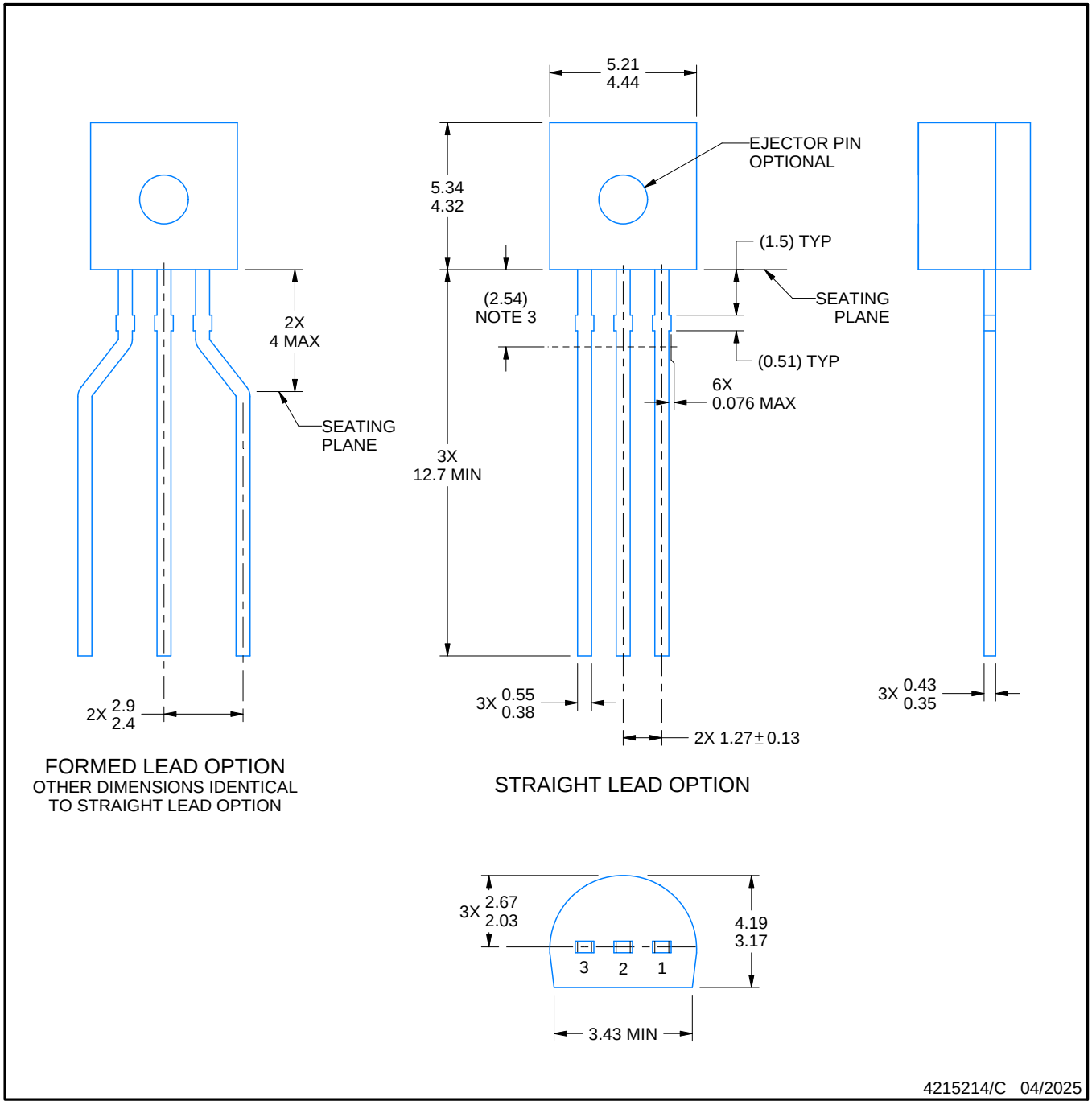
LP0003A



PACKAGE OUTLINE

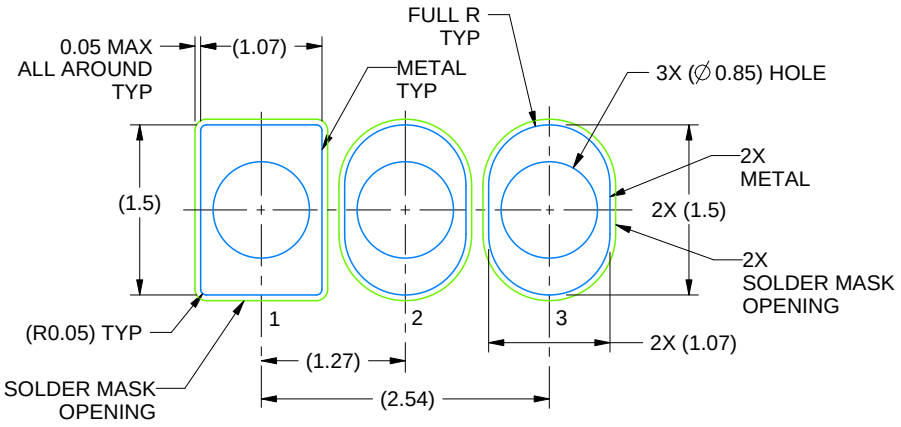
TO-92 - 5.34 mm max height

TO-92

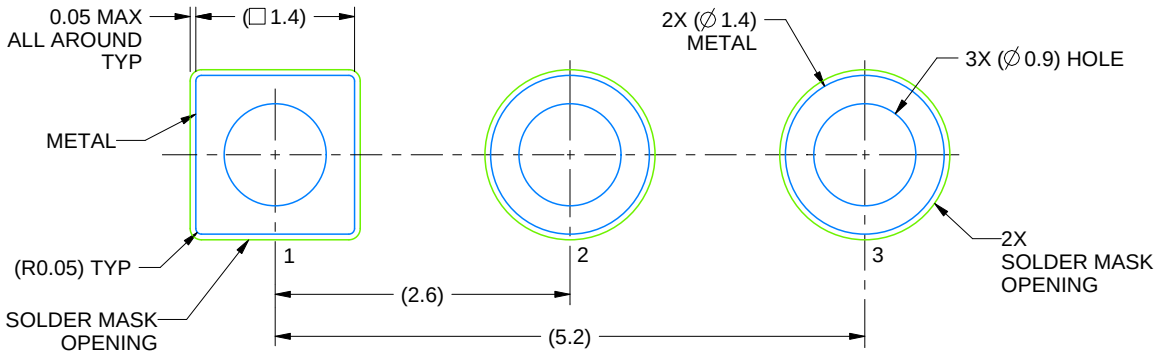


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Lead dimensions are not controlled within this area.
4. Reference JEDEC TO-226, variation AA.
5. Shipping method:
   a. Straight lead option available in bulk pack only.
   b. Formed lead option available in tape and reel or ammo pack.
   c. Specific products can be offered in limited combinations of shipping medium and lead options.
   d. Consult product folder for more information on available options.



LAND PATTERN EXAMPLE
STRAIGHT LEAD OPTION
NON-SOLDER MASK DEFINED
SCALE:15X



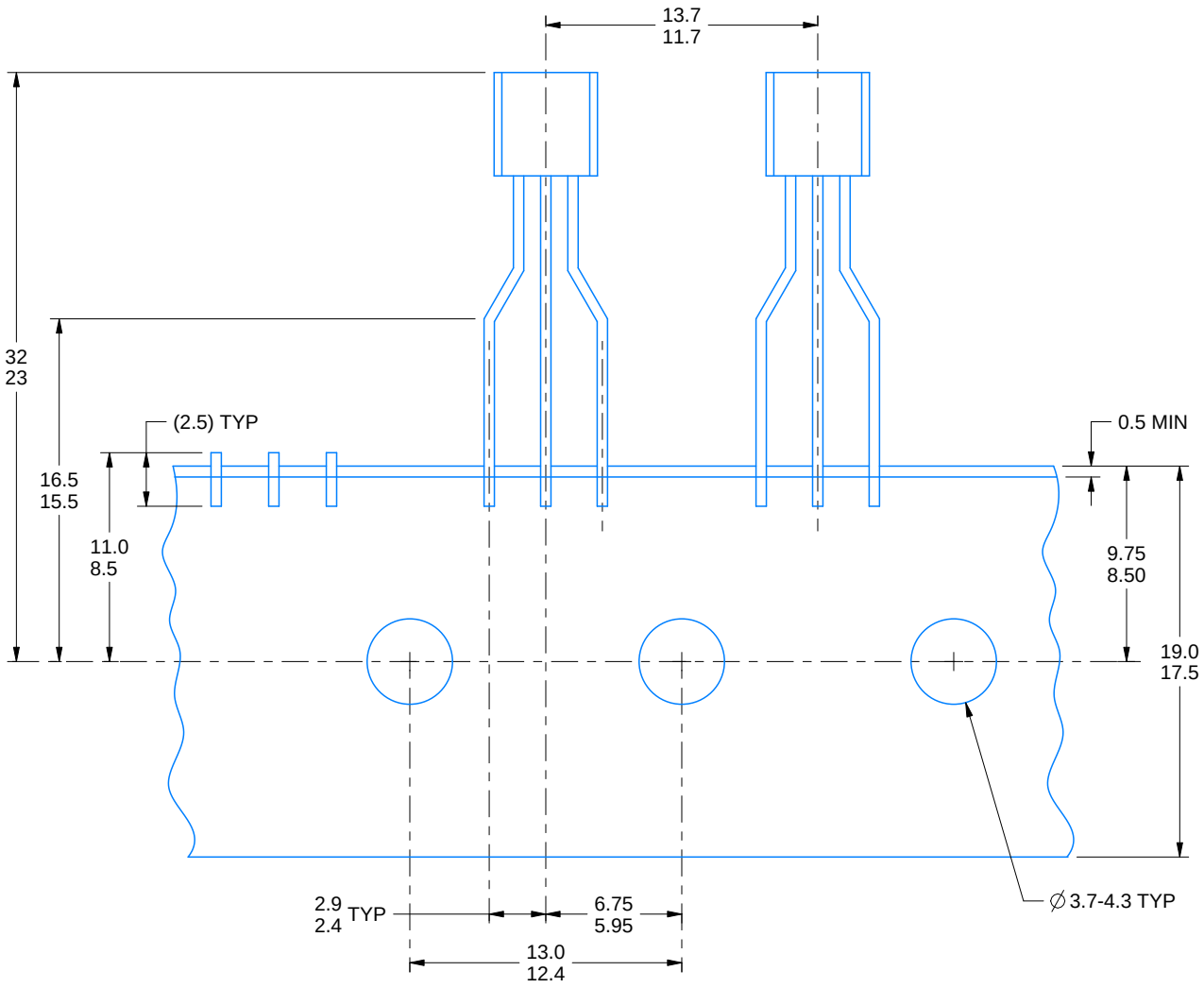
LAND PATTERN EXAMPLE
FORMED LEAD OPTION
NON-SOLDER MASK DEFINED
SCALE:15X

4215214/C 04/2025

LP0003A

TO-92 - 5.34 mm max height

TO-92



FOR FORMED LEAD OPTION PACKAGE

4215214/C 04/2025

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月