LP324 LP2902 超低消費電力クワッド オペアンプ

1 特長

- 低い消費電流:85µA (標準値)
- 低いオフセット電圧:2mV (標準値)
- 低い入力バイアス電流:2nA (標準値)
- グランドへの入力同相モード
- 広い電源電圧範囲:3V < V_{CC} < 32V
- LM324 とピン互換

2 アプリケーション

- LCD ディスプレイ
- ポータブル計測装置
- センサおよび計測機器
- コンシューマ エレクトロニクス:
  - MP3 プレーヤー、おもちゃなど
- 電源

3 説明

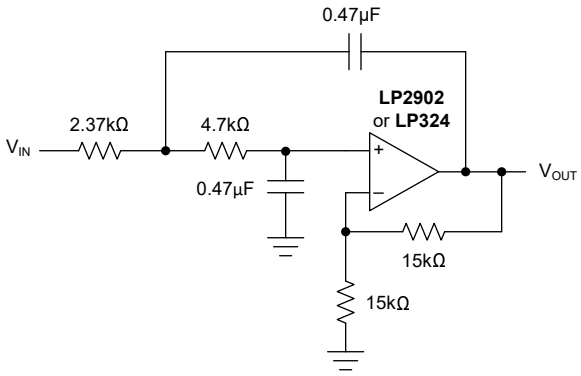
LP324 および LP2902 は、バッテリ駆動のアプリケーション向け専用に特に設計されたクワッド低消費電力オペアンプです。超低供給消費電流にもかかわらず、良好な入力仕様と広い電源電圧範囲を実現しています。グランド (GND) を含む入力同相範囲により、単一電源動作が実現されます。

LP324 および LP2902 は、速度やおよび帯域幅よりも広い電源電圧範囲と低消費電力が重要なアプリケーションに最適です。これらのアプリケーションには、ポータブル計測装置、LCD ディスプレイ、コンシューマ エレクトロニクス (MP3 プレーヤ、玩具など)、電源が含まれます。

製品情報

部品番号	温度 (T_A)	パッケージ (1)
LP2902	–40°C ～ +85°C	D (SOIC、14) N (PDIP、14) PW (TSSOP、14)
LP324	0°C ～ 70°C	

(1) 供給されているすべてのパッケージについては、セクション 8 を参照してください。



2 ゲインの 100Hz ローパス フィルタ

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 ピン構成および機能 ... 2
5 仕様 ... 3
5.1 絶対最大定格 ... 3
5.2 ESD 定格 ... 3
5.3 推奨動作条件 ... 3
5.4 熱に関する情報 ... 3
5.5 電気的特性 ... 4
6 デバイスおよびドキュメントのサポート ... 6
6.1 ドキュメントの更新通知を受け取る方法 ... 6
6.2 サポート・リソース ... 6
6.3 商標 ... 6
6.4 静電気放電に関する注意事項 ... 6
6.5 用語集 ... 6
7 改訂履歴 ... 6
8 メカニカル、パッケージ、および注文情報 ... 7

4 ピン構成および機能

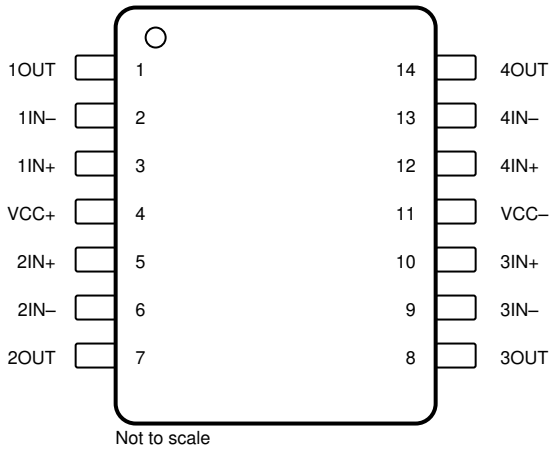


図 4-1. D パッケージ、14 ピン SOIC、N パッケージ、14 ピン PDIP、PW パッケージ、14 ピン TSSOP (上面図)

表 4-1. ピンの機能

ピン		タイプ	説明
名称	番号		
1IN–	2	入力	負入力
1IN+	3	入力	正入力
1OUT	1	出力	出力
2IN–	6	入力	負入力
2IN+	5	入力	正入力
2OUT	7	出力	出力
3IN–	9	入力	負入力
3IN+	10	入力	正入力
3OUT	8	出力	出力
4IN–	13	入力	負入力
4IN+	12	入力	正入力
4OUT	14	出力	出力
VCC-	11	電源	負 (最低) 電源またはグランド (単一電源動作の場合)
VCC+	4	電源	正 (最高) 電源

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1) (2)

			最小値	最大値	単位
V_{CC}	電源電圧	単一電源		32	V
		デュアル電源		±16	
V_{ID}	差動入力電圧(3)			32	V
V_I	入力電圧 (いずれかの入力)		-0.3	32	V
	グランドへの出力短絡期間 (1 つのアンプ)、T_A ≦ 25℃、V_{CC} ≦ 15V(4)		制限なし		
T_J	動作時の仮想接合部温度			150	°C
T_{stg}	保存温度		-65	150	°C

(1) *絶対最大定格*外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) すべての電圧値 (I_{OS} 測定のために規定された差動電圧と V_{CC} を除く) は、回路グランド (GND) を基準としています。
(3) 差動電圧は、IN- を基準とする IN+ です。
(4) 出力から V_{CC} への短絡が発生すると、過熱や最終的な破壊につながる可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠	±350	V

5.3 推奨動作条件

外気温度範囲での動作時 (特に記述がない限り)

			最小値	公称値	最大値	単位
T_A	動作時の周囲温度	LP2902	-40		85	°C
		LP324	0		70	

5.4 熱に関する情報

熱評価基準(1) (2)		LP2902、LP324			単位
		D (SOIC)	PW (TSSOP)	N (PDIP)	
		14 ピン	14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	140	154	90	°C/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』*アプリケーション レポートを参照してください。
(2) 最大消費電力は $T_{J(max)}$、θ_{JA}、T_A の関数となります。最大許容消費電力と、許容される周囲温度との関係式は、$P_D = (T_{J(max)} – T_A)/\theta_{JA}$ です。絶対最大定格 T_J = 150℃での動作は、信頼性に影響を与える可能性があります。

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性

T_A = 25°C、V_{CC} = 5V、V_{IC} = V_{CC} / 2、R_L = 100kΩ をグランドに接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V_{IO}	入力オフセット電圧	LP2902			2	4	mV
			T_A = -40°C ～ +85°C			10	
		LP324			2	4	
			T_A = 0°C ～ 70°C			9	
dV_{IO}/dT	入力オフセット電圧ドリフト	LP2902、T_A = 0°C ～ 70°C			10		μV/°C
		LP324、T_A = –40°C ～ +85°C			10		
PSRR	電源除去比	V_{CC} = 5V～30V		80	90		dB
			LP2902 T_A = -40°C ～ +85°C	75			
			LP324 T_A = 0°C ～ 70°C	75			
CMRR	同相除去比	V_{CC} = 30V、V_{IC} = 0V ～ V_{CC} – 1.5V		80	90		dB
			LP2902 T_A = -40°C ～ +85°C	75			
			LP324 T_A = 0°C ～ 70°C	75			
入力バイアス電流							
I_{IB}	入力バイアス電流	LP2902			2	20	nA
			T_A = -40°C ～ +85°C			40	
		LP324			2	10	
			T_A = 0°C ～ 70°C			20	
I_{IO}	入力オフセット電流	LP2902			0.5	4	nA
			T_A = -40°C ～ +85°C			8	
		LP324			0.2	2	
			T_A = 0°C ～ 70°C			4	
I_{IO}/dT	入力オフセット電流ドリフト	LP2902			10		pA/°C
		LP324			10		
開ループ ゲイン							
A_V	大信号電圧ゲイン	V_{CC} = 30V、R_L = 10kΩ をグランドに接続	LP2902	40	70		V/mV
			LP2902 T_A = -40°C ～ +85°C	30			
			LP324	50	100		
			LP324 T_A = 0°C ～ 70°C	40			
周波数応答							
GBW	ゲイン帯域幅積	V_{CC} = ±15V			100		kHz
SR	スルーレート	V_{CC} = ±15V			50		V/ms
出力							
V_O	出力電圧スイング	I_L = 350μA をグランドに接続、V_{IC} = 0V		3.4	3.6		V
			LP2902 T_A = -40°C ～ +85°C	(V_{CC}) – 1.9			
			LP324 T_A = 0°C ～ 70°C	(V_{CC}) – 1.9			
		I_L = 350μA ～から V_{CC}、V_{IC} = 0V		0.82	0.7		
			LP2902 T_A = -40°C ～ +85°C	1			
			LP324 T_A = 0°C ～ 70°C	1			

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性 (続き)

T_A = 25°C、V_{CC} = 5V、V_{IC} = V_{CC} / 2、R_L = 100kΩ をグランドに接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
I_O	出力電流	ソース、V_O = 3V、, V_{ID} = 1V		7	10		mA
			LP2902 T_A = -40℃ ～ +85℃	4			
			LP324 T_A = 0℃ ～ 70℃	4			
		シンク、V_O = 1.5V、V_{ID} = –1V		4	5		
			LP2902 T_A = -40℃ ～ +85℃	3			
			LP324 T_A = 0℃ ～ 70℃	3			
		シンク、V_O = 1.5V、V_{ID} = –1V、, V_{IC} = 0V		2	4		
			LP2902 T_A = -40℃ ～ +85℃	1			
			LP324 T_A = 0℃ ～ 70℃	1			
I_{SC}	短絡電流	グランドに短絡、V_{ID} = 1V			20	35	mA
			LP2902 T_A = -40℃ ～ +85℃			40	
			LP324 T_A = 0℃ ～ 70℃			40	
		V_{CC} に短絡、, V_{ID} = –1V			15	30	
			LP2902 T_A = -40℃ ～ +85℃			45	
			LP324 T_A = 0℃ ～ 70℃			45	
電源							
I_{CC}	電源電流	無負荷			85	150	μA
			LP2902 T_A = -40℃ ～ +85℃			275	
			LP324 T_A = 0℃ ～ 70℃			250	

Copyright © 2025 Texas Instruments Incorporated

6 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

6.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

6.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

6.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

6.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

6.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

7 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (May 2005) to Revision B (September 2025)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• *「ピン構成および機能」*、*「仕様」*、*「推奨動作条件」*、*「デバイスおよびドキュメントのサポート」*、および *「メカニカル、パッケージ、および注文情報」*セクションを追加	1
• 表紙の図を更新	1
• *回路図 (各アンプ)* の図を削除	2
• 「*絶対最大定格*」の注 6 を削除	3
• パッケージの熱インピーダンス情報を*「絶対最大定格」*から*「熱に関する情報」*に移動	3
• *「ESD 定格」*で人体モデルの値を ±2kV から ±350V に変更	3
• *「熱に関する情報」*を追加し、値を更新	3
• 注 1、2、3 を削除	4
• 電源除去比の単位を V から dB に変更 (誤字)	4

Copyright © 2025 Texas Instruments Incorporated

8 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LP2902D	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	LP2902
LP2902DR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	LP2902
LP2902DR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LP2902
LP2902DR.B	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LP2902
LP2902N	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	LP2902N
LP2902N.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	LP2902N
LP2902PW	Obsolete	Production	TSSOP (PW) | 14	-	-	Call TI	Call TI	-40 to 85	LP2902
LP2902PWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	LP2902
LP2902PWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LP2902
LP2902PWR.B	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LP2902
LP2902PWRE4	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	-	Call TI	Call TI	-40 to 85	
LP324D	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	0 to 70	LP324
LP324DR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	0 to 70	LP324
LP324DR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	LP324
LP324DR.B	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	LP324
LP324DRG4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	LP324
LP324DRG4.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	LP324
LP324N	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	LP324N
LP324N.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	LP324N
LP324PW	Obsolete	Production	TSSOP (PW) | 14	-	-	Call TI	Call TI	0 to 70	LP324
LP324PWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	0 to 70	LP324
LP324PWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	LP324
LP324PWR.B	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	LP324

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

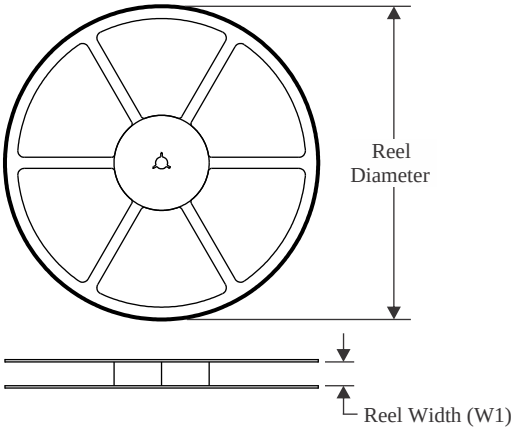
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

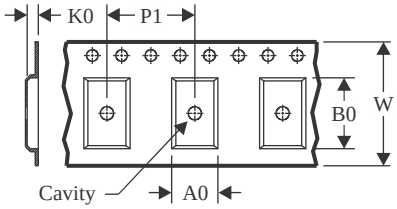
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

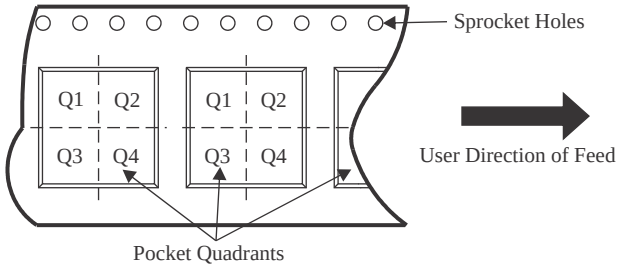


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

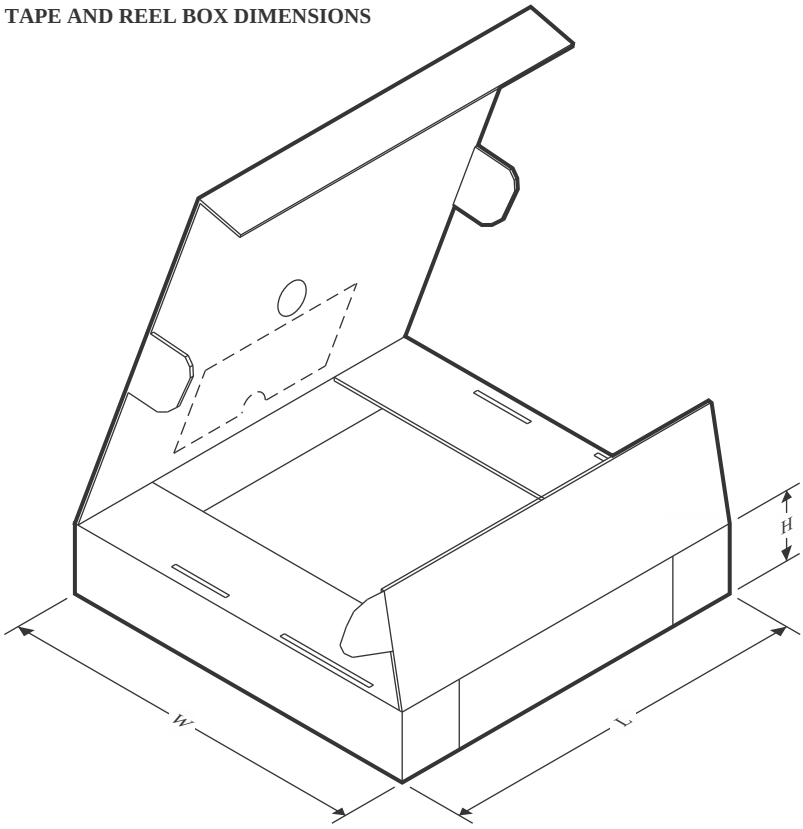
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LP2902DR	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1
LP2902PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
LP324DR	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1
LP324DRG4	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
LP324PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

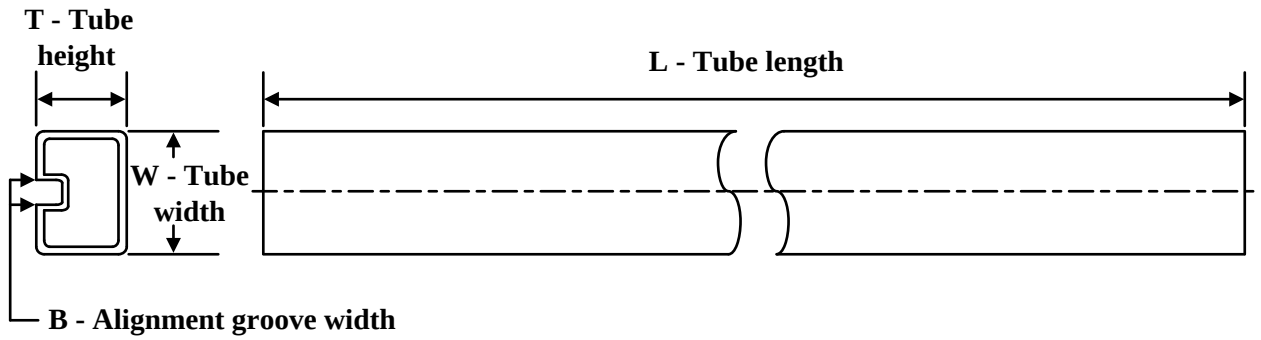
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

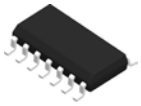
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LP2902DR	SOIC	D	14	2500	367.0	367.0	35.0
LP2902PWR	TSSOP	PW	14	2000	356.0	356.0	35.0
LP324DR	SOIC	D	14	2500	367.0	367.0	35.0
LP324DRG4	SOIC	D	14	2500	340.5	336.1	32.0
LP324PWR	TSSOP	PW	14	2000	356.0	356.0	35.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
LP2902N	N	PDIP	14	25	506	13.97	11230	4.32
LP2902N.A	N	PDIP	14	25	506	13.97	11230	4.32
LP324N	N	PDIP	14	25	506	13.97	11230	4.32
LP324N.A	N	PDIP	14	25	506	13.97	11230	4.32

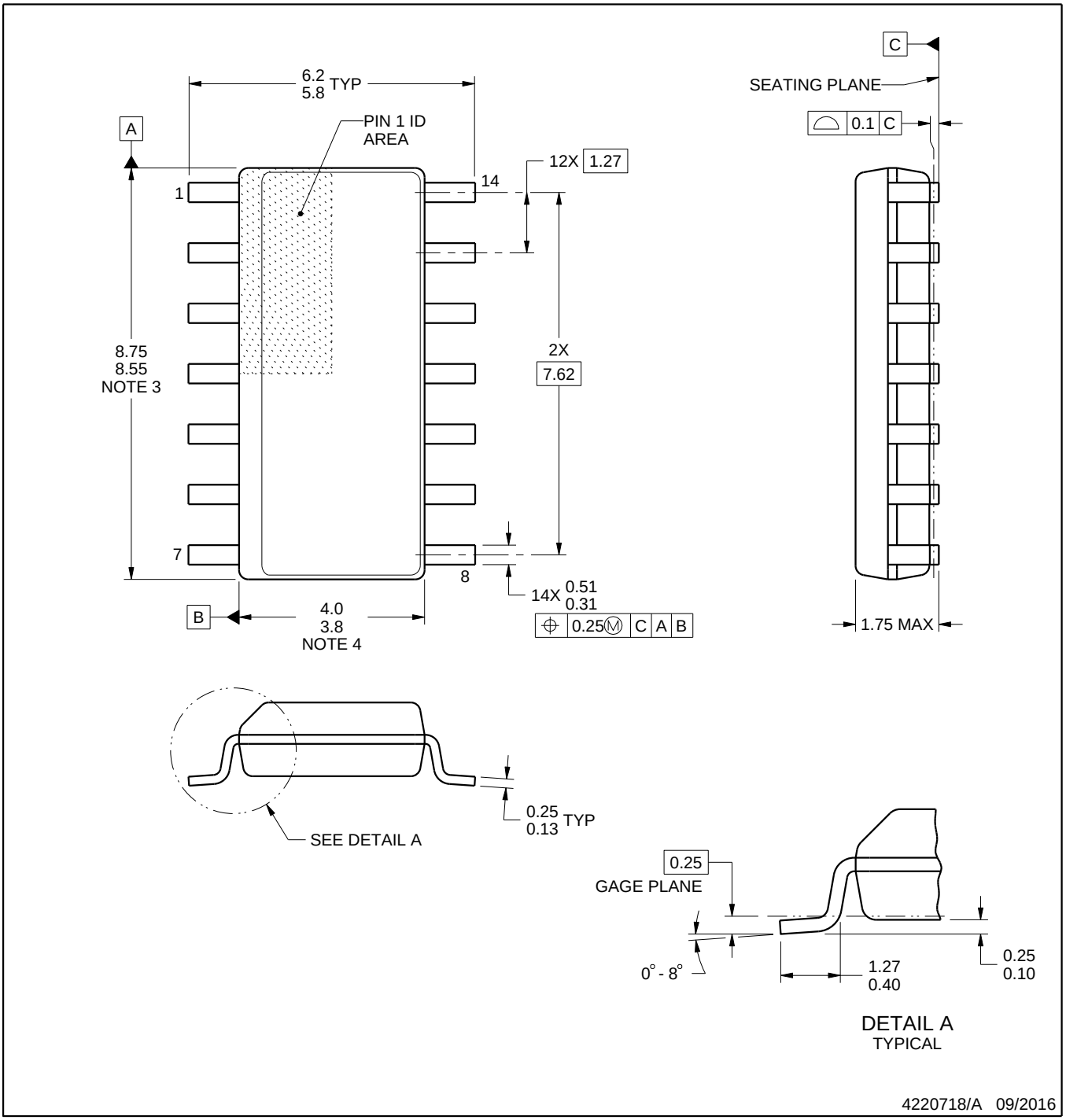


PACKAGE OUTLINE

D0014A

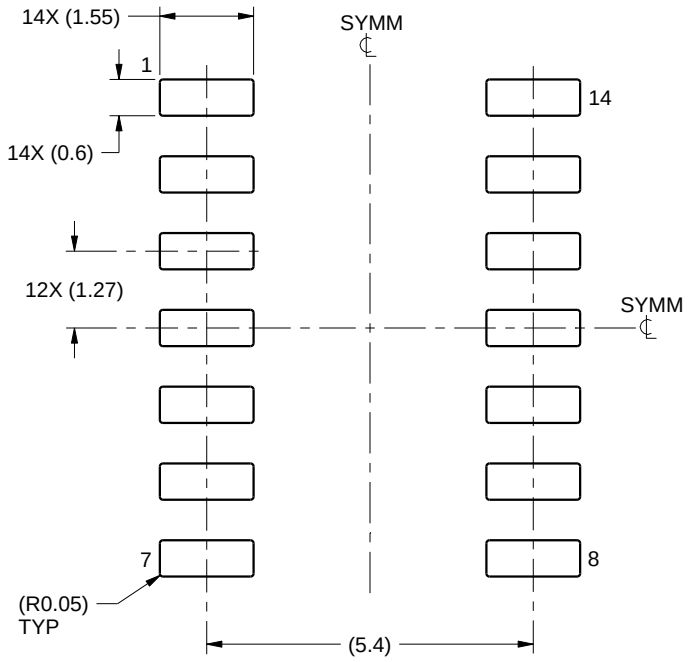
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

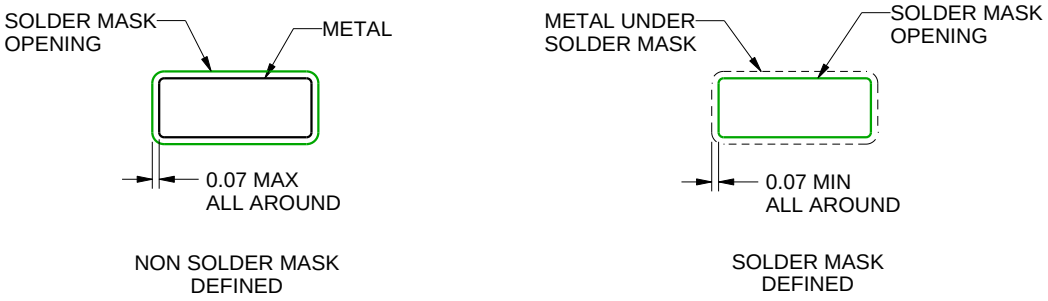


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

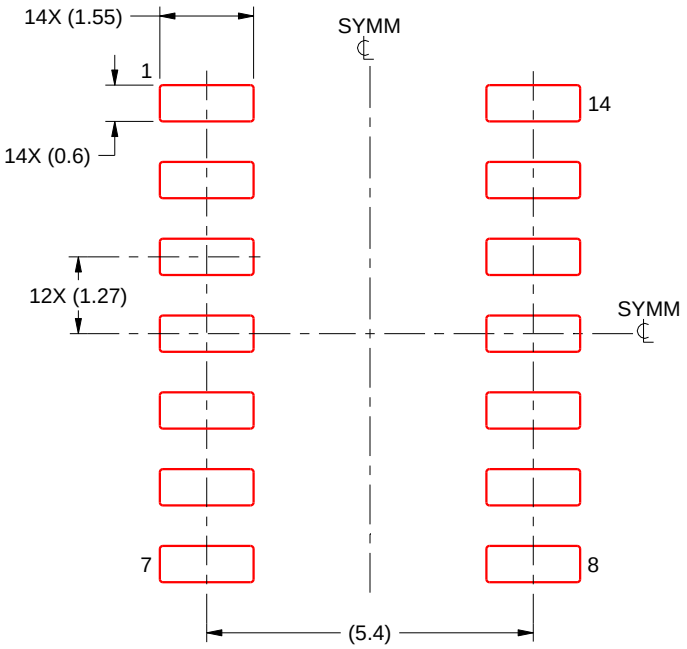
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

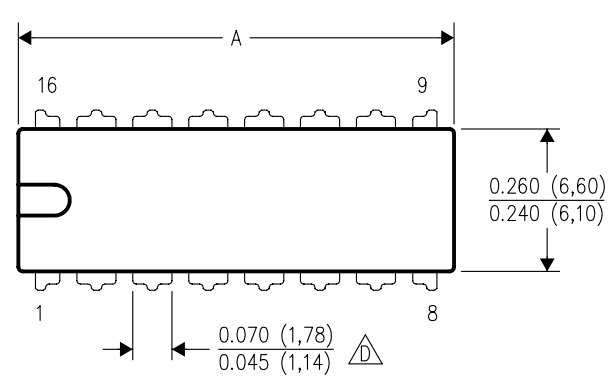
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

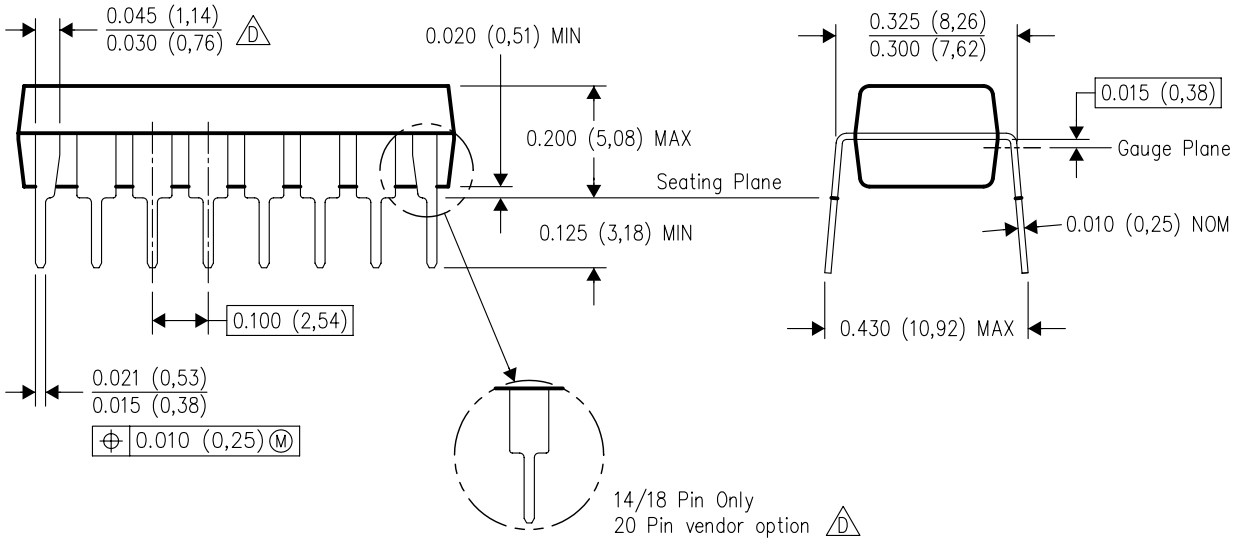
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

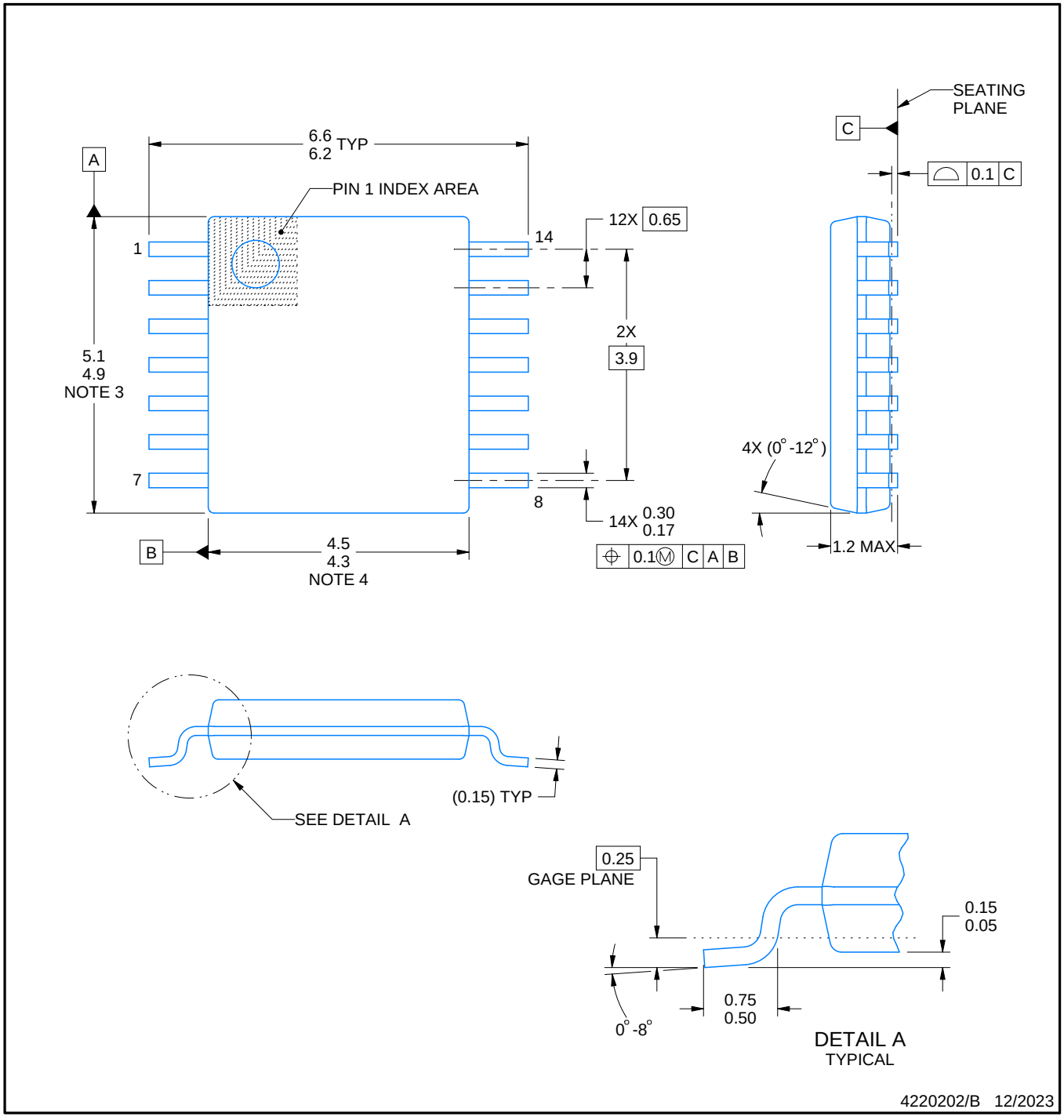
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

PACKAGE OUTLINE

PW0014A

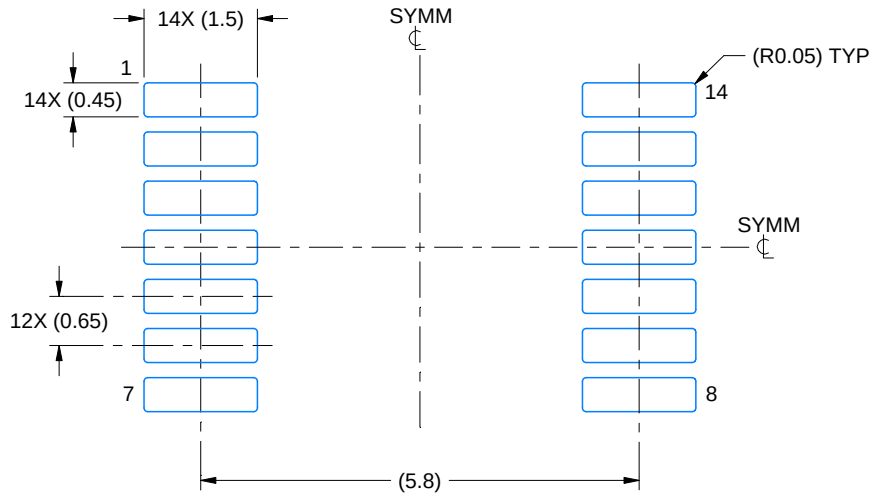
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

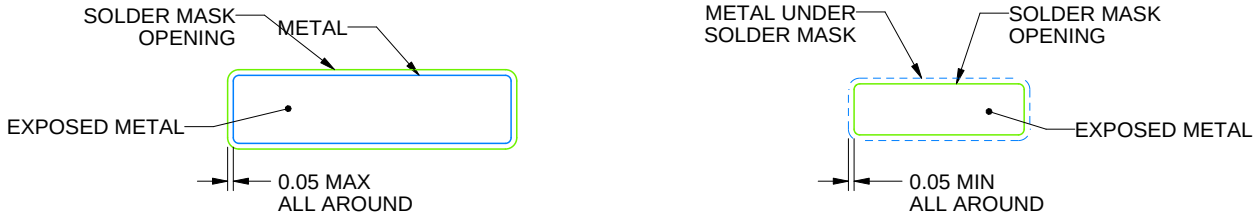


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

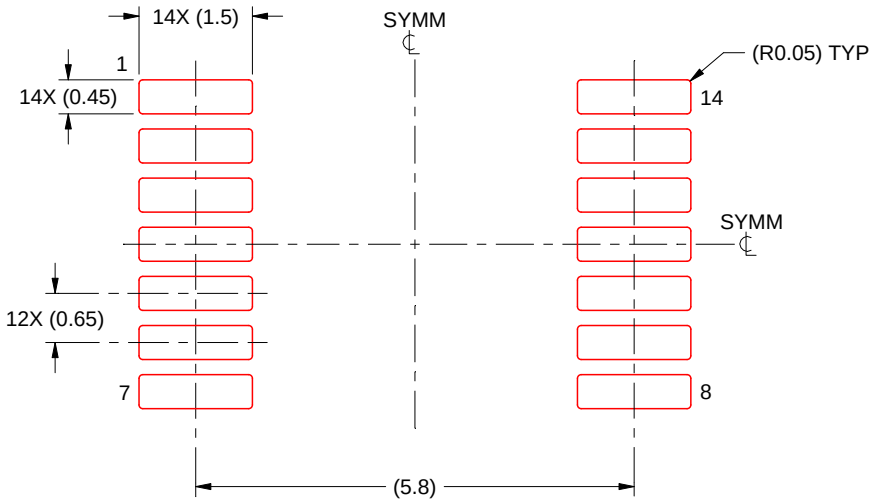


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月