MAX3221E 3V～5.5V シングルチャネル RS-232 ライン ドライバ / レシーバ、±15kV IEC ESD 保護

1 特長

- RS-232 ピンの ESD 保護
  - ±15kV 人体モデル (HBM)
  - ±8kV (IEC 61000-4-2、接触放電)
  - ±15kV (IEC 61000-4-2、エアギャップ放電)
- TIA/EIA-232-F および ITU v.28 規格の要件に適合またはそれを上回る性能
- 3V～5.5V の V_{CC} 電源で動作
- 最大 250kbit/s で動作
- 1 つのドライバと 1 つのレシーバ
- 小さいスタンバイ電流：1µA (代表値)
- 3.3V 電源で 5V ロジック入力を許容
- 自動パワー ダウン機能により、ドライバを自動的にディセーブルすることで電力を節約
- 代替の高速デバイス (1Mbit/s)
  - SN75C3221E、SN65C3221E

2 アプリケーション

- 産業用 PC
- 有線ネットワーク
- データ・センターおよびエンタープライズ・コンピューティング
- バッテリ駆動システム
- PDA
- ノートブック PC
- ノート PC
- パームトップ PC
- ハンドヘルド機器

3 概要

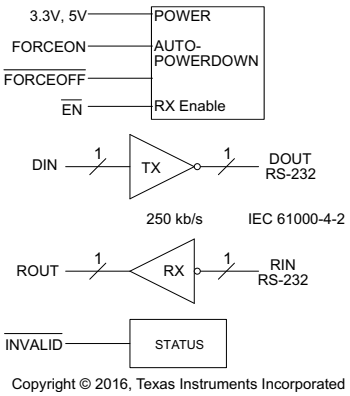
MAX3221E は、1 つの V_{CC} 電源で動作するシングル ドライバ / シングル レシーバ RS-232 ソリューションです。RS-232 ピンは、IEC 61000-4-2 ESD 保護に対応しています。このデバイスは、TIA/EIA-232-F の要件を満たし、非同期通信コントローラとシリアルポート コネクタの間の電気的インターフェイスとして機能します。チャージ ポンプと 4 つの小さな外付けコンデンサにより、3V～5.5V の単一電源で動作できます。本デバイスは最大 250kbit/s のデータ信号速度、最大 30V/µs のドライバ出力スルーレートで動作します。

パワー マネージメント向けのフレキシブルな制御オプションも利用できます。レシーバの接続が切断された場合、またはリモート ドライバの電源がオフになった場合、自動パワー ダウンにより、ドライバとチャージ ポンプがディセーブルになります。このドライバは、手動でイネーブルまたはディセーブルにすることができます。レシーバ入力が接続されていないか、電源がオフのとき、$\overline{\text{INVALID}}$ 出力が LOW になります。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
MAX3221E	SSOP (DB、16)	6.2mm × 7.8mm
	TSSOP (PW、16)	5mm × 6.4mm
	SOT-23-THN (DYY) (16)	4.2mm × 2mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値で、該当する場合はピンも含まれます。



Copyright © 2016, Texas Instruments Incorporated

ブロック図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 ESD 定格 - IEC 仕様.....4
5.4 推奨動作条件.....5
5.5 熱に関する情報.....5
5.6 電気的特性.....5
5.7 電気的特性:ドライバ.....6
5.8 電気的特性:レシーバ.....6
5.9 電気的特性:自動パワー ダウン.....6
5.10 スイッチング特性:ドライバ.....7
5.11 スイッチング特性:レシーバ.....7
5.12 スイッチング特性:自動パワー ダウン.....7
5.13 代表的特性.....8
6 パラメータ測定情報.....9
7 詳細説明.....12
7.1 概要.....12
7.2 機能ブロック図.....12
7.3 機能説明.....12
7.4 デバイスの機能モード.....13
8 アプリケーションと実装.....14
8.1 アプリケーション情報.....14
8.2 代表的なアプリケーション.....14
8.3 電源に関する推奨事項.....15
8.4 レイアウト.....16
9 デバイスおよびドキュメントのサポート.....17
9.1 ドキュメントの更新通知を受け取る方法.....17
9.2 サポート・リソース.....17
9.3 商標.....17
9.4 静電気放電に関する注意事項.....17
9.5 用語集.....17
10 改訂履歴.....17
11 メカニカル、パッケージ、および注文情報.....18

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

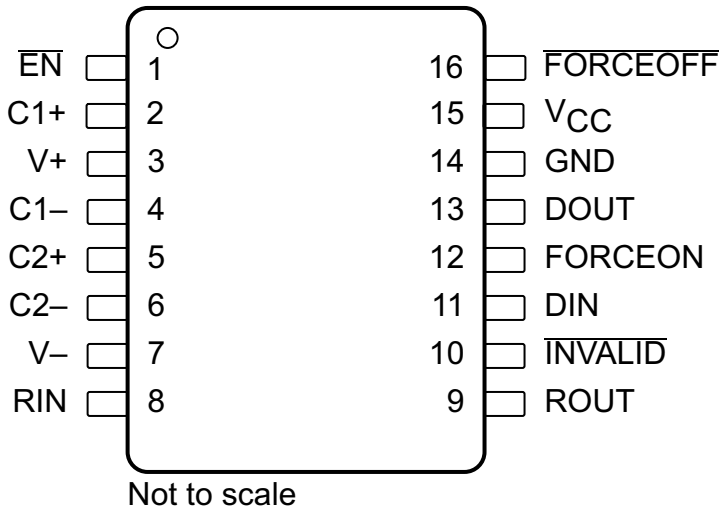


図 4-1. DB、PW、または DYY パッケージ
16 ピン SSOP、TSSOP、または SOT-23-THN
(上面図)

表 4-1. ピンの機能

ピン		タイプ	説明
名称	番号		
C1+	2	—	電圧増倍チャージ ポンプ コンデンサの正端子
C2+	5		
C1–	4	—	電圧増倍チャージ ポンプ コンデンサの負端子
C2–	6		
DIN	11	I	ドライバ入力
DOUT	13	O	RS-232 ドライバ出力
$\overline{EN}$	1	I	Low 入力により、レシーバの ROUT 出力がイネーブルになります。High 入力により、ROUT が高インピーダンスになります。
$\overline{FORCEOFF}$	16	I	自動パワー ダウン制御入力
FORCEON	12	I	自動パワー ダウン制御入力
GND	14	—	グランド
$\overline{INVALID}$	10	O	無効な出力ピン。RIN 入力に電力が供給されていないときは出力 Low。
RIN	8	I	RS-232 レシーバ入力
ROUT	9	O	レシーバ出力
V_{CC}	15	—	電源電圧:3V～5.5V
V+	3	O	チャージ ポンプによって生成される 5.5V 電源
V-	7	O	チャージ ポンプによって生成される -5.5V 電源

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧 (2)		-0.3	6	V
V+	正の出力電源電圧(2)		-0.3	7	V
V-	負の出力電源電圧(2)		0.3	-7	V
V+ – V–	電源電圧の差異(2)			13	V
V_I	入力電圧	DIN、$\overline{FORCEOFF}$、FORCEON、$\overline{EN}$	-0.3	6	V
		RIN	-25	25	
V_O	出力電圧	DOUT	-13.2	13.2	V
		ROUT、$\overline{INVALID}$	-0.3	V_{CC} + 0.3	
T_J	動作時の仮想接合部温度			150	℃
T_{stg}	保存温度		-65	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) すべての電圧はネットワーク GND を基準にしています。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)	ピン 8 および 13	±15000	V
		その他のすべてのピン	±2000	
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠 (2)	すべてのピン	±1500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 ESD 定格 - IEC 仕様

			値	単位
$V_{(ESD)}$ 静電放電	IEC 61000-4-2 接触放電、DOUT および RIN(1) (2)	ピン 8 および 13	±8000	V
	IEC 61000-4-2 エアギャップ放電、DOUT および RIN(1) (2)		±15000	

(1) 規定の IEC-ESD レベルを満たすには、VCC と GND の間に最低でも 1µF のコンデンサが必要です。
(2) DYY パッケージの IEC ESD 性能を最適化するには、電源またはグランドに直接接続されているすべてのロジック入力に直列抵抗 (≥ 50Ω) を配置し、ロジック ピンに流入またはロジック ピンから流出する過渡電流を最小限に抑えることを推奨します。

Copyright © 2025 Texas Instruments Incorporated

5.4 推奨動作条件

図 8-1 (1) を参照

				最小値	公称値	最大値	単位
	電源電圧		V_{CC} = 3.3V	3	3.3	3.6	V
			V_{CC} = 5 V	4.5	5	5.5	
V_{IH}	ドライバと制御の High レベル入力電圧	DIN、$\overline{FORCEOFF}$、FORCEON、$\overline{EN}$	V_{CC} = 3.3V	2			V
			V_{CC} = 5 V	2.4			
V_{IL}	ドライバと制御の Low レベル入力電圧	DIN、$\overline{FORCEOFF}$、FORCEON、$\overline{EN}$				0.8	V
V_I	ドライバと制御の入力電圧	DIN、$\overline{FORCEOFF}$、FORCEON		0		5.5	V
V_I	レシーバの入力電圧			-25		25	V
T_A	自由空気での動作温度	MAX3221EC		0		70	℃
		MAX3221EI		-40		85	

(1) テスト条件は、V_{CC} = 3.3V ± 0.3V では C1～C4 = 0.1µF、V_{CC} = 5V ± 0.5V では C1 = 0.047µF、C2～C4 = 0.33µF です。

5.5 熱に関する情報

熱評価基準(1)		MAX3221E			単位
		DB (SSOP)	PW (TSSOP)	DYY (SOT-23-THN)	
		16 ピン	16 ピン	16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	105.8	110.9	120.0	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	51.9	41.7	56.8	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	57.6	57.2	51.3	℃/W
ψ_{JT}	接合部から上面への特性パラメータ	14.1	4.2	2.6	℃/W
ψ_{JB}	接合部から基板への特性パラメータ	56.8	56.6	50.9	℃/W

(1) 従来および最新の熱評価基準の詳細については、『*半導体および IC パッケージの熱評価基準*』アプリケーション レポートを参照してください。spra953

5.6 電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)(2)

パラメータ			テスト条件		最小値	標準値 (1)	最大値	単位
I_I	入力リーク電流	$\overline{FORCEOFF}$、FORCEON、$\overline{EN}$				±0.01	±1	µA
I_{CC}	電源電流	自動パワーダウン無効	V_{CC} = 3.3V または 5V、T_A = 25°C	無負荷、V_{CC} での $\overline{FORCEOFF}$ および FORCEON		0.3	1	mA
		電源オフ		無負荷、GND での $\overline{FORCEOFF}$		1	10	µA
		自動パワーダウン有効		無負荷、V_{CC} での $\overline{FORCEOFF}$、GND での FORCEON、すべての RIN が開いているか、接地されている		1	10	

(1) すべての標準値は、V_{CC} = 3.3V または V_{CC} = 5V、T_A = 25℃での値です。
(2) テスト条件は、V_{CC} = 3.3V ± 0.3V では C1～C4 = 0.1µF、V_{CC} = 5V ± 0.5V では C1 = 0.047µF、C2～C4 = 0.33µF です。

Copyright © 2025 Texas Instruments Incorporated

5.7 電気的特性：ドライバ

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)(3)

パラメータ		テスト条件			最小値	標準値 (1)	最大値	単位
V_{OH}	High レベル出力電圧	R_L = 3kΩ～GND での DOUT、	DIN = GND		5	5.4		V
V_{OL}	Low レベル出力電圧	R_L = 3kΩ～GND での DOUT、	DIN = V_{CC}		-5	-5.4		V
I_{IH}	High レベル入力電流	V_I = V_{CC}				±0.01	±1	μA
I_{IL}	Low レベル入力電流	V_I = GND				±0.01	±1	μA
I_{OS}	短絡出力電流(2)	V_{CC} = 3.6V、	V_O = 0V			±35	±60	mA
		V_{CC} = 5.5V、	V_O = 0V			±35	±60	
r_o	出力抵抗	V_{CC}、V+、および V– = 0V、	V_O = ±2V		300	10M		Ω
I_{off}	出力リーク電流	$\overline{FORCEOFF}$ = GND	V_O = ±12V、	V_{CC} = 3V～3.6V			±25	μA
			V_O = ±10V、	V_{CC} = 4.5V～5.5V			±25	

(1) すべての標準値は、V_{CC} = 3.3V または V_{CC} = 5V、T_A = 25℃での値です。
(2) 短絡時間は、デバイスの絶対消費電力定格を超えないように制御する必要があります。また、一度に複数の出力を短絡させないでください。
(3) テスト条件は、V_{CC} = 3.3V ± 0.3V では C1～C4 = 0.1μF、V_{CC} = 5V ± 0.5V では C1 = 0.047μF、C2～C4 = 0.33μF です。

5.8 電気的特性：レシーバ

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)(2)

パラメータ		テスト条件	最小値	標準値 (1)	最大値	単位
V_{OH}	High レベル出力電圧	I_{OH} = -1mA	V_{CC} - 0.6	V_{CC} - 0.1		V
V_{OL}	Low レベル出力電圧	I_{OL} = 1.6mA			0.4	V
V_{IT+}	正方向入力スレッショルド電圧	V_{CC} = 3.3V		1.6	2.4	V
		V_{CC} = 5 V		1.9	2.4	
$V_{IT–}$	負方向入力スレッショルド電圧	V_{CC} = 3.3V	0.6	1.1		V
		V_{CC} = 5 V	0.8	1.4		
V_{hys}	入力ヒステリシス (V_{IT+} - $V_{IT–}$)			0.5		V
I_{off}	出力リーク電流	$\overline{EN}$ = V_{CC}		±0.05	±10	μA
r_i	入力抵抗	V_I = ±3V～±25V	3	5	7	kΩ

(1) すべての標準値は、V_{CC} = 3.3V または V_{CC} = 5V、T_A = 25℃での値です。
(2) テスト条件は、V_{CC} = 3.3V ± 0.3V では C1～C4 = 0.1μF、V_{CC} = 5V ± 0.5V では C1 = 0.047μF、C2～C4 = 0.33μF です。

5.9 電気的特性：自動パワー ダウン

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	最大値	単位
$V_{T+(valid)}$	$\overline{INVALID}$ High レベル出力電圧のレシーバ入力スレッショルド	FORCEON = GND、	$\overline{FORCEOFF}$ = V_{CC}		2.7	V
$V_{T–(valid)}$	$\overline{INVALID}$ High レベル出力電圧のレシーバ入力スレッショルド	FORCEON = GND、	$\overline{FORCEOFF}$ = V_{CC}	-2.7		V
$V_{T(invalid)}$	$\overline{INVALID}$ Low レベル出力電圧のレシーバ入力スレッショルド	FORCEON = GND、	$\overline{FORCEOFF}$ = V_{CC}	-0.3	0.3	V
V_{OH}	$\overline{INVALID}$ High レベル出力電圧	I_{OH} = –1mA、FORCEON = GND、$\overline{FORCEOFF}$ = V_{CC}		V_{CC} - 0.6		V
V_{OL}	$\overline{INVALID}$ Low レベル出力電圧	I_{OL} = 1.6mA、FORCEON = GND、$\overline{FORCEOFF}$ = V_{CC}			0.4	V

Copyright © 2025 Texas Instruments Incorporated

5.10 スイッチング特性：ドライバ

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)(3)

パラメータ		テスト条件		最小値	標準値 (1)	最大値	単位
	最大データ レート	C_L = 1000pF,	R_L = 3kΩ,	150	250		kbit/s
$t_{sk(p)}$	パルス スキュー(2)	C_L = 150pF～2500pF、	R_L = 3kΩ～7kΩ、 図 6-2 を参照		100		ns
SR(tr)	スルーレート、遷移領域 (図 6-1 を参照)	V_{CC} = 3.3V、R_L = 3kΩ～7kΩ	C_L = 150pF～1000pF	6		30	V/µs
			C_L = 150pF～2500pF	4		30	

(1) すべての標準値は、V_{CC} = 3.3V または V_{CC} = 5V、T_A = 25℃での値です。
(2) パルス スキューは、同じデバイスの各チャネルの $|t_{PLH} - t_{PHL}|$ と定義されます。
(3) テスト条件は、V_{CC} = 3.3V ± 0.3V では C1～C4 = 0.1µF、V_{CC} = 5V ± 0.5V では C1 = 0.047µF、C2～C4 = 0.33µF です。

5.11 スイッチング特性：レシーバ

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)(3)

パラメータ		テスト条件	標準値 (1)	単位
t_{PLH}	伝搬遅延時間、Low レベルから High レベル出力まで	C_L = 150pF、図 6-3 を参照	150	ns
t_{PHL}	伝搬遅延時間、High レベルから Low レベル出力まで	C_L = 150pF、図 6-3 を参照	150	ns
t_{en}	出力イネーブル時間	R_L = 150pF、C_L = 3kΩ、図 6-4 を参照	200	ns
t_{dis}	出力ディスエーブル時間	R_L = 150pF、C_L = 3kΩ、図 6-4 を参照	200	ns
$t_{sk(p)}$	パルス スキュー(2)	図 6-3 を参照	50	ns

(1) すべての標準値は、V_{CC} = 3.3V または V_{CC} = 5V、T_A = 25℃での値です。
(2) パルス スキューは、同じデバイスの各チャネルの $|t_{PLH} - t_{PHL}|$ と定義されます。
(3) テスト条件は、V_{CC} = 3.3V ± 0.3V では C1～C4 = 0.1µF、V_{CC} = 5V ± 0.5V では C1 = 0.047µF、C2～C4 = 0.33µF です。

5.12 スイッチング特性：自動パワー ダウン

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		標準値 (1)	単位
t_{valid}	伝搬遅延時間、Low レベルから High レベル出力まで	1	µs
$t_{invalid}$	伝搬遅延時間、High レベルから Low レベル出力まで	30	µs
t_{en}	電源イネーブル時間	100	µs

(1) すべての標準値は、V_{CC} = 3.3V または V_{CC} = 5V、T_A = 25℃での値です。

Copyright © 2025 Texas Instruments Incorporated

5.13 代表的特性

T_A = 25℃、V_{CC} = 3.3V

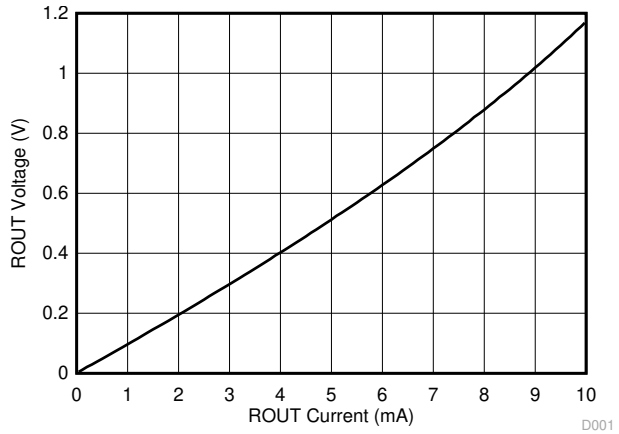


図 5-1. レシーバ VOL と負荷電流との関係

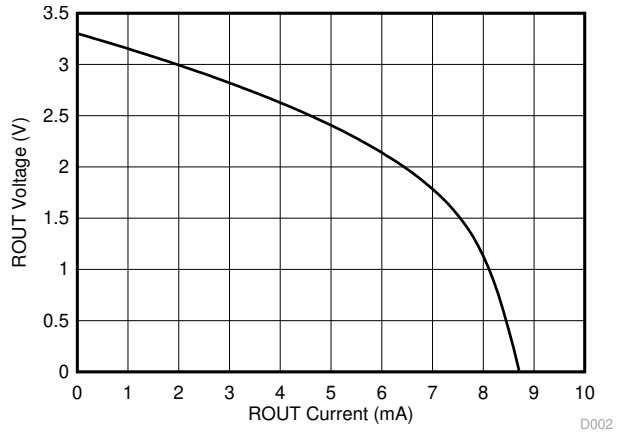


図 5-2. レシーバ VOH と負荷電流との関係

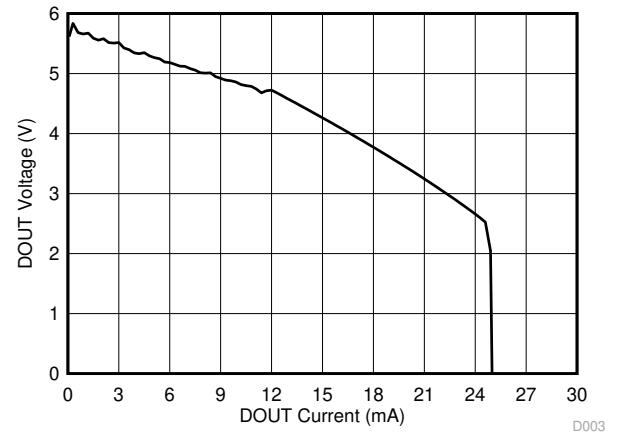


図 5-3. ドライバ VOH と負荷電流との関係

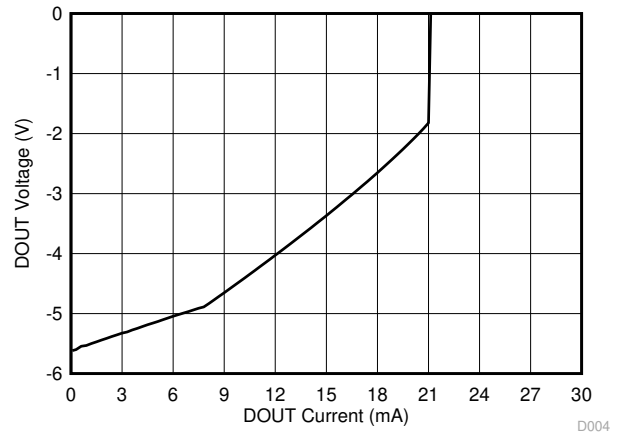
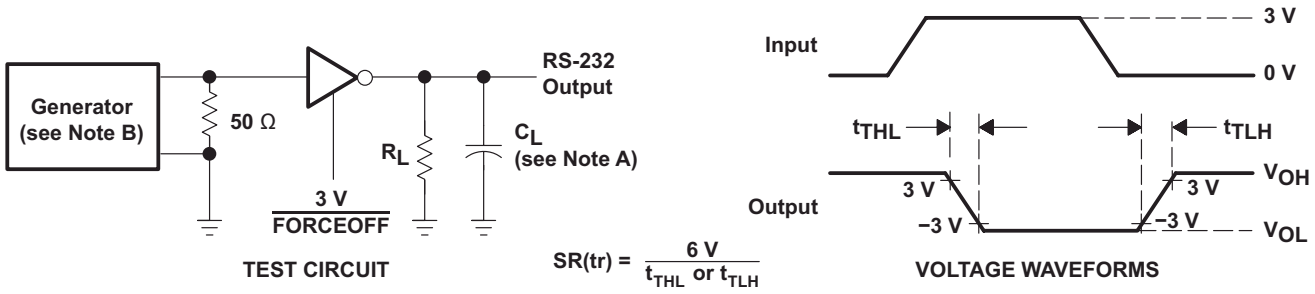


図 5-4. ドライバ VOL と負荷電流との関係

Copyright © 2025 Texas Instruments Incorporated

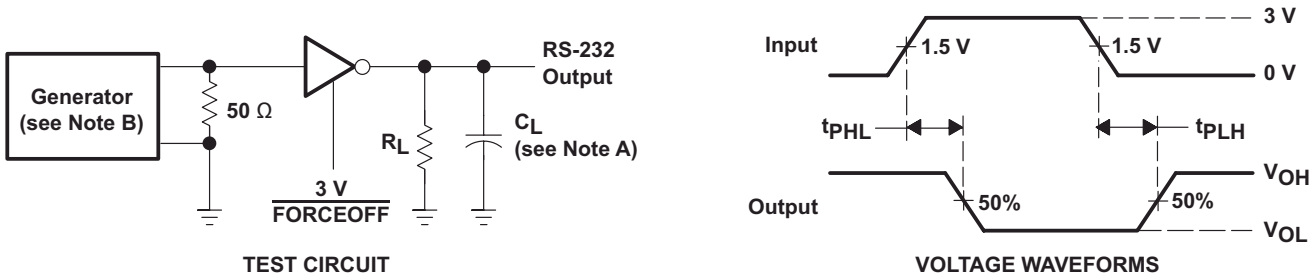
6 パラメータ測定情報



A. C_L にはプローブと治具の容量が含まれます。

B. パルス ジェネレータの特性は、以下のとおりです。PRR = 250kbps、Z_O = 50Ω、デューティ サイクル 50%、t_r ≤ 10ns、t_f ≤ 10ns

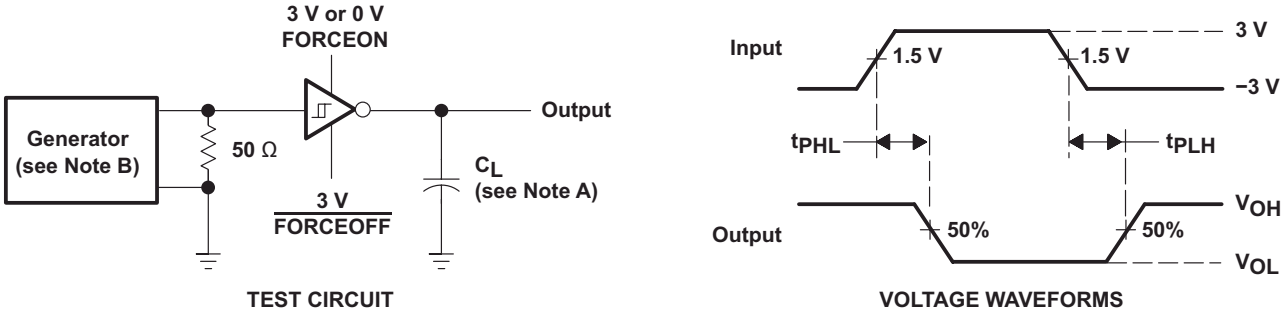
図 6-1. ドライバのスルーレート



A. C_L にはプローブと治具の容量が含まれます。

B. パルス ジェネレータの特性は、以下のとおりです。PRR = 250kbps、Z_O = 50Ω、デューティ サイクル 50%、t_r ≤ 10ns、t_f ≤ 10ns

図 6-2. ドライバのパルス スキュー

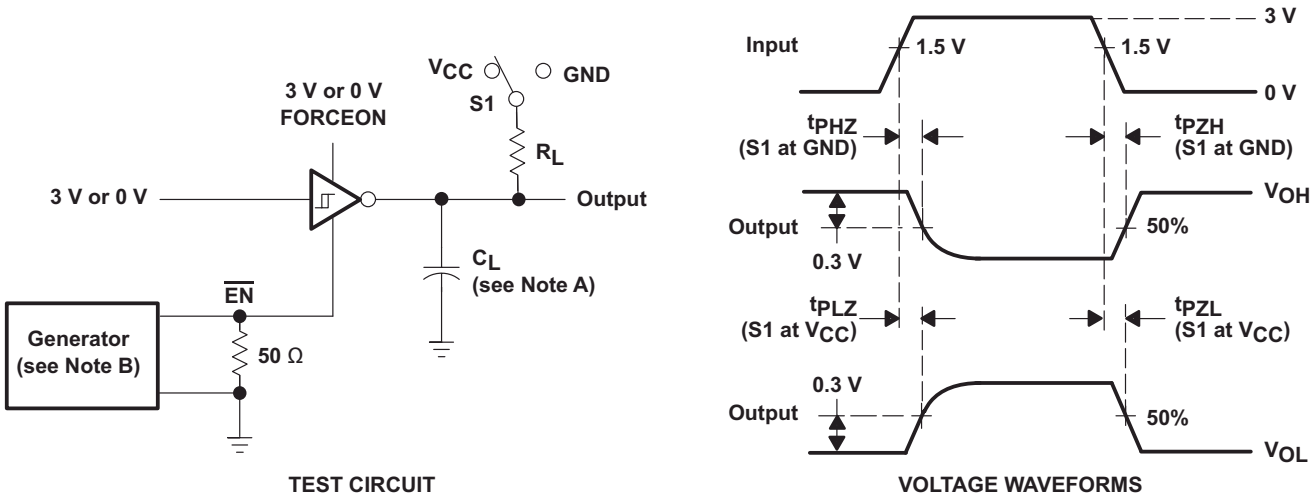


A. C_L にはプローブと治具の容量が含まれます。

B. パルス ジェネレータの特性は、以下のとおりです。Z_O = 50Ω、デューティ サイクル 50%、t_r ≤ 10ns、t_f ≤ 10ns

図 6-3. レシーバの伝搬遅延時間

Copyright © 2025 Texas Instruments Incorporated



A. C_L にはプローブと治具の容量が含まれます。

B. パルス ジェネレータの特性は、以下のとおりです。Z_O = 50Ω、デューティ サイクル 50%、t_r ≤ 10ns、t_f ≤ 10ns

C. t_{PLZ} と t_{PHZ} は t_{dis} と同じです。

D. t_{PZL} と t_{PZH} は t_{en} と同じです。

図 6-4. レシーバ イネーブルおよびディスエーブル時間

Copyright © 2025 Texas Instruments Incorporated

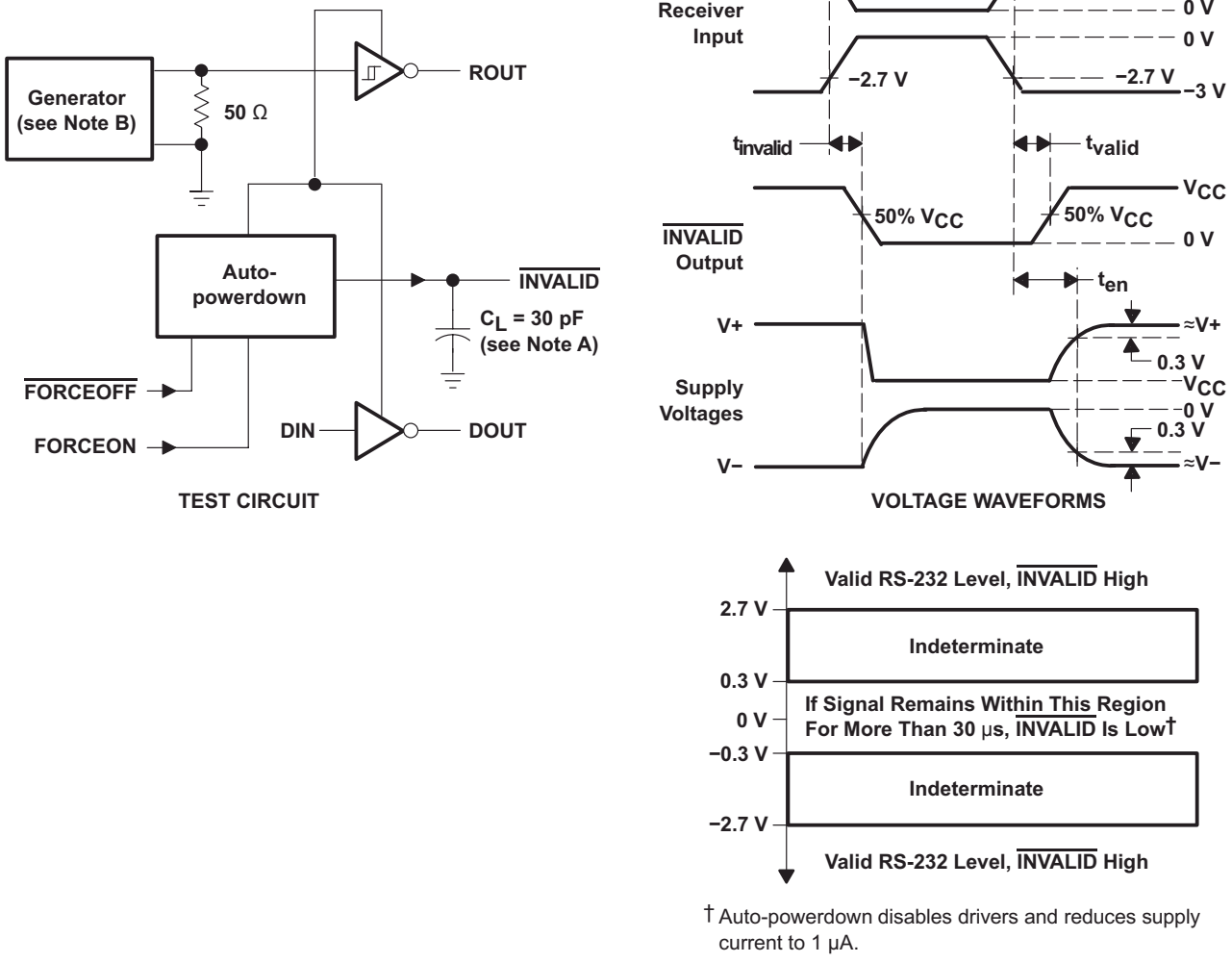


図 6-5. $\overline{\text{INVALID}}$ 伝搬遅延時間とドライバ イネーブル時間

7 詳細説明

7.1 概要

MAX3221E は、1 つの V_{CC} 電源で動作するシングル ドライバ / シングル レシーバ RS-232 ソリューションです。RS-232 ピンは、IEC 61000-4-2 ESD 保護に対応しています。このデバイスは、TIA/EIA-232-F の要件を満たし、非同期通信コントローラとシリアルポート コネクタの間の電気的インターフェイスとして機能します。チャージ ポンプと 4 つの小さな外付けコンデンサにより、3V～5.5V の単一電源で動作できます。本デバイスは最大 250kbit/s のデータ信号速度、最大 30V/µs のドライバ出力スルーレートで動作します。

シリアル ポートが使われていない際のパワー マネージメントを柔軟に制御できます。FORCEON が LOW かつ $\overline{\text{FORCEOFF}}$ が HIGH の場合、自動パワーダウン機能が動作します。この動作モード中、デバイスがレシーバ入力で有効な RS-232 信号を検出しない場合、ドライバ出力はディスエーブルになります。$\overline{\text{FORCEOFF}}$ を LOW に設定しかつ $\overline{\text{EN}}$ を HIGH に設定すると、ドライバとレシーバはどちらもシャットダウンされ、消費電流は 1µA に減少します。シリアル ポートを切り離した場合、またはペリフェラル ドライバをオフにした場合、自動パワーダウン状態になります。FORCEON と $\overline{\text{FORCEOFF}}$ を HIGH にすると、自動パワーダウンを無効にできます。自動パワーダウンが有効な場合、レシーバの入力に有効な信号が印加されると、デバイスは自動的にアクティブになります。$\overline{\text{INVALID}}$ 出力は、レシーバの入力に RS-232 信号が存在するかどうかをユーザーに通知します。$\overline{\text{INVALID}}$ は、レシーバの入力電圧が 2.7V を上回っている場合、−2.7V を下回っている場合、−0.3V と 0.3V の間にあった期間が 30µs 未満である場合のいずれかの場合、HIGH (有効データ) になります。$\overline{\text{INVALID}}$ は、レシーバの入力電圧が 30µs を超える期間 −0.3V と 0.3V の間にある場合、LOW (無効データ) になります。レシーバの入力レベルについては、図 6-1 を参照してください。

7.2 機能ブロック図

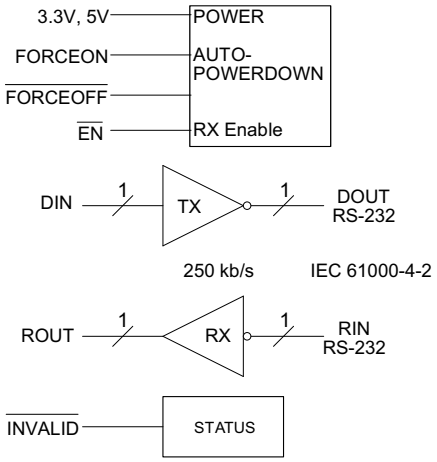


図 7-1. 論理図 (正論理)

7.3 機能説明

7.3.1 電源

このパワー ブロックは、4 個の外付けコンデンサを必要とするチャージ ポンプを使用して、V+ および V- ピンの電圧を上昇、反転、および調整します。ドライバの自動パワーダウン機能は、FORCEON および $\overline{\text{FORCEOFF}}$ 入力により制御されます。レシーバは、$\overline{\text{EN}}$ 入力により制御されます。MAX3221E に電力が供給されていない場合は、アクティブなリモート RS-232 デバイスに MAX3221E を安全に接続できます。

7.3.2 RS-232 ドライバ

1 つのドライバは、標準ロジック レベルを RS-232 レベルにインターフェイスします。DIN 入力は、有効な High または Low レベルである必要があります。

Copyright © 2025 Texas Instruments Incorporated

7.3.3 RS-232 レシーバ

1 つのレシーバは、RS-232 レベルを標準ロジック レベルにインターフェイスします。入力が開放されている場合、ROUT の出力は High になります。RIN 入力には、内部標準 RS-232 負荷が含まれています。$\overline{EN}$ ピンにロジック High 入力が印加されると、レシーバ出力がシャットダウンされます。

7.3.4 RS-232 のステータス

RIN 入力に 30µs 以上電力が供給されないと、$\overline{INVALID}$ 出力は Low になります。レシーバに有効な入力があると、$\overline{INVALID}$ 出力は High になります。VCC に電力が供給されると、FORCEON および $\overline{FORCEOFF}$ 入力に関係なく、$\overline{INVALID}$ 出力はアクティブになります (表 7-3 を参照)。

7.4 デバイスの機能モード

表 7-1、表 7-2、および 表 7-3 は、関連する入力の考えられるすべての組み合わせでのドライバ、レシーバ、および $\overline{INVALID}$ 機能の動作を示しています。

表 7-1. 機能表 (各ドライバ) (1)

入力				OUTPUT DOUT	ドライバのステータス
DIN	FORCEON	$\overline{FORCEOFF}$	有効な RIN RS-232 レベル		
X	X	L	X	Z	電源オフ
L	H	H	X	H	自動パワーダウンが無効になっているときの通常動作
H	H	H	X	L	
L	L	H	あり	H	自動パワーダウンが有効になっているときの通常動作
H	L	H	あり	L	
L	L	H	なし	Z	自動パワーダウン機能による電源オフ
H	L	H	なし	Z	

(1) H = High レベル、L = Low レベル、X = 無関係、Z = 高インピーダンス

表 7-2. 各レシーバ (1)

入力			OUTPUT ROUT
RIN	$\overline{EN}$	有効な RIN RS-232 レベル	
L	L	X	H
H	L	X	L
X	H	X	Z
オープン	L	なし	H

(1) H = High レベル、L = Low レベル、X = 無関係、Z = 高インピーダンス (オフ)、開放 = 入力が切断されている、または接続されているドライバがオフ

表 7-3. $\overline{INVALID}$ (1)

入力				出力
RIN	FORCEON	$\overline{FORCEOFF}$	$\overline{EN}$	$\overline{INVALID}$
L	X	X	X	H
H	X	X	X	H
オープン	X	X	X	L

(1) H = High レベル、L = Low レベル、X = 無関係、Z = 高インピーダンス (オフ)、開放 = 入力が切断されている、または接続されているドライバがオフ

8 アプリケーションと実装

注

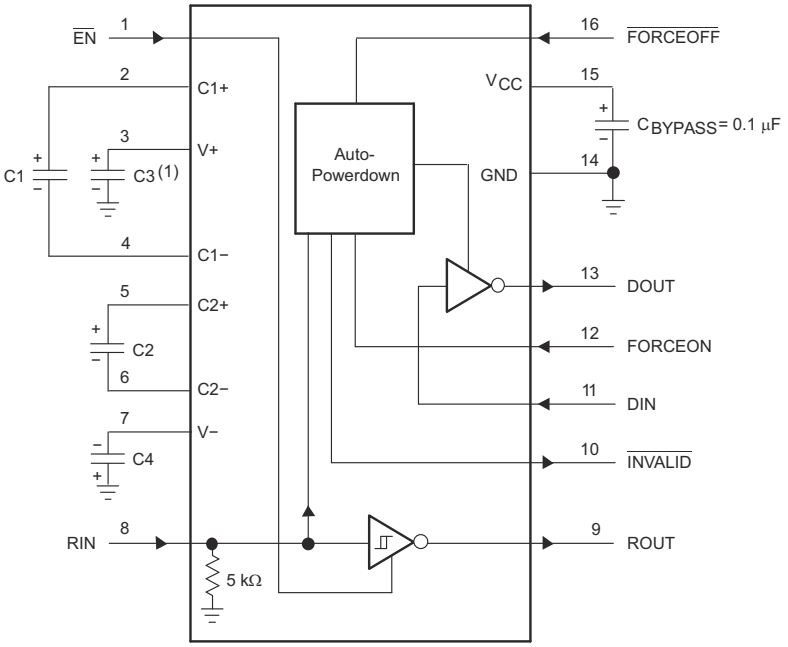
以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

MAX3221E ライン ドライバおよびレシーバは、3V～5.5V の RS -232 通信アプリケーション用の特殊デバイスです。このアプリケーションは、必要な外付け部品をすべて備えた、このデバイスの汎用実装です。適切に動作させるには、図 8-1 に示すようにコンデンサを追加します。

8.2 代表的なアプリケーション

ROUT と DIN は、UART または汎用ロジック ラインに接続します。FORCEON および $\overline{\text{FORCEOFF}}$ は、汎用ロジック ラインに接続するか、グランドまたは V_{CC} に接続することができます。$\overline{\text{INVALID}}$ は、汎用ロジック ラインに接続するか、未接続のままにしておくことができます。RIN と DOUT の各ラインは、RS-232 コネクタまたはケーブルに接続します。DIN、FORCEON、および $\overline{\text{FORCEOFF}}$ 入力は、未接続のままにしないでください。



(1) C3 can be connected to V_{CC} or GND.

NOTES: A. Resistor values shown are nominal.

B. Nonpolarized ceramic capacitors are acceptable. If polarized tantalum or electrolytic capacitors are used, they should be connected as shown.

V_{CC} vs CAPACITOR VALUES

V_{CC}	C1	C2, C3, and C4
3.3 V ± 0.3 V	0.1 µF	0.1 µF
5 V ± 0.5 V	0.047 µF	0.33 µF
3 V to 5.5 V	0.1 µF	0.47 µF

Copyright © 2016, Texas Instruments Incorporated

図 8-1. 代表的な動作回路とコンデンサの値

Copyright © 2025 Texas Instruments Incorporated

8.2.1 設計要件

- 推奨される V_{CC} は 3.3V または 5V です。
  - 3V～5.5V も使用可能です。
- 最大推奨ビット レートは 250kbps です。
- 図 8-1 に示すようにコンデンサを使用してください。

8.2.2 詳細な設計手順

- DIN、$\overline{\text{FORCEOFF}}$、FORCEON 入力は、有効な Low または High ロジック レベルに接続する必要があります。
- 最高の性能を得るため、VCC レベルに基づいてコンデンサの値を選択してください。

8.2.3 アプリケーション曲線

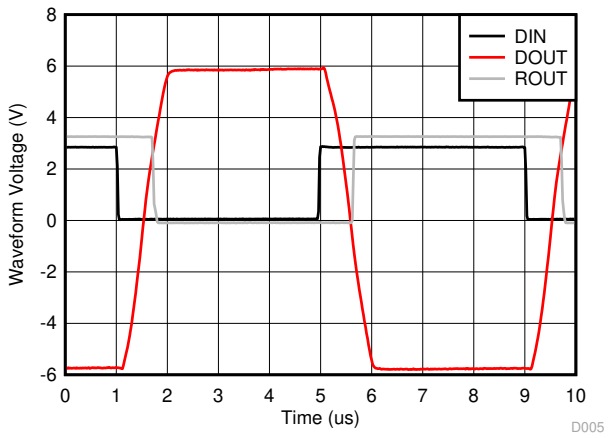


図 8-2. ループバック波形 V_{CC} = 3.3V、データ レート 250kbit/s

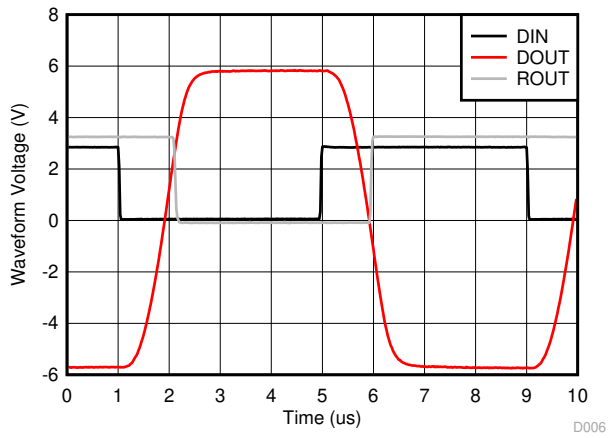


図 8-3. 1nF の負荷でのループバック波形 V_{CC} = 3.3V、データ レート 250kbit/s

8.3 電源に関する推奨事項

電源ピンのノイズをフィルタリングするために 0.1µF のコンデンサをお勧めします。フィルタ機能を強化するため、0.01µF のコンデンサを並列に追加することもできます。電源入力電圧は、セクション 5.4 に記載されている任意の有効レベルにすることをお勧めします。

Copyright © 2025 Texas Instruments Incorporated

8.4 レイアウト

8.4.1 レイアウトのガイドライン

外付けコンデンサの配線は短くしてください。これは、立ち上がり時間と立ち下がり時間が最短の C1 および C2 ノードではより重要です。最高の ESD 性能が得られるように、MAX3221E のグランド ピンと回路基板のグランド プレーンからのインピーダンスを可能な限り低くしてください。グランド ピンの両側に幅の広い金属と複数のビアを使用してください。

8.4.2 レイアウト例

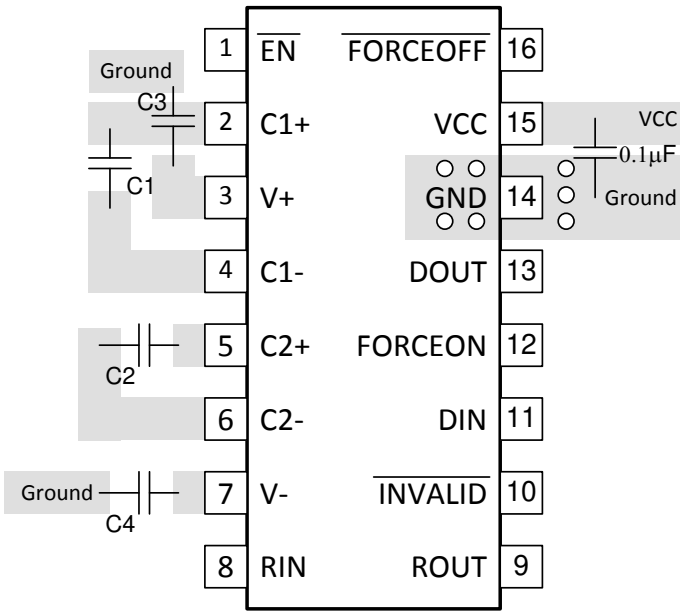


図 8-4. MAX3221E のレイアウト例

Copyright © 2025 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (July 2024) to Revision E (December 2024) **Page**

- データシートに SOT-23-THN (DYY) パッケージを追加 1
- 「ESD 定格 - IEC 仕様」に注 2 を追加 4

Changes from Revision C (July 2021) to Revision D (July 2024) **Page**

- 「製品情報」表を「パッケージ情報」表に変更 1
- 「ESD 定格」の「ピン 8 および 11」を「ピン 8 および 13」に変更 4
- 「ESD 定格 - IEC 仕様」の「ピン 8 および 11」を「ピン 8 および 13」に変更 4

Changes from Revision B (March 2016) to Revision C (July 2021) **Page**

- *「アプリケーション」*の一覧を変更 1
- 「ESD 定格 IEC 仕様」表を追加し、IEC ESD レベルを満たすための最小要件に関する注を表に追加。 4
- DB および PW パッケージの「熱に関する情報」表の値を変更 5

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision A (May 2006) to Revision B (March 2016) **Page**

- 「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加 1
- *「注文情報」*表を削除 (このデータシートの末尾にある「製品オプションについての付録」を参照)..... 1
- $R_{\theta JA}$ 熱価を、DB パッケージについては 82 から 92 に、PW パッケージについては 108 から 100.3 にそれぞれ変更..... 5

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
MAX3221ECDBR	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	MP221EC
MAX3221ECDBR.A	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	MP221EC
MAX3221ECDBRG4	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	MP221EC
MAX3221ECPWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	0 to 70	MP221EC
MAX3221ECPWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	MP221EC
MAX3221ECPWRG4	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MP221EC
MAX3221ECPWRG4.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MP221EC
MAX3221EIDBR	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MP221EI
MAX3221EIDBR.A	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MP221EI
MAX3221EIDBRG4	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MP221EI
MAX3221EIDYYR	Active	Production	SOT-23-THIN (DYY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MP221EI
MAX3221EIDYYR.A	Active	Production	SOT-23-THIN (DYY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MP221EI
MAX3221EIPWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	MP221EI
MAX3221EIPWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MP221EI
MAX3221EIPWRG4	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MP221EI
MAX3221EIPWRG4.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MP221EI

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

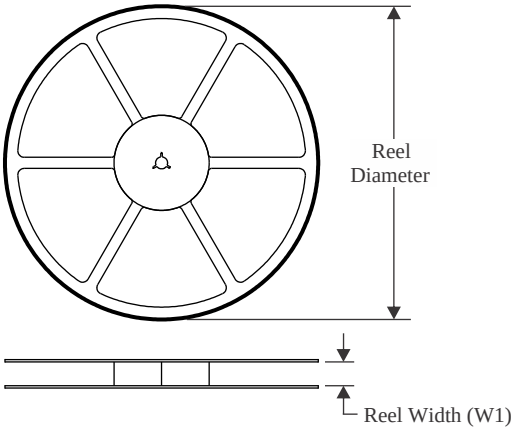
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

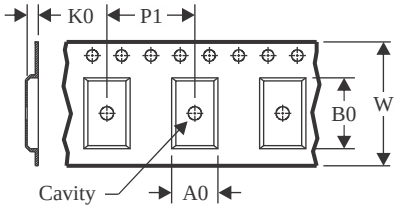
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

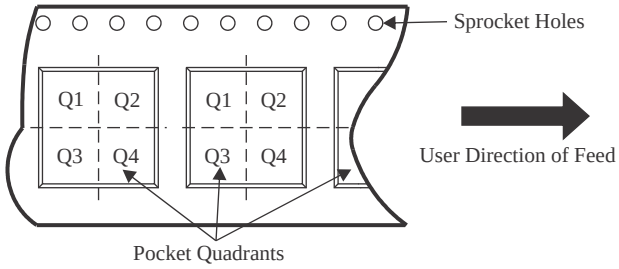


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

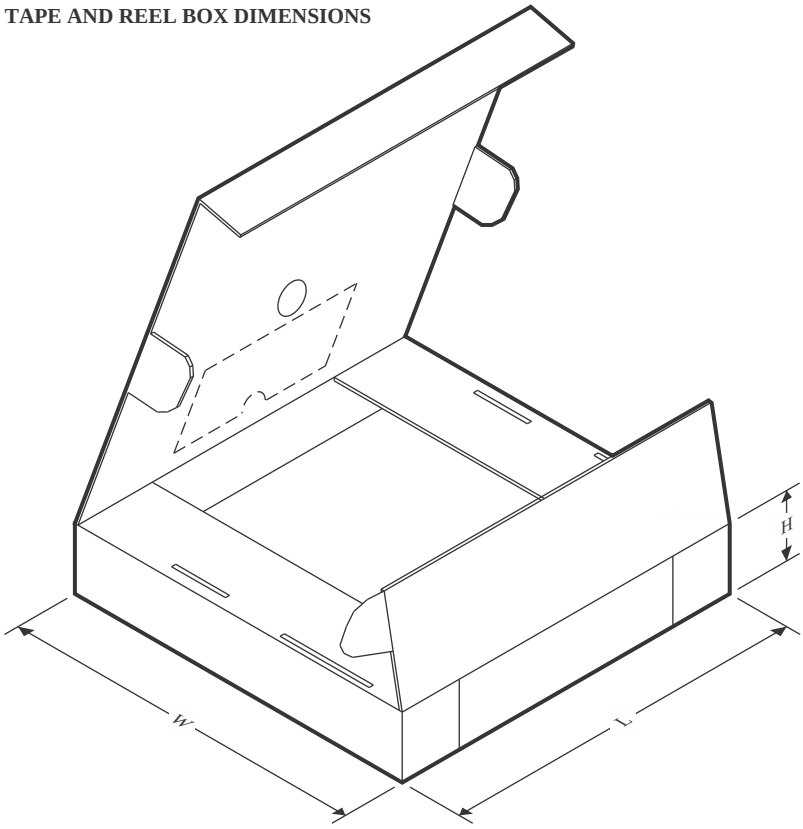
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
MAX3221ECDBR	SSOP	DB	16	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
MAX3221ECPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MAX3221ECPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MAX3221ECPWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MAX3221EIDBR	SSOP	DB	16	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
MAX3221EIDYYR	SOT-23-THIN	DYY	16	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
MAX3221EIPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
MAX3221EIPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MAX3221EIPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MAX3221EIPWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
MAX3221EIPWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

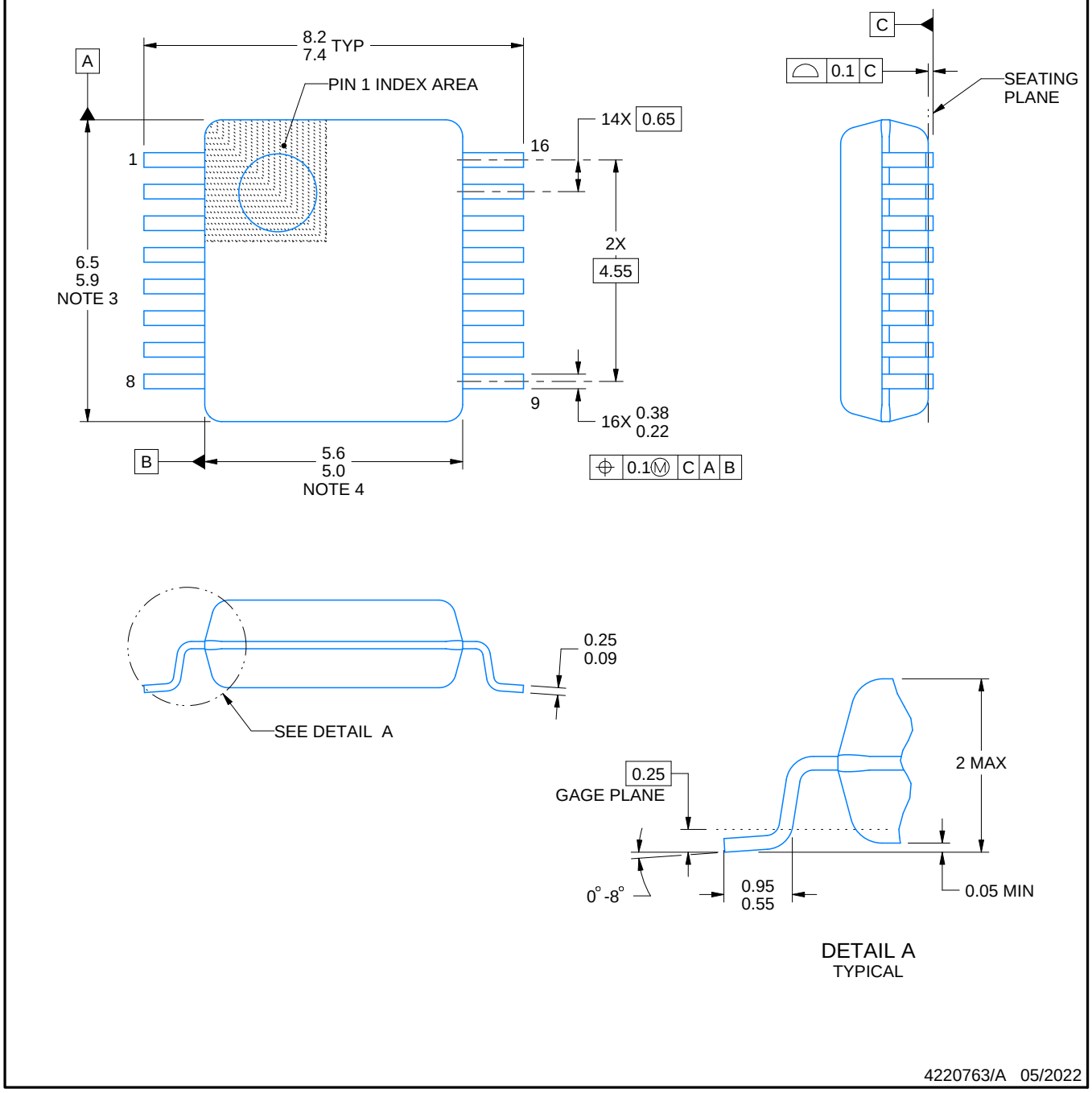
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
MAX3221ECDBR	SSOP	DB	16	2000	353.0	353.0	32.0
MAX3221ECPWR	TSSOP	PW	16	2000	353.0	353.0	32.0
MAX3221ECPWR	TSSOP	PW	16	2000	356.0	356.0	35.0
MAX3221ECPWRG4	TSSOP	PW	16	2000	353.0	353.0	32.0
MAX3221EIDBR	SSOP	DB	16	2000	353.0	353.0	32.0
MAX3221EIDYYR	SOT-23-THIN	DYY	16	3000	336.6	336.6	31.8
MAX3221EIPWR	TSSOP	PW	16	2000	367.0	367.0	35.0
MAX3221EIPWR	TSSOP	PW	16	2000	356.0	356.0	35.0
MAX3221EIPWR	TSSOP	PW	16	2000	353.0	353.0	32.0
MAX3221EIPWRG4	TSSOP	PW	16	2000	367.0	367.0	35.0
MAX3221EIPWRG4	TSSOP	PW	16	2000	353.0	353.0	32.0

PACKAGE OUTLINE

DB0016A

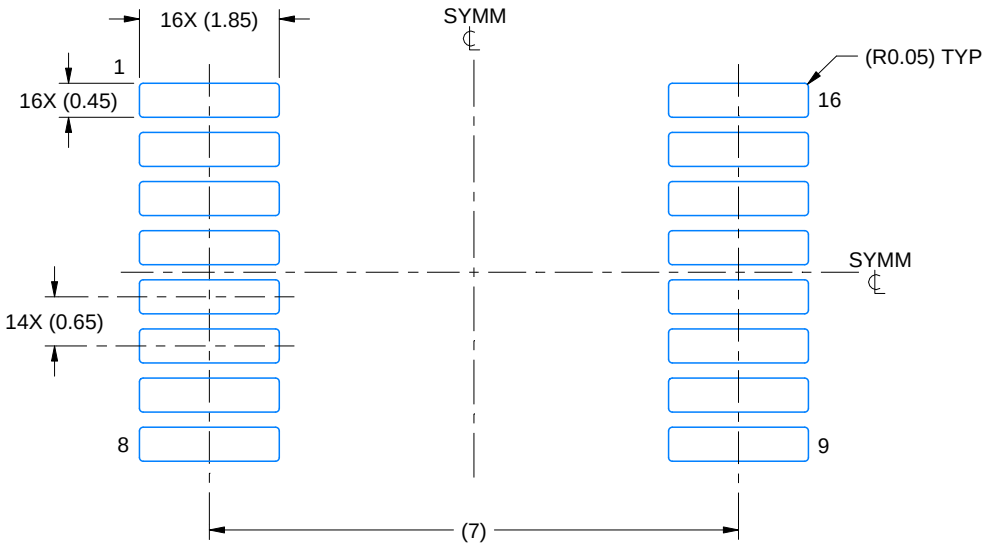
SSOP - 2 mm max height

SMALL OUTLINE PACKAGE

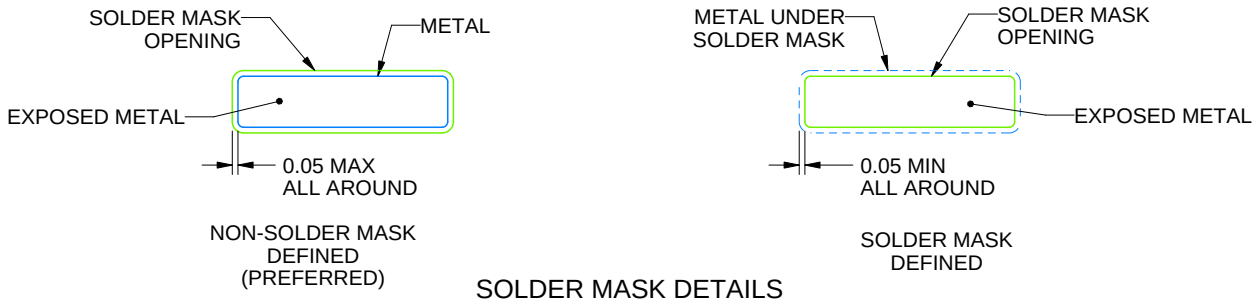


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

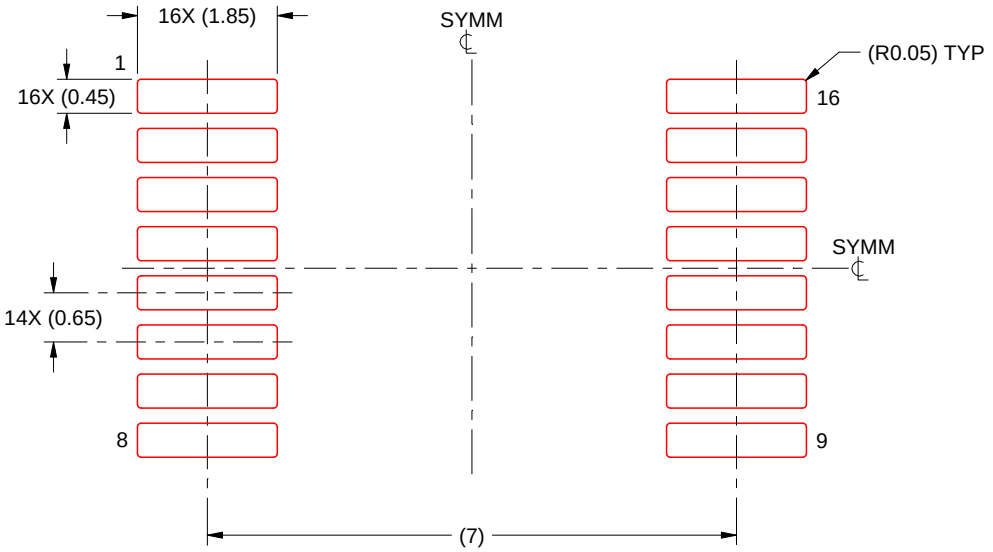


SOLDER MASK DETAILS

4220763/A 05/2022

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220763/A 05/2022

NOTES: (continued)

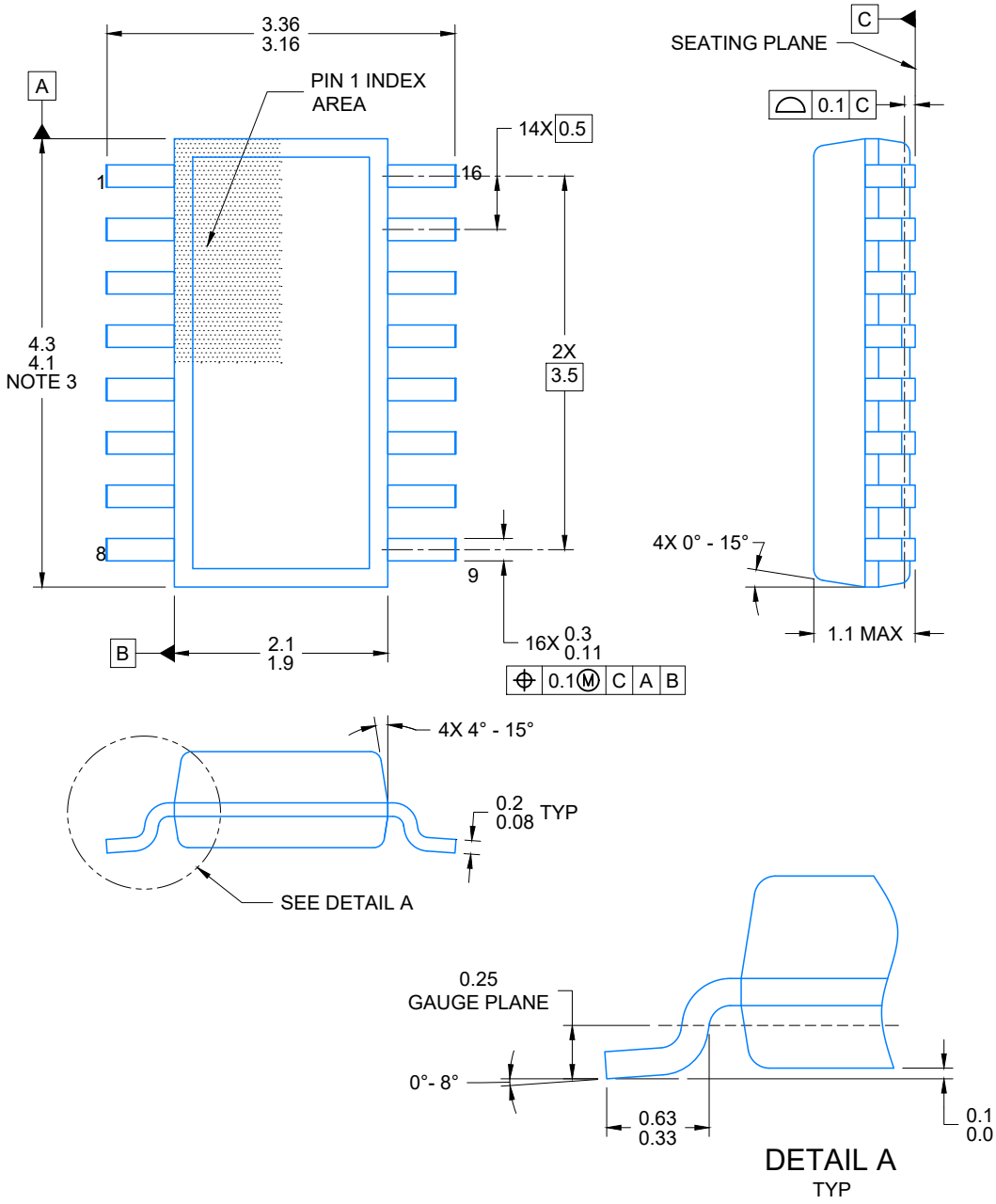
7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DYY0016A

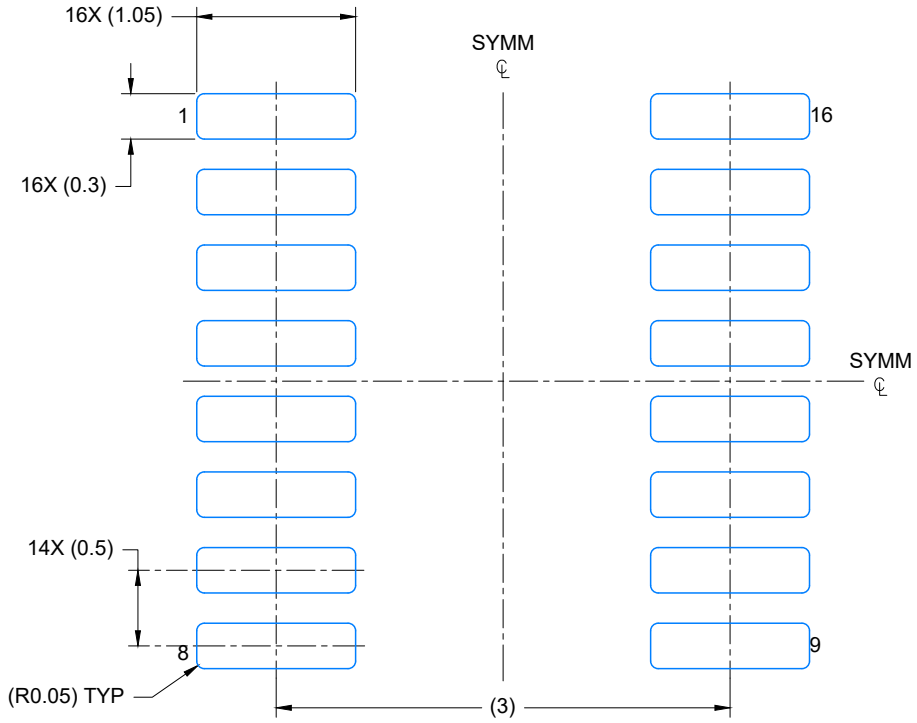
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

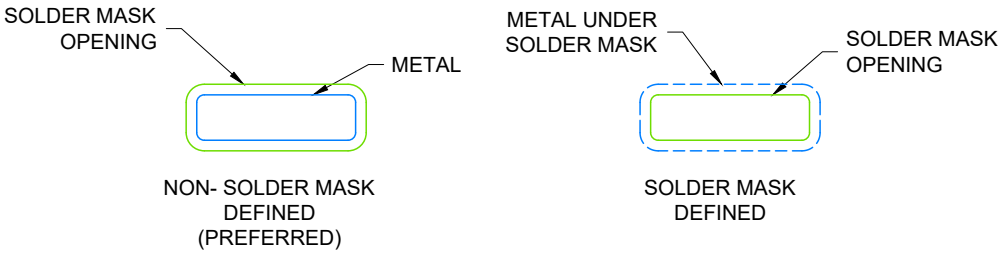


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AA



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4224642/D 07/2024

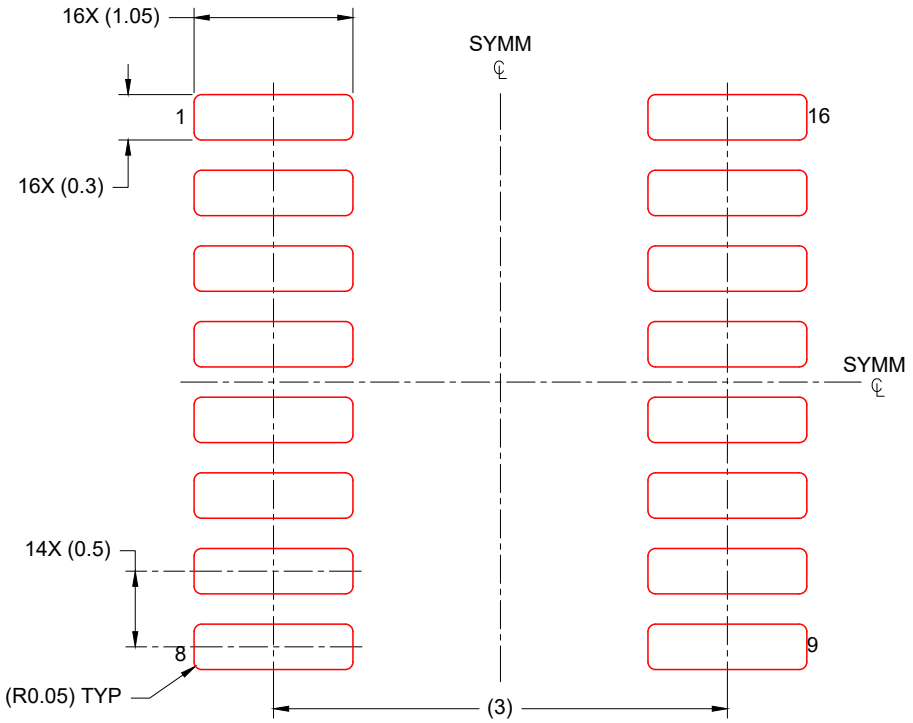
NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224642/D 07/2024

NOTES: (continued)

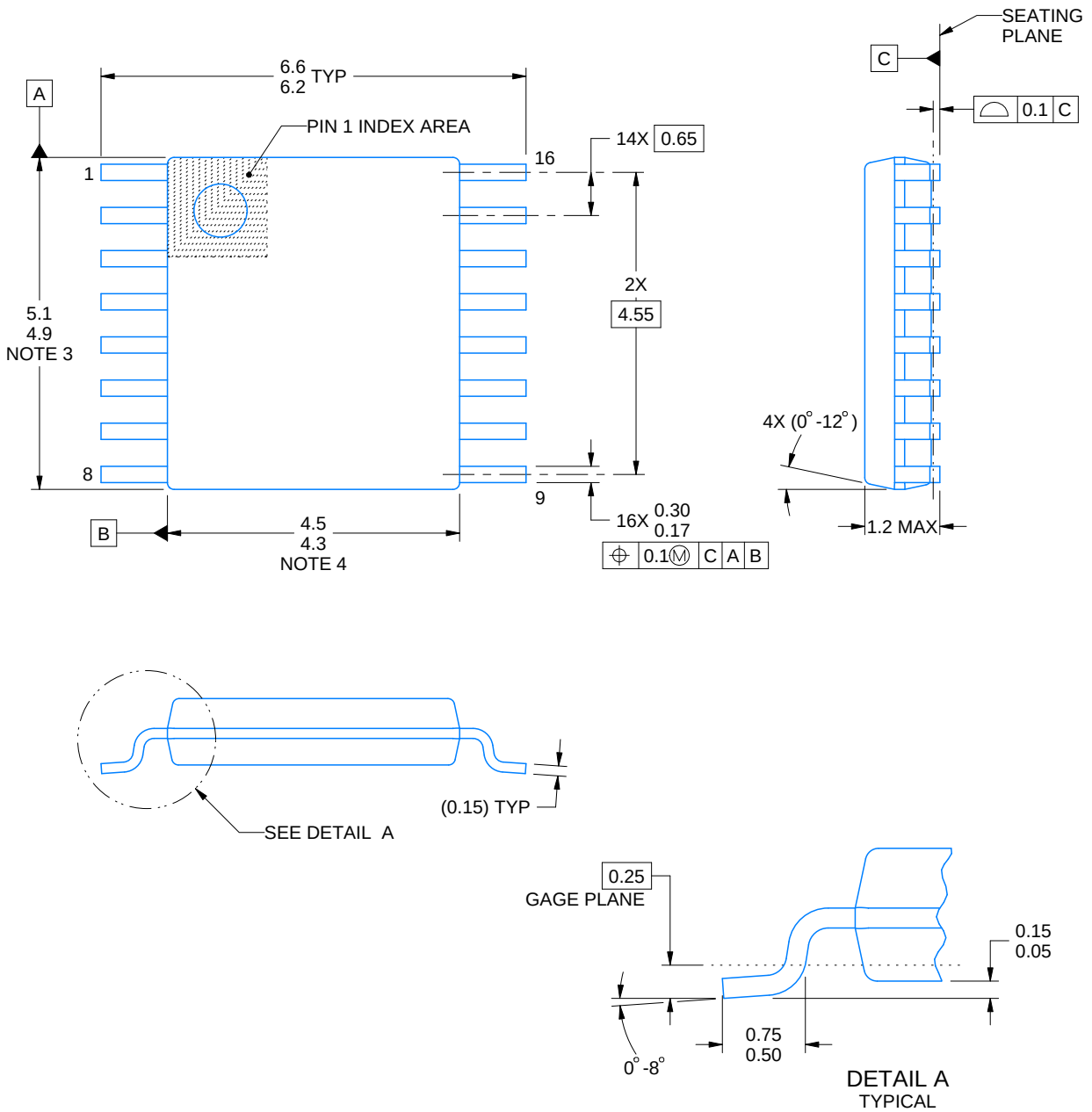
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0016A

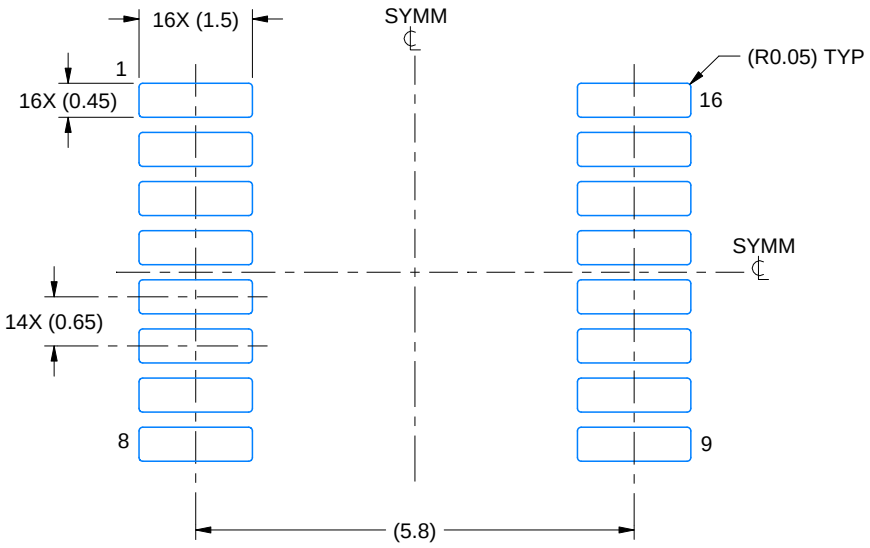
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

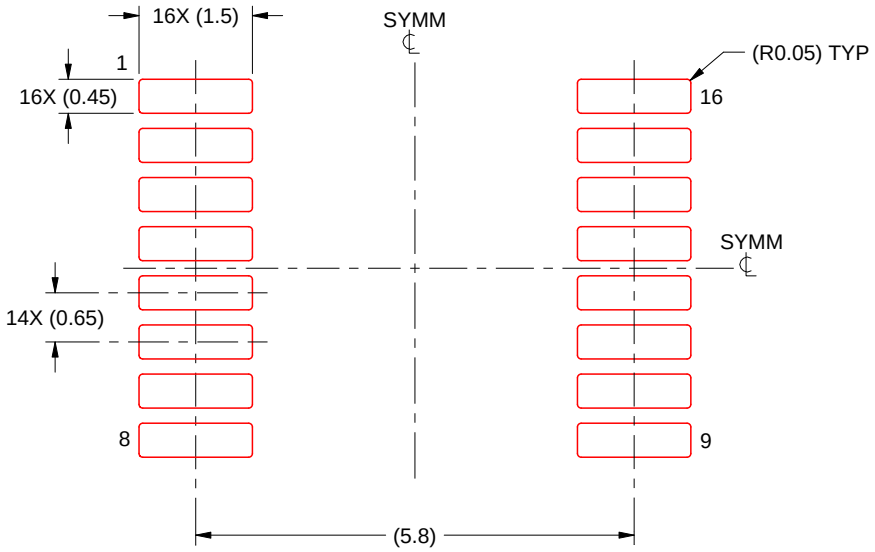


SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月