MAX3232 3V～5.5V、マルチチャネル RS-232 ライン・ドライバおよびレシーバ、±15kV ESD 保護

1 特長

- 人体モデル (HBM) で ±15kV を超える RS-232 バス・ピン ESD 保護
- TIA/EIA-232-F および ITU V.28 規格の要件に適合
- 3V～5.5V の V_{CC} 電源で動作
- 最大 250kbit/s で動作
- 2 つのドライバと 2 つのレシーバ
- 低消費電流:標準値 300µA
- 外付けコンデンサ:4 × 0.1µF
- 3.3V 電源で 5V ロジック入力を受容
- 代替の高速ピン互換デバイス (1Mbit/s)
  - SN65C3232 (–40℃～85℃)
  - SN75C3232 (0℃～70℃)

2 アプリケーション

- 産業用 PC
- 有線ネットワーク
- データ・センターおよびエンタープライズ・ネットワーク
- バッテリ駆動システム
- PDA
- ノートブック PC
- ノート PC
- パームトップ PC
- ハンドヘルド機器

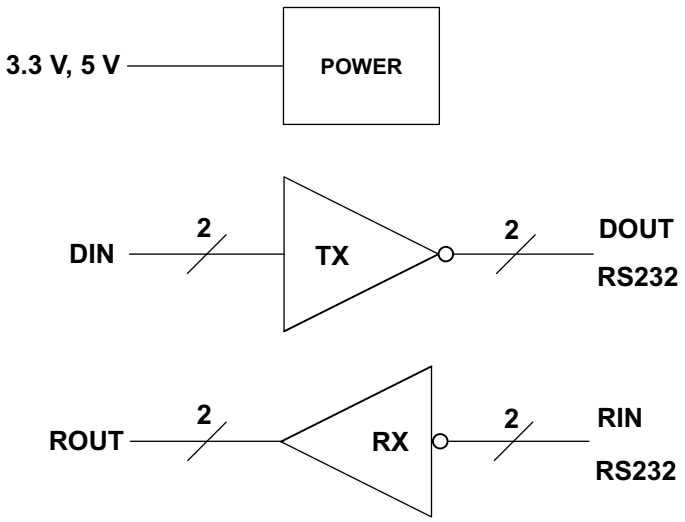
3 概要

MAX3232 は 2 つのライン・ドライバ、2 つのライン・レシーバ、1 つのデュアル・チャージ・ポンプ回路で構成されており、±15kV のピン間 (シリアル・ポート接続ピン、GND を含む) ESD 保護機能を備えています。このデバイスは、TIA/EIA-232-F のスペックを満たし、非同期通信コントローラとシリアルポート・コネクタの間の電気的インターフェイスとして機能します。チャージ・ポンプと 4 つの小さな外付けコンデンサにより、3V～5.5V の単一電源で動作できます。本デバイスは最大 250kbit/s のデータ信号速度、最大 30V/µs のドライバ出力スルーレートで動作します。

製品情報

部品番号	パッケージ(1)	本体サイズ
MAX3232	SOIC (D) (16)	9.90mm × 3.91mm
	SSOP (DB) (16)	6.20mm × 5.30mm
	SOIC (DW) (16)	10.30mm × 7.50mm
	TSSOP (PW) (16)	5.00mm × 4.40mm

(1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照してください。



概略回路図

英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.com で閲覧でき、その内容が常に優先されます。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 概要 ... 1
4 改訂履歴 ... 2
5 ピン構成および機能 ... 3
6 仕様 ... 4
6.1 絶対最大定格 ... 4
6.2 ESD 定格 ... 4
6.3 推奨動作条件 ... 4
6.4 熱に関する情報 ... 5
6.5 電気的特性 — デバイス ... 5
6.6 電気的特性 — ドライバ ... 5
6.7 電気的特性 — レシーバ ... 6
6.8 スイッチング特性 ... 6
6.9 代表的特性 ... 7
7 パラメータ測定情報 ... 8
8 詳細説明 ... 9
8.1 概要 ... 9
8.2 機能ブロック図 ... 9
8.3 機能説明 ... 9
8.4 デバイスの機能モード ... 10
9 アプリケーションと実装 ... 11
9.1 アプリケーション情報 ... 11
9.2 標準的なアプリケーション ... 11
10 電源に関する推奨事項 ... 12
11 レイアウト ... 13
11.1 レイアウトのガイドライン ... 13
11.2 レイアウト例 ... 13
12 デバイスおよびドキュメントのサポート ... 14
12.1 Receiving Notification of Documentation Updates ... 14
12.2 Support Resources ... 14
12.3 商標 ... 14
12.4 静電気放電に関する注意事項 ... 14
12.5 Glossary ... 14
13 メカニカル、パッケージ、および注文情報 ... 14

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision N (June 2017) to Revision O (June 2021) — **Page**

- 以下の「アプリケーション」を追加。産業用 PC、有線ネットワーク、データ・センターおよびエンタープライズ・コンピューティング ... 1
- 「熱情報」表で D、DB、PW パッケージの熱パラメータ値を変更 ... 5

Changes from Revision M (April 2017) to Revision N (June 2017) — **Page**

- 「パッケージ情報」表を変更 ... 5

Changes from Revision L (March 2017) to Revision M (April 2017) — **Page**

- 次のように変更：表 9-1 の V_{CC} 列で「±」を「～」に変更 ... 12

Changes from Revision K (January 2015) to Revision L (March 2017) — **Page**

- 図 9-1 のピン 16 (V_{CC}) を変更 ... 11

Changes from Revision J (January 2014) to Revision K (January 2015) — **Page**

- *「アプリケーション」*セクション、「*製品情報*」表、「端子機能」表、「*ESD 定格*」表、「*熱に関する情報*」表、「*代表的特性*」セクション、「*機能説明*」セクション、「*デバイスの機能モード*」セクション、「*アプリケーションと実装*」セクション、「*電源に関する推奨事項*」セクション、「*レイアウト*」セクション、「*デバイスおよびドキュメントのサポート*」セクション、「*メカニカル、パッケージ、および注文情報*」セクションを追加 ... 1

Changes from Revision I (January 2004) to Revision J (January 2014) — **Page**

- 新しい TI データシート・フォーマットにドキュメントを更新 - 仕様変更なし ... 1
- 「*注文情報*」表を削除 ... 1

Copyright © 2023 Texas Instruments Incorporated

5 ピン構成および機能

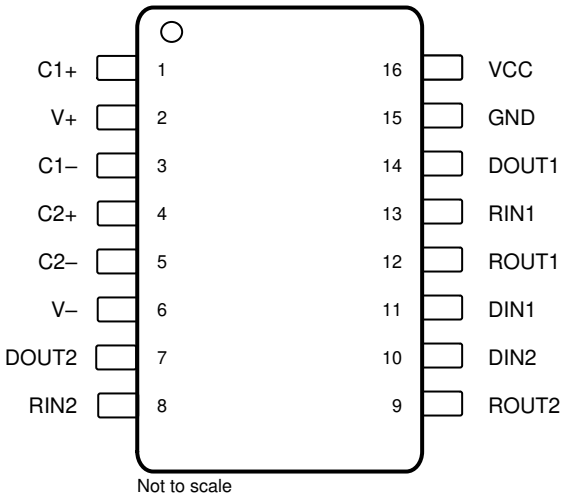


図 5-1. D、DB、DW、または PW パッケージ、16 ピン SOIC、 SSOP、または TSSOP の上面図

表 5-1. ピン機能

ピン		種類	説明
名称	番号		
C1+	1	—	C1 コンデンサの正のリード
V+	2	O	チャージ・ポンプの正の出力 (ストレージ・コンデンサのみ)
C1–	3	—	C1 コンデンサの負のリード
C2+	4	—	C2 コンデンサの正のリード
C2–	5	—	C2 コンデンサの負のリード
V–	6	O	チャージ・ポンプの負の出力 (ストレージ・コンデンサのみ)
DOUT2	7	O	RS232 ライン・データ出力 (リモート RS232 システムへ)
DOUT1	14	O	RS232 ライン・データ出力 (リモート RS232 システムへ)
RIN2	8	I	RS232 ライン・データ入力 (リモート RS232 システムから)
RIN1	13	I	RS232 ライン・データ入力 (リモート RS232 システムから)
ROUT2	9	O	ロジック・データ出力 (UART へ)
ROUT1	12	O	ロジック・データ出力 (UART へ)
DIN2	10	I	ロジック・データ入力 (UART から)
DIN1	11	I	ロジック・データ入力 (UART から)
GND	15	—	グランド
V_{CC}	16	—	電源電圧、外部の 3V～5.5V 電源に接続

Copyright © 2023 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧の範囲(2)		-0.3	6	V
V+	正の出力電源電圧範囲(2)		-0.3	7	V
V–	負の出力電源電圧範囲(2)		–7	0.3	V
V+ – V–	電源電圧の差異(2)			13	V
V_I	入力電圧範囲	ドライバ	-0.3	6	V
		レシーバ	-25	25	
V_O	出力電圧範囲	ドライバ	-13.2	13.2	V
		レシーバ	-0.3	V_{CC} + 0.3	
T_J	動作時の仮想接合部温度			150	℃
T_{stg}	保管温度範囲		-65	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、このデータシートの「推奨動作条件」に示された値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) すべての電圧はネットワーク GND を基準にしています。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、RIN、DOUT、GND ピン (1)	15000	V
		人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	3000	
		デバイス帯電モデル (CDM)、JEDEC 規格 JESD22-C101 準拠、すべてのピン(2)	1000	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。
(2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

6.3 推奨動作条件

(図 9-1 を参照)(1)

				最小値	公称値	最大値	単位
V_{CC}	電源電圧		V_{CC} = 3.3V	3	3.3	3.6	V
			V_{CC} = 5V	4.5	5	5.5	
V_{IH}	ドライバの High レベル入力電圧	DIN	V_{CC} = 3.3V	2			V
			V_{CC} = 5V	2.4			
V_{IL}	ドライバの Low レベル入力電圧	DIN				0.8	V
V_I	ドライバの入力電圧	DIN		0		5.5	V
	レシーバの入力電圧	RIN		-25		25	
T_A	自由気流での動作温度		MAX3232C	0		70	℃
			MAX3232I	-40		85	

(1) テスト条件は、V_{CC} = 3.3V ± 0.3V では C1～C4 = 0.1µF、V_{CC} = 5V ± 0.5V では C1 = 0.047µF、C2～C4 = 0.33µF です。

Copyright © 2023 Texas Instruments Incorporated

6.4 熱に関する情報

熱評価基準 (1)		MAX3232				単位
		SOIC (D)	SSOP (DB)	SOIC (DW)	TSSOP (PW)	
		16 ピン				
$R_{\theta JA}$	接合部から周囲への熱抵抗	85.9	103.1	66.6	108.2	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	43.1	49.2	32.4	39.0	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	44.5	54.8	31.9	54.4	℃/W
ψ_{JT}	接合部から上面への熱特性パラメータ	10.1	12	8.4	3.3	℃/W
ψ_{JB}	接合部から基板への熱特性パラメータ	44.1	54.1	31.5	53.8	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	n/a	n/a	n/a	n/a	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

6.5 電気的特性 — デバイス

電源電圧の推奨範囲と動作温度範囲内 (特に記述のない限り)(2) (図 9-1 を参照)

パラメータ		テスト条件		最小値	標準値 (1)	最大値	単位
I_{CC}	電源電流	無負荷、	V_{CC} = 3.3V～5V		0.3	1	mA

(1) すべての標準値は、V_{CC} = 3.3V または V_{CC} = 5V、T_A = 25℃での値です。
(2) テスト条件は、V_{CC} = 3.3V ± 0.3V では C1～C4 = 0.1μF、V_{CC} = 5V ± 0.5V では C1 = 0.047μF、C2～C4 = 0.33μF です。

6.6 電気的特性 — ドライバ

電源電圧の推奨範囲と動作温度範囲内 (特に記述のない限り)(3) (図 9-1 を参照)

パラメータ		テスト条件		最小値	標準値 (1)	最大値	単位
V_{OH}	High レベル出力電圧	D_{OUT} を GND への R_L = 3kΩ、	D_{IN} = GND で測定	5	5.4		V
V_{OL}	Low レベル出力電圧	D_{OUT} を GND への R_L = 3kΩ、	D_{IN} = V_{CC} で測定	-5	-5.4		V
I_{IH}	High レベル入力電流	V_I = V_{CC}			±0.01	±1	μA
I_{IL}	Low レベル入力電流	V_I は GND			±0.01	±1	μA
I_{OS} (2)	短絡出力電流	V_{CC} = 3.6V	V_O = 0V		±35	±60	mA
		V_{CC} = 5.5V	V_O = 0V				
r_O	出力抵抗	V_{CC}、V+、V– = 0V	V_O = ±2V	300	10M		Ω

(1) すべての標準値は、V_{CC} = 3.3V または V_{CC} = 5V、T_A = 25℃での値です。
(2) 短絡時間は、デバイスの絶対消費電力定格を超えないように制御する必要があります。また、一度に複数の出力を短絡させないでください。
(3) テスト条件は、V_{CC} = 3.3V ± 0.3V では C1～C4 = 0.1μF、V_{CC} = 5V ± 0.5V では C1 = 0.047μF、C2～C4 = 0.33μF です。

Copyright © 2023 Texas Instruments Incorporated

6.7 電気的特性 — レシーバ

電源電圧の推奨範囲と動作温度範囲内 (特に記述のない限り)(2) (図 9-1 を参照)

パラメータ		テスト条件	最小値	標準値 (1)	最大値	単位
V_{OH}	High レベル出力電圧	I_{OH} = -1mA	V_{CC} - 0.6	V_{CC} - 0.1		V
V_{OL}	Low レベル出力電圧	I_{OL} = 1.6mA			0.4	V
V_{IT+}	立ち上がり入力スレッショルド電圧	V_{CC} = 3.3V		1.5	2.4	V
		V_{CC} = 5V		1.8	2.4	
V_{IT-}	立ち下がり入力スレッショルド電圧	V_{CC} = 3.3V	0.6	1.2		V
		V_{CC} = 5V	0.8	1.5		
V_{hys}	入力ヒステリシス ($V_{IT+} - V_{IT-}$)			0.3		V
r_I	入力抵抗	V_I = ±3V～±25V	3	5	7	kΩ

(1) すべての標準値は、V_{CC} = 3.3V または V_{CC} = 5V、T_A = 25℃での値です。
(2) テスト条件は、V_{CC} = 3.3V ± 0.3V では C1～C4 = 0.1μF、V_{CC} = 5V ± 0.5V では C1 = 0.047μF、C2～C4 = 0.33μF です。

6.8 スイッチング特性

電源電圧の推奨範囲と動作温度範囲内 (特に記述のない限り)(3) (図 9-1 を参照)

パラメータ		テスト条件		最小値	標準値 (1)	最大値	単位
	最大データ・レート	R_L = 3kΩ、 1 つの D_{OUT} スイッチング、	C_L = 1000pF 図 7-1 を参照	150	250		kbit/s
$t_{sk(p)}$	ドライバのパルス・スキュー(2)	R_L = 3kΩ～7kΩ、	C_L = 150～2500pF 図 7-2 を参照		300		ns
SR(tr)	スルーレート、遷移領域 (図 7-1 を参照)	R_L = 3kΩ～7kΩ、 V_{CC} = 5V	C_L = 150～1000pF	6		30	V/μs
			C_L = 150～2500pF	4		30	
$t_{PLH®)}$	伝搬遅延時間、Low レベルから High レベル出力まで	C_L = 150pF			300		ns
$t_{PHL®)}$	伝搬遅延時間、High レベルから Low レベル出力まで				300		
$t_{sk(p)}$	レシーバのパルス・スキュー(3)				300		

(1) すべての標準値は、V_{CC} = 3.3V または V_{CC} = 5V、T_A = 25℃での値です。
(2) パルス・スキューは、同じデバイスの各チャネルの $|t_{PLH} - t_{PHL}|$ と定義されます。
(3) テスト条件は、V_{CC} = 3.3V ± 0.3V では C1～C4 = 0.1μF、V_{CC} = 5V ± 0.5V では C1 = 0.047μF、C2～C4 = 0.33μF です。

Copyright © 2023 Texas Instruments Incorporated

6.9 代表的特性

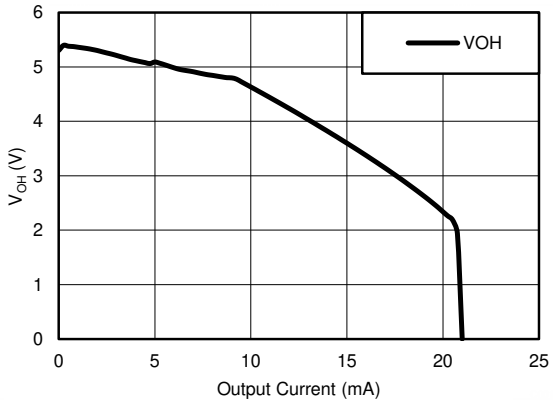


図 6-1. DOUT V_{OH} と負荷電流の関係、両方のドライバに負荷あり

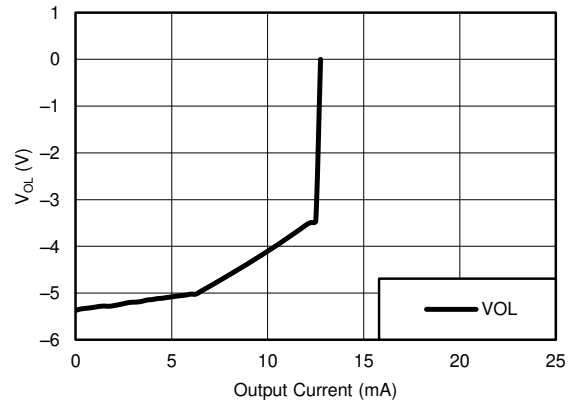
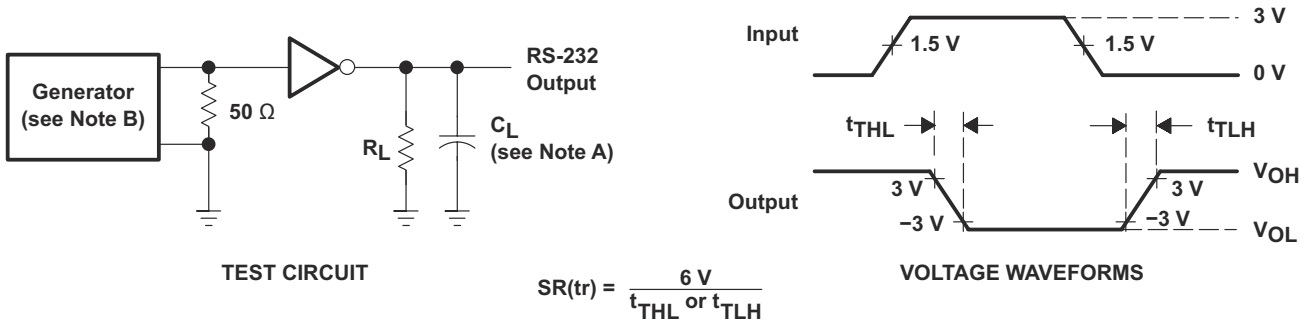


図 6-2. DOUT V_{OL} と負荷電流の関係、両方のドライバに負荷あり

Copyright © 2023 Texas Instruments Incorporated

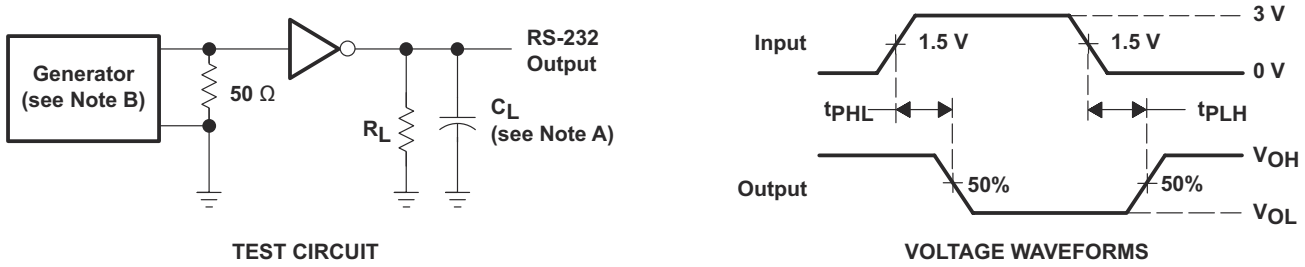
7 パラメータ測定情報



A. C_L にはプローブと治具の容量が含まれます。

B. パルス・ジェネレータの特性は、以下のとおりです。PRR = 250kbit/s、Z_O = 50Ω、デューティ・サイクル 50%、t_r ≤ 10ns、t_f ≤ 10ns

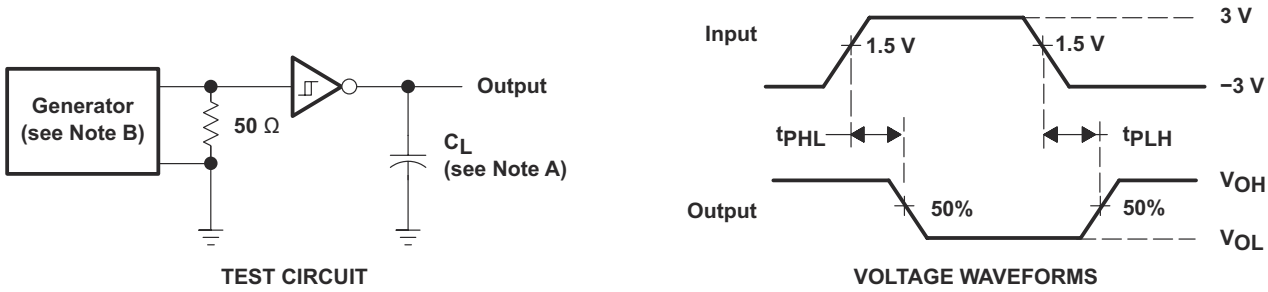
図 7-1. ドライバのスルーレート



A. C_L にはプローブと治具の容量が含まれます。

B. パルス・ジェネレータの特性は、以下のとおりです。PRR = 250kbit/s、Z_O = 50Ω、デューティ・サイクル 50%、t_r ≤ 10ns、t_f ≤ 10ns

図 7-2. ドライバのパルス・スキュー



A. C_L にはプローブと治具の容量が含まれます。

B. パルス・ジェネレータの特性は、以下のとおりです。Z_O = 50Ω、デューティ・サイクル 50%、t_r ≤ 10ns、t_f ≤ 10ns

図 7-3. レシーバの伝搬遅延時間

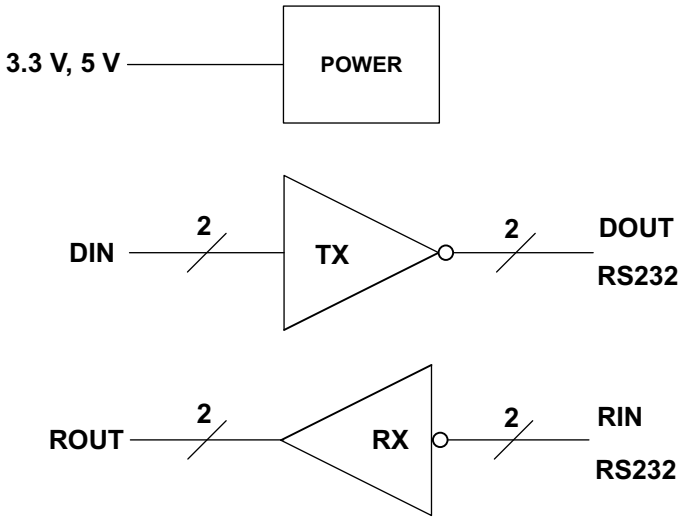
Copyright © 2023 Texas Instruments Incorporated

8 詳細説明

8.1 概要

MAX3232 は 2 つのライン・ドライバ、2 つのライン・レシーバ、1 つのデュアル・チャージ・ポンプ回路で構成されており、±15kV のピン間 (シリアル・ポート接続ピン、GND を含む) ESD 保護機能を備えています。このデバイスは、TIA/EIA-232-F の要件を満たし、非同期通信コントローラとシリアルポート・コネクタの間の電気的インターフェイスとして機能します。チャージ・ポンプと 4 つの小さな外付けコンデンサにより、3V～5.5V の単一電源で動作できます。本デバイスは最大 250kbit/s のデータ信号速度、最大 30V/µs のドライバ出力スルーレートで動作します。出力はグランドへの短絡から保護されています。

8.2 機能ブロック図



8.3 機能説明

8.3.1 電源

このパワー・ブロックは、4 個の外付けコンデンサを必要とするチャージ・ポンプを使用して、V+ および V- ピンの電圧を上昇、反転、および調整します。

8.3.2 RS232 ドライバ

2 つのドライバは、標準ロジック・レベルを RS232 レベルにインターフェイスします。両方の DIN 入力は、有効な High または Low レベルである必要があります。

8.3.3 RS232 レシーバ

2 つのレシーバは、RS232 レベルを標準ロジック・レベルにインターフェイスします。入力が開放されている場合、ROUT の出力は High になります。各 RIN 入力には、内部標準 RS232 負荷が含まれています。

Copyright © 2023 Texas Instruments Incorporated

8.4 デバイスの機能モード

表 8-1. 各ドライバ(1)

INPUT DIN	OUTPUT DOUT
L	H
H	L

(1) H = High レベル、L = Low レベル

表 8-2. 各レシーバ(1)

INPUT RIN	OUTPUT ROUT
L	H
H	L
開放	H

(1) H = High レベル、L = Low レベル、
開放 = 入力が切断されている、または接続されているドライバがオフ

8.4.1 V_{CC} に 3V～5.5V の電源を供給

デバイスは通常動作になります。

8.4.2 V_{CC} への電源供給なし (V_{CC} = 0V)

MAX3232 に電源を供給しない場合、アクティブなリモート RS232 デバイスに安全に接続できます。

Copyright © 2023 Texas Instruments Incorporated

9 アプリケーションと実装

注

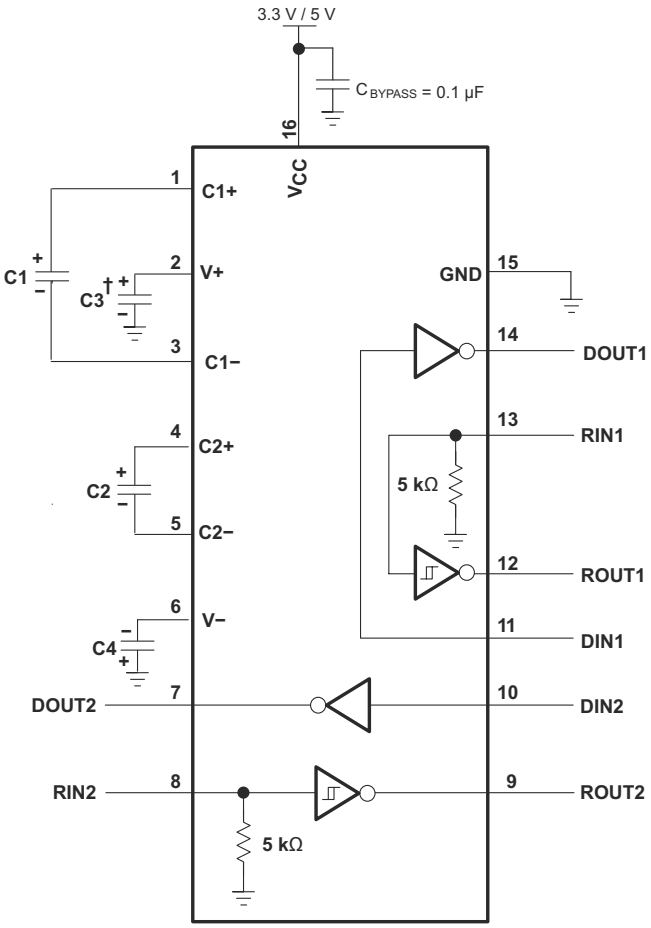
以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

適切に動作させるには、図 9-1 に示すようにコンデンサを追加します。

9.2 標準的なアプリケーション

ROUT と DIN は、UART または汎用ロジック・ラインに接続します。RIN と DOUT の各ラインは、RS232 コネクタまたはケーブルに接続します。



† C3 は V_{CC} または GND に接続できます。

A. 表記の抵抗値は公称値です。

B. 無極性セラミック・コンデンサも使用できます。極性化タンタル・コンデンサまたは電解コンデンサを使用する場合は、図のように接続する必要があります。

図 9-1. 代表的な動作回路とコンデンサの値

9.2.1 設計要件

- 推奨される V_{CC} は 3.3V または 5V です。3V～5.5V も可能です。
- 最大推奨ビット・レートは 250kbit/s です。

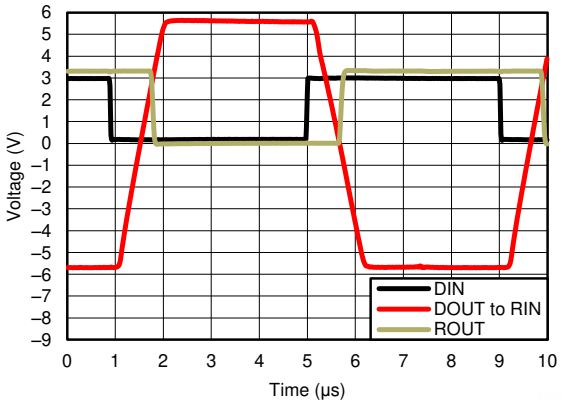
表 9-1. V_{CC} とコンデンサの値

V_{CC}	C1	C2、C3、C4
3.3V ± 0.3V	0.1µF	0.1µF
5V ± 0.5V	0.047µF	0.33µF
3V～5.5V	0.1µF	0.47µF

9.2.2 詳細な設計手順

- すべての DIN、$\overline{\text{FORCEOFF}}$、FORCEON 入力は、有効な Low または High ロジック・レベルに接続する必要があります。
- 最高の性能を得るため、VCC レベルに基づいてコンデンサの値を選択してください。

9.2.3 アプリケーション曲線



V_{CC} = 3.3V

図 9-2. 250kbit/s ドライバからレシーバへのループバックのタイミング波形

10 電源に関する推奨事項

V_{CC} は 3V～5.5V の範囲である必要があります。チャージ・ポンプ・コンデンサは、図 9-1 の表を使用して選択する必要があります。

Copyright © 2023 Texas Instruments Incorporated

11 レイアウト

11.1 レイアウトのガイドライン

外付けコンデンサの配線は短くしてください。これは、立ち上がり時間と立ち下がり時間が最短の C1 および C2 ノードではより重要です。

11.2 レイアウト例

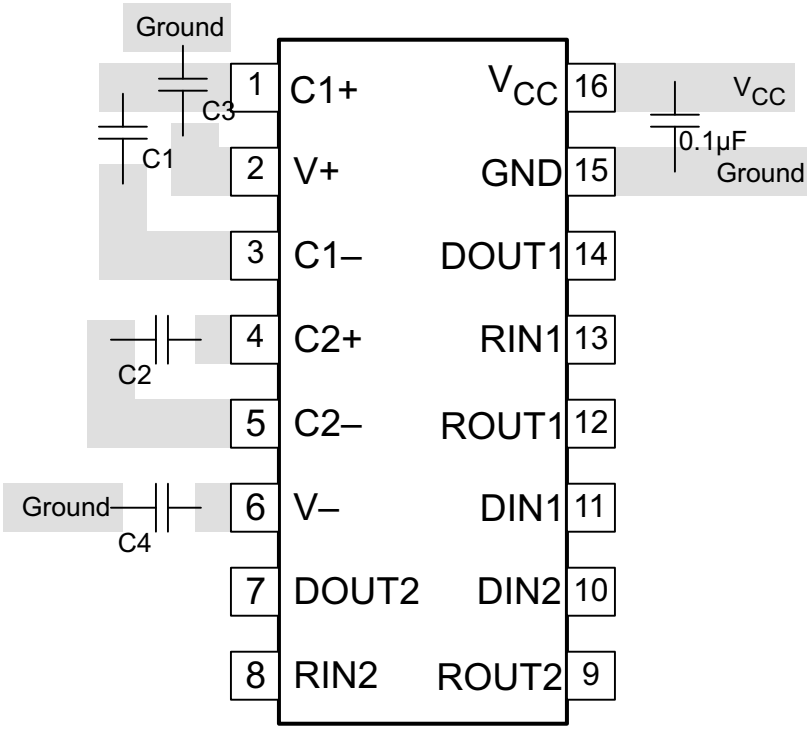


図 11-1. レイアウトの図

12 デバイスおよびドキュメントのサポート

12.1 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on ti.com. Click on *Subscribe to updates* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

12.2 Support Resources

TI E2E™ support forums are an engineer's go-to source for fast, verified answers and design help — straight from the experts. Search existing answers or ask your own question to get the quick design help you need.

Linked content is provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's Terms of Use.

12.3 商標

TI E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

12.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい ESD 対策をとらないと、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

12.5 Glossary

TI Glossary	This glossary lists and explains terms, acronyms, and definitions.

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。このデータシートのブラウザ対応版については、左側にあるナビゲーションを参照してください。

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
MAX3232CD	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	0 to 70	MAX3232C
MAX3232CDB	Obsolete	Production	SSOP (DB) | 16	-	-	Call TI	Call TI	0 to 70	MA3232C
MAX3232CDBR	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	MA3232C
MAX3232CDBR.A	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	MA3232C
MAX3232CDR	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	MAX3232C
MAX3232CDR.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	MAX3232C
MAX3232CDR1G4	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MAX3232C
MAX3232CDR1G4.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MAX3232C
MAX3232CDW	Obsolete	Production	SOIC (DW) | 16	-	-	Call TI	Call TI	0 to 70	MAX3232C
MAX3232CDWR	Obsolete	Production	SOIC (DW) | 16	-	-	Call TI	Call TI	0 to 70	MAX3232C
MAX3232CPW	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	0 to 70	MA3232C
MAX3232CPWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	0 to 70	MA3232C
MAX3232CPWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	MA3232C
MAX3232CPWRE4	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	MA3232C
MAX3232CPWRG4	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	MA3232C
MAX3232CPWRG4.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	MA3232C
MAX3232IDBR	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MB3232I
MAX3232IDBR.A	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MB3232I
MAX3232IDBRE4	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MB3232I
MAX3232IDRG4	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-40 to 85	MAX3232I
MAX3232IDW	Obsolete	Production	SOIC (DW) | 16	-	-	Call TI	Call TI	-40 to 85	MAX3232I
MAX3232IDWR	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	MAX3232I
MAX3232IDWR.B	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MAX3232I
MAX3232IDWRG4	Obsolete	Production	SOIC (DW) | 16	-	-	Call TI	Call TI	-40 to 85	MAX3232I
MAX3232IPWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	MB3232I
MAX3232IPWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MB3232I
MAX3232IPWRE4	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MB3232I
MAX3232IPWRG4	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MB3232I
MAX3232IPWRG4.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MB3232I

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF MAX3232 :

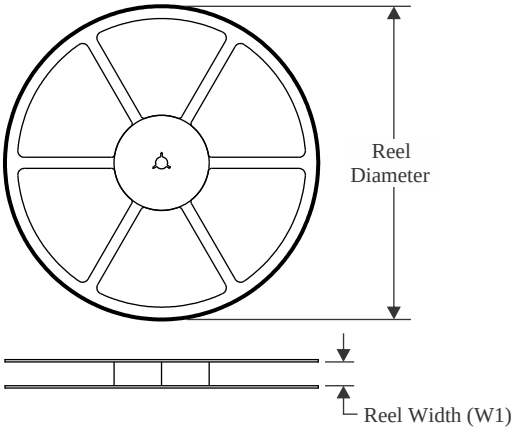
- Enhanced Product : MAX3232-EP

NOTE: Qualified Version Definitions:

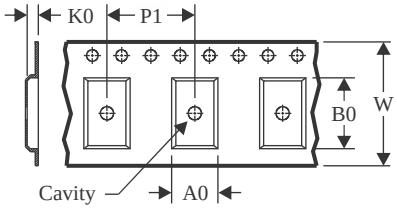
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

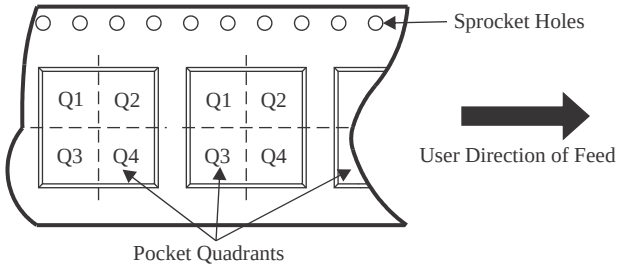


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

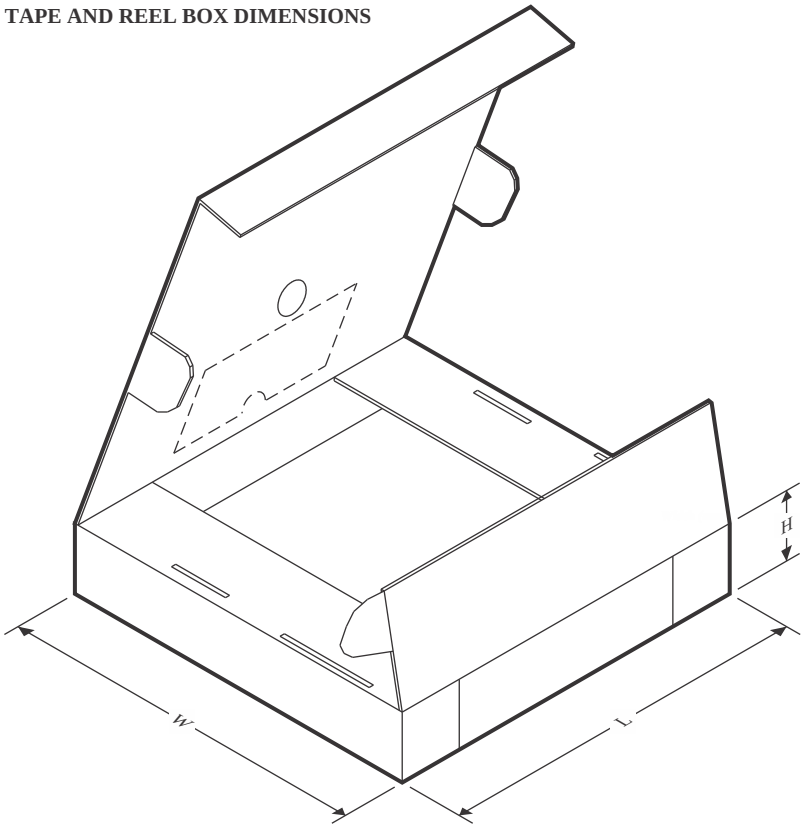
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
MAX3232CDBR	SSOP	DB	16	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
MAX3232CDR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
MAX3232CDR1G4	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
MAX3232CPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
MAX3232CPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MAX3232CPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MAX3232CPWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
MAX3232CPWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MAX3232IDBR	SSOP	DB	16	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
MAX3232IDWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
MAX3232IPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MAX3232IPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
MAX3232IPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MAX3232IPWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MAX3232IPWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1

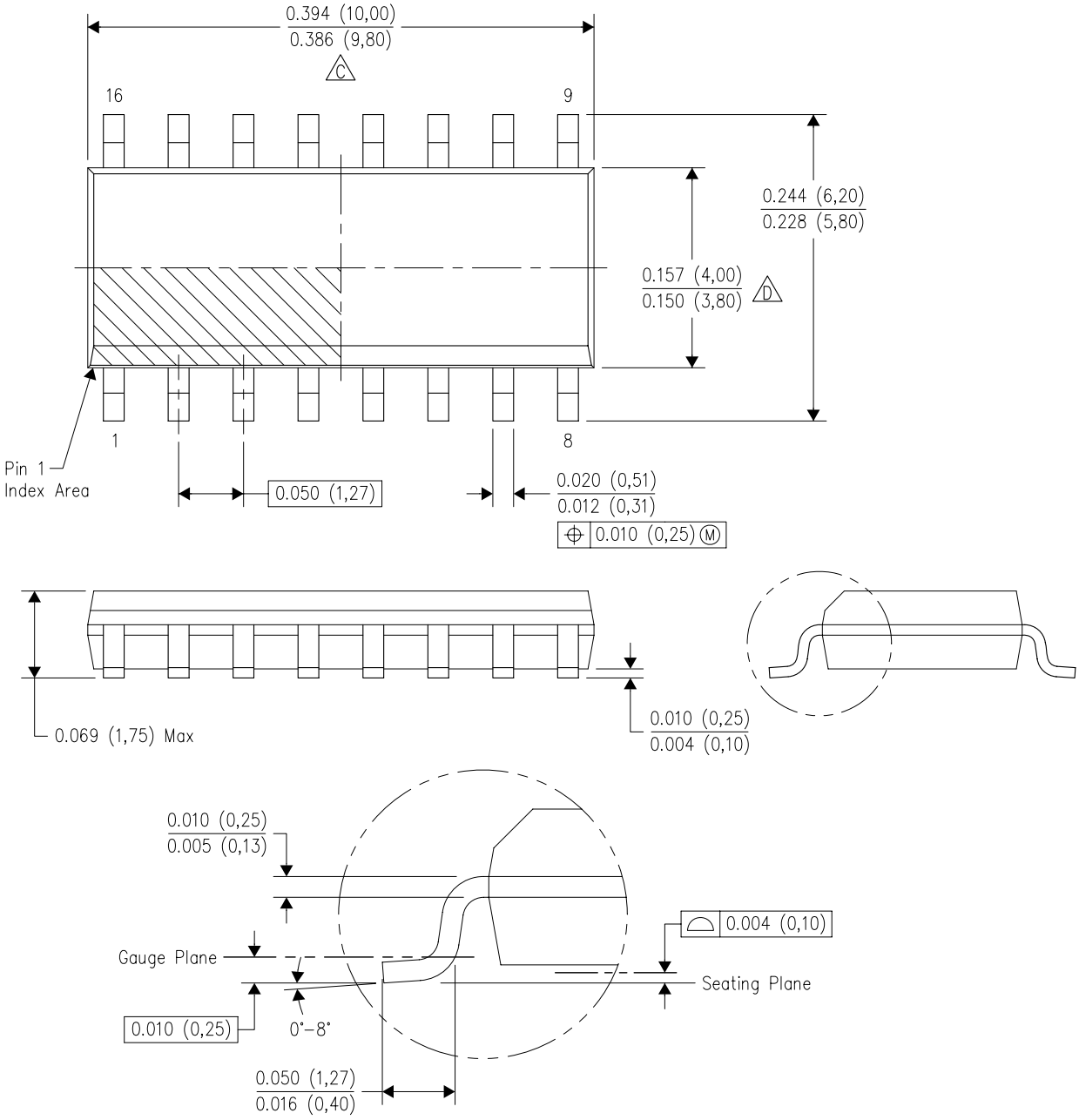
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
MAX3232CDBR	SSOP	DB	16	2000	353.0	353.0	32.0
MAX3232CDR	SOIC	D	16	2500	340.5	336.1	32.0
MAX3232CDR1G4	SOIC	D	16	2500	353.0	353.0	32.0
MAX3232CPWR	TSSOP	PW	16	2000	367.0	367.0	35.0
MAX3232CPWR	TSSOP	PW	16	2000	356.0	356.0	35.0
MAX3232CPWR	TSSOP	PW	16	2000	353.0	353.0	32.0
MAX3232CPWRG4	TSSOP	PW	16	2000	367.0	367.0	35.0
MAX3232CPWRG4	TSSOP	PW	16	2000	353.0	353.0	32.0
MAX3232IDBR	SSOP	DB	16	2000	353.0	353.0	32.0
MAX3232IDWR	SOIC	DW	16	2000	350.0	350.0	43.0
MAX3232IPWR	TSSOP	PW	16	2000	356.0	356.0	35.0
MAX3232IPWR	TSSOP	PW	16	2000	367.0	367.0	35.0
MAX3232IPWR	TSSOP	PW	16	2000	353.0	353.0	32.0
MAX3232IPWRG4	TSSOP	PW	16	2000	353.0	353.0	32.0
MAX3232IPWRG4	TSSOP	PW	16	2000	367.0	367.0	35.0

D (R–PDSO–G16) PLASTIC SMALL OUTLINE



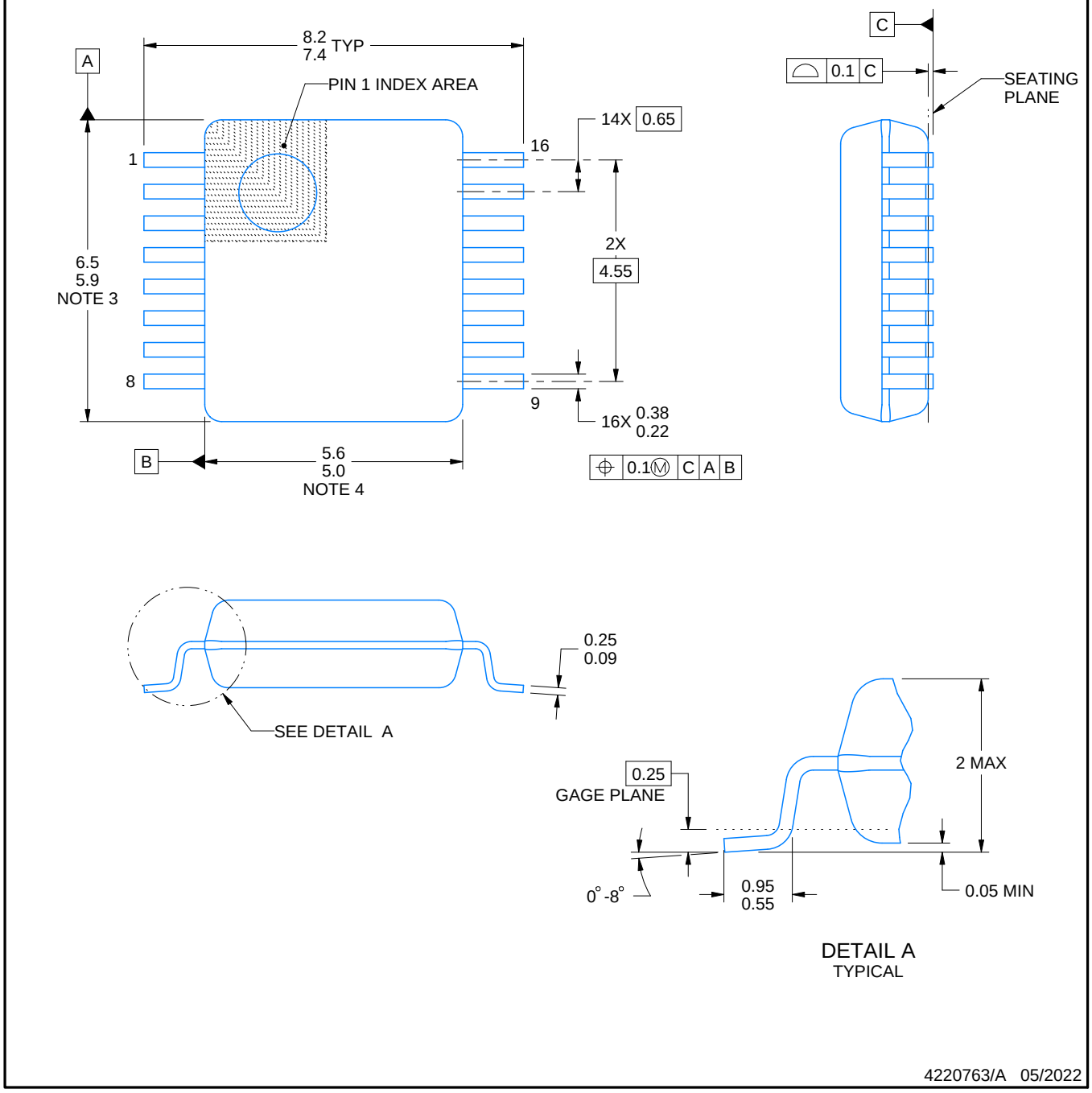
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

PACKAGE OUTLINE

DB0016A

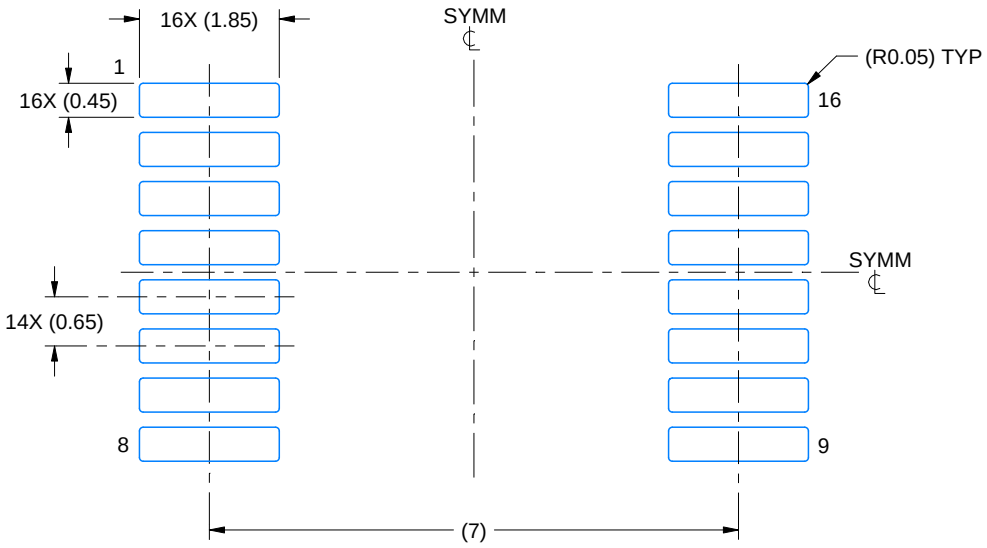
SSOP - 2 mm max height

SMALL OUTLINE PACKAGE

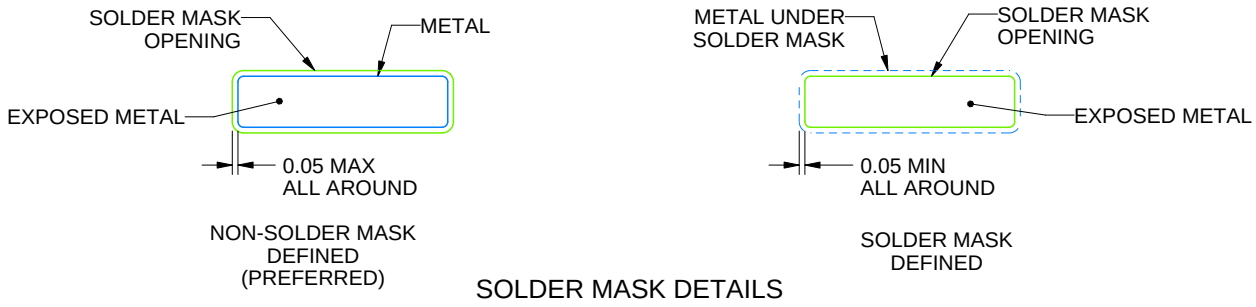


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

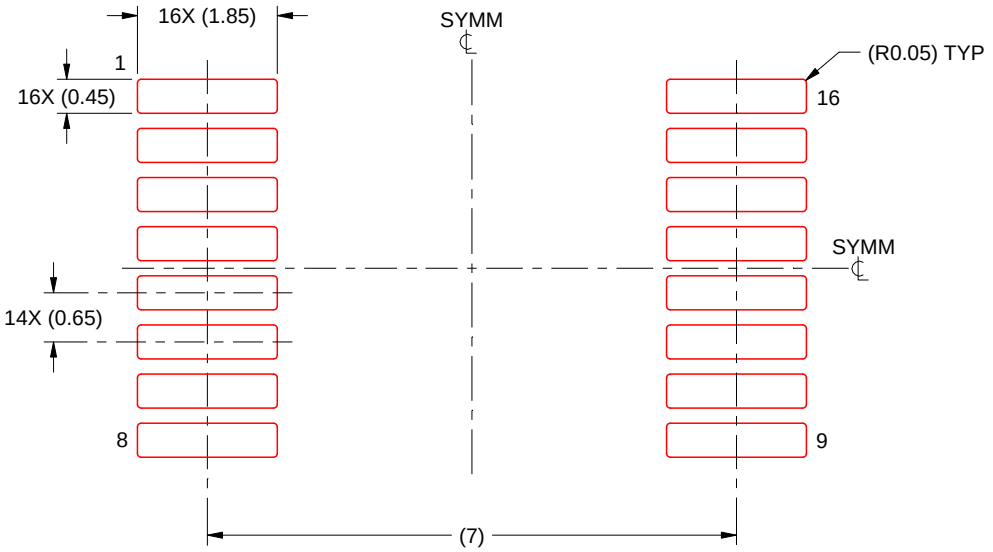


SOLDER MASK DETAILS

4220763/A 05/2022

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220763/A 05/2022

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

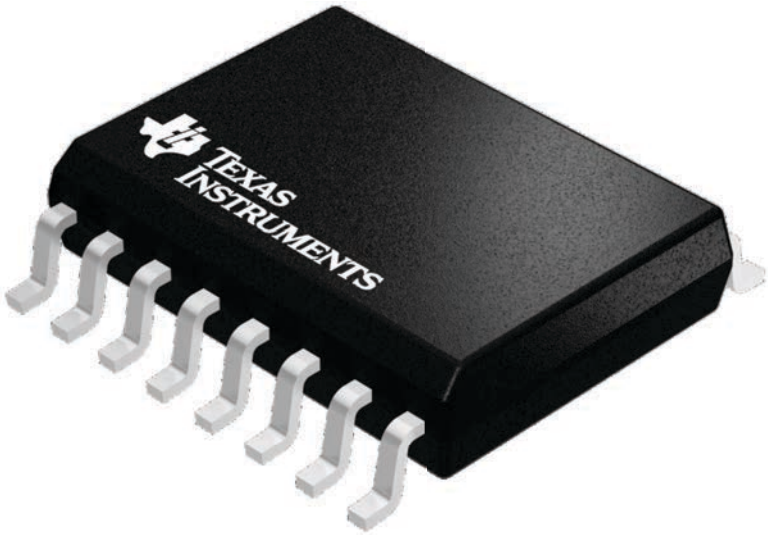
DW 16

SOIC - 2.65 mm max height

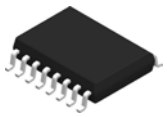
7.5 x 10.3, 1.27 mm pitch

SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224780/A

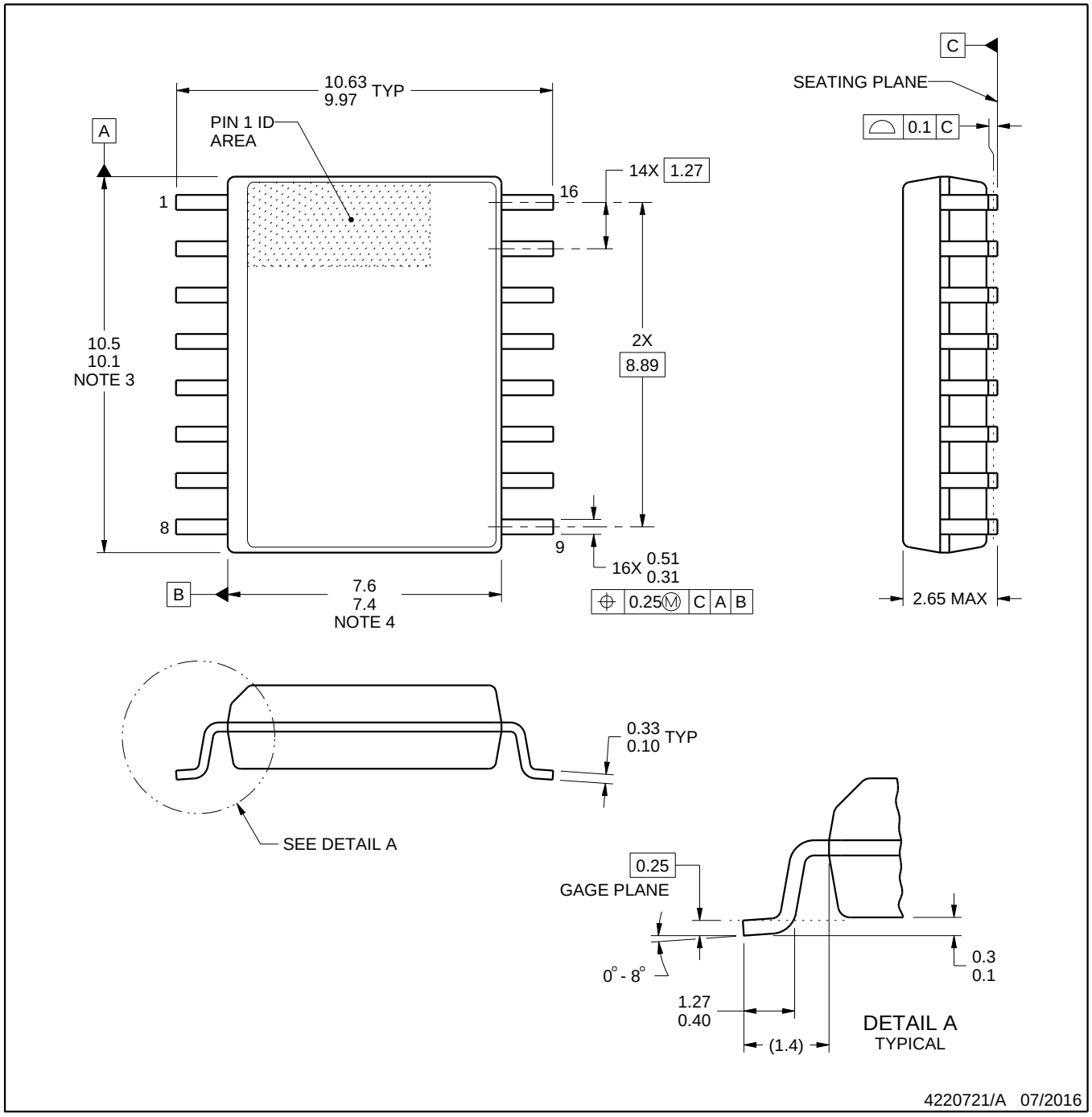


PACKAGE OUTLINE

DW0016A

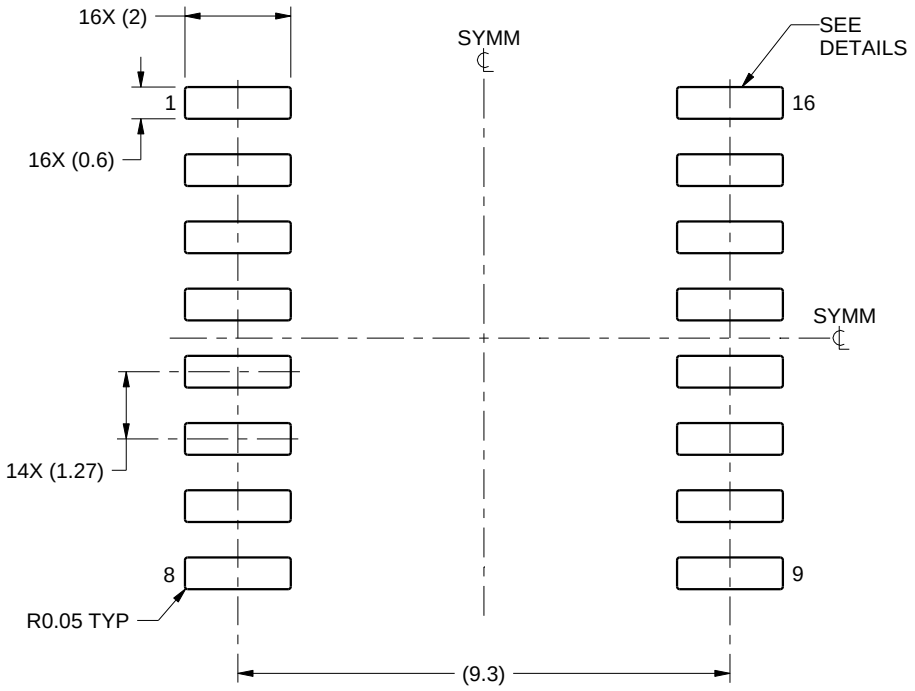
SOIC - 2.65 mm max height

SOIC

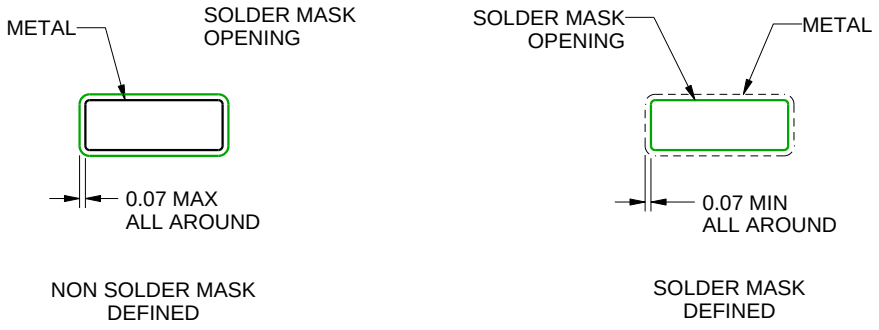


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.



LAND PATTERN EXAMPLE
SCALE:7X

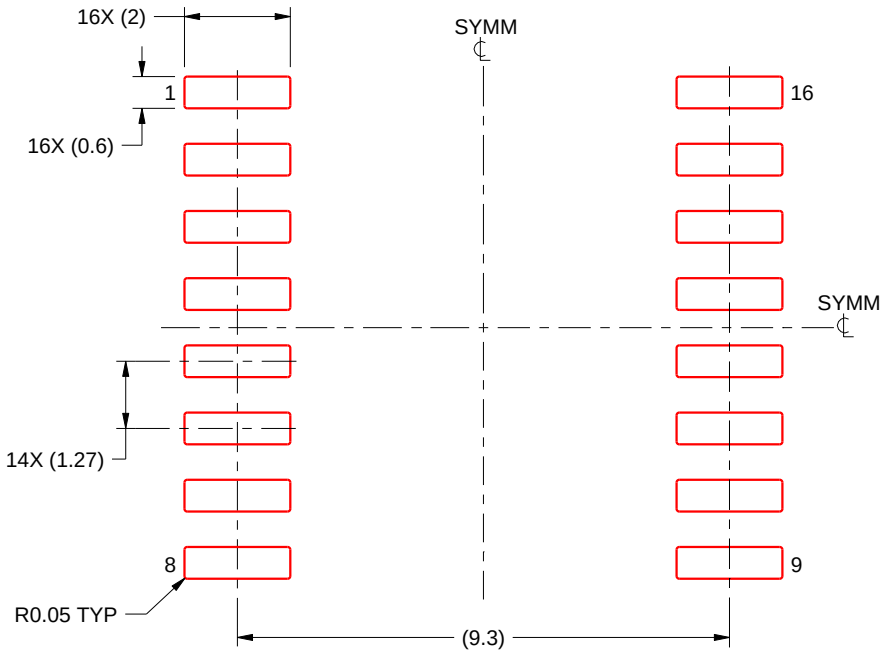


SOLDER MASK DETAILS

4220721/A 07/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220721/A 07/2016

NOTES: (continued)

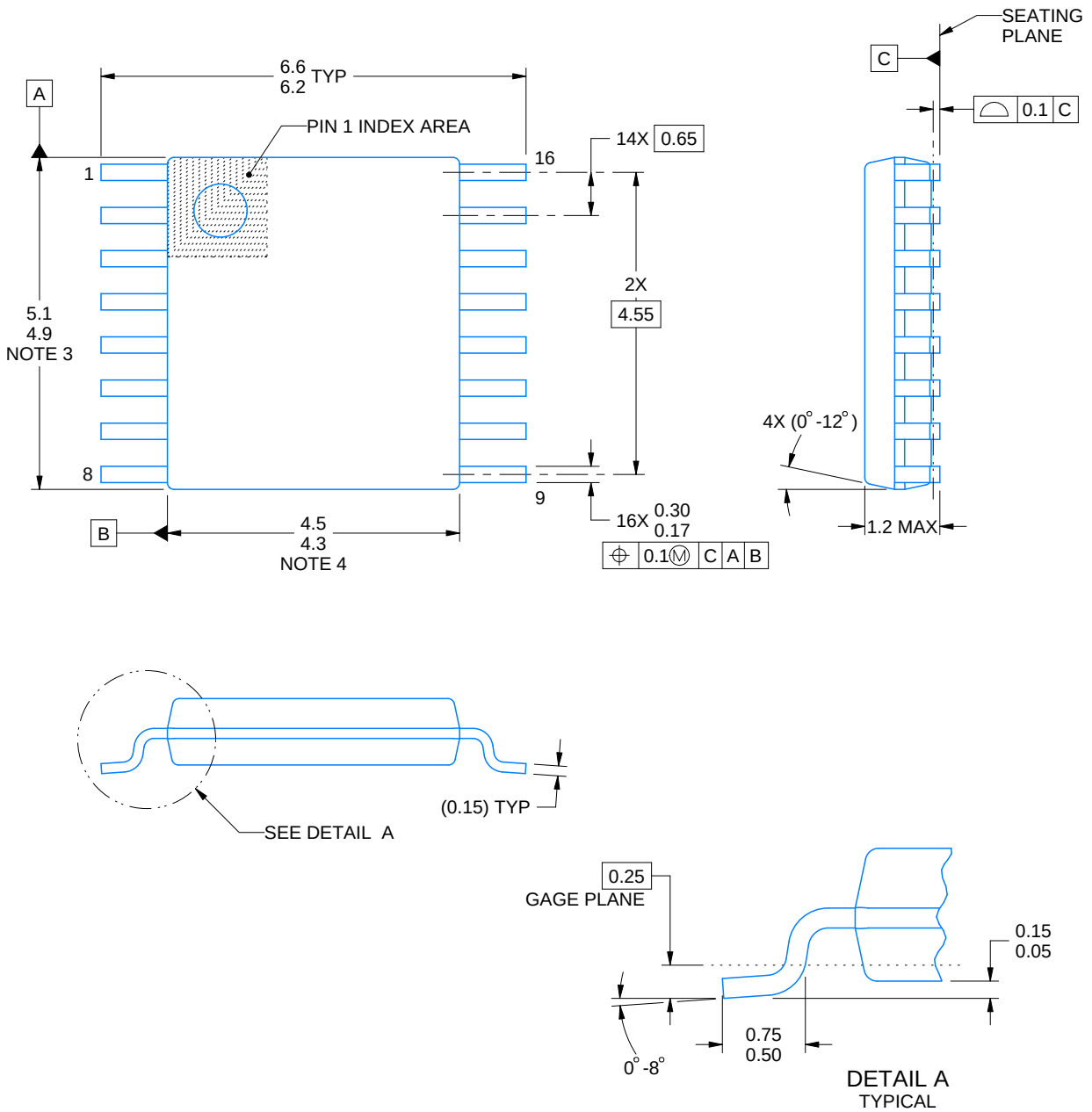
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0016A

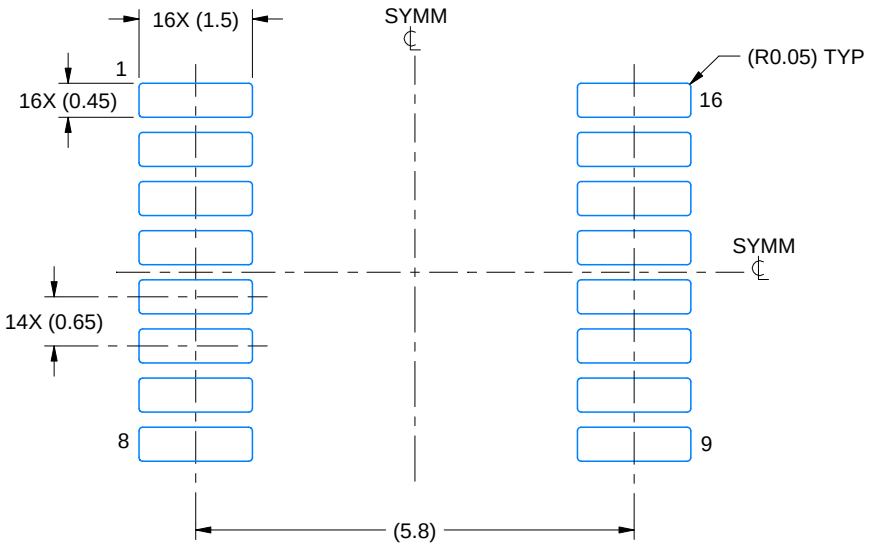
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

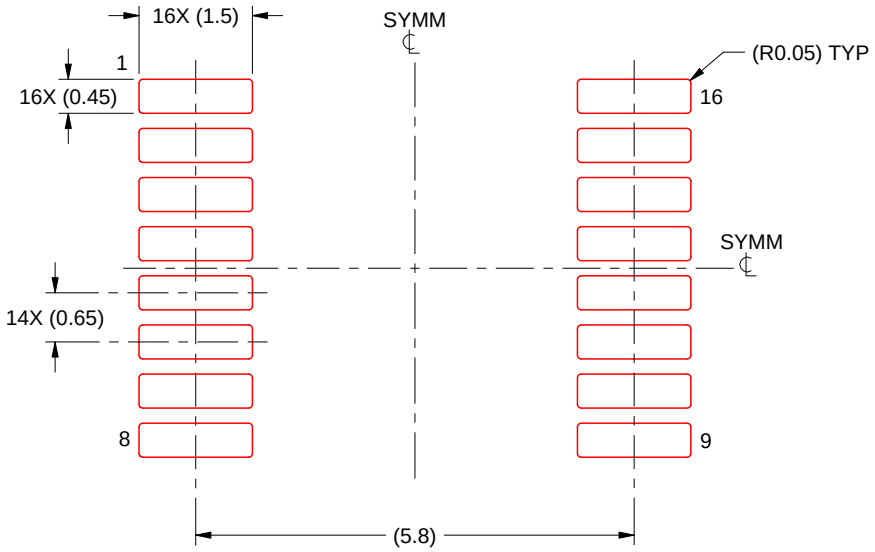


SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月