MSPM0C110x、MSPS003 ミックスド・シグナル・マイクロコントローラ

1 特長

- コア
  - Arm® 32 ビット Cortex®-M0+ CPU、最大周波数 24MHz
- 動作特性
  - 拡張動作温度範囲:-40℃ ～ 125℃
  - 広い電源電圧範囲:1.62V～3.6V
- メモリ
  - 最大 16KB のフラッシュ
  - 1KB の SRAM
- 高性能アナログ ペリフェラル
  - 1 つの A/D コンバータ (ADC)、合計最大 10 本の外部チャネルを装備、VDD を電圧リファレンスとして使用して 1.7MSPS (10 ビット) または 1.5MSPS (12 ビット)
  - 1.4V または 2.5V の構成可能な内部共有電圧リファレンス (VREF)
  - 温度センサ内蔵
  - 統合型電源監視
- 最適化された低消費電力モード
  - RUN:87µA/MHz
  - STOP:4MHz で 609µA、32kHz で 311µA
  - STANDBY:5µA (SRAM 保持)
  - SHUTDOWN:200nA
- インテリジェント デジタル ペリフェラル
  - ADC 専用の 1 チャネル DMA コントローラ
  - 最大 14 の PWM チャネルをサポートする 3 つのタイマ
    - 1 つの 16 ビット高度タイマ、最大 8 個の PWM チャネルのデッドバンドをサポート
    - 1 つの 16 ビット汎用タイマ、4 つのキャプチャ / コンパレータを搭載
    - 1 つの 16 ビット汎用タイマ、2 つのキャプチャ / コンパレータを搭載
  - ウィンドウ付きウォッチドッグ タイマ
  - 外部ビープ音を駆動するための 1kHz、2kHz、4kHz、または 8kHz の方形波を生成する BEEPER
- 拡張通信インターフェイス
  - 1 つの UART インターフェイス:LIN、IrDA、DALI、スマート カード、マンチェスターをサポート、STANDBY モードで低消費電力動作
  - 1 つの I^2C インターフェイス。FM+ (1Mbps)、SMBus、PMBus、STOP モードからのウェークアップをサポート
  - 最大 12Mbps をサポートする 1 つの SPI
- クロック システム
  - -2% ～ +1.2% の精度 (SYSOSC) の 24MHz 発振器を内蔵
  - 32kHz の低周波数発振器 (LFOSC) を内蔵
- データの整合性
  - 巡回冗長検査 (CRC-16)
- 柔軟な I/O 機能
  - 最大 18 の GPIO
  - 2 つの 5V 許容オープンドレイン IO
- 開発サポート
  - 2 ピン シリアル ワイヤ デバッグ (SWD)
- パッケージ オプション
  - 20 ピン TSSOP (PW)
  - 20 ピン VSSOP (DGS)
  - 20 ピン WQFN (RUK)
  - 16 ピン SOT (DYY)
  - 8 ピン SOT (DDF)
  - 8 ピン WSON (DSG)
  - 8 ピン DSBGA (YCJ)
- ファミリ製品 (「*デバイスの比較*」も参照)
  - MSPS003F4:16KB のフラッシュ、1KB の RAM
  - MSPS003F3:8KB のフラッシュ、1KB の RAM
  - MSPM0C1104:16KB のフラッシュ、1KB の RAM
  - MSPM0C1103:8KB のフラッシュ、1KB の RAM
- 開発キットとソフトウェア (「ツールとソフトウェア」も参照)
  - LP-MSPM0C1104 LaunchPad™ 開発キット
  - MSP ソフトウェア開発キット (SDK)

2 アプリケーション

- バッテリ充電 / 管理
- 電源と電力供給
- パーソナル・エレクトロニクス
- ビル・セキュリティと防火
- ネットワーク接続の周辺機器とプリンタ
- グリッド・インフラストラクチャ
- スマート・メーター
- 通信モジュール
- 医療 / ヘルスケア
- 照明器具

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

3 概要

MSPM0C110x マイクロコントローラ (MCU) は、最大 24MHz の周波数で動作する拡張 Arm® Cortex®-M0+ コア プラットフォームに基づく MSP 高集積超低消費電力 32 ビット MCU ファミリの一部です。コスト最適化されたこれらの MCU は高性能アナログ ペリフェラルを統合しており、-40℃～125℃の拡張温度範囲をサポートしており、1.62V～3.6V の電源電圧で動作します。

MSPM0C110x デバイスは最大 16KB の組込みフラッシュ プログラム メモリと 1KB の SRAM を内蔵しています。これらの MCU は -2% ～ +1.2% の精度の高速オンチップ発振器を内蔵しているため、外部水晶振動子は不要です。追加機能には、1 チャネル DMA、CRC-16 アクセラレータ、各種の高性能アナログ ペリフェラル (電圧リファレンスとして VDD を含む 12 ビット 1.5Msps ADC、1 つのオンチップ温度センサなど) が含まれます。これらのデバイスは、1 つの 16 ビット高度タイマ、2 つの 16 ビット汎用タイマ、1 つのウィンドウ付きウォッチドッグ タイマ、各種通信ペリフェラル (1 つの UART、1 つの SPI、1 つの I^2C など) などのインテリジェントなデジタル ペリフェラルも備えています。これらの通信ペリフェラルは LIN、IrDA、DALI、マンチェスター、スマート カード、SMBus、PMBus プロトコルをサポートしています。

テキサス・インスツルメンツの MSPM0 低消費電力 MCU ファミリは、各種のアナログおよびデジタル集積度のデバイスで構成されているため、お客様はプロジェクトのニーズを満たす MCU を見つけることができます。そのアーキテクチャと豊富な低消費電力モードは、携帯型測定アプリケーションで長いバッテリ駆動時間を実現するように最適化されています。

MSPM0C110x MCU は、広範囲にわたるハードウェアおよびソフトウェアのエコシステムによってサポートされており、リファレンス デザインやコード サンプルを使って設計をすぐに開始できます。開発キットには、購入可能な LaunchPad™ キットとターゲット ソケット ボード用の設計ファイルが含まれています。また、テキサス・インスツルメンツは無償の MSP ソフトウェア開発キット (SDK) も提供しており、Code Composer Studio™ IDE デスクトップのコンポーネントとして利用できます。また、TI Resource Explorer ではクラウド バージョンを利用できます。MSPM0 MCU には、広範囲にわたるオンライン資料、MSP Academy によるトレーニング、TI E2E™ サポート フォーラムによるオンライン サポートも用意されています。

モジュールの詳細については、『MSPM0 C シリーズ 24MHz マイクロコントローラ テクニカル リファレンス マニュアル』を参照してください。

注意

電気的な過剰ストレスや、データやコード メモリの不安定化を防止するために、デバイス レベルの ESD 仕様に従って、システム レベルの ESD 保護を適用する必要があります。詳細については、『MSP430™ のシステム レベルの ESD に関する考慮事項』を参照してください (このアプリケーション ノートの原理は MSPM0 MCU にも当てはまるため)。

Copyright © 2026 Texas Instruments Incorporated

4 機能ブロック図

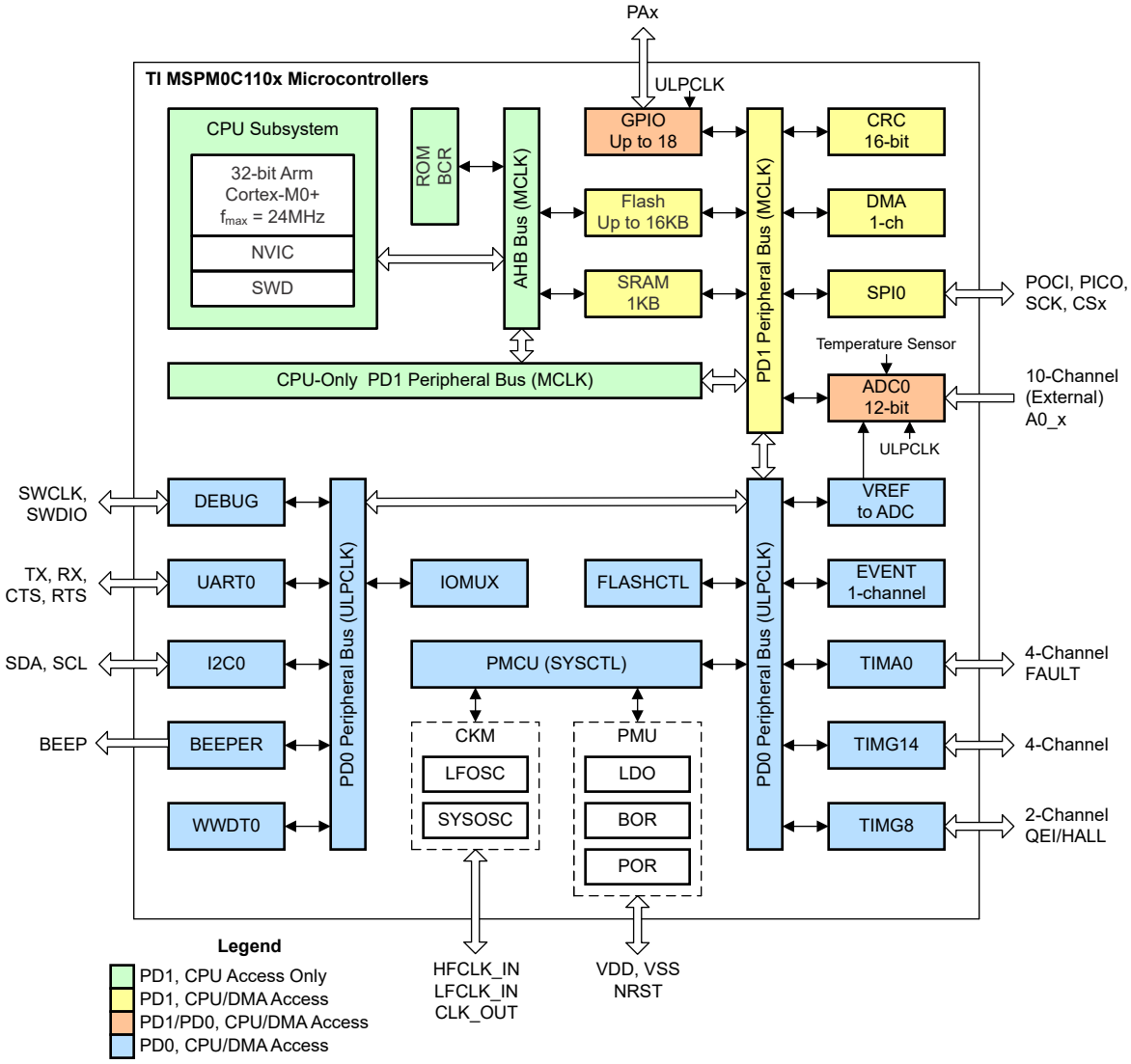


図 4-1. MSPM0C110x の機能ブロック図

目次

1 特長 1
2 アプリケーション 1
3 概要 2
4 機能ブロック図 3
5 デバイスの比較 5
6 ピン構成および機能 6
6.1 ピン配置図 6
6.2 ピン属性 8
6.3 信号の説明 9
6.4 未使用ピンの接続 11
7 仕様 12
7.1 絶対最大定格 12
7.2 ESD 定格 12
7.3 推奨動作条件 12
7.4 熱に関する情報 13
7.5 電源電流特性 14
7.6 電源シーケンス 15
7.7 フラッシュ メモリの特性 16
7.8 タイミング特性 17
7.9 クロック仕様 17
7.10 デジタル IO 18
7.11 ADC 19
7.12 温度センサ 21
7.13 VREF 21
7.14 I2C 21
7.15 SPI 22
7.16 UART 24
7.17 TIMx 25
7.18 ウィンドウ付きウォッチドッグの特性 25
7.19 エミュレーションおよびデバッグ 25
8 詳細説明 26
8.1 CPU 26
8.2 動作モード 26
8.3 パワー マネージメント ユニット (PMU) 28
8.4 クロック モジュール (CKM) 28
8.5 DMA 28
8.6 イベント 29
8.7 メモリ 29
8.8 フラッシュ メモリ 31
8.9 SRAM 31
8.10 GPIO 31
8.11 IOMUX 32
8.12 ADC 32
8.13 温度センサ 32
8.14 VREF 33
8.15 CRC 33
8.16 UART 33
8.17 SPI 34
8.18 I2C 34
8.19 WWDT 35
8.20 タイマ (TIMx) 35
8.21 デバイスのアナログ接続 37
8.22 入力 / 出力の回路図 38
8.23 シリアル ワイヤ デバッグ インターフェイス 38
8.24 デバイス ファクトリ定数 39
8.25 識別 39
9 アプリケーション、実装、およびレイアウト 40
9.1 代表的なアプリケーション 40
10 デバイスおよびドキュメントのサポート 41
10.1 デバイスの命名規則 41
10.2 ツールとソフトウェア 42
10.3 ドキュメントのサポート 42
10.4 サポート・リソース 43
10.5 商標 43
10.6 静電気放電に関する注意事項 43
10.7 用語集 43
11 改訂履歴 43
12 メカニカル、パッケージ、および注文情報 44

Copyright © 2026 Texas Instruments Incorporated

5 デバイスの比較

表 5-1. デバイスの比較

型番 (1) (3)	フラッシュ / SRAM (KB)	ADC チャネル	UART / I2C / SPI	TIMG	TIMA	GPIO	5V 許容の IO	パッケージ [パッケージ サイズ](2)
MSPS003F4SPW20R	16 / 1	9	1 / 1 / 1	2	1	17	2	20 TSSOP [6.5mm × 5.0mm]
MSPS003F3SPW20R	8 / 1							
MSPM0C1104SDGS20R	16 / 1	10	1 / 1 / 1	2	1	18	2	20 VSSOP [5.1mm × 4.9mm]
MSPM0C1103SDGS20R	8 / 1							
MSPM0C1104SRUKR	16/1	10	1 / 1 / 1	2	1	18	2	20 WQFN [3mm × 3mm]
MSPM0C1103SRUKR	8 / 1							
MSPM0C1104SDYYR	16 /1	8	1 / 1 / 1	2	1	14	2	16 SOT [4.2mm × 3.26mm]
MSPM0C1103SDYYR	8 / 1							
MSPM0C1104SDSGR	16 / 1	3	1 / 1 / 1	2	1	6	2	8 WSON [2mm × 2mm]
MSPM0C1103SDSGR	8 / 1							
MSPM0C1104SDDFR	16 / 1	3	1 / 1 / 1	2	1	6	2	8 SOT [2.9mm × 2.8mm]
MSPM0C1103SDDFR	8 / 1							
MSPM0C1104S8YCJR	16 / 1	3	1 / 1 / 1	2	1	6	2	8 DSBGA [1.6mm x 0.86mm]
MSPM0C1103S8YCJR	8 / 1							

(1) 提供中の全デバイスに関する最新の製品、パッケージ、および注文情報については、セクション 12 の「付録:パッケージオプション」または TI Web サイトを参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。公差を含めたパッケージの寸法については、セクション 12 の *「メカニカル データ」*を参照してください。
(3) 型番の詳細については、セクション 10.1 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

6 ピン構成および機能

6.1 ピン配置図

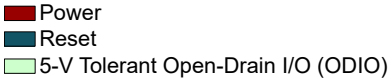


図 6-1. ピン配置図の色分け

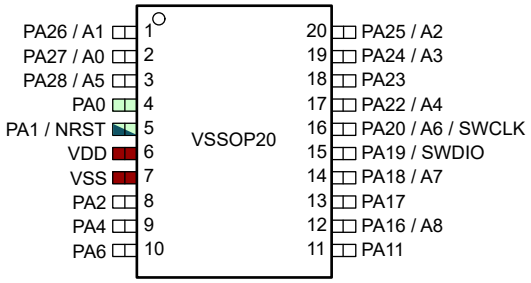


図 6-2. 20 ピン DGS20 (VSSOP) (上面図)

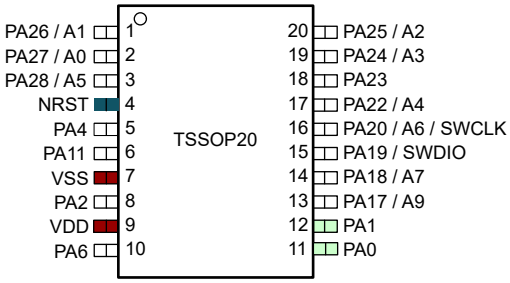


図 6-3. 20 ピン PW20 (TSSOP) (上面図)

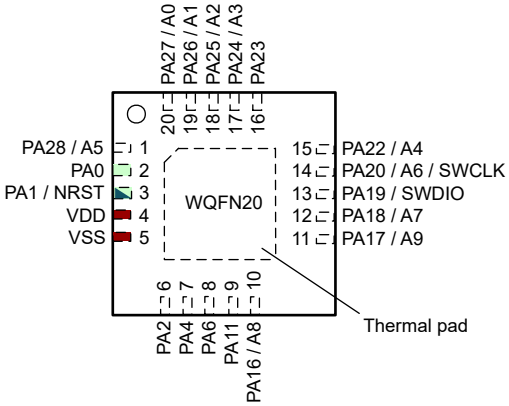


図 6-4. 20 ピン RUK (WQFN) (上面図)

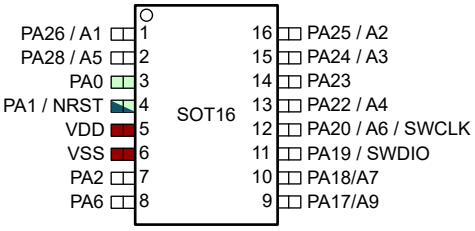


図 6-5. 16 ピン DYY (SOT) (上面図)

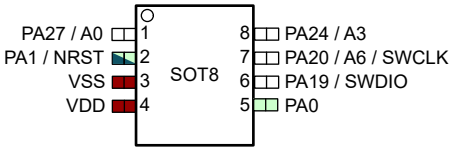


図 6-6. 8 ピン DDF (SOT) (上面図)

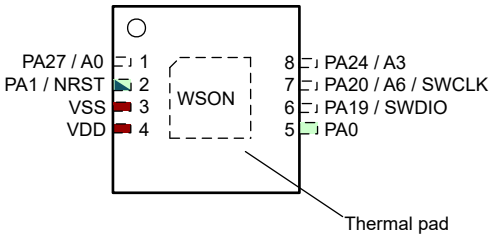


図 6-7. 8 ピン DSG (WSON) (上面図)

Copyright © 2026 Texas Instruments Incorporated

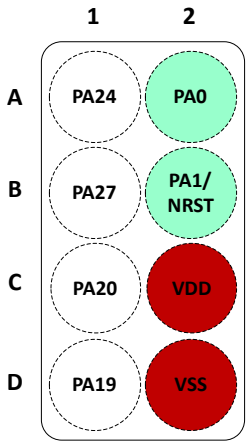


図 6-8. 8 ピン YCJ (DSBGA) (バンプを下にした図)

6.2 ピン属性

次の表に、各デバイス パッケージの各ピンで利用可能な機能を示します。

注

デバイス上の各デジタル I/O は、専用のピン制御管理レジスタ (PINCMx) に割り当てられており、ユーザーが PINCM.PF 制御ビットを使って必要な*ピン機能*を設定できます。

表 6-1. ピン属性

PINCMx	ピン機能			ピン番号							I/O 構造
	ピン名	アナログ	デジタル (1)	20 VSSOP	20 TSSOP	20 WQFN	16 SOT	8 SOT	8 WSON	8 DSBGA	
該当なし	VDD			6	9	4	5	4	4	C2	電源
該当なし	VSS			7	7	5	6	3	3	D2	電源
1	PA0		BEEP [2] / I2C0_SDA [3] / TIMG8_C0 [4] / SPI0_CS1 [5]/ FCC_IN [6]/ TIMA_FAL1 [7]	4	11	2	3	5	5	A2	5V 許容オープンドレイン
2	PA1		I2C0_SCL [2] / TIM8_C0 [3] / HFCLK_IN [4] / TIMA0_C1 [5]	5	12	3	4	2	2	B2	5V 許容オープンドレイン
該当なし		NRST			4						リセット
3	PA2		TIMG8_C1[2] / SPI0_CS0[3] / TIMA0_C0[4] / TIMG8_IDX[5]	8	8	6	7	-	-	-	標準
5	PA4		TIMA0_C0N[2] / SPI0_POCI[3]/ LFCLK_IN[4] / HFCLK_IN[5] / TIMA0_C1N[6]	9	5	7	-	-	-	-	標準
7	PA6		TIMG14__C1[2] / SPI0_SCK[3] / TIMA0_C1[4] / TIMG14_C2[5] / SPI0_CS0[6] / TIMA_FAL0[7]	10	10	8	8	-	-	-	標準
12	PA11		SPI0_SCK[2] / I2C0_SCL[3] / TIMA_FAL0[4]	11	6	9	-	-	-	-	標準
17	PA16	A8	TIMA0_C1N[2] / SPI0_POCI[3] / TIMG14_C0[4] / FCC_IN[5]	12	-	10	-	-	-	-	標準
18	PA17	A9	UART0_TX[2] / TIMA0_C0N[3] / SPI0_SCK[4] / TIMA0_C2[5] / SPI0_CS1[6] / TIMA0_C3[7]	13	13	11	9	-	-	-	標準
19	PA18	A7	UART0_RX[2] / SPI0_PICO[3] / TIMA0_C1N[4] / CLK_OUT[5] / TIMA0_C3[6] / TIMA0_C3N[7]	14	14	12	10	-	-	-	標準
20	PA19		SWDIO[2] / SPI0_SCK[3] / SPI0_POCI[4] / TIMA0_C2[5] / TIMG14_C0[6] / UART0_CTS[7]	15	15	13	11	6	6	D1	標準
21	PA20	A6	SWCLK[2] / TIMA_FAL1[3] / SPI0_PICO[4] / TIMA0_C2N[5] / TIMA0_C0[6] / UART0_RTS[7]	16	16	14	12	7	7	C1	標準
23	PA22	A4	UART0_RX[2] / SPI0_POCI[3] / UART0_RTS[4] / CLK_OUT[5] / TIMA0_C1[6]	17	17	15	13	-	-	-	標準
24	PA23		UART0_TX[2] / SPI0_CS3[3] / TIMG14_C0[4] / UART0_CTS[5] / TIMA0_C3[6] / TIMG14_C1[7]	18	18	16	14	-	-	-	標準
25	PA24	A3	SPI0_CS2[2] / TIMG14_C1[3] / UART0_RTS[4] / TIMG14_C2[5] / TIMA0_C3N[6] / UART0_RX[7]	19	19	17	15	8	8	A1	標準
26	PA25	A2	TIMG14_C3[2] / UART0_TX[3] / SPI0_PICO[4] / TIMG14_C1[5] / TIMA_FAL2[6]	20	20	18	16	-	-	-	標準
27	PA26	A1	TIMG8_C0[2] / UART0_RX[3] / SPI0_POCI[4] / BEEP[5] / TIMG14_C0[6] / TIMA_FAL0[7]	1	1	19	1	-	-	-	標準
28	PA27	A0	TIMG8_C1[2] / SPI0_CS3[3] / TIMA0_C0N[4] / UART0_TX[5] / SPI0_POCI[6] / TIMA_FAL2[7]	2	2	20	-	1	1	B1	標準

Copyright © 2026 Texas Instruments Incorporated

表 6-1. ピン属性 (続き)

PINCMx	ピン機能			ピン番号							I/O 構造
	ピン名	アナログ	デジタル (1)	20 VSSOP	20 TSSOP	20 WQFN	16 SOT	8 SOT	8 WSON	8 DSBGA	
29	PA28	A5	TIMA0_C0[2] / UART0_RX[3] / TIMG8_IDX[4]	3	3	1	2	-	-	-	標準

(1) IOMUX 内の PINCM.PF および PINCM.PC は、ADC 入力などのアナログ機能を使用する場合は 0 に設定する必要があります。デバイス上の各デジタル I/O は、専用のピン制御管理レジスタ (PINCMx) に割り当てられており、ユーザーが PINCM.PF 制御ビットを使って必要な*ピン機能*を設定できます。

表 6-2. IO タイプ別のデジタル IO 機能

IO 構造	反転制御	駆動能力制御	ヒステリシス制御	プルアップ抵抗	プルダウン抵抗
標準駆動	Y			Y	Y
5V 許容オープンドレイン	Y		Y		Y

6.3 信号の説明

機能	信号名	ピン番号 (1)							ピンの種類 (2)	説明
		20 VSSOP	20 TSSOP	20 WQFN	16 SOT	8 SOT	8 WSON	8 DSBGA		
ADC	A0	2	2	20	-	1	1	B1	I	ADC0 アナログ入力 0
	A1	1	1	19	1	-	-	-	I	ADC0 アナログ入力 1
	A2	20	20	18	16	-	-	-	I	ADC0 アナログ入力 2
	A3	19	19	17	15	8	8	A1	I	ADC0 アナログ入力 3
	A4	17	17	15	13	-	-	-	I	ADC0 アナログ入力 4
	A5	3	3	1	2	-	-	-	I	ADC0 アナログ入力 5
	A6	16	16	14	12	7	7	C1	I	ADC0 アナログ入力 6
	A7	14	14	12	10	-	-	-	I	ADC0 アナログ入力 7
	A8	12	-	10	-	-	-	-	I	ADC0 アナログ入力 8
	A9	13	13	11	9	-	-	-	I	ADC0 アナログ入力 9
クロック	CLK_OUT	14、17	14、17	12、15	10、13	-	-	-	O	設定可能クロック出力
デバッグ	SWDIO	15	15	13	11	6	6	D1	I/O	シリアル ワイヤ デバッグ データ入力 / 出力
	SWCLK	16	16	14	12	7	7	C1	I	シリアル ワイヤ デバッグ入力クロック
GPIO	PA0	4	11	2	3	5	5	A2	I/O	オープンドレイン機能を備えた汎用デジタル I/O
	PA1	5	12	3	4	2	2	B2	I/O	オープンドレイン機能を備えた汎用デジタル I/O
	PA2	8	8	6	7	-	-	-	I/O	汎用デジタル I/O
	PA4	9	5	7	-	-	-	-	I/O	汎用デジタル I/O
	PA6	10	10	8	8	-	-	-	I/O	汎用デジタル I/O
	PA11	11	6	9	-	-	-	-	I/O	汎用デジタル I/O
	PA16	12	-	10	-	-	-	-	I/O	汎用デジタル I/O
	PA17	13	13	11	9	-	-	-	I/O	汎用デジタル I/O
	PA18	14	14	12	10	-	-	-	I/O	汎用デジタル I/O
	PA19	15	15	13	11	6	6	D1	I/O	汎用デジタル I/O
	PA20	16	16	14	12	7	7	C1	I/O	汎用デジタル I/O
	PA22	17	17	15	13	-	-	-	I/O	汎用デジタル I/O
	PA23	18	18	16	14	-	-	-	I/O	汎用デジタル I/O
	PA24	19	19	17	15	8	8	A1	I/O	汎用デジタル I/O
	PA25	20	20	18	16	-	-	-	I/O	汎用デジタル I/O
	PA26	1	1	19	1	-	-	-	I/O	汎用デジタル I/O
	PA27	2	2	20	-	1	1	B1	I/O	汎用デジタル I/O
	PA28	3	3	1	2	-	-	-	I/O	汎用デジタル I/O

Copyright © 2026 Texas Instruments Incorporated

機能	信号名	ピン番号 (1)							ピンの種類 (2)	説明
		20 VSSOP	20 TSSOP	20 WQFN	16 SOT	8 SOT	8 WSON	8 DSBGA		
I2C	I2C0_SCL	5、11	6	3、9	4	2	2	B2	I/O	I2C0 シリアル クロック
	I2C0_SDA	4	11	2	3	5	5	A2	I/O	I2C0 シリアル データ
電源	VSS	7	7	5	6	3	3	D2	P	グランド電源
	VDD	6	9	4	5	4	4	C2	P	電源
	QFN パッド	-	-	パッド	-	-	パッド	-	P	QFN パッケージの露出サーマル パッド。V_{SS} に接続することを推奨します。
SPI	SPI0_CS0	8	8	6	7	-	-	-	I/O	SPI0 チップ セレクト 0
	SPI0_CS1	4、13	11、13	2、11	3、9	5	5	A2	I/O	SPI0 チップ セレクト 1
	SPI0_CS2	19	19	17	15	8	8	A1	I/O	SPI0 チップ セレクト 2
	SPI0_CS3	2、18	2、18	16、20	14	1	1	B1	I/O	SPI0 チップ セレクト 3
	SPI0_SCK	10、11、13、15	6、10、13、15	8、9、11、13	8、9、11	6	6	D1	I/O	SPI0 クロック信号入力 – SPI ペリフェラル モード クロック信号出力 – SPI コントローラ モード
	SPI0_POCI	1、2、9、12、15、17	1、2、5、15、17	7、10、13、15、19、20	1、11、13	1、6	1、6	D1、B1	I/O	SPI0 コントローラ入力 / ペリフェラル出力
	SPI0_PICO	14、16、20	14、16、20	12、14、18	10、12、16	7	7	C1	I/O	SPI0 コントローラ出力 / ペリフェラル入力
システム	NRST	5	4	3	4	2	2	B2	I	リセット入力 (アクティブ Low)
タイマ	TIMA_FAL0	1、10、11	1、6、10	8、9、19	1、8	-	-	-	I/O	高度制御タイマ フォルト 0 処理入力
	TIMA_FAL1	4、16	11、16	2、14	3、12	5、7	5、7	A2、C1	I/O	高度制御タイマ フォルト 1 処理入力
	TIMA_FAL2	2、20	2、20	18、20	16	1	1	B1	I/O	高度制御タイマ フォルト 2 処理入力
	TIMA0_C0	2、3、8、9、13、16	2、3、5、8、13、16	1、6、7、11、14、20	2、7、9、12	1、7	1、7	B1、C1	I/O	高度制御タイマ 0 CCR0 キャプチャ入力 / 比較出力
	TIMA0_C0N	2、9、13	2、5、13	7、11、20	9	1	1	B1	I/O	高度制御タイマ 0 CCR0 キャプチャ入力 / 比較出力 (反転)
	TIMA0_C1	5、9、10、12、14、17	5、10、12、14、17	3、7、8、10、12、15	4、8、10、13	2	2	B2	I/O	高度制御タイマ 0 CCR1 キャプチャ入力 / 比較出力
	TIMA0_C1N	9、12、14	5、14	7、10、12	10	-	-	-	I/O	高度制御タイマ 0 CCR1 キャプチャ入力 / 比較出力 (反転)
	TIMA0_C2	13、15、16	13、15、16	11、13、14	9、11、12	6、7	6、7	C1、D1	I/O	高度制御タイマ 0 CCR2 キャプチャ入力 / 比較出力
	TIMA0_C2N	16	16	14	12	7	7	C1	I/O	高度制御タイマ 0 CCR2 キャプチャ入力 / 比較出力 (反転)
	TIMA0_C3	13、14、18、19	13、14、18、19	11、12、16、17	9、10、14、15	8	8	A1	I/O	高度制御タイマ 0 CCR3 キャプチャ入力 / 比較出力
	TIMA0_C3N	14、19	14、19	12、17	10、15	8	8	A1	I/O	高度制御タイマ 0 CCR3 キャプチャ入力 / 比較出力 (反転)
	TIMG14_C0	1、12、15、18	1、15、18	10、13、16、19	1、11、14	6	6	D1	I/O	汎用タイマ 0 CCR0 キャプチャ入力 / 比較出力
	TIMG14_C1	10、18、19、20	10、18、19、20	8、16、17、18	8、14、15、16	8	8	A1	I/O	汎用タイマ 0 CCR1 キャプチャ入力 / 比較出力
	TIMG14_C2	10、19	10、19	8、17	8、15	8	8	A1	I/O	汎用タイマ 0 CCR2 キャプチャ入力 / 比較出力
	TIMG14_C3	20	20	18	16	-	-	-	I/O	汎用タイマ 0 CCR3 キャプチャ入力 / 比較出力
	TIMG8_C0	1、4	1、11	2、19	1、3	5	5	A2	I/O	汎用タイマ 8 CCR0 キャプチャ入力 / 比較出力
	TIMG8_C1	2、5、8	2、8、12	3、6、20	4、7	1、2	1、2	B1、B2	I/O	汎用タイマ 8 CCR1 キャプチャ入力 / 比較出力
	TIMG8_IDX	3、8	3、8	1、6	2、7	-	-	-	I	汎用タイマ 8 直交エンコーダ インデックス パルス入力

Copyright © 2026 Texas Instruments Incorporated

機能	信号名	ピン番号 (1)							ピンの種類 (2)	説明
		20 VSSOP	20 TSSOP	20 WQFN	16 SOT	8 SOT	8 WSON	8 DSBGA		
UART	UART0_TX	2、13、18、20	2、13、18、20	11、16、18、20	9、14、16	1	1	B1	O	UART0 送信データ
	UART0_RX	1、3、14、17、19	1、3、14、17、19	1、12、15、17、19	1、2、10、13、15	8	8	A1	I	UART0 受信データ
	UART0_CTS	15、18	15、18	13、16	11、14	6	6	D1	I	UART0「送信可」フロー制御入力
	UART0_RTS	16、17、19	16、17、19	14、15、17	12、13、15	7、8	7、8	A1、C1	O	UART0「送信要求」フロー制御出力
ビープ音	ビープ音	1、4	1、11	2、19	1、3	5	5	A2	O	ビープ音出力
FCC	FCC_IN	4、12	11	2、10	3	5	6	A2	I	周波数クロック カウンタ入力

6.4 未使用ピンの接続

表 6-3 に、未使用ピンの正しい終端を示します。

表 6-3. 未使用ピンの接続

ピン (1)	電位	備考
PAx	オープン	対応するピン機能を GPIO (PINCMx.PF = 0x1) に設定し、未使用のピンが Low を出力するように、または未使用のピンが内部プルアップまたはプルダウン抵抗付き入力になるように構成します。
NRST	VCC	NRST はアクティブ Low のリセット信号です。VCC にプルアップしないと、本デバイスは起動できません。詳細については、セクション 9.1 を参照してください。

(1) 汎用 I/O と共有されている機能を持つすべての未使用ピンについては、「PAx」未使用ピンの接続ガイドラインに従う必要があります。

7 仕様

7.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
VDD	電源電圧	VDD ピンで	-0.3	4.1	V
V_I	入力電圧	すべての 5V 許容オープンドレイン ピンに印加	-0.3	5.5	V
V_I	入力電圧	任意の通常耐圧ピンに印加	-0.3	V_{DD} + 0.3 (最大 4.1)	V
I_{VDD}	VDD ピンの電流	VDD ピン (ソース) に流れ込む電流、-40℃ ≤ T_a ≤ 85℃		80	mA
I_{VSS}	VSS ピンの電流	VSS ピン (シンク) から流れ出る電流、-40℃ ≤ T_a ≤ 85℃		80	mA
I_{VDD}	VDD ピンの電流	VDD ピン (ソース) に流れ込む電流、-40℃ ≤ T_a ≤ 125℃		48	mA
I_{VSS}	VSS ピンの電流	VSS ピン (シンク) から流れ出る電流、-40℃ ≤ T_a ≤ 125℃		48	mA
I_{IO}	SDIO ピンの電流	SDIO ピンによってシンクまたはソースされる電流		6	mA
	ODIO ピンの電流	ODIO ピンによってシンクされる電流		20	mA
I_D	サポートされているダイオード電流	PA24 を除くすべてのデバイス ピンのダイオード電流		±2 (2)	mA
T_{stg}		保存温度	-40	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) PA24 にはテスト目的で内部接続があり、このピンでは注入電流は許容されません。

7.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2000	V
$V_{(ESD)}$	静電放電	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	±500	V

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

7.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
VDD	電源電圧 (2)	1.62 (3)		3.6	V
C_{VDD}	VDD と VSS の間に配置されたコンデンサ (1)		10		µF
T_A	周囲温度	-40		125	°C
T_J	最大接合部温度			130	°C
f_{MCLK}	MCLK、CPUCLK、ULPCLK 周波数、0 のフラッシュ待機状態			24	MHz

(1) C_{VDD} は、VDD/VSS 間に、デバイスのピンにできる限り近づけて接続します。 C_{VDD} には、容量値の誤差が ±20% までの精度の低 ESR コンデンサを使う必要があります。
(2) VDD の推奨動作範囲に関して MCLK 周波数への依存はありません。
(3) 最小 VBOR0-(min) まで機能が保証されます。

Copyright © 2026 Texas Instruments Incorporated

7.4 熱に関する情報

熱評価基準[1]		パッケージ	値	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	VSSOP-20 (DGS20)	91.3	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		29.3	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		48.3	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		0.7	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		47.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		該当なし	°C/W
$R_{\theta JA}$	接合部から周囲への熱抵抗	TSSOP-20 (PW20)	98.2	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		39.3	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		50.0	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		5.6	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		49.5	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		該当なし	°C/W
$R_{\theta JA}$	接合部から周囲への熱抵抗	WQFN-20 (RUK)	52.9	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		55.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		26.4	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		2.1	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		26.4	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		12.0	°C/W
$R_{\theta JA}$	接合部から周囲への熱抵抗	SOT-16 (DYY)	117.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		54.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		54.6	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		3.0	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		54.5	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		該当なし	°C/W
$R_{\theta JA}$	接合部から周囲への熱抵抗	SOT-8 (DDF)	142.3	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		65.7	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		62.7	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		3.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		62.5	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		該当なし	°C/W
$R_{\theta JA}$	接合部から周囲への熱抵抗	WSON-8 (DSG)	70.7	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		85.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		37.5	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		2.7	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		37.5	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		12.8	°C/W

Copyright © 2026 Texas Instruments Incorporated

7.4 熱に関する情報 (続き)

熱評価基準(1)		パッケージ	値	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	DSBGA-8 (YCJ)	118.6	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		0.9	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗		33.2	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ		0.5	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ		33.2	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

7.5 電源電流特性

7.5.1 RUN/SLEEP モード

VDD = 3.3V。 すべての入力は、0V または VDD に接続されています。 出力は、電流のソースまたはシンクを行いません。 すべてのペリフェラルはディセーブルです。

パラメータ		MCLK	-40°C		25°C		85°C		125°C		単位
			標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	
RUN モード											
IDD_{RUN}	MCLK=SYSOSC、While(1)、フラッシュから実行	24MHz	2.06	2.20	2.08	2.35	2.09	2.40	2.21	2.45	mA
IDD_{RUN}、MHz あたり	MCLK=SYSOSC、While(1)、フラッシュから実行	24MHz	86	92	87	98	87	100	92	102	µA/MHz
SLEEP モード											
IDD_{SLEEP}	MCLK=SYSOSC、CPU 停止	24MHz	1115	1256	1132	1268	1149	1380	1214	1370	µA

7.5.2 STOP/STANDBY モード

特に記述のない限り、VDD=3.3V。 すべての入力は、0V または VDD に接続されています。 出力は、電流のソースまたはシンクを行いません。 特に記述のないすべてのペリフェラルはディセーブルです。

パラメータ		ULPCLK	-40°C		25°C		85°C		125°C		単位
			標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	
STOP モード											
IDD_{STOP0}	SYSOSC = 24MHz、DISABLESTOP=0	4MHz	598	640	609	646	622	710	662	733	µA
IDD_{STOP2}	SYSOSC オフ、DISABLESTOP=1、ULPCLK=LFCLK	32kHz	305	343	311	346	324	359	364	430	
STANDBY モード											
IDD_{STBY0}	STOPCLKSTBY = 0、TIMG8、TIMG14、TIMA0 がイネーブル	32kHz	3.8	8.3	5.1	14	17.8	35.4	57.4	93	µA
IDD_{STBY1}	STOPCLKSTBY = 1、TIMG8、TIMG14、TIMA0 がイネーブル		3.4	8.5	5.1	14	17.5	35.1	57	93	
	STOPCLKSTBY=1、GPIOA イネーブル		3.4	8.5	5.0	14	17.5	35.2	57	93	

Copyright © 2026 Texas Instruments Incorporated

7.5.3 SHUTDOWN モード

すべての入力は、0V または VDD に接続されています。出力は、電流のソースまたはシンクを行いません。コア レギュレータはパワーダウンされています。

パラメータ		VDD	-40°C		25°C		85°C		125°C		単位
			標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	
IDD_{SHDN}	SHUTDOWN モードの電源電流	3.3V	140	320	200	350	428	932	1933	4680	nA

7.6 電源シーケンス

7.6.1 POR と BOR

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
dVDD/dt	VDD (電源電圧) のスルーレート	立ち上がり			0.1	V/µs
		立ち下がり (2)			0.01	
		立ち下がり、STANDBY			0.1	V/ms
V_{POR+}	パワーオン リセット電圧レベル	立ち上がり (1)	0.92	1.284	1.59	V
V_{POR-}		立ち下がり (1)	0.87	1.236	1.54	V
$V_{HYS, POR}$	POR ヒステリシス	(1)	16	47	80	mV
$V_{BOR0+, COLD}$	ブラウンアウト リセット電圧レベル 0 (デフォルトのレベル)	コールド スタート、立ち上がり (1)	1.48	1.54	1.615	V
V_{BOR0+}		立ち上がり (1) (2)	1.57	1.59	1.61	
V_{BOR0-}		立ち下がり (1) (2)	1.56	1.57	1.60	
$V_{BOR0, STBY}$	ブラウンアウト リセット電圧レベル 0 (デフォルトのレベル)	STANDBY モード (1)	1.52	1.57	1.60	V
V_{BOR1+}	ブラウンアウト リセット電圧レベル 1	立ち上がり (1) (2)	2.15	2.17	2.23	V
V_{BOR1-}		立ち下がり (1) (2)	2.11	2.14	2.19	
$V_{BOR1, STBY}$	ブラウンアウト リセット電圧レベル 1	STANDBY モード (1)	2.07	2.14	2.19	V
V_{BOR2+}	ブラウンアウト リセット電圧レベル 2	立ち上がり (1) (2)	2.74	2.77	2.83	V
V_{BOR2-}		立ち下がり (1) (2)	2.71	2.73	2.80	
$V_{BOR2, STBY}$	ブラウンアウト リセット電圧レベル 2	STANDBY モード (1)	2.67	2.73	2.80	V
V_{BOR3+}	ブラウンアウト リセット電圧レベル 3	立ち上がり (1) (2)	2.88	2.96	3.04	V
V_{BOR3-}		立ち下がり (1) (2)	2.85	2.93	3.01	
$V_{BOR3, STBY}$	ブラウンアウト リセット電圧レベル 3	STANDBY モード (1)	2.83	2.92	3.00	V
$V_{HYS, BOR}$	ブラウンアウト リセットのヒステリシス	レベル 0 (1)		14	18	mV
		レベル 1～3 (1)		34	41	
$T_{PD, BOR}$	BOR 伝搬遅延	RUN/SLEEP/STOP モード			10	us
		STANDBY モード			100	us

(1) |dVDD/dt| ≦ 3V/s
(2) デバイスは RUN、SLEEP、STOP モードで動作しています。

7.6.2 電源ランプ

図 7-1 に、パワーアップ / パワーダウン時の POR-、POR+、BOR0-、BOR0+ の関係を示します。

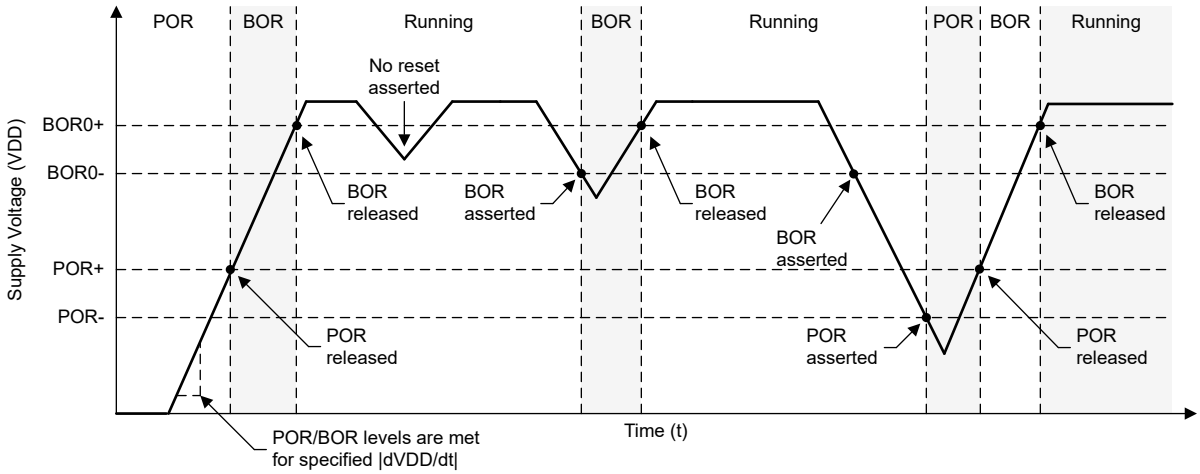


図 7-1. パワー サイクルの POR/BOR 条件

7.7 フラッシュ メモリの特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
$VDD_{PGM/ERASE}$	書き込みと消去の電源電圧		1.62		3.6	V
IDD_{ERASE}	消去動作中の VDD からの電源電流	電源電流の差分		2		mA
IDD_{PGM}	書き込み動作中の VDD からの電源電流	電源電流の差分		2.5		mA
耐久性						
$NWEC_{(LOWER)}$	消去 / プログラム サイクル耐久性		100			k サイクル
$NE_{(MAX)}$	故障に至るまでの全消去動作回数 (1)		802			k 回の消去動作
$NW_{(MAX)}$	セクタが消去されるまでのワード線あたりの書き込み動作回数 (1)				83	書き込み動作
保持						
t_{RET_85}	フラッシュ メモリのデータ保持	-40℃ ≦ Tj ≦ 85℃	60			年
t_{RET_105}	フラッシュ メモリのデータ保持	-40℃ ≦ Tj ≦ 105℃	11.4			年
t_{RET_130}	フラッシュ メモリのデータ保持	-40℃ ≦ Tj ≦ 130℃	2.4			年
書き込みと消去のタイミング						
$t_{PROG\ (WORD,\ 64)}$	フラッシュ ワードの書き込み時間 (2)			40		µs
$t_{PROG\ (SEC,\ 64)}$	1KB セクタの書き込み時間			5.1		ms
$t_{ERASE\ (SEC)}$	セクタの消去時間	10k 未満の消去 / 書き込みサイクル		20	200	ms
$t_{ERASE\ (BANK)}$	バンクの消去時間	10k 未満の消去 / 書き込みサイクル		22	220	ms

(1) ワード線を消去するまでに、許容されるワード線あたりの書き込み動作の最大回数。同じワード線への追加書き込みが必要な場合、ワード線あたりの書き込み動作の最大回数に達すると、セクタ消去が必要です。
(2) セクタ書き込み時間は、最初のワード書き込みコマンドがトリガされてから、最後のワード書き込みコマンドが完了し、フラッシュ コントローラで割り込みフラグがセットされるまでの時間として定義されます。 この時間には、セクタの書き込み中にソフトウェアが (最初のフラッシュ ワードの後に) 各フラッシュ ワードをフラッシュ コントローラに読み込むために必要な時間が含まれます。

Copyright © 2026 Texas Instruments Incorporated

7.8 タイミング特性

VDD=3.3V、T_a=25℃ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ウェークアップ タイミング						
$t_{WAKE、SLEEP}$	SLEEP から RUN までのウェークアップ時間			2		サイクル
$t_{WAKE、STOP}$	STOP0 から RUN までのウェークアップ時間 (SYSOSC イネーブル)			14		us
	STOP2 から RUN までのウェークアップ時間 (SYSOSC ディセーブル)			15		us
$t_{WAKE、STBY}$	STANDBY から RUN までのウェークアップ時間			20		us
$t_{WAKE、SHDN}$	SHUTDOWN から RUN までのウェークアップ時間			112		us
非同期高速クロック要求タイミング						
t_{DELAY}	非同期要求のエッジから最初の 24MHz MCLK エッジまでの遅延時間	モードは SLEEP2		1.2		us
		モードは STOP2		1.2		us
		モードは STANDBY1		5.0		us
スタートアップ タイミング						
$t_{START、RESET}$	リセット / パワーアップからのデバイスのコールド スタートアップ時間 (1)			210		us
NRST のタイミング						
$t_{RST、BOOTRST}$	BOOTRST を生成するための NRST ピンのパルス長	ULPCLK≧4MHz		2		us
		ULPCLK=32kHz		100		us
$t_{RST、POR}$	POR を生成するための NRST ピンのパルス長			1		s

(1) 起動時間は、VDD が VBOR0+ と交差 (コールド スタートアップ) した時刻から、ユーザー プログラムの最初の命令が実行された時刻までの時間として測定されます。

7.9 クロック仕様

7.9.1 システム発振器 (SYSOSC)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SYSOSC}	出荷時に調整された SYSOSC 周波数	SYSOSCCFG.FREQ=00 (ベース)		24		MHz
f_{SYSOSC}	内部 ROSC 抵抗使用、周波数補正ループ (FCL) イネーブル時の SYSOSC 周波数精度 (1)	SETUSEFCL=1、T_a = 25℃	-1.2		1.2	%
		SETUSEFCL=1、0℃ ≦ T_a ≦ 85℃	-1.6		1.4	
		SETUSEFCL=1、-40℃ ≦ T_a ≦ 125℃	-2		1.4	
f_{SYSOSC}	周波数補正ループ (FCL) がディセーブルのときの SYSOSC 精度、24MHz	SETUSEFCL=0、SYSOSCCFG.FREQ=00、-40℃ ≦ T_a ≦ 125℃	-2.5		2.5	%
$t_{settle、SYSOSC}$	目標精度に達するまでのセトリング タイム (2)	SETUSEFCL=1			30	us

(1) SYSOSC の周波数補正ループ (FCL) を使うと、内部リファレンス抵抗によって SYSOSC の精度を高めることができます。SYSOSC 精度の計算方法の詳細については、テクニカル リファレンス マニュアルの「SYSOSC」のセクションを参照してください。

(2) SYSOSC がディスエーブル状態から有効化された場合、$t_{start, SYSOSC}$ で規定された時間内に SYSOSC 出力がデバイスに解放されます。 出力が解放された時点で、SYSOSC のワーストケースの精度は f_{settle}, SYSOSC によって規定されます。 $t_{settle, SYSSOSC}$ で規定された時間の後、SYSOSC は目的の f_{SYSOSC} 精度に収束します。

7.9.2 低周波数発振器 (LFOSC)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{LFOSC}	LFOSC 周波数			32768		Hz
f_{LFOSC}	LFOSC 精度	-40℃ ≦ T_a ≦ 125℃	-5		5	%
f_{LFOSC}	LFOSC 精度	-40℃ ≦ T_a ≦ 85℃	-3		3	%
I_{LFOSC}	LFOSC 消費電流			300		nA
$t_{start、LFOSC}$	LFOSC スタートアップ時間			1.7		ms

7.10 デジタル IO

7.10.1 電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{IH}	High レベル入力電圧	ODIO (1)	VDD≧1.62V	0.7*VDD		5.5	V
		ODIO (1)	VDD≧2.7V	2		5.5	V
		すべての I/O (ODIO とリセットを除く)	VDD≧1.62V	0.7*VDD		VDD+0.3	V
V_{IL}	Low レベル入力電圧	ODIO	VDD≧1.62V	-0.3		0.3*VDD	V
		ODIO	VDD≧2.7V	-0.3		0.8	V
		すべての I/O (ODIO とリセットを除く)	VDD≧1.62V	-0.3		0.3*VDD	V
V_{HYS}	ヒステリシス	ODIO		0.05*VDD			V
		すべての I/O (ODIO を除く)		0.1*VDD			V
I_{lkg}	ハイ インピーダンスのリーク電流	SDIO(2) (3)	VDD = 3V			50	nA
R_{PU}	プルアップ抵抗	すべての I/O (ODIO を除く)	VIN = VSS		40		kΩ
R_{PD}	プルダウン抵抗		VIN = VDD		40		kΩ
C_I	入力容量		VDD = 3.3V		5		pF
V_{OH}	High レベル出力電圧	SDIO	VDD ≥ 2.7V、$\|I_{IO}\|_{,max}$ = 6mA	VDD-0.5			V
V_{OH}	High レベル出力電圧	SDIO	VDD ≥ 1.71V、$\|I_{IO}\|_{,max}$ = 2mA	VDD-0.4			V
V_{OL}	Low レベル出力電圧	SDIO	VDD ≥ 2.7V、$\|I_{IO}\|_{,max}$ = 6mA VDD ≥ 1.71V、$\|I_{IO}\|_{,max}$ = 2mA			0.4	V
V_{OL}	Low レベル出力電圧	ODIO	VDD ≧ 2.7V、$I_{OL,max}$ = 8mA VDD ≧ 1.71V、$I_{OL,max}$ = 4mA			0.5	V

(1) I/O タイプ : ODIO = 5V 許容オープン ドレイン、SDIO = 標準駆動、HSIO = 高速
(2) リーク電流は、対応するピンに VSS または VDD を印加して計測されます (特に記述のない限り)。
(3) デジタル ポート ピンのリーク電流は個別に計測されます。ポート ピンは入力として選択され、プルアップ / プルダウン抵抗は無効化されています。

Copyright © 2026 Texas Instruments Incorporated

7.10.2 スイッチング特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
f_{max}	ポート出力周波数	SDIO (1)	VDD ≧ 1.71V、C_L = 20pF			24	MHz
f_{max}	ポート出力周波数	ODIO	VDD ≧ 1.71V、FM^+、CL = 20pF～100pF			1	MHz
t_r、t_f	出力立ち上がり / 立ち下がり時間	ODIO を除くすべての出力ポート	VDD ≥ 1.71V			0.3*f_{max}	s
t_f	出力立ち下がり時間	ODIO	VDD ≧ 1.71V、FM^+、CL = 20pF～100pF	20*VDD/5.5		120	ns

(1) I/O タイプ:ODIO = 5V 対応オープンドレイン、SDIO=標準駆動、HSIO=高速、HDIO =高駆動

7.11 ADC

7.11.1 電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。すべての代表値は 25℃で測定されており、すべての精度パラメータは 12 ビット分解能モードを使用して測定されています (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$Vin_{(ADC)}$	アナログ入力電圧範囲(1)	すべての ADC アナログ入力ピンに適用されます	0		VDD	V
V_{R+}	正の ADC リファレンス電圧	VDD から供給される V_{R+}		VDD		V
		内部リファレンス電圧 (VREF) から供給される V_{R+}		VREF		V
V_{R-}	負の ADC リファレンス電圧			0		V
Fs	ADC サンプリング周波数	RES = 0x0 (12 ビット モード)、VDD リファレンス			1.5	Msps
		RES = 0x1 (10 ビット モード)、VDD リファレンス			1.7	
		RES = 0x2 (8 ビット モード)、VDD リファレンス			2	
F_S	ADC サンプリング周波数	RES = 0x0 (12 ビット モード)、内部リファレンス			0.866	Msps
		RES = 0x1 (10 ビット モード)、内部リファレンス			1	
		RES = 0x2 (8 ビット モード)、内部リファレンス			1.2	
$I_{(ADC)}$	VDD 端子に流れ込む動作電源電流	F_S = 1.5MSPS、V_{R+} = VDD		200	220	μA
		F_S = 0.856MSPS、V_{R+} = VREF = 2.5V (VREF 消費電力を含む)		220	250	
$C_{S/H}$	ADC サンプル ホールド容量			0.22		pF
Rin	ADC スイッチ抵抗			25		kΩ
ENOB	有効ビット数	VDD リファレンス (2)	9.3	10.4		ビット
		オーバー サンプリング機能付きの VDD リファレンス		12.2		
		内部リファレンス電圧、V_{R+} = VREF = 2.5V	9.4	9.8		
SNR	信号対雑音比	VDD リファレンス (2)		64		dB
		オーバー サンプリング機能付きの VDD リファレンス		75		
		内部リファレンス電圧、V_{R+} = VREF = 2.5V		61		
$PSRR_{DC}$	電源除去比、DC	VDD = $VDD_{(min)}$～$VDD_{(max)}$ 内部リファレンス電圧、V_{R+} = VREF = 2.5V		61		dB
T_{wakeup}	ADC ウェークアップ時間	内部リファレンス電圧はオンであると仮定			5	us
$V_{SupplyMon}$	電源モニタ分圧器 (VDD/3) の精度	ADC の入力チャネル:電源モニタ(3)	-0.6		+2.5	%
$I_{SupplyMon}$	電源モニタ分圧器の消費電流	ADC の入力チャネル:電源モニタ		10		μA

(1) 有効な変換結果を得るには、選択された ADC リファレンス電圧の範囲内 (V_{R+}～V_{R-}) にアナログ入力電圧範囲が含まれている必要があります。
(2) VDD リファレンス電圧の仕様は、V_{R+} = VDD = 3.3V かつ V_{R-} = VSS = 0V の条件で測定されたものです。
(3) アナログ電源モニタ。チャネル 15 のアナログ入力は切り離されており、分圧器 (VDD/3) と内部的に接続されています。

Copyright © 2026 Texas Instruments Incorporated

7.11.2 スイッチング特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{ADCCLK}	ADC クロック周波数		12		24	MHz
$t_{ADC\ trigger}$	ソフトウェア トリガの最小幅		3			ADCCLK のサイクル数
t_{Sample_step}	サンプリング時間 (ステップ入力)	12 ビット モード、R_S = 50Ω、C_{pext} = 10pF	0.166			µs
$t_{Sample_SupplyMon}$	サンプリング時間 (電源モニタ (VDD/3) あり)		3			µs

7.11.3 直線性パラメータ

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。すべての代表値は 25℃で測定されており、すべての直線性パラメータは 12 ビット分解能モードを使用して測定されています (特に記述のない限り)。(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
E_I	積分直線性誤差 (INL)	VDD リファレンス、10 ビット (2)	-1.0		+1.0	LSB
		VDD リファレンス、12 ビット (2)	-4.0		+4.0	LSB
E_D	微分直線性誤差 (DNL)	VDD リファレンス、10 ビット (2)	-1.0		+1.0	LSB
		VDD リファレンス、12 ビット (2)	-1.0		+4.0	LSB
E_O	オフセット誤差	VDD リファレンス、10 ビット (2)	-3		3	mV
		VDD リファレンス、12 ビット (2)	-3		3	mV
E_G	ゲイン誤差	VDD リファレンス、10 ビット (2)	-5		5	LSB
		VDD リファレンス、12 ビット (2)	-25		25	LSB

(1) し総合未調整誤差 (TUE) は、次の式を使用して、E_I、E_O、E_G から計算できます。$TUE = \sqrt{(E_I^2 + |E_O|^2 + E_G^2)}$
注: 上記の式が正確であるためには、すべての誤差を同じ単位 (通常は LSB) に変換する必要があります。
(2) VDD リファレンス仕様は、V_{R+} = VDD かつ V_{R-} = VSS = 0V の条件で測定されたものです。

7.11.4 代表的な接続図

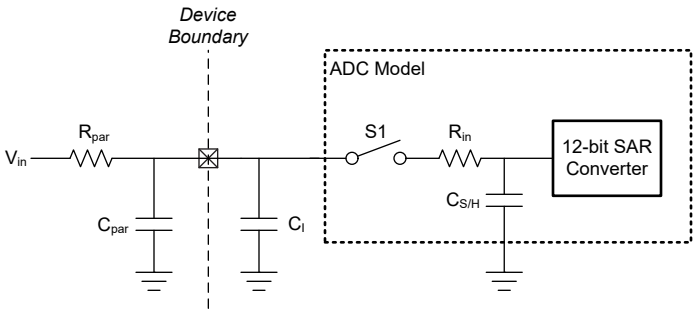


図 7-2. ADC 入力ネットワーク

1. R_{in} と $C_{S/H}$ の値については、「ADC 電気的特性」を参照してください。
2. C_I の値については、「デジタル IO 電気的特性」を参照してください。
3. C_{par} と R_{par} は外部 ADC 入力回路の寄生容量および抵抗を表します。

次の式を使用して、ADC 変換に必要な最小サンプリング時間 (T) を求めます。

1. $Tau = (R_{par} + R_{in}) \times C_{S/H} + R_{par} \times (C_{par} + C_I)$
2. $K = \ln(2^n$ / セトリング誤差) - $\ln((C_{par} + C_I) / C_{S/H})$
3. T (最小サンプリング時間) = K × Tau

Copyright © 2026 Texas Instruments Incorporated

7.12 温度センサ

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
TS_{TRIM}	出荷時調整温度 (1)		27	30	33	℃
TS_c	温度係数		-1.9	-1.8	-1.7	mV/℃
$t_{SET,TS}$	温度センサのセトリング タイム (2)	ADC および VREF の構成:RES = 0 (12 ビット モード)、VRSEL = 2h (VREF = 1.4V)、ADC CHANNEL = 11		2.5	10	us

(1) ユーザー較正により、より高い絶対精度を実現できます。
(2) これは、温度センサの測定に必要な最小 ADC サンプリング時間です。

7.13 VREF

7.13.1 電圧特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
VDD_{min}	VREF 動作に必要な最低電源電圧	BUFCONFIG = 1	1.62			V
		BUFCONFIG = 0	2.7			
VREF	リファレンス電圧の出力電圧	BUFCONFIG = 1	1.378	1.4	1.421	V
		BUFCONFIG = 0	2.462	2.5	2.541	

7.13.2 電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
I_{VREF}	VREF の動作電源電流 (この仕様は推定値であり、IP の設計フェーズがさらに進むと、より信頼性が高くなります)	BUFCONFIG = {0, 1}、無負荷	BUFCONFIG = {0, 1}、無負荷。		80	100	µA
TC_{VREF}	VREF の温度係数 (1)	BUFCONFIG = {0, 1}	BUFCONFIG = {0, 1}			75	ppm/°C
TC_{drift}	VREF の長期ドリフト	時間=1000 時間、BUFCONFIG = {0, 1}、T = 25℃	時間=1000 時間、BUFCONFIG = {0, 1}、T = 25℃			300	ppm
$T_{startup}$	VREF 起動時間	BUFCONFIG = {0, 1}、VDD = 2.7V	BUFCONFIG = {0, 1}、VDD = 2.7V			10	us

(1) VREF 出力の温度係数は、TC_{VRBUF} と内部バンドギャップ リファレンスの温度係数の和です。

7.14 I2C

7.14.1 I2C の特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	スタンダード モード		ファスト モード		ファスト モード プラス		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
f_{I2C}	I2C 入力クロック周波数	パワードメイン 0 の I2C		24		24		24	MHz
f_{SCL}	SCL クロック周波数			100		400		1000	kHz
$t_{HD,STA}$	(リピート) スタート ホールド時間		4		0.6		0.26		us
t_{LOW}	SCL クロック Low 期間		4.7		1.3		0.5		us

Copyright © 2026 Texas Instruments Incorporated

7.14.1 I2C の特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	スタンダード モード		ファスト モード		ファスト モード プラス		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
t_{HIGH}	SCL クロックの High 期間		4		0.6		0.26		us
$t_{SU,STA}$	リピート スタート セットアップ時間		4.7		0.6		0.26		us
$t_{HD,DAT}$	データ ホールド時間		0		0		0		ns
$t_{SU,DAT}$	データ セットアップ時間		250		100		50		ns
$t_{SU,STO}$	ストップ セットアップ時間		4		0.6		0.26		us
t_{BUF}	ストップ コンディションとスタート コンディションの間のバス解放時間		4.7		1.3		0.5		us
$t_{VD;DAT}$	データ有効時間			3.45		0.9		0.45	us
$t_{VD;ACK}$	データ有効アクノリッジ時間			3.45		0.9		0.45	us

7.14.2 I2C フィルタ

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SP}	入力フィルタにより抑制されるスパイクのパルス持続時間	AGFSELx = 0		11	35	ns
f_{SP}	入力フィルタにより抑制されるスパイクのパルス持続時間	AGFSELx = 1		14	35	ns
f_{SP}	入力フィルタにより抑制されるスパイクのパルス持続時間	AGFSELx = 2		22	60	ns
f_{SP}	入力フィルタにより抑制されるスパイクのパルス持続時間	AGFSELx = 3		35	90	ns

7.14.3 I²C のタイミング図

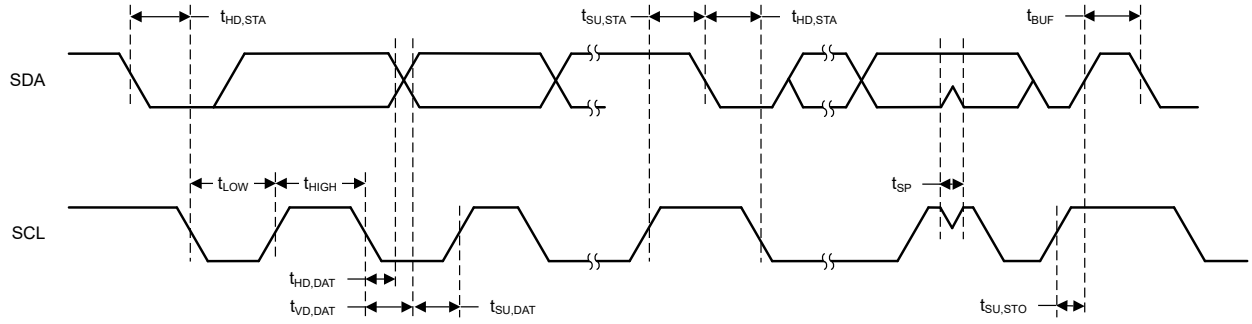


図 7-3. I2C タイミング図

7.15 SPI

7.15.1 SPI

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
SPI						
f_{SPI}	SPI クロック周波数	最大クロック速度 = 24MHz 1.62 < VDD < 3.6V コントローラ モード			12	MHz

Copyright © 2026 Texas Instruments Incorporated

7.15.1 SPI (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SPI}	SPI クロック周波数	最大クロック速度 = 24MHz 1.62 < VDD < 3.6V ペリフェラル モード			12	MHz
DC_{SCK}	SCK のデューティ サイクル		40	50	60	%
コントローラ						
$t_{SCLK_H/L}$	SCLK High または Low 時間		(tSPI/2) - 1	tSPI/2	(tSPI/2) + 1	ns
$t_{CS.LEAD}$	CS 進み時間、CS アクティブからクロックまで		1			ns
$t_{CS.LAG}$	CS 遅れ時間、最後のクロックから CS 非アクティブまで		11			ns
$t_{CS.ACC}$	CS アクセス時間、CS アクティブから PICO データ出力まで				93	ns
$t_{CS.DIS}$	CS ディセーブル時間、CS 非アクティブから PICO 高インピーダンスまで				10	ns
$t_{SU.CI}$	POCI 入力データのセットアップ時間 (1)	2.7 < VDD < 3.6V、遅延サンプリングがイネーブル	1			ns
		1.62 < VDD < 2.7V、遅延サンプリングがイネーブル	1			
$t_{SU.CI}$	POCI 入力データのセットアップ時間 (1)	2.7 < VDD < 3.6V、遅延サンプリングなし	27			ns
		1.62 < VDD < 2.7V、遅延サンプリングなし	35			
$t_{HD.CI}$	POCI 入力データ ホールド時間		9			ns
$t_{VALID.CO}$	PICO 出力データの有効時間 (2)				10	ns
$t_{HD.CO}$	PICO 出力データのホールド時間 (3)		1			ns
ペリフェラル						
$t_{CS.LEAD}$	CS 進み時間、CS アクティブからクロックまで		8			ns
$t_{CS.LAG}$	CS 遅れ時間、最後のクロックから CS 非アクティブまで		0			ns
$t_{CS.ACC}$	CS アクセス時間、CS アクティブから POCI データ出力まで				50	ns
$t_{CS.DIS}$	CS ディセーブル時間、CS 非アクティブから POCI 高インピーダンスまで				50	ns
$t_{SU.PI}$	PICO 入力データ セットアップ時間		2			ns
$t_{HD.PI}$	PICO 入力データ ホールド時間		1			ns
$t_{VALID.PO}$	POCI 出力データの有効時間 (2)	2.7 < VDD < 3.6V			34	ns
$t_{VALID.PO}$	POCI 出力データの有効時間 (2)	1.62 < VDD < 2.7V			41	ns
$t_{HD.PO}$	POCI 出力データのホールド時間 (3)		5			ns

(1) 遅延サンプリング機能がイネーブルのとき、POCI 入力データのセットアップ時間を完全に補償できます。
(2) 出力が SCLK クロック エッジを変更した後、次の有効なデータを出力に駆動する時間を規定します。
(3) 出力が SCLK クロック エッジを変更した後、出力のデータが有効である間の時間を規定します。

Copyright © 2026 Texas Instruments Incorporated

7.15.2 SPI のタイミング図

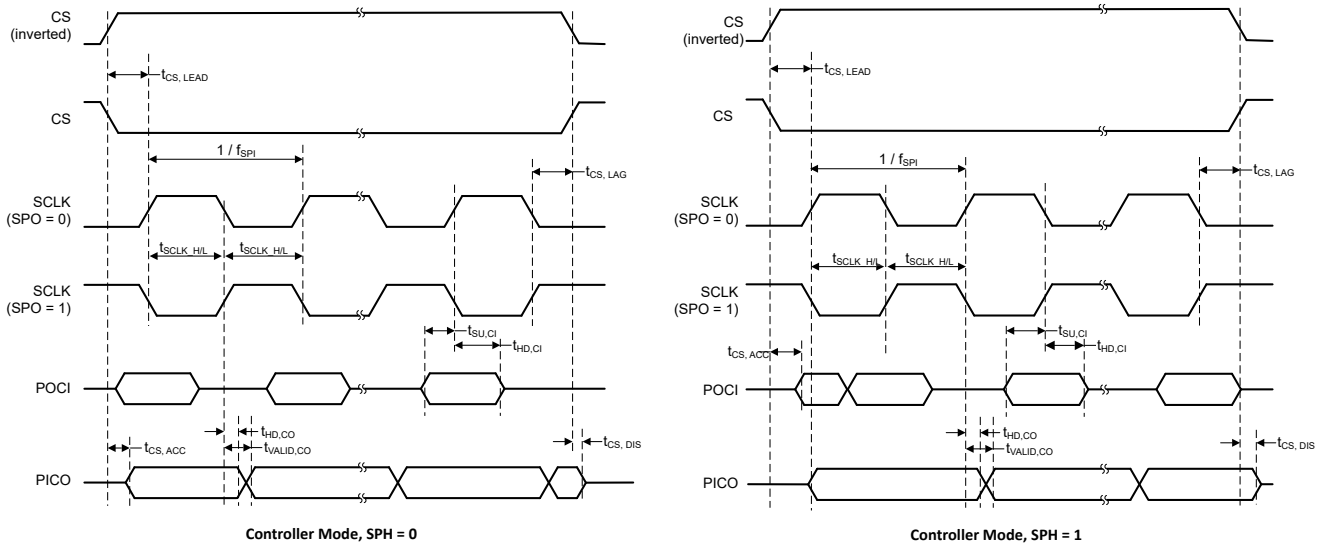


図 7-4. SPI のタイミング図 - コントローラ モード

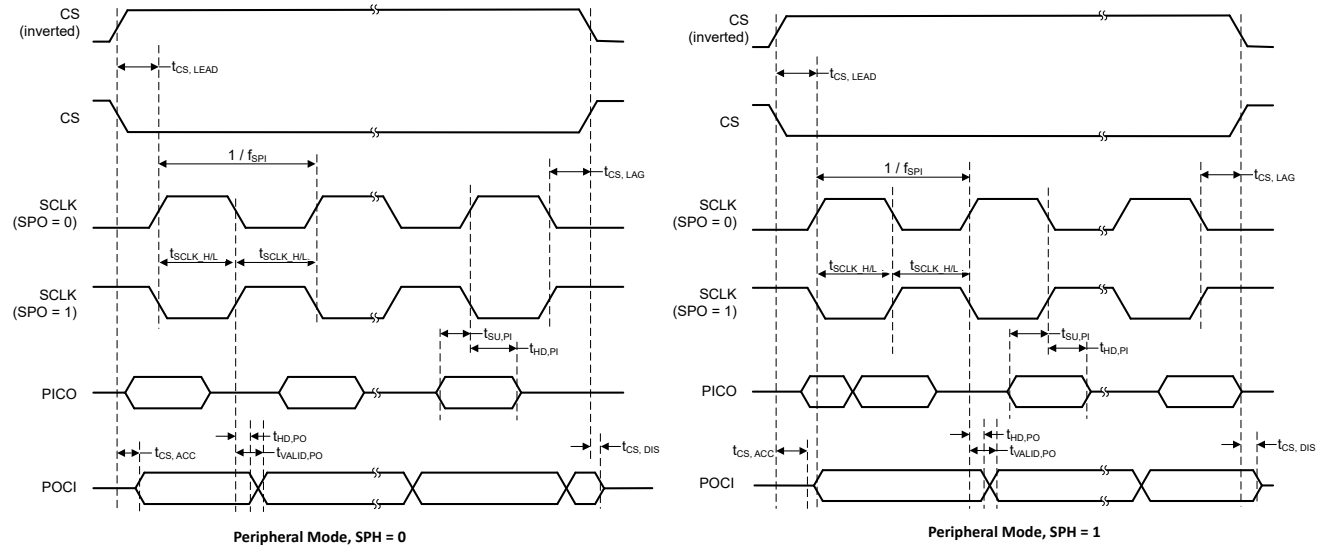


図 7-5. SPI のタイミング図 - ペリフェラル モード

7.16 UART

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{UART}	UART 入力クロック周波数				24	MHz
f_{BITCLK}	BITCLK クロック周波数 (MBaud のボー レートに等しい)				3	MHz
t_{SP}	入力フィルタにより抑制されるスパイクのパルス持続時間	AGFSELx = 0		11	35	ns
		AGFSELx = 1		14	35	ns
		AGFSELx = 2		22	60	ns
		AGFSELx = 3		35	90	ns

Copyright © 2026 Texas Instruments Incorporated

7.17 TIMx

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{res}	タイマ分解能時間	$f_{TIMxCLK}$ = 24MHz	41.67			ns
			1			$t_{TIMxCLK}$
t_{res}	タイマ分解能時間	16 ビット カウンタ付き TIMx			16	ビット

7.18 ウィンドウ付きウォッチドッグの特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$WWDT_{FREQ}$	WWDT 動作周波数			32.768		kHz
$WWDT_{Tstart}$	WWDT カウンタの開始時間	WWDT カウンタが開始するまで WWDTCTL0 に書き込みます ($WWDT_{FREQ}$ = 32.768kHz)			30.5	µs
$WWDT_{Trestart}$	WWDT カウンタの再起動時間	WWDT カウンタが再起動するまで WWDTCNTRST に書き込みます ($WWDT_{FREQ}$ = 32.768kHz)			30.5	µs

7.19 エミュレーションおよびデバッグ

7.19.1 SWD タイミング

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SWD}	SWD 周波数				10	MHz

Copyright © 2026 Texas Instruments Incorporated

8 詳細説明

以降のセクションでは、このデータシートのデバイスを構成するすべてのコンポーネントについて説明します。これらのデバイスに内蔵されているペリフェラルは、メモリ マップ レジスタ (MMR) を介してソフトウェアで設定されます。詳細については、『MSPM0 C シリーズ 24MHz マイコン テクニカル リファレンス マニュアル』の対応する章を参照してください。

8.1 CPU

CPU サブシステム (MCPUSS) は、Arm Cortex-M0+ CPU、システム タイマ、割り込み管理機能を実装しています。Arm Cortex-M0+ は、組込みアプリケーションに高性能と低消費電力を提供する、コスト最適化された 32 ビット CPU です。CPU サブシステムの主な特長は次のとおりです。

- Arm Cortex-M0+ CPU により、32kHz～24MHz のクロック周波数をサポート
  - ARMv6-M Thumb 命令セット (リトル エンディアン)、32 サイクル 32×32 低速乗算命令付き
- 4 つのプログラム可能な優先レベルとテール チェーンを備えたネスト型ベクタ割り込みコントローラ (NVIC)

8.2 動作モード

MSPM0C MCU には 5 つのメイン動作モード (電力モード) があり、アプリケーションの要件に基づいてデバイスの消費電力を最適化できます。消費電力を低減するためのモードは次のとおりです。RUN、SLEEP、STOP、STANDBY、SHUTDOWN。CPU は RUN モードではコードをアクティブに実行しています。ペリフェラル割り込みイベントにより、デバイスを SLEEP、STOP、または STANDBY モードから RUN モードにウェークアップできます。SHUTDOWN モードでは、内部コア レギュレータが完全にディスエーブルされ、消費電力が最小化されます。ウェークアップは NRST または SWD でのみ可能です。RUN、SLEEP、STOP、STANDBY の各モードには、複数の構成可能なポリシー オプション (例:RUN.x) も含まれており、性能と消費電力のバランスを確保できます。

性能と消費電力のバランスをさらに高めるために、MSPM0C デバイスには次の 2 つの電力ドメインが実装されています。**PD1** (CPU、メモリ、高性能ペリフェラル用) と **PD0** (低速、低消費電力ペリフェラル用)。

- **PD1** は、RUN モードと SLEEP モードで常に電源が供給されますが、他のすべてのモードではディスエーブルになります。
- **PD0** は、RUN、SLEEP、STOP、STANDBY の各モードで常に電源が供給されます。
- SHUTDOWN モードでは、PD1 と PD0 の両方がディセーブルになります。

8.2.1 動作モード別の機能 (MSPM0C110x)

各動作モードでサポートされている機能の一覧を、表 8-1 に示します。

機能キー:

- **EN**:その機能は、指定されたモードでイネーブルされます。
- **DIS**:その機能は、指定されたモードでディセーブル (クロックまたは電源のどちらかが遮断) されますが、その機能の設定は保持されます。
- **OPT**:その機能は、指定されたモードでは任意であり、イネーブルに設定されている場合はイネーブルのままです。
- **NS**:その機能は、指定されたモードで自動的にはディセーブルになりませんが、機能の使用はサポートされていません。
- **OFF**:その機能は、指定されたモードで完全に電源がオフになり、設定情報は保持されません。

表 8-1. 動作モード別のサポートされている機能

動作モード		RUN			SLEEP			ストップ		STANDBY		シャットダウン
		RUN0	RUN1	RUN2	SLEEP0	SLEEP1	SLEEP2	STOP0	STOP2	STANDBY0	STANDBY1	
発振器	SYSOSC	EN	EN	DIS	EN	EN	DIS	OPT[1]	DIS	DIS	DIS	OFF
	LFOSC	EN										OFF

Copyright © 2026 Texas Instruments Incorporated

表 8-1. 動作モード別のサポートされている機能 (続き)

動作モード		RUN			SLEEP			ストップ		STANDBY		シャットダウン
		RUN0	RUN1	RUN2	SLEEP0	SLEEP1	SLEEP2	STOP0	STOP2	STANDBY0	STANDBY1	
クロック	CPUCLK	24M	32k	32k	DIS							OFF
	MCLK から PD1 へ	24M	32k	32k	24M	32k	32k	DIS				OFF
	ULPCLK から PD0 へ	24M	32k	32k	24M	32k	32k	4M(1)	32k		DIS	OFF
	ULPCLK から TIMG14、TIMG8 へ	24M	32k	32k	24M	32k	32k	4M(1)	32k			OFF
	MFCLK	OPT	DIS		OPT	DIS		OPT	DIS			OFF
	LFCLK	32k									DIS	OFF
	LFCLK から TIMG14、TIMG8 へ	32k										OFF
	MCLK モニタ	OPT									DIS	OFF
PMU	POR モニタ	EN										
	BOR モニタ	EN										OFF
	コア レギュレータ	高駆動能力								低駆動能力		OFF
コア機能	CPU	EN			DIS							OFF
	DMA	OPT						NS (トリガをサポート)				OFF
	フラッシュ	EN						OPT		DIS		OFF
	SRAM	EN						OPT		DIS		OFF
PD1 ペリフェラル	SPI0	OPT						DIS				OFF
	CRC	OPT						DIS				OFF
PD0 ペリフェラル	TIMA0	OPT										OFF
	TIMG8	OPT										OFF
	TIMG14	OPT										OFF
	UART0	OPT									OPT(2)	OFF
	I2C0	OPT									OPT(2)	OFF
	GPIOA	OPT									OPT(2)	OFF
	WWDT0	OPT									DIS	OFF
アナログ	ADC0	OPT							NS (トリガをサポート)			OFF
	VREF	OPT							NS			OFF
IOMUX および IO ウェークアップ		EN										DIS
ウェーク ソース		該当なし			任意の IRQ			PD0 IRQ				NRST、SWD

(1) RUN1 から STOP0 に遷移した場合 (SYSOSC がイネーブルで、MCLK は LFCLK から供給)、RUN1 のときと同様に SYSOSC はイネーブルに維持され、ULPCLK は 32kHz に維持されます。RUN2 から STOP0 に遷移した場合 (SYSOSC がディセーブルで、MCLK は LFCLK から供給)、RUN2 のときと同様に SYSOSC はディセーブルに維持され、ULPCLK は 32kHz に維持されます。

(2) STANDBY に STANDBY1 のポリシーを使用する場合、TIMG8、TIMG14、TIMA0 のみがクロック駆動されます。その他の PD0 ペリフェラルは、外部アクティビティが発生した際に非同期高速クロック要求を生成できますが、アクティブにクロック供給されません。

Copyright © 2026 Texas Instruments Incorporated

8.3 パワー マネージメント ユニット (PMU)

パワー マネージメント ユニット (PMU) は、本デバイスのための内部的に安定化されたコア電源を生成し、また外部電源 (VDD) の監視を行います。PMU は、PMU 自体とアナログ ペリフェラルで使用されるバンドギャップ基準電圧も内蔵しています。PMU の主な特長は次のとおりです。

- パワーオン リセット (POR) 電源モニタ
- ブラウンアウト リセット (BOR) 電源モニタ、プログラム可能な 3 つのスレッショルドを使った早期警告機能付き
- RUN、SLEEP、STOP、STANDBY 動作モードをサポートするコア レギュレータにより、性能と消費電力を動的に最適化
- パリティ保護されたトリムにより、パワー マネージメント トリムが破損した際、パワーオン リセット (POR) を直ちに生成

詳細については、『MSPM0 C シリーズ 24MHz マイコン テクニカル リファレンス マニュアル』の「PMU」の章を参照してください。

8.4 クロック モジュール (CKM)

クロック モジュールは以下に示す発振器を備えています。

- **LFOSC**: 内部低周波数発振器 (32kHz)
- **SYSOSC**: 内部高周波数発振器 (24MHz)
- **LFCKIN**: 低周波数のデジタル クロック入力 (32KHz)
- **HFCKIN**: 高周波デジタル クロック入力 (4 ～ 24MHz)

プロセッサ、バス、ペリフェラルで使用するために、クロック モジュールによって以下に示すクロックが分配されます。

- **MCLK**: PD1 ペリフェラルのメイン システム クロック。SYSOSC または LFCLK から派生。RUN および SLEEP モードでアクティブ。
- **CPUCLK**: プロセッサのクロック (MCLK から生成)。RUN モードでアクティブ。
- **ULPCLK**: PD0 ペリフェラル用の超低消費電力クロック。RUN、SLEEP、STOP、STANDBY モードでアクティブ。
- **MFCLK**: ペリフェラル用 4MHz 固定の中周波数クロック。RUN、SLEEP、STOP モードで使用可能。
- **LFCLK**: ペリフェラルまたは MCLK 用 32kHz 固定の低周波数クロック。RUN、SLEEP、STOP、STANDBY モードでアクティブ。
- **ADCCLK**: ADC のクロック。RUN、SLEEP、STOP モードで使用可能。
- **CLK_OUT**: クロックを外部に出力するために使用。RUN、SLEEP、STOP、STANDBY モードで使用可能。

詳細については、『MSPM0 C シリーズ 24MHz マイコン テクニカル リファレンス マニュアル』の「CKM」の章を参照してください。

8.5 DMA

ダイレクト メモリ アクセス (DMA) コントローラを使うと、CPU を介さずに、いずれかのメモリ アドレスから別のメモリ アドレスにデータを移動できます。たとえば、DMA を使って ADC 変換メモリから SRAM にデータを移動できます。DMA を使用すると、ペリフェラルとの間でデータをやりとりするとき、CPU をウェークアップする必要がなく、低消費電力モードのまま維持できるため、システムの消費電力を削減できます。

これらのデバイスの DMA は、以下の主な機能をサポートしています。

- 1 つの DMA 転送チャネル
- ペリフェラルから DMA への直接トリガは、ADC からのみサポートされています。
- バイト (8 ビット)、ショート ワード (16 ビット)、ワード (32 ビット)、ロング ワード (64 ビット)、またはバイトとワードの混合の転送機能
- 最大 64k のブロック サイズのすべてのデータ タイプの転送をサポートする転送カウンタ
- DMA 転送トリガの選択を設定可能

表 8-2 に、DMA メモリ マップ レジスタの DMATCTL.DMATSEL 制御ビットを使って設定された DMA で利用可能なトリガの一覧を示します。

Copyright © 2026 Texas Instruments Incorporated

表 8-2. DMA のトリガの割り当て

TRIGGER 0:6	ソース
0	ソフトウェア
1	一般サブスクライバ 0 (FSUB_0)
2	一般サブスクライバ 1 (FSUB_1)
3	ADC0 パブリッシャ 2

8.6 イベント

イベント マネージャは、1 つのエンティティ (ペリフェラルなど) から別のエンティティ (第 2 のペリフェラル、DMA、CPU など) にデジタル イベントを転送します。イベント マネージャは、静的なルートとプログラマブルなルートの組み合わせを含むイベント ファブリックによって相互接続された一連の定義済みイベント パブリッシャ (ジェネレータ) およびサブスクライバ (レシーバ) によるイベント転送を実装しています。

イベント マネージャによって転送されるイベントには、以下が含まれます。

- 割り込み要求 (IRQ) として CPU に転送されるペリフェラル イベント (静的イベント)
  - 例:CPU に送られる GPIO 割り込み
- DMA トリガとして DMA に転送されるペリフェラル イベント (DMA イベント)
  - 例:DMA 転送を要求するための、DMA への ADC トリガ
- ハードウェアでの動作を直接トリガするため、別のペリフェラルに転送されるペリフェラル イベント (汎用イベント)
  - 例:TIMx タイマ ペリフェラルが ADC サブスクライバ ポートに周期的イベントを発行し、ADC がこのイベントを使ってサンプリング開始をトリガする。

詳細については、『MSPM0 C シリーズ 24MHz マイコン テクニカル リファレンス マニュアル』の「イベント」の章を参照してください。

表 8-3. 汎用イベント チャネル

汎用ルートとはポイント ツー ポイント (1:1) のルートで、イベントを発行するペリフェラルが、使用可能な汎用ルート チャネルを使用してイベントを別のエンティティにパブリッシュするように設定されています。エンティティとは、別のペリフェラル、汎用 DMA トリガ イベント、汎用 CPU イベントを指します。

CHANID	汎用ルート チャネルの選択	チャネル タイプ
0	汎用イベント チャネルが選択されていない。	該当なし
1	汎用イベント チャネル 1 が選択されている。	1:1

8.7 メモリ

8.7.1 メモリ構成

本デバイスのメモリ マップを、表 8-4 に示します。メモリ領域の詳細については、『MSPM0 C シリーズ 24MHz マイコン テクニカル リファレンス マニュアル』の「プラットフォーム メモリ マップ」セクションを参照してください。

表 8-4. メモリ構成

メモリ領域	サブ領域	MSPM0C1103、MSPS003F3	MSPM0C1104、MSPS003F4
コード (フラッシュ)	フラッシュ	8KB (1) 0x0000.0000～0x0000.1FFF	16KB (1) 0x0000.0000～0x0000.3FFF
SRAM (SRAM)	SRAM	1KB 0x2000.0000～0x2000.03FF	1KB 0x2000.0000～0x2000.03FF
ペリフェラル	ペリフェラル	0x4000.0000～0x40FF.FFFF	0x4000.0000～0x40FF.FFFF
	フラッシュ	0x0040.0000～0x0040.1FFF	0x0040.0000～0x0040.3FFF
	構成 NVM	512 バイト 0x41C0.0000～0x41C0.0200	512 バイト 0x41C0.0000～0x41C0.0200
	FACTORY	0x41C4.0000～0x41C4.0080	0x41C4.0000～0x41C4.0080

Copyright © 2026 Texas Instruments Incorporated

表 8-4. メモリ構成 (続き)

メモリ領域	サブ領域	MSPM0C1103、MSPS003F3	MSPM0C1104、MSPS003F4
サブシステム		0x6000.0000～0x7FFF.FFFF	0x6000.0000～0x7FFF.FFFF
システム PPB		0xE000.0000～0xE00F.FFFF	0xE000.0000～0xE00F.FFFF

(1) 最大 100000 回の書き込み/消去サイクル。

8.7.2 ペリフェラル ファイル マップ

表 8-5 に、使用可能なペリフェラルと、各ペリフェラルのレジスタ ベース アドレスの一覧を示します。

表 8-5. ペリフェラルのまとめ

ペリフェラル名	ベース アドレス	サイズ
VREF	0x40030000	0x2000
WWDT0	0x40080000	0x2000
TIMG14	0x40084000	0x2000
TIMG8	0x40090000	0x2000
GPIO0	0x400A0000	0x2000
SYSCTL	0x400AF000	0x3000
DEBUGSS	0x400C7000	0x2000
EVENT	0x400C9000	0x3000
NVMNW	0x400CD000	0x2000
I2C0	0x400F0000	0x2000
UART0	0x40108000	0x2000
MCPUSS	0x40400000	0x2000
WUC	0x40424000	0x1000
IOMUX	0x40428000	0x2000
DMA	0x4042A000	0x2000
CRC	0x40440000	0x2000
SPI0	0x40468000	0x2000
ADC0	0x40004000	0x2000
TIMA0	0x40860000	0x2000
ADC0(1)	0x4055A000	0x2000

(1) ADC0 メモリ マップ レジスタのエイリアス領域

Copyright © 2026 Texas Instruments Incorporated

8.7.3 ペリフェラルの割り込みベクタ

表 8-6 に、各ペリフェラルの IRQ 番号と割り込みグループ番号を示します。このデバイスには 1 つのグループ GROUP0 しかありません。

表 8-6. 割り込みベクタ番号

ペリフェラル名	NVIC IRQ	GROUP0 IIDX
WWDT0	0	0
DEBUGSS	0	2
NVMNW	0	3
SYSCTL	0	6
GPIO0	1	-
TIMG8	2	-
ADC	4	-
SPI0	9	-
UART0	15	-
TIMG14	16	-
TIMA0	18	-
I2C0	24	-
DMA	31	-

8.8 フラッシュ メモリ

実行可能なプログラム コードとアプリケーション データを格納するため、1 バンクの不揮発性フラッシュ メモリが備わっています。

フラッシュの主な特長は次のとおりです。

- 推奨電源電圧範囲全体にわたって、インサーキットでの書き込み / 消去動作をサポート
- 1KB の小さなセクタ サイズ (1KB の最小消去分解能)
- 最大 100000 回の書き込み / 消去サイクル

フラッシュ メモリの詳細な説明については、『MSPM0 C シリーズ 24MHz マイコン テクニカル リファレンス マニュアル』の「NVM」の章を参照してください。

8.9 SRAM

MSPM0Cxx MCU には、低消費電力の高性能 SRAM が搭載されており、デバイスでサポートされている CPU 周波数範囲全体にわたってゼロ待機状態に対応します。SRAM は、コードに加えて、呼び出しスタック、ヒープ、グローバル データなどの揮発性情報を格納するために使用できます。SRAM の内容は、RUN、SLEEP、STOP、STANDBY 動作モードでは完全に保持され、SHUTDOWN モードでは失われます。書き込み保護メカニズムが搭載されているため、アプリケーションは 1KB の分解能で SRAM を動的に書き込み保護できます。書き込み保護は、実行可能コードを SRAM に配置する際、CPU と DMA のどちらかが意図せずコードを上書きしないように保護するのに役立ちます。SRAM にコードを配置すると、ゼロ ウェイト状態動作と低消費電力を実現することで、重要なループの性能を向上できます。

8.10 GPIO

汎用入出力 (GPIO) ペリフェラルを使用すると、アプリケーションは本デバイスのピンを経由してデータを読み書きできます。ポート A GPIO ペリフェラルを使用することで、これらのデバイスは最大 18 本の GPIO ピンをサポートします。

GPIO モジュールの主な特長は次のとおりです。

- CPU からの 0 待機状態の MMR アクセス
- ソフトウェアでのリード モディファイ ライト構造を必要とせずに、複数のビットのセット、クリア、トグルが可能

Copyright © 2026 Texas Instruments Incorporated

- 任意の GPIO ポートによる、STOP および STANDBY モードからの低消費電力ウェークアップを可能にする「FastWake」機能
- ユーザー制御の入力フィルタリング

8.11 IOMUX

IOMUX ペリフェラルは IO パッド構成を可能にし、デバイス ピンを出入りするデジタル データの流れを制御します。IOMUX の主な特長は次のとおりです。

- IO パッド構成レジスタにより、プログラム可能な駆動強度、速度、プルアップまたはプルダウンなどが可能
- デジタル ピン多重化により、複数のペリフェラル信号を同じ IO パッドに接続可能
- PINCM レジスタを使って、ピンの機能と能力をユーザー設定可能

詳細については、『MSPM0 C シリーズ 24MHz マイコン テクニカル リファレンス マニュアル』の「IOMUX」の章を参照してください。

8.12 ADC

これらのデバイスの 12 ビット アナログ / デジタル コンバータ (ADC) モジュールは、シングルエンド入力による高速 12 ビット変換をサポートしています。

ADC の主な特長は次のとおりです。

- 12 ビットの出力分解能、最大 1.5Msps、10 ビットを超える ENOB
- 最大 10 の外部入力チャネル
- 温度センシング、電源監視、アナログ信号チェーンのための内部チャネル
- ソフトウェアで選択可能なリファレンス電圧:
  - 1.4V と 2.5V に設定可能な ADC 専用の内部リファレンス電圧 (VREF)
  - MCU 電源電圧 (VDD)
- RUN、SLEEP、STOP モードで動作し、STANDBY モードからのトリガをサポート

表 8-7. ADC0 のチャネル割り当て

CHANNEL[0:7]	信号名	CHANNEL[8:15]	信号名
0	A0	8	A8
1	A1	9	A9
2	A2	10	-
3	A3	11	*温度センサ*
4	A4	12	-
5	A5	13	-
6	A6	14	-
7	A7	15	*電源 / バッテリ モニタ*

信号名が斜体で記載された信号は、SoC の内部の信号です。これらの信号は、内部ペリフェラルの相互接続に使用されます。

詳細については、『MSPM0 C シリーズ 24MHz マイコン テクニカル リファレンス マニュアル』の「ADC」の章を参照してください。

8.13 温度センサ

温度センサは、デバイス温度に対して直線的に変化する電圧を出力します。温度センサの出力は、温度からデジタルへの変換を可能にするため、ADC 入力チャネルの 1 つに内部的に接続されています。

温度センサのユニットごとの 1 点キャリブレーション値は、ファクトリ定数メモリ領域に格納されています。このキャリブレーション値は、工場調整温度 (TS_{TRIM}) において 1.4V 内部 VREF を使用して 12 ビット モードで測定された温度センサ値

Copyright © 2026 Texas Instruments Incorporated

に対応する ADC 変換結果 (ADC コード形式) を表します。このキャリブレーション値を温度センサの温度係数 (TS_c) と組み合わせて使用することで、本デバイスの温度を推定できます。出荷時調整値を使って本デバイスの温度を推定する方法については、『MSPM0 C シリーズ 24MHz マイコン テクニカル リファレンス マニュアル』の「温度センサ」のセクションを参照してください。

8.14 VREF

これらのデバイスのリファレンス電圧モジュール (VREF) は、オンボード ADC 専用の構成可能なリファレンス電圧バッファを内蔵しています。

VREF の主な特長は次のとおりです。

- ユーザー選択可能な 1.4V および 2.5V の内部リファレンス
- 内部リファレンス電圧は、10 ビット モードで最大 1Msps の ADC 動作をサポート

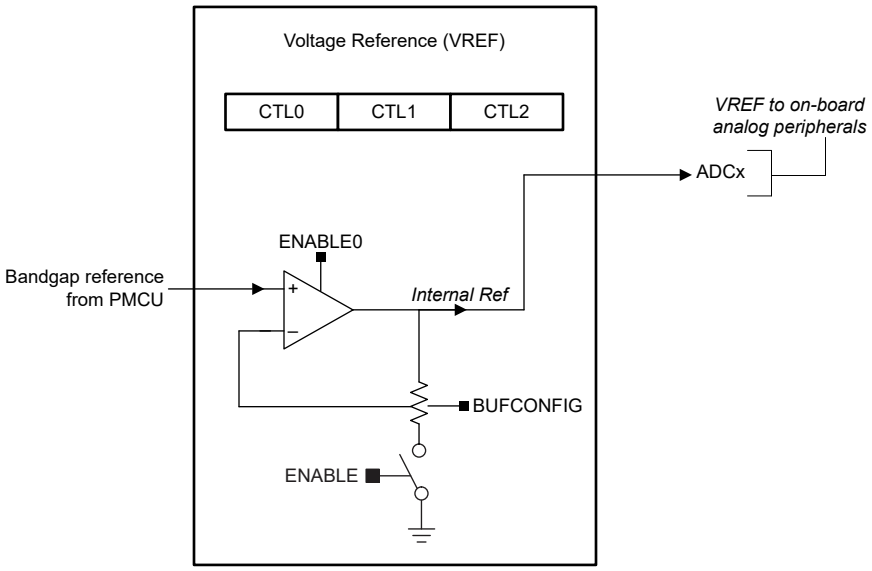


図 8-1. VREF モジュール

詳細については、『MSPM0 C シリーズ 24MHz マイコン テクニカル リファレンス マニュアル』の「VREF」の章を参照してください。

8.15 CRC

巡回冗長検査 (CRC) モジュールは入力データ シーケンスのシグネチャを提供します。CRC モジュールの主な特長は次のとおりです。

- CRC16-CCITT に基づく 16 ビット CRC をサポート
- ビット リバーサルをサポート

詳細については、『MSPM0 C シリーズ 24MHz マイコン テクニカル リファレンス マニュアル』の「CRC」の章を参照してください。

8.16 UART

UART ペリフェラルの主な機能を次に示します。

- スタート、ストップ、およびパリティ用の標準非同期通信ビット
- プログラマブルなシリアル インターフェイス
  - 5、6、7、または 8 データ ビット
  - 偶数パリティ ビット、奇数パリティ ビット、スティック パリティ ビット、およびパリティなしビットの生成 / 検出

Copyright © 2026 Texas Instruments Incorporated

  - 1 または 2 ストップ ビットの生成
  - 改行の検出
  - 入力信号のグリッチ フィルタ
  - プログラマブルなボーレート生成 (16、8、3 倍オーバーサンプリング機能付き)
  - ローカル相互接続ネットワーク (LIN) モードのサポート
- エントリの送信および受信 FIFO を 4 つに分離
- 送信および受信ループバック モード動作をサポート
- サポートされているプロトコルの詳細については、表 8-8 を参照してください

表 8-8. UART の機能

UART の機能	UART0 (拡張)
停止およびスタンバイ モードでアクティブ	あり
送信 FIFO と受信 FIFO を分離	あり
ハードウェア フロー制御をサポート	あり
9 ビット構成をサポート	あり
LIN モードをサポート	あり
DALI をサポート	あり
IrDA をサポート	あり
ISO7816 スマート カードをサポート	あり
マンチェスター符号化をサポート	あり

詳細については、『MSPM0 C シリーズ 24MHz マイコン テクニカル リファレンス マニュアル』の「UART」の章を参照してください。

8.17 SPI

これらのデバイスのシリアル ペリフェラル インターフェイス (SPI) ペリフェラルは、以下の主な機能をサポートしています。

- コントローラ モードとペリフェラル モードの両方で、ULPCLK/2 のビット レートと最大 12Mbits/s をサポート
- コントローラまたはペリフェラルとして構成可能
- コントローラとペリフェラルの両方に対応する構成可能なチップ セレクト
- プログラマブルなクロック プリスケーラおよびビット レート
- 4 ビットから 16 ビットまでのプログラム可能なデータ フレーム サイズ (コントローラ モード)
- データ フレーム サイズを 7 ビットから 16 ビットまでプログラム可能 (ペリフェラル モード)
- エントリの送信および受信 FIFO を 4 つに分離
- テキサス インスツルメンツ モード、Motorola モード、National Microwire 形式をサポート

詳細については、『MSPM0 C シリーズ 24MHz マイコン テクニカル リファレンス マニュアル』の「SPI」の章を参照してください。

8.18 I2C

これらのデバイスの I²C (Inter-Integrated Circuit Interface) ペリフェラルは、バス上のその他の I2C デバイスとの双方向データ転送を行い、次の主な機能をサポートしています。

- 複数の 7 ビット ターゲット アドレスによる 7 ビットおよび 10 ビット アドレッシング モード
- マルチ コントローラ トランスミッタ / レシーバ モード
- 設定可能クロック ストレッチング付きターゲット レシーバ / トランスミッタ モード
- 標準モード (Sm) をサポート (最大 100kbit/s のビット レート)
- 高速モード (Fm) をサポート (最大 400kbit/s のビット レート)
- 高速プラス モード (Fm+) をサポート (最大 1Mbit/s のビット レート)
- エントリの送信および受信 FIFO を 4 つに分離
- PEC、ARP、タイムアウト検出、ホスト サポートにより SMBus 3.0 をサポート

Copyright © 2026 Texas Instruments Incorporated

- アドレス一致で低消費電力モードからウェークアップ
- 入力信号のグリッチを抑制するためのアナログおよびデジタル グリッチ フィルタをサポート

詳細については、『MSPM0 C シリーズ 24MHz マイコン テクニカル リファレンス マニュアル』の「I2C」の章を参照してください。

8.19 WWDT

ウィンドウ付きウォッチドッグ タイマ (WWDT) は、本デバイスの動作 (特にコードの実行) を監視するために使えます。WWDT は、アプリケーション ソフトウェアが規定された時間の範囲内にウォッチドッグを正常にリセットしなかった場合に、リセットまたは割り込みを生成するために使用できます。WWDT の主な特長は次のとおりです。

- 25 ビット カウンタ
- プログラマブルなクロック分周回路
- ソフトウェアで選択可能な 8 つのウォッチドッグ タイマ期間
- ソフトウェアで選択可能な 8 つのウィンドウ サイズ
- SLEEP モードに入った際の WWDT の自動停止をサポート
- ウォッチドッグ機能を必要としないアプリケーションのためのインターバル タイマ モード

詳細については、『MSPM0 C シリーズ 24MHz マイコン テクニカル リファレンス マニュアル』の「WWDT」の章を参照してください

8.20 タイマ (TIMx)

これらのデバイスのタイマ ペリフェラルは、以下の主な機能をサポートしています。構成の詳細については、表 8-9 を参照してください。

汎用タイマ (TIMGx) 特有の機能には以下が含まれます。

- 16 ビットのダウン、アップ / ダウン、アップ カウンタ、反復リロード モード付き
- 選択可能 / 構成可能なクロック ソース
- カウンタ クロック周波数を分周するための 8 ビット プログラマブル プリスケーラ
- 以下のための 2 つの独立したチャネル
  - 出力の比較
  - 入力のキャプチャ
  - PWM 出力
  - ワンショット モード
- 位置決めと移動量検出のための直交エンコーダ インターフェイス (QEI) のサポート
- 同一電力ドメイン内の異なる TIMx インスタンス間の同期とクロストリガをサポート
- 割り込みトリガ生成とクロス ペリフェラル (ADC など) トリガ機能をサポート
- ホール センサ入力のためのクロストリガ イベント ロジック

高度制御タイマ (TIMAx) 特有の機能には以下が含まれます。

- 16 ビットのダウンまたはアップ/ダウン カウンタ、反復リロード モード付き
- 選択可能 / 構成可能なクロック ソース
- カウンタ クロック周波数を分周するための 8 ビット プログラマブル プリスケーラ
- カウンタで所定のサイクル数が経過した後にのみ割り込みまたはイベントを生成する、リピート カウンタ
- 以下のための最大 4 個の独立したチャネル
  - 出力の比較
  - 入力のキャプチャ
  - PWM 出力
  - ワンショット モード
- データ保存および CC レジスタ用のシャドウ レジスタ利用可能
- 相補出力 PWM
- デッドバンド挿入をプログラム可能な非対称 PWM

Copyright © 2026 Texas Instruments Incorporated

- フォルト状況が発生したときに、ユーザー定義による安全な状態の出力信号を確保するためのフォルト処理メカニズム
- 同一電力ドメイン内の異なる TIMx インスタンス間の同期とクロストリガをサポート
- 割り込みトリガ生成とクロス ペリフェラル (ADC など) トリガ機能をサポート
- 内部イベント用の 2 つの追加キャプチャ / 比較チャネル

表 8-9. TIMx の構成

タイマ名	パワードメイン	分解能	プリスケーラ	リピート カウンタ	キャプチャ / 比較チャネル	位相ロード	シャドウ ロード	シャドウ CC	デッドバンド	故障	QEI
TIMG14	PD0	16 ビット	8 ビット	–	4	–	–	–	–	–	–
TIMG8	PD0	16 ビット	8 ビット	–	2	–	–	–	–	–	あり
TIMA0	PD0	16 ビット	8 ビット	8 ビット	4	あり	あり	あり	あり	あり	–

詳細については、『MSPM0 C シリーズ 24MHz マイコン テクニカル リファレンス マニュアル』の「タイマ」の章を参照してください。

Copyright © 2026 Texas Instruments Incorporated

8.21 デバイスのアナログ接続

本デバイスの内部アナログ接続を、図 8-2 に示します。

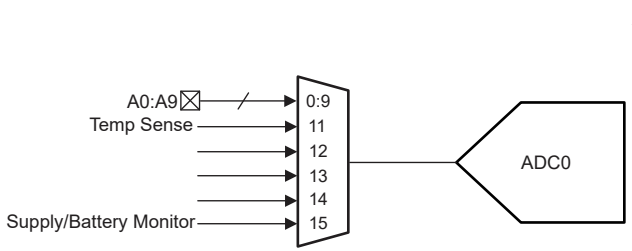


図 8-2. アナログ接続

8.22 入力 / 出力の回路図

IOMUX は、デジタル IO で使用されるペリフェラル機能の種類の選択を管理し、出力ドライバと入力経路を制御します。詳細については、『MSPM0 C シリーズ 24MHz マイコン テクニカル リファレンス マニュアル』の「IOMUX」のセクションを参照してください。

図 8-3 に、フル機能 IO ピンのミクスト シグナル IO ピン スライスの回路図を示します。すべてのピンが、アナログ機能、駆動強度制御、利用可能なプルアップ抵抗またはプルダウン抵抗を備えているとは限りません。

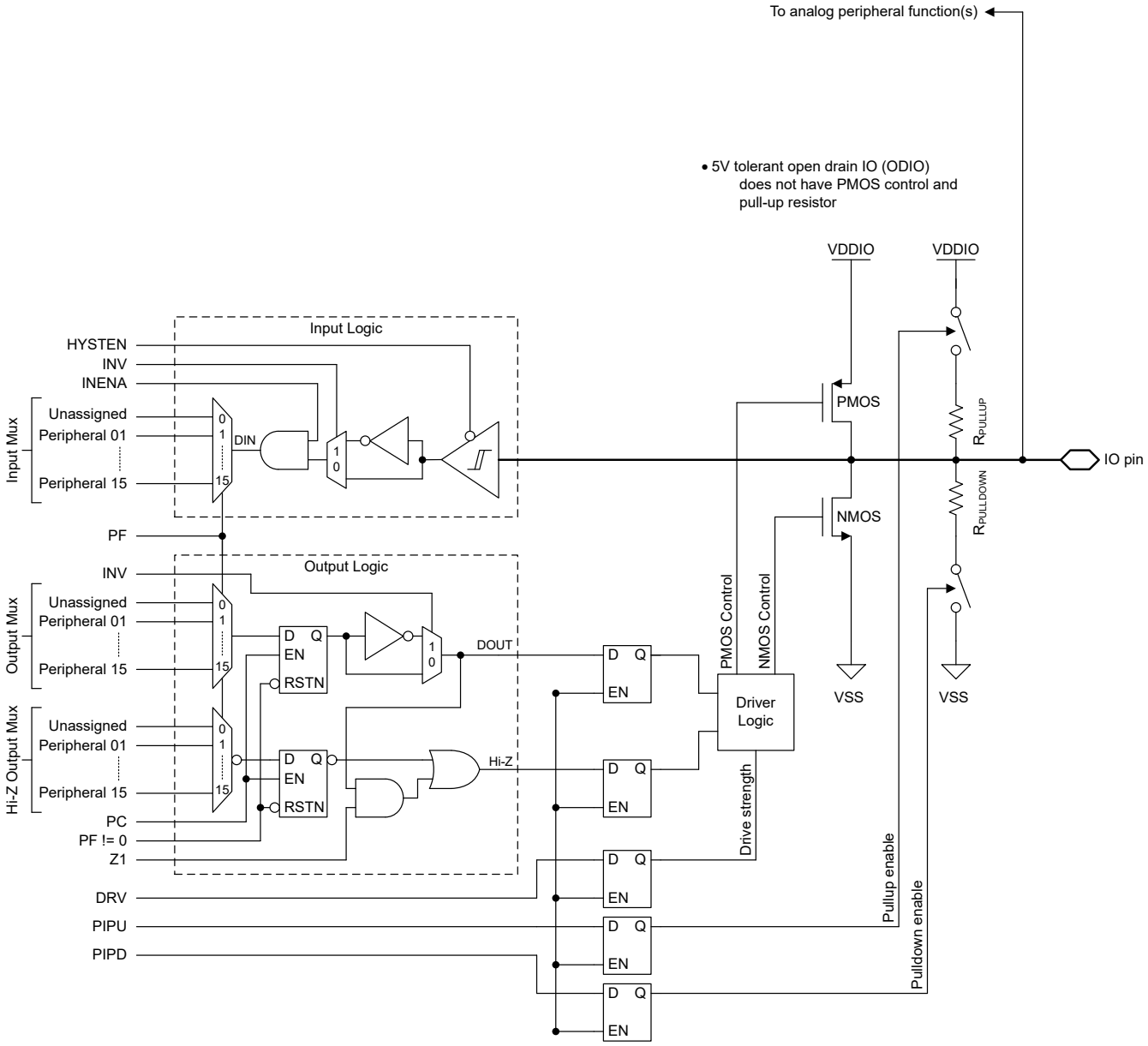


図 8-3. 入力 / 出力の回路図 (上位セット)

8.23 シリアル ワイヤ デバッグ インターフェイス

本デバイス内の各種デバッグ機能を利用できるように、Arm 互換シリアル ワイヤ デバッグ ポート (SW-DP) を利用したシリアル ワイヤ デバッグ (SWD) 2 線式インターフェイスが備わっています。MSPM0 デバイスが備えるデバッグ機能の詳細な説明については、テクニカル リファレンス マニュアルの「デバッグ」の章を参照してください。

Copyright © 2026 Texas Instruments Incorporated

表 8-10. シリアル ワイヤ デバッグ ピンの要件と機能

デバイス信号	方向	SWD 機能
SWCLK	入力	デバッグ プローブからのシリアル ワイヤ クロック
SWDIO	入力 / 出力	双方向 (共有) シリアル ワイヤ データ

8.24 デバイス ファクトリ定数

すべてのデバイスは、アプリケーション ソフトウェア用に、デバイスの機能を説明する読み出し専用データと、工場から提供された調整情報とを、メモリ内に割り当てられた FACTORY 領域に格納しています。『MSPM0 C シリーズ 24MHz マイクロコントローラ テクニカル リファレンス マニュアル』の「ファクトリ定数」セクションを参照してください。

表 8-11. DEVICEID

DEVICEID アドレスは 0x41C4.0004、PARTNUM はビット 12～27、MANUFACTURER はビット 1～11 です。

デバイス	DEVICEID.PARTNUM	DEVICEID.MANUFACTURER
MSPM0C1103	0xBBA1	0x17
MSPM0C1104	0xBBA1	0x17

表 8-12. USERID

USERID アドレスは 0x41C4.0008、PART はビット 0～15、VARIANT はビット 16～23 です。

デバイス	PART	バリアント	デバイス	PART	バリアント
MSPS003F4SPW20R	0x57B3	0x70	MSPS003F3SPW20R	0xD2B6	0x2
MSPM0C1104SDGS20R	0x57B3	0x71	MSPM0C1103SDGS20R	0xD2B6	0x4
MSPM0C1104SRUKR	0x57B3	0x73	MSPM0C1103SRUKR	0xD2B6	0x7
MSPM0C1104SDYYR	0x57B3	0x75	MSPM0C1103SDYYR	0xD2B6	0xA
MSPM0C1104SDDFR	0x57B3	0x77	MSPM0C1103SDDFR	0xD2B6	0xC
MSPM0C1104SDSGR	0x57B3	0x79	MSPM0C1103SDSGR	0xD2B6	0xE
MSPM0C1104S8YCJR	0x57B3	0x23	MSPM0C1103S8YCJR	0xD2B6	0x22

8.25 識別

リビジョンおよびデバイス識別

ハードウェア リビジョンとデバイスの識別値は、メモリ内に割り当てられた FACTORY 領域に格納されています (「デバイス ファクトリ定数」セクションを参照)。この領域は、アプリケーション ソフトウェア用に、デバイスの機能を説明する読み出し専用データと、工場から提供された調整情報とを提供します。詳細については、『MSPM0 C シリーズ 24MHz マイコン テクニカル リファレンス マニュアル』の「ファクトリ定数」の章を参照してください。

デバイス リビジョンおよび識別情報は、デバイス パッケージの上面マーキングの一部としても記載されています。デバイスごとの正誤表に、これらのマーキングが記載されています (を参照)。

Copyright © 2026 Texas Instruments Incorporated

9 アプリケーション、実装、およびレイアウト

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 代表的なアプリケーション

9.1.1 回路図

テキサス インスツルメンツは、10µF と 0.1µF の低 ESR セラミック デカップリング コンデンサの組み合わせを VDD および VSS ピンに接続することを推奨します。より値の大きいコンデンサを使用することもできますが、電源レールの立ち上がり時間に影響を及ぼす可能性があります。デカップリング コンデンサは、ピンのできるだけ近く (数 mm 以内) に配置する必要があります。

一部のバリアントでは、PA1 と NRST は二重ボンディングされています。NRST として使用されている場合は、外付けの 47kΩ プルアップ抵抗と 10nF プルダウン コンデンサに接続する必要があります。

5V 許容オープン ドレイン (ODIO) を使用する場合、I2C および UART 機能で High を出力するためにプルアップ抵抗が必要です。

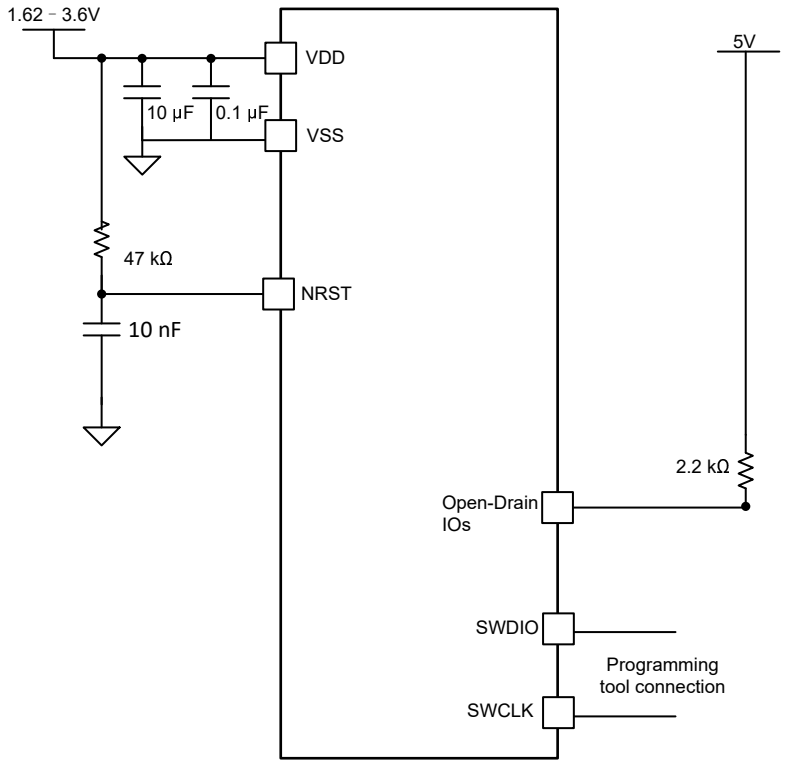


図 9-1. 代表的なアプリケーション回路図

Copyright © 2026 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

10.1 デバイスの命名規則

製品開発サイクルの段階を示すために、TI は MSP MCU デバイスとサポート ツールのすべての型番に接頭辞を割り当てています。.MSP MCU 商用ファミリの各番号には、MSP、X のいずれかの接頭辞があります。これらの接頭辞は、エンジニアリング プロトタイプ (X) から、完全に認定済みの量産版デバイス (MSP) まで、製品開発の段階を表しています。

X – 実験的デバイスであり、最終デバイスの電気的特性を必ずしも表しません。

MSP — 完全に認定済みの量産版デバイス

X デバイスは、次の免責事項付きで出荷されます。

「開発中の製品は、社内での評価用です。」MSP デバイスの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。プロトタイプ デバイス (X) は、標準的な製品版デバイスに比べて故障率が大きいと予測されます。これらのデバイスは、予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツはそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

TI デバイスの項目表記には、デバイス ファミリ名の接尾辞も含まれます。この接尾辞は、温度範囲、パッケージ タイプ、配布形式を示しています。デバイス名の各部の読み方を、図 10-1 に示します。

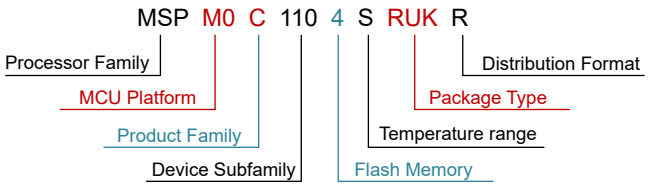


図 10-1. デバイスの命名規則

表 10-1. デバイスの命名規則

プロセッサ ファミリ	MSP = ミックスド シグナル プロセッサ X = 検証用半導体
MCU プラットフォーム	M0 = Arm ベース 32 ビット M0+
製品ファミリ	C = 24MHz 周波数
デバイス サブファミリ	110 = ADC
フラッシュ メモリ	3 = 8KB 4 = 16KB
温度範囲	S = –40°C ～ 125°C
パッケージ タイプ	表 5-1 と www.ti.com/packaging を参照
配布形式	T = 小型リール R = 大型リール マーキングなし = チューブまたはトレイ

各種パッケージ タイプの MSP デバイスの注文可能な部品番号については、このデータシートの末尾にあるパッケージ注文情報または ti.com を参照するか、テキサス・インスツルメンツの販売代理店にお問い合わせください。

10.2 ツールとソフトウェア

設計キットと評価モジュール

MSPM0 LaunchPad (LP) ボード:LP-MSPM0C1104	業界で最も優れたアナログ機能を内蔵し、コストを最適化した汎用 MSPM0 MCU ファミリの開発をただちに開始できます。すべてのデバイス ピンと機能が見えるようにします。多様な内蔵回路、すぐに使用できるソフトウェア デモ、オンボード XDS110 デバッグ プローブ (プログラミング、デバッグ、EnergyTrace™ テクノロジー用) が含まれています。 LP エコシステムには、機能を拡張するための多数の BoosterPack™ スタッカブル プラグイン モジュールが含まれています。

組込みソフトウェア

MSPM0 ソフトウェア開発キット (SDK)	ソフトウェア ドライバ、ミドルウェア ライブラリ、資料、ツール、すべての MSPM0 デバイスのための使いやすく簡単なユーザー体験を実現するサンプル コードが含まれています。

ソフトウェア開発ツール

TI クラウド ツール	Web ブラウザ上で評価と開発を開始できます。インストールは不要です。クラウド ツールには、ダウンロード可能なオフライン バージョンもあります。
TI Resource Explorer	TI SDK へのオンライン ポータル。CCS IDE または TI クラウド ツールからアクセスできます。
SysConfig	デバイスとペリフェラルの構成、システム競合の解消、構成コードの生成、ピン多重化設定の自動化のための直感的な GUI。CCS IDE または TI クラウド ツールからアクセスできます。(オフライン バージョン)
MSP Academy	さまざまなトピックを網羅するトレーニング モジュールを使用して MSPM0 MCU プラットフォームについて学習するための優れた出発点です。TIRex の一部です。
GUI Composer	コードをまったく必要としない完全統合型アナログ信号チェーンの構成と監視など、特定の MSPM0 機能の評価を簡素化する GUI。

IDE とコンパイラのツール チェーン

Code Composer Studio™ (CCS)	TI Arm-Clang コンパイラが含まれています。テキサス・インスツルメンツのすべての Arm Cortex MCU をサポートしており、競争力のあるコード サイズ性能、高速コンパイル時間、コード カバレッジのサポート、安全性認定のサポート、完全に無料で使用できることを特長としています。
IAR Embedded Workbench® IDE	
Keil® MDK IDE	
GNU Arm 組み込みツール チェーン	

10.3 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。[更新の通知を受け取る] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

以下のドキュメントでは、MSPM0 MCU について記載しています。これらのドキュメントのコピーは、インターネット上の www.ti.com で入手できます。

Copyright © 2026 Texas Instruments Incorporated

テクニカル リファレンス マニュアル

『MSPM0 C シリーズ マイコン テクニカル リファレンス マニュアル』

このマニュアルは、デバイス ファミリのモジュールおよびペリフェラルについて解説しています。それぞれの説明は、モジュールまたはペリフェラルを一般的な意味で示しています。すべてのデバイスについて、すべてのモジュールまたはペリフェラルのすべての特長や機能を示しているわけではありません。さらに、モジュールやペリフェラルは、異なるデバイスに対して、全く同じように実装されているとは限りません。ピンの機能、内部信号の接続、および動作パラメータはデバイスによって異なります。詳細については、デバイス固有のデータシートを参照してください。

エラッタ

MSPM0C1103、MSPM0C1104、MSPM0C1103-Q1、MSPM0C1104-Q1、MSPS003FS、MSPS003F4 マイコン

この文書では、機能仕様に対する既知の例外 (アドバイザリ) について説明します。

10.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.5 商標

LaunchPad™, Code Composer Studio™, TI E2E™, EnergyTrace™, BoosterPack™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
Arm®, Cortex® are registered trademarks of Arm Limited.
すべての商標は、それぞれの所有者に帰属します。

10.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from FEBRUARY 28, 2025 to JANUARY 30, 2026 (from Revision C (February 2025) to Revision D (January 2026)) **Page**

- DSBGA-8 (YCJ) の熱特性を追加 12
- VREF モジュールの図を追加 33
- FIFO のエントリの説明を明確化 33
- FIFO のエントリの説明を明確化 34
- FIFO のエントリの説明を明確化 34
- 表 8-9 の TIMA0 電源ドメインを PD0 に更新 35
- MSPM0C110xS8YCJR USERID を追加 39

Copyright © 2026 Texas Instruments Incorporated

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

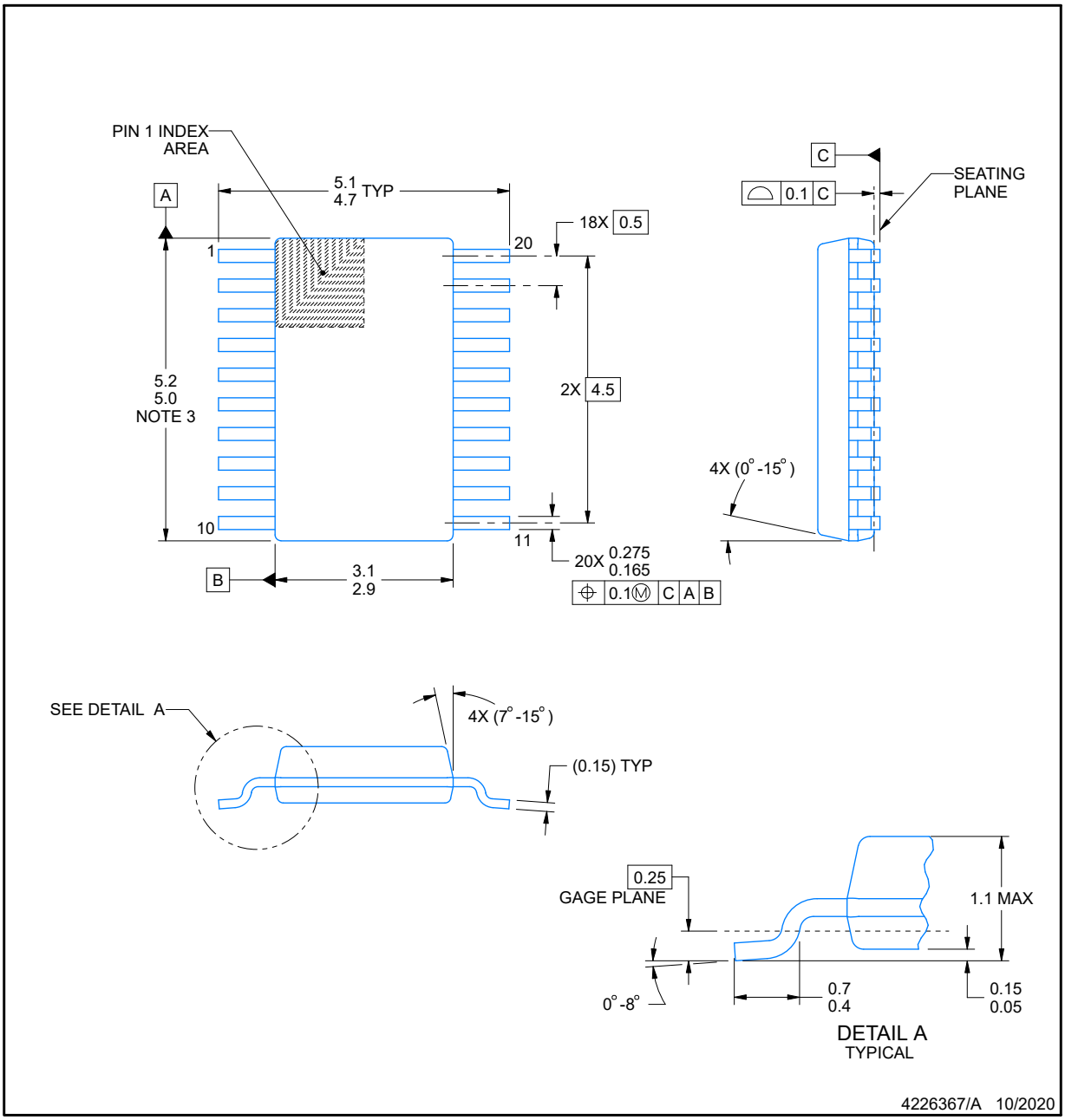
Copyright © 2026 Texas Instruments Incorporated

PACKAGE OUTLINE

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

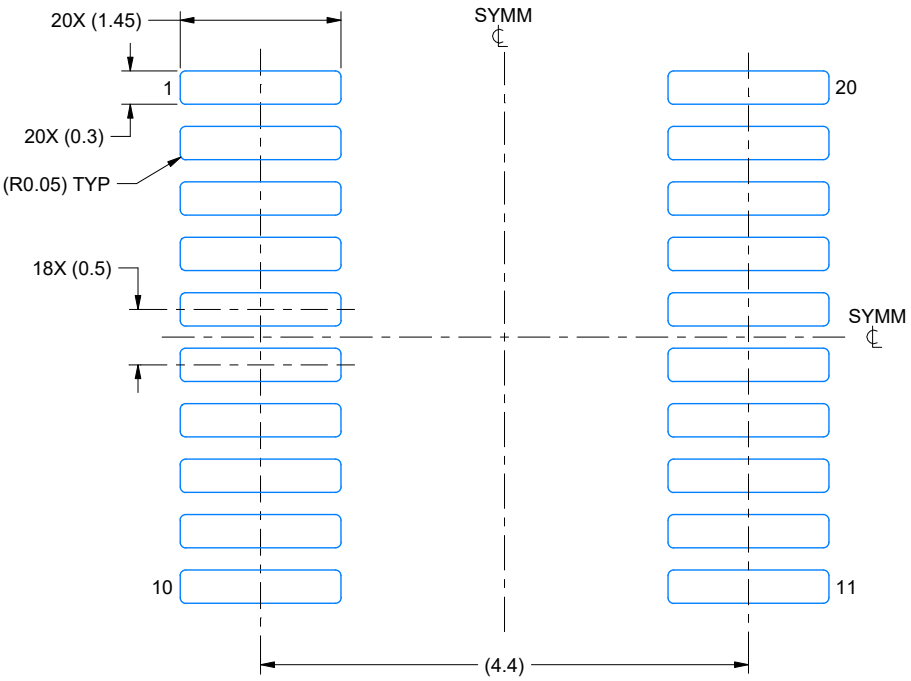
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

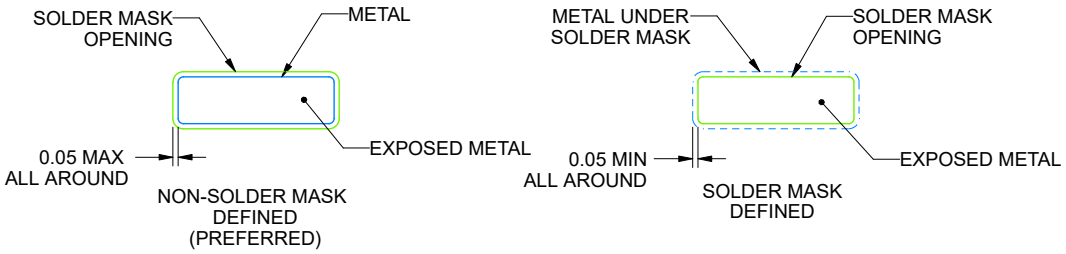
DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE: 16X



SOLDER MASK DETAILS

4226367/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

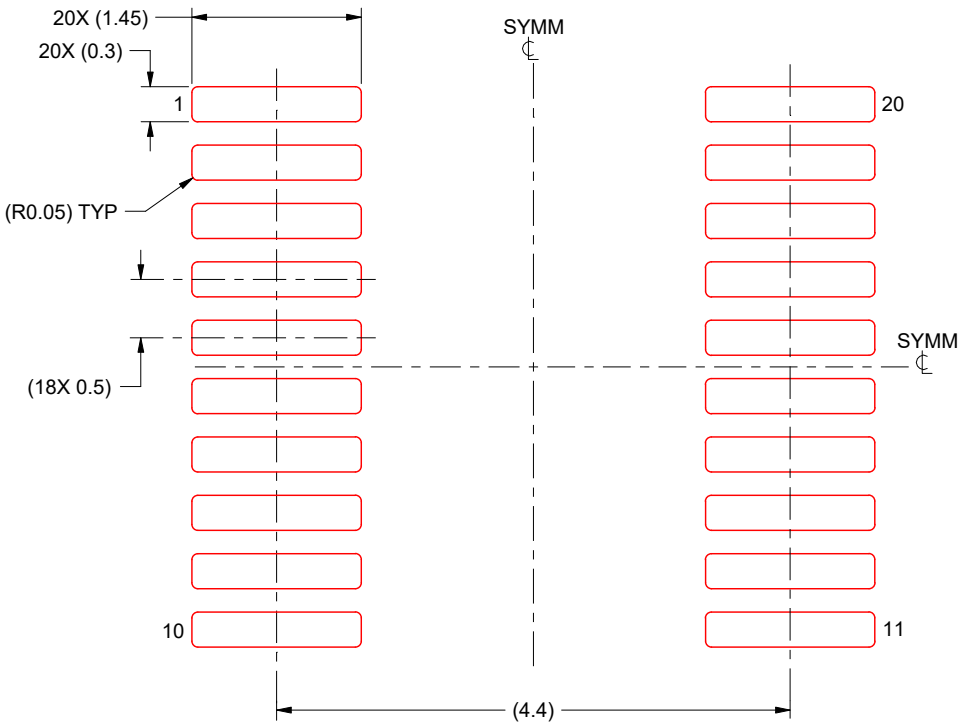
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

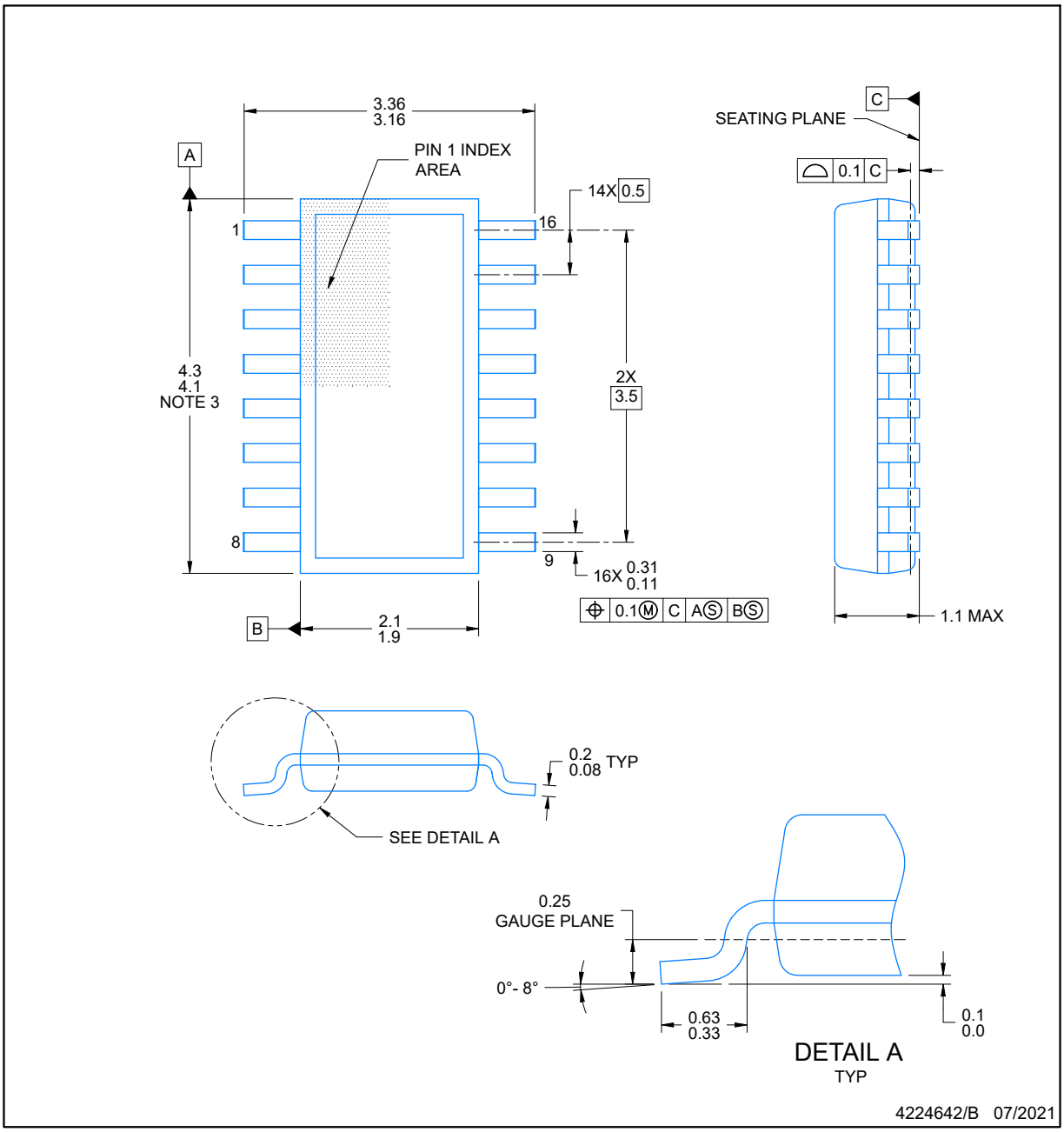
11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DYY0016A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AA

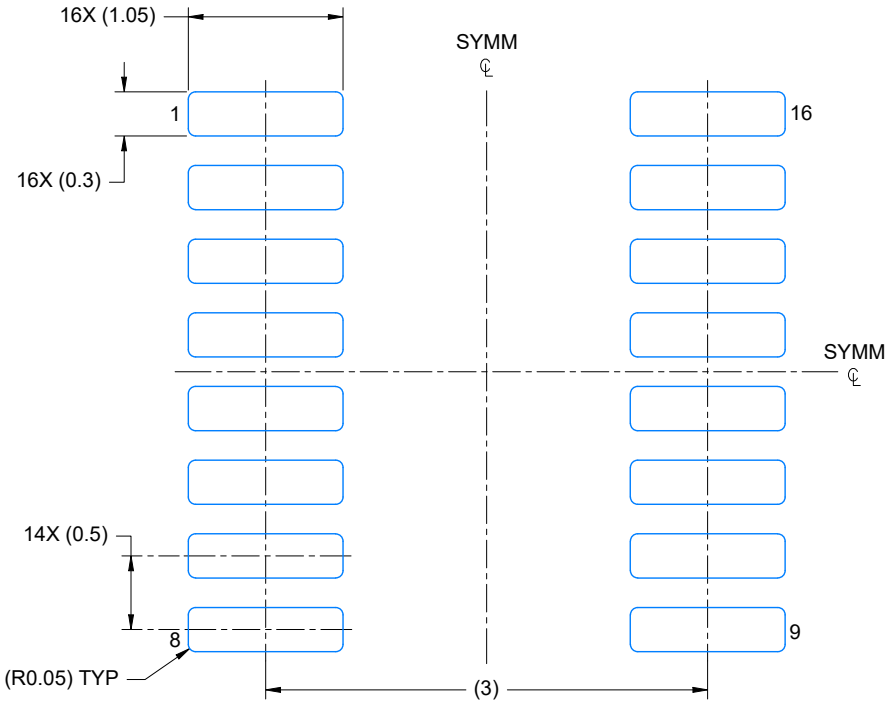
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

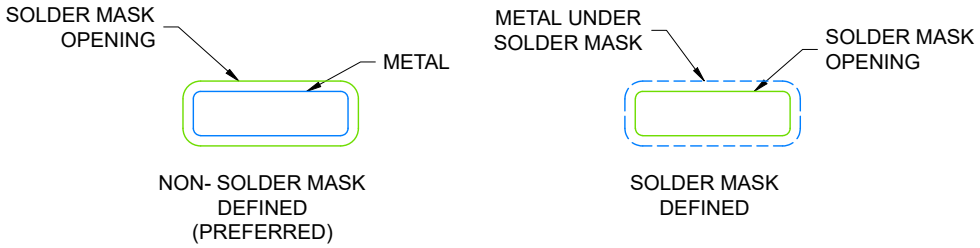
DYY0016A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4224642/B 07/2021

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

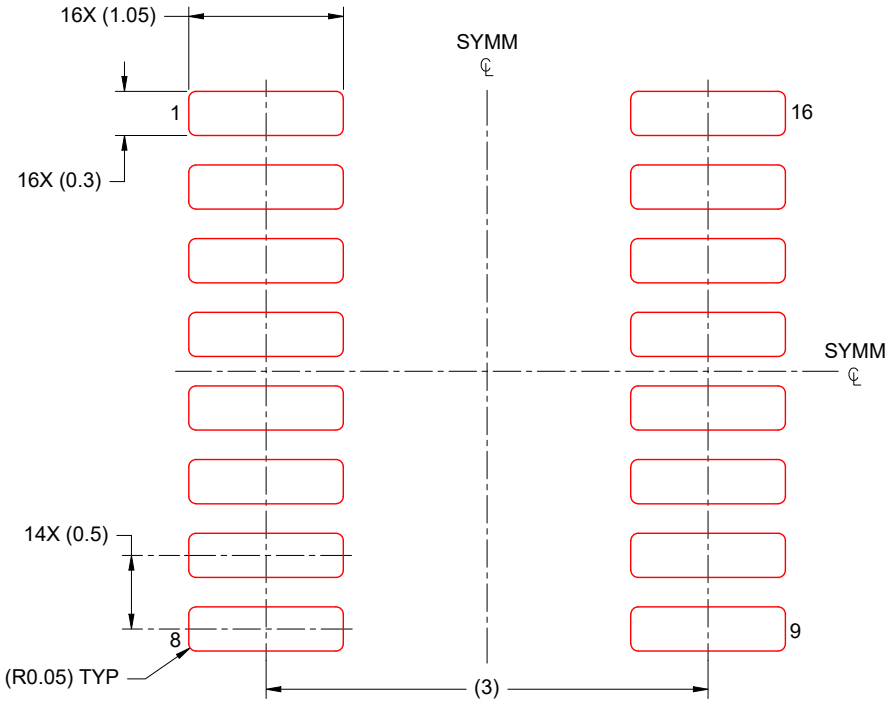
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DYY0016A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224642/B 07/2021

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

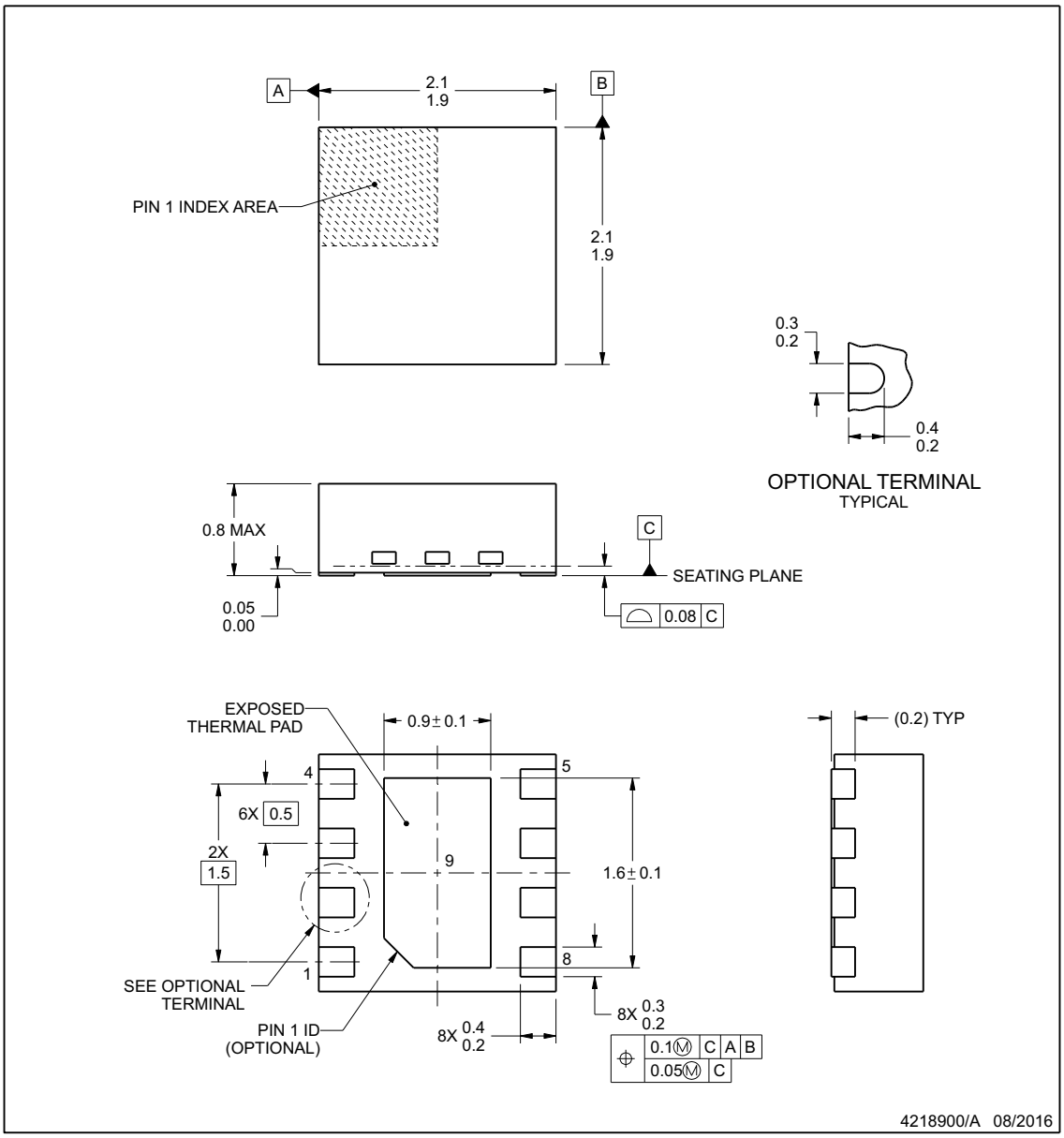
Copyright © 2026 Texas Instruments Incorporated

PACKAGE OUTLINE

DSG0008A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

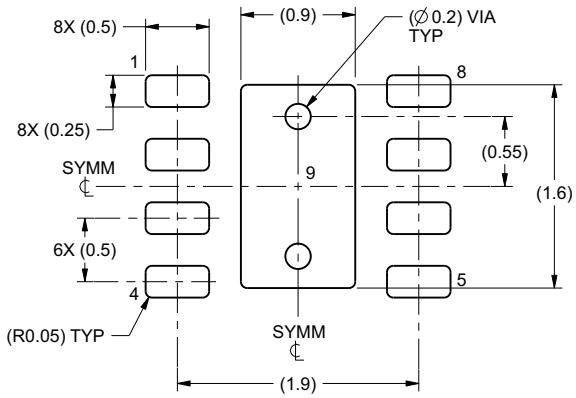
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

Copyright © 2026 Texas Instruments Incorporated

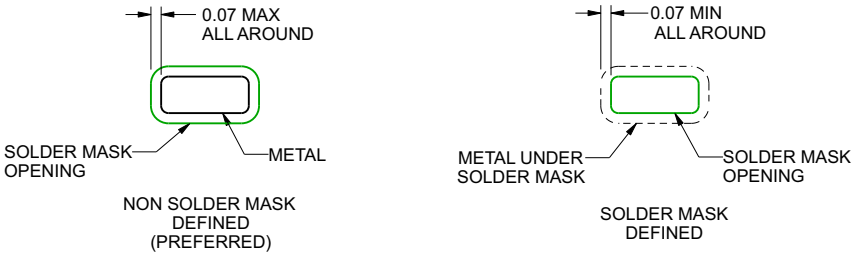
EXAMPLE BOARD LAYOUT

DSG0008A — **WSON - 0.8 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
SCALE:20X



SOLDER MASK DETAILS

4218900/A 08/2016

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

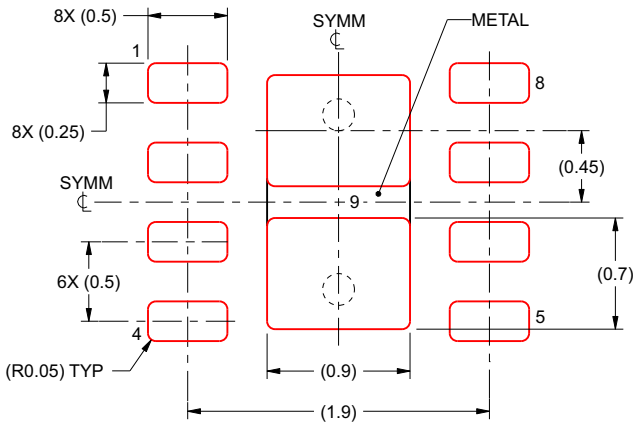
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DSG0008A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/A 08/2016

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

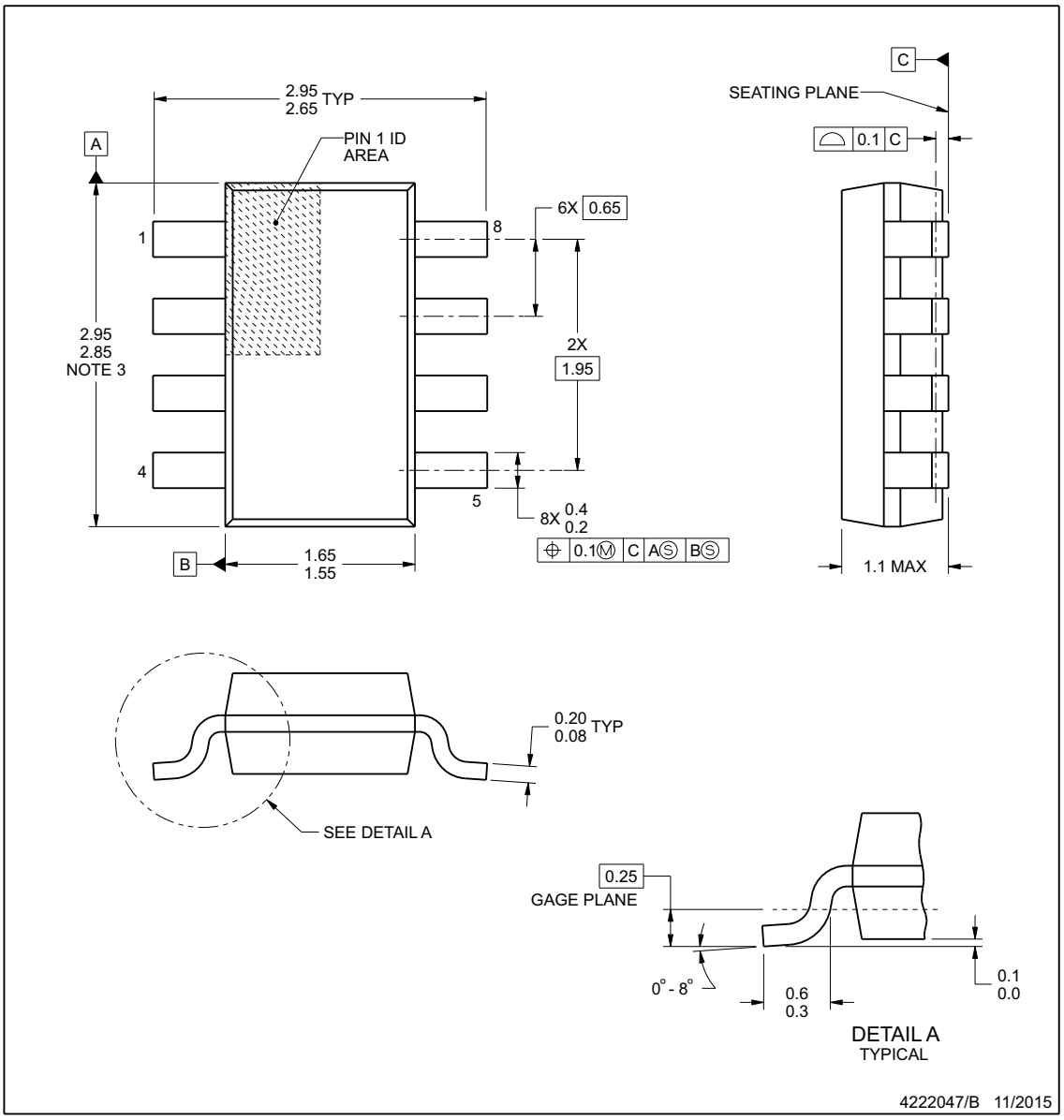
Copyright © 2026 Texas Instruments Incorporated

PACKAGE OUTLINE

DDF0008A

SOT-23 - 1.1 mm max height

PLASTIC SMALL OUTLINE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.

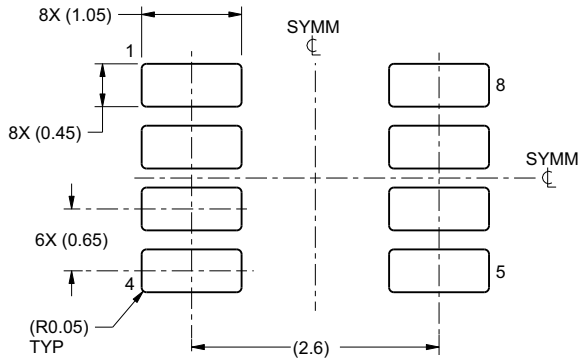
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

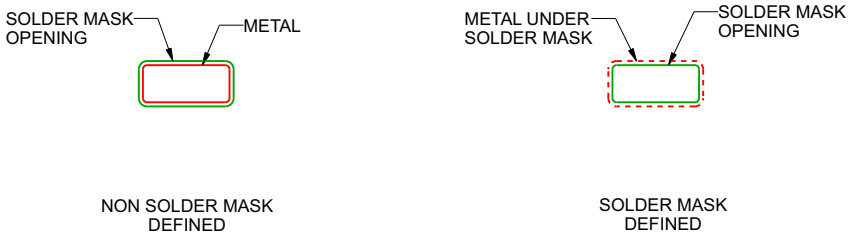
DDF0008A

SOT-23 - 1.1 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:15X



SOLDER MASK DETAILS

4222047/B 11/2015

NOTES: (continued)

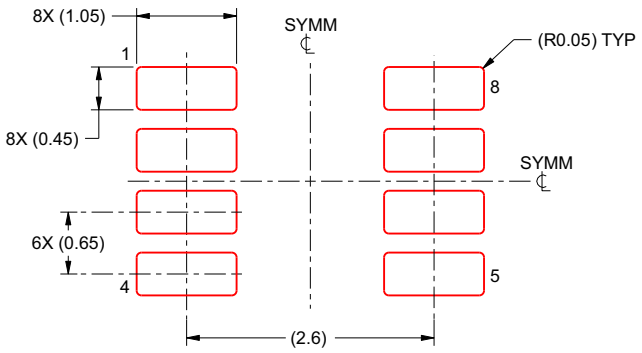
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DDF0008A — **SOT-23 - 1.1 mm max height**

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/B 11/2015

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

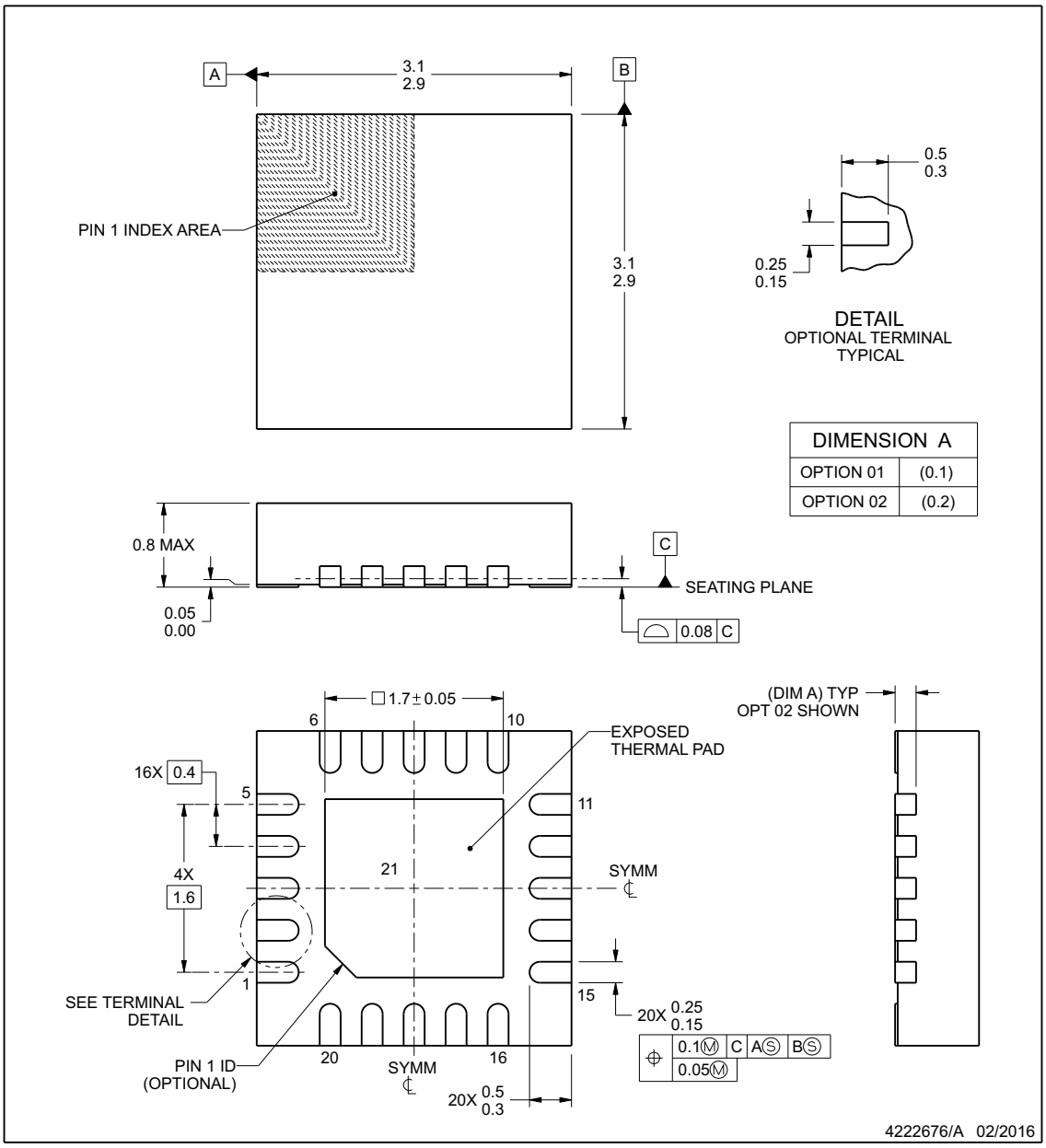
Copyright © 2026 Texas Instruments Incorporated

PACKAGE OUTLINE

RUK0020B

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

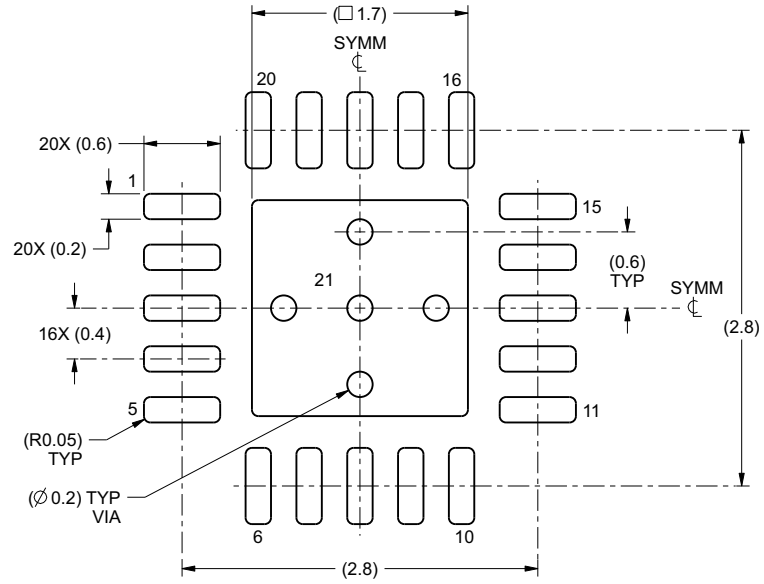
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

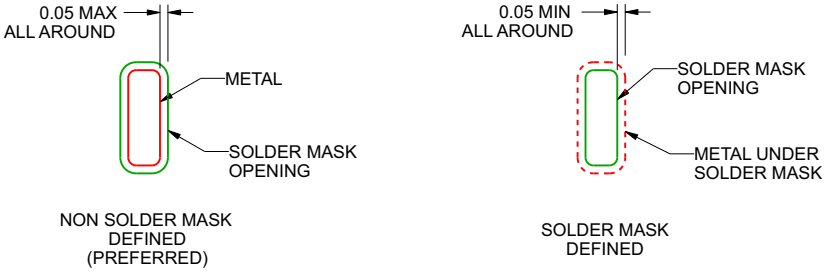
RUK0020B

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:20X



SOLDER MASK DETAILS

4222676/A 02/2016

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

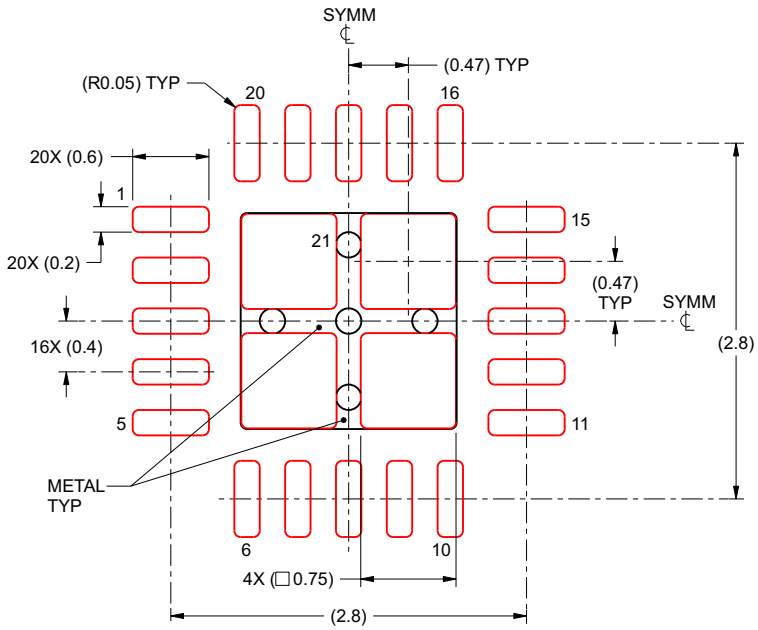
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RUK0020B

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 21:
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4222676/A 02/2016

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

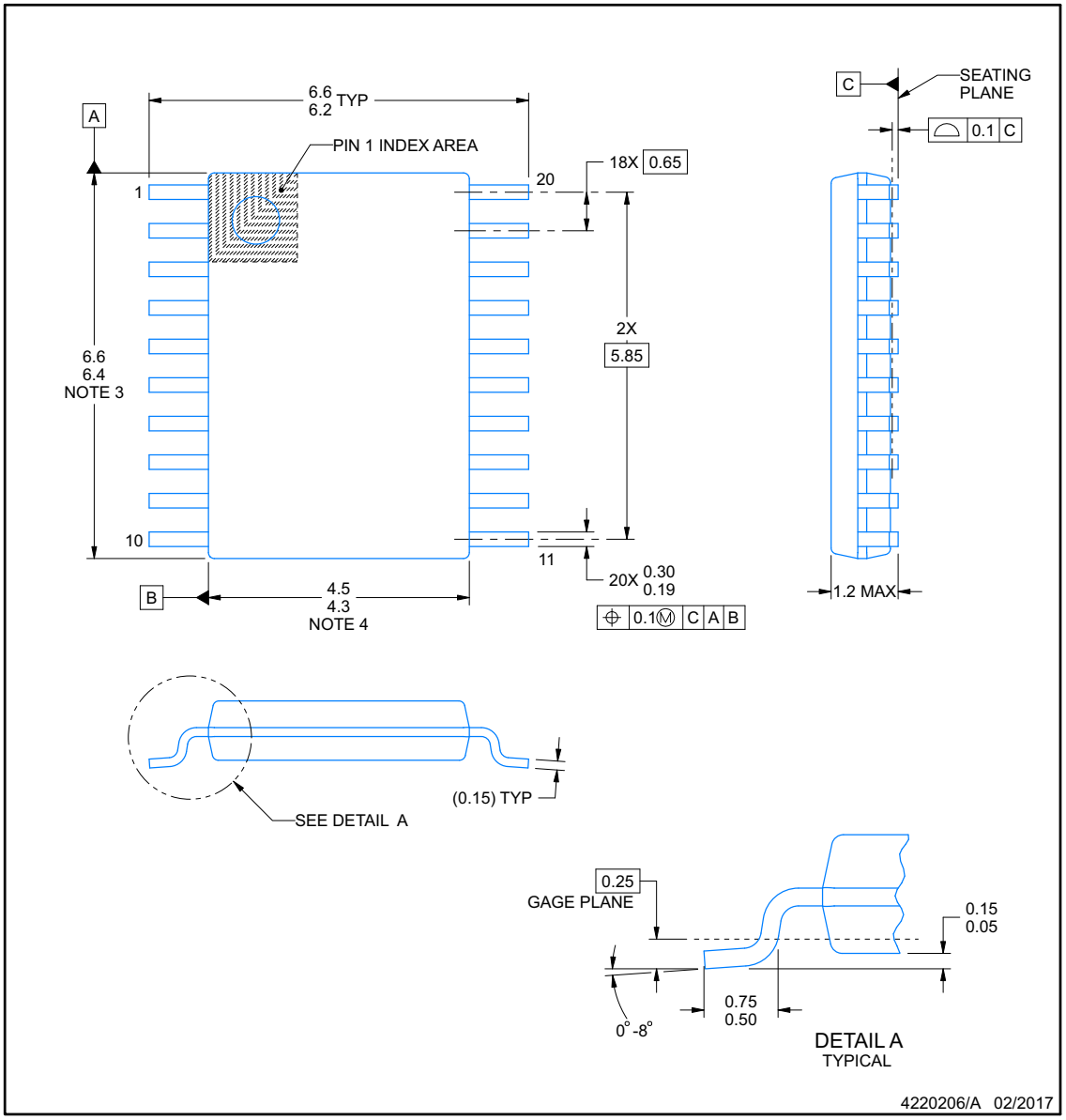
Copyright © 2026 Texas Instruments Incorporated

PACKAGE OUTLINE

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

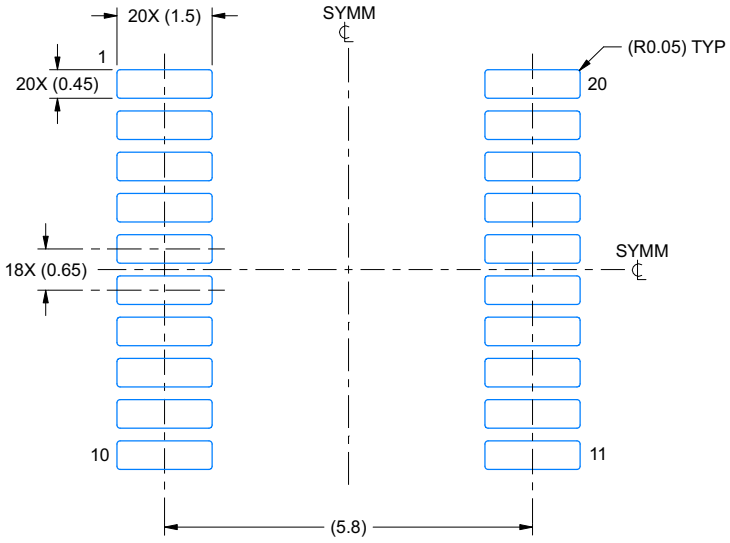
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

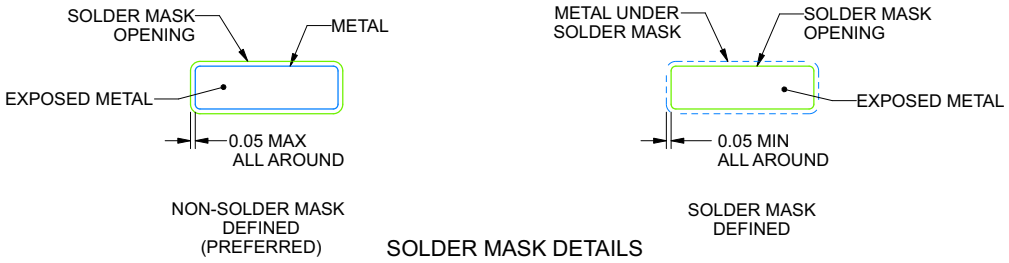
PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

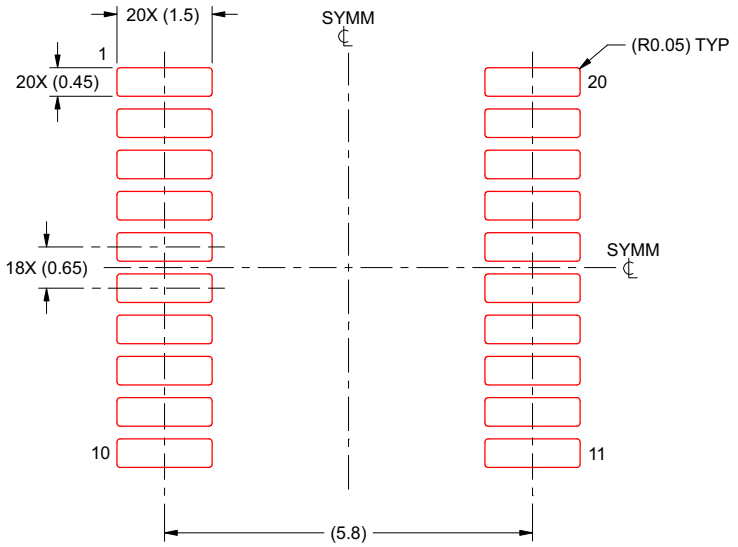
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

PW0020A — **TSSOP - 1.2 mm max height**

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

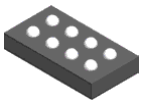
4220206/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

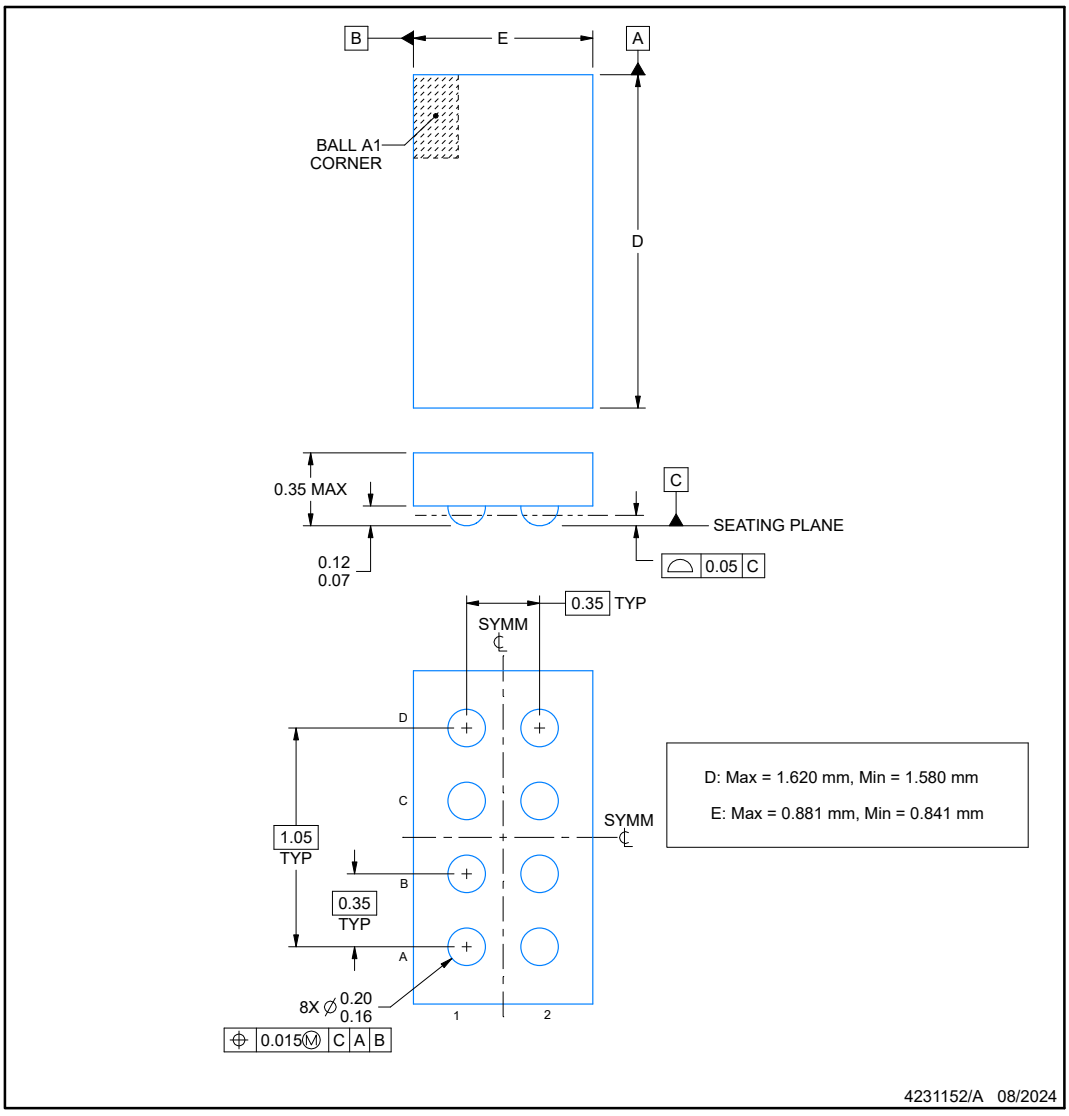
PACKAGE OUTLINE



YCJ0008-C01

DSBGA - 0.35 mm max height

DIE SIZE BALL GRID ARRAY



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

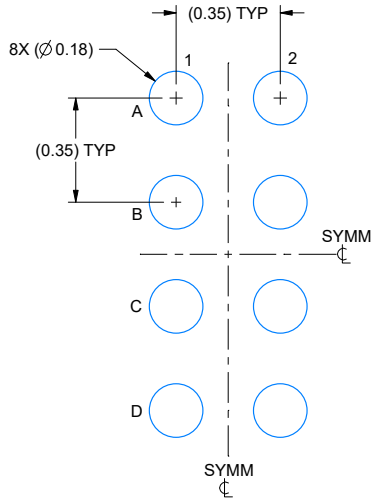
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

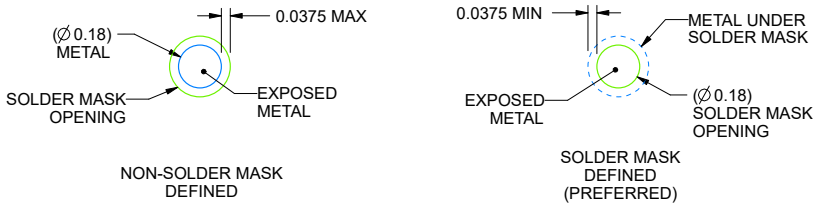
YCJ0008-C01

DSBGA - 0.35 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 50X



SOLDER MASK DETAILS
NOT TO SCALE

4231152/A 08/2024

NOTES: (continued)

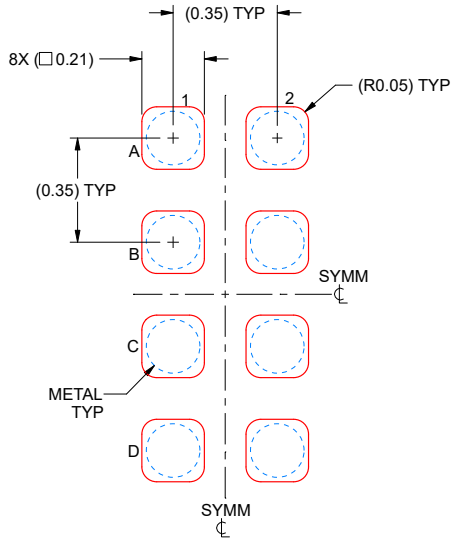
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
   See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

YCJ0008-C01 **DSBGA - 0.35 mm max height**

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.075 mm THICK STENCIL
SCALE: 50X

4231152/A 08/2024

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
MSPM0C1103S8YCJR	Active	Production	DSBGA (YCJ) | 8	12000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	03
MSPM0C1103SDDFR	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C03S
MSPM0C1103SDDFR.A	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C03S
MSPM0C1103SDDFR.B	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C03S
MSPM0C1103SDGS20R	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0C1103S
MSPM0C1103SDGS20R.A	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0C1103S
MSPM0C1103SDGS20R.B	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0C1103S
MSPM0C1103SDSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C03S
MSPM0C1103SDSGR.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C03S
MSPM0C1103SDSGR.B	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C03S
MSPM0C1103SDYYR	Active	Production	SOT-23-THIN (DYY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	M0C1103S
MSPM0C1103SDYYR.A	Active	Production	SOT-23-THIN (DYY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	M0C1103S
MSPM0C1103SDYYR.B	Active	Production	SOT-23-THIN (DYY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	M0C1103S
MSPM0C1103SRUKR	Active	Production	WQFN (RUK) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C1103S
MSPM0C1103SRUKR.A	Active	Production	WQFN (RUK) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C1103S
MSPM0C1103SRUKR.B	Active	Production	WQFN (RUK) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C1103S
MSPM0C1104S8YCJR	Active	Production	DSBGA (YCJ) | 8	12000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	04
MSPM0C1104SDDFR	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C04S
MSPM0C1104SDDFR.A	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C04S
MSPM0C1104SDDFR.B	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C04S
MSPM0C1104SDGS20R	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0C1104S
MSPM0C1104SDGS20R.A	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0C1104S
MSPM0C1104SDGS20R.B	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0C1104S
MSPM0C1104SDSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C04S
MSPM0C1104SDSGR.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C04S
MSPM0C1104SDSGR.B	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C04S

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
MSPM0C1104SDYYR	Active	Production	SOT-23-THIN (DYY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0C1104S
MSPM0C1104SDYYR.A	Active	Production	SOT-23-THIN (DYY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0C1104S
MSPM0C1104SDYYR.B	Active	Production	SOT-23-THIN (DYY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0C1104S
MSPM0C1104SRUKR	Active	Production	WQFN (RUK) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C1104S
MSPM0C1104SRUKR.A	Active	Production	WQFN (RUK) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C1104S
MSPM0C1104SRUKR.B	Active	Production	WQFN (RUK) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C1104S
MSPS003F3SPW20R	Active	Production	TSSOP (PW) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	MS003F3
MSPS003F3SPW20R.A	Active	Production	TSSOP (PW) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	MS003F3
MSPS003F3SPW20R.B	Active	Production	TSSOP (PW) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	MS003F3
MSPS003F4SPW20R	Active	Production	TSSOP (PW) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	MS003F4
MSPS003F4SPW20R.A	Active	Production	TSSOP (PW) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	MS003F4
MSPS003F4SPW20R.B	Active	Production	TSSOP (PW) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	MS003F4
XMSM0C1104SDDFR.B	Active	Preproduction	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
XMSM0C1104SDSGR.B	Active	Preproduction	WSON (DSG) | 8	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
XMSM0C1104SDYYR.B	Active	Preproduction	SOT-23-THIN (DYY) | 16	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
XMSM0C1104SRUKR.B	Active	Preproduction	WQFN (RUK) | 20	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF MSPM0C1103, MSPM0C1104 :

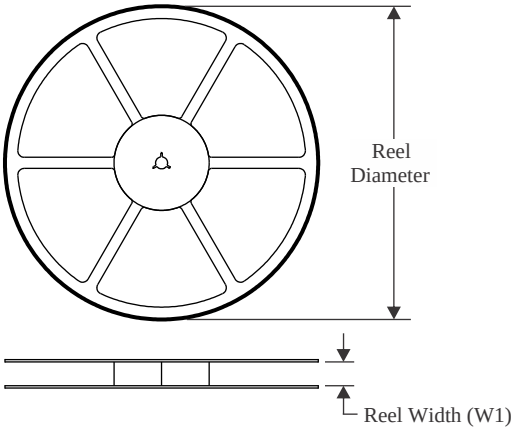
- Automotive : MSPM0C1103-Q1, MSPM0C1104-Q1

NOTE: Qualified Version Definitions:

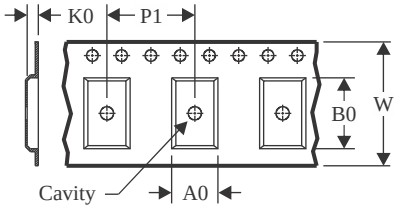
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

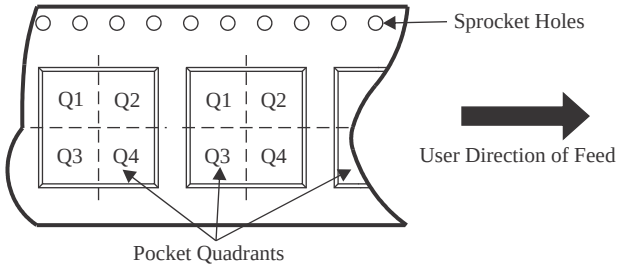


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

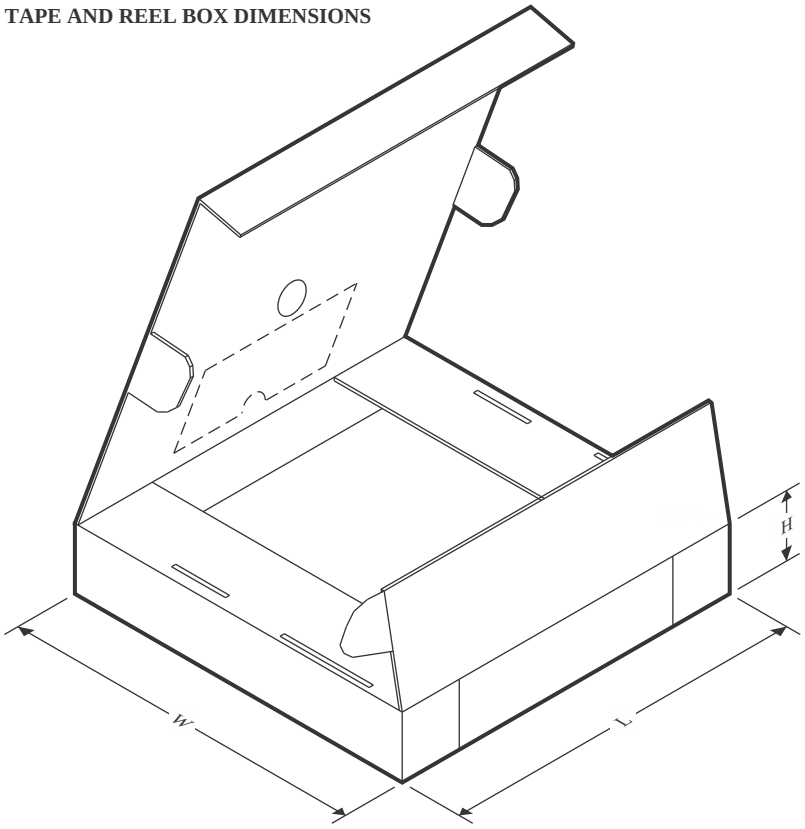


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
MSPM0C1103S8YCJR	DSBGA	YCJ	8	12000	180.0	8.4	0.94	1.73	0.4	2.0	8.0	Q1
MSPM0C1103SDDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
MSPM0C1103SDGS20R	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
MSPM0C1103SDSGR	WSON	DSG	8	3000	178.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
MSPM0C1103SDSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
MSPM0C1103SDYYR	SOT-23-THIN	DYY	16	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
MSPM0C1103SRUKR	WQFN	RUK	20	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
MSPM0C1103SRUKR	WQFN	RUK	20	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
MSPM0C1104S8YCJR	DSBGA	YCJ	8	12000	180.0	8.4	0.94	1.73	0.4	2.0	8.0	Q1
MSPM0C1104SDDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
MSPM0C1104SDGS20R	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
MSPM0C1104SDSGR	WSON	DSG	8	3000	178.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
MSPM0C1104SDSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
MSPM0C1104SDYYR	SOT-23-THIN	DYY	16	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
MSPM0C1104SRUKR	WQFN	RUK	20	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
MSPM0C1104SRUKR	WQFN	RUK	20	3000	330.0	12.4	3.3	3.3	1.0	8.0	12.0	Q2
MSPS003F3SPW20R	TSSOP	PW	20	3000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
MSPS003F3SPW20R	TSSOP	PW	20	3000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
MSPS003F4SPW20R	TSSOP	PW	20	3000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
MSPS003F4SPW20R	TSSOP	PW	20	3000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
MSPM0C1103S8YCJR	DSBGA	YCJ	8	12000	182.0	182.0	20.0
MSPM0C1103SDDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
MSPM0C1103SDGS20R	VSSOP	DGS	20	5000	353.0	353.0	32.0
MSPM0C1103SDSGR	WSON	DSG	8	3000	208.0	191.0	35.0
MSPM0C1103SDSGR	WSON	DSG	8	3000	210.0	185.0	35.0
MSPM0C1103SDYYR	SOT-23-THIN	DYY	16	3000	336.6	336.6	31.8
MSPM0C1103SRUKR	WQFN	RUK	20	3000	356.0	356.0	36.0
MSPM0C1103SRUKR	WQFN	RUK	20	3000	360.0	360.0	36.0
MSPM0C1104S8YCJR	DSBGA	YCJ	8	12000	182.0	182.0	20.0
MSPM0C1104SDDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
MSPM0C1104SDGS20R	VSSOP	DGS	20	5000	353.0	353.0	32.0
MSPM0C1104SDSGR	WSON	DSG	8	3000	208.0	191.0	35.0
MSPM0C1104SDSGR	WSON	DSG	8	3000	210.0	185.0	35.0
MSPM0C1104SDYYR	SOT-23-THIN	DYY	16	3000	336.6	336.6	31.8
MSPM0C1104SRUKR	WQFN	RUK	20	3000	360.0	360.0	36.0
MSPM0C1104SRUKR	WQFN	RUK	20	3000	356.0	356.0	36.0
MSPS003F3SPW20R	TSSOP	PW	20	3000	353.0	353.0	32.0
MSPS003F3SPW20R	TSSOP	PW	20	3000	353.0	353.0	32.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
MSPS003F4SPW20R	TSSOP	PW	20	3000	353.0	353.0	32.0
MSPS003F4SPW20R	TSSOP	PW	20	3000	353.0	353.0	32.0

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月