

MSPM0G3218-Q1 および MSPM0G3207-Q1 車載用 CAN – FD インターフェイス 付きミクスト シグナルマイコン

1 特長

- 車載アプリケーション向けに **AEC-Q100** 認証済み
- コア
 - Arm® 32 ビット Cortex® M0+ CPU、メモリ保護ユニット付き、最高 80MHz の周波数
- 機能安全準拠予定
 - 機能安全アプリケーション向けに開発
 - ISO 26262 システムの設計に役立つ資料を提供予定
 - ASIL B までの決定論的対応能力 (予定)
- PSA-L1 認証 (予定)
- 動作特性
 - 拡張動作温度範囲: -40°C ~ 最高 125°C
 - 広い電源電圧範囲: 1.62V ~ 3.6V
- メモリ
 - 最大 256KB のフラッシュメモリ、誤り訂正符号 (ECC) 付き
 - OTA 更新のためのアドレス スワップ機能を備えたデュアルバンク
 - ECC 保護機能を備えた 8KB データフラッシュバンク
 - 合計 32KB の SRAM、ECC 保護またはハードウェアパリティ付き
- 高性能アナログ ペリフェラル
 - 最大 27 の外部チャンネルを持つ 2 つの同時サンプリング 12 ビット 1.6Msps A/D コンバータ (ADC)
 - 100ksps で 14 ビットの実効分解能、ハードウェア平均化付き
 - 8 ビットリファレンス電圧 DAC を内蔵した最大 2 つの高速コンパレータ (COMP)
 - 高速モードでの 32ns の伝搬遅延
 - 低消費電力モード動作 (<math><1\mu\text{A}</math>) をサポート
 - ADC と COMP との間のアナログ接続をプログラム可能
 - 外部電圧リファレンス (VREF)
 - 1.4V または 2.5V の構成可能な内部共有電圧リファレンス (外部 VREF コンデンサ付き)
 - 1.4V または 2.5V の構成可能な内部専用電圧リファレンス (外部 VREF コンデンサなし)
 - 温度センサ内蔵
- 最適化されたローパワー モード (初期サンプルに対する推定値)
 - RUN: 104 μA /MHz (CoreMark)
 - SLEEP: 614 μA (4MHz)
 - STOP: 56 μA (32kHz 時)
- STANDBY: 1.4 μA (32kHz、RTC および SRAM 搭載時) で状態を保持
- SHUTDOWN: 69nA (IO ウェークアップ機能あり)
- インテリジェント デジタル ペリフェラル
 - 9 チャンネル DMA コントローラ
 - 演算アクセラレータ。DIV、SQRT、MAC、TRIG の各計算をサポート
 - 最大 18 の PWM チャンネルをサポートする 5 つのタイマ
 - QEI をサポートする 1 つの 16 ビット汎用タイマ
 - 2 つの 16 ビット汎用タイマ、STANDBY モードでの低消費電力動作をサポート
 - 2 つの 16 ビット高度タイマ、最大 12 個の PWM チャンネルのデッドバンド サポートおよび相補出力
 - それぞれ 4 つの独立に構成可能な 16 ビットカウンタを含む 2 つの基本ソフトウェア タイマ
 - 2 つの 16 ビットカウンタのうちデジタイゼーション接続して 32 ビットカウンタを形成可能
 - 基本ソフトウェア タイマごとに 2 つの割り込み駆動 PWM を生成する機能
 - 2 つのウィンドウ付きウォッチドッグタイマ (WWDT)、1 つの独立型ウォッチドッグタイマ (IWDT)
 - RTC、アラームおよびカレンダー モード付き
- 拡張通信インターフェイス
 - 5 つの構成可能なシリアル インターフェイス (UNICOMM)
 - UART または SPI をサポートする構成可能な 1 つのシリアル インターフェイス
 - UART (LIN 付き) または I2C (コントローラまたはターゲット モード) をサポートする構成可能な 1 つのシリアル インターフェイス
 - UART または I2C (コントローラまたはターゲット モード) をサポートする構成可能な 1 つのシリアル インターフェイス
 - 1 つの専用 UART + LIN インターフェイス
 - 最大 32Mbits/s の 1 つの専用 SPI インターフェイス
 - CAN 2.0 A または B、および CAN-FD をサポートする 1 つのコントローラ エリア ネットワーク (CAN) インターフェイス
- クロック システム
 - $\pm 1.2\%$ 精度の 4 ~ 32MHz 内部発振器 (SYSOSC)
 - 最高 80MHz のフェーズ ロック ループ (PLL)



- $\pm 3\%$ 精度の 32kHz 低周波数内部発振器 (LFOSC)
- 外部 4 ~ 48MHz 水晶発振器 (HFXT)
- 外部 32kHz 水晶発振器 (LFXT)
- 外部クロック入力
- **データの整合性と暗号化**
 - GCM/GMAC、CCM/CBC-MAC、CBC、CTR をサポートする AES-128/256 アクセラレータ
 - 最大 4 つの AES キーを格納可能なセキュア キーストレージ
 - コードおよびデータ保護用のフレキシブルなファイアウォール
 - 巡回冗長検査 (CRC-16、CRC-32)
- **柔軟な I/O 機能**
 - 最大 60 の GPIO
 - 2 つの 5V 許容オープンドレイン IO
 - 20mA の駆動能力を持つ 3 つの高駆動 IO
 - 4 つの高速 IO
- **開発サポート**
 - 2 ピン シリアル ワイヤ デバッグ (SWD)
- **パッケージ オプション**
 - 64 ピン LQFP (PM) (0.5mm ピッチ)
 - 48 ピン LQFP (PT) (0.5mm ピッチ)
 - 48 ピン VQFN (RGZ) (0.5mm ピッチ、ウェットアップ フランク付き)
 - 32 ピン VQFN (RHB) (0.5mm ピッチ、ウェットアップ フランク付き)
- 28 ピン VSSOP (28DGS) (0.5mm ピッチ)
- 24 ピン VQFN (RGE) (0.5mm ピッチ、ウェットアップ フランク付き)
- 20 ピン VQFN (20DGS) (0.5mm ピッチ)
- **ファミリ製品** (「[デバイスの比較](#)」も参照)
 - MSPM0G3218-Q1: 256KB フラッシュ、32KB RAM、8KB データバンク、2 x ADC、2 x COMP、1 x CAN-FD
 - MSPM0G3207-Q1: 128KB フラッシュ、32KB RAM、8KB データバンク、1 x ADC、1 x COMP、1 x CAN-FD
- **開発キットとソフトウェア** (「[ツールとソフトウェア](#)」も参照)
 - LP-MSPM0G3218 LaunchPad 開発キット
 - **MSPM0 ソフトウェア開発キット (SDK)**

2 アプリケーション

- [車載用ボディ エレクトロニクス / ライティング](#)
- [車載用ゲートウェイ](#)
- [ステアリング ホイール システム](#)
- [車載用モーター制御](#)
- [DC / AC インバータ](#)
- [車内照明](#)
- [ドア ハンドル モジュール](#)
- [キック ツー オープン モジュール](#)
- [車両の乗員検出](#)
- [コンフォートシート モジュール](#)

3 説明

MSPM0G3218-Q1 および MSPM0G3207-Q1 マイコン (MCU) は、最大 80MHz の周波数で動作する拡張 Arm® Cortex®-M0+ 32 ビット コア プラットフォームをベースにした MSP 高集積超低パワー 32 ビット MCU ファミリの一部です。これらの MCU は、24 ピン ~ 64 ピンのパッケージで 128KB ~ 256KB のフラッシュ メモリを必要とするアプリケーション向けに、コストの最適化と設計の柔軟性の組み合わせを提供します。これらのデバイスには、CAN-FD コントローラ、サイバーセキュリティ イネーブラ、高性能の統合型アナログが含まれており、動作温度範囲全体にわたって優れた低消費電力性能を実現します。

このデバイスは最大 256KB の組込みフラッシュ プログラム メモリ (ECC (誤り訂正符号) 内蔵)、最大 32KB の SRAM (ECC およびパリティ保護付き) を搭載しています。フラッシュ メモリは 2 つのメイン バンクで構成されており、現場でのファームウェア更新と 2 つのメイン バンク間でのアドレス スワップをサポートしています。

柔軟性の高いサイバーセキュリティ イネーブラを使用して、セキュア ブート、現場での安全なファームウェア更新、IP 保護 (実行専用メモリ)、キー ストレージなどをサポートできます。さまざまな AES 対称暗号モード用に、ハードウェア アクセラレーションが提供されています。このサイバーセキュリティ アーキテクチャは、Arm® PSA Level 1 認定を申請中です。

最大 27 個の外部チャネルをサポートする 2 つの同時サンプリング 12 ビット 1.6Msps ADC、オンチップ電圧リファレンス (1.4V または 2.5V)、追加の内蔵 8 ビット リファレンス DAC を備えた超低パワー モードと高速モードで動作可能な 2 つのコンパレータなどの一連の高性能アナログ モジュールが搭載されています。

テキサス インストルメンツの MSPM0 ローパワー MCU ファミリは、各種のアナログおよびデジタル集積度のデバイスで構成されています。MSPM0 MCU ファミリは、ARM Cortex-M0+ プラットフォームと包括的な超低消費電力のシステム アーキテクチャを組み合わせたもので、システム設計者は性能向上と消費電力低減を同時に実現できます。

MSPM0G3218-Q1 および MSPM0G3207-Q1 MCU は、広範囲にわたるハードウェアおよびソフトウェアのエコシステムによってサポートされており、リファレンス デザインやコード サンプルを使って設計を迅速に開始できます。開発キットには、購入可能な **LaunchPad** が含まれています。また、テキサス・インスツルメンツは無償の **MSP ソフトウェア開発キット (SDK)** も提供しており、**Code Composer Studio™ IDE** デスクトップのコンポーネントとして利用できます。また、**TI Resource Explorer** ではクラウド バージョンを利用できます。MSPM0 MCU には、広範囲にわたるオンライン資料、**MSP Academy** によるトレーニング、**TI E2E™ サポート フォーラム**によるオンライン サポートも用意されています。

モジュールの詳細については、『**MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル**』を参照してください。

注意

電気的な過剰ストレスや、データやコード メモリの不安定化を防止するために、デバイス レベルの ESD 仕様に従って、システム レベルの ESD 保護を適用する必要があります。詳細については、『**MSP430™ のシステム レベルの ESD 考慮事項**』を参照してください。このアプリケーション ノートに記載されている原則は、MSPM0 MCU に適用されます。

製品情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
M0G3218QPMRQ1	PM (LQFP, 64)	12mm x 12mm
M0G3207QPMRQ1		
M0G3218QPTRQ1	PT (LQFP, 48)	9mm x 9mm
M0G3207QPTRQ1		
M0G3218QRGZRQ1	RGZ (VQFN, 48)	7mm x 7mm
M0G3207QRGZRQ1		
M0G3218QRHBRQ1	RHB (VQFN, 32)	5mm x 5mm
M0G3207QRHBRQ1		
M0G3218Q28DGSRQ1	DGS28 (VSSOP) (28)	7.1mm x 4.9mm
M0G3207Q28DGSRQ1		
M0G3218QRGERQ1	VQFN (RGE, 24)	4mm x 4mm
M0G3207QRGERQ1		
M0G3218Q20DGSRQ1	DGS20 (VSSOP) (20)	5.1mm x 4.9mm
M0G3207Q20DGSRQ1		

4 機能ブロック図

図 4-1 に、デバイスの詳細な機能ブロック図を示します。

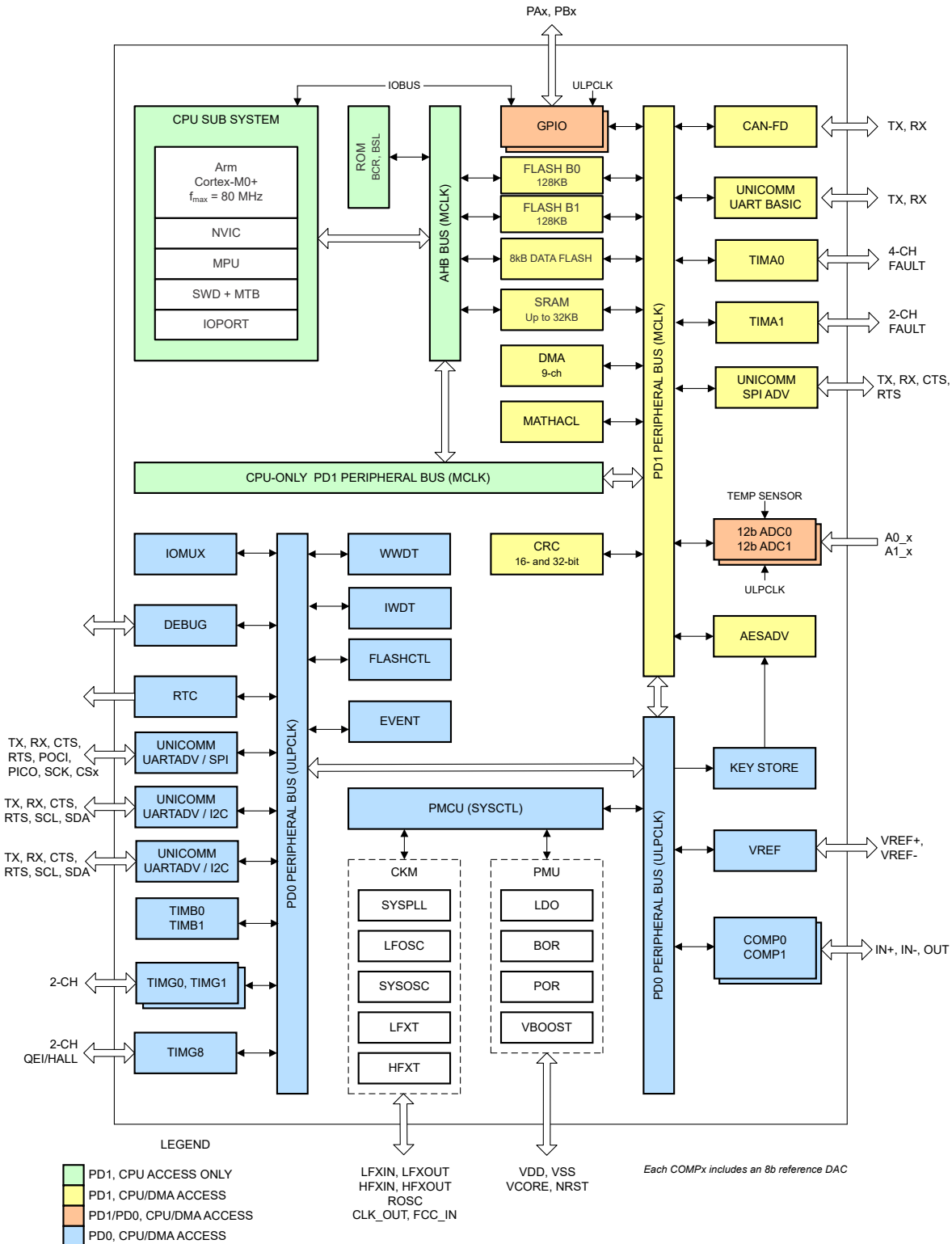
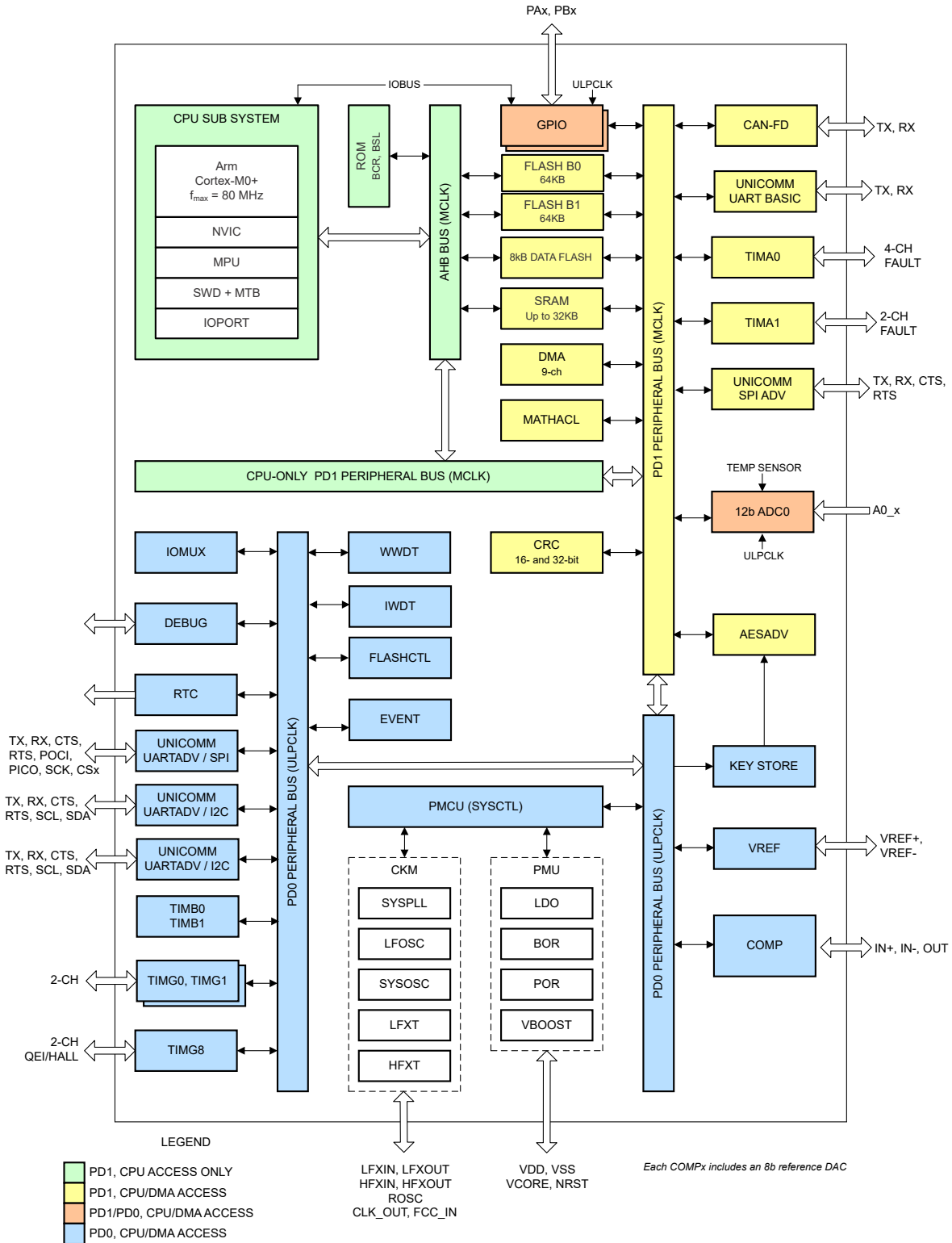


図 4-1. MSPM0G3218-Q1 の機能ブロック図

ADVANCE INFORMATION



ADVANCE INFORMATION

図 4-2. MSPM0G3207-Q1 の機能ブロック図

目次

1 特長	1	8.9 フラッシュ メモリ	72
2 アプリケーション	2	8.10 SRAM	73
3 説明	2	8.11 GPIO	73
4 機能ブロック図	4	8.12 IOMUX	73
5 デバイスの比較	7	8.13 ADC	73
6 ピン構成および機能	8	8.14 温度センサ	74
6.1 ピン配置図	8	8.15 VREF	75
6.2 ピン属性	12	8.16 COMP	76
6.3 信号の説明	24	8.17 セキュリティ	77
6.4 未使用ピンの接続	36	8.18 AESADV	78
7 仕様	37	8.19 キーストア	78
7.1 絶対最大定格	37	8.20 CRC-P	78
7.2 ESD 定格	37	8.21 MATHACL	78
7.3 推奨動作条件	37	8.22 UNICOMM (UART/SPI/I2C)	79
7.4 熱に関する情報	38	8.23 UART	82
7.5 電源電流特性	40	8.24 I2C	82
7.6 電源シーケンス	41	8.25 SPI	83
7.7 フラッシュ メモリ の特性	42	8.26 CAN-FD	83
7.8 タイミング特性	43	8.27 低周波数サブシステム (LFSS)	83
7.9 クロック仕様	44	8.28 RTC_B	84
7.10 デジタル IO	47	8.29 IWDT_B	85
7.11 アナログ マルチプレクサ VBOOST	50	8.30 WWDT	85
7.12 ADC	50	8.31 タイマ (TIMx)	85
7.13 温度センサ	52	8.32 入力 / 出力の回路図	87
7.14 VREF1	53	8.33 デバイスのアナログ接続	88
7.15 VREF2	53	8.34 シリアル ワイヤ デバッグ インターフェイス	91
7.16 コンパレータ (COMP)	54	8.35 ブートストラップ ローダ (BSL)	91
7.17 I2C	55	8.36 デバイス ファクトリ定数	92
7.18 SPI	56	8.37 識別	92
7.19 UART	58	9 アプリケーション、実装、およびレイアウト	94
7.20 TIMx	58	9.1 代表的なアプリケーション	94
7.21 TRNG	58	10 デバイスおよびドキュメントのサポート	95
7.22 エミュレーションおよびデバッグ	58	10.1 入門と次のステップ	95
8 詳細説明	60	10.2 デバイスの命名規則	95
8.1 機能ブロック図	60	10.3 ツールとソフトウェア	96
8.2 CPU	63	10.4 ドキュメントのサポート	97
8.3 動作モード	63	10.5 サポート・リソース	97
8.4 パワー マネージメント ユニット (PMU)	65	10.6 商標	97
8.5 クロック モジュール (CKM)	66	10.7 静電気放電に関する注意事項	97
8.6 DMA	66	10.8 用語集	97
8.7 イベント	68	11 改訂履歴	97
8.8 メモリ	68	12 メカニカル、パッケージ、および注文情報	99

5 デバイスの比較

本データシートに記載されている各デバイスの特長は、以下の表のとおりです。

表 5-1. デバイス比較表

デバイス名 ^{(1) (4)}	フラッシュ / SRAM (KB)	QUAL ⁽²⁾	CAN	UART/I2C/SPI	ADC / CHAN	COMP	GPIO	パッケージ ⁽³⁾
M0G3218QPMRQ1	256 / 32	Q	1	4 / 2 / 2	2 / 27	2	60	64 LQFP (0.5mm pitch) [12mm x 12mm]
M0G3207QPMRQ1	128 / 32	Q	1	4 / 2 / 2	1 / 13	1	60	
M0G3218QPTRQ1	256 / 128	Q	1	4 / 2 / 2	2 / 21	2	44	48 LQFP (0.5mm pitch) [9mm x 9mm]
M0G3207QPTRQ1	128 / 32	Q	1	4 / 2 / 2	1 / 12	1	44	
M0G3218QRGZRQ1	256 / 32	Q	1	4 / 2 / 2	2 / 21	2	44	48 VQFN (0.5mm pitch) [7mm x 7mm]
M0G3207QRGZRQ1	128 / 32	Q	1	4 / 2 / 2	1 / 12	1	44	
M0G3218QRHBRQ1	256 / 32	Q	1	4 / 2 / 2	2 / 16	2	28	32 VQFN (0.5mm pitch) [5mm x 5mm]
M0G3207QRHBRQ1	128 / 32	Q	1	4 / 2 / 2	1 / 10	1	28	
M0G3218Q28DGSRQ1	256 / 32	Q	1	4 / 2 / 2	2 / 10	2	24	28 VSSOP (0.5mm pitch) [7.1mm x 3.0mm]
M0G3207Q28DGSRQ1	128 / 32	Q	1	4 / 2 / 2	1 / 7	1	24	
M0G3218QRGERQ1	256 / 32	Q	1	4 / 2 / 2	2 / 11	2	20	24 VQFN (0.5mm pitch) [4mm x 4mm]
M0G3207QRGERQ1	128 / 32	Q	1	4 / 2 / 2	1 / 6	1	20	
M0G3218Q20DGSRQ1	256 / 32	Q	1	4 / 2 / 2	2 / 10	2	16	20 VSSOP (0.5mm pitch) [5.1mm x 3.0mm]
M0G3207Q20DGSRQ1	128 / 32	Q	1	4 / 2 / 2	1 / 7	1	16	

- (1) 販売中の全デバイスに関する最新の製品、パッケージ、および注文情報については、[セクション 12](#)の「パッケージ注文情報」または [テキサスインスツルメンツの Web サイト](#)を参照してください。
- (2) デバイス認定:
- Q = -40°C ~ 125°C、AEC-Q100 認定済み
- (3) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。公差を含めたパッケージの寸法については、[セクション 12](#)を参照してください。
- (4) 型番の詳細については、[セクション 10.2](#)を参照してください。

6 ピン構成および機能

システム構成ツール は、ピンの多重化およびピン設定を容易にするための初期化コードを有効にしたり、構成したり、生成するグラフィカル インターフェイスを提供します。データシートに示されているピン配置図は、デバイスのピン配置を簡素化するために、主要なペリフェラル機能、内蔵デバイス機能の一部、使用可能なクロック信号を示しています。

ピンの機能の詳細については、「ピンの属性」および「信号の説明」セクションを参照してください。

6.1 ピン配置図

各パッケージ オプションの完全なピン構成および機能については、「ピン属性」および「信号の説明」を参照してください。

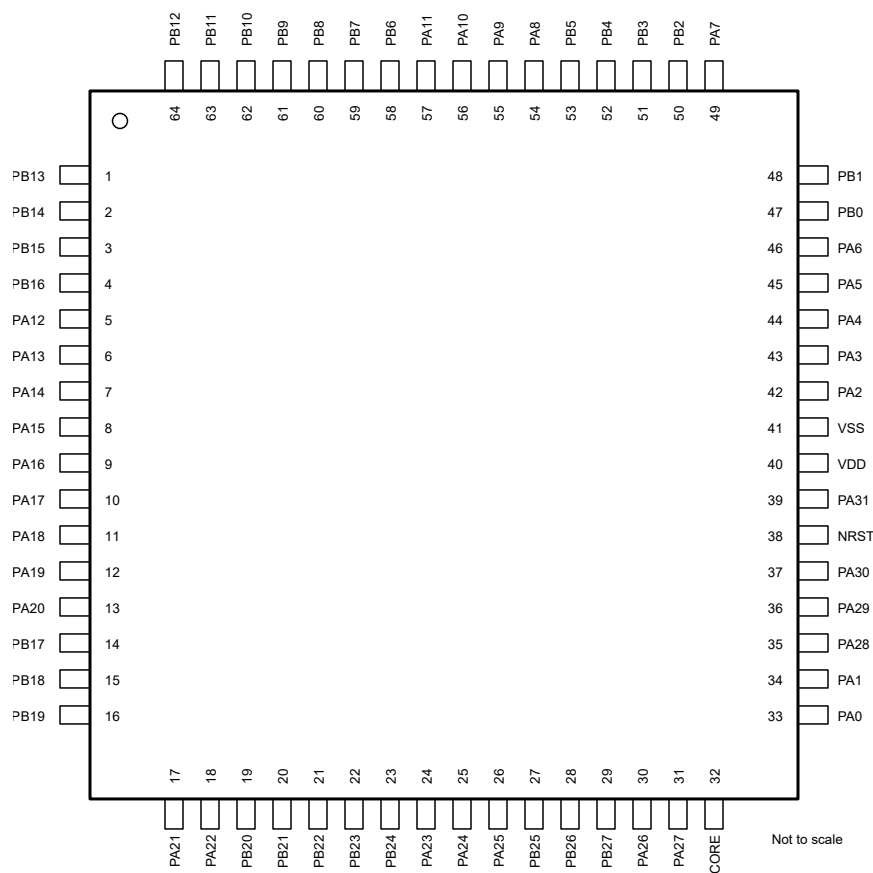


図 6-1. 64 ピン PM (0.5mm) (LQFP) パッケージ

ADVANCE INFORMATION

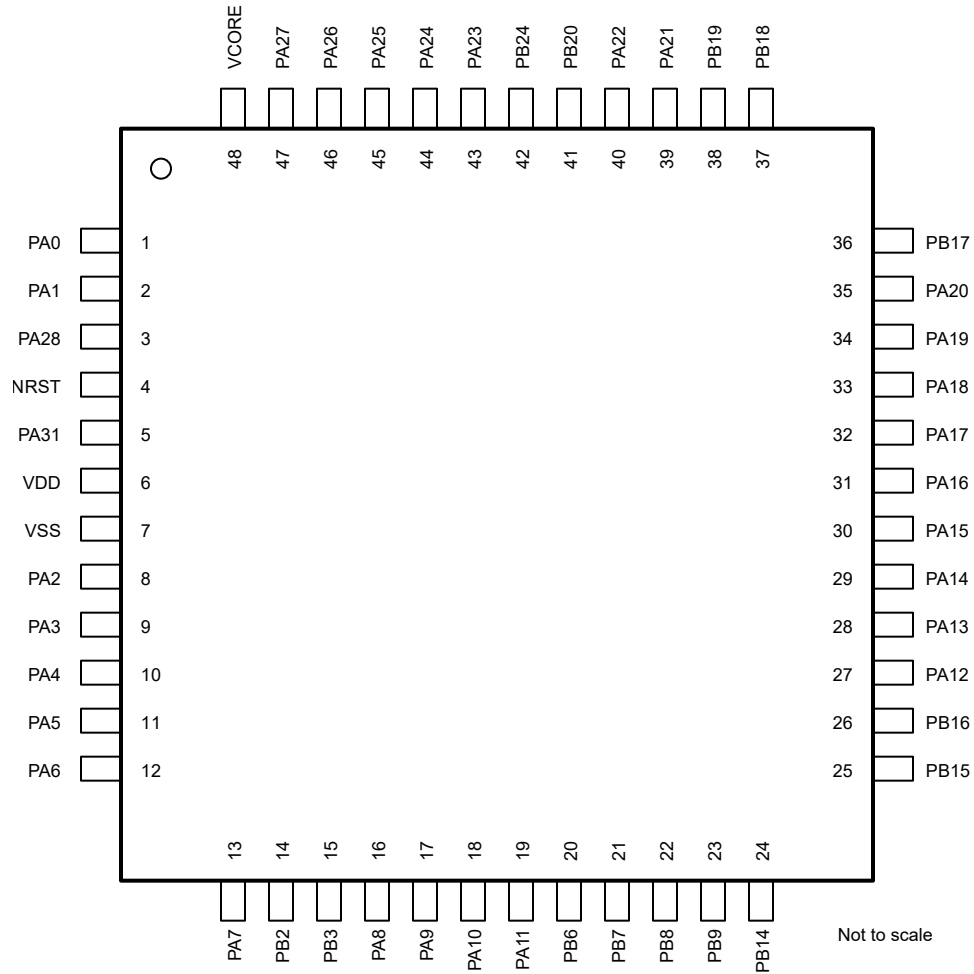


図 6-2. 48 ピン PT (0.5mm) (LQFP) パッケージ図

ADVANCE INFORMATION

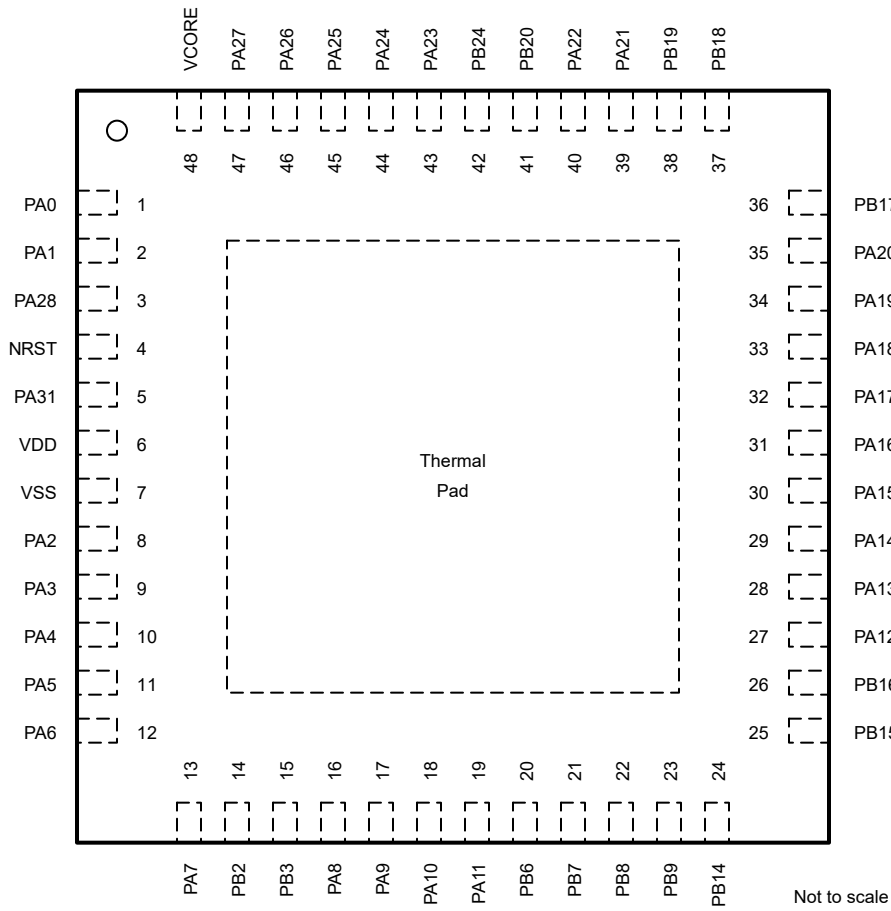


図 6-3. 48 ピン RGZ (0.5mm) (VQFN) パッケージ図

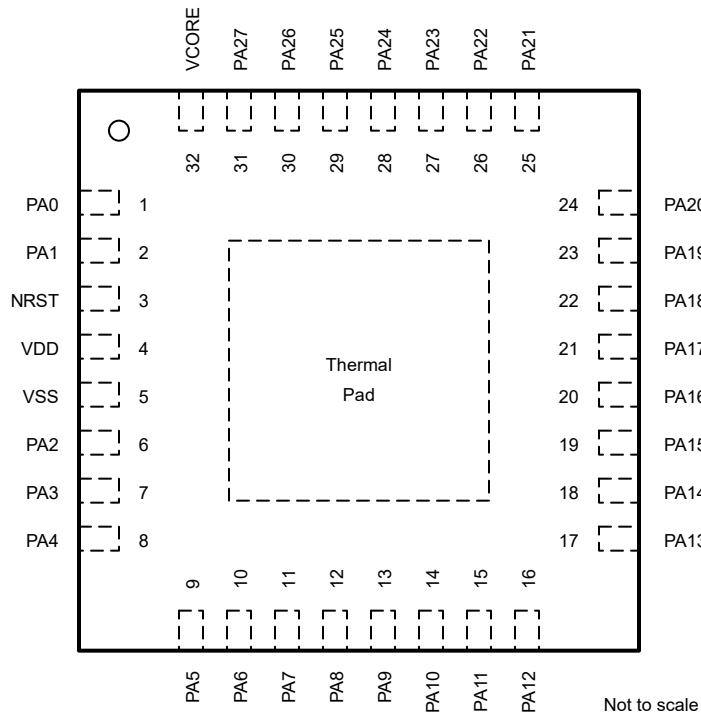


図 6-4. 32 ピン RHB (0.5mm) (VQFN) パッケージ図

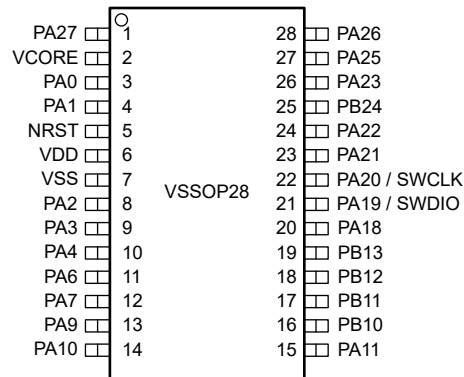


図 6-5. 28 ピン 28DGS (0.5mm) (VSSOP) パッケージ図

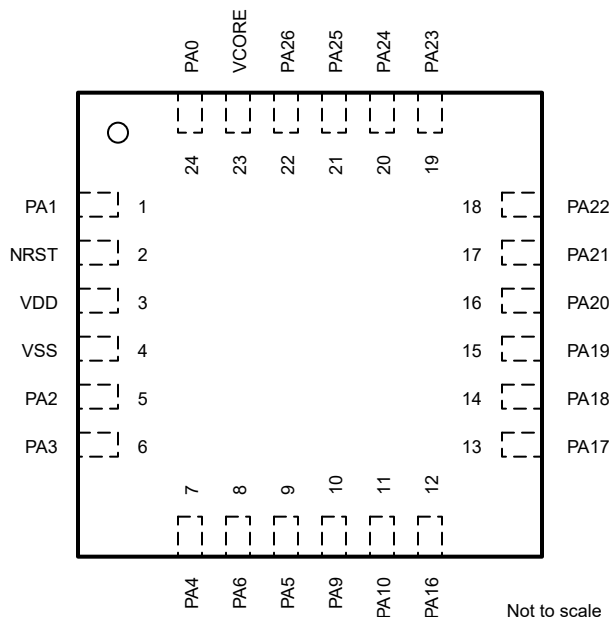


図 6-6. 24 ピン RGE (0.5mm) (VQFN) パッケージ図

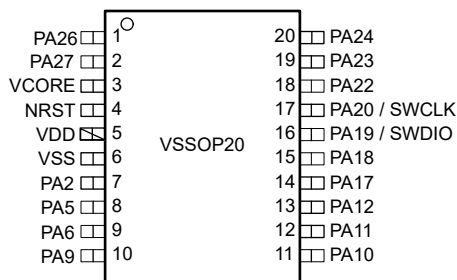


図 6-7. 20 ピン 20DGS (0.5mm) (VSSOP) パッケージ図

6.2 ピン属性

次の表に、各デバイス パッケージの各ピンで利用可能な機能を示します。

注

デバイス上の各デジタル I/O は、専用のピン制御管理レジスタ (PINCMx) に割り当てられており、ユーザーが PINCM.PF 制御ビットを使って必要なピン機能を設定できます。

デバイス上の各デジタル I/O は、専用のピン制御管理レジスタ (PINCMx) に割り当てられており、ユーザーが PINCM.PF 制御ビットを使って必要なピン機能を設定できます。IOMUX は、IOMUX による 1 つのデジタル機能をピンに同時に接続することのみをサポートしています。IOMUX 以外の管理機能 (アナログ接続など) をピンで使うことを想定している場合、IOMUX の PF と PINCM.PC を 0 に設定することをお勧めします。ただし、IOMUX 非管理信号 (アナログ入力、WAKE 入力など) は、IOMUX 管理対象のデジタル機能がピン上で有効化されると同時に、機能間に競合がない限り、ピン上で有効化できます。この場合、各ピンでイネーブルされる機能間に競合がないことを設計者が確認する必要があります。

表 6-1. IO タイプ別のデジタル IO 機能

バッファのタイプ	反転制御	駆動能力制御	ヒステリシス制御	プルアップ抵抗	プルダウン抵抗	ウェークアップロジック
SDIO (標準駆動)	Y			Y	Y	
WAKE (1) 付き SDIO (標準駆動)	Y			Y	Y	Y
HDIO (高駆動)	Y	Y		Y	Y	Y
HSIO (高速)	Y	Y		Y	Y	
ODIO (5V 対応のオープンドレイン)	Y		Y		Y	Y

1. ウェーク付きの標準機能では、I/O を使って、最小低消費電力の SHUTDOWN モードからデバイスをウェークアップできます。すべての I/O は、それよりも高いレベルの低消費電力モードから MCU をウェークアップするように構成できます。『MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル』の「GPIO FastWake」セクションを参照してください。詳細については、『』

表 6-2. ピン属性 (PM、PT、RGZ、RHB、DGS28、RGE、DGS20 パッケージ)

PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン	ピン名 /IOMUX REG/ OMUX ADDR	信号名	IOMUX PF	信号 のタイプ	バッファのタイプ
38	4	4	3	5	2	4	NRST	NRST	(非 IOMUX 1) 0	リセット	リセット
33	1	1	1	3	24		PA0 PINCM1 0x40428000	PA0	1	IO	ウェーク付き ODIO (5V 対応)
								UC4_PICO_TX	2	IO	
								UC0_SDA_TX	3	IOD	
								TIMA0_C0	4	IO	
								TIMA_FAL1	5	I	
								FCC_IN	6	I	
								TIMG8_C1	7	IO	
								TIMG0_C0	9	IO	
BSL_I2C_SDA	(非 IOMUX 1) 0	IOD									
34	2	2	2	4	1		PA1 PINCM2 0x40428004	PA1	1	IO	ウェーク付き ODIO (5V 対応)
								UC4_SCLK_RX	2	IOD	
								UC0_SCL_RX	3	IOD	
								TIMA0_C1	4	IO	
								TIMA_FAL2	5	I	
								TIMG8_IDX	6	I	
								TIMG8_C0	7	IO	
								TIMG0_C1	9	IO	
								UC2_CS3	10	IO	
BSL_I2C_SCL	(非 IOMUX 1) 0	IOD									
42	8	8	6	8	5	7	PA2 PINCM7 0x40428018	PA2	1	IO	SDIO (標準)
								TIMG8_C1	2	IO	
								UC2_CS0	3	IO	
								UC4_CS0_CTS	5	IO	
								TIMA0_C3N	6	O	
								TIMA0_C2N	7	O	
								TIMA_FAL0	8	I	
								TIMA_FAL1	9	I	
								TIMA0_C0	11	IO	
ROSC	(非 IOMUX 1) 0	A									

表 6-2. ピン属性 (PM、PT、RGZ、RHB、DGS28、RGE、DGS20 パッケージ) (続き)

PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号 名	IOMUX PF	信号 のタイプ	バッファのタ イプ
43	9	9	7	9	6		PA3 PINCM8 0x4042801c	PA3	1	IO	SDIO (標準)
								TIMG8_C0	2	IO	
								UC2_CS1	3	IO	
								UC5_SDA_TX	4	IOD	
								TIMA0_C1	5	IO	
								COMP0_OUT	6	O	
								TIMA0_C2	8	IO	
								UC0_CTS	9	IO	
								UC2_CS3	11	IO	
								COMP1_OUT	12	O	
							LFXIN	(非 IOMUX 1) 0	A		
44	10	10	8	10	7		PA4 PINCM9 0x40428020	PA4	1	IO	SDIO (標準)
								TIMG8_C1	2	IO	
								UC2_POCI	3	IO	
								UC5_SCL_RX	4	IOD	
								TIMA0_C1N	5	O	
								LFCLKIN	6	I	
								TIMA0_C3	8	IO	
								UC0_RTS	9	IO	
								UC2_CS0	11	IO	
45	11	11	9		9	8	PA5 PINCM10 0x40428024	PA5	1	IO	SDIO (標準)
								TIMG8_C0	2	IO	
								UC2_PICO	3	IO	
								UC5_SDA_TX	4	IOD	
								TIMG0_C0	5	IO	
								FCC_IN	6	I	
								TIMA_FAL1	8	I	
								UC4_CS0_CTS	9	IO	
46	12	12	10	11	8	9	PA6 PINCM11 0x40428028	PA6	1	IO	SDIO (標準)
								TIMG8_C1	2	IO	
								UC2_SCLK	3	IOD	
								UC5_SCL_RX	4	IOD	
								TIMG0_C1	5	IO	
								HFCLKIN	6	I	
								TIMA_FAL0	8	I	
								UC4_POCI_RTS	9	IO	
							HFXOUT	(非 IOMUX 1) 0	A		

ADVANCE INFORMATION

表 6-2. ピン属性 (PM、PT、RGZ、RHB、DGS28、RGE、DGS20 パッケージ) (続き)

PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号 名	IOMUX PF	信号 のタイプ	バッファのタ イプ
49	13	13	11	12			PA7 PINCM14 0x40428034	PA7	1	IO	SDIO (標 準)
								COMP0_OUT	2	O	
								CLK_OUT	3	O	
								TIM8_C0	4	IO	
								TIMA0_C2	5	IO	
								TIM8_IDX	6	I	
								TIMA0_C1	8	IO	
								UC2_CS2	9	IO	
								FCC_IN	10	I	
								UC2_POCI	11	IO	
54	16	16	12				PA8 PINCM19 0x40428048	PA8	1	IO	SDIO (標 準)
								UC5_SDA_TX	2	IOD	
								UC2_CS0	3	IO	
								UC0_SDA_TX	4	IOD	
								TIMA0_C0	5	IO	
								TIMA_FAL2	6	I	
								TIMA_FAL0	7	I	
								UC2_CS3	8	IO	
								HFCLKIN	10	I	
								UC4_POCI_RTS	11	IO	
TIMA1_C0N	12	O									
55	17	17	13	13	10	10	PA9 PINCM20 0x4042804c	PA9	1	IO	HSIO (高 速)
								UC5_SCL_RX	2	IOD	
								UC2_PICO	3	IO	
								UC0_SCL_RX	4	IOD	
								TIMA0_C0N	5	O	
								CLK_OUT	6	O	
								TIMA0_C1	7	IO	
								RTC_OUT	8	O	
								UC4_CS0_CTS	11	IO	
								TIMA1_C1N	12	O	
56	18	18	14	14	11	11	PA10 PINCM21 0x40428050	PA10	1	IO	ウェーク付 き HDIO (高駆動)
								UC4_PICO_TX	2	IO	
								UC2_POCI	3	IO	
								UC0_SDA_TX	4	IOD	
								TIMA0_C2	5	IO	
								CLK_OUT	6	O	
								TIM0_C0	7	IO	
								UC5_SDA_TX	8	IOD	
								TIMA_FAL1	10	I	
								TIMA1_C0	11	IO	
								COMP1_DAC_OUT	(非 IOMUX 1) 0	A	
								BSL_UART_RX	(非 IOMUX 2) 0	IO	

ADVANCE INFORMATION

表 6-2. ピン属性 (PM、PT、RGZ、RHB、DGS28、RGE、DGS20 パッケージ) (続き)

PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号 名	IOMUX PF	信号 のタイプ	バッファのタ イプ
57	19	19	15	15		12	PA11 PINCM22 0x40428054	PA11	1	IO	ウェーク付 き HDIO (高駆動)
								UC4_SCLK_RX	2	IOD	
								UC2_SCLK	3	IOD	
								UC0_SCL_RX	4	IOD	
								TIMA0_C2N	5	O	
								COMP0_OUT	6	O	
								TIMG0_C1	7	IO	
								UC5_SCL_RX	8	IOD	
								TIMA_FAL0	10	I	
								TIMA1_C1	11	IO	
								COMP0_DAC_OUT	(非 IOMUX 1) 0	A	
								BSL_UART_TX	(非 IOMUX 2) 0	IO	
5	27	27	16			13	PA12 PINCM34 0x40428084	PA12	1	IO	HSIO (高 速)
								UC2_SCLK	3	IOD	
								COMP0_OUT	4	O	
								TIMA0_C3	5	IO	
								FCC_IN	6	I	
								TIMG0_C0	7	IO	
								UC2_CS1	9	IO	
								UC0_CTS	10	IO	
								CANFD0_CANTX	12	O	
								ADC0_8	(非 IOMUX 1) 0	A	
6	28	28	17				PA13 PINCM35 0x40428088	PA13	1	IO	HSIO (高 速)
								UC2_POCI	3	IO	
								UC9_RX	4	IO	
								TIMA0_C3N	5	O	
								RTC_OUT	6	O	
								TIMG0_C1	7	IO	
								UC4_CS0_CTS	8	IO	
								UC2_CS3	9	IO	
								UC0_SDA_TX	10	IOD	
								CANFD0_CANRX	12	I	
								ADC0_9	(非 IOMUX 1) 0	A	
COMP0_IN2-	(非 IOMUX 2) 0	A									
7	29	29	18				PA14 PINCM36 0x4042808c	PA14	1	IO	HSIO (高 速)
								UC4_CS0_CTS	2	IO	
								UC2_PICO	3	IO	
								UC9_TX	4	IO	
								CLK_OUT	6	O	
								UC2_CS2	9	IO	
								UC0_SCL_RX	10	IOD	
								ADC0_12	(非 IOMUX 1) 0	A	
COMP0_IN2+	(非 IOMUX 2) 0	A									

ADVANCE INFORMATION

表 6-2. ピン属性 (PM、PT、RGZ、RHB、DGS28、RGE、DGS20 パッケージ) (続き)

PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号 名	IOMUX PF	信号 のタイプ	バッファのタ イプ
8	30	30	19				PA15 PINCM37 0x40428090	PA15	1	IO	SDIO (標準)
								UC4_POCL_RTS	2	IO	
								UC5_SCL_RX	4	IOD	
								TIMA0_C2	5	IO	
								TIM8_IDX	7	I	
								TIMA1_C0N	9	O	
								UC0_RTS	10	IO	
								TIMA1_C0	11	IO	
								ADC1_0	(非 IOMUX 1) 0	A	
								COMP0_IN3+	(非 IOMUX 2) 0	A	
COMP1_IN3+	(非 IOMUX 3) 0	A									
9	31	31	20				PA16 PINCM38 0x40428094	PA16	1	IO	SDIO (標準)
								COMP0_OUT	2	O	
								UC4_POCL_RTS	3	IO	
								UC5_SDA_TX	4	IOD	
								TIMA0_C2N	5	O	
								FCC_IN	7	I	
								UC0_CTS	10	IO	
								TIMA1_C1	11	IO	
								TIMA1_C1N	12	O	
ADC1_1	(非 IOMUX 1) 0	A									
10	32	32	21				PA17 PINCM39 0x40428098	PA17	1	IO	ウェーク付 き SDIO (標準)
								UC5_SDA_TX	2	IOD	
								UC4_SCLK_RX	3	IOD	
								UC5_SCL_RX	4	IOD	
								TIMA0_C3	5	IO	
								TIM8_C0	7	IO	
								UC2_CS1	9	IO	
								TIMA1_C0	10	IO	
								ADC1_2	(非 IOMUX 1) 0	A	
COMP0_IN1-	(非 IOMUX 2) 0	A									
11	33	33	22	20	14		PA18 PINCM40 0x4042809c	PA18	1	IO	ウェーク付 き SDIO (標準)
								UC5_SCL_RX	2	IOD	
								UC4_PICO_TX	3	IO	
								UC5_SDA_TX	4	IOD	
								TIMA0_C3N	5	O	
								TIM8_C1	7	IO	
								UC2_CS0	9	IO	
								TIMA1_C1	10	IO	
								ADC1_3	(非 IOMUX 1) 0	A	
								COMP0_IN1+	(非 IOMUX 2) 0	A	
BSL_INVOKE	(非 IOMUX 3) 0	I									

ADVANCE INFORMATION

表 6-2. ピン属性 (PM、PT、RGZ、RHB、DGS28、RGE、DGS20 パッケージ) (続き)

PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号 名	IOMUX PF	信号 のタイプ	バッファのタ イプ
12	34	34	23	21	15	16	PA19 PINCM41 0x404280a0	PA19	1	IO	SDIO (標 準)
								SWDIO	2	IO	
								UC4_POCI_RTS	3	IO	
								UC5_SDA_TX	4	IOD	
								TIMA0_C2	5	IO	
								TIMG0_C0	6	IO	
ADC0_13	(非 IOMUX 1) 0	A									
13	35	35	24	22	16	17	PA20 PINCM42 0x404280a4	PA20	1	IO	SDIO (標 準)
								SWCLK	2	I	
								UC4_SCLK_RX	3	IOD	
								UC5_SCL_RX	4	IOD	
								TIMA0_C2N	5	O	
								TIMG0_C1	6	IO	
ADC0_14	(非 IOMUX 1) 0	A									
17	39	39	25	23	17		PA21 PINCM46 0x404280b4	PA21	1	IO	SDIO (標 準)
								UC0_SDA_TX	2	IOD	
								UC2_CS3	3	IO	
								TIMA0_C0	5	IO	
								UC0_CTS	8	IO	
								TIMG8_C0	10	IO	
								ADC1_7	(非 IOMUX 1) 0	A	
								ADC0_VREF-	(非 IOMUX 2) 0	A	
ADC1_VREF-	(非 IOMUX 3) 0	A									
18	40	40	26	24	18	18	PA22 PINCM47 0x404280b8	PA22	1	IO	SDIO (標 準)
								UC0_SCL_RX	2	IOD	
								UC2_CS2	3	IO	
								TIMA0_C0N	5	O	
								TIMA0_C1	7	IO	
								CLK_OUT	8	O	
								TIMG8_C1	10	IO	
								ADC0_7	(非 IOMUX 1) 0	A	
24	43	43	27	26	19	19	PA23 PINCM53 0x404280d0	PA23	1	IO	SDIO (標 準)
								UC0_SDA_TX	2	IOD	
								UC2_CS3	3	IO	
								TIMG1_C0	4	IO	
								TIMA0_C3	5	IO	
								TIMG8_C0	6	IO	
								TIMG0_C0	9	IO	
								ADC1_12	(非 IOMUX 1) 0	A	
								COMP1_IN1-	(非 IOMUX 2) 0	A	
								ADC0_VREF+	(非 IOMUX 3) 0	A	

ADVANCE INFORMATION

表 6-2. ピン属性 (PM、PT、RGZ、RHB、DGS28、RGE、DGS20 パッケージ) (続き)

PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号 名	IOMUX PF	信号 のタイプ	バッファのタ イプ
25	44	44	28		20	20	PA24 PINCM54 0x404280d4	PA24	1	IO	SDIO (標 準)
								UC0_SCL_RX	2	IOD	
								UC2_CS2	3	IO	
								TIMA0_C3N	5	O	
								TIMG8_C1	6	IO	
								TIMA1_C1	7	IO	
								TIMG0_C1	9	IO	
ADC0_3	(非 IOMUX 1) 0	A									
26	45	45	29	27	21		PA25 PINCM55 0x404280d8	PA25	1	IO	SDIO (標 準)
								UC9_RX	2	IO	
								TIMG1_C1	4	IO	
								TIMA0_C3	5	IO	
								TIMA0_C1N	6	O	
								COMP0_OUT	7	O	
								UC0_CTS	8	IO	
								UC9_TX	9	IO	
								CANFD0_CANRX	10	I	
								ADC0_2	(非 IOMUX 1) 0	A	
30	46	46	30	28	22	1	PA26 PINCM59 0x404280e8	PA26	1	IO	SDIO (標 準)
								UC9_TX	2	IO	
								UC4_CS0_CTS	3	IO	
								TIMG8_C0	4	IO	
								TIMA_FAL0	5	I	
								TIMA0_C3N	6	O	
								UC0_RTS	8	IO	
								UC9_RX	9	IO	
								CANFD0_CANTX	10	O	
								ADC0_1	(非 IOMUX 1) 0	A	
COMP0_IN0+	(非 IOMUX 2) 0	A									
31	47	47	31	1		2	PA27 PINCM60 0x404280ec	PA27	1	IO	SDIO (標 準)
								UC9_RX	2	IO	
								TIMG8_C1	4	IO	
								TIMA_FAL2	5	I	
								CLK_OUT	6	O	
								RTC_OUT	8	O	
								COMP0_OUT	9	O	
								CANFD0_CANRX	10	I	
								ADC0_0	(非 IOMUX 1) 0	A	
								COMPO_IN0-	(非 IOMUX 2) 0	A	
35	3	3					PA28 PINCM3 0x40428008	PA28	1	IO	ウェーク付 き HDIO (高駆動)
								UC4_PICO_TX	2	IO	
								UC0_SDA_TX	3	IOD	
								TIMA0_C3	4	IO	
								TIMA_FAL0	5	I	
								TIMA0_C1	7	IO	
TIMA1_C0	9	IO									

表 6-2. ピン属性 (PM、PT、RGZ、RHB、DGS28、RGE、DGS20 パッケージ) (続き)

PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号 名	IOMUX PF	信号 のタイプ	バッファのタ イプ
36							PA29 PINCM4 0x4042800c	PA29	1	IO	SDIO (標準)
								UC5_SCL_RX	2	IOD	
								UC0_RTS	3	IO	
								TIMG8_C0	4	IO	
								UC4_CS0_CTS	7	IO	
								UC2_CS3	8	IO	
TIMG1_C0	11	IO									
37							PA30 PINCM5 0x40428010	PA30	1	IO	SDIO (標準)
								UC5_SDA_TX	2	IOD	
								UC0_CTS	3	IO	
								TIMG8_C1	4	IO	
								UC4_POCL_RTS	7	IO	
								UC2_CS2	8	IO	
TIMG1_C1	11	IO									
39	5	5					PA31 PINCM6 0x40428014	PA31	1	IO	ウェーク付 き SDIO (標準)
								UC4_SCLK_RX	2	IOD	
								UC0_SCL_RX	3	IOD	
								TIMA0_C3N	4	O	
								CLK_OUT	6	O	
								UC2_CS3	8	IO	
TIMA1_C1	11	IO									
47							PB0 PINCM12 0x4042802c	PB0	1	IO	SDIO (標準)
								UC4_PICO_TX	2	IO	
								UC0_SCL_RX	4	IOD	
								TIMA0_C2	5	IO	
								TIMG0_C0	6	IO	
								UC2_CS3	7	IO	
TIMA1_C0	8	IO									
48							PB1 PINCM13 0x40428030	PB1	1	IO	SDIO (標準)
								UC4_SCLK_RX	2	IOD	
								UC0_SDA_TX	4	IOD	
								TIMA0_C2N	5	O	
								TIMG0_C1	6	IO	
								UC2_CS2	7	IO	
TIMA1_C1	8	IO									
50	14	14					PB2 PINCM15 0x40428038	PB2	1	IO	SDIO (標準)
								UC9_TX	2	IO	
								UC0_CTS	3	IO	
								UC5_SCL_RX	4	IOD	
								TIMA0_C3	5	IO	
								TIMG1_C0	7	IO	
								UC0_SDA_TX	8	IOD	
								HFCLKIN	10	I	
								UC2_PICO	11	IO	
TIMA1_C0	12	IO									

ADVANCE INFORMATION

表 6-2. ピン属性 (PM、PT、RGZ、RHB、DGS28、RGE、DGS20 パッケージ) (続き)

PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン	ピン名 /IOMUX REG/ OMUX ADDR	信号 名	IOMUX PF	信号 のタイプ	バッファのタ イプ
51	15	15					PB3 PINCM16 0x4042803c	PB3	1	IO	SDIO (標 準)
								UC9_RX	2	IO	
								UC0_RTS	3	IO	
								UC5_SDA_TX	4	IOD	
								TIMA0_C3N	5	O	
								TIMG1_C1	7	IO	
								UC0_SCL_RX	8	IOD	
								TIMA0_C0	10	IO	
								UC2_SCLK	11	IOD	
								TIMA1_C1	12	IO	
52							PB4 PINCM17 0x40428040	PB4	1	IO	SDIO (標 準)
								UC5_SDA_TX	2	IOD	
								TIMA0_C1	4	IO	
								TIMA0_C2	5	IO	
								TIMG0_C0	6	IO	
								TIMA1_C0	8	IO	
TIMA1_C0N	11	O									
53							PB5 PINCM18 0x40428044	PB5	1	IO	SDIO (標 準)
								UC5_SCL_RX	2	IOD	
								TIMA0_C1N	4	O	
								TIMA0_C2N	5	O	
								TIMG0_C1	6	IO	
								TIMA1_C1	8	IO	
TIMA1_C1N	11	O									
58	20	20					PB6 PINCM23 0x40428058	PB6	1	IO	SDIO (標 準)
								UC5_SDA_TX	2	IOD	
								UC4_CS0_CTS	3	IO	
								TIMG8_C0	5	IO	
								UC0_CTS	6	IO	
								TIMA_FAL2	8	I	
								UC2_CS1	9	IO	
TIMA1_C0N	12	O									
59	21	21					PB7 PINCM24 0x4042805c	PB7	1	IO	SDIO (標 準)
								UC5_SCL_RX	2	IOD	
								UC4_POCL_RTS	3	IO	
								TIMG8_C1	5	IO	
								UC0_RTS	6	IO	
								UC2_CS2	9	IO	
TIMA1_C1N	12	O									
60	22	22					PB8 PINCM25 0x40428060	PB8	1	IO	SDIO (標 準)
								UC4_PICO_TX	3	IO	
								TIMA0_C0	5	IO	
								COMP0_OUT	6	O	
61	23	23					PB9 PINCM26 0x40428064	PB9	1	IO	SDIO (標 準)
								UC4_SCLK_RX	3	IOD	
								TIMA0_C0N	5	O	
								TIMA0_C1	6	IO	

ADVANCE INFORMATION

表 6-2. ピン属性 (PM、PT、RGZ、RHB、DGS28、RGE、DGS20 パッケージ) (続き)

PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号 名	IOMUX PF	信号 のタイプ	バッファのタ イプ
62				16			PB10 PINCM27 0x40428068	PB10	1	IO	SDIO (標準)
								TIMG0_C0	2	IO	
								TIMG8_C0	3	IO	
								COMPO_OUT	4	O	
								COMP1_OUT	11	O	
63				17		PB11 PINCM28 0x4042806c	PB11	1	IO	SDIO (標準)	
							TIMG0_C1	2	IO		
							TIMG8_C1	3	IO		
							CLK_OUT	4	O		
64				18		PB12 PINCM29 0x40428070	PB12	1	IO	SDIO (標準)	
							UC9_TX	2	IO		
							TIMA0_C2	3	IO		
							TIMA_FAL1	4	I		
							TIMA0_C1	5	IO		
1				19		PB13 PINCM30 0x40428074	PB13	1	IO	SDIO (標準)	
							UC9_RX	2	IO		
							TIMA0_C3	3	IO		
							TIMA0_C1N	5	O		
							UC4_CS0_CTS	7	IO		
2	24	24				PB14 PINCM31 0x40428078	PB14	1	IO	SDIO (標準)	
							UC4_POCL_RTS	3	IO		
							TIMA0_C0	5	IO		
							TIMG8_IDX	6	I		
							UC2_CS3	7	IO		
3	25	25				PB15 PINCM32 0x4042807c	PB15	1	IO	SDIO (標準)	
							UC0_SDA_TX	2	IOD		
							UC4_PICO_TX	3	IO		
							TIMG8_C0	5	IO		
4	26	26				PB16 PINCM33 0x40428080	PB16	1	IO	SDIO (標準)	
							UC0_SCL_RX	2	IOD		
							UC4_SCLK_RX	3	IOD		
							TIMG8_C1	5	IO		
14	36	36				PB17 PINCM43 0x404280a8	PB17	1	IO	SDIO (標準)	
							UC0_SDA_TX	2	IOD		
							UC2_PICO	3	IO		
							UC0_SCL_RX	4	IOD		
							TIMA0_C2	5	IO		
							TIMG0_C0	6	IO		
							TIMA1_C0	11	IO		
							ADC1_4	(非 IOMUX 1) 0	A		
COMP1_IN2-	(非 IOMUX 2) 0	A									

ADVANCE INFORMATION

表 6-2. ピン属性 (PM、PT、RGZ、RHB、DGS28、RGE、DGS20 パッケージ) (続き)

PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン	ピン名 /IOMUX REG/ OMUX ADDR	信号 名	IOMUX PF	信号 のタイプ	バッファのタ イプ
15	37	37					PB18 PINCM44 0x404280ac	PB18	1	IO	SDIO (標 準)
								UC0_SCL_RX	2	IOD	
								UC2_SCLK	3	IOD	
								UC0_SDA_TX	4	IOD	
								TIMA0_C2N	5	O	
								TIMG0_C1	6	IO	
								TIMA1_C1	11	IO	
								ADC1_5	(非 IOMUX 1) 0	A	
COMP1_IN2+	(非 IOMUX 2) 0	A									
16	38	38					PB19 PINCM45 0x404280bc	PB19	1	IO	SDIO (標 準)
								COMP0_OUT	2	O	
								UC2_POCI	3	IO	
								TIMG8_C1	4	IO	
								UC4_CS0_CTS	5	IO	
								TIMG8_IDX	7	I	
								UC0_CTS	8	IO	
								ADC1_6	(非 IOMUX 1) 0	A	
19	41	41					PB20 PINCM48 0x404280bc	PB20	1	IO	SDIO (標 準)
								UC2_CS2	2	IO	
								UC4_CS0_CTS	3	IO	
								TIMA0_C2	5	IO	
								TIMA_FAL1	6	I	
								TIMA0_C1	7	IO	
								UC0_RTS	8	IO	
								UC0_SDA_TX	9	IOD	
								TIMA1_C1N	10	O	
								ADC0_6	(非 IOMUX 1) 0	A	
20							PB21 PINCM49 0x404280c0	PB21	1	IO	SDIO (標 準)
								UC4_POCI_RTS	3	IO	
								UC0_SCL_RX	4	IOD	
								TIMG8_C0	5	IO	
								UC5_SDA_TX	6	IOD	
								ADC1_8	(非 IOMUX 1) 0	A	
21							PB22 PINCM50 0x404280c4	PB22	1	IO	SDIO (標 準)
								UC4_PICO_TX	3	IO	
								UC0_SDA_TX	4	IOD	
								TIMG8_C1	5	IO	
								UC5_SCL_RX	6	IOD	
								ADC1_10	(非 IOMUX 1) 0	A	
22							PB23 PINCM51 0x404280c8	PB23	1	IO	SDIO (標 準)
								UC4_SCLK_RX	3	IOD	
								TIMA_FAL0	4	I	
								COMP0_OUT	5	O	
								ADC1_11	(非 IOMUX 1) 0	A	

表 6-2. ピン属性 (PM、PT、RGZ、RHB、DGS28、RGE、DGS20 パッケージ) (続き)

PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号 名	IOMUX PF	信号 のタイプ	バッファのタ イプ
23	42	42		25			PB24 PINCM52 0x404280cc	PB24	1	IO	SDIO (標 準)
								UC2_CS3	2	IO	
								UC2_CS1	3	IO	
								TIMA0_C3	5	IO	
								TIMA0_C1N	6	O	
								UC0_RTS	8	IO	
								TIMA1_C0N	10	O	
								ADC0_5	(非 IOMUX 1) 0	A	
COMP1_IN1+	(非 IOMUX 2) 0	A									
27							PB25 PINCM56 0x404280dc	PB25	1	IO	SDIO (標 準)
								UC4_CS0_CTS	2	IO	
								UC2_CS0	3	IO	
								TIMA_FAL0	4	I	
								TIMA_FAL1	5	I	
								TIMA_FAL2	6	I	
								COMP0_OUT	7	O	
								FCC_IN	8	I	
ADC0_4	(非 IOMUX 1) 0	A									
28							PB26 PINCM57 0x404280e0	PB26	1	IO	SDIO (標 準)
								UC4_POCI_RTS	2	IO	
								UC2_CS1	3	IO	
								TIMA0_C0	4	IO	
								TIMA0_C3	5	IO	
								COMP0_OUT	7	O	
								FCC_IN	8	I	
								TIMA1_C0	9	IO	
ADC1_13	(非 IOMUX 1) 0	A									
COMP1_IN0+	(非 IOMUX 2) 0	A									
29							PB27 PINCM58 0x404280e4	PB27	1	IO	SDIO (標 準)
								COMP0_OUT	2	O	
								TIMA0_C0N	4	O	
								TIMA0_C3N	5	O	
								TIMA1_C1	9	IO	
								ADC1_14	(非 IOMUX 1) 0	A	
COMP1_IN0-	(非 IOMUX 2) 0	A									
32	48	48	32	2	23	3	VCORE	VCORE	(非 IOMUX 1) 0	PWR	PWR
40	6	6	4	6	3	5	VDD	VDD	(非 IOMUX 1) 0	PWR	PWR
41	7	7	5	7	4	6	VSS	VSS	(非 IOMUX 1) 0	PWR	PWR

6.3 信号の説明

多くの MSPM0 信号は、複数のデバイスピンで利用可能になります。次に列ヘッダーについて説明します。

1. **信号名:** 指定されたピンのいずれかに接続できる信号の名前。
2. **ピンの種類:** 信号の方向と信号のタイプ:
 - I = 入力
 - O = 出力

- IO = 入力、出力、または同時に入力と出力
- ID = 入力、オープンドレイン動作付き
- OD = 出力、オープンドレイン動作付き
- IOD = 入力、出力、または同時に入力と出力、オープンドレイン動作付き
- A = アナログ
- PWR = 電源機能

3. 説明: 信号の説明。
4. ピン: 関連するピン番号。

ピン多重化方式の詳細については、『MSPM0 L シリーズ 32MHz マイコン テクニカル リファレンス マニュアル』と『MSPM0 G シリーズ 80MHz マイコン テクニカル リファレンス マニュアル』の「IOMUX」の章を参照してください。

注

IOMUX は、IOMUX による 1 つのデジタル機能をピンに同時に接続することのみをサポートしています。ただし、IOMUX 非管理信号 (アナログ入力、WAKE 入力など) は、このピンにおいて IOMUX 管理デジタル機能が有効化されると同時に、このピンで有効化できます。この場合、各ピンでイネーブルされる機能間に競合がないことを設計者が確認する必要があります。

表 6-3. A/D コンバータ (ADC) 信号の説明

信号名	ピンの種類	説明	PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
ADC0_VREF+	A	ADC0 電圧リファレンス (VREF) 電源	24	43	43	27	26	19	19
ADC0_VREF-	A	ADC0 電圧リファレンス (VREF) グランド電源	17	39	39	25	23	17	
ADC1_VREF-	A	ADC1 電圧リファレンス (VREF) グランド電源	17	39	39	25	23	17	
ADC0_0	A	ADC0 アナログ入力チャンネル 0	31	47	47	31	1		2
ADC0_1	A	ADC0 アナログ入力チャンネル 1	30	46	46	30	28	22	1
ADC0_2	A	ADC0 アナログ入力チャンネル 2	26	45	45	29	27	21	
ADC0_3	A	ADC0 アナログ入力チャンネル 3	25	44	44	28		20	20
ADC0_4	A	ADC0 アナログ入力チャンネル 4	27						
ADC0_5	A	ADC0 アナログ入力チャンネル 5	23	42	42		25		
ADC0_6	A	ADC0 アナログ入力チャンネル 6	19	41	41				
ADC0_7	A	ADC0 アナログ入力チャンネル 7	18	40	40	26	24	18	18
ADC0_8	A	ADC0 アナログ入力チャンネル 8	5	27	27	16			13
ADC0_9	A	ADC0 アナログ入力チャンネル 9	6	28	28	17			
ADC0_12	A	ADC0 アナログ入力チャンネル 12	7	29	29	18			
ADC0_13	A	ADC0 アナログ入力チャンネル 13	12	34	34	23	21	15	16
ADC0_14	A	ADC0 アナログ入力チャンネル 14	13	35	35	24	22	16	17
ADC1_0	A	ADC1 アナログ入力チャンネル 0	8	30	30	19			
ADC1_1	A	ADC1 アナログ入力チャンネル 1	9	31	31	20		12	
ADC1_2	A	ADC1 アナログ入力チャンネル 2	10	32	32	21		13	14
ADC1_3	A	ADC1 アナログ入力チャンネル 3	11	33	33	22	20	14	15
ADC1_4	A	ADC1 アナログ入力チャンネル 4	14	36	36				
ADC1_5	A	ADC1 アナログ入力チャンネル 5	15	37	37				
ADC1_6	A	ADC1 アナログ入力チャンネル 6	16	38	38				
ADC1_7	A	ADC1 アナログ入力チャンネル 7	17	39	39	25	23	17	

表 6-3. A/D コンバータ (ADC) 信号の説明 (続き)

信号名	ピンの種類	説明	PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
ADC1_8	A	ADC1 アナログ入力チャンネル 8	20						
ADC1_10	A	ADC1 アナログ入力チャンネル 10	21						
ADC1_11	A	ADC1 アナログ入力チャンネル 11	22						
ADC1_12	A	ADC1 アナログ入力チャンネル 12	24	43	43	27	26	19	19
ADC1_13	A	ADC1 アナログ入力チャンネル 13	28						
ADC1_14	A	ADC1 アナログ入力チャンネル 14	29						

表 6-4. ブートストラップ ローダ (BSL) 信号の説明

信号名	ピンの種類	説明	PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
BSL_I2C_SCL	IOD	BSL I2C データ信号 (SCL)	34	2	2	2	4	1	
BSL_I2C_SDA	IOD	BSL I2C データ信号 (SDA)	33	1	1	1	3	24	
BSL_INVOKE	I	BSL 起動信号 (BSL がイネーブルの場合、BSL エントリの間は BOOTRST 中は High、BSL エントリを防止するために BOOTRST 中は Low になっている必要があります)	11	33	33	22	20	14	15
BSL_UART_RX	IO	BSL UART 受信信号 (RX)	56	18	18	14	14	11	11
BSL_UART_TX	IO	BSL UART の送信信号 (TX)	57	19	19	15	15		12

表 6-5. クロック モジュール (CKM) 信号の説明

信号名	ピンの種類	説明	PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
CLK_OUT	O	PMCU の CLK_OUT デジタル クロック 出力	18、 31、 39、 49、 55、 56、 63、 7	13、 17、 18、 29、 40、 47、 5	13、 17、 18、 29、 40、 47、 5	11、 13、 14、 18、 26、 31	1、 12、 13、 14、 17、 24	10、 11、 18	10、 11、 18、 2
FCC_IN	I	周波数クロック カウンタ (FCC) 入力信号	27、 28、 33、 45、 49、 5、 9	1、 11、 13、 27、 31	1、 11、 13、 27、 31	1、 11、 16、 20、 9	12、 3	12、 24、 9	13、 8
HFCLKIN	I	高周波数デジタル クロック入力信号	46、 50、 54	12、 14、 16	12、 14、 16	10、 12	11	8	9
HFXIN	A	高周波数水晶発振器 (HFXT) 信号	45	11	11	9		9	8
HFXOUT	A	高周波数水晶発振器 (HFXT) 信号	46	12	12	10	11	8	9
LFCLKIN	I	低周波数デジタル クロック入力信号	44	10	10	8	10	7	
LFXIN	A	低周波数水晶発振器 (LFXT) 信号	43	9	9	7	9	6	
LFXOUT	A	低周波数水晶発振器 (LFXT) 信号	44	10	10	8	10	7	
ROSC	A	SYSOSC 周波数補正ループ (FCL) 外部抵抗信号	42	8	8	6	8	5	7

表 6-6. コンパレータ (COMP) 信号の説明

信号名	ピンの種類	説明	PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
COMP0_DAC_OUT	A	COMP0 DAC 出力	57	19	19	15	15		12
COMP0_OUT	O	COMP0 出力	16、22、26、27、28、29、31、43、49、5、57、60、62、9	13、19、22、27、31、38、45、47、9	13、19、22、27、31、38、45、47、9	11、15、16、20、29、31、7	1、12、15、16、27、9	12、21、6	12、13、2
COMP1_DAC_OUT	A	COMP1 DAC 出力	56	18	18	14	14	11	11
COMP1_OUT	O	COMP1 出力	43、60、62	22、9	22、9	7	16、9	6	
COMP0_IN0+	A	COMP0 非反転入力 0	30	46	46	30	28	22	1
COMP0_IN0-	A	COMP0 反転入力 0	31	47	47	31	1		2
COMP0_IN1+	A	COMP0 非反転入力 1	11	33	33	22	20	14	15
COMP0_IN1-	A	COMP0 反転入力 1	10	32	32	21		13	14
COMP0_IN2+	A	COMP0 非反転入力 2	7	29	29	18			
COMP0_IN2-	A	COMP0 反転入力 2	6	28	28	17			
COMP0_IN3+	A	COMP0 非反転入力 3	8	30	30	19			
COMP1_IN0+	A	COMP1 非反転入力 0	28						
COMP1_IN0-	A	COMP1 反転入力 0	29						
COMP1_IN1+	A	COMP1 非反転入力 1	23	42	42		25		
COMP1_IN1-	A	COMP1 反転入力 1	24	43	43	27	26	19	19
COMP1_IN2+	A	COMP1 非反転入力 2	15	37	37				
COMP1_IN2-	A	COMP1 反転入力 2	14	36	36				
COMP1_IN3+	A	COMP1 非反転入力 3	8	30	30	19			

表 6-7. 汎用入出力モジュール信号の説明

信号名	ピンの種類	説明	PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
PA0	IO	GPIO ポート A 入出力 0	33	1	1	1	3	24	
PA1	IO	GPIO ポート A 入出力 1	34	2	2	2	4	1	
PA2	IO	GPIO ポート A 入出力 2	42	8	8	6	8	5	7
PA3	IO	GPIO ポート A 入出力 3	43	9	9	7	9	6	
PA4	IO	GPIO ポート A 入出力 4	44	10	10	8	10	7	
PA5	IO	GPIO ポート A 入出力 5	45	11	11	9		9	8
PA6	IO	GPIO ポート A 入出力 6	46	12	12	10	11	8	9
PA7	IO	GPIO ポート A 入出力 7	49	13	13	11	12		
PA8	IO	GPIO ポート A 入出力 8	54	16	16	12			
PA9	IO	GPIO ポート A 入出力 9	55	17	17	13	13	10	10
PA10	IO	GPIO ポート A 入出力 10	56	18	18	14	14	11	11

表 6-7. 汎用入出力モジュール信号の説明 (続き)

信号名	ピンの種類	説明	PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
PA11	IO	GPIO ポート A 入出力 11	57	19	19	15	15		12
PA12	IO	GPIO ポート A 入出力 12	5	27	27	16			13
PA13	IO	GPIO ポート A 入出力 13	6	28	28	17			
PA14	IO	GPIO ポート A 入出力 14	7	29	29	18			
PA15	IO	GPIO ポート A 入出力 15	8	30	30	19			
PA16	IO	GPIO ポート A 入出力 16	9	31	31	20		12	
PA17	IO	GPIO ポート A 入出力 17	10	32	32	21		13	14
PA18	IO	GPIO ポート A 入出力 18	11	33	33	22	20	14	15
PA19	IO	GPIO ポート A 入出力 19	12	34	34	23	21	15	16
PA20	IO	GPIO ポート A 入出力 20	13	35	35	24	22	16	17
PA21	IO	GPIO ポート A 入出力 21	17	39	39	25	23	17	
PA22	IO	GPIO ポート A 入出力 22	18	40	40	26	24	18	18
PA23	IO	GPIO ポート A 入出力 23	24	43	43	27	26	19	19
PA24	IO	GPIO ポート A 入出力 24	25	44	44	28		20	20
PA25	IO	GPIO ポート A 入出力 25	26	45	45	29	27	21	
PA26	IO	GPIO ポート A 入出力 26	30	46	46	30	28	22	1
PA27	IO	GPIO ポート A 入出力 27	31	47	47	31	1		2
PA28	IO	GPIO ポート A 入出力 28	35	3	3				
PA29	IO	GPIO ポート A 入出力 29	36						
PA30	IO	GPIO ポート A 入出力 30	37						
PA31	IO	GPIO ポート A 入出力 31	39	5	5				
PB0	IO	GPIO ポート B 入出力 0	47						
PB1	IO	GPIO ポート B 入出力 1	48						
PB2	IO	GPIO ポート B 入出力 2	50	14	14				
PB3	IO	GPIO ポート B 入出力 3	51	15	15				
PB4	IO	GPIO ポート B 入出力 4	52						
PB5	IO	GPIO ポート B 入出力 5	53						
PB6	IO	GPIO ポート B 入出力 6	58	20	20				
PB7	IO	GPIO ポート B 入出力 7	59	21	21				
PB8	IO	GPIO ポート B 入出力 8	60	22	22				
PB9	IO	GPIO ポート B 入出力 9	61	23	23				
PB10	IO	GPIO ポート B 入出力 10	62				16		
PB11	IO	GPIO ポート B 入出力 11	63				17		
PB12	IO	GPIO ポート B 入出力 12	64				18		
PB13	IO	GPIO ポート B 入出力 13	1				19		
PB14	IO	GPIO ポート B 入出力 14	2	24	24				
PB15	IO	GPIO ポート B 入出力 15	3	25	25				
PB16	IO	GPIO ポート B 入出力 16	4	26	26				
PB17	IO	GPIO ポート B 入出力 17	14	36	36				
PB18	IO	GPIO ポート B 入出力 18	15	37	37				
PB19	IO	GPIO ポート B 入出力 19	16	38	38				
PB20	IO	GPIO ポート B 入出力 20	19	41	41				

ADVANCE INFORMATION

表 6-7. 汎用入出力モジュール信号の説明 (続き)

信号名	ピンの種類	説明	PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
PB21	IO	GPIO ポート B 入出力 21	20						
PB22	IO	GPIO ポート B 入出力 22	21						
PB23	IO	GPIO ポート B 入出力 23	22						
PB24	IO	GPIO ポート B 入出力 24	23	42	42		25		
PB25	IO	GPIO ポート B 入出力 25	27						
PB26	IO	GPIO ポート B 入出力 26	28						
PB27	IO	GPIO ポート B 入出力 27	29						

表 6-8. コントローラ エリア ネットワーク (CAN-FD) 信号の説明

信号名	ピンの種類	説明	PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
CANFD0_CANRX	I	CANFD0 受信信号	26、31、6	28、45、47	28、45、47	17、29、31	1、27	21	2
CANFD0_CANTX	O	CANFD0 送信信号	30、5	27、46	27、46	16、30	28	22	1、13

表 6-9. リアルタイム クロック (RTC) 信号の説明

信号名	ピンの種類	説明	PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
RTC_OUT	O	リアルタイム クロックの出力信号	31、55、6	17、28、47	17、28、47	13、17、31	1、13	10	10、2

表 6-10. シリアル ワイヤ デバッグ (SWD) 信号の説明

信号名	ピンの種類	説明	PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
SWCLK	I	シリアル ワイヤ デバッグ インターフェイス クロック入力信号	13	35	35	24	22	16	17
SWDIO	IO	シリアル ワイヤ デバッグ インターフェイス データ入力 / 出力信号	12	34	34	23	21	15	16

表 6-11. システム コントローラ (SYSCTL) 信号の説明

信号名	ピンの種類	説明	PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
NRST	リセット	アクティブ LOW のリセット信号 (ロジックを high にする必要があります。そうしないと、デバイスを起動できません)	38	4	4	3	5	2	4
VCORE	PWR	VCORE コンデンサの接続	32	48	48	32	2	23	3
VDD	PWR	VDD 電源	40	6	6	4	6	3	5
VSS	PWR	VSS (グラウンド)	41	7	7	5	7	4	6

表 6-12. タイマ (TIMx) 信号の説明

信号名	ピンの種類	説明	PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
TIMA0_C0	IO	TIMA0 キャプチャ / 比較 0 信号	17、2、28、33、42、51、54、60	1、15、16、22、24、39、8	1、15、16、22、24、39、8	1、12、25、6	23、3、8	17、24、5	7
TIMA0_C1	IO	TIMA0 キャプチャ / 比較 1 信号	18、19、34、35、43、49、52、55、61、64	13、17、2、23、3、40、41、9	13、17、2、23、3、40、41、9	11、13、2、26、7	12、13、18、24、4、9	1、10、18、6	10、18
TIMA0_C2	IO	TIMA0 キャプチャ / 比較 2 信号	12、14、19、43、47、49、52、56、64、8	13、18、30、34、36、41、9	13、18、30、34、36、41、9	11、14、19、23、7	12、14、18、21、9	11、15、6	11、16
TIMA0_C3	IO	TIMA0 キャプチャ / 比較 3 信号	1、10、23、24、26、28、35、44、5、50	10、14、27、3、32、42、43、45	10、14、27、3、32、42、43、45	16、21、27、29、8	10、19、25、26、27	13、19、21、7	13、14、19
TIMA0_C0N	O	TIMA0 キャプチャ / 比較 0 相補出力	18、29、55、61	17、23、40	17、23、40	13、26	13、24	10、18	10、18
TIMA0_C1N	O	TIMA0 キャプチャ / 比較 1 相補出力	1、23、26、44、53	10、42、45	10、42、45	29、8	10、19、25、27	21、7	
TIMA0_C2N	O	TIMA0 キャプチャ / 比較 2 相補出力	13、15、42、46、48、53、57、9	12、19、31、35、37、8	12、19、31、35、37、8	10、15、20、24、6	11、15、22、8	12、16、5、8	12、17、7、9
TIMA0_C3N	O	TIMA0 キャプチャ / 比較 3 相補出力	11、25、29、30、39、42、51、6	15、28、33、44、46、5、8	15、28、33、44、46、5、8	17、22、28、30、6	20、28、8	14、20、22、5	1、15、20、7

表 6-12. タイマ (TIMx) 信号の説明 (続き)

信号名	ピンの種類	説明	PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
TIMA1_C0	IO	TIMA1 キャプチャ / 比較 0 信号	10、14、28、35、47、50、52、56、8	14、18、30、32、36	14、18、30、32、36	14、19、21	14	11、13	11、14
TIMA1_C1	IO	TIMA1 キャプチャ / 比較 1 信号	11、15、25、29、39、48、51、53、57、9	15、19、31、33、37、44、5	15、19、31、33、37、44、5	15、20、22、28	15、20	12、14、20	12、15、20
TIMA1_CON	O	TIMA1 キャプチャ / 比較 0 相補出力	23、52、54、58、8	16、20、30、42	16、20、30、42	12、19	25		
TIMA1_C1N	O	TIMA1 キャプチャ / 比較 1 相補出力	19、53、55、59、9	17、21、31、41	17、21、31、41	13、20	13	10、12	10
TIMA_FAL0	I	TIMA フォルト入力 0	22、27、30、35、42、46、54、57	12、16、19、3、46、8	12、16、19、3、46、8	10、12、15、30、6	11、15、28、8	22、5、8	1、12、7、9
TIMA_FAL1	I	TIMA フォルト入力 1	19、27、33、42、45、56、64	1、11、18、41、8	1、11、18、41、8	1、14、6、9	14、18、3、8	11、24、5、9	11、7、8
TIMA_FAL2	I	TIMA フォルト入力 2	27、31、34、54、58	16、20、20、47	16、20、20、47	12、2、31	1、4	1	2
TIMG8_IDX	I	TIMG8 直交エンコーダ インデックス パルス信号	16、2、34、49、8	13、2、24、30、38	13、2、24、30、38	11、19、2	12、4	1	
TIMG0_C0	IO	TIMG0 キャプチャ / 比較 0 信号	12、14、24、33、45、47、52、56、62	1、11、18、27、34、36、43	1、11、18、27、34、36、43	1、14、16、23、27、9	14、16、21、26、3	11、15、19、24、9	11、13、16、19、8

表 6-12. タイマ (TIMx) 信号の説明 (続き)

信号名	ピンの種類	説明	PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
TIMG0_C1	IO	TIMG0 キャプチャ / 比較 1 信号	13、15、25、34、46、48、53、57、6、63	12、19、2、28、35、37、44	12、19、2、28、35、37、44	10、15、17、2、24、28	11、15、17、22、4	1、16、20、8	12、17、20、9
TIMG1_C0	IO	TIMG1 キャプチャ / 比較 0 信号	24、36、50、64	14、43	14、43	27	18、26	19	19
TIMG1_C1	IO	TIMG1 キャプチャ / 比較 1 信号	1、26、37、51	15、45	15、45	29	19、27	21	
TIMG8_C0	IO	TIMG8 キャプチャ / 比較 0 信号	10、17、20、24、3、30、34、36、43、45、49、58、62	11、13、2、20、25、32、39、43、46、9	11、13、2、20、25、32、39、43、46、9	11、2、21、25、27、30、7、9	12、16、23、26、28、4、9	1、13、17、19、22、6、9	1、14、19、8
TIMG8_C1	IO	TIMG8 キャプチャ / 比較 1 信号	11、16、18、21、25、31、33、37、4、42、44、46、59、63	1、10、12、21、26、33、38、40、44、47、8	1、10、12、21、26、33、38、40、44、47、8	1、10、22、26、28、31、6、8	1、10、11、17、20、24、3、8	14、18、20、24、5、7、8	15、18、2、20、7、9

表 6-13. Unified Communication Module (UniComm) 信号の説明

信号名	ピンの種類	説明	PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
UC0_CTS	IO	ユニファイド コミュニケーション モジュール UC0:UART CTS 信号	16、17、26、37、43、5、50、58、9	14、20、27、31、38、39、45、9	14、20、27、31、38、39、45、9	16、20、25、29、7	23、27、9	12、17、21、6	13
UC0_RTS	IO	ユニファイド コミュニケーション モジュール UC0:UART RTS 信号	19、23、30、36、44、51、59、8	10、15、21、30、41、42、46	10、15、21、30、41、42、46	19、30、8	10、25、28	22、7	1

ADVANCE INFORMATION

表 6-13. Unified Communication Module (UniComm) 信号の説明 (続き)

信号名	ピンの種類	説明	PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
UC0_SCL_RX	IOD	ユニファイド コミュニケーション モジュール UC0:I2C SCL または UART RX 信号	14、 15、 18、 20、 25、 34、 39、4、 47、 51、 55、 57、7	15、 17、 19、2、 26、 29、 36、 37、 40、 44、5	15、 17、 19、2、 26、 29、 36、 37、 40、 44、5	13、 15、 18、2、 26、28	13、 15、 24、4	1、10、 18、20	10、 12、 18、20
UC0_SDA_TX	IOD	ユニファイド コミュニケーション モジュール UC0:I2C SDA または UART TX 信号	14、 15、 17、 19、 21、 24、3、 33、 35、 48、 50、 54、 56、6	1、14、 16、 18、 25、 28、3、 36、 37、 39、 41、43	1、14、 16、 18、 25、 28、3、 36、 37、 39、 41、43	1、12、 14、 17、 25、27	14、 23、 26、3	11、 17、 19、24	11、19
UC2_PICO	IO	ユニファイド コミュニケーション モジュール UC2:SPI PICO 信号	14、 45、 50、 55、7	11、 14、 17、 29、36	11、 14、 17、 29、36	13、 18、9	13	10、9	10、8
UC2_POCI	IO	ユニファイド コミュニケーション モジュール UC2:SPI POCI 信号	16、 44、 49、 56、6	10、 13、 18、 28、38	10、 13、 18、 28、38	11、 14、 17、8	10、 12、14	11、7	11
UC2_SCLK	IOD	ユニファイド コミュニケーション モジュール UC2:SPI SCLK 信号	15、 46、5、 51、57	12、 15、 19、 27、37	12、 15、 19、 27、37	10、 15、16	11、15	8	12、 13、9
UC4_PICO_TX	IO	ユニファイド コミュニケーション モジュール UC4:SPI PICO または UART TX 信号	11、 21、3、 33、 35、 47、 56、60	1、18、 22、 25、3、 33	1、18、 22、 25、3、 33	1、14、 22	14、 20、3	11、 14、24	11、15
UC4_POCI_RTS	IO	ユニファイド コミュニケーション モジュール UC4:SPI POCI または UART RTS 信号	12、2、 20、 28、 37、 46、 54、 59、8、 9	12、 16、 21、 24、 30、 31、34	12、 16、 21、 24、 30、 31、34	10、 12、 19、 20、23	11、21	12、 15、8	16、9
UC4_SCLK_RX	IOD	ユニファイド コミュニケーション モジュール UC4:SPI SCLK または UART RX 信号	10、 13、 22、 34、 39、4、 48、57、 61	19、2、 23、 26、 32、 35、5	19、2、 23、 26、 32、 35、5	15、2、 21、24	15、 22、4	1、13、 16	12、 14、17

表 6-13. Unified Communication Module (UniComm) 信号の説明 (続き)

信号名	ピンの種類	説明	PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
UC5_SCL_RX	IOD	ユニファイド コミュニケーション モジュール UC5:I2C SCL または UART RX 信号	10、 11、 13、 21、 36、 44、 46、 50、 53、 55、 57、 59、 8	10、 12、 14、 17、 19、 21、 30、 32、 33、 35	10、 12、 14、 17、 19、 21、 30、 32、 33、 35	10、 13、 15、 19、 21、 22、 24、 8	10、 11、 13、 15、 20、 22	10、 13、 14、 16、 7、 8	10、 12、 14、 15、 17、 9
UC5_SDA_TX	IOD	ユニファイド コミュニケーション モジュール UC5:I2C SDA または UART TX 信号	10、 11、 12、 20、 37、 43、 45、 51、 52、 54、 56、 58、 9	11、 15、 16、 18、 20、 31、 32、 33、 34、 9	11、 15、 16、 18、 20、 31、 32、 33、 34、 9	12、 14、 20、 21、 22、 23、 7、 9	14、 20、 21、 9	11、 12、 13、 14、 15、 6、 9	11、 14、 15、 16、 8
UC9_RX	IO	ユニファイド コミュニケーション モジュール UC9:UART RX 信号	1、 26、 30、 31、 51、 6	15、 28、 45、 46、 47	15、 28、 45、 46、 47	17、 29、 30、 31	1、 19、 27、 28	21、 22	1、 2
UC9_TX	IO	ユニファイド コミュニケーション モジュール UC9:UART TX 信号	26、 30、 50、 64、 7	14、 29、 45、 46	14、 29、 45、 46	18、 29、 30	18、 27、 28	21、 22	1
UC2_CS0	IO	ユニファイド コミュニケーション モジュール UC2:SPI CS0 信号	11、 27、 42、 44、 54	10、 16、 33、 8	10、 16、 33、 8	12、 22、 6、 8	10、 20、 8	14、 5、 7	15、 7
UC2_CS1	IO	ユニファイド コミュニケーション モジュール UC2:SPI CS1 信号	10、 23、 28、 43、 5、 58	20、 27、 32、 42、 9	20、 27、 32、 42、 9	16、 21、 7	25、 9	13、 6	13、 14
UC2_CS2	IO	ユニファイド コミュニケーション モジュール UC2:SPI CS2 信号	18、 19、 25、 37、 48、 49、 59、 7	13、 21、 29、 40、 41、 44	13、 21、 29、 40、 41、 44	11、 18、 26、 28	12、 24	18、 20	18、 20

ADVANCE INFORMATION

表 6-13. Unified Communication Module (UniComm) 信号の説明 (続き)

信号名	ピンの種類	説明	PM ピン	PT ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
UC2_CS3	IO	ユニファイド コミュニケーション モジュール UC2:SPI CS3 信号	17、2、 23、 24、 34、 36、 39、 43、 47、 54、6	16、2、 24、 28、 39、 42、 43、5、9	16、2、 24、 28、 39、 42、 43、5、9	12、 17、2、 25、 27、7	23、 25、 26、4、 9	1、17、 19、6	19
UC4_CS0_CTS	IO	ユニファイド コミュニケーション モジュール UC4:SPI CS0 または UART CTS 信号	1、16、 19、 27、 30、 36、 42、 45、 55、 58、6、 7	11、 17、 20、 28、 29、 38、 41、46、 8	11、 17、 20、 28、 29、 38、 41、46、 8	13、 17、 18、 30、6、 9	13、 19、 28、8	10、 22、5、 9	1、10、 7、8

6.4 未使用ピンの接続

表 6-14 に、未使用ピンの正しい終端を示します。

表 6-14. 未使用ピンの接続

ピン ⁽¹⁾	電位	備考
PAx, PBx	オープン	対応するピン機能を GPIO (PINCMx.PF = 0x1) に設定し、未使用ピンを内部プルアップ / プルダウン抵抗で Low または入力を出力するように構成します。
NRST	VCC	NRST はアクティブ Low のリセット信号です。VCC に High にプルアップする必要があります。そうしなければ、デバイスは起動しません。詳細については、 セクション 9.1 を参照してください

(1) 汎用 I/O と共有されている機能を持つすべての未使用ピンについては、「PAx および PBx」未使用ピンの接続ガイドラインに従う必要があります。

7 仕様

7.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

			最小値	最大値	単位
VDD	電源電圧	VDD ピンで	-0.3	4.1	V
V _I	入力電圧	すべての 5V 許容オープンドレイン ピンに印加	-0.3	5.5	V
V _I	入力電圧	任意の通常耐圧ピンに印加	-0.3	V _{DD} + 0.3 (最大 4.1)	V
I _{VDD}	VDD ピンに流れ込む電流 (ソース)	-40°C ≤ T _j ≤ 130°C、VDD ≥ 2.7V		80	mA
	VDD ピンに流れ込む電流 (ソース)	-40°C ≤ T _j ≤ 85°C、VDD ≥ 2.7V		100	mA
I _{VSS}	VSS ピンから流れ出す電流 (シンク)	-40°C ≤ T _j ≤ 130°C、VDD ≥ 2.7V		80	mA
	VSS ピンから流れ出す電流 (シンク)	-40°C ≤ T _j ≤ 85°C、VDD ≥ 2.7V		100	mA
I _{IO}	SDIO ピンの電流	SDIO ピンによってシンクまたはソースされる電流、VDD ≥ 2.7V		6	mA
	HS_IO ピンの電流	HSIO ピンによってシンクまたはソースされる電流、VDD ≥ 2.7V		6	mA
	HDIO ピンの電流	HDIO ピンによってシンクまたはソースされる電流		20	mA
	ODIO ピンの電流	ODIO ピンによってシンクされる電流		20	mA
I _D	サポートされているダイオード電流	任意のデバイス ピンのダイオード電流 (オープンドレイン IO を除く)	-2	2	mA
T _A	周囲温度	周囲温度	-40	125	°C
T _J	接合部温度	接合部温度	-40	130	°C
T _{stg}	保存温度	保存温度	-40	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが、デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります

7.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC-Q100-002 準拠	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠、すべてのピン	±500	
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠、コーナー ピン	±750	

7.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
VDD	電源電圧		1.62		3.6	V
V _{CORE}	V _{CORE} ピンの電圧 ⁽²⁾			1.35		V
C _{VDD}	VDD と VSS の間に配置されたコンデンサ ⁽¹⁾			10		μF
C _{V_{CORE}}	V _{CORE} と VSS の間に配置されたコンデンサ ^{(1) (2)}			470		nF
T _A	周囲温度		-40		125	°C

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
T_J	最大接合部温度			130	°C
f_{MCLK} (PD1 bus clock)	MCLK, CPUCLK 周波数、2 フラッシュ ウェイト状態 ⁽³⁾			80	MHz
	MCLK, CPUCLK 周波数、1 フラッシュ ウェイト状態 ⁽³⁾			48	
	MCLK, CPUCLK 周波数、0 フラッシュ ウェイト状態 ⁽³⁾			24	
f_{ULPCLK} (PD0 bus clock)	ULPCLK 周波数			40	MHz

- (1) C_{VDD} と $C_{V_{CORE}}$ は、それぞれ V_{DD}/V_{SS} 間と V_{CORE}/V_{SS} 間に、本デバイスのピンにできる限り近づけて接続します。 C_{VDD} と $C_{V_{CORE}}$ に、容量値の誤差が $\pm 20\%$ までの精度の低 ESR コンデンサを使う必要があります。
- (2) V_{CORE} ピンは、 $C_{V_{CORE}}$ にのみ接続する必要があります。電圧を供給したり、 V_{CORE} ピンに外部負荷を加えたりしないでください。
- (3) ウェイト状態はシステムコントローラ (SYSCTL) によって自動的に管理されるため、MCLK が高速クロックソース (HFCLK または SYSPLL からソースされる HSCLK) から供給される場合以外は、アプリケーションソフトウェアで構成する必要はありません。

7.4 熱に関する情報

熱評価基準 ⁽¹⁾		パッケージ	値	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	LQFP-64 (PM)	62	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		25.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		45.0	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		1.6	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		44.6	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		該当なし	°C/W
$R_{\theta JA}$	接合部から周囲への熱抵抗	LQFP-48 (PT)	76.9	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		31.2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		48.4	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		2.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		48.0	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		該当なし	°C/W
$R_{\theta JA}$	接合部から周囲への熱抵抗	VQFN-48 (RGZ)	29.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		20.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		12.8	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		0.5	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		12.8	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		4.8	°C/W
$R_{\theta JA}$	接合部から周囲への熱抵抗	VQFN-32 (RHB)	34.0	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		25.8	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		14.2	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		0.6	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		14.2	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		4.8	°C/W
$R_{\theta JA}$	接合部から周囲への熱抵抗	VSSOP-28 (DGS28)	75.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		34.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		37.2	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		2.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		36.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		該当なし	°C/W

熱評価基準 ⁽¹⁾		パッケージ	値	単位
R _{θJA}	接合部から周囲への熱抵抗	VQFN-24 (RGE)	42.3	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗		33.9	°C/W
R _{θJB}	接合部から基板への熱抵抗		19.1	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ		0.7	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ		19.1	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗		5.0	°C/W
R _{θJA}	接合部から周囲への熱抵抗	VSSOP-20 (DGS20)	87.6	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗		29.9	°C/W
R _{θJB}	接合部から基板への熱抵抗		44.7	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ		0.9	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ		44.3	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗		該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

7.5 電源電流特性

7.5.1 RUN / SLEEP モード

VDD = 3.3V。すべての入力は、0V または VDD に接続されています。出力は、電流のソースまたはシンクを行いません。すべてのペリフェラルはディセーブルです。

パラメータ		MCLK	-40°C		25°C		85°C		105°C		125°C		単位
			標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	
RUN モード													
IDD _{RUN}	MCLK=SYSPLL、 SYSPLLREF=SYSOSC、CoreMark、 フラッシュから実行	80MHz	8.3		8.3		8.3		8.4		8.6		mA
		48MHz	5.4		5.4		5.5		5.5		5.7		
	MCLK=SYSOSC、CoreMark、フラッ シュから実行	32MHz	4.0		4.0		4.0		4.0		4.3		
		4MHz	0.8		0.8		0.8		0.9		1.1		
	MCLK=SYSPLL、 SYSPLLREF=SYSOSC、CoreMark、 SRAM から実行	80MHz	7.3		7.3		7.4		7.4		7.6		
		48MHz	4.8		4.8		4.9		4.9		5.1		
MCLK=SYSOSC、CoreMark、SRAM から実行	32MHz	3.3		3.4		3.4		3.5		3.6			
	4MHz	0.7		0.7		0.8		0.8		1.0			
IDD _{RUN} 、 MHz あたり	MCLK=SYSPLL、 SYSPLLREF=SYSOSC、CoreMark、 フラッシュから実行	80MHz	103		104		104		105		107		μA/MHz
	MCLK=SYSPLL、 SYSPLLREF=SYSOSC、While(1)、フ ラッシュから実行	80MHz	54	未定	54	未定	55	未定	55	未定	58	未定	
SLEEP モード													
IDD _{SLEEP}	MCLK=SYSPLL、 SYSPLLREF=SYSOSC、CPU 停止	80MHz	2891	未定	2967	未定	3256	未定	3590	未定	4353	未定	μA
		48MHz	2160	未定	2228	未定	2516	未定	2854	未定	3607	未定	
	MCLK=SYSOSC、CPU 停止	32MHz	1686	未定	1747	未定	2029	未定	2368	未定	3127	未定	
		4MHz	562	未定	614	未定	893	未定	1232	未定	1981	未定	
IDD _{SLEEP}	MCLK=SYSPLL、 SYSPLLREF=SYSOSC、CPU 停止	80MHz	37		38		42		46		56		μA/MHz

7.5.2 STOP / STANDBY モード

VDD = 3.3V。すべての入力は、0V または VDD に接続されています。出力は、電流のソースまたはシンクを行いません。特に記述のないすべてのペリフェラルはディセーブルです。

パラメータ		ULPCLK	-40°C		25°C		85°C		105°C		125°C		単位
			標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	
STOP モード													
IDD _{STOP0}	SYSOSC = 32MHz、 USE4MHZSTOP = 0、 DISABLESTOP = 0	4MHz	400	未定	404	未定	406	未定	409	未定	416	未定	μA
IDD _{STOP1}	SYSOSC = 4MHz、USE4MHZSTOP = 1、DISABLESTOP = 0		202	未定	207	未定	406	未定	409	未定	417	未定	
IDD _{STOP2}	SYSOSC オフ、DISABLESTOP=1、 ULPCLK=LFCLK	32kHz	53	未定	56	未定	58	未定	60	未定	69	未定	
STANDBY モード													

VDD = 3.3V。すべての入力は、0V または VDD に接続されています。出力は、電流のソースまたはシンクを行いません。特に記述のないすべてのペリフェラルはディセーブルです。

パラメータ		ULPCLK	-40°C		25°C		85°C		105°C		125°C		単位
			標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	
IDD _{STBY0}	LFCLK = LFXT, STORPCLKSTBY = 0, RTC イネーブル	32kHz	1.8	未定	2.0	未定	3.6	未定	6.4	未定	15	未定	μA
IDD _{STBY1}	LFCLK = LFOSC, STORPCLKSTBY = 1, RTC イネーブル		1.8	未定	2.0	未定	3.6	未定	6.4	未定	15	未定	
	LFCLK = LFXT, STORPCLKSTBY = 1, RTC イネーブル		1.3	未定	1.4	未定	3.1	未定	6.0	未定	15	未定	
	LFCLK = LFXT, STORPCLKSTBY = 1, GPIOA イネーブル		1.3	未定	1.4	未定	3.1	未定	6.0	未定	15	未定	

7.5.3 SHUTDOWN モード

すべての入力は、0V または VDD に接続されています。出力は、電流のソースまたはシンクを行いません。コアレギュレータはパワーダウンされています。

パラメータ		VDD	-40°C		25°C		85°C		105°C		125°C		単位
			標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	
IDD _{SHDN}	SHUTDOWN モードの電源電流	3.3V	60		69		336		786		2210		nA

7.6 電源シーケンス

7.6.1 電源ランブ

図 7-1 に、パワーアップ / パワーダウン時の POR-、POR+、BOR0-、BOR0+ の関係を示します。

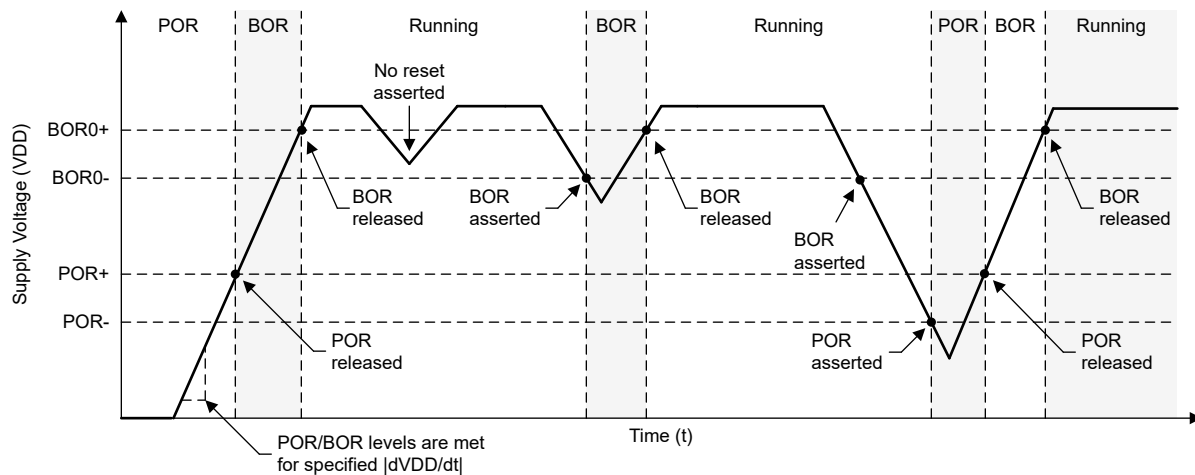


図 7-1. パワー サイクルの POR/BOR 条件 - VDO

7.6.2 POR および BOR

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
dVDD/dt	VDD (電源電圧) のスローレート	立ち上がり		0.1	V/μs
		立ち下がり (1)		0.01	
		立ち下がり、STANDBY			0.1

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{POR+}	パワーオンリセット電圧レベル	立ち上がり	0.95	1.30	1.59	V
V _{POR-}		立ち下がり	0.9	1.25	1.54	V
V _{HYS, POR}	POR ヒステリシス		30	58	74	mV
V _{BOR0+, COLD}	ブラウンアウトリセット電圧レベル 0 (デフォルトのレベル)	コールド スタート、立ち上がり	1.40	1.48	1.61	V
V _{BOR0+}		立ち上がり (1)	1.56	1.59	1.62	
V _{BOR0-}		立ち下がり (1)	1.55	1.58	1.61	
V _{BOR0, STBY}		STANDBY モード	1.51	1.56	1.61	
V _{BOR1+}	ブラウンアウトリセット電圧レベル 1	立ち上がり (1)	2.13	2.17	2.21	V
V _{BOR1-}		立ち下がり (1)	2.10	2.14	2.18	
V _{BOR1, STBY}		STANDBY モード	2.06	2.13	2.20	
V _{BOR2+}	ブラウンアウトリセット電圧レベル 2	立ち上がり (1)	2.73	2.77	2.82	V
V _{BOR2-}		立ち下がり (1)	2.7	2.74	2.79	
V _{BOR2, STBY}		STANDBY モード	2.62	2.71	2.8	
V _{BOR3+}	ブラウンアウトリセット電圧レベル 3	立ち上がり (1)	2.88	2.96	3.04	V
V _{BOR3-}		立ち下がり (1)	2.85	2.93	3.01	
V _{BOR3, STBY}		STANDBY モード	2.82	2.92	3.02	
V _{HYS, BOR}	ブラウンアウトリセットのヒステリシス	レベル 0		15	21	mV
		レベル 1 ~ 3		34	40	
T _{PD, BOR}	BOR 伝搬遅延	RUN/SLEEP/STOP モード			5	us
		STANDBY モード			100	us

(1) デバイスは RUN、SLEEP、STOP モードで動作しています。

7.7 フラッシュメモリの特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
VDD _{PGM/ERASE}	書き込みと消去の電源電圧		1.62		3.6	V
IDDERASE	消去動作中の VDD からの電源電流	電源電流の差分			10	mA
IDDPGM	書き込み動作中の VDD からの電源電流	電源電流の差分			10	mA
耐久性						
NWEC (HI_ENDURANCE)	選択された 32 セクタのフラッシュに対する消去 / 書き込みサイクル耐久性 (1)		100			k サイクル
NWEC (NORMAL_ENDURANCE)	消去 / 書き込みサイクル耐久性 (HI_INDUSTRY にフラッシュを使用しない) (1)		10			k サイクル
NE _(MAX)	故障に至るまでの全消去動作回数 (2)		802			k 回の消去動作
NW _(MAX)	セクタが消去されるまでのワード線あたりの書き込み動作回数 (3)				83	書き込み動作
保持						

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{RET_85}	フラッシュ メモリのデータ保持	-40°C ≤ T _j ≤ 85°C	60			年
t _{RET_105}	フラッシュ メモリのデータ保持	-40°C ≤ T _j ≤ 105°C	11.4			年
書き込みと消去のタイミング						
t _{PROG (WORD, 64)}	フラッシュ ワードの書き込み時間 (4) (6)			50	275	μs
t _{PROG (SEC, 64)}	1KB セクタの書き込み時間 (5) (6)			6.4		ms
t _{ERASE (SEC)}	セクタの消去時間	2k 以下の消去 / 書き込みサイクル、T _j ≥ 25°C		4	20	ms
t _{ERASE (SEC)}	セクタの消去時間	10k 以下の消去 / 書き込みサイクル、T _j ≥ 25°C		20	150	ms
t _{ERASE (SEC)}	セクタの消去時間	10k 未満の消去 / 書き込みサイクル		20	200	ms
t _{ERASE (BANK)}	バンクの消去時間	10k 未満の消去 / 書き込みサイクル		22	220	ms

- (1) MAIN フラッシュ バンクまたはデータ バンクから、最大 32 のアプリケーション選択セクタを高耐久性セクタとして使用できます。これにより、EEPROM エミュレーションなどのフラッシュ データを頻繁に更新するアプリケーションが可能になります。
- (2) 故障に至るまでにフラッシュによってサポートされる消去動作の累積回数。セクタ消去またはバンク消去動作は、1 回の消去動作と見なします。
- (3) ワード線を消去するまでに、許容されるワード線あたりの書き込み動作の最大回数。同じワード線への追加書き込みが必要な場合、ワード線あたりの書き込み動作の最大回数に達すると、セクタ消去が必要です。
- (4) 書き込み時間は、書き込みコマンドがトリガされてから、フラッシュコントローラでコマンド完了割り込みフラグがセットされるまでの時間として定義されます。
- (5) セクタ書き込み時間は、最初のワード書き込みコマンドがトリガされてから、最後のワード書き込みコマンドが完了し、フラッシュコントローラで割り込みフラグがセットされるまでの時間として定義されます。この時間には、セクタの書き込み中にソフトウェアが (最初のフラッシュワードの後に) 各フラッシュワードをフラッシュコントローラに読み込むために必要な時間が含まれます。
- (6) フラッシュワードサイズは 64 データビット (8 バイト) です。ECC 付きデバイスの場合、フラッシュワードサイズの合計は 72 ビット (64 データビット + 8 ECC ビット) です。

7.8 タイミング特性

VDD=3.3V、T_a=25°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ウェークアップ タイミング						
t _{WAKE, SLEEP0}	SLEEP0 から RUN までのウェークアップ時間 (1)			1.4		us
t _{WAKE, SLEEP1}	SLEEP1 から RUN までのウェークアップ時間 (1)			1.6		us
t _{WAKE, SLEEP2}	SLEEP2 から RUN までのウェークアップ時間 (1)			2.2		us
t _{WAKE, STANDBY0}	STANDBY0 から RUN までのウェークアップ時間 (1)			11.4		us
t _{WAKE, STANDBY1}	STANDBY1 から RUN までのウェークアップ時間 (1)			11.4		us
t _{WAKE, STOP0}	STOP0 から RUN までのウェークアップ時間 (SYSOSC イネーブル) (1)			10		us
t _{WAKE, STOP1}	STOP1 から RUN までのウェークアップ時間 (SYSOSC イネーブル) (1)			10		us
t _{WAKE, STOP2}	STOP2 から RUN までのウェークアップ時間 (SYSOSC ディセーブル) (1)			10		
t _{WAKEUP, SHDN}	SHUTDOWN から RUN までのウェークアップ時間 (2)	高速ブートがイネーブル		306		us
		高速ブートがディセーブル		345		

VDD=3.3V、T_a=25°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
非同期高速クロック要求タイミング						
t _{DELAY, SLEEP1}	非同期要求のエッジから最初の 32MHz MCLK エッジまでの遅延時間	モードは SLEEP1		0.34		us
t _{DELAY, SLEEP2}	非同期要求のエッジから最初の 32MHz MCLK エッジまでの遅延時間	モードは SLEEP2		0.94		us
t _{DELAY, STANDBY0}	非同期要求のエッジから最初の 32MHz MCLK エッジまでの遅延時間	モードは STANDBY0		3		us
t _{DELAY, STANDBY1}	非同期要求のエッジから最初の 32MHz MCLK エッジまでの遅延時間	モードは STANDBY1		3.1		us
t _{DELAY, STOP0}	非同期要求のエッジから最初の 32MHz MCLK エッジまでの遅延時間	モードは STOP0		0.1		us
t _{DELAY, STOP1}	非同期要求のエッジから最初の 32MHz MCLK エッジまでの遅延時間	モードは STOP1		2.4		us
t _{DELAY, STOP2}	非同期要求のエッジから最初の 32MHz MCLK エッジまでの遅延時間	モードは STOP2		0.9		us
スタートアップ タイミング						
t _{START, RESET}	デバイスのリセット / パワーアップからのコールド スタートアップ時間 (3)	高速ブートがイネーブル		300		us
		高速ブートがディセーブル		350		
NRST のタイミング						
t _{RST, BOOTRST}	BOOTRST を生成するための NRST ピンのパルス長	ULPCLK≥4MHz		1.5		us
		ULPCLK=32kHz		29		
t _{RST, POR}	POR を生成するための NRST ピンのパルス長			1		s

- ウェークアップ時間は、グリッチ フィルタがディセーブル (FILTEREN=0x0)、高速ウェークアップがイネーブル (FASTWAKEONLY=1) の条件で、外部ウェークアップ信号のエッジ (GPIO ウェークアップ イベント) から、ユーザー プログラムの最初の命令が実行されるまでの時間として測定されます。
- ウェークアップ時間は、外部ウェークアップ信号 (IOMUX ウェークアップ イベント) のエッジから、ユーザー プログラムの最初の命令が実行されるまでの時間として測定されます。
- スタートアップ時間は、VDD が VBOR0- と交差 (コールド スタートアップ) した時刻から、ユーザー プログラムの最初の命令が実行されるまでの時間として測定されます。

7.9 クロック仕様

7.9.1 システム発振器 (SYSOSC)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f _{SYSOSC}	出荷時に調整された SYSOSC 周波数	SYSOSCCFG.FREQ=00 (ベース)		32		MHz
		SYSOSCCFG.FREQ=01		4		
	ユーザー調整された SYSOSC 周波数	SYSOSCCFG.FREQ=10、 SYSOSCSTRIMUSER.FREQ=10		24		
		SYSOSCCFG.FREQ = 10、 SYSOSCSTRIMUSER.FREQ = 01		16		
f _{SYSOSC}	周波数補正ループ (FCL) がイネーブルで、理想的な ROSC 抵抗を想定した場合の SYSOSC 周波数精度 (1) (2)	SETUSEFCL=1、T _a = 25°C	-0.60		0.68	%
		SETUSEFCL=1、-40°C ≤ T _a ≤ 85°C	-0.80		0.93	
		SETUSEFCL=1、-40°C ≤ T _a ≤ 105°C	-0.80		1.1	
		SETUSEFCL=1、-40°C ≤ T _a ≤ 125°C	-0.80		1.3	

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f _{sysosc}	周波数補正ループ (FCL) がイネーブルのときの SYSOSC 精度、R _{osc} 抵抗を R _{osc} ピンに配置、出荷時にトリムされた周波数用 (1) (5) (6)	SETUSEFCL=1, T _a = 25°C, ±0.1% ±25ppm R _{osc}	-0.7		0.78	%
		SETUSEFCL=1, -40°C ≤ T _a ≤ 85°C, ±0.1% ±25ppm R _{osc}	-1.1		1.2	
		SETUSEFCL=1, -40°C ≤ T _a ≤ 105°C, ±0.1% ±25ppm R _{osc}	-1.1		1.4	
		SETUSEFCL=1, -40°C ≤ T _a ≤ 125°C, ±0.1% ±25ppm R _{osc}	-1.1		1.7	
f _{sysosc}	内部 ROsc 抵抗使用、周波数補正ループ (FCL) イネーブル時の SYSOSC 周波数精度、32MHz(4) (5) (6)	SETUSEFCL = 1, T _a = 25 °C	0		1	%
		SETUSEFCL=1, -40°C ≤ T _a ≤ 125°C	-2.1		1.6	
f _{sysosc}	内部 ROsc 抵抗使用、周波数補正ループ (FCL) イネーブル時の SYSOSC 周波数精度、4MHz(4) (5) (6)	SETUSEFCL = 1, T _a = 25 °C	0		1.6	%
		SETUSEFCL=1, -40°C ≤ T _a ≤ 125°C	-2.3		1.8	
f _{sysosc}	周波数補正ループ (FCL) がディセーブルのときの SYSOSC 精度、32MHz(5) (6)	SETUSEFCL=0, SYSOSCCFG.FREQ=00, -40°C ≤ T _a ≤ 125°C	-2.6		1.8	%
f _{sysosc}	出荷時に調整された周波数 4MHz の場合、周波数補正ループ (FCL) がディセーブルのときの SYSOSC 精度(5) (6)	SETUSEFCL=0, SYSOSCCFG.FREQ=01, -40°C ≤ T _a ≤ 125°C	-2.8		2.1	%
R _{osc}	ROsc ピンと VSS の間の外付け抵抗 (1)	SETUSEFCL=1		100		kΩ
t _{settle, sysosc}	目標精度に達するまでのセトリングタイム (3)	SETUSEFCL=1, ±0.1% 25ppm の R _{osc} (1)			40	us

- (1) SYSOSC 周波数補正ループ (FCL) を使うと、本デバイスの ROsc ピンと VSS との間に接続すべき外部リファレンス抵抗 (R_{osc}) によって、SYSOSC の精度を高めることができます。±0.1% 25ppm の R_{osc} に対する精度を示しています。公差の緩い抵抗も使用できます (SYSOSC の精度は低下します)。さまざまな R_{osc} 精度での SYSOSC 精度の計算方法の詳細については、テクニカルリファレンスマニュアルの「SYSOSC」のセクションを参照してください。FCL をイネーブルしない場合には、R_{osc} を実装する必要はありません。
- (2) デバイスの精度のみを表します。最終的な精度を判定するには、使用する ROsc 抵抗の公差と温度ドリフトを、この仕様と組み合わせる必要があります。±0.1% ±25ppm R_{osc} についての性能が、基準点として示されています。
- (3) SYSOSC がウェイクアップするとき (たとえば、低消費電力モードを終了するとき)、FCL がイネーブルなら、SYSOSC は最初に目標周波数 f_{sysosc} を、時間 t_{settle, sysosc} にわたって、最大 f_{settle, sysosc} の追加誤差だけアンダーシュートします。目標の精度はこの時間後に達成されます。
- (4) SYSOSC の周波数補正ループ (FCL) を使うと、内部リファレンス抵抗によって SYSOSC の精度を高めることができます。SYSOSC 精度の計算方法の詳細については、テクニカルリファレンスマニュアルの「SYSOSC」のセクションを参照してください。
- (5) SYSOSC の精度は、MCLK = SYSOSC、CPU が while(1) ループを実行し、SYSPLL が無効になっているデフォルトのパワーアップ状態で測定されます。
- (6) SYSOSC は、外部の 1ms パルスを測定トリガとして使用し、内部の FCC カウンタで測定されます。

7.9.2 低周波数発振器 (LFOSC)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f _{lfosc}	LFOSC 周波数			32768		Hz
	LFOSC 精度	-40°C ≤ T _a ≤ 125°C	-5		5	%
		-40°C ≤ T _a ≤ 85°C	-3		3	%
I _{lfosc}	LFOSC 消費電流			300		nA
t _{start, lfosc}	LFOSC スタートアップ時間			1		ms

7.9.3 システム フェーズ ロック ループ (SYSPLL)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f _{SYSPLLREF}	SYSPLL リファレンス周波数範囲 (2)		4		48	MHz
f _{VCO}	VCO 出力周波数		100		400	MHz
f _{SYSPLL}	SYSPLL 出力周波数範囲(1)	SYSPLLCLK0、SYSPLLCLK1	2.5		200	MHz
		SYSPLLCLK2X (3)	10		400	
DC _{PLL}	SYSPLL 出力のデューティ サイクル	f _{SYSPLLREF} = 32MHz、f _{VCO} = 160MHz	45		55	%
Jitter _{SYSPLL}	SYSPLL RMS サイクル間ジッタ	f _{SYSPLLREF} = 32MHz、f _{VCO} = 160MHz		60		ps
	SYSPLL RMS 周期ジッタ			45		
I _{SYSPLL}	SYSPLL 消費電流	f _{SYSPLLREF} = 32MHz、f _{VCO} = 160MHz		322		μA
t _{start, SYSPLL}	SYSPLL スタートアップ時間	f _{SYSPLLREF} = 32MHz、PDIV = 3、QDIV = 39、f _{VCO} = 160MHz、±0.5% 精度		14	24	us

- (1) SYSPLL は、デバイス クロック システムでサポートされているより高い出力周波数をサポートする場合があります。SYSPLL 出力周波数を構成するときは、デバイスの最大周波数仕様に違反しないようにしてください。
- (2) **_AMP:** の表 2-6 にある SYSPLL チューニングパラメータを参照してください
- (3) SYSPLL2X の使用時は f_{VCO} を最大 200MHz に制限します

7.9.4 低周波数クリスタル/クロック

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
低周波数水晶発振器 (LFXT)						
f _{LFXT}	LFXT 周波数			32768		Hz
DC _{LFXT}	LFXT デューティ サイクル		30		70	%
OA _{LFXT}	LFXT 水晶発振余裕度			419		kΩ
C _{L, eff}	内部実効負荷容量(1)			1		pF
t _{start, LFXT}	LFXT スタートアップ時間			200		ms
I _{LFXT}	LFXT 消費電流	XT1DRIVE=0、LOWCAP=1 (4)		200		nA
低周波数デジタル クロック入力 (LFCLK_IN)						
f _{LFIN}	LFCLK_IN 周波数 (2)	SETUSEEXLF = 1	29491	32768	36045	Hz
DC _{LFIN}	LFCLK_IN デューティ サイクル(2)	SETUSEEXLF = 1	40		60	%
LFCLK モニタ						
f _{FAULTLF}	LFCLK モニタ フォルト周波数 (3)	MONITOR=1	2800	4200	8400	Hz

- (1) これには、寄生結合およびパッケージ容量 (ピンごとに約 2 pF) が含まれ、 $C_{L, eff} = C_{L, FXT} \times C_{L, FXTOUT} / (C_{L, FXT} + C_{L, FXTOUT})$ として計算されます。ここで、C_{L, FXT} および C_{L, FXTOUT} は、それぞれ LFXIN および LFXOUT における合計容量です。
- (2) デジタル クロック入力 (LFCLK_IN) は、ロジックレベルの方形波クロックを受け入れます。
- (3) LFCLK モニタは、LFXT または LFCLK_IN の監視に使用できます。最小フォルト周波数を下回る場合には必ずフォルトが発生し、最大フォルト周波数を超える場合には決してフォルトは発生しません。
- (4) LFXT を使用する場合、ユーザーは水晶が起動時の駆動負荷 (例: 0.1uW) をサポートできる適切な定格であることを確認する必要があります

7.9.5 高周波数クリスタル/クロック

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
高周波数水晶発振器 (HFXT)						

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f _{HFXT}	HFXT 周波数	HFXTRSEL=00	4		8	MHz
		HFXTRSEL=01	8.01		16	
		HFXTRSEL=10	16.01		32	
		HFXTRSEL=11	32.01		48	
DC _{HFXT}	HFXT デューティサイクル	HFXTRSEL=00	40		65	%
		HFXTRSEL=01	40		60	
		HFXTRSEL=10	40		60	
		HFXTRSEL=11	40		60	
OA _{HFXT}	HFXT 水晶発振余裕度	HFXTRSEL=00 (4~8MHz の範囲)		2		kΩ
C _{L, eff}	内部実効負荷容量 ⁽¹⁾			1		pF
t _{start, HFXT}	HFXT スタートアップ時間 ⁽²⁾	HFXTRSEL=11, 32MHz 水晶振動子		0.5		ms
I _{HFXT}	HFXT 消費電流 ⁽²⁾	f _{HFXT} = 4MHz, R _m = 300Ω, C _L = 12pF		100		μA
		f _{HFXT} =48MHz, R _m =30Ω, C _L =12pF, C _m =6.26fF, L _m =1.76mH		600		
高周波数デジタル クロック入力 (HFCLK_IN)						
f _{HFIN}	HFCLK_IN 周波数 ⁽³⁾	USEEXTHFCLK = 1	4		48	MHz
DC _{HFIN}	HFCLK_IN デューティサイクル ⁽³⁾	USEEXTHFCLK = 1	40		60	%

- (1) これには、寄生結合およびパッケージ容量 (ピンごとに約 2 pF) が含まれ、 $C_{HF\text{XIN}} \times C_{HF\text{XOUT}} / (C_{HF\text{XIN}} + C_{HF\text{XOUT}})$ として計算されます。ここで、 $C_{HF\text{XIN}}$ および $C_{HF\text{XOUT}}$ は、それぞれ HF_{XIN} および HF_{XOUT} における合計容量です。
- (2) HFXT スタートアップ時間 (t_{start, HFXT}) は、HFXT がイネーブルになってから、標準的な水晶振動子の安定した発振までの時間で測定されます。スタートアップ時間は、水晶の周波数および水晶振動子の仕様に依存します。『MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル』の HFXT セクションを参照してください。RSEL が大きいほど消費電流が増加し、RSEL が大きいほど起動時間が減少します。
- (3) デジタル クロック入力 (HFCLK_IN) は、ロジックレベルの方形波クロックを受け入れます。

7.10 デジタル IO

7.10.1 電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{IH}	High レベル入力電圧	ODIO ⁽¹⁾	VDD ≥ 1.62V	0.7*VDD	5.5	V
			VDD ≥ 2.7V	2	5.5	V
		すべての I/O (ODIO とリセットを除く)	VDD ≥ 1.62V	0.7*VDD	VDD+0.3	V
V _{IL}	Low レベル入力電圧	ODIO	VDD ≥ 1.62V	-0.3	0.3*VDD	V
			VDD ≥ 2.7V	-0.3	0.8	V
		すべての I/O (ODIO とリセットを除く)	VDD ≥ 1.62V	-0.3	0.3*VDD	V
V _{HYS}	ヒステリシス	ODIO		0.05*VDD		V
		すべての I/O (ODIO を除く)		0.1*VDD		V

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
I _{lkg}	ハイインピーダンスのリーク電流 (PM を除くすべてのパッケージ)	SDIO ^{(2) (3)}	1.62V ≤ VDD ≤ 3.6V, -40°C ≤ T _A ≤ 125°C			50 ⁽⁴⁾	nA
	ハイインピーダンスのリーク電流 (PM パッケージ)	SDIO ^{(2) (3)}	1.62V ≤ VDD ≤ 3.6V, -40°C ≤ T _A ≤ 85°C			70 ⁽⁴⁾	nA
			1.62V ≤ VDD ≤ 3.6V, -40°C ≤ T _A ≤ 125°C			400 ⁽⁴⁾	nA
R _{PU}	プルアップ抵抗	すべての I/O (ODIO を除く)	VIN = VSS		40		kΩ
R _{PD}	プルダウン抵抗		VIN = VDD		40		kΩ
C _I	入力容量		VDD = 3.3V		5		pF
V _{OH}	High レベル出力電圧	SDIO	VDD ≥ 2.7V, I _{IO} _{max} = 6mA VDD ≥ 1.71V, I _{IO} _{max} = 2mA VDD ≥ 1.62V, I _{IO} _{max} = 1.5mA -40°C ≤ T _J ≤ 25°C		VDD-0.4		V
			VDD ≥ 2.7V, I _{IO} _{max} = 6mA VDD ≥ 1.71V, I _{IO} _{max} = 2mA VDD ≥ 1.62V, I _{IO} _{max} = 1.5mA -40°C ≤ T _J ≤ 130°C		VDD-0.45		
		HSIO	VDD ≥ 2.7V, DRV=1, I _{IO} _{max} = 6mA VDD ≥ 1.71V, DRV=1, I _{IO} _{max} = 3mA VDD ≥ 1.62V, DRV=1, I _{IO} _{max} = 2mA -40°C ≤ T _J ≤ 25°C		VDD-0.4		
			VDD ≥ 2.7V, DRV=1, I _{IO} _{max} = 6mA VDD ≥ 1.71V, DRV=1, I _{IO} _{max} = 3mA VDD ≥ 1.62V, DRV=1, I _{IO} _{max} = 2mA -40°C ≤ T _J ≤ 130°C		VDD-0.45		
			VDD ≥ 2.7V, DRV=0, I _{IO} _{max} = 4mA VDD ≥ 1.71V, DRV=0, I _{IO} _{max} = 2mA VDD ≥ 1.62V, DRV=0, I _{IO} _{max} = 1.5mA -40°C ≤ T _J ≤ 25°C		VDD-0.4		
			VDD ≥ 2.7V, DRV=0, I _{IO} _{max} = 4mA VDD ≥ 1.71V, DRV=0, I _{IO} _{max} = 2mA VDD ≥ 1.62V, I _{IO} _{max} = 1.5mA -40°C ≤ T _J ≤ 130°C		VDD-0.45		
			VDD ≥ 2.7V, DRV = 1, I _{IO} _{max} = 20mA VDD ≥ 1.71V, DRV = 1, I _{IO} _{max} = 10mA		VDD-0.4		
			VDD ≥ 2.7V, DRV = 0, I _{IO} _{max} = 6mA VDD ≥ 1.71V, DRV = 0, I _{IO} _{max} = 2mA		VDD-0.4		

ADVANCE INFORMATION

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位	
V _{OL}	Low レベル出力電圧	SDIO	VDD ≥ 2.7V, I _{IO} _{max} = 6mA VDD ≥ 1.71V, I _{IO} _{max} = 2mA VDD ≥ 1.62V, I _{IO} _{max} = 1.5mA -40°C ≤ T _J ≤ 25°C			0.4	V	
			VDD ≥ 2.7V, I _{IO} _{max} = 6mA VDD ≥ 1.71V, I _{IO} _{max} = 2mA VDD ≥ 1.62V, I _{IO} _{max} = 1.5mA -40°C ≤ T _J ≤ 130°C			0.45	V	
		HSIO	VDD ≥ 2.7V, DRV = 1, I _{IO} _{max} = 6mA VDD ≥ 1.71V, DRV = 1, I _{IO} _{max} = 3mA VDD ≥ 1.62V, DRV = 1, I _{IO} _{max} = 2mA -40°C ≤ T _J ≤ 25°C			0.4		
			VDD ≥ 2.7V, DRV = 1, I _{IO} _{max} = 6mA VDD ≥ 1.71V, DRV = 1, I _{IO} _{max} = 3mA VDD ≥ 1.62V, DRV = 1, I _{IO} _{max} = 2mA -40°C ≤ T _J ≤ 130°C			0.45		
			VDD ≥ 2.7V, DRV = 0, I _{IO} _{max} = 4mA VDD ≥ 1.71V, DRV = 0, I _{IO} _{max} = 2mA VDD ≥ 1.62V, DRV = 0, I _{IO} _{max} = 1.5mA -40°C ≤ T _J ≤ 25°C			0.4		
			VDD ≥ 2.7V, DRV = 0, I _{IO} _{max} = 4mA VDD ≥ 1.71V, DRV = 0, I _{IO} _{max} = 2mA VDD ≥ 1.62V, DRV = 0, I _{IO} _{max} = 1.5mA -40°C ≤ T _J ≤ 130°C			0.45		
		HDIO	VDD ≥ 2.7V, DRV = 1, I _{IO} _{max} = 20mA VDD ≥ 1.71V, DRV = 1, I _{IO} _{max} = 10mA			0.4		
			VDD ≥ 2.7V, DRV = 0, I _{IO} _{max} = 6mA VDD ≥ 1.71V, DRV = 0, I _{IO} _{max} = 2mA			0.4		
		ODIO	VDD ≥ 2.7V, I _{OL} ,max = 8mA VDD ≥ 1.71V, I _{OL} ,max = 4mA -40°C ≤ T _J ≤ 25°C			0.4		V
			VDD ≥ 2.7V, I _{OL} ,max = 8mA VDD ≥ 1.71V, I _{OL} ,max = 4mA -40°C ≤ T _J ≤ 130°C			0.45		V

- (1) I/O タイプ: ODIO = 5V 対応オープンドレイン、SDIO=標準駆動、HSIO=高速、HDIO =高駆動
- (2) リーク電流は、対応するピンに VSS または VDD を印加して計測されます (特に記述のない限り)。
- (3) デジタル ポートピンのリーク電流は個別に計測されます。ポートピンは入力として選択され、プルアップ / プルダウン抵抗は無効化されています。
- (4) この値は、SDIO がアナログ入力と多重化されていない場合の値です。SDIO がアナログ入力と多重化されている場合、リーク電流はさらに大きくなる可能性があります。

7.10.2 スイッチング特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
f _{max}	ポート出力周波数 ⁽¹⁾	SDIO	VDD ≥ 2.7V, CL = 20pF			32	MHz
			VDD ≥ 1.71V, CL = 20pF			16	
		HSIO	VDD ≥ 2.7V, DRV = 1, CL = 20pF			40	
			VDD ≥ 2.7V, DRV = 0, CL = 20pF			32	
			VDD ≥ 1.71V, DRV = 1, CL = 20pF			24	
		HDIO	VDD ≥ 1.71V, DRV = 0, CL = 20pF			16	
			VDD ≥ 2.7V, DRV = 1, ⁽²⁾ CL = 20pF			20	
			VDD ≥ 2.7V, DRV = 0, CL = 20pF			20	
		ODIO	VDD ≥ 1.71V, FM*, CL = 20pF ~ 100pF			1	
			VDD ≥ 2.7V, CL = 20pF			3.5	
VDD ≥ 1.71V, CL = 20pF				6.6			
t _r , t _f	出力立ち上がり / 立ち下がり時間	HSIO	VDD ≥ 2.7V, DRV = 1, CL = 20pF			1.8	ns
			VDD ≥ 2.7V, DRV = 0, CL = 20pF			5.9	
			VDD ≥ 1.71V, DRV = 1, CL = 20pF			3.7	
			VDD ≥ 1.71V, DRV = 0, CL = 20pF			12.6	
		HDIO	VDD ≥ 2.7V, DRV = 1, CL = 20pF			1.7	
			VDD ≥ 2.7V, DRV = 0, CL = 20pF			3.8	
			VDD ≥ 1.71V, DRV = 1, CL = 20pF			3.1	
			VDD ≥ 1.71V, DRV = 0, CL = 20pF			8.2	
t _f	出力立ち下がり時間	ODIO	VDD ≥ 1.71V, FM*, CL = 20pF ~ 100pF	20*VDD/5.5		120	ns

- (1) I/O タイプ: ODIO = 5V 対応オープンドレイン、SDIO = 標準駆動、HSIO = 高速、HDIO = 高駆動、USBIO = USB プロトコル
 (2) DRV = 1 の高駆動強度構成で HDIO を動作させる場合は、信号のスルー レートを制限するため直列抵抗が必要です

7.11 アナログ マルチプレクサ VBOOST

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I _{VBST}	VBOOST 電流加算器	MCLK/ULPCLK は LFCLK		0.8		μA
		MCLK/ULPCLK は LFCLK ではなく、SYSOSC の周波数は 4MHz		10.6		
t _{START,VBST}	VBOOST 起動時間			12	20	us

7.12 ADC

7.12.1 電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。すべての代表値は 25°C で測定されており、すべての精度パラメータは 12 ビット分解能モードを使用して測定されています (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{IN(ADC)}	アナログ入力電圧範囲 ⁽¹⁾	すべての ADC アナログ入力ピンに適用されます	0		VDD	V

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。すべての代表値は 25°C で測定されており、すべての精度パラメータは 12 ビット分解能モードを使用して測定されています (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{R+}	正の ADC リファレンス電圧	VDD から供給される V _{R+}		VDD		V
		内部リファレンス電圧 (VREF) から供給される V _{R+}		VREF		V
V _{R-}	負の ADC リファレンス電圧			0		V
F _S	ADC サンプリング周波数	RES = 0x0 (12 ビット モード)、外部 / 内部リファレンス (VRSEL=1h)			1.6	Msps
		RES = 0x1 (10 ビット モード)、外部 / 内部リファレンス (VRSEL=1h)			1.7	
		RES = 0x2 (8 ビット モード)、外部 / 内部リファレンス (VRSEL=1h)			2	
F _S	ADC サンプリング周波数	RES = 0x0 (12 ビット モード)、内部リファレンス (VRSEL=2h)			0.9	Msps
		RES = 0x1 (10 ビット モード)、内部リファレンス (VRSEL=2h)			1	
		RES = 0x2 (8 ビット モード)、内部リファレンス (VRSEL=2h)			1.2	
I _(ADC)	VDD 端子に流れ込む動作電源電流	F _S = 1.6MSPS、外部リファレンス (VRSEL=1h)、V _{R+} = VDD		350		μA
I _(ADC)	VDD 端子に流れ込む動作電源電流	F _S = 1.6MSPS、内部リファレンス (VRSEL=1h)、VREF = 2.5V (VREF1 の消費電力を含む)		550		μA
		F _S = 0.9MSPS、内部リファレンス (VRSEL=2h)、VREF = 2.5V (VREF2 の消費電力を含む)		400		
C _{S/H}	ADC サンプル ホールド容量			0.22		pF
R _{in}	ADC スイッチ抵抗			15		kΩ
ENOB	有効ビット数	Fin=10kHz、外部リファレンス (VRSEL=1h)	10	10.6		ビット
		Fin=10kHz、オーバー サンプリング機能付きの外部リファレンス		11.8		
		Fin=10kHz、内部リファレンス (VRSEL=1h または 2h)、VREF = 2.5V	9.2	10.2		
SNR	信号対雑音比	Fin=10kHz、外部リファレンス (VRSEL=1h)		67		dB
		Fin=10kHz、オーバー サンプリング機能付きの外部リファレンス		75		
		Fin=10kHz、内部リファレンス (VRSEL=1h または 2h)、V _{R+} = VREF = 2.5V		62		
PSRR _{DC}	電源除去比、DC	外部リファレンス (VRSEL=1h)、VDD = VDD _(min) ~ VDD _(max)		66		dB
PSRR _{DC}	電源除去比、DC	内部リファレンス (VRSEL=1h または 2h)、V _{R+} = VREF = 2.5V、VDD = 2.7 ~ 3.6		60		dB
T _{wakeup}	ADC ウェークアップ時間	内部リファレンス電圧はオンであると仮定			5	us
V _{SupplyMon}	電源モニタ分圧器 (VDD/3) の精度	ADC の入力チャネル: 電源モニタ ⁽²⁾	-1.5		+1.5	%
I _{SupplyMon}	電源モニタ分圧器の消費電流	ADC の入力チャネル: 電源モニタ		10		μA

- (1) 有効な変換結果を得るには、選択された ADC リファレンス電圧の範囲内 (V_{R+} ~ V_{R-}) にアナログ入力電圧範囲が含まれている必要があります。
(2) アナログ電源モニタ。チャンネル 31 のアナログ入力は切り離されており、分圧器 (VDD/3) と内部的に接続されています。

7.12.2 スイッチング特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
f _{ADCCLK}	ADC クロック周波数		4		32	MHz
t _{ADC trigger}	ソフトウェアトリガの最小幅		3			ADCCLK のサイクル数
t _{sample_step}	サンプリング時間 (ステップ入力)	12 ビット モード、R _S = 50Ω、C _{pevt} = 10pF	0.188			μs
t _{sample_VREF}	サンプリング時間 (VREF あり)	ADC CHANNEL = 28、12 ビット モード、リファレンス電圧として VDD	4			μs
t _{sample_SupplyMon}	サンプリング時間 (電源モニタ (VDD/3) あり)	ADC CHANNEL = 30、12 ビット モード、内部リファレンス (VRSEL = 1h または 2h)	5			μs

7.12.3 直線性パラメータ

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。すべての代表値は 25°C で測定されており、すべての直線性パラメータは 12 ビット分解能モードを使用して測定されています (特に記述のない限り)。(1)

パラメータ	テスト条件	最小値	標準値	最大値	単位
E _I	積分直線性誤差 (INL) 外部リファレンス	-2		2	LSB
E _D	微分直線性誤差 (DNL) 外部リファレンス ⁽²⁾	-1		1	LSB
E _O	オフセット誤差 外部リファレンス電圧 ⁽²⁾	-5		5	mV
E _G	ゲイン誤差 外部リファレンス (VRSEL = 1h) ⁽²⁾	-6		6	LSB

- (1) し総合未調整誤差 (TUE) は、次の式を使用して、E_I、E_O、E_G から計算できます。TUE = √(|E_I|² + |E_O|² + E_G²)
 注: 上記の式が正確であるためには、すべての誤差を同じ単位 (通常は LSB) に変換する必要があります。
- (2) VDD リファレンス電圧のすべての仕様は、V_{R+} = VDD+ = 3.3V かつ V_{R-} = VSS = 0V の条件で測定されたものです。

7.12.4 代表的な接続図

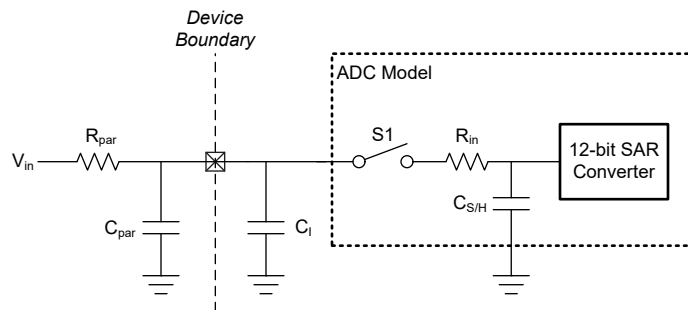


図 7-2. ADC 入力ネットワーク

- R_{in} と C_{S/H} の値については、「ADC の電気的特性」を参照してください
- C_I の値については、「デジタル IO 電気的特性」を参照してください。
- C_{par} と R_{par} は外部 ADC 入力回路の寄生容量および抵抗を表します。

次の式を使用して、ADC 変換に必要な最小サンプリング時間 (T) を求めます。

- Tau = (R_{par} + R_{in}) * C_{S/H} + R_{par} * (C_{par} + C_I)
- K = ln(2ⁿ / セットリング誤差) - ln((C_{par} + C_I) / C_{S/H})
- T (最小サンプリング時間) = K * Tau

7.13 温度センサ

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ	テスト条件	最小値	標準値	最大値	単位
TS _{TRIM}	出荷時調整温度 ⁽¹⁾	27	30	33	°C
TS _c	温度係数	-2.05	-1.90	-1.75	mV/°C
t _{SET, TS}	温度センサのセットリングタイム ⁽²⁾			10	us

- (1) ユーザー較正により、より高い絶対精度を実現できます。「詳細説明」セクションの「温度センサ」の章を参照してください。
- (2) これは、温度センサの測定に必要な最小 ADC サンプルング時間です。

7.14 VREF1

7.14.1 電圧特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
VDD _{min}	VREF 動作に必要な最低電源電圧	BUFCONFIG = 1	1.62			V
		BUFCONFIG = 0	2.7			
VREF	リファレンス電圧の出力電圧	BUFCONFIG = 1	1.38	1.4	1.42	V
		BUFCONFIG = 0	2.46	2.5	2.54	

7.14.2 電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I _{VREF}	VREF の動作電源電流	BUFCONFIG = {0, 1}, 無負荷		189	330	μA
I _{Drive}	VREF 出力駆動能力 (1)	VREF+ デバイス ピンでサポートされる駆動能力			100	μA
I _{SC}	VREF 短絡電流				100	mA
TC _{VREF}	VREF の温度係数 (バンドギャップ + VRBUF) (2)	BUFCONFIG = {1}			75	ppm/°C
TC _{VREF}	VREF の温度係数 (バンドギャップ + VRBUF) (2)	BUFCONFIG = {0}			75	ppm/°C
TC _{drift}	VREF の長期ドリフト	時間 = 1000 時間、BUFCONFIG = {0, 1}, T = 25°C			300	ppm
PSRR _{DC}	VREF 電源除去比、DC	VDD = 1.7V ~ VDD _{max} , BUFCONFIG = 1	60	70		dB
		VDD = 2.7V ~ VDD _{max} , BUFCONFIG = 0	50	60		
V _{noise}	VREF 出力での RMS ノイズ (0.1Hz ~ 100MHz)	BUFCONFIG = 1		350		μVrms
		BUFCONFIG = 0		500		
C _{VREF}	VREF+ ピンの推奨 VREF デカップリング コンデンサ (3) (4) (5)		0.7	1	1.15	μF
T _{startup}	VREF 起動時間				200	μS
T _{refresh}	VREF 外部コンデンサのリフレッシュ時間	BUFCONFIG = {0, 1}, VDD = 2.8V, C _{VREF} = 1μF	31.25			

- (1) 示された最大出力駆動能力は、デバイスでどのペリフェラルが使用されているかに関係なくサポートされます。
- (2) VREF 出力の温度係数は、TC_{VRBUF} と内部バンドギャップ リファレンスの温度係数の和です。
- (3) 内部リファレンス電圧 VREF を使用する場合、デカップリング コンデンサ (C_{VREF}) が必要であり、VREF+ ピンから VREF-/ GND に接続する必要があります。VREF+/- ピンを使用して外部リファレンスを供給する場合、外部リファレンス ソースに基づいてデカップリング コンデンサの値を選択する必要があります。
- (4) 0805 以下のパッケージ サイズのセラミック コンデンサを推奨します。許容誤差は最大 ±20% です。
- (5) VREF モジュールは、C_{VREF} が接続されているときのみイネーブルにして、それ以外の場合はイネーブルにしないでください。

7.15 VREF2

7.15.1 電圧特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
VDD _{min}	VREF 動作に必要な最低電源電圧	BUFCONFIG = 1	1.62			V
		BUFCONFIG = 0	2.7			
VREF	リファレンス電圧の出力電圧	BUFCONFIG = 1	1.38	1.4	1.42	V
		BUFCONFIG = 0	2.46	2.5	2.54	

7.15.2 電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
I_{VREF}	VREF の動作電源電流	BUFCONFIG = {0, 1}, 無負荷			130	200	μA
TC_{VREF}	VREF の温度係数 (バンドギャップ + VRBUF) (1)	BUFCONFIG = {0.1}				80	ppm/°C
TC_{drift}	VREF の長期ドリフト	時間 = 1000 時間、BUFCONFIG = {0, 1}, T = 25°C				300	ppm
$PSRR_{DC}$	VREF 電源除去比、DC	VDD = 1.7V ~ VDDmax, BUFCONFIG = 1		60	70		dB
		VDD = 2.7V ~ VDDmax, BUFCONFIG = 0		50	60		
V_{noise}	VREF 出力での RMS ノイズ (0.1Hz ~ 100MHz)	BUFCONFIG = 1			350		μV_{rms}
		BUFCONFIG = 0			500		
ADC F_S	サポートされている最大 ADC サンプル周波数	ADC リファレンスとして VREF を使用	ADC リファレンスとして VREF を使用			900	kSPS
$T_{startup}$	VREF 起動時間					30	us

(1) VREF 出力の温度係数は、 TC_{VRBUF} と内部バンドギャップリファレンスの温度係数の和です。

7.16 コンパレータ (COMP)

7.16.1 コンパレータ電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
コンパレータ電気的特性							
V_{cm}	コモンモード入力範囲			0		VDD	V
V_{offset}	入力オフセット電圧			-20		20	mV
V_{hys}	DC 入力ヒステリシス	HYST = 00h			0.4		mV
		HYST = 01h			10		
		HYST = 02h			20		
		HYST = 03h			30		
t_{PD_ls}	伝搬遅延時間、応答時間	出力フィルタ オフ、オーバードライブ = 100mV、高速モード			32	50	ns
		出力フィルタ オフ、オーバードライブ = 100mV、低消費電力モード			1.2	4	μs
t_{en}	コンパレータ イネーブル時間	伝播遅延仕様に達するまでの起動時間、高速モード (コンパレータのみ)				5	μs
		伝播遅延仕様に達するまでの起動時間、低消費電力モード (コンパレータのみ)				10	μs
I_{comp}	コンパレータの消費電流	Vcm = VDD/2, 100mV オーバードライブ、リファレンス電圧は DAC 出力、VDD が DAC のリファレンス電圧、高速モード			130	200	μA
		Vcm = VDD/2, 100mV オーバードライブ、リファレンス電圧は DAC 出力、VDD が DAC のリファレンス電圧、低消費電力モード			0.85	2.7	μA
		Vcm = VDD/2, 100mV オーバードライブ、コンパレータのみ。高速モード			120	180	μA
		Vcm = VDD/2, 100mV オーバードライブ、コンパレータのみ、低消費電力モード			0.7	2.1	μA
I_{comp}	コンパレータ + VREF の消費電流が低消費電力	Vcm = VDD/2, 100mV オーバードライブ、リファレンス電圧は DAC 出力 VREF が DAC のリファレンス、低電力モード。VREF レジスタ SHCYCLE=0xC0、HCYCLE=0xC0、SHMODE=1			3		μA
8 ビット DAC 電気的特性							
V_{dac}	DAC の出力範囲			0		VDD	V

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{dac-code}	特定のコードに対する 8 ビット DAC の出力電圧	V _{IN} = 8 ビット DAC に与えるリファレンス電圧、コード n = 0 ~ 255		V _{IN} × (n+1) / 256		V
INL	8 ビット DAC の積分非直線性		-1		1	LSB
DNL	8 ビット DAC の微分非直線性		-1		1	LSB
ゲイン誤差	8 ビット DAC のゲイン誤差	リファレンス電圧 = VDD	-2		2	FSR の %
オフセット誤差	8 ビット DAC のオフセット誤差		-5		5	mV
出力インピーダンス	8 ビット DAC の出力インピーダンス			50		kΩ
t _{dac_settle}	スタティック モードでの 8 ビット DAC のセトリング タイム	DACCODE0 = 0 → 255、DAC 出力精度: 1 LSB、ピン PA3、PA11 の DAC 出力、Cload = 15pF		6		μs
t _{dac_settle}	スタティック モードでの 8 ビット DAC のセトリング タイム	DACCODE0 = 0 → 255、DAC 出力が 1 LSB まで正確		1.5		μs

7.17 I2C

7.17.1 I2C 特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	スタンダード モード		ファスト モード		ファスト モード プラス		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
f _{I2C}	I2C 入力クロック周波数	パワードメイン 0 の I2C	2	32	8	32	20	32	MHz
f _{SCL}	SCL クロック周波数		0.025	0.1		0.4		1	MHz
t _{HD,STA}	(リポート) スタート ホールド時間		4		0.6		0.26		us
t _{LOW}	SCL クロック Low 期間		4.7		1.3		0.5		us
t _{HIGH}	SCL クロックの High 期間		4		0.6		0.26		us
t _{SU,STA}	リポート スタート セットアップ時間		4.7		0.6		0.26		us
t _{HD,DAT}	データ ホールド時間		0		0		0		ns
t _{SU,DAT}	データ セットアップ時間		250		100		50		ns
t _{SU,STO}	ストップ セットアップ時間		4		0.6		0.26		us
t _{BUF}	ストップ コンディションとスタートコンディションの間のバス解放時間		4.7		1.3		0.5		us
t _{VD,DAT}	データ有効時間			3.45		0.9		0.45	us
t _{VD,ACK}	データ有効アクノリッジ時間			3.45		0.9		0.45	us

7.17.2 I2C フィルタ

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f _{SP}	入力フィルタにより抑制されるスパイクのパルス持続時間	AGFSELx = 0		6		ns
		AGFSELx = 1		14	35	ns
		AGFSELx = 2		22	60	ns
		AGFSELx = 3		35	90	ns

7.17.3 I²C のタイミング図

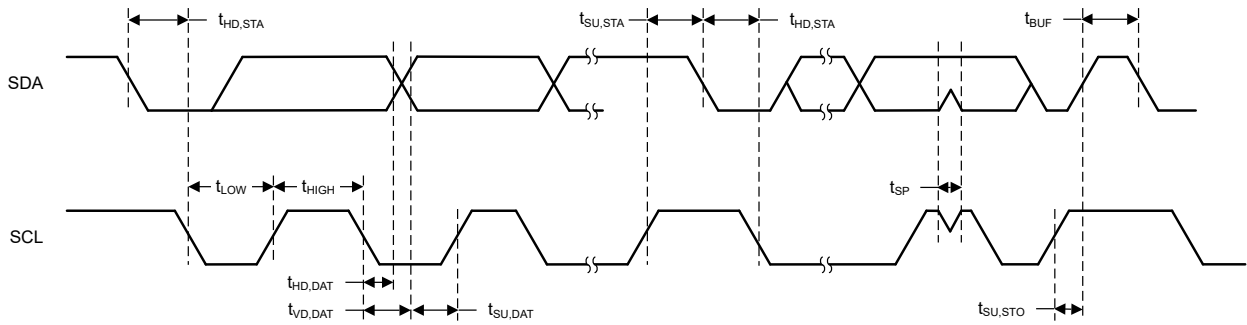


図 7-3. I2C タイミング図

7.18 SPI

7.18.1 SPI

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
SPI						
f _{SPI}	SPI クロック周波数	最大クロック速度 ≥ 32MHz 1.62 < VDD < 3.6V ペリフェラルまたはコントローラ モード			16	MHz
f _{SPI}	SPI クロック周波数	最大クロック速度 ≥ 48MHz 1.62 < VDD < 2.7V 高速 IO のペリフェラルまたはコントローラ モード			24	MHz
f _{SPI}	SPI クロック周波数	最大クロック速度 ≥ 64MHz 2.7 < VDD < 3.6V 高速 IO のペリフェラルまたはコントローラ モード			32	MHz
DC _{SCK}	SCK のデューティ サイクル		40	50	60	%
コントローラ						
t _{SCLK_H/L}	SCLK High または Low 時間		(t _{SPI} /2) - 1	t _{SPI} /2	(t _{SPI} /2) + 1	ns
t _{CS.LEAD}	CS 進み時間、CS アクティブからクロックまで	SPH=0	1 SPI クロック			
t _{CS.LEAD}	CS 進み時間、CS アクティブからクロックまで	SPH=1	1/2 SPI クロック			
t _{CS.LAG}	CS 遅れ時間、最後のクロックから CS 非アクティブまで	SPH=0	1/2 SPI クロック			
t _{CS.LAG}	CS 遅れ時間、最後のクロックから CS 非アクティブまで	SPH=1	1 SPI クロック			
t _{CS.ACC}	CS アクセス時間、CS アクティブから PICO データ出力まで			1/2 SPI クロック		
t _{CS.DIS}	CS ディセーブル時間、CS 非アクティブから PICO 高インピーダンスまで			1 SPI クロック		
t _{SU,CI}	POCI 入力データのセットアップ時間 (1)	2.7 < VDD < 3.6V、遅延サンプリングがイネーブル	2.86			ns
t _{SU,CI}	POCI 入力データのセットアップ時間 (1)	1.62 < VDD < 2.7V、遅延サンプリングがイネーブル	11.5			ns
t _{SU,CI}	POCI 入力データのセットアップ時間 (1)	2.7 < VDD < 3.6V、遅延サンプリングなし	28			ns

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{SU,CI}$	POCI 入力データのセットアップ時間 (1)	$1.62 < VDD < 2.7V$, 遅延サンプリングなし	37			ns
$t_{HD,CI}$	POCI 入力データ ホールド時間	遅延サンプリングがイネーブル	22			ns
$t_{HD,CI}$	POCI 入力データ ホールド時間	遅延サンプリングなし	0			ns
$t_{VALID,CO}$	PICO 出力データの有効時間 (2)				8	ns
$t_{HD,CO}$	PICO 出力データのホールド時間 (3)		0			ns
ペリフェラル						
$t_{CS,LEAD}$	CS 進み時間、CS アクティブからクロックまで		11			ns
$t_{CS,LAG}$	CS 遅れ時間、最後のクロックから CS 非アクティブまで		0			ns
$t_{CS,ACC}$	CS アクセス時間、CS アクティブから POCI データ出力まで				44	ns
$t_{CS,DIS}$	CS ディセーブル時間、CS 非アクティブから POCI 高インピーダンスまで				44	ns
$t_{SU,PI}$	PICO 入力データ セットアップ時間		14.5			ns
$t_{HD,PI}$	PICO 入力データ ホールド時間		3.1			ns
$t_{VALID,PO}$	POCI 出力データの有効時間 (2)	$2.7 < VDD < 3.6V$			29	ns
$t_{VALID,PO}$	POCI 出力データの有効時間 (2)	$1.62 < VDD < 2.7V$			31	ns
$t_{HD,PO}$	POCI 出力データのホールド時間 (3)		5			ns

- (1) 遅延サンプリング機能がイネーブルのとき、POCI 入力データのセットアップ時間を完全に補償できます。
 (2) 出力が SCLK クロック エッジを変更した後、次の有効なデータを出力に駆動する時間を規定します。
 (3) 出力が SCLK クロック エッジを変更した後、出力のデータが有効である間の時間を規定します。

7.18.2 SPI タイミング図

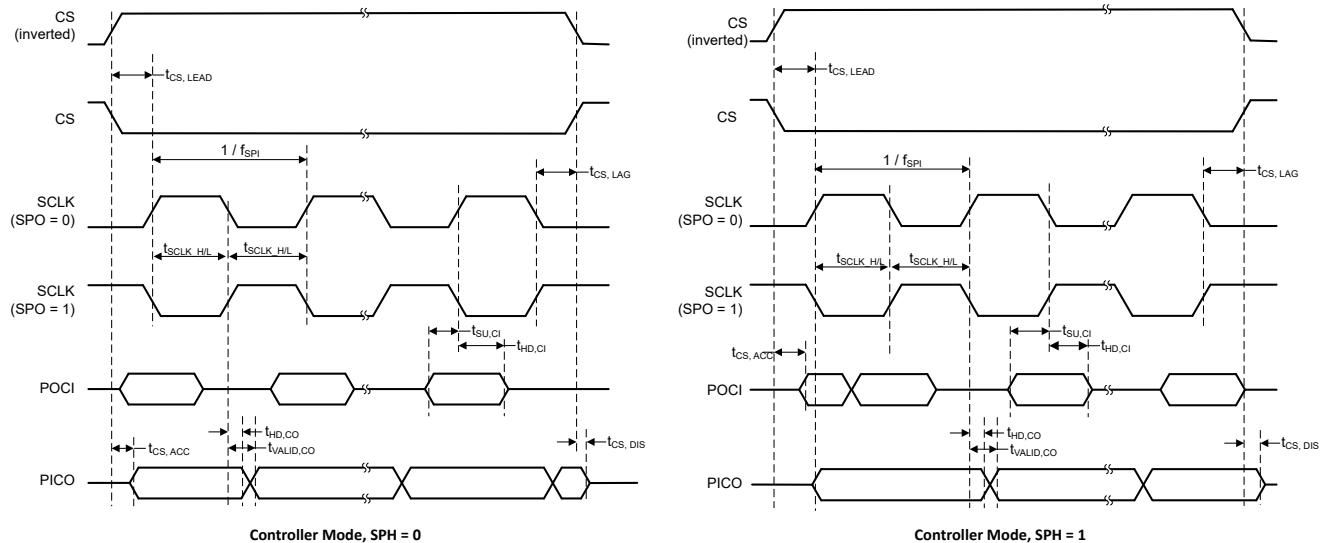


図 7-4. SPI のタイミング図 - コントローラ モード

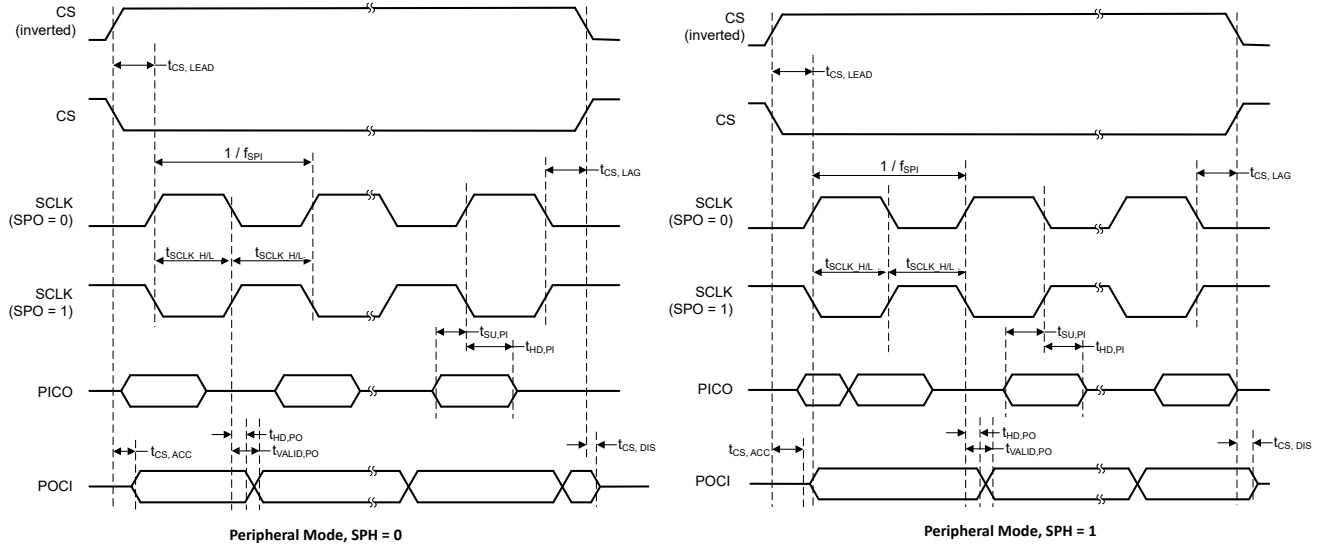


図 7-5. SPI のタイミング図 - ペリフェラル モード

7.19 UART

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
f_{UART}	UART 入力クロック周波数	パワードメイン 1 の UART		80	MHz
f_{UART}	UART 入力クロック周波数	パワードメイン 0 の UART		40	MHz
f_{BITCLK}	BITCLK クロック周波数 (MBaud のボーレートに等しい)	パワードメイン 1 の UART		10	MHz
f_{BITCLK}	BITCLK クロック周波数 (MBaud のボーレートに等しい)	パワードメイン 0 の UART		5	MHz
t_{SP}	入力フィルタにより抑制されるスパイクのパルス持続時間	AGFSELx = 0	6		ns
		AGFSELx = 1	14	35	ns
		AGFSELx = 2	22	60	ns
		AGFSELx = 3	35	90	ns

7.20 TIMx

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
t_{res}	タイマ分解能時間	パワードメイン 1 の TIMx, $f_{\text{TIMxCLK}} = 80\text{MHz}$	12.5		ns
		パワードメイン 0 の TIMx, $f_{\text{TIMxCLK}} = 40\text{MHz}$	25		ns
			1		t_{TIMxCLK}

7.21 TRNG

7.21.1 TRNG 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
$\text{TRNG}_{\text{IACT}}$	TRNG クロック = 20MHz		115		μA

7.22 エミュレーションおよびデバッグ

7.22.1 SWD タイミング

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f _{SWD}	SWD 周波数				10	MHz

8 詳細説明

以降のセクションでは、このデータシートのデバイスを構成するすべてのコンポーネントについて説明します。これらのデバイスに内蔵されているペリフェラルは、メモリ マップ レジスタ (MMR) を介してソフトウェアで設定されます。詳細については、『[MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル](#)』の対応する章を参照してください。

8.1 機能ブロック図

図 8-1 に、デバイスの詳細な機能ブロック図を示します。

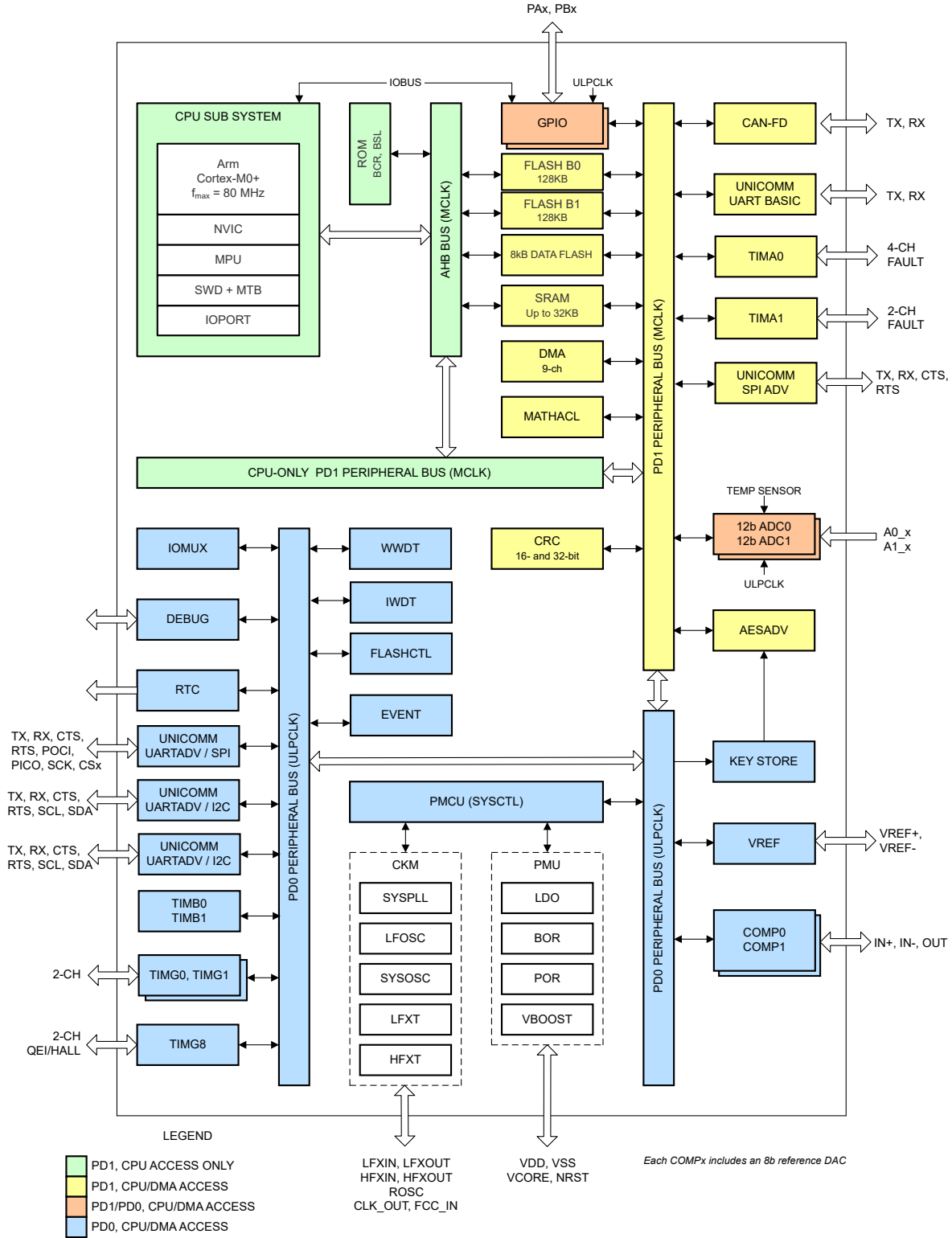


図 8-1. MSPM0G3218-Q1 の機能ブロック図

ADVANCE INFORMATION

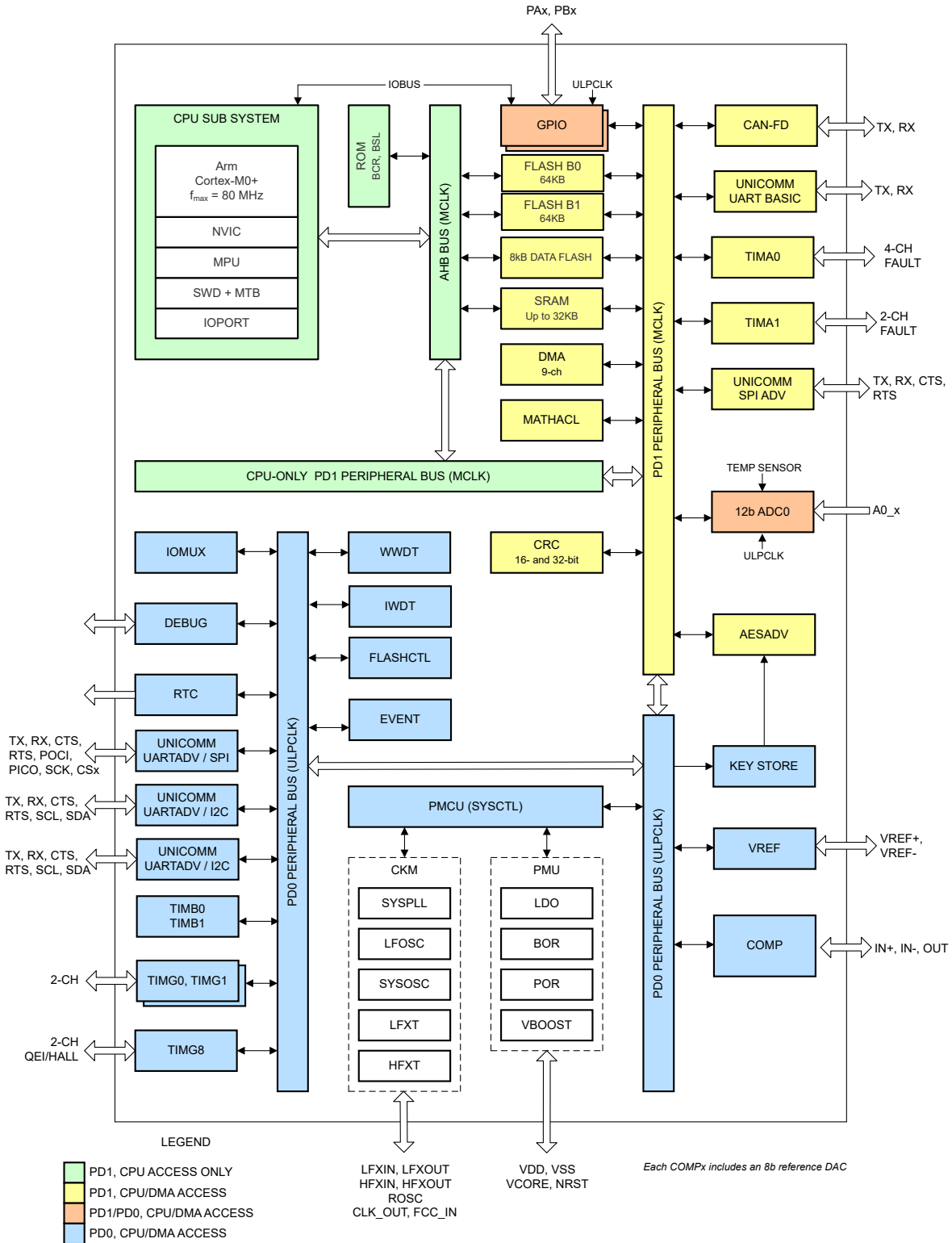


図 8-2. MSPM0G3207-Q1 の機能ブロック図

8.2 CPU

CPU サブシステム (MCPUSS) は、ARM Cortex-M0+ CPU、命令プリフェッチ / キャッシュ、システム タイマ、メモリ保護ユニット、割り込み管理機能を実装しています。ARM Cortex-M0+ は、組込みアプリケーションに高性能と低消費電力を提供する、コスト最適化された 32 ビット CPU です。CPU サブシステムの主な特長は次のとおりです。

- ARM Cortex-M0+ CPU は 32kHz~80MHz のクロック周波数をサポート
 - ARMv6-M Thumb 命令セット (リトル エンディアン)、シングル サイクル 32×32 乗算命令付き
 - ARM シングル サイクル IO ポートを経由して、GPIO レジスタにシングル サイクルでアクセス
- シーケンシャル コード実行を改善するためのプリフェッチ ロジック、4 つの 64 ビット キャッシュラインを備えた I キャッシュ
- 24 ビットのダウン カウンタと自動リロード機能を備えたシステム タイマ (SysTick)
- 8 つのプログラマブル領域を持つメモリ保護ユニット (MPU)
- 4 つのプログラム可能な優先レベルとテール チェーンを備えたネスト型ベクタ割り込みコントローラ (NVIC)
- 割り込みレイテンシを短縮するためのジャンプ インデックスを備えた、割り込みソース全体を拡張するための割り込みグループ

8.3 動作モード

MSPM0G MCU には 5 つのメイン動作モード (電力モード) があり、アプリケーションの要件に基づいてデバイスの消費電力を最適化できます。消費電力を低減するためのモードは次のとおりです。RUN、SLEEP、STOP、STANDBY、SHUTDOWN。CPU は RUN モードではコードをアクティブに実行しています。ペリフェラル割り込みイベントにより、デバイスを SLEEP、STOP、または STANDBY モードから RUN モードにウェークアップできます。SHUTDOWN モードでは、内部コア レギュレータが完全にディセーブルされ、消費電力が最小化されます。また、NRST、SWD、または特定の IO でのロジック レベルの一致によってのみウェークアップが可能です。RUN、SLEEP、STOP、STANDBY の各モードには、複数の構成可能なポリシー オプション (例: RUN.x) も含まれており、性能と消費電力のバランスを確保できます。

性能と消費電力のバランスをさらに高めるために、MSPM0G デバイスには次の 2 つの電力ドメインが実装されています。PD1 (CPU、メモリ、高性能ペリフェラル用) と PD0 (低速、低消費電力ペリフェラル用)。PD1 は、RUN モードと SLEEP モードで常に電源が供給されますが、他のすべてのモードではディセーブルになります。PD0 は、RUN、SLEEP、STOP、STANDBY の各モードで常に電源が供給されます。SHUTDOWN モードでは、PD1 と PD0 の両方がディセーブルになります。

8.3.1 動作モード別の機能 (MSPM0Gx218, MSPM0Gx207, MSPM0G122x)

各動作モードでサポートされている機能を 表 8-1 に示します。

機能キー:

- **EN**: その機能は、指定されたモードでイネーブルされます。
- **DIS**: その機能は、指定されたモードでディセーブル (クロックまたは電源のどちらかが遮断) されますが、その機能の設定は保持されます。
- **OPT**: その機能は、指定されたモードでは任意であり、イネーブルに設定されている場合はイネーブルのままです。
- **NS**: その機能は、指定されたモードで自動的にディセーブルになりませんが、サポートされていません。
- **OFF**: その機能は、指定されたモードで完全に電源がオフになり、設定情報は保持されません。OFF 状態からウェークアップするときは、アプリケーション ソフトウェアですべてのモジュール レジスタを所望の設定に再構成する必要があります。

表 8-1. 動作モード別のサポートされている機能

動作モード	RUN			SLEEP			ストップ			STANDBY		シャットダウン	
	RUN0	RUN1	RUN2	SLEEP0	SLEEP1	SLEEP2	STOP0	STOP1	STOP2	STANDBY0	STANDBY1		
発振器	SYSOSC	EN	DIS	EN	DIS	OPT ⁽¹⁾	EN	DIS	DIS	DIS	DIS	OFF	
	LFOSC または LFXT	EN (LFOSC または LFXT)										OFF	
	HFXT	OPT	DIS	OPT	DIS	DIS			DIS	DIS	DIS	OFF	
	SYSPLL	OPT	DIS ⁽⁴⁾	OPT	DIS ⁽⁴⁾	DIS ⁽⁴⁾			DIS ⁽⁴⁾	DIS ⁽⁴⁾	DIS ⁽⁴⁾	OFF	
クロック	CPUCLK	80MHz	32kHz	DIS								OFF	
	MCLK から PD1 へ	80MHz	32kHz	80MHz	32kHz	DIS						OFF	
	ULPCLK から PD0 へ	40MHz	32kHz	40MHz	32kHz	4 MHz ⁽¹⁾	4MHz	32kHz	32kHz	DIS	DIS	OFF	
	ULPCLK から TIMG0/8 へ	40MHz	32kHz	40MHz	32kHz	4 MHz ⁽¹⁾	4MHz	32kHz	32kHz	32 kHz ⁽²⁾	DIS	OFF	
	RTCCLK	32kHz										OFF	
	MFCLK	OPT	DIS	OPT	DIS	OPT	DIS	DIS	DIS	DIS	DIS	OFF	
	MFPCLK	OPT	DIS	OPT	DIS	OPT	DIS	DIS	DIS	DIS	DIS	OFF	
	LFCLK から PD0/1 へ	32kHz									DIS	OFF	
	LFCLK から TIMG0/8 へ	32kHz									32 kHz ⁽²⁾	OFF	
	LFCLK モニタ	OPT										OFF	
	MCLK モニタ	OPT										DIS	OFF
PMU	POR モニタ	EN										OFF	
	BOR モニタ	EN										OFF	
	コアレギュレータ	高駆動能力					中駆動能力			低駆動能力		OFF	
コア機能	CPU	EN			DIS								OFF
	DMA	OPT					DIS (トリガをサポート)						OFF
	フラッシュ	EN					DIS						OFF
	SRAM	EN					DIS						OFF
PD1 ペリフェラル	MATHACL	OPT					OFF						OFF
	MCAN0	OPT	OFF	OPT	OFF	OFF						OFF	
	TIMA0/1	OPT					OFF						OFF
	AESADV	OPT					OFF						OFF
	CRC-P	OPT					DIS						OFF
	UC2	OPT					DIS						OFF
	UC9	OPT					DIS						OFF

ADVANCE INFORMATION

表 8-1. 動作モード別のサポートされている機能 (続き)

動作モード	RUN			SLEEP			ストップ			STANDBY		シャットダウン
	RUN0	RUN1	RUN2	SLEEP0	SLEEP1	SLEEP2	STOP0	STOP1	STOP2	STANDBY0	STANDBY1	
PD0 ペリフェラル	GPIOA/B ⁽³⁾	OPT									OPT ⁽²⁾	OFF
	TIMG0/8	OPT										OFF
	TIMB0/1	OPT										OFF
	UC0	OPT									OPTO PT ⁽²⁾	OFF
	UC4	OPT									OPTO PT ⁽²⁾	OFF
	UC5	OPT									OPTO PT ⁽²⁾	OPT
	WWDT0/1	OPT									DIS	OFF
	IWDT	OPT										OFF
	RTC_B	OPT										OFF
	キーストア	OPT										OFF
アナログ	VREF1	OPT										OFF
	VREF2	OPT						NS				OFF
	ADC0/1 ⁽³⁾	OPT						NS (トリガをサポート)				OFF
	COMP0/1	OPT	OPT (ULP)	OPT	OPT (ULP)	OPT	OPT (ULP)				OFF	
	温度センサ	OPT									OFF	OFF
IOMUX および IO ウェークアップ	EN										DIS (ウェーク付き)	
ウェーク ソース	該当なし			任意の IRQ			PD0 IRQ				IOMUX、NRST、SWD	

- (1) RUN1 から STOP0 に遷移した場合 (SYSOSC がイネーブルで、MCLK は LFCLK から供給)、RUN1 のときと同様に SYSOSC はイネーブルに維持され、ULPCLK は 32kHz に維持されます。RUN2 から STOP0 に遷移した場合 (SYSOSC がディセーブルで、MCLK は LFCLK から供給)、RUN2 のときと同様に SYSOSC はディセーブルに維持され、ULPCLK は 32kHz に維持されます。
- (2) STANDBY に STANDBY1 のポリシーを使用する場合、特定のペリフェラル (TIMG0、TIMG8、および RTC) のみがクロック駆動されます。その他の PD0 ペリフェラルは、外部アクティビティが発生した際に非同期高速クロック要求を生成できますが、アクティブにクロック供給されません。
- (3) ADCx および GPIOx ポートについては、デジタル ロジックは PD0 にあり、レジスタ インターフェイスは PD1 にあります。これらのペリフェラルは、PD1 がアクティブな場合には、高速シングルサイクル レジスタ アクセスをサポートし、また、PD0 がまだアクティブなときには、STANDBY モードになるまで基本動作もサポートします。
- (4) SYSPLL は自動的にディセーブルされていないため、消費電力を低減するには、SYSCTL レジスタ内の HSCLKEN.SYSPLEN フィールドを使用して手動でディセーブルにする必要があります。

8.4 パワー マネージメント ユニット (PMU)

パワー マネージメント ユニット (PMU) は、本デバイスのための内部的に安定化されたコア電源を生成し、また外部電源 (VDD) の監視を行います。PMU は、PMU 自体とアナログ ペリフェラルで使用されるバンドギャップ基準電圧も内蔵しています。PMU の主な特長は次のとおりです。

- パワーオンリセット (POR) 電源モニタ
- ブラウンアウトリセット (BOR) 電源モニタ、プログラム可能な 3 つのスレッシュホールドを使った早期警告機能付き
- RUN、SLEEP、STOP、STANDBY 動作モードをサポートするコア レギュレータにより、性能と消費電力を動的に最適化
- パリティ保護されたトリムにより、パワー マネージメントトリムが破損した際、パワーオンリセット (POR) を直ちに生成

詳細については、『MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル』と、『MSPM0 L シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル』の「PMU」の章を参照してください。

8.5 クロック モジュール (CKM)

クロック モジュールは以下に示す発振器を備えています。

- **LFOSC**: 内部低周波数発振器 (32KHz)
- **SYSOSC**: 内部高周波数発振器 (4MHz または 32MHz (出荷時に調整)、16MHz または 24MHz (ユーザーによる調整))
- **LFXT/LFCKIN**: 低周波数の外部水晶発振器またはデジタル クロック入力 (32kHz)
- **HFXT/HFCKIN**: 高周波の外部水晶発振器またはデジタル クロック入力 (4~48MHz)
- **SYSPLL**: 3 出力 (32~80MHz) のシステム フェーズ ロック ループ

プロセッサ、バス、ペリフェラルで使用するために、クロック モジュールによって以下に示すクロックが分配されます。

- **MCLK**: PD1 ペリフェラルのメイン システム クロック。SYSOSC、LFCLK または HSCLK から生成。RUN および SLEEP モードでアクティブ。
- **CPUCLK**: プロセッサのクロック (MCLK から生成)。RUN モードでアクティブ。
- **ULPCLK**: PD0 ペリフェラル用の超低消費電力クロック。RUN、SLEEP、STOP、STANDBY モードでアクティブ。
- **MFCLK**: ペリフェラル用 4MHz 固定の中周波数クロック。RUN、SLEEP、STOP モードで使用可能。
- **LFCLK**: ペリフェラルまたは MCLK 用 32kHz 固定の低周波数クロック。RUN、SLEEP、STOP、STANDBY モードでアクティブ。
- **ADCCLK**: ADC のクロック。RUN、SLEEP、STOP モードで使用可能。
- **CLK_OUT**: クロックを外部に出力するために使用。RUN、SLEEP、STOP、STANDBY モードで使用可能。
- **HFCLK**: HFXT または HFCLK_IN から生成される高周波数クロック。RUN および SLEEP モードで使用可能。
- **HSCLK**: HFCLK または SYSPLL から生成される高速クロック。RUN および SLEEP モードで使用可能。
- **CANCLK**: CAN 機能クロック。HFCLK または SYSPLL から生成。

詳細については、『MSPM0 G シリーズ 80MHz マイコン テクニカル リファレンス マニュアル』の「CKM」の章を参照してください。

8.6 DMA

ダイレクト メモリ アクセス (DMA) コントローラを使うと、CPU を介さずに、いずれかのメモリ アドレスから別のメモリ アドレスにデータを移動できます。たとえば、DMA を使って ADC 変換メモリから SRAM にデータを移動できます。DMA を使用すると、ペリフェラルとの間でデータをやりとりするとき、CPU をウェークアップする必要がなく、低消費電力モードのまま維持できるため、システムの消費電力を削減できます。

これらのデバイスの DMA は、以下の主な機能をサポートしています。

- 9 つの独立した DMA 転送チャンネル
 - 5 つのフル機能チャンネル (DMA0-DMA4)。繰り返し転送モードをサポートします。
 - 4 つの基本チャンネル (DMA5-DMA8)、シングル転送モードをサポートします。
- DMA チャンネルの優先度を設定可能
- バイト (8 ビット)、ショートワード (16 ビット)、ワード (32 ビット)、ロングワード (64 ビット)、ロングロングワード (128 ビット)、またはバイトとワードの混合の転送機能
- 最大 64k のブロック サイズのすべてのデータ タイプの転送をサポートする転送カウンタ
- DMA 転送トリガの選択を設定可能
- 他のチャンネルにサービスを提供するためのアクティブ チャンネル割り込み
- ピンポン バッファ アーキテクチャのための早期割り込み生成
- 他のチャンネルでのアクティビティ完了時のチャンネルのカスケード化
- データの再構成をサポートするためのストライド モード (3 相測定アプリケーションなど)
- 収集モード

表 8-2. DMA の機能

特長	完全	基本
チャンネル番号	0、1、2、3、4	5、6、7、8
反復モード	あり	-
テーブルとフィルモード	あり	-
収集モード	あり	-
IRQ 前	あり	-
オート イネーブル	あり	あり
ロング ロング (128 ビット) 転送	あり	あり
ストライド モード	あり	あり
カスケード チャンネルのサポート	あり	あり

DMA で使用可能なトリガの一覧を 表 8-3 に示します。これらは、DMA メモリ マップ レジスタの DMATCTL.DMATSEL 制御ビットで設定されます。

表 8-3. DMA のトリガの割り当て

DMACTL.DMATSEL	トリガ ソース
0	ソフトウェア
1	一般サブスクライバ (FSUB_0)
2	一般サブスクライバ (FSUB_1)
3	AESADV パブリッシャ 1
4	AESADV パブリッシャ 2
5	S0U2 RX パブリッシャ 1
6	S0U2 TX パブリッシャ 2
7	S0U3 UART RX パブリッシャ 1
8	S0U3 TX パブリッシャ 2
9	S0U4 RX パブリッシャ 1
10	S0U4 TX パブリッシャ 1
11	S1U0 RX パブリッシャ 1
12	S1U0 TX パブリッシャ 2
13	S1U2 RX パブリッシャ 1
14	S1U2 TX パブリッシャ 2
15	ADC0 DMA トリガ
16	ADC1 DMA トリガ

詳細については、『MSPM0 G シリーズ 80MHz マイコン テクニカルリファレンス マニュアル』の「DMA」の章を参照してください。

8.7 イベント

イベント マネージャは、1 つのエンティティ (ペリフェラルなど) から別のエンティティ (第 2 のペリフェラル、DMA、CPU など) にデジタル イベントを転送します。イベント マネージャは、静的なルートとプログラマブルなルートの組み合わせを含むイベント ファブリックによって相互接続された一連の定義済みイベント パブリッシャ (ジェネレータ) およびサブスクライバ (レシーバ) によるイベント転送を実装しています。

イベント マネージャによって転送されるイベントには、以下が含まれます。

- 割り込み要求 (IRQ) として CPU に転送されるペリフェラル イベント (静的イベント)
 - 例: CPU に送られる RTC 割り込み
- DMA トリガとして DMA に転送されるペリフェラル イベント (DMA イベント)
 - 例: DMA 転送を要求するための、DMA への UART データ受信トリガ
- ハードウェアでの動作を直接トリガするため、別のペリフェラルに転送されるペリフェラル イベント (汎用イベント)
 - 例: TIMx タイマ ペリフェラルが ADC サブスクライバ ポートに周期的イベントを発行し、ADC がこのイベントを使ってサンプリング開始をトリガする。

詳細については、『[MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「イベント」の章を参照してください。

表 8-4. 汎用イベントチャンネル

汎用ルートは、1:1 ルートと 1:2 スプリッタ ルートのどちらかです。これらのルートでは、イベントを発行しているペリフェラルは、利用可能な複数の汎用ルートチャンネルの 1 つを使ってそのイベントを別の 1 つのエンティティ (スプリッタ ルートの場合は複数のエンティティ) に公開するように構成されています。ここでエンティティとは、別のペリフェラル、汎用 DMA トリガイベント、または汎用 CPU イベントです。

CHANID	汎用ルートチャンネルの選択	チャンネル タイプ
0	汎用イベント チャンネルが選択されていない。	該当なし
1	汎用イベント チャンネル 1 が選択されている。	1:1
2	汎用イベント チャンネル 2 が選択されている。	1:1
3	汎用イベント チャンネル 3 が選択されている。	1:1
4	汎用イベント チャンネル 4 が選択されている。	1:1
5	汎用イベント チャンネル 5 が選択されている。	1:1
6	汎用イベント チャンネル 6 が選択されている。	1:1
7	汎用イベント チャンネル 7 が選択されている。	1:1
8	汎用イベント チャンネル 8 が選択されている。	1:1
9	汎用イベント チャンネル 9 が選択されている。	1:1
10	汎用イベント チャンネル 10 が選択されている。	1:1
11	汎用イベント チャンネル 11 が選択されている。	1:1
12	汎用イベント チャンネル 12 が選択されている。	1:2 (スプリッタ)
13	汎用イベント チャンネル 13 が選択されている。	1:2 (スプリッタ)
14	汎用イベント チャンネル 14 が選択されている。	1:2 (スプリッタ)
15	汎用イベント チャンネル 15 が選択されている。	1:2 (スプリッタ)

8.8 メモリ

8.8.1 メモリ構成

表 8-5 に、本デバイスのメモリ マップを示します。メモリ領域の詳細については、『[MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「プラットフォーム メモリ マップ」セクションを参照してください。

表 8-5. メモリ構成 - MSPM0G3218-Q1 および MSPM0G3207-Q1

メモリ領域	サブ領域	MSPM0G3207-Q1	MSPM0G3218-Q1
コード (フラッシュ バンク 0)	MAIN、ECC 訂正あり	128KB	256KB
		0x0000.0000~0x0000.FFFF	0x0000.0000~0x0001.FFFF
	MAIN、ECC 訂正なし	0x0040.0000~0x0040.FFFF	0x0040.0000~0x0041.FFFF
	フラッシュ ECC コード	0x4180.0000~0x4180.FFFF	0x4180.0000~0x4181.FFFF
コード (フラッシュ バンク 1)	MAIN、ECC 訂正あり	128KB	256KB
		0x0001.0000~0x0001.FFFF	0x0002.0000~0x0003.FFFF
	MAIN、ECC 訂正なし	0x0041.0000~0x0041.FFFF	0x0042.0000~0x0043.FFFF
	フラッシュ ECC コード	0x4181.0000~0x4181.FFFF	0x4182.0000~0x4183.FFFF
データフラッシュ バンク	データフラッシュ ECC 修正	16KB	16KB
		0x41D0.0000~0x41D0.1FFF	0x41D0.0000~0x41D0.1FFF
	データフラッシュがチェックされていません	0x41E0.0000~0x41E0.1FFF	0x41E0.0000~0x41E0.1FFF
	データフラッシュ ECC コード	0x41F0.0000~0x41F0.1FFF	0x41F0.0000~0x41F0.1FFF
SRAM	SRAM ECC 修正	32KB	32KB
		0x2000.0000~0x2000.7FFF	0x2000.0000~0x2000.7FFF
	SRAM ECC コード	0x2030.0000~0x2030.7FFF	0x2030.0000~0x2030.7FFF
ペリフェラル	ペリフェラル	0x4000.0000~0x40FF.FFFF	0x4000.0000~0x40FF.FFFF
	NONMAIN、訂正あり	2KB	2KB
		0x41C0.0000~0x41C0.07FF	0x41C0.0000~0x41C0.07FF
	NONMAIN、訂正なし	0x41C1.0000~0x41C1.07FF	0x41C1.0000~0x41C1.07FF
	NONMAIN ECC コード	0x41C2.0000~0x41C2.07FF	0x41C2.0000~0x41C2.07FF
	FACTORY、訂正あり	512Bytes	512Bytes
		0x41C4.0000~0x41C4.01FF	0x41C4.0000~0x41C4.01FF
FACTORY、訂正なし	0x41C5.0000~0x41C5.01FF	0x41C5.0000~0x41C5.01FF	
	FACTORY ECC コード	0x41C6.0000~0x41C6.01FF	0x41C6.0000~0x41C6.01FF
サブシステム		0x6000.0000~0x7FFF.FFFF	0x6000.0000~0x7FFF.FFFF
システム PPB		0xE000.0000~0xE00F.FFFF	0xE000.0000~0xE00F.FFFF

8.8.2 ペリフェラルのまとめ

表 8-6 に、使用可能なペリフェラルと、各ペリフェラルのレジスタ ベース アドレスの一覧を示します。

表 8-6. ペリフェラルのまとめ

ペリフェラル名	ベース アドレス	サイズ
ADC0	0x40004000	0x00002000
ADC1	0x40006000	0x00002000
COMP0	0x40008000	0x00001F00
COMP1	0x4000A000	0x00001F00
VREF	0x40030000	0x00001F00
WWDT0	0x40080000	0x00001500

表 8-6. ペリフェラルのまとめ (続き)

ペリフェラル名	ベース アドレス	サイズ
WWDT1	0x40082000	0x00001500
TIMG0	0x40084000	0x00001F00
TIMG8	0x40090000	0x00001F00
LFSS	0x40094000	0x00001600
TIMG14	0x40096000	0x00001F00
GPIOA	0x400A0000	0x00001F00
GPIOB	0x400A2000	0x00001F00
KEYSTORECTL	0x400AC000	0x00002000
SYSCTL	0x400AF000	0x00003100
TIMB0	0x400B8000	0x00001C00
TIMB1	0x400BA000	0x00001C00
TIMB2	0x400BC000	0x00001C00
DEBUGSS	0x400C7000	0x00001F00
EVENTLP	0x400C9000	0x00003000
FLASHCTL	0x400CD000	0x00002000
CPUSS	0x40400000	0x00001F00
MATHACL	0x40410000	0x00001500
WUC	0x40424000	0x00000500
IOMUX	0x40428000	0x00002000
DMA	0x4042A000	0x00001F00
CRCP0	0x40440000	0x00002000
AESADVHP	0x40442000	0x00001200
TRNG	0x40444000	0x00001E00
CANFD0	0x40508000	0x00008000
ADC0_SVT	0x4055A000	0x00001000
ADC1_SVT	0x4055C000	0x00001000
TIMA0	0x40860000	0x00001F00
TIMG12	0x40870000	0x00001F00
UC0_0_UART	0x40A04000	0x00005500
UC0_1_UART	0x40A06000	0x00007500
UC5_UART	0x40A08000	0x00009500
UC0_0_I2CC	0x40A24000	0x00025500
UC0_1_I2CC	0x40A26000	0x00027500
UC5_I2CC	0x40A28000	0x00029500
UC0_0_I2CT	0x40A44000	0x00045500
UC0_1_I2CT	0x40A46000	0x00047500
UC5_I2CT	0x40A48000	0x00049500
UC0_0	0x40A84000	0x00085C00
UC0_1	0x40A86000	0x00087C00
UC5	0x40A88000	0x00089C00
SPG0	0x40A9F000	0x000A0C00
S1U0_UART	0x40B00000	0x00001500
S1U1_UART	0x40B02000	0x00003500
S1U0_SPI	0x40B60000	0x00061200
S1U1_SPI	0x40B62000	0x00063200

表 8-6. ペリフェラルのまとめ (続き)

ペリフェラル名	ベース アドレス	サイズ
S1U2_SPI	0x40B64000	0x00065200
S1U0	0x40B80000	0x00081C00
S1U1	0x40B82000	0x00083C00
S1U2	0x40B84000	0x00084A00

8.8.3 ペリフェラルの割り込みベクタ

表 8-7 に、このデバイス内の各ペリフェラルの IRQ 番号と割り込みグループ番号を示します。

表 8-7. 割り込みベクタ番号

ペリフェラル名	NVIC IRQ	グループ IIDX
WWDT0	0	0
WWDT1	0	1
DEBUGSS	0	2
FLASHCTL	0	3
イベント サブ ポート 0	0	4
イベント サブ ポート 1	0	5
SYSCTL	0	6
GPIOA	1	0
GPIOB	1	1
COMP0	1	2
COMP1	1	3
TIMG8	2	-
ADC0	4	-
ADC1	5	-
CANFD0	6	-
S1U2	9	-
S1U0	13	-
S0U2	15	-
TIMG0	16	-
TIMA0	18	-
TIMA1	19	-
TIMB0	20	-
TIMB1	21	-
TIMG1	22	-
S0U3	24	-
S0U4	25	-
AESADV	28	-
RTC_B	30	-
DMA0	31	-

8.9 フラッシュ メモリ

実行可能なプログラム コードとアプリケーション データを格納するため、不揮発性フラッシュ メモリ (合計最大 256kB) のデュアル バンクと、独立したデータ フラッシュ バンク (MSPM0Gx218 および MSPM0Gx207 で 8kB) が備わっています。

フラッシュの主な特長は次のとおりです。

- ハードウェア ECC 保護 (エンコードおよびデコード)、シングル ビット誤り訂正およびダブル ビット誤り検出機能付き
- 推奨電源電圧範囲全体にわたって、インサーキットでの書き込み / 消去動作をサポート
- 1kB の小さなセクタ サイズ (1kB の最小消去分解能)
- フラッシュ メモリの選択された 32 セクターで最大 100,000 回の書き込み / 消去サイクル、残りのフラッシュ メモリで最大 10,000 回の書き込み / 消去サイクルをサポート (32kB のデバイスでは、フラッシュ メモリ全体で 100,000 サイクルをサポート)

- システム内のワイヤレス (OTA) ファームウェア更新に適したバンク アドレスのスワップ

フラッシュ メモリの詳細な説明については、『[MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「NVM」の章を参照してください。

8.10 SRAM

MSPM0 MCU には、低消費電力の高性能 SRAM が搭載されており、デバイスでサポートされている CPU 周波数範囲全体にわたってゼロ ウェイト状態でのアクセスに対応します。また、MSPM0 MCU は、ハードウェア ECC またはパリティ付きの最大 32KB の SRAM も備えています。SRAM は、呼び出しスタック、ヒープ、グローバル データ、コードなどの揮発性情報を格納するために使用できます。SRAM の内容は、RUN、SLEEP、STOP、STANDBY 動作モードでは完全に保持され、SHUTDOWN モードでは失われます。

書き込み実行相互排他 (ミューテックス) メカニズムが用意されており、アプリケーションで SRAM を読み取り / 書き込み (RW) パーティションと、読み取り / 実行 (RX) パーティションの 2 つのセクションに分割できます。この RW パーティションは SRAM アドレス空間の下位部分を占有し、RX パーティションは SRAM アドレス空間の上位部分を占有します。これらのパーティションを設定するには、SYSCTL の SRAMBOUNDARY レジスタを構成する必要があります。書き込み保護は、実行可能コードを SRAM に配置するときに役立ちます。CPU または DMA によってコードが意図せず上書きされることに対してある程度の保護を提供するからです。SRAM にコードを配置すると、ゼロ ウェイト状態動作と低消費電力を実現することで、重要なループの性能を向上できます。RW パーティションからのコード実行を防ぐことで、コード実行の自己修正を防止することでセキュリティを向上させます。

8.11 GPIO

汎用入出力 (GPIO) ペリフェラルを使用することにより、デバイス ピンとの間でデータを読み書きできます。ポート A およびポート B GPIO ペリフェラルを使用することで、これらのデバイスは最大 60 本の GPIO ピンをサポートします。

GPIO モジュールの主な特長は次のとおりです。

- CPU からの 0 待機状態の MMR アクセス
- ソフトウェアでのリード モディファイ ライト構造を必要とせずに、複数のビットのセット、クリア、トグルが可能
- 「ウェークアップ機能付きの標準」駆動機能を持つ GPIO により、デバイスを SHUTDOWN モードからウェークアップ可能
- ユーザー制御の入力フィルタリング
- 任意の GPIO ポートによる、STOP および STANDBY モードからの低消費電力ウェークアップを可能にする GPIO の「FastWake」機能

詳細については、『[MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「GPIO」の章を参照してください。

8.12 IOMUX

IOMUX ペリフェラルは IO パッド構成を可能にし、デバイス ピンを出入りするデジタル データの流れを制御します。IOMUX の主な特長は次のとおりです。

- IO パッド構成レジスタにより、プログラム可能な駆動強度、速度、プルアップまたはプルダウンなどを実現
- デジタル ピン多重化により、複数のペリフェラル信号を同じ IO パッドに接続可能
- PINCM レジスタを使って、ピンの機能と能力をユーザー設定可能

詳細については、『[MSPM0 G シリーズ 80MHz マイコン テクニカル リファレンス マニュアル](#)』の「IOMUX」の章を参照してください。

8.13 ADC

これらのデバイスの 12 ビット アナログ / デジタル コンバータ (ADC) モジュール ADC0 および ADC1 は、いずれもシングルエンド入力で高速な 12 ビット変換をサポートし、同時サンプリング動作を実現しています。

ADC の主な特長は次のとおりです。

- 1.6MSPS において 12 ビットの出力分解能
- ハードウェア平均化により、100ksps で 14 ビットの実効分解能を実現
- 最大 27 の合計外部入力チャンネル
- 24 の個別の結果ストレージレジスタ (ADC インスタンスごとに 12)
- 温度センシングおよび電源監視用の内部チャンネル
- ソフトウェアで選択可能なリファレンス電圧:
 - 1.4V と 2.5V に設定可能な共有内部リファレンス電圧 (VREF1) (VREF±ピンにデカップリングコンデンサが必要) により 1.6Mbps をサポート
 - 内部専用リファレンス電圧 (VREF2) : 1.4V と 2.5V に設定でき、0.9MSPS をサポート
 - MCU 電源電圧 (VDD)
 - 外部リファレンス電圧、VREF+/- ピンを経由して ADC に供給
- RUN、SLEEP、STOP の各モードで動作

デバイスの ADC チャンネルの割り当てを、表 8-8 に示します。

表 8-8. ADC チャンネル割り当て

CHANNEL[0:8]	信号名 ⁽²⁾		CHANNEL[9:14,30,31]	信号名 ^{(1) (2)}	
	ADC0	ADC1		ADC0	ADC1
0	A0_0	A1_0	9	A0_9	-
1	A0_1	A1_1	10	-	A1_10
2	A0_2	A1_2	11	温度センサ	A1_11
3	A0_3	A1_3	12	A0_12	A1_12
4	A0_4	A1_4	13	A0_13	A1_13
5	A0_5	A1_5	14	A0_14	A1_14
6	A0_6	A1_6	30	VREF1	VREF2
7	A0_7	A1_7	31	電源 / バッテリ モニタ	電源 / バッテリ モニタ
8	A0_8	A1_8			

(1) 信号名が斜体で記載された信号は、完全にデバイス内部の信号です。これらの信号は、内部ペリフェラルの相互接続に使用されます。

(2) デバイスのアナログ接続の詳細については、『デバイス アナログ接続』を参照してください。

詳細については、『MSPM0 G シリーズ 80MHz マイコン テクニカル リファレンス マニュアル』の「ADC」の章を参照してください。

8.14 温度センサ

温度センサは、デバイス温度に対して直線的に変化する電圧を出力します。温度センサの出力は、温度からデジタルへの変換を可能にするため、ADC 入力チャンネルの 1 つに内部的に接続されています。

温度センサのユニットごとの 1 点キャリブレーション値は、ファクトリ定数メモリ領域に格納されています。このキャリブレーション値は、工場調整温度 (TS_{TRIM}) において 1.4V 内部 VREF を使用して 12 ビット モードで測定された温度センサ値に対応する ADC 変換結果 (ADC コード形式) を表します。

上記の測定において、ADC および VREF の構成は次のとおりです。RES = 0 (12 ビット モード)、VRSEL = 2h (内部リファレンス)、BUFCONFIG = 1h (1.4V VREF)、ADC t_{Sample} = 10μs。このキャリブレーション値を温度センサの温度係数 (TS_c) と組み合わせて使用することで、本デバイスの温度を推定できます。

出荷時調整値を使って本デバイスの温度を推定する方法については、『MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル』と『』の「温度センサ」のセクションを参照してください。

8.15 VREF

これらのデバイスの共有電圧リファレンス モジュール (VREF1 および VREF2) には、構成可能な電圧リファレンス バッファが含まれており、ユーザーはオンボードのアナログ ペリフェラルに安定した電圧リファレンスを供給できます。また、より高い精度が必要なアプリケーション向けに、外部リファレンスの取り込みもサポートしています。

VREF1 には以下の機能があります。

- ユーザー選択可能な 1.4V および 2.5V の内部リファレンス
- 内部リファレンスは、1.6Msps のフルスピード ADC 動作をサポート
- コンパレータ動作のサポート
- VREF+/- デバイス ピンでの外部リファレンス取り込みをサポート
- 適切な動作のために、VREF+/- ピンにデカップリング コンデンサを配置する必要があります。詳細については、VREF をご覧ください。

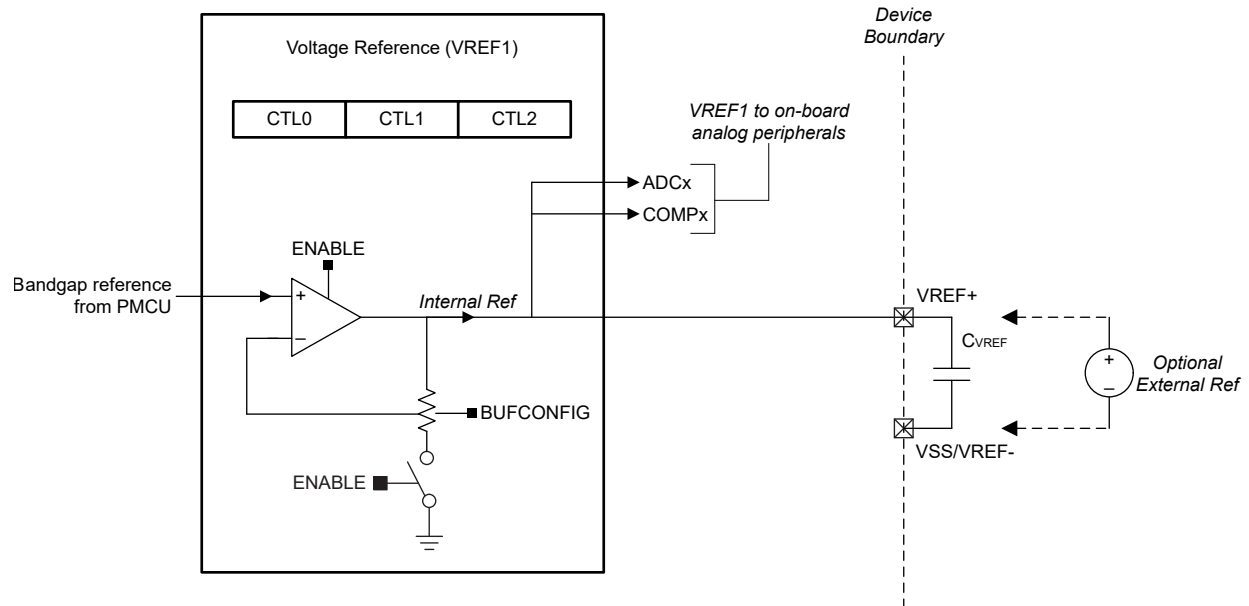


図 8-3. VREF1 モジュール

VREF2 (VREFINT) の主な機能は以下のとおりです:

- ユーザー選択可能な 1.4V および 2.5V の内部リファレンス
- 内部リファレンスは、0.9Msps の減速 ADC 動作をサポート
- 適切な動作のために、VREF+/- ピンにデカップリング コンデンサを配置する必要はありません。

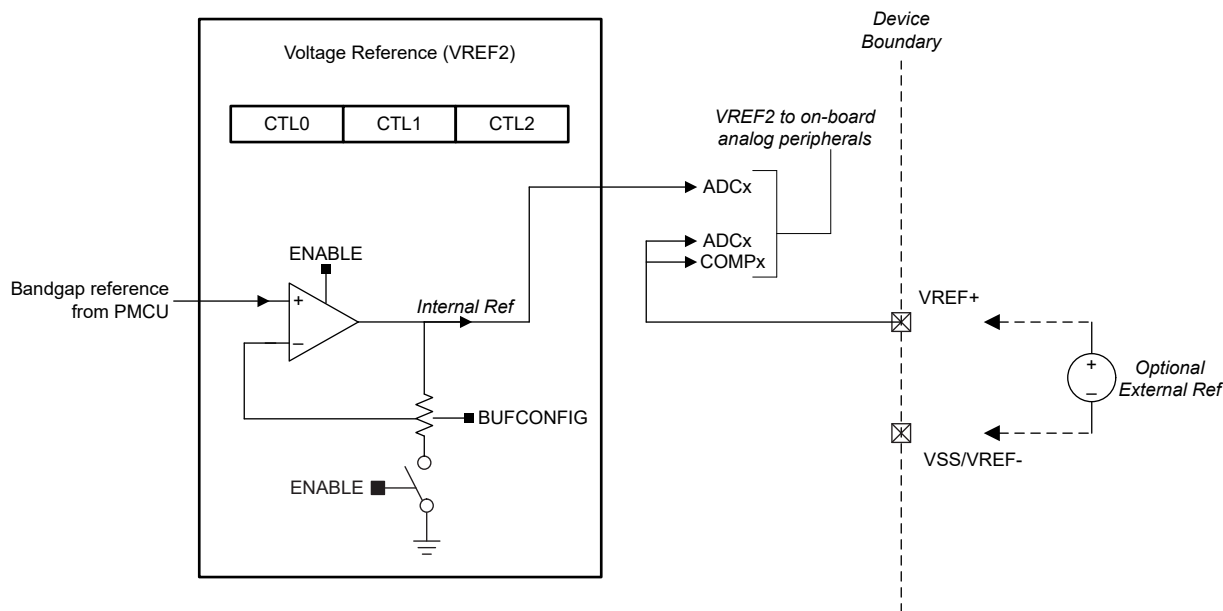


図 8-4. VREF2 (VREFINT) モジュール

詳細については、『MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル』の「VREF」の章を参照してください。

8.16 COMP

本デバイスのコンパレータ パリフェラルは、2 つの入力端子の電圧レベルを比較し、この比較に基づいてデジタル信号を出力します。COMP は、以下の主な機能をサポートしています。

- プログラマブル ヒステリシス
- リファレンス電圧をプログラム可能:
 - 外部リファレンス電圧 (VREF IO)
 - 内部リファレンス電圧 (1.4V、2.5V)
- ピン機能:
 - 内蔵ル 8 ビットリファレンス DAC

DACOUT 信号で出力できます

- 動作モードを設定可能:
 - 高速度モード
 - 低消費電力モード
- 出力グリッチ フィルタ遅延をプログラム可能
- TIMx インスタンスからの 6 つのブランキング ソースをサポート (表 8-9 を参照)
- コンパレータ出力を使用してすべての低消費電力モードからのデバイス ウェークアップ
- 先進のタイマ フォルト処理機能に接続された出力
- デバイス ピンまたは内部アナログ モジュールからコンパレータ チャンネル入力を選択できます (表 8-10 および表 8-11 を参照)

表 8-9. COMP ブランキング ソース表

CTL2.BLANKSRC	ブランキング ソース
1	TIMA0.CC2
2	TIMA0.CC3
3	TIMA1.CC1

表 8-9. COMP ブランキング ソース表 (続き)

CTL2.BLANKSRC	ブランキング ソース
4	TIMG0.CC1
5	TIMG1.CC1
6	TIMG8.CC1

表 8-10. COMP0 入力チャネル選択

IPSEL / IMSEL ビット	正端子入力	負端子入力
0x0	COMP0_IN0+	COMP0_IN0-
0x1	COMP0_IN1+	COMP0_IN1-
0x2	COMP0_IN2+	COMP0_IN2-
0x3	COMP0_IN3+	-
0x5	-	温度センサ
0x7	COMP1 正端子信号	-

表 8-11. COMP1 入力チャネル選択

IPSEL / IMSEL ビット	正端子入力	負端子入力
0x0	COMP1_IN0+	COMP1_IN0-
0x1	COMP1_IN1+	COMP1_IN1- / VREF+
0x2	COMP1_IN2+	COMP1_IN2-
0x3	COMP1_IN3+	-
0x7	COMP0 正端子信号	-

デバイスのアナログ接続の詳細については、「デバイスのアナログ接続」を参照してください。

詳細については、『MSPM0 G シリーズ 80MHz マイコン テクニカル リファレンス マニュアル』の「COMP」の章を参照してください。

8.17 セキュリティ

このデバイスは、次のような複数のセキュリティ機能を備えています。

- デバッグ セキュリティ
- デバイス識別
- GCM/GMAC、CCM/CBC-MAC、CBC、CTR をサポートする AES-128/256 アクセラレータ
- コードおよびデータ保護用のフレキシブルなファイアウォール
 - フラッシュ書き込み消去保護
 - フラッシュ読み取り実行保護
 - フラッシュ IP 保護
 - SRAM 書き込み実行の相互排他
- セキュア ブート
- ファームウェアのセキュア更新
- 最大 4 つの AES キーを格納可能なセキュア キー ストレージ
- 顧客のセキュア コード
- ハードウェア単調カウンタ
- カスタム多項式をサポートする巡回冗長性検査 (CRC-16、CRC-32)

詳細については、『MSPM0 L シリーズ 32MHz マイコン テクニカル リファレンス マニュアル』と『MSPM0 G シリーズ 80MHz マイコン テクニカル リファレンス マニュアル』の「セキュリティ」の章を参照してください。

8.18 AESADV

AES 高度な (AESADV) アクセラレータ モジュールは、AES (Advanced Encryption Standard) に従って 128 ビットまたは 256 ビットのキーをハードウェアに配置し、128 ビットのデータ ブロックの暗号化と復号化を実行します。AES は、FIPS PUB 197 で規定されている対称キー ブロック暗号アルゴリズムです。

AESADV アクセラレータには、次のような機能があります。

- 128 ビットと 256 ビットのキーによる AES 動作
- ハードウェア内でのキー スケジューリング
- ENC /復号化のみのモード: CBC、CFB-1、CFB-8、CFB-128、OFB-128、CTR/ICM
- 認証専用モード: CBC-MAC、CMAC
- AES-CCM
- AES-GCM
- AES-CCM および AES-GCM モードは、ペイロード データのホールド /レジュームによる継続をサポートしています
- 32 ビットワードのアクセスにより、キー データ、入力データ、および出力データを供給
- AESADV 準備完了割り込み
- 入出力データの DMA トリガ
- RUN モードと SLEEP モードをサポート (デバイスのテクニカル リファレンス マニュアルの「動作モード」セクションを参照)

詳細については、『』と『[MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「AESADV」の章を参照してください。

8.19 キーストア

キーストア コントローラは、Advanced Encryption Engine (AES) キーの安全な管理を提供します。キーストア コントローラの使用モデルは、顧客のセキュア コードの実行中にキーを安全に格納し、その後 AES エンジンがオブザーバーにキーデータを漏らさずに安全な方法でそれらにアクセスすることです。128 ビットと 256 ビットのキーは、キーストアのキー スロットに格納できます。キーストアと AES エンジンとの相互作用は、部分的なキー変更攻撃を阻止するなど、安全な操作を可能にするように設計されています。

- 最大 4 つのキーの保存をサポートします

詳細については、『[MSPM0 L シリーズ 32MHz マイコン テクニカル リファレンス マニュアル](#)』と『[MSPM0 G シリーズ 80MHz マイコン テクニカル リファレンス マニュアル](#)』の「キーストア」の章を参照してください。

8.20 CRC-P

巡回冗長検査 (CRC) モジュールは入力データ シーケンスのシグネチャを提供します。CRC モジュールの主な特長は次のとおりです。

- CRC16-CCITT に基づく 16 ビット CRC をサポート
- CRC32-ISO3309 に基づく 32 ビット CRC をサポート
- ビットリバーサルをサポート
- カスタム多項式をサポート

詳細については、『[MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル](#)』と、『[MSPM0 L シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「CRC」の章を参照してください。

8.21 MATHACL

演算アクセラレータ (MATHACL) は、ハードウェア アクセラレーションによる 32 ビット数学関数の集合体であり、システムの計算スループットを向上させます。MATHACL は、CPU が実行する数学計算の負荷を軽減し、効率および CoreMark の性能を向上させます。

MATHACL では、以下のハードウェア機能を使用できます。

- 正弦 / 余弦 (サイン / コサイン) (SINCOS)
- 逆正接 (アークタンジェント) (ATAN2)
- 平方根 (SQRT)
- 除算 (DIV)
- 乗算、32 ビットの結果 (MPY32)
- 二乗、32 ビットの結果 (SQUARE32)
- 乗算、64 ビットの結果 (MPY64)
- 二乗、64 ビットの結果 (SQUARE64)
- 積和演算 (MAC)
- 二乗和演算 (SAC)

詳細については、『MSPM0 G シリーズ 80MHz マイコンコントローラ テクニカル リファレンス マニュアル』の「MATHACL」の章を参照してください。

8.22 UNICOMM (UART/SPI/I2C)

UNICOMM は、UART、SPI、I²C コントローラ、または I²C ターゲット機能として構成できる柔軟性の高いペリフェラルです。ユーザーは、構成およびデータ転送の前に、シリアル インターフェイスのいずれかを選択できます。ペリフェラルは、インスタンスごとに共通の FIFO を使用し、動作状態に基づいてデバイス機能を最大化します。シリアル ペリフェラルグループは、I²C ループバックのような特殊機能用に 1 つ以上の UNICOMM を組み合わせたもので、オプションの構成です。表 8-12 UNICOMM、使用可能なペリフェラル シリアル インターフェイス、FIFO の深さのグループ化について説明します。

表 8-12. UNICOMM (UCx) シリアル ペリフェラル

UNICOMM インスタンス	シリアル ペリフェラルグループ	UART	I ² C コントローラ	I ² C ターゲット	SPI	FIFO の深度
UC0	SPG0 (PD0)	ADV	ADV	ADV	-	4
UC4		ADV	-	-	基本	4
UC5		最小値 + LIN	ADV	ADV	-	4
UC2	SPG1 (PD1)	-	-	-	ADV	4
UC9		最小値 + LIN	-	-	-	4

詳細については、『MSPM0 G シリーズ 80MHz マイコン テクニカル リファレンス マニュアル』の「UNICOMM」の章を参照してください。

8.22.1 UART (UNICOMM)

UNICOMM-UART ペリフェラルの主な機能を次に示します。

- スタート、ストップ、およびパリティ用の標準非同期通信ビット
- プログラマブルなシリアル インターフェイス
 - 5、6、7、または 8 データビット
 - 偶数パリティビット、奇数パリティビット、スティックパリティビット、およびパリティなしビットの生成 / 検出
 - 1 または 2 ストップビットの生成
 - LSB ファーストまたは MSB ファーストのデータ送受信
 - 改行の検出
 - プログラマブルなボーレート生成 (16/8/3 倍オーバーサンプリング機能付き)
- 低消費電力動作時のスタートビット検出時の非同期高速クロック要求によって SYSOSC をウェイクアップするサポートモード
- 送信および受信ループバック モード動作をサポート
- サポートされているプロトコルと機能の詳細については、表 8-13 を参照してください

表 8-13. UNICOMM-UART 機能のサポート

UNICOMM-UART の特長		(高度)	(基本、LIN 付き)
機能タグ	機能説明	UC0、UC4	UC5、UC9
-	停止およびスタンバイ モードでアクティブ	あり	あり
UART-RX-TIMEOUT	受信タイムアウトと回線タイムアウト	あり	あり
UART-IDLELINE-MULTIPROC	アイドル ライン マルチプロセッサ	あり	あり
UART-FLOW-CONTROL	RS-485 をサポートするフロー制御 (CTS/RTS)	あり	あり
UART-MULTIDROP-9-BIT	アドレス指定可能なペリフェラルを搭載したマルチドロップ システム向けの 9 ビット UART モード	あり	あり
UART-EXT-DRIVER	外部ドライバ出力カインーブル	あり	-
UART-SMARTCARD	ISO7816 スマート カード モード	あり	-
UART-LIN	LIN (Local Interconnect Network)	あり	あり
UART-DALI-MANCHESTER	IEC62386 デジタル アドレス指定可能な照明インターフェイス (DALI)	あり	-
UART-IRDA	IrDA エンコーダおよびデコーディング	あり	-
UART-FIFO	RX および TX FIFO	4	4
UART-DMA	ダイレクト メモリ アクセス (DMA)	あり	あり

詳細については、『MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル』の「UART (UNICOMM)」の章を参照してください。

8.22.2 I2C (UNICOMM)

これらのデバイスの I²C (Inter-Integrated Circuit Interface) ペリフェラルは、バス上のその他の I2C デバイスとの双方向データ転送を行い、次の主な機能をサポートしています。

- 複数の 7 ビット ターゲット アドレスによる 7 ビットおよび 10 ビット アドレッシング モード
 - マルチ コントローラトランスミッタ/レシーバ モード
 - 設定可能クロック ストレッチング付きターゲット レシーバ/トランスミッタ モード
 - 標準モード (Sm) をサポート (最大 100kbit/s のビットレート)
 - 高速モード (Fm) をサポート (最大 400kbit/s のビットレート)
 - 高速プラス モード (Fm+) をサポート (最大 1Mbit/s のビットレート)
 - オープンドレイン IO (ODIO) およびハイドライブ IO (HDIO) へのみ対応
 - 独立した送信および受信 FIFO による DMA データ転送のサポート
 - PEC、ARP、タイムアウト検出、ホスト サポートにより SMBus 3.0 をサポート
 - アドレス一致で低消費電力モードからウェイクアップ
 - 入力信号のグリッチを抑制するためのアナログ グリッチ フィルタをサポート
 - 4 エントリの送信および受信 FIFO
- コントローラとターゲットの機能でサポートされている機能の詳細については、表 8-14 と表 8-15 を参照してください

表 8-14. I2C コントローラ (UNICOMM) の特長

サポートされている機能	(高度)
UNICOMM インスタンス	UC0、UC5
標準モード (Sm) をサポート	あり
高速モード (Fm) をサポート	あり
高速モード プラス (Fm+) をサポート	あり
アナログ グリッチ フィルタをサポート	あり

表 8-14. I2C コントローラ (UNICOMM) の特長 (続き)

サポートされている機能	(高度)
UNICOMM インスタンス	UC0, UC5
デジタル グリッチ フィルタをサポート	-
バースト モードをサポート	あり
SMBus モードをサポート	あり

表 8-15. I2C ターゲット (UNICOMM) の特長

サポートされている機能	(高度)
UNICOMM インスタンス	UC0, UC5
標準モード (Sm) をサポート	あり
高速モード (Fm) をサポート	あり
高速モード プラス (Fm+) をサポート	あり
アナログ グリッチ フィルタをサポート	あり
デジタル グリッチ フィルタをサポート	-
2 番目のターゲット アドレスとマスクをサポート	あり
SMBus モードをサポート	あり
低消費電力ウエイクアップをサポート	あり

詳細については、『MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル』の「I2C (UNICOMM)」の章を参照してください。

8.22.3 SPI (UNICOMM)

これらのデバイスのシリアル ペリフェラル インターフェイス (SPI) ペリフェラルは、以下の主な機能をサポートしています。

- コントローラ モードとペリフェラル モードの両方で、ULPCLK/2 のビット レートと最大 32Mbit/s をサポートします。¹
- コントローラまたはペリフェラルとして構成可能
- コントローラとペリフェラルの両方に対して、最大 4 つのチップ セレクトをサポート
- 送信および受信に 1 つのパリティをサポートします
- プログラマブルなクロック プリスケールおよびビット レート
- データ フレーム サイズを 4 ビット～16 ビット (コントローラ モード)、7 ビット～16 ビット (ペリフェラル モード) にプログラム可能
- DMA データ転送をサポートする送信および受信 FIFO (エン트리ごとに 16 ビットの 4 エン트리)
- TI モードおよび Motorola モードをサポート
- 送信パスと受信パスの両方でシングル ビット パリティをサポート
- サポートされている機の詳細については、表 8-16 を参照してください

表 8-16. SPI (UNICOMM) の特長

SPI の機能	(高度)	SPI1 (基本)
UNICOMM インスタンス	UC2	UC4
コントローラ モードとペリフェラル モード	あり	あり
パリティ機能をサポート	あり	あり
反復モードの転送をサポート	あり	-

¹ HSIO ピンの SPI 信号のみが、16Mbit/s を超えるデータ レートをサポートしています。HSIO ピンについては、ピン配置図を参照してください。

表 8-16. SPI (UNICOMM) の特長 (続き)

SPI の機能	(高度)	SPI1 (基本)
UNICOMM インスタンス	UC2	UC4
受信タイムアウトをサポート	あり	-
コマンド/データ制御をサポート	あり	-
4 つのチップ セレクトをサポート	あり	-

詳細については、『MSPM0 G シリーズ 80MHz マイコンコントローラ テクニカル リファレンス マニュアル』の「SPI (UNICOMM)」の章を参照してください。

8.23 UART

UART ペリフェラル (UART0-UART1、UART3-UART7) の主な機能を次に示します。

- スタート、ストップ、およびパリティ用の標準非同期通信ビット
- プログラマブルなシリアル インターフェイス
 - 5、6、7、または 8 データ ビット
 - 偶数パリティビット、奇数パリティビット、スティック パリティビット、およびパリティなしビットの生成 / 検出
 - 1 または 2 ストップ ビットの生成
 - 改行の検出
 - 入力信号のグリッチ フィルタ
 - プログラマブルなボーレート生成 (16/8/3 倍オーバーサンプリング機能付き)
 - ローカル相互接続ネットワーク (LIN) モードのサポート
- 独立した送信および受信 FIFO による DAM データ転送のサポート
- 送信および受信ループバック モード動作をサポート
- サポートされているプロトコルの詳細については、表 8-17 を参照してください

表 8-17. UART の機能

UART の機能	UART0、UART7 (拡張、低電力)	UART1 (メイン、低消費電力)	UART3-UART6 (メイン)
停止およびスタンバイ モードでアクティブ	あり	あり	-
送信 FIFO と受信 FIFO を分離	あり	あり	あり
ハードウェア フロー制御をサポート	あり	あり	あり
9 ビット構成をサポート	あり	あり	あり
LIN モードをサポート	あり	-	-
DALI をサポート	あり	-	-
IrDA をサポート	あり	-	-
ISO7816 スマート カードをサポート	あり	-	-
マンチェスター符号化をサポート	あり	-	-

詳細については、『MSPM0 G シリーズ 80MHz マイコン テクニカル リファレンス マニュアル』の「UART」の章を参照してください。

8.24 I2C

これらのデバイスの I²C (Inter-Integrated Circuit Interface) ペリフェラルは、バス上のその他の I2C デバイスとの双方向データ転送を行い、次の主な機能をサポートしています。

- 複数の 7 ビット ターゲット アドレスによる 7 ビットおよび 10 ビット アドレスモード
- マルチ コントローラ トランスミッタ / レシーバ モード
- 設定可能クロック ストレッチング付きターゲット レシーバ / トランスミッタ モード

- 標準モード (Sm) をサポート (最大 100kbit/s のビットレート)
- 高速モード (Fm) をサポート (最大 400kbit/s のビットレート)
- 高速プラス モード (Fm+) をサポート (最大 1Mbit/s のビットレート)
 - オープンドレイン IO (ODIO) およびハイドライブ IO (HDIO) にも対応
- 独立した送信および受信 FIFO による DMA データ転送のサポート
- PEC、ARP、タイムアウト検出、ホスト サポートにより SMBus 3.0 をサポート
- アドレス一致で低消費電力モードからウェークアップ
- 4 エントリの送信および受信 FIFO

詳細については、『[MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル](#)』と『[MSPM0 L シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「I2C」の章を参照してください。

8.25 SPI

これらのデバイスのシリアル ペリフェラル インターフェイス (SPI) ペリフェラルは、以下の主な機能をサポートしています。

- コントローラ モードとペリフェラル モードの両方で、MCLK/2 のビット レートと最大 32Mbit/s をサポートします。²
- コントローラまたはペリフェラルとして構成可能
- コントローラとペリフェラルの両方に対応する構成可能なチップ セレクト
- プログラマブルなクロック プリスケールおよびビット レート
- データ フレーム サイズを 4 ビット～16 ビット (コントローラ モード)、7 ビット～16 ビット (ペリフェラル モード) にプログラム可能
- PACKEN 機能をサポート、2 つの 16 ビット FIFO エントリを 32 ビット値にパックして CPU 性能を向上
- DMA データ転送をサポートする送信および受信 FIFO (エントリごとに 16 ビットの 4 エントリ)
- テキサス・インスツルメンツ モード、Motorola モード、National Microwire 形式をサポート

詳細については、『[MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル](#)』と、『[MSPM0 L シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「SPI」の章を参照してください。

8.26 CAN-FD

コントローラ エリア ネットワーク (CAN) コントローラは、CAN2.0A、CAN2.0B、または CAN-FD バスとの通信を可能にし、最大 5M ビット レートをサポートする ISO 11898-1:2015 規格に準拠しています。CAN-FD ペリフェラルの主な特長は次のとおりです。

- 64 バイトの CAN-FD フレームを完全にサポート
- ECC 付きの専用 1kB メッセージ SRAM
- 構成可能な送信 FIFO、送信キュー、イベント FIFO (最大 32 個の素子)
- 最大 32 個の送信専用バッファと 64 個の受信専用バッファ
- 2 つの構成可能な受信 FIFO (それぞれ最大 64 個の素子)
- 最大 128 個のフィルタ素子
- 2 つの割り込みライン
- パワーダウンとウェークアップをサポート
- タイムスタンプ カウンタ

詳細については、『[MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「CAN-FD」の章を参照してください。

8.27 低周波数サブシステム (LFSS)

低周波数サブシステム (LFSS) は、複数の機能ペリフェラルを 1 つの共有サブシステムの下に組み合わせたサブシステムです。これらのペリフェラルは、低周波数クロック (LFCLK) によってクロック供給されるか、低消費電力モードではアクティブにする必要があります。LFCLK の標準周波数は 32kHz で、主に長期的な時間管理を目的としています。

² HSIO ピンの SPI 信号のみが、16Mbit/s を超えるデータ レートをサポートしています。HSIO ピンについては、「ピン配置図」を参照してください。

LFSS_B は、このデバイスの特定の LFSS バリエーションであり、次の部品が含まれています。

- 追加のプリスケアラ拡張機能とタイムスタンプ キャプチャ機能を備えたリアルタイム クロック (RTC_B)
- 非同期独立型ウォッチドッグ タイマ (IWDT)

詳細については、『MSPM0 G シリーズ 32MHz マイコン テクニカル リファレンス マニュアル』と『MSPM0 L シリーズ 80MHz マイコン テクニカル リファレンス マニュアル』の「LFSS」の章を参照してください。

8.28 RTC_B

リアルタイム クロック の RTC B は、32kHz の入力クロック ソース (通常は低周波数の水晶振動子) で動作し、CPU への割り込み用の複数のオプションを備えたタイム ベースをアプリケーションに提供します。RTC_B は、低周波数サブシステム (LFSS) に関連する一般的な主要な機能を提供します。

RTC_B の一般的な主な特長は次のとおりです。

- 秒、分、時、曜日、日、月、年のカウンタ
- バイナリまたは BCD フォーマット
- うるう年の取り扱い
- 分、時、曜日、日に基づいてカスタマイズ可能な 1 つのアラーム割り込み
- 1 分ごと、1 時間ごと、深夜 12 時、または正午にウェイクアップするインターバル アラーム割り込み
- インターバル アラーム割り込みによる 4096、2048、1024、512、256、128Hz の周期的なウェイクアップ
- インターバル アラーム割り込みによる 64、32、16、8、4、2、1、0.5Hz の周期的なウェイクアップ
- 水晶振動子オフセット誤差の較正 (最大 ± 240 ppm)
- 温度ドリフトの補償 (最大 ± 240 ppm)
- キャリブレーション用に RTC クロックをピンに出力

このデバイスでサポートされている RTC 機能を、表 8-18 に示します。

表 8-18. RTC_B の主な特長

RTC の機能	RTC_B
パワー イネーブルレジスタ	-
秒、分、時間、曜日、日、月、年を提供するリアルタイム クロックおよびカレンダー モード	あり
2 進または 2 進化 10 進 (BCD) 形式を選択可能	あり
うるう年補正 (1901 年から 2099 年まで有効)	あり
分、時、曜日、日に基づいてカスタマイズ可能な 2 つのカレンダー アラーム 割り込み	あり
1 分ごと、1 時間ごと、深夜 12 時、または正午にウェイクアップするインターバル アラーム割り込み	あり
4096、2048、1024、512、256、または 128Hz でウェイクするための定期的な割り込み	あり
64、32、16、8、4、2、1、0.5Hz でウェイクするための定期的な割り込み	あり
スタンバイ モードまでの割り込み機能、STOPCLKSTBY による	あり
水晶振動子オフセット誤差と水晶振動子の温度ドリフトの較正 (合計で最大 ± 240 ppm)	あり
キャリブレーション用に RTC クロックをピンに出力 (GPIO)	あり
キャリブレーション用に RTC クロックをピンに出力 (TIO)	-
割り込み生成機能付きハートビート機能用 3 ビット プリスケアラ	-

表 8-18. RTC_B の主な特長 (続き)

RTC の機能	RTC_B
RTC 外部クロックは、トリムされていない 32kHz、トリムされた 512Hz、256Hz、1Hz のいずれかを選択可能	-
以下を含むタイマ スタンプ イベント検出時の RTC タイマ スタンプ キャプチャ <ul style="list-style-type: none"> • TIO イベント • VDD 障害イベント 	-
RTC カウンタ ロック機能	-

詳細については、『[MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「RTC」の章を参照してください。

8.29 IWDT_B

LFSS の独立したウォッチ ドッグ タイマ (IWDT) は、デバイスに依存しないスーパー バイザであり、コードの実行と、デバイスの全体的なハング アップシナリオを監視します。LFSS の性質上、この IWDT には独自のシステム独立クロックソースがあります。アプリケーション ソフトウェアがプログラムされた時間内にウォッチ ドッグを正常にリセットしなかった場合、ウォッチ ドッグはデバイスに POR リセットを生成します。

IWDT の主な特長は次のとおりです。

- 1 つの 25 ビット カウンタ
- プログラマブル クロック デバイダを使用して LFOSC (固定 32kHz クロック パス) でカウンタを駆動します
- 8 つのウォッチ ドッグ タイマ期間を選択可能 (2ms ~ 2 時間)

詳細については、『』と『[MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「IWDT」の章を参照してください。

8.30 WWDT

ウィンドウ付きウォッチドッグ タイマ (WWDT) は、本デバイスの動作 (特にコードの実行) を監視するために使えます。WWDT は、アプリケーション ソフトウェアが規定された時間の範囲内にウォッチドッグを正常にリセットしなかった場合に、リセットまたは割り込みを生成するために使用できます。WWDT の主な特長は次のとおりです。

- 25 ビット カウンタ
- プログラマブルなクロック分周回路
- ソフトウェアで選択可能な 8 つのウォッチドッグ タイマ期間
- ソフトウェアで選択可能な 8 つのウィンドウ サイズ
- SLEEP モードに入った際の WWDT の自動停止をサポート
- ウォッチドッグ機能を必要としないアプリケーションのためのインターバル タイマ モード

詳細については、『』と『[MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「WWDT」の章を参照してください。

8.31 タイマ (TIMx)

これらのデバイスには 2 種類のタイマ ペリフェラルがあり、主な機能をサポートしています。TIMGx (汎用タイマ) と TIMAx (アドバンスド タイマ)。TIMGx は TIMAx のサブセットであるため、タイマ インスタンス間の共通の機能がソフトウェア互換であることを意味します。構成の詳細については、[表 8-19](#) を参照してください。

汎用タイマ (TIMGx) 特有の機能には以下が含まれます。

- 16/32 ビットのダウン、アップ/ダウン、ダウン/アップ カウンタ、反復リロード モード付き
- 選択可能 / 構成可能なクロック ソース

- カウンタ クロック周波数を分周するための 8 ビット プログラマブル プリスケーラ
- 以下のための 2 つの独立したチャンネル
 - 出力の比較
 - 入力のカプチャ
 - PWM 出力
 - ワンショット モード
- 直交エンコーダ インターフェイス (QEI) とホール センサ入力ロジックをサポート、TIMG8 で利用可能
- 同一電力ドメイン内の異なる TIMx インスタンス間の同期とクロストリガをサポート
- 割り込み / DMA トリガ生成とクロス ペリフェラル (ADC など) トリガ機能をサポート

高度制御タイマ (TIMAx) 特有の機能には以下が含まれます。

- 16 ビットのダウンまたはアップ/ダウン カウンタ、反復リロード モード付き
- 選択可能 / 構成可能なクロック ソース
- カウンタ クロック周波数を分周するための 8 ビット プログラマブル プリスケーラ
- カウンタで所定のサイクル数が経過した後にのみ割り込みまたはイベントを生成する、リピート カウンタ
- 以下のための最大 4 個の独立したチャンネル
 - 出力の比較
 - 入力のカプチャ
 - PWM 出力
 - ワンショット モード
- データ保存および CC レジスタ用のシャドウ レジスタ、TIMA0 および TIMA1 で利用可能
- プログラム可能なデッド バンド挿入機能を備えた相補出力 PWM
- 非対称型 PWM
- フォルト処理メカニズムを構成可能
 - 外部フォルト入力またはコンパレータのイベントに対する高速な PWM 応答 (40ns 未満)
 - ラッチされたフォルト状態が発生したとき、ユーザー定義の安全な状態で信号を出力する
- 同一電力ドメイン内の異なる TIMx インスタンス間の同期とクロストリガをサポート
- 割り込みおよび DMA トリガ生成とクロス ペリフェラル (ADC など) トリガ機能をサポート
- 内部イベント用の 2 つの追加カプチャ / 比較チャンネル

表 8-19. TIMx の構成

タイマ名	パワードメ イン	分解能	プリスケーラ	レポートカウ ンタ	カプチャ / 比 較チャンネル	位相ロー ド	シャドウロー ド	シャドウ CC	デッドバンド	フォルト	QEI
TIMG0	PD0	16 ビット	8 ビット	-	2	-	-	-	-	-	-
TIMG1	PD0	16 ビット	8 ビット	-	2	-	-	-	-	-	-
TIMG8	PD0	16 ビット	8 ビット	-	2	-	-	-	-	-	あり
TIMA0	PD1	16 ビット	8 ビット	8 ビット	4	あり	あり	あり	あり	あり	-
TIMA1	PD1	16 ビット	8 ビット	8 ビット	2	あり	あり	あり	あり	あり	-

表 8-20. TIMx クロストリガ マップ (PD1)

TSEL.ETSEL の選択	TIMA0	TIMA1
0	TIMA0.TRIG0	TIMA0.TRIG0
1	TIMA1.TRIG0	TIMA1.TRIG0
2	TIMG8.TRIG0	TIMG8.TRIG0

表 8-21. TIMx クロストリガ マップ (PD0)

TSEL.ETSEL の選択	TIMG0	TIMG1	TIMG8
0	TIMG0.TRIG0	TIMG0.TRIG0	TIMG0.TRIG0
1	TIMG1.TRIG0	TIMG1.TRIG0	TIMG1.TRIG0
2	TIMG8.TRIG0	TIMG8.TRIG0	TIMG8.TRIG0

詳細については、『[MSPM0 G シリーズ 80MHz マイコン テクニカル リファレンス マニュアル](#)』の「TIMx」の章を参照してください。

8.32 入力 / 出力の回路図

IOMUX は、デジタル IO で使用するペリフェラル機能の選択を管理します。また、出力ドライバ、入力パス、SHUTDOWN モードからのウェークアップ ロジックの制御機能も備えています。詳細については、『[MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「IOMUX」の章を参照してください。

図 8-5 に、フル機能 IO ピンのミクスト シグナル IO ピン スライスの回路図を示します。すべてのピンに対して、アナログ機能、ウェークアップ ロジック、駆動強度制御、プルアップまたはプルダウン抵抗が利用可能であるとは限りません。特定のピンでサポートされている機能の詳細については、デバイスごとのデータシートを参照してください。

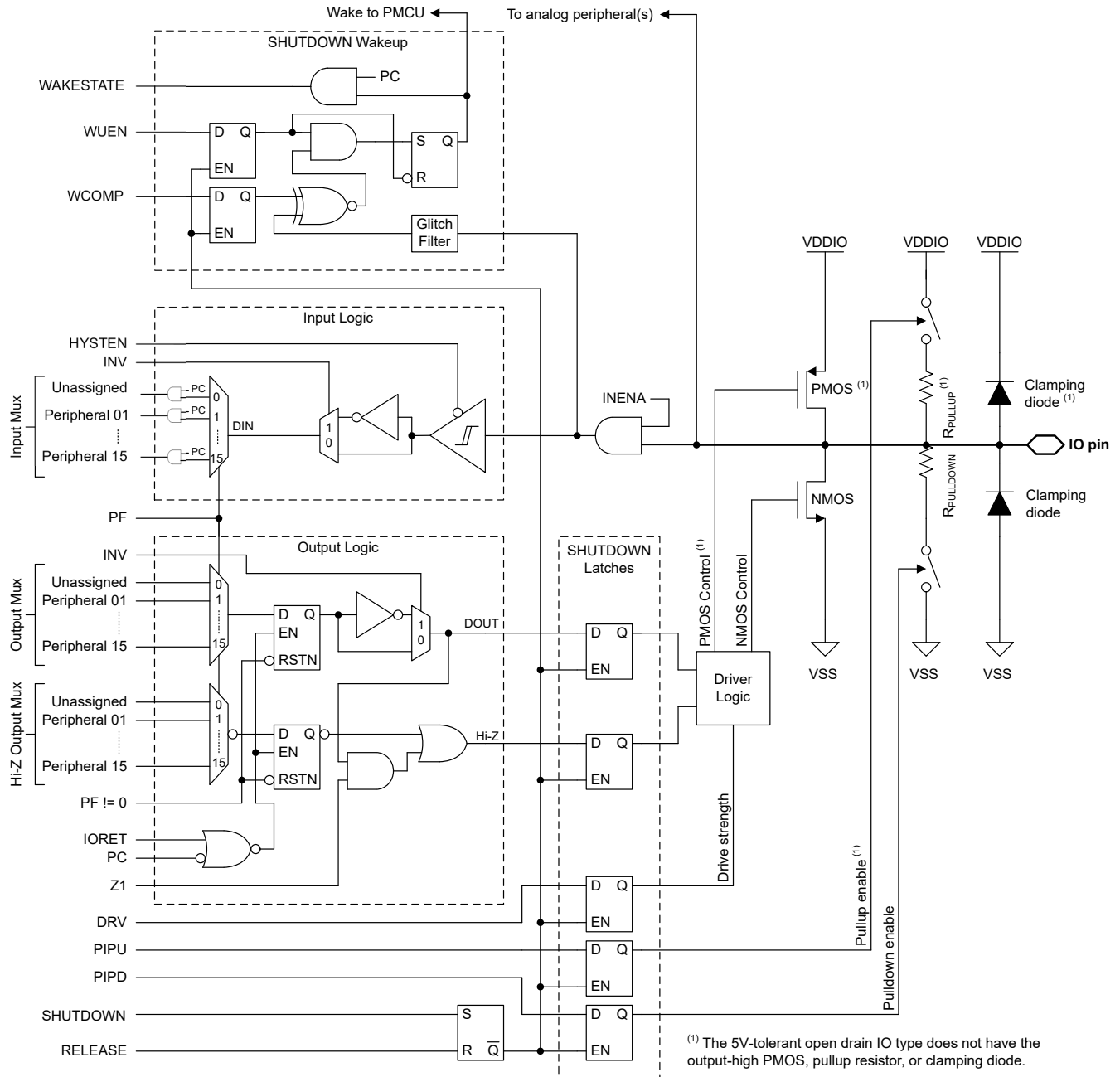


図 8-5. 入力 / 出力の回路図 (上位セット)

8.33 デバイスのアナログ接続

本デバイスの内部アナログ接続を、図 8-6 に示します。

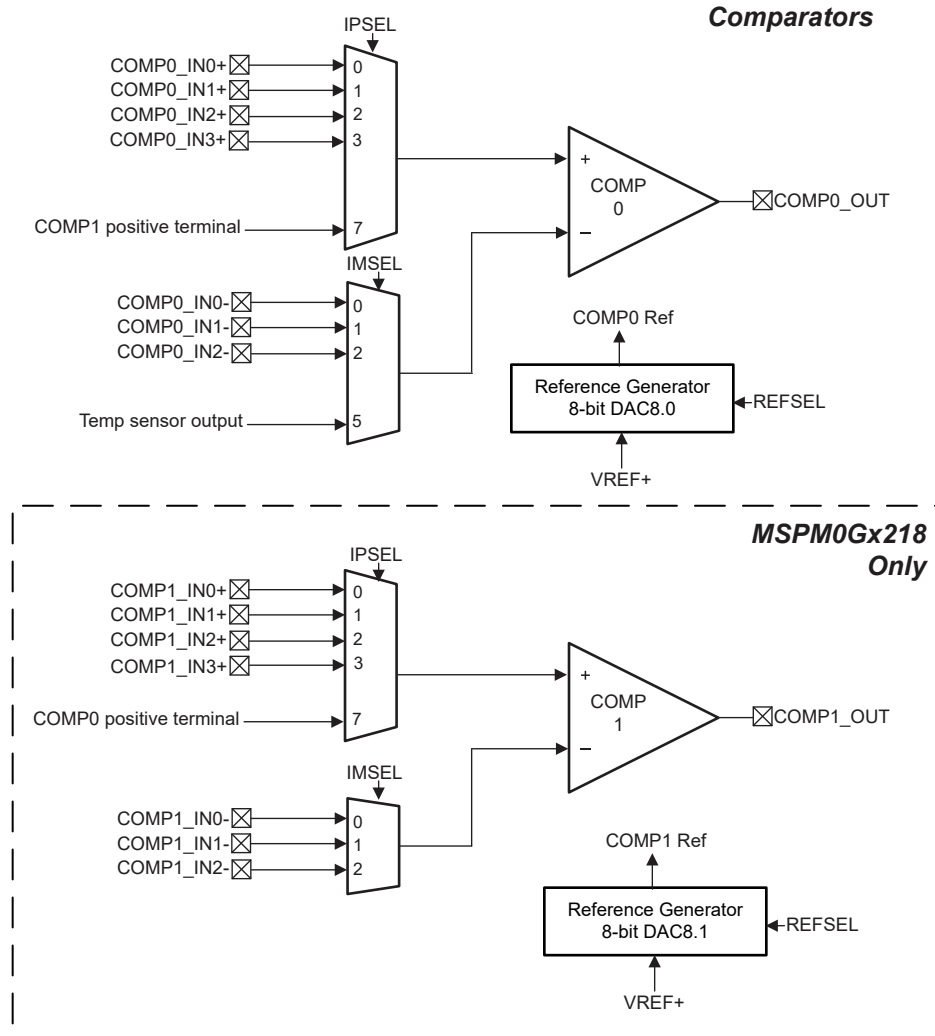


図 8-6. コンパレータのアナログ接続

ADVANCE INFORMATION

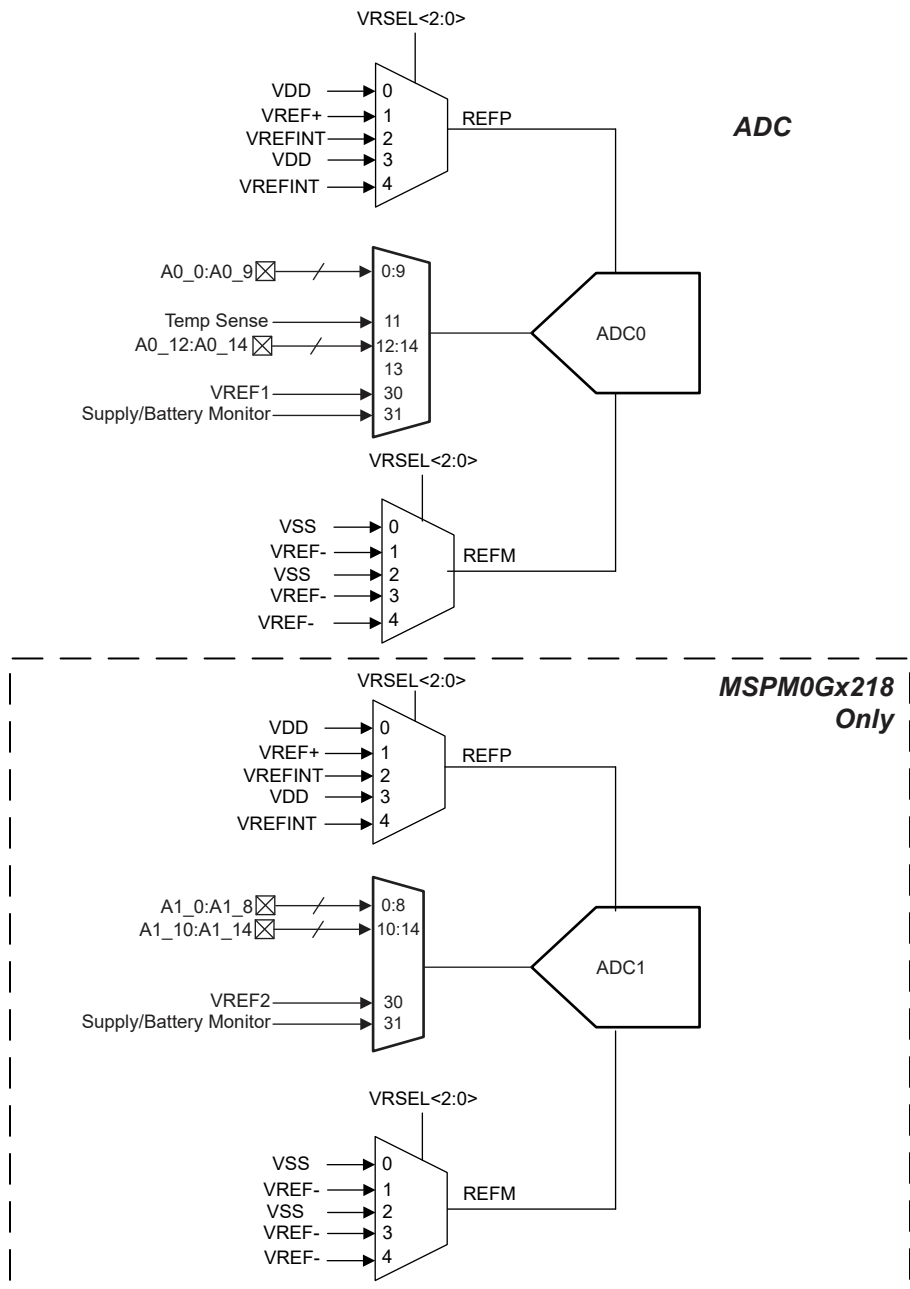


図 8-7. ADC のアナログ接続

VREF

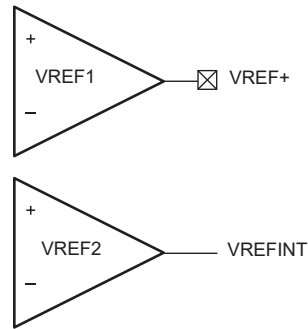


図 8-8. VREF のアナログ接続

8.34 シリアル ワイヤ デバッグ インターフェイス

本デバイス内の各種デバッグ機能を利用できるように、ARM 互換シリアル ワイヤ デバッグ ポート (SW-DP) を利用したシリアル ワイヤ デバッグ (SWD) 2 線式インターフェイスが備わっています。MSPM0 デバイスが備えるデバッグ機能の詳細な説明については、『MSPM0 G シリーズ 80MHz マイコン テクニカル リファレンス マニュアルの「デバッグ」の章を参照してください。

表 8-22. シリアル ワイヤ デバッグ ピンの要件と機能

デバイス信号	方向	SWD 機能
SWCLK	入力	デバッグ プロンプトからのシリアル ワイヤ クロック
SWDIO	入力 / 出力	双方向 (共有) シリアル ワイヤ データ

8.35 ブートストラップ ローダ (BSL)

ブートストラップ ローダ (BSL) を使用すると、デバイスの構成およびデバイス メモリのプログラミングは、UART または I2C シリアル インターフェイスを介して行うことができます。BSL によるデバイス メモリへのアクセスと構成は、256 ビットのユーザー定義パスワードで保護されており、必要に応じて、デバイス構成の中で BSL を完全に無効化できます。量産プログラミング用に BSL を使用できるように、テキサス・インスツルメンツ出荷時、BSL はデフォルトで有効化されています。

BSL を使用するには、最低 2 本のピンが必要です。それは、BSLRX および BSLTX 信号 (UART の場合) または BSLSCL および BSLSDA 信号 (I2C の場合) です。さらに、1 本または 2 本の追加ピン (BSL_invoke と NRST) を、外部ホストによるブートローダの制御された呼び出しのために使うこともできます。

有効化されている場合、BSL は次の方法で起動 (開始) されます。

- BSL_invoke ピンの状態が、定義された BSL_invoke のロジックレベルと一致している場合、ブートプロセス中に BSL が呼び出されます。本デバイス的高速ブート モードが有効化されている場合、この呼び出しチェックは省略されます。外部ホストは、呼び出し条件をアサートし、NRST ピンにリセットパルスを加えて BOOSTRST をトリガすることによって、本デバイスが BSL を実行するように指示できます。その後、本デバイスは再起動プロセス中に呼び出し条件を検証し、呼び出し条件が期待されるロジックレベルと一致している場合、BSL を開始します。
- リセットベクタとスタックポインタがプログラミングされていない場合、BSL はブートプロセス中に自動的に呼び出されます。したがって、テキサス・インスツルメンツから出荷されたブランク デバイスは、ブートプロセス中に BSL を呼び出します。BSL_invoke ピンにハードウェア呼び出し条件を与える必要はありません。そのため、シリアル インターフェイス信号のみで量産プログラミングが可能です。
- 実行時にアプリケーションソフトウェアから BSL を呼び出すためには、BSL エントリ コマンドを使用して SYSRST を発行することもできます。

表 8-23. BSL ピンの要件と機能

デバイス信号	接続	BSL 機能
BSLRX	UART に必要	UART の受信信号 (RXD)、入力
BSLTX	UART に必要	UART の送信信号 (TXD)、出力
BSLSCL	I ² C に必要	I ² C の BSL クロック信号 (SCL)
BSLSDA	I ² C に必要	I ² C の BSL データ信号 (SDA)
BSL_invoke	オプション	ブート時に BSL を開始するために使用されるアクティブ High のデジタル入力
NRST	オプション	リセットのトリガとその後の呼び出し信号 (BSL_invoke) のチェックのために使用されるアクティブ Low のリセットピン

BSL の機能とコマンド セットの詳細な説明 については、『MSPM0 ブートストラップ ロード ユーザー ガイド』を参照してください。

8.36 デバイス ファクトリ定数

すべてのデバイスは、アプリケーション ソフトウェア用に、デバイスの機能を説明する読み出し専用データと、工場から提供された調整情報とを、メモリ内に割り当てられた **FACTORY** 領域に格納しています。詳細については、『MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル』の「ファクトリ定数」の章を参照してください。

表 8-24. DEVICEID

DEVICEID アドレスは 0x41C4.0004、PARTNUM はビット 12~27、MANUFACTURER はビット 1~11 です。

デバイス	PARTNUM	製造元
MSPM0G3218, MSPM0G3207, MSPM0G1218, MSPM0G1207	0xBBCE	0x17

表 8-25. USERID

USERID アドレスは 0x41C4.0008、PART はビット 0~15、VARIANT はビット 16~23 です。

デバイス	部品	バリエーション
M0G3218QPMRQ1	0x478D	0x17
M0G3218QPTRQ1	0x478D	0x12
M0G3218QRGZRQ1	0x478D	0x14
M0G3218QRHBRQ1	0x478D	0x15
M0G3218Q28DGSRQ1	0x478D	0x11
M0G3218QRGERQ1	0x478D	0x13
M0G3218Q20DGSRQ1	0x478D	0x10
M0G3207QPMRQ1	0xF6CD	0x17
M0G3207QPTRQ1	0xF6CD	0x12
M0G3207QRGZRQ1	0xF6CD	0x14
M0G1218QRHBRQ1	0xF6CD	0x15
M0G1218Q28DGSRQ1	0xF6CD	0x11
M0G1218QRGERQ1	0xF6CD	0x13
M0G1218Q20DGSRQ1	0xF6CD	0x10

8.37 識別

リビジョンおよびデバイス識別

ハードウェア リビジョンとデバイスの識別値は、メモリ内に割り当てられた **FACTORY** 領域に格納されています (「デバイスファクトリ定数」セクションを参照)。この領域は、アプリケーション ソフトウェア用に、デバイスの機能を説明する読み出し専用データと、工場から提供された調整情報とを提供します。詳細については、『[MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「ファクトリ定数」の章を参照してください。

デバイス リビジョンおよび識別情報は、デバイス パッケージの上面マーキングの一部としても記載されています。デバイスごとのエラッタ シートに、これらのマーキングが記載されています ([セクション 10.4](#) を参照)。

9 アプリケーション、実装、およびレイアウト

9.1 代表的なアプリケーション

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1.1 回路図

テキサス・インスツルメンツは、 $10\mu\text{F}$ と $0.1\mu\text{F}$ の低 ESR セラミック デカップリング コンデンサを VDD ピンと VSS ピンの間に接続するとともに、これらのコンデンサを分離する電源ピンにできる限り近づけて配置し (数 mm 以内)、ループ面積を最小限に抑えることをおすすめします。ほとんどのアプリケーションでは $10\mu\text{F}$ のバルク デカップリング コンデンサが推奨値ですが、PCB の設計とアプリケーションの要件に基づいて、必要に応じてこの容量を調整することもできます。たとえば、より値の大きいコンデンサを使用することもできますが、電源レールの立ち上がり時間に影響を及ぼす可能性があります。

デバイスが RESET 状態から開放されてブートプロセスを開始するには、NRST RESET ピンを VDD (電源レベル) にプルアップする必要があります。ほとんどのアプリケーションでは、外部の $47\text{k}\Omega$ プルアップ抵抗を 10nF のプルダウン コンデンサに接続し、NRST ピンを他のデバイスまたはデバッグ プローブで制御できるようにすることをおすすめします。

SYSOSC 周波数補正ループ (FCL) 回路では、公差 0.1% 、温度係数 (TCR) は $25\text{ppm}/^\circ\text{C}$ 以内の外付け $100\text{k}\Omega$ 抵抗を、ROSC ピンと VSS の間に取り付けます。この抵抗はリファレンス電流を確立し、補正ループを通して SYSOSC 周波数を安定させます。この抵抗が必要なのは、FCL 機能を使用して高精度を実現する場合で、SYSOSC FCL がイネーブルになっていない場合は必要ありません。FCL モードを使用しない場合、PA2 ピンをデジタル入出力ピンとして使用できます。

VCORE ピンには $0.47\mu\text{F}$ のタンク コンデンサが必要であり、デバイスのグランドとの距離を最小限に抑えてデバイスの近くに配置する必要があります。他の回路は VCORE ピンに接続しないでください。

5V 対応のオープンドレイン (ODIO) では、オープンドレイン IO はローサイド NMOS ドライバのみを実装し、ハイサイド PMOS ドライバを実装しないので、I2C および UART 機能に High を出力するためプルアップ抵抗が必要です。5V 対応のオープンドレイン IO はフェイルセーフで、VDD が供給されていない場合でも電圧が存在する可能性があります。

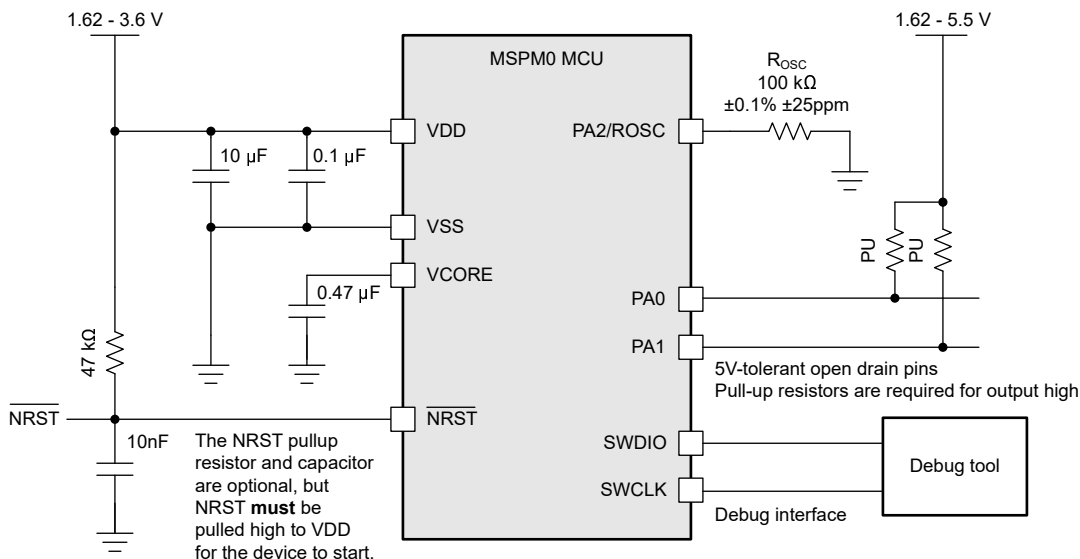


図 9-1. 基本アプリケーションの回路図

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介합니다。

10.1 入門と次のステップ

MSP 低消費電力マイクロコントローラ、および開発に役立つツールやライブラリの詳細については、テキサス・インスツルメンツの「[Arm Cortex-M0+ MCUs](#)」ページを参照してください。

10.2 デバイスの命名規則

製品開発サイクルの段階を示すために、TI は MSP MCU デバイスとサポート ツールのすべての型番に接頭辞を割り当てています。MSP MCU 商用ファミリの各番号には、MSP、X のいずれかの接頭辞があります。これらの接頭辞は、エンジニアリング プロトタイプ (X) から、完全に認定済みの量産版デバイス (MSP) まで、製品開発の段階を表しています。

X – 実験的デバイスであり、最終デバイスの電気的特性を必ずしも表しません。

MSP — 完全に認定済みの量産版デバイス

X デバイスは、次の免責事項付きで出荷されます:

「開発中の製品は、社内での評価用です。」MSP デバイスの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。プロトタイプ デバイス (X) は、標準的な製品版デバイスに比べて故障率が大きいと予測されます。これらのデバイスは、予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツはそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

TI デバイスの項目表記には、デバイス ファミリの接尾辞も含まれます。この接尾辞は、温度範囲、パッケージ タイプ、配布形式を示しています。デバイス名の各部の読み方を、[図 10-1](#) に示します。

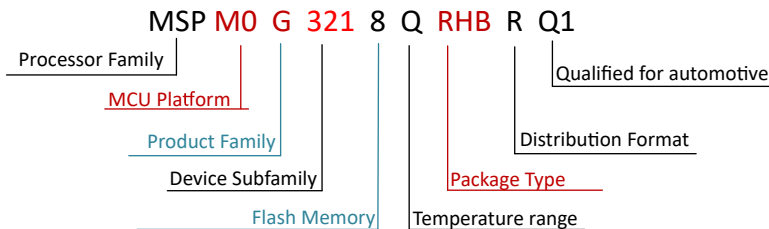


図 10-1. デバイスの命名規則

表 10-1. デバイスの命名規則

プロセッサ ファミリ	MSP = ミックスド シグナル プロセッサ X = 検証用半導体
MCU プラットフォーム	M0 = Arm ベース 32 ビット M0+
製品ファミリ	G = 周波数 80MHz
デバイス サブファミリ	321 = 2x ADC, 2x COMP, CAN-FD, 32kB SRAM 320 = 1x ADC, 1x COMP, CAN-FD, 32kB SRAM
フラッシュ メモリ	8 = 256KB 7 = 128KB 6 = 64KB
温度範囲	Q = -40°C ~ 125°C, AEC-Q100 認定済み
パッケージ タイプ	デバイスの比較 セクションおよび https://www.ti.com/packaging を参照してください

表 10-1. デバイスの命名規則 (続き)

プロセッサ ファミリ	MSP = ミックスド シグナル プロセッサ X = 検証用半導体
配布形式	T = 小型リール R = 大型リール マーキングなし = チューブまたはトレイ

各種パッケージ タイプの MSP デバイスの注文可能な部品番号については、このデータシートの末尾にあるパッケージ 注文情報または ti.com を参照するか、テキサス・インスツルメンツの販売代理店にお問い合わせください。

10.3 ツールとソフトウェア

設計キットと評価モジュール

MSPM0 LaunchPad (LP) ボード: LP-MSPM0G3519

業界で最も優れたアナログ機能を内蔵し、コストを最適化した汎用 MSPM0 MCU ファミリの開発をただちに開始できます。すべてのデバイス ピンと機能が見えるようになります。複数の内蔵回路、すぐに使用できるソフトウェア デモ、オンボード XDS110 デバッグ プロブ (プログラミング、デバッグ、EnergyTrace 用) が含まれています。

LP エコシステムには、機能を拡張するための多数の **BoosterPack** スタックابل プラグインモジュールが含まれています。

組み込みソフトウェア

MSPM0 ソフトウェア開発キット (SDK)

ソフトウェア ドライバ、ミドルウェア ライブラリ、資料、ツール、すべての MSPM0 デバイスのための使いやすく簡単なユーザー体験を実現するサンプル コードが含まれています。

ソフトウェア開発ツール

TI デベロッパー ザーン

Web ブラウザ上で評価と開発を開始できます。インストールは不要です。クラウド ツールには、ダウンロード可能なオフライン バージョンもあります。

TI Resource Explorer SysConfig

TI SDK へのオンライン ポータル。CCS IDE または TI クラウド ツールからアクセスできます。デバイスとペリフェラルの構成、システム競合の解消、構成コードの生成、ピン多重化設定の自動化のための直感的な GUI。CCS IDE、TI Cloud Tools からアクセスできます。スタンドアロン バージョンもあります。(オフライン バージョン)

MSP Academy

さまざまなトピックを網羅するトレーニング モジュールを使用して MSPM0 MCU プラットフォームについて学習するための優れた出発点です。TIRex の一部です。

GUI Composer

コードをまったく必要としない完全統合型アナログ信号チェーンの構成と監視など、特定の MSPM0 機能の評価を簡素化する GUI。

IDE およびコンパイラ ツールチェーン

Code Composer Studio™ (CCS)

Code Composer Studio は、テキサス・インスツルメンツのマイクロコントローラおよびプロセッサ向けの統合開発環境 (IDE) です。CCS は、組み込みアプリケーションの開発とデバッグに必要な一連のツールで構成されています。CCS は完全に無料で使用でき、Eclipse および Theia フレームワークで利用できます。

IAR Embedded Workbench® IDE

Arm 向け IAR Embedded Workbench は、MSPM0 向けの組み込みアプリケーションの構築とデバッグに適した包括的な開発ツールチェーンを提供します。付属の IAR C/C++ コンパイラは、アプリケーション向けに高度に最適化されたコードを生成します。C-SPY デバッガは、ソース レベルおよび逆アセンブリレベルのデバッグ用の完全統合型デバッガであり、複雑なコードおよびデータ ブレークポイントをサポートしています。

Keil® MDK IDE

Arm Keil MDK は、MSPM0 向けの組み込みアプリケーションの構築とデバッグに適した、デバッガおよび C/C++コンパイラの包括的なツールチェーンです。Keil MDK には、ソースレベ

ルおよび逆アセンブリレベルのデバッグに適した統合型デバッガが含まれています。MDK は CMSIS に完全準拠しています。

TI Arm-Clang

TI Arm Clang は、Code Composer Studio に含まれています。

GNU Arm Embedded Toolchain

MSPM0 SDK は、オープンソースの Arm GNU Toolchain を使用した開発をサポートしています。Arm GCC は、Code Composer Studio (CCS) によってサポートされています。

10.4 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。[更新の通知を受け取る] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

以下のドキュメントでは、MSPM0 MCU について記載しています。これらのドキュメントは、インターネット上の www.ti.com から入手可能です。

テクニカル リファレンス マニュアル

『**MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル**』 このマニュアルは、MSPM0G デバイス ファミリのモジュールおよびペリフェラルについて解説しています。それぞれの説明は、モジュールまたはペリフェラルを一般的な意味で示しています。すべてのデバイスについて、すべてのモジュールまたはペリフェラルのすべての特長や機能を示しているわけではありません。さらに、モジュールやペリフェラルは、異なるデバイスに対して、全く同じように実装されているとは限りません。ピンの機能、内部信号の接続、および動作パラメータはデバイスによって異なります。詳細については、デバイス固有のデータシートを参照してください。

10.5 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラム は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

10.6 商標

Code Composer Studio™, TI E2E™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments. Arm® and Cortex® are registered trademarks of Arm Limited.

すべての商標は、それぞれの所有者に帰属します。

10.7 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.8 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

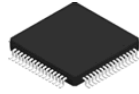
資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
March 2026	*	初版リリース

ADVANCE INFORMATION

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。



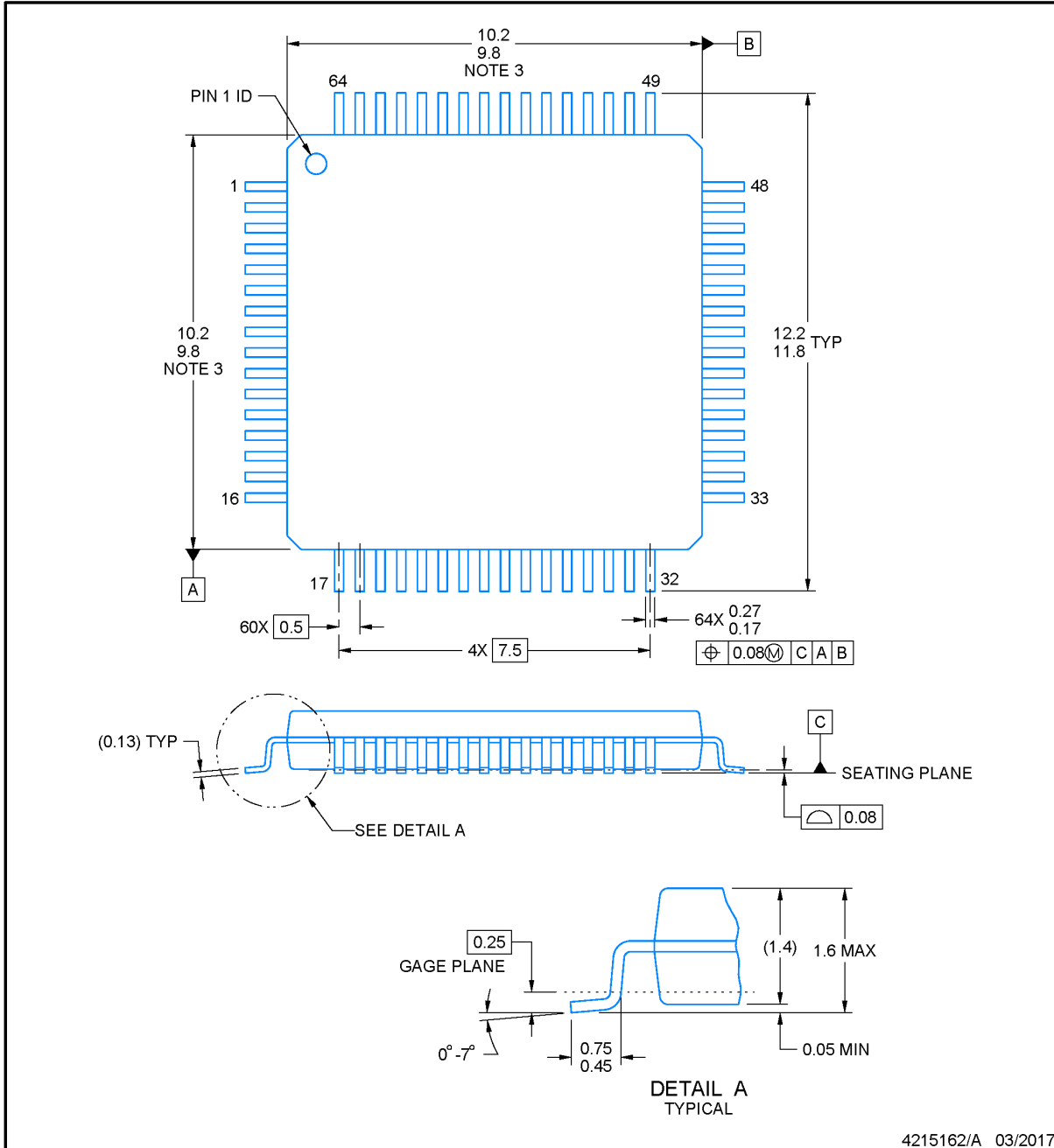
PACKAGE OUTLINE

PM0064A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK

ADVANCE INFORMATION



NOTES:

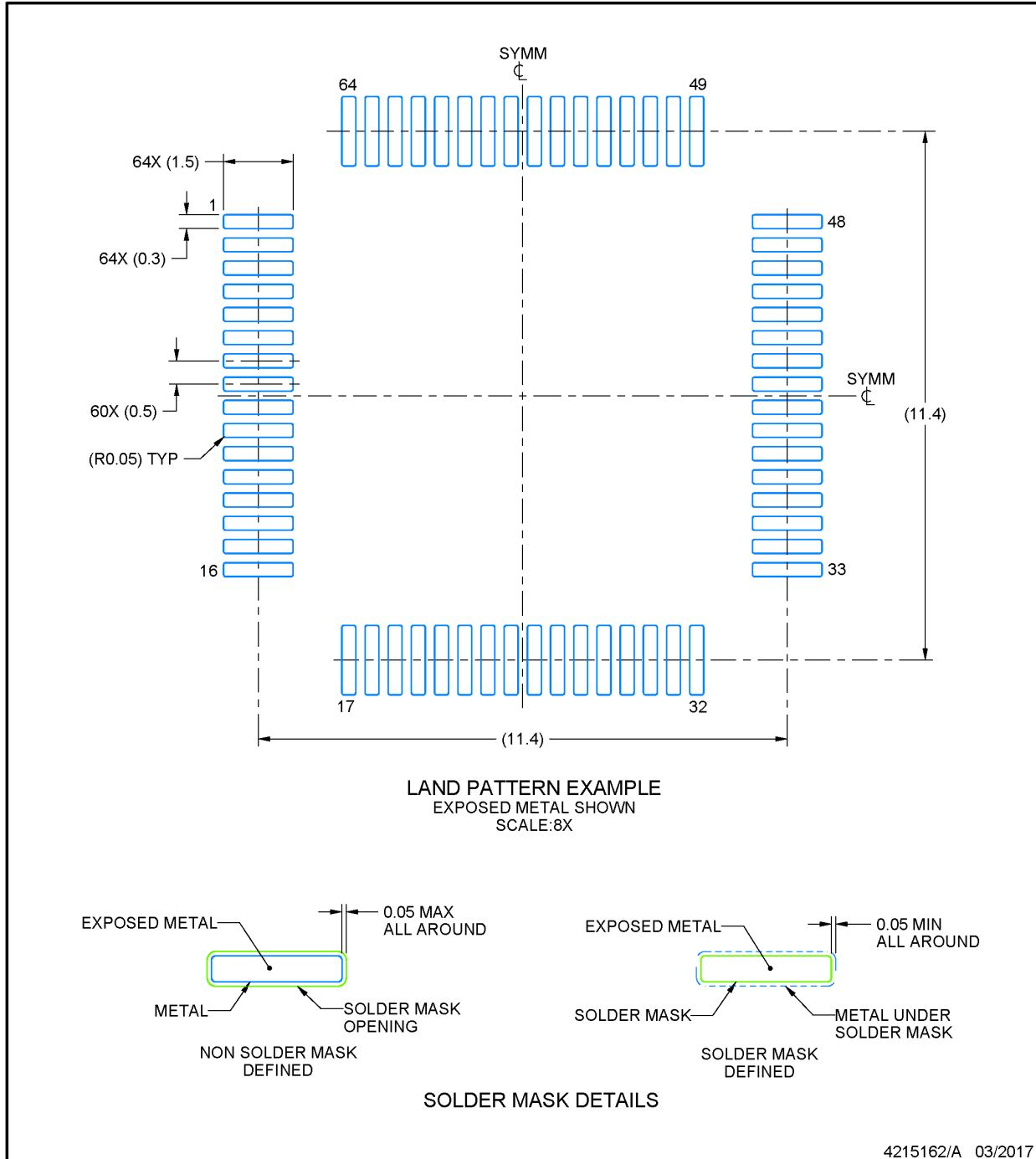
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.

EXAMPLE BOARD LAYOUT

PM0064A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).

ADVANCE INFORMATION

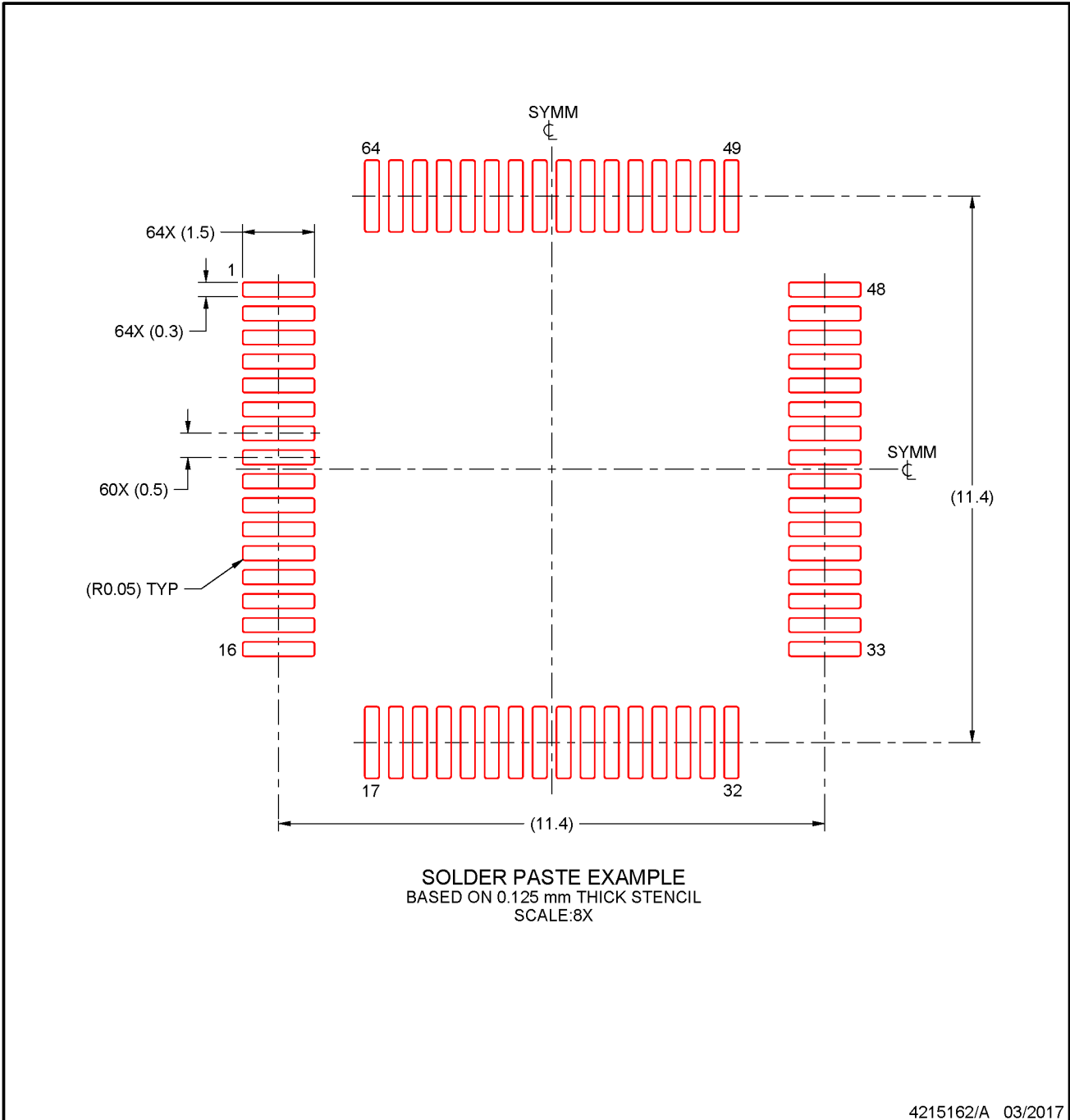
EXAMPLE STENCIL DESIGN

PM0064A

LQFP - 1.6 mm max height

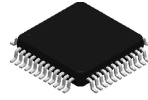
PLASTIC QUAD FLATPACK

ADVANCE INFORMATION



NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

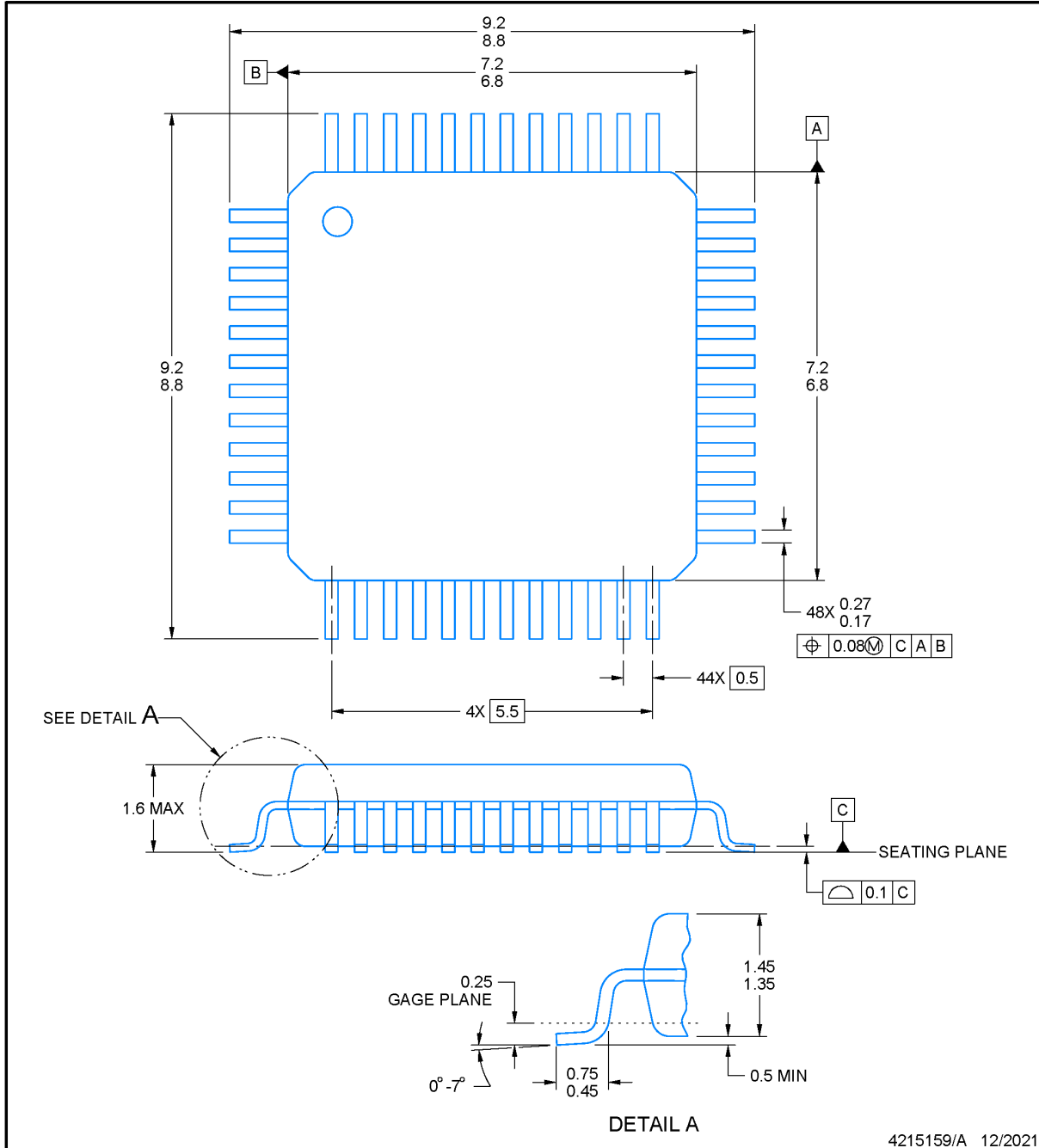


PT0048A

PACKAGE OUTLINE

LQFP - 1.6 mm max height

LOW PROFILE QUAD FLATPACK



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.
4. This may also be a thermally enhanced plastic package with leads connected to the die pads.

ADVANCE INFORMATION

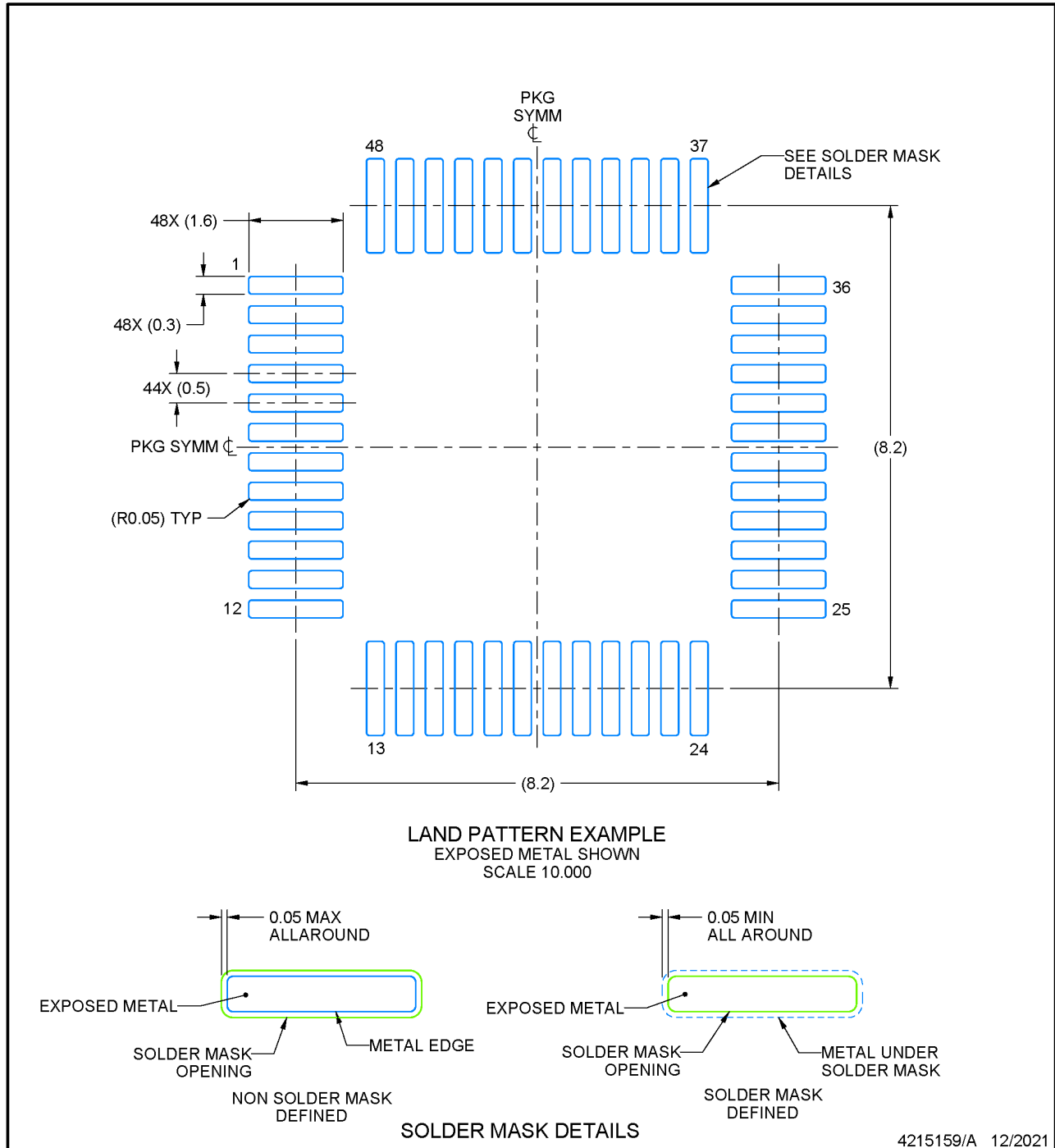
EXAMPLE BOARD LAYOUT

PT0048A

LQFP - 1.6 mm max height

LOW PROFILE QUAD FLATPACK

ADVANCE INFORMATION



NOTES: (continued)

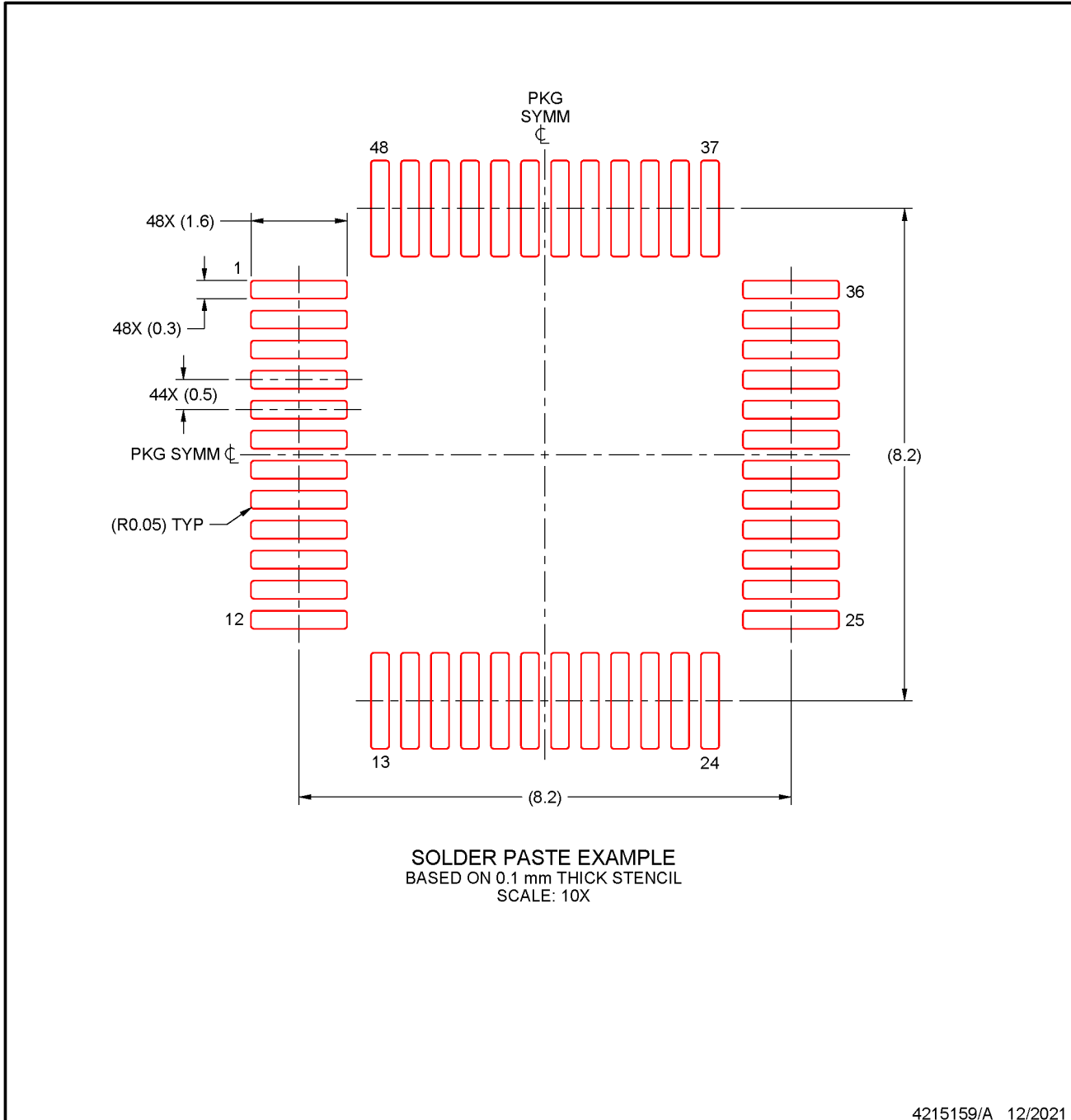
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PT0048A

LQFP - 1.6 mm max height

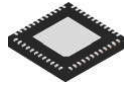
LOW PROFILE QUAD FLATPACK



ADVANCE INFORMATION

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

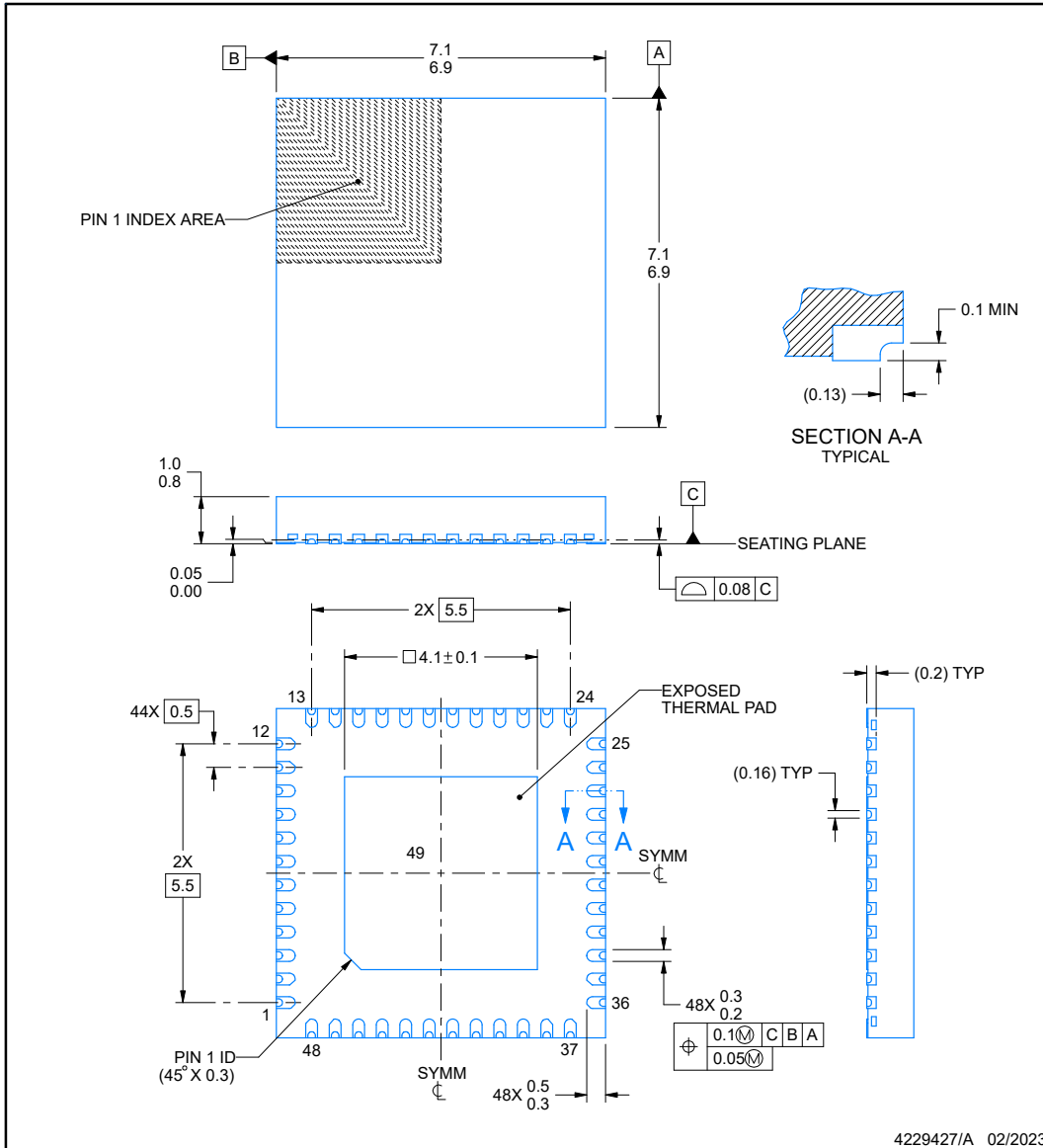


RGZ0048F

PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4229427/A 02/2023

NOTES:

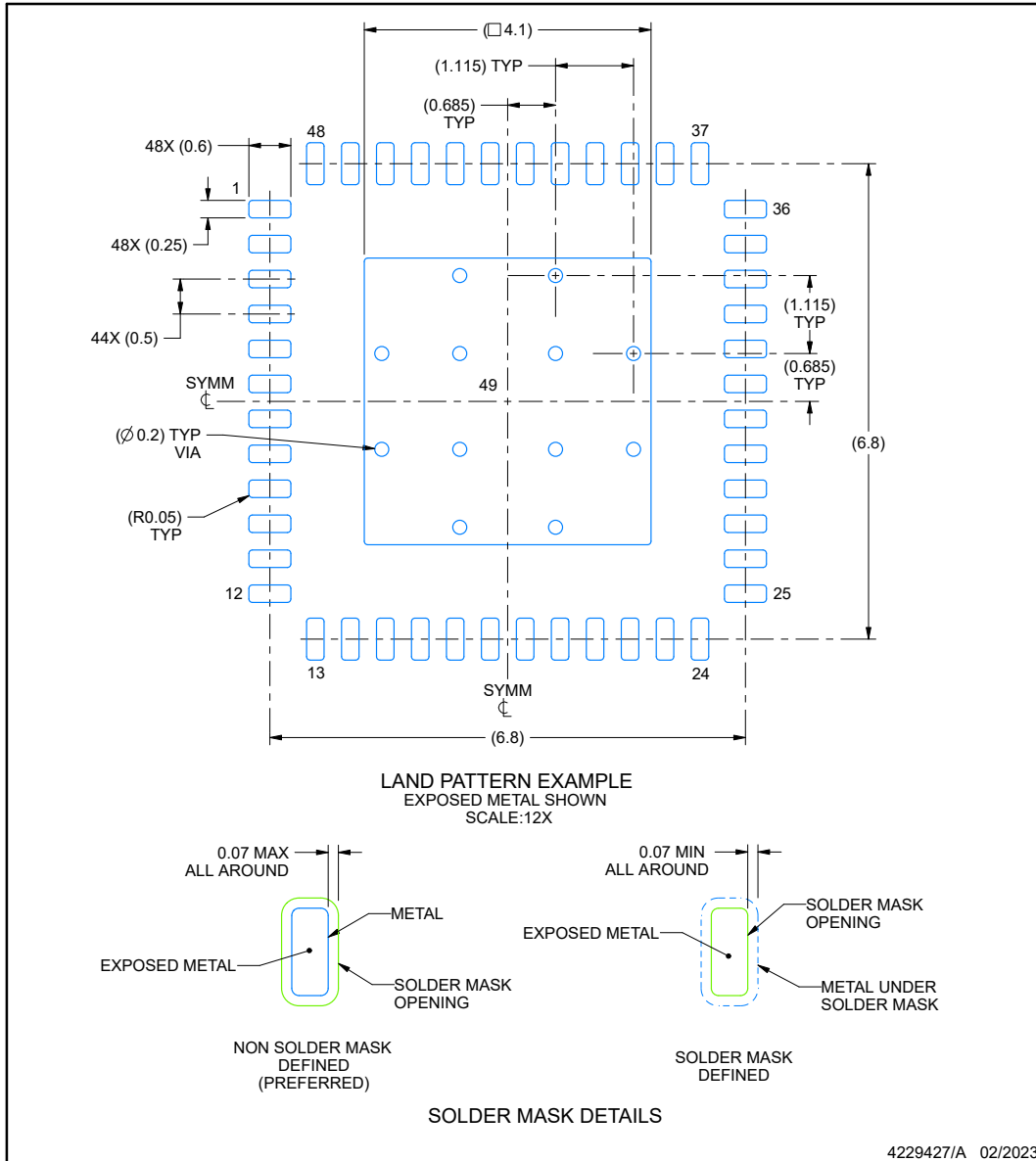
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RGZ0048F

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

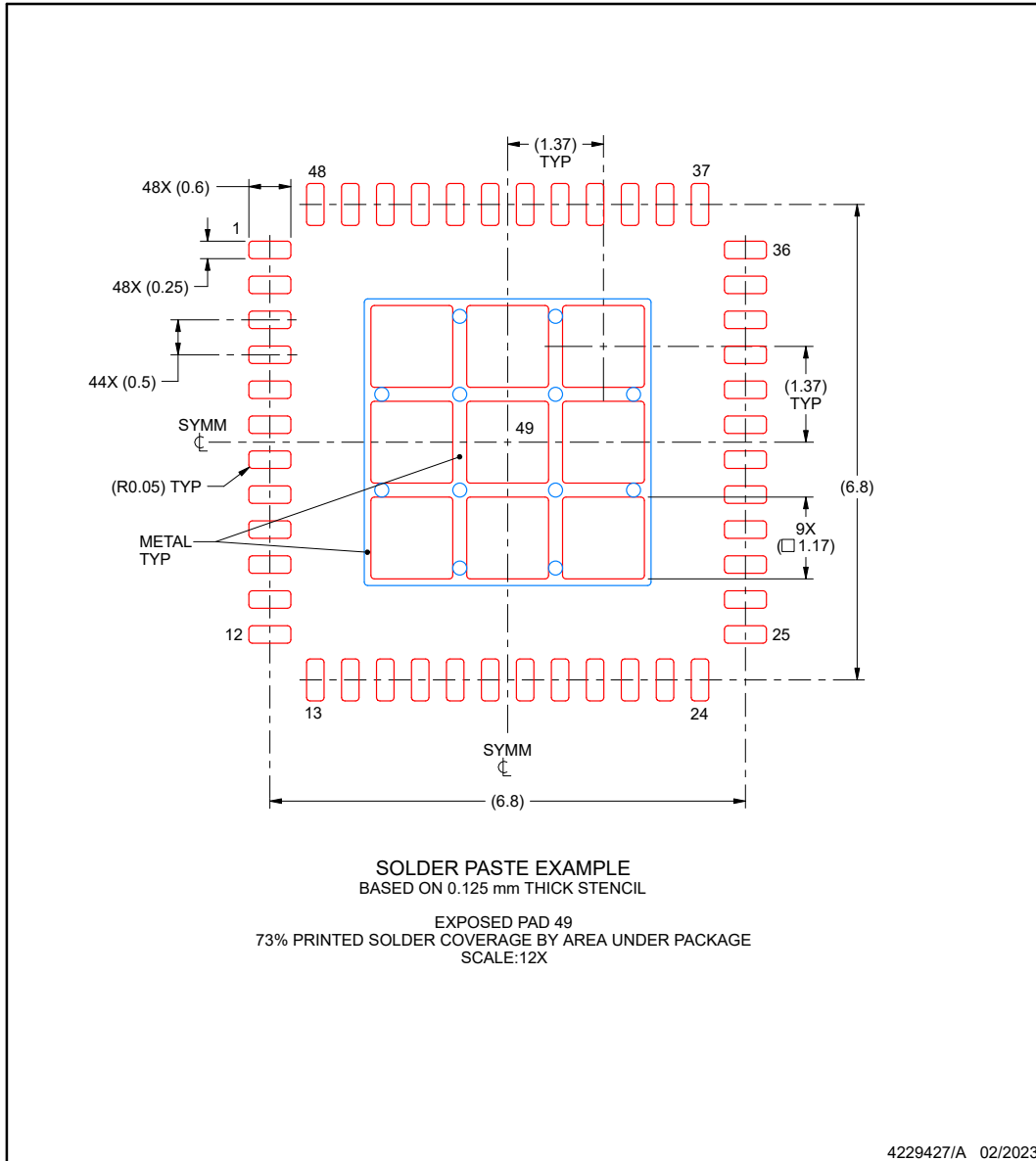
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGZ0048F

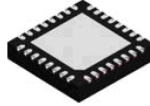
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

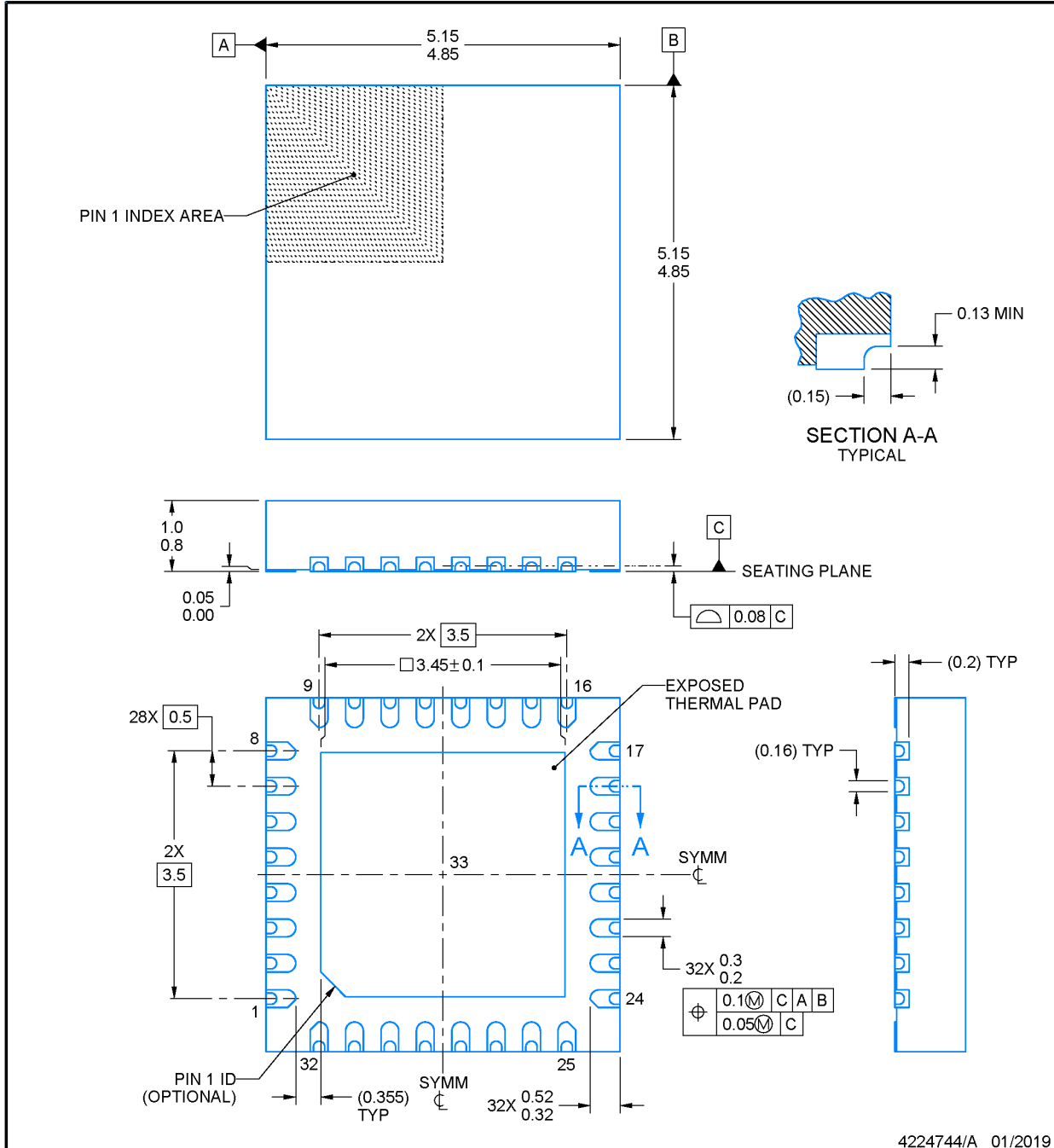


RHB0032T

PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

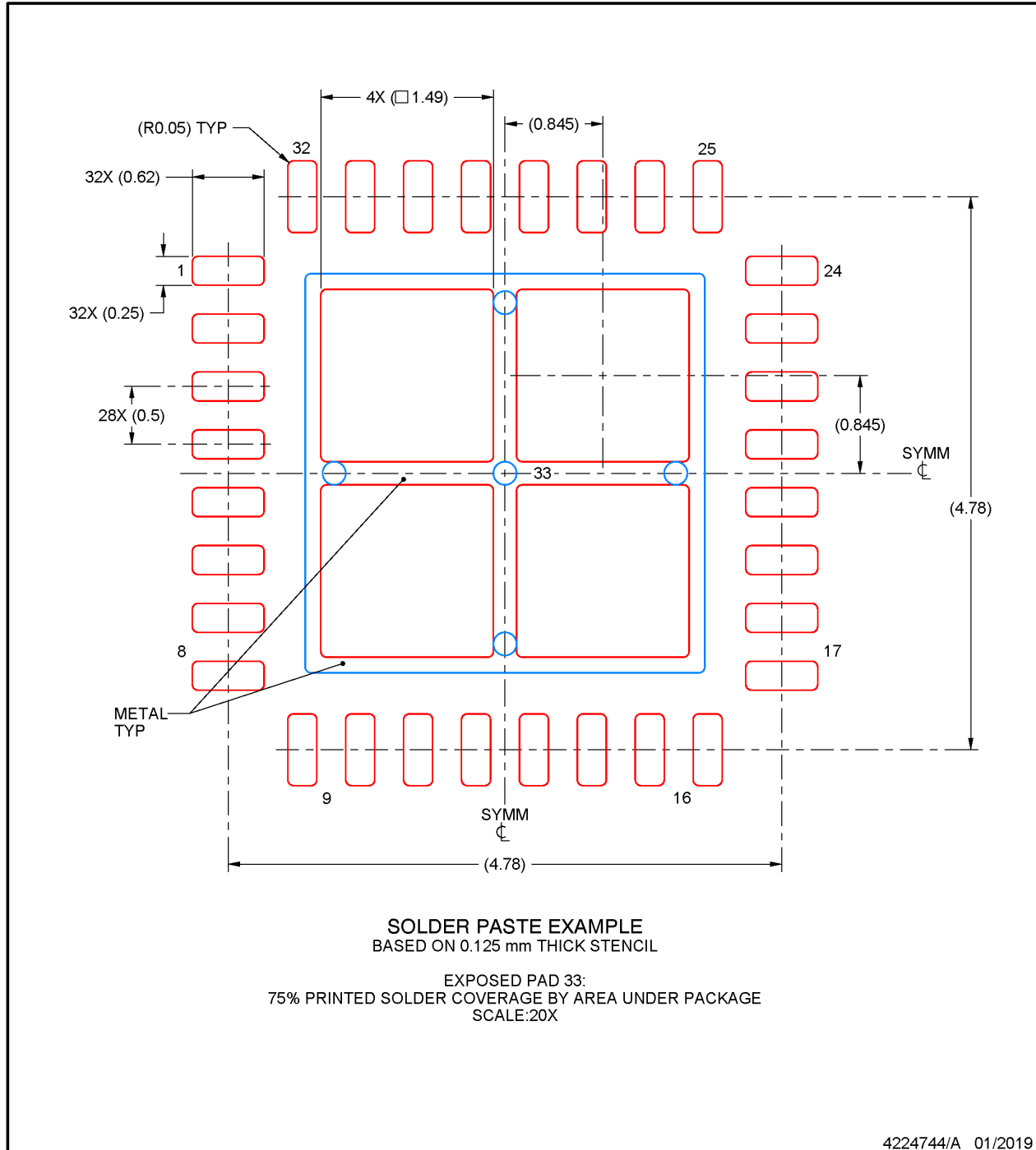
ADVANCE INFORMATION

EXAMPLE STENCIL DESIGN

RHB0032T

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



ADVANCE INFORMATION

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

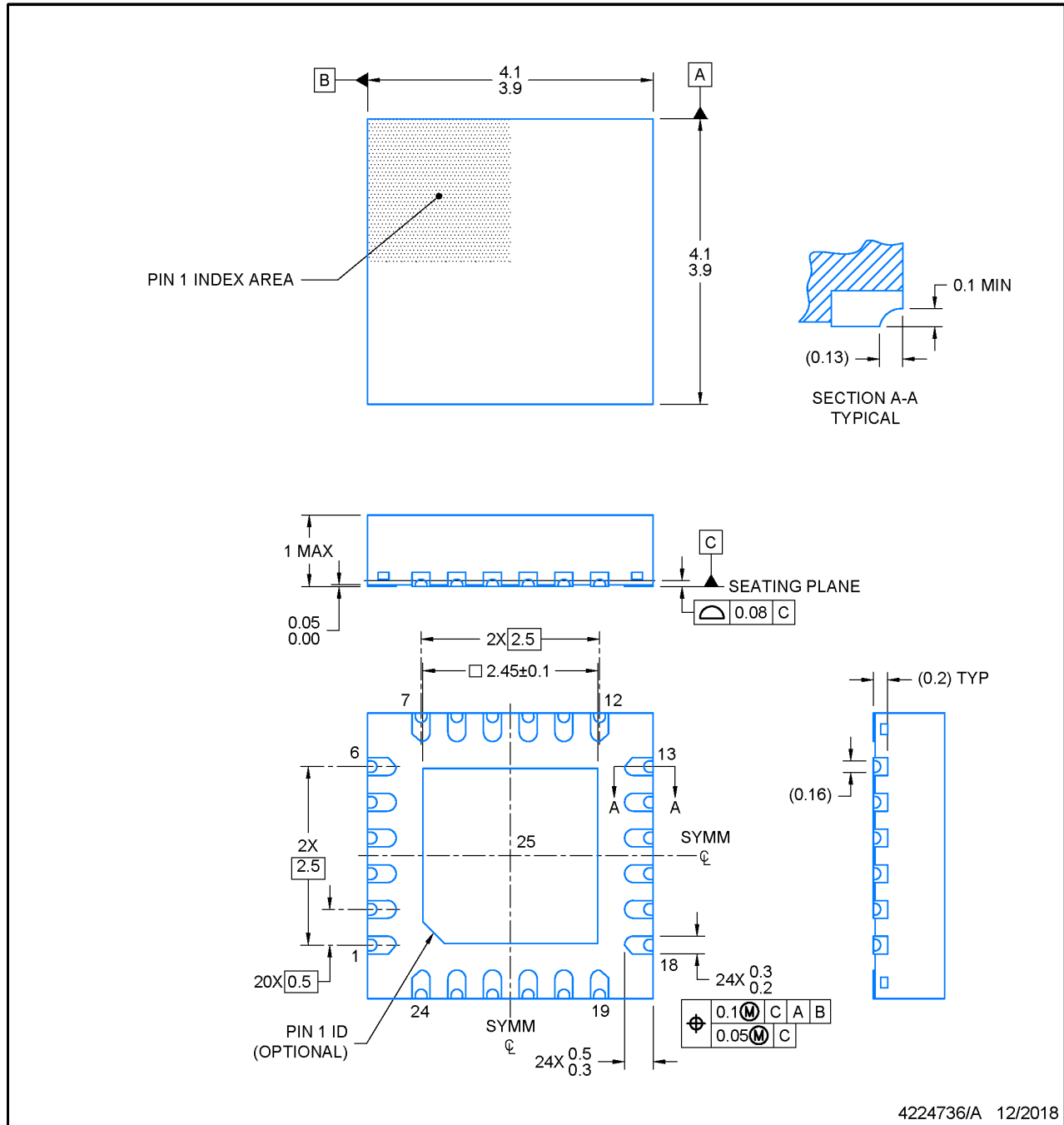
PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD

RGE0024N

ADVANCE INFORMATION



4224736/A 12/2018

NOTES:

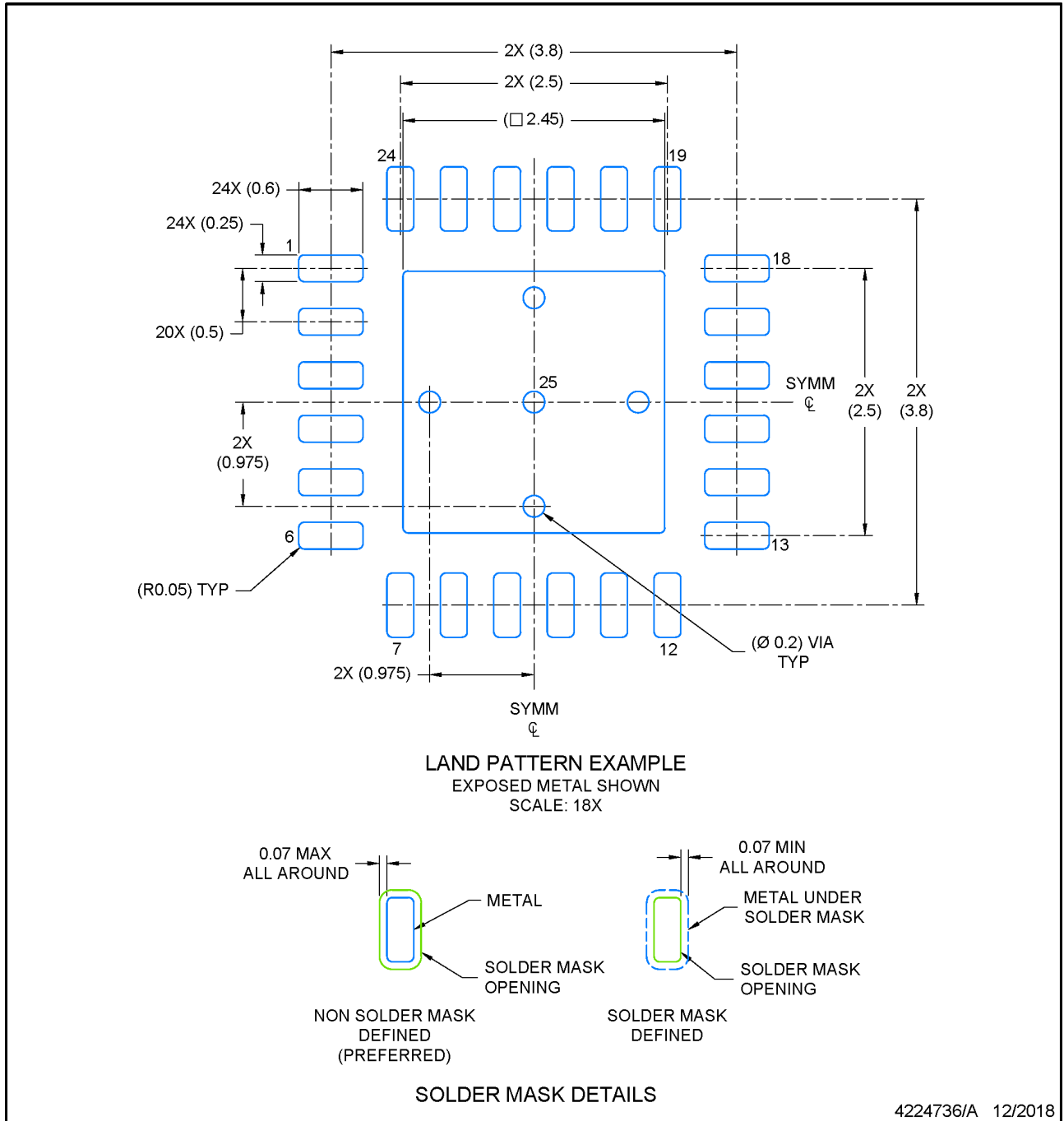
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RGE0024N

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



ADVANCE INFORMATION

NOTES: (continued)

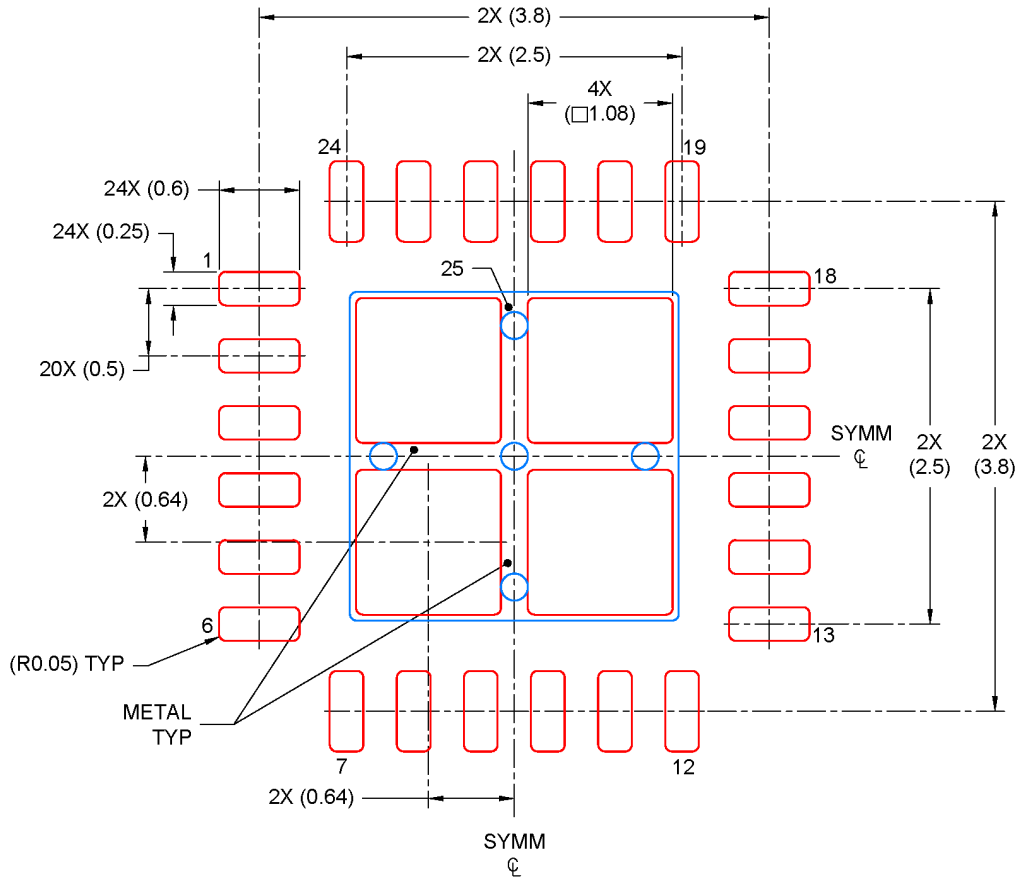
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN
VQFN - 1 mm max height

RGE0024N

PLASTIC QUAD FLATPACK-NO LEAD

ADVANCE INFORMATION



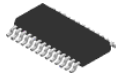
SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
 78% PRINTED COVERAGE BY AREA
 SCALE: 18X

4224736/A 12/2018

NOTES: (continued)

- 6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

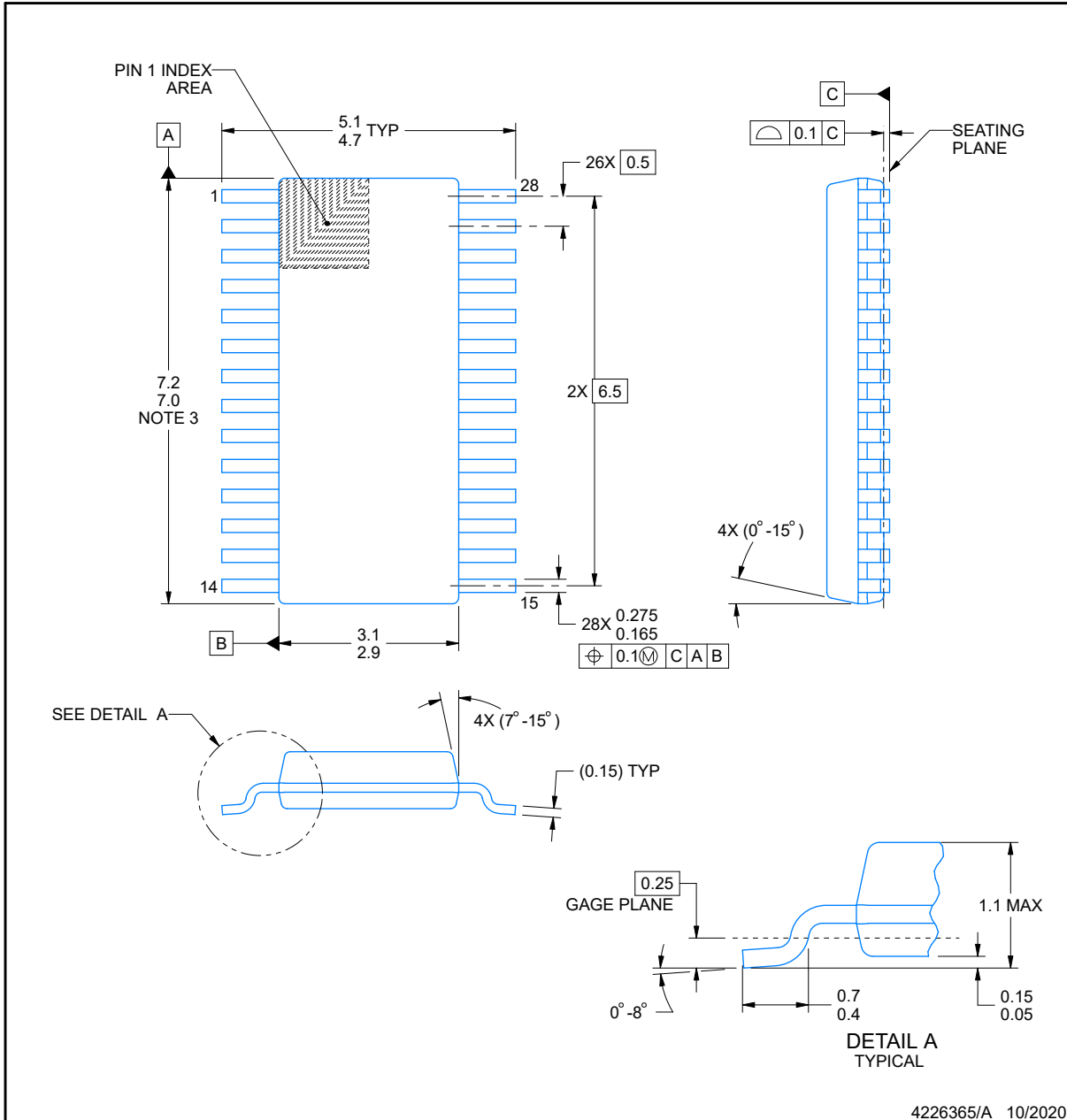


PACKAGE OUTLINE

DGS0028A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



ADVANCE INFORMATION

NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

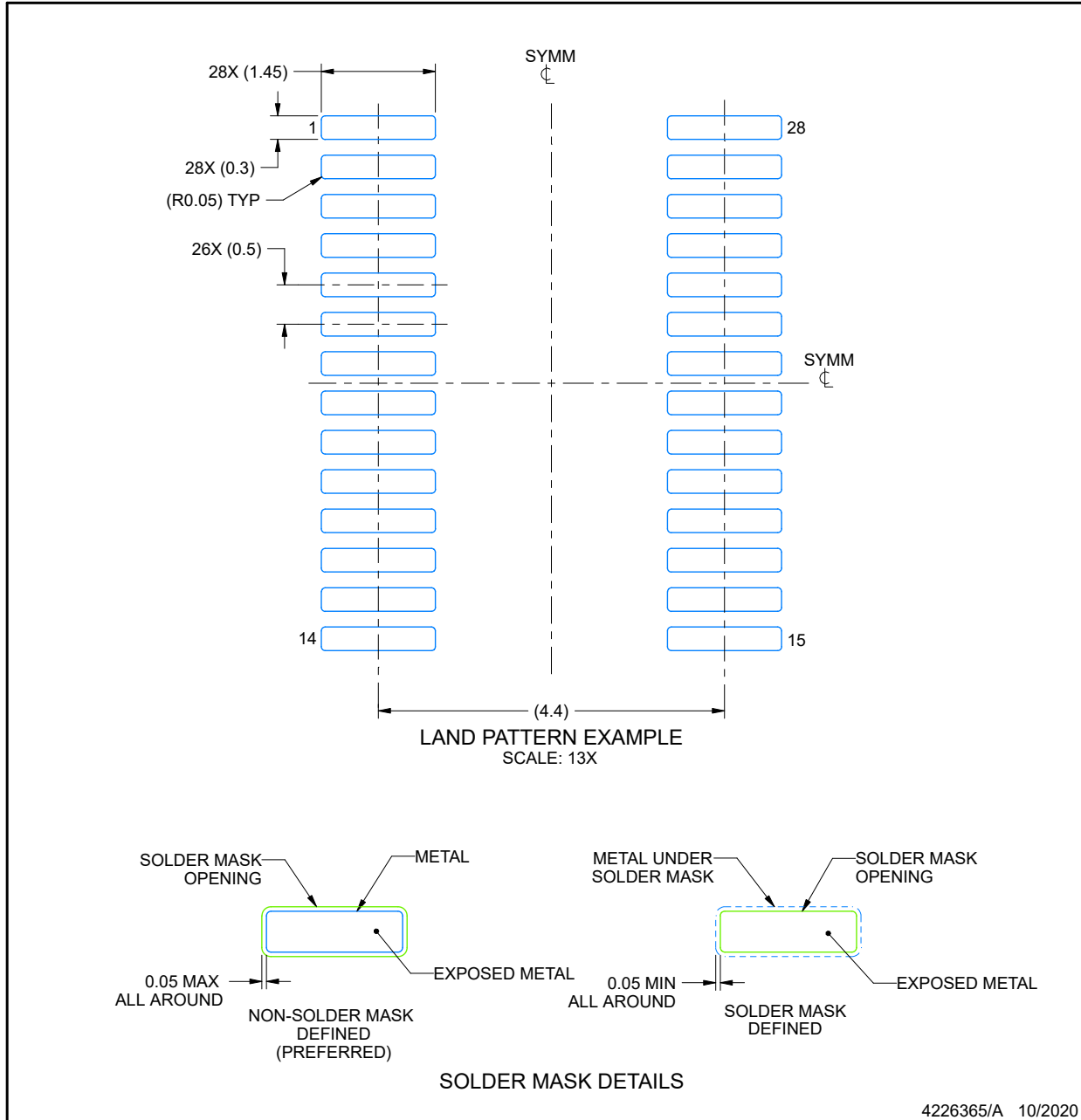
EXAMPLE BOARD LAYOUT

DGS0028A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

ADVANCE INFORMATION



NOTES: (continued)

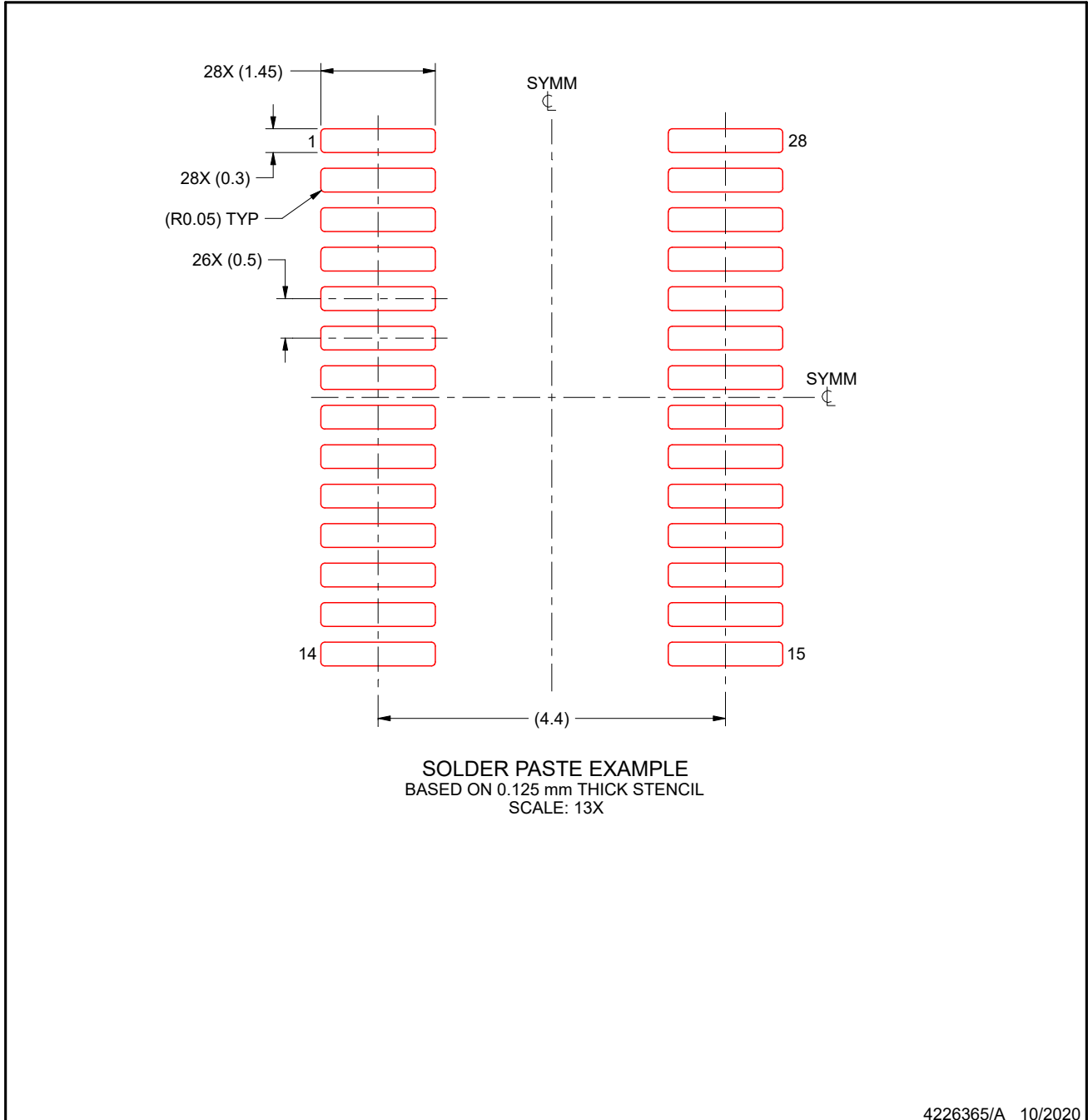
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DGS0028A

VSSOP - 1.1 mm max height

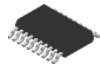
SMALL OUTLINE PACKAGE



ADVANCE INFORMATION

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

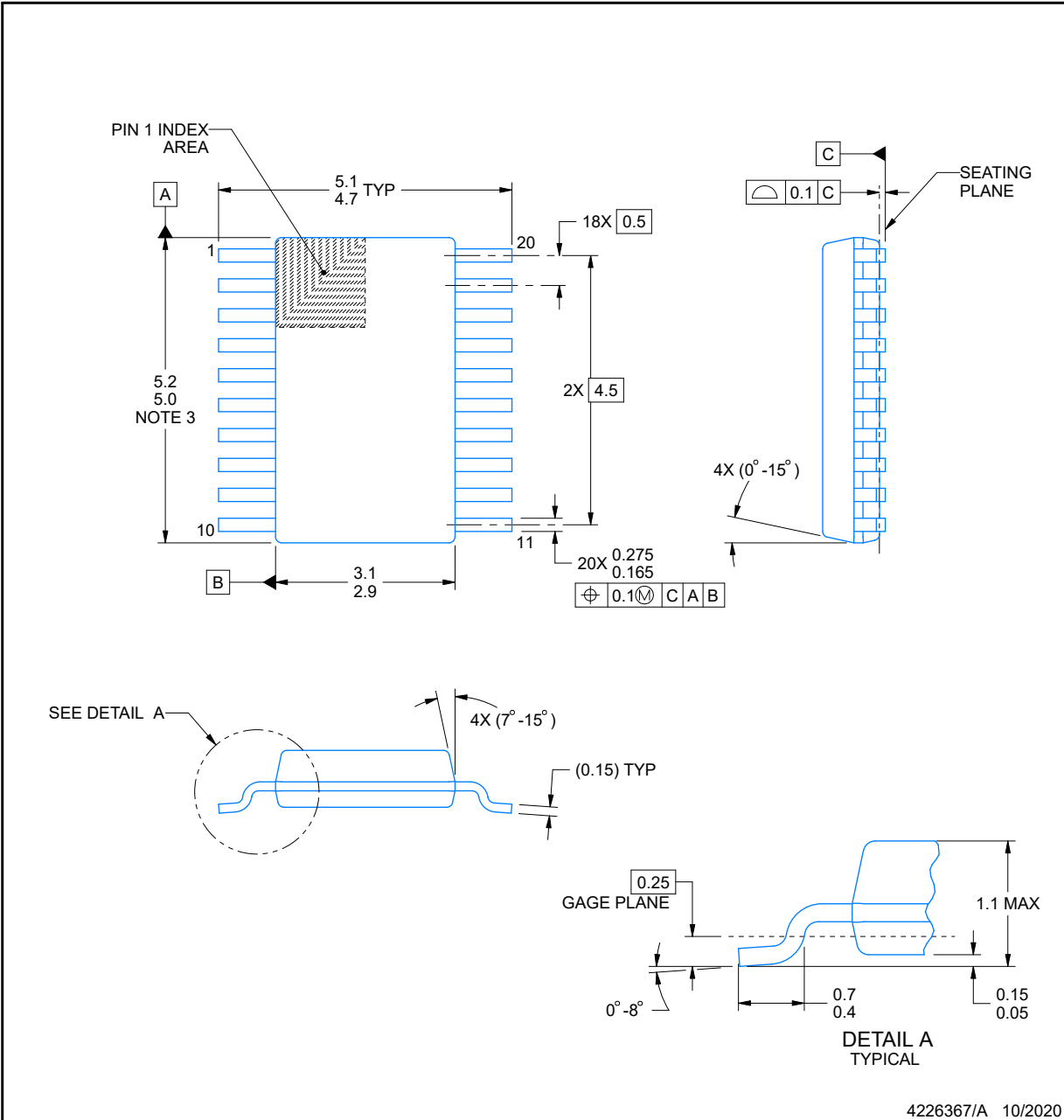


DGS0020A

PACKAGE OUTLINE VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

ADVANCE INFORMATION



4226367/A 10/2020

NOTES:

PowerPAD is a trademark of Texas Instruments.

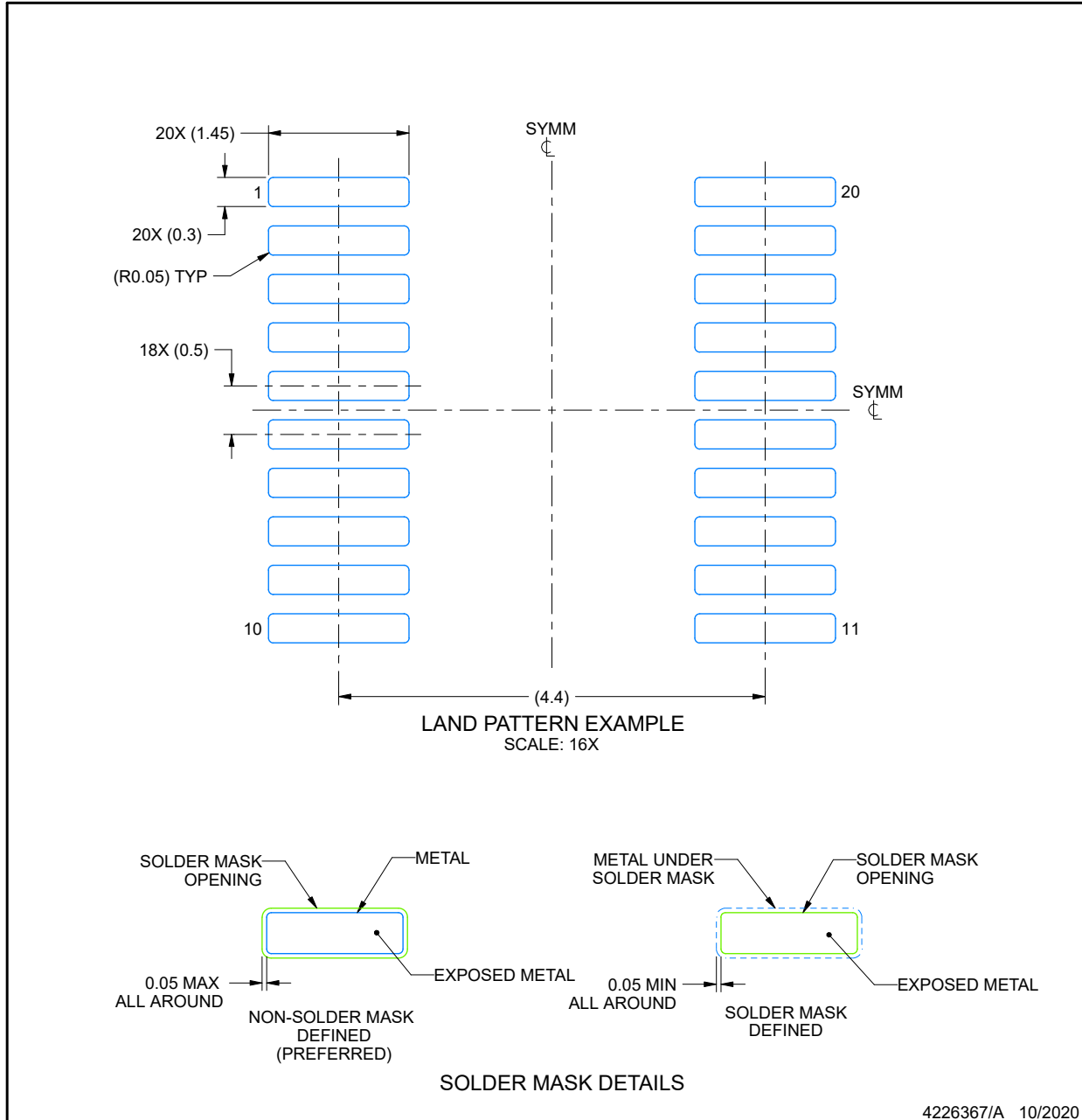
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



ADVANCE INFORMATION

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

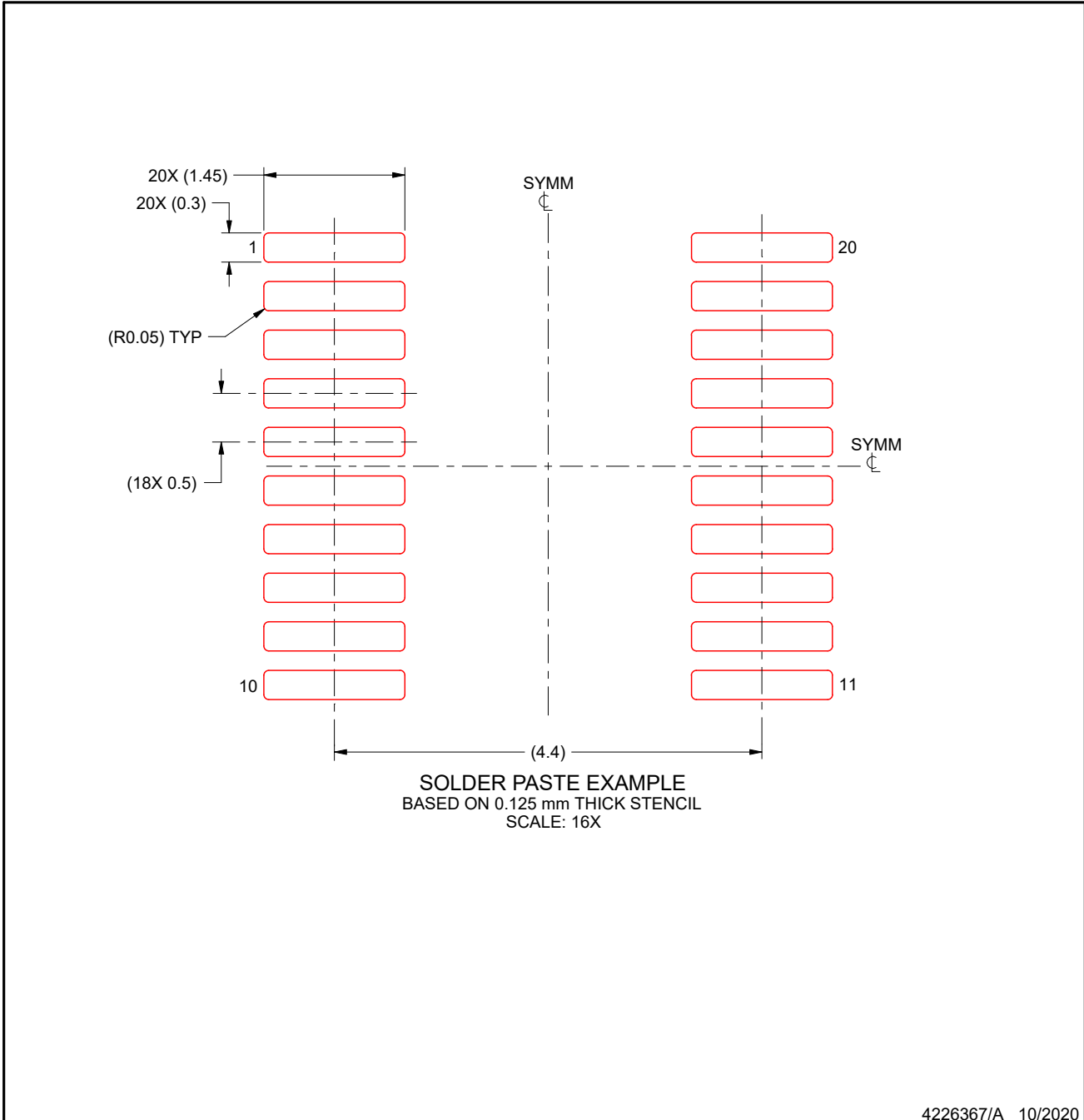
EXAMPLE STENCIL DESIGN

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

ADVANCE INFORMATION



NOTES: (continued)

- 11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 12. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
XM0G3218QPMRQ1	Active	Preproduction	LQFP (PM) 64	1000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
XM0G3218QPTRQ1	Active	Preproduction	LQFP (PT) 48	1000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
XM0G3218QRGZRQ1	Active	Preproduction	VQFN (RGZ) 48	4000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
XM0G3218QRHBRQ1	Active	Preproduction	VQFN (RHB) 32	5000 LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

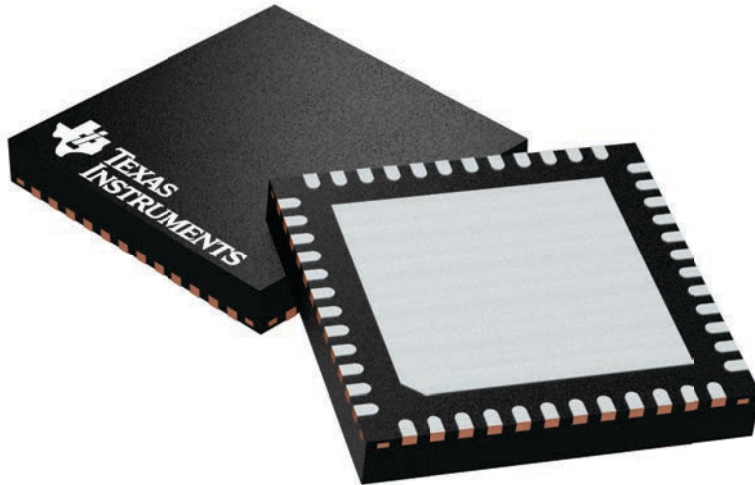
GENERIC PACKAGE VIEW

RGZ 48

VQFN - 1 mm max height

7 x 7, 0.5 mm pitch

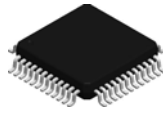
PLASTIC QUADFLAT PACK- NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224671/A

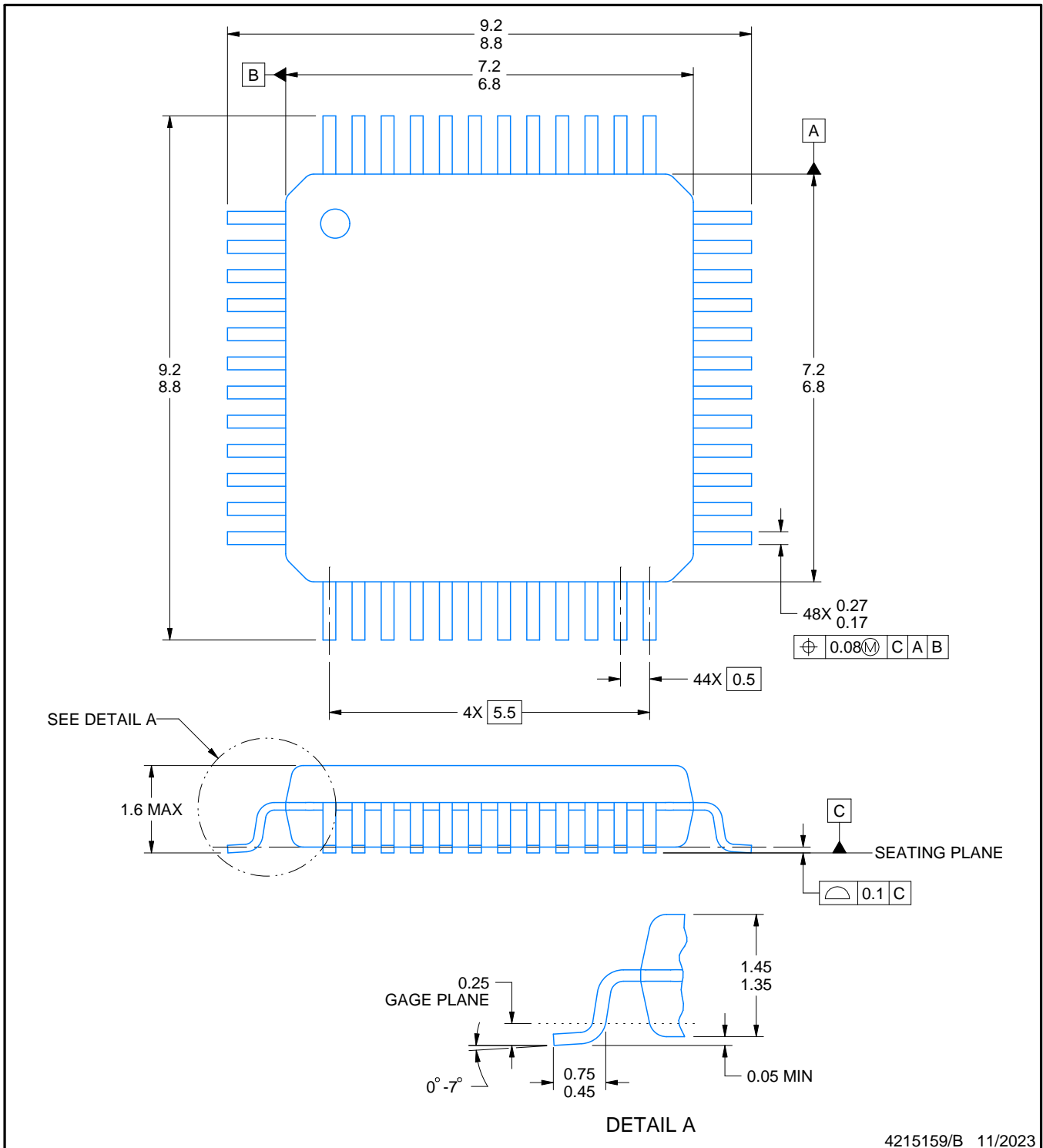
PT0048A



PACKAGE OUTLINE

LQFP - 1.6 mm max height

LOW PROFILE QUAD FLATPACK



4215159/B 11/2023

NOTES:

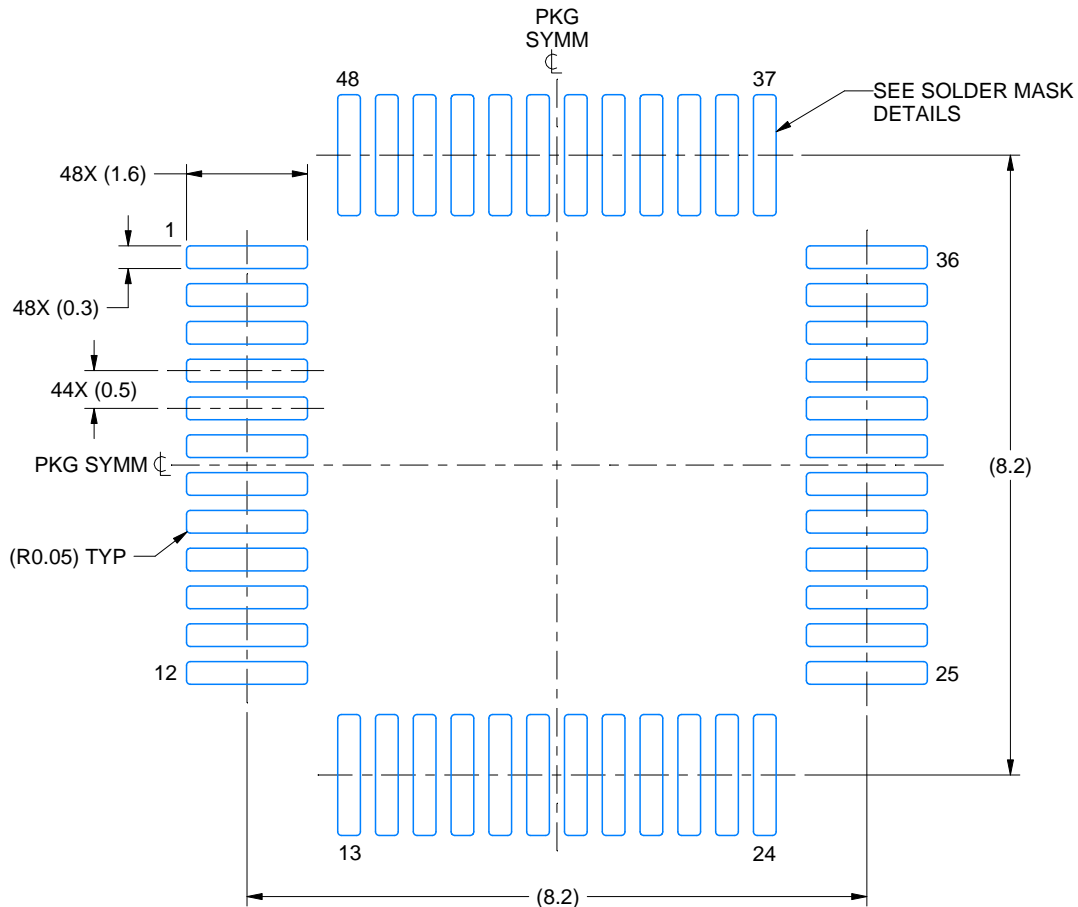
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.
4. This may also be a thermally enhanced plastic package with leads connected to the die pads.

EXAMPLE BOARD LAYOUT

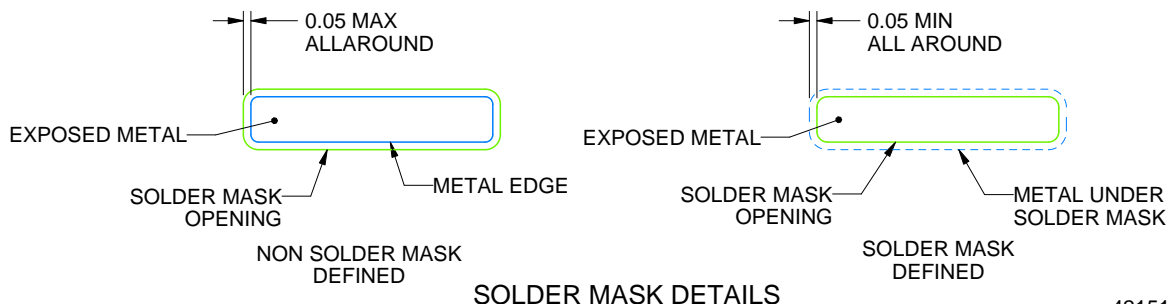
PT0048A

LQFP - 1.6 mm max height

LOW PROFILE QUAD FLATPACK



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE 10.000



SOLDER MASK DETAILS

4215159/B 11/2023

NOTES: (continued)

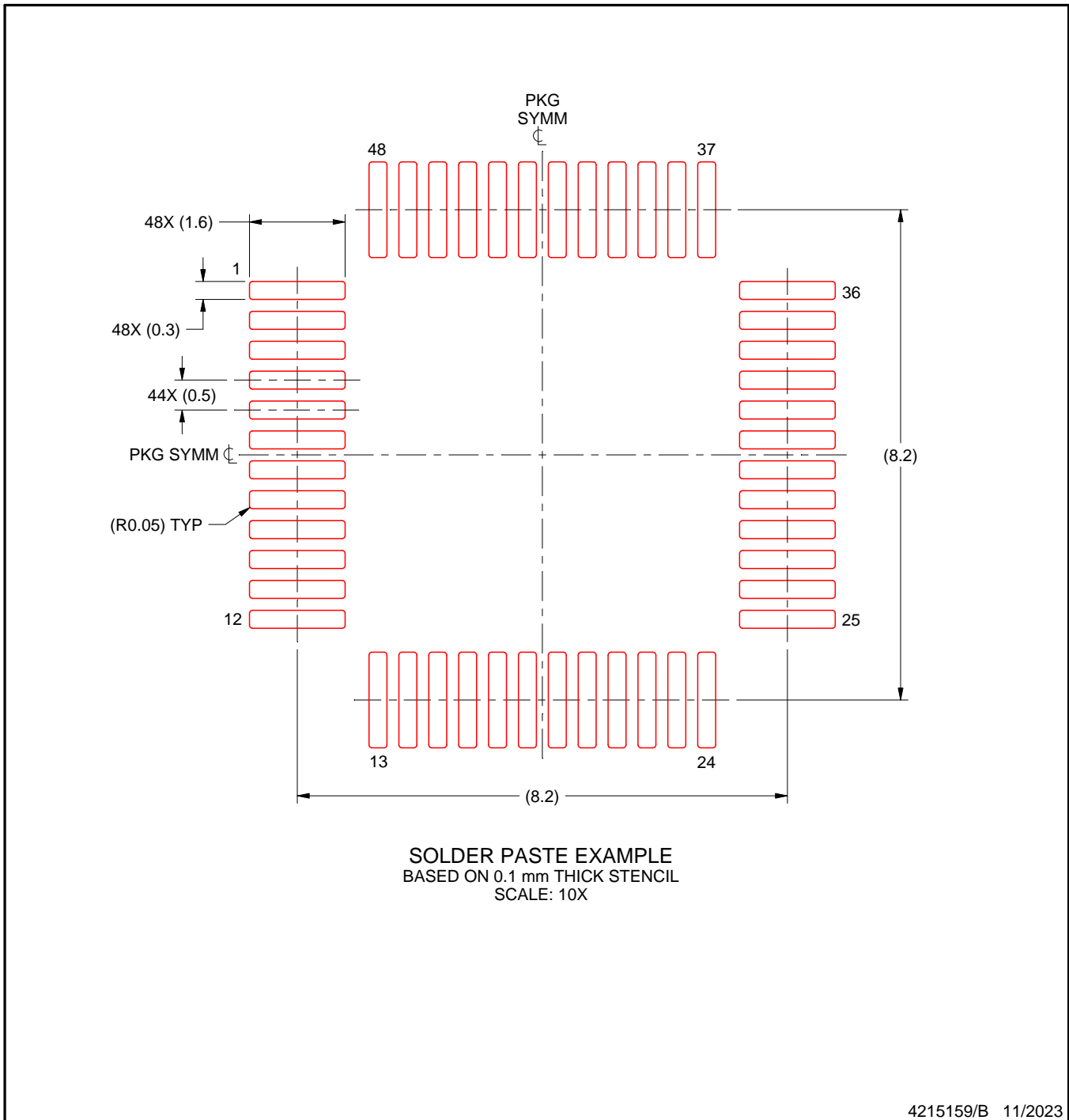
- 5. Publication IPC-7351 may have alternate designs.
- 6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PT0048A

LQFP - 1.6 mm max height

LOW PROFILE QUAD FLATPACK



NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

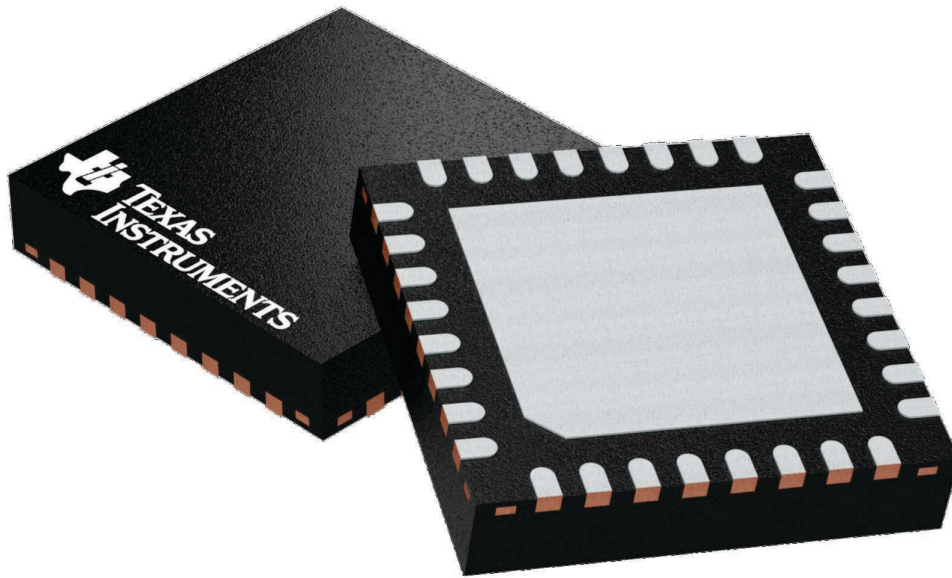
GENERIC PACKAGE VIEW

RHB 32

VQFN - 1 mm max height

5 x 5, 0.5 mm pitch

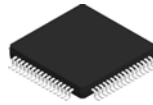
PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224745/A

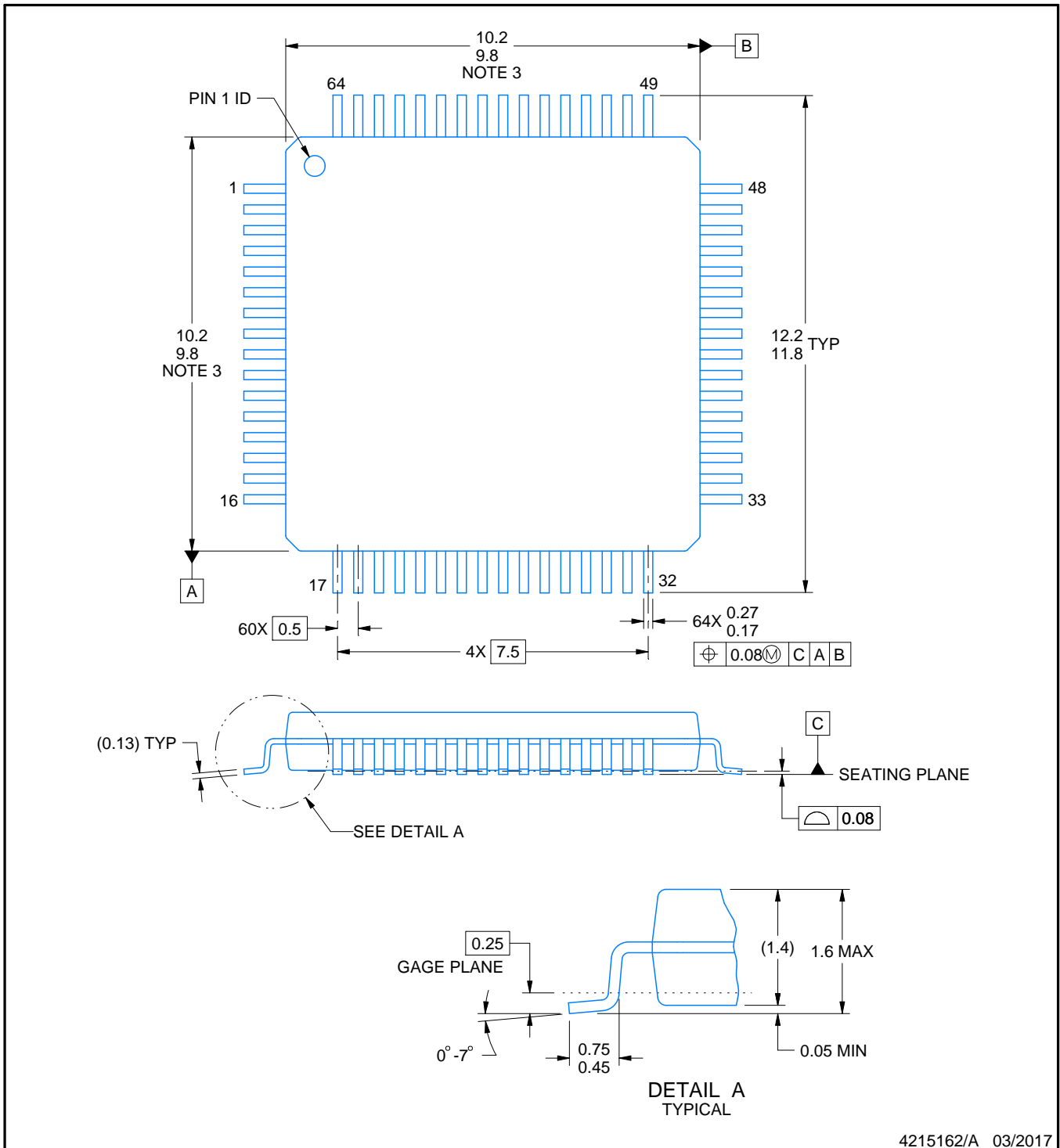
PM0064A



PACKAGE OUTLINE

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



NOTES:

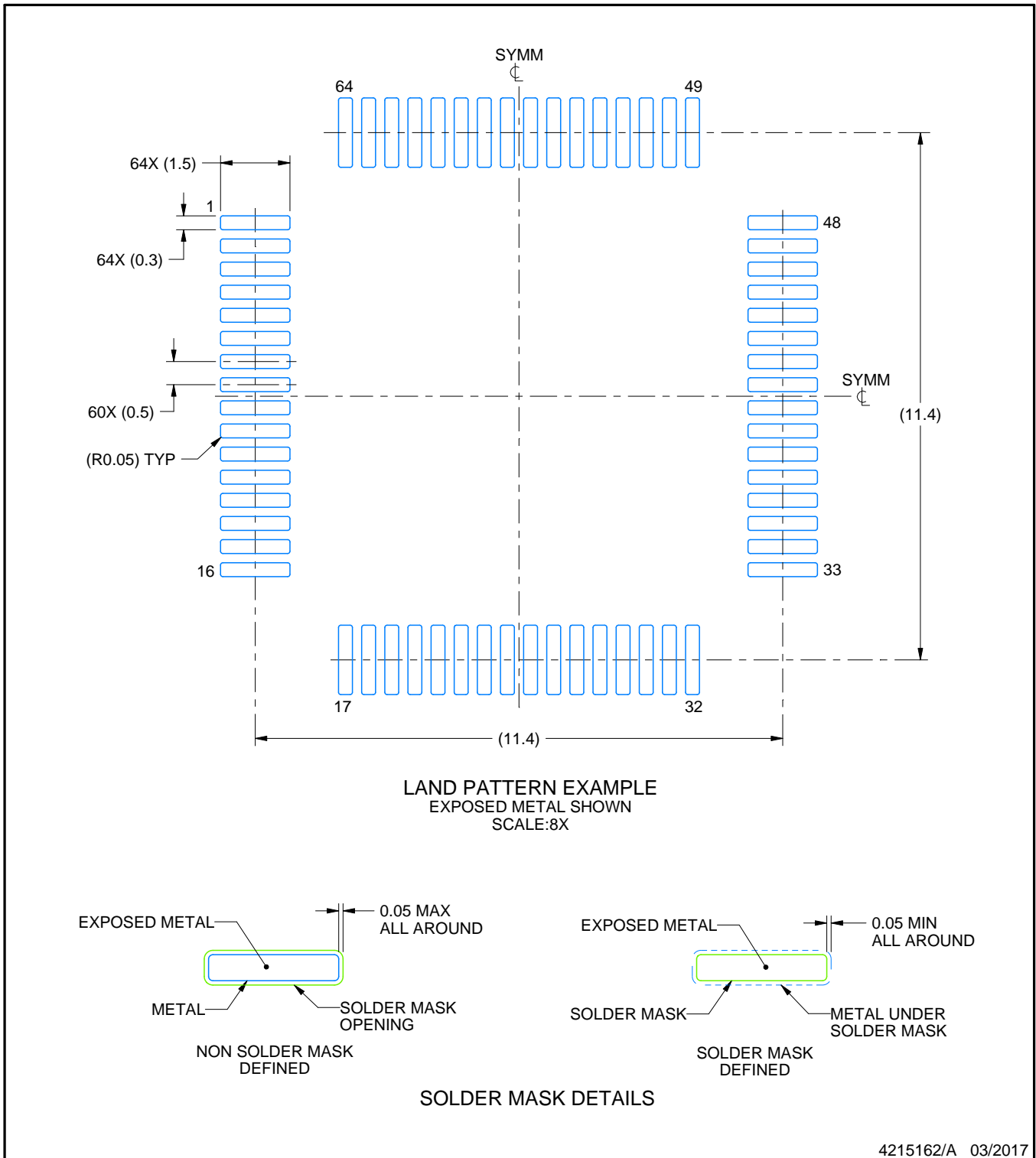
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.

EXAMPLE BOARD LAYOUT

PM0064A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



NOTES: (continued)

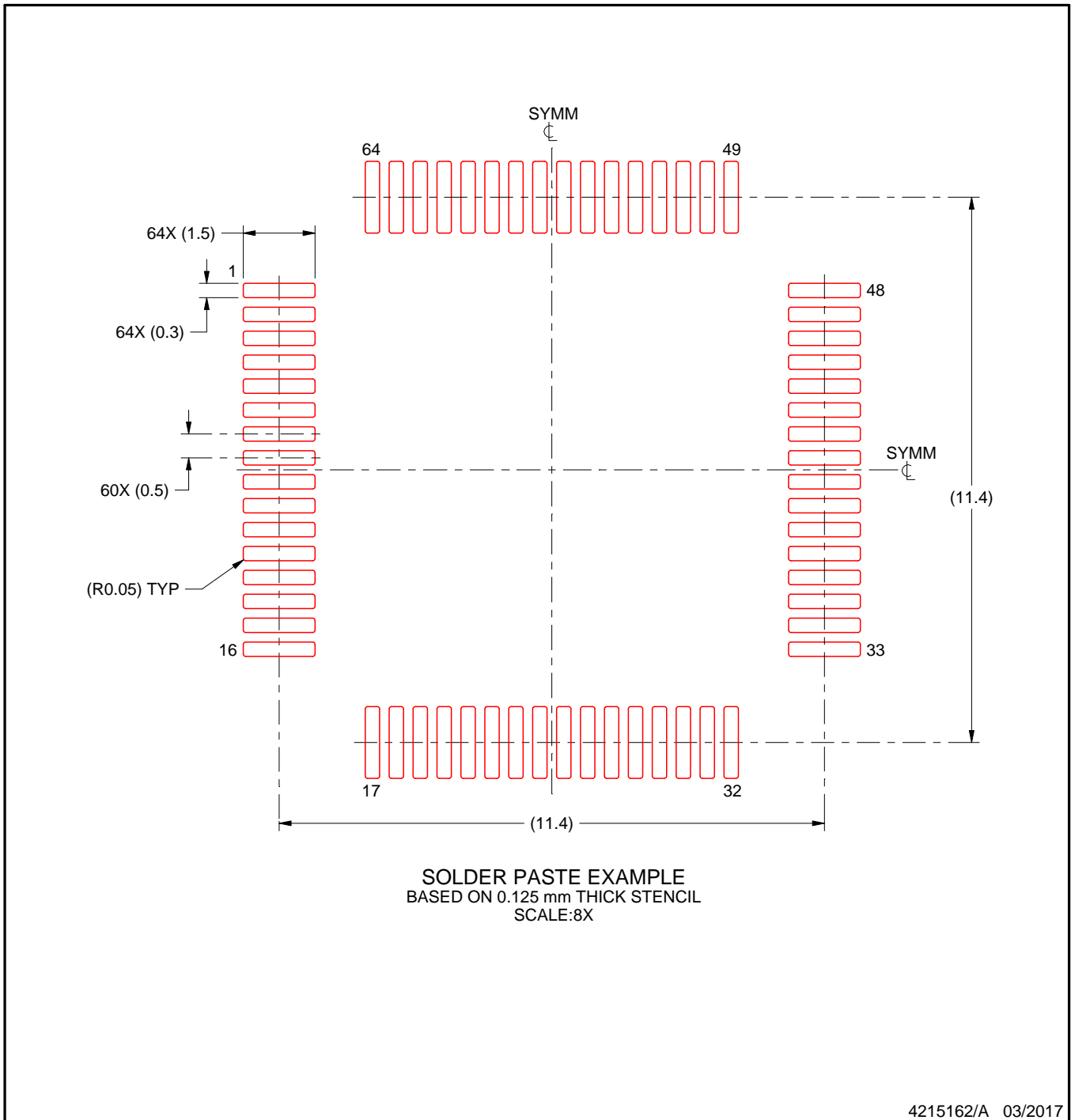
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).

EXAMPLE STENCIL DESIGN

PM0064A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月