MSPM0H321x ミックスド シグナル マイクロコントローラ

1 機能

- コア
  - Arm® 32 ビット Cortex®-M0+ CPU、最大周波数 32MHz
- 動作特性
  - 拡張動作温度範囲:-40℃ ～ 125℃
  - 電源電圧範囲:4.5V ～ 5.5V
- メモリ
  - 最大 64KB のフラッシュ
  - 8KB の SRAM
- 高性能アナログ ペリフェラル
  - 最大 27 の外部チャネルを持つ 1 つのアナログ / デジタル コンバータ (ADC)、1.6-Msps@12-bit
  - 4.05V の内部共有電圧リファレンス (VREF)
  - 温度センサ内蔵
  - 統合型電源監視
- 最適化された低消費電力モード
  - RUN:126µA/MHz (CoreMark)
  - SLEEP:2516uA (32MHz)
  - STOP:4MHz で 1442µA、32kHz で 674µA
  - STANDBY:3.8µA (SRAM 保持)
- インテリジェント デジタル ペリフェラル
  - 3 チャネル DMA コントローラ
  - 最大 18 の PWM チャネルをサポートする 5 つのタイマ
    - 1 つの 16 ビット高度タイマ、最大 8 個の PWM チャネルのデッドバンドをサポート
    - 1 つの 16 ビット汎用タイマ、4 つのキャプチャ / コンパレータを搭載
    - 2 つの 16 ビット汎用タイマ、2 つのキャプチャ / コンパレータを搭載
    - 1 つの 16 ビット汎用タイマ、2 つのキャプチャ / コンパレータおよび QEI を搭載
  - ウィンドウ付きウォッチドッグ タイマ (WWDT)
  - 独立型ウォッチ ドッグ タイマ (IWDT)
  - RTC、アラームおよびカレンダー モード付き
  - 外部ビープ音を駆動するための 1/2/4/8kHz の方形波を生成する BEEPER
- 拡張通信インターフェイス
  - STANDBY モードでの低消費電力動作をサポートする 3 つの UART インターフェイス
    - LIN、IrDA、DALI、スマート カード、マンチェスターをサポートする 1 つの高度な UART インスタンス
  - 2 つの I^2C インターフェイス。FM+ (1Mbit/s)、SMBus/PMBus、STOP モードからのウェークアップをサポート
  - 最大 16Mbit/s をサポートする 1 つの SPI
- クロック システム
  - -2.1% から 1.6% の精度の 32MHz 内部発振器 (SYSOSC)
  - 最大 ±3% 精度の 32kHz 低周波数内部発振器 (LFOSC)
  - 外部 4MHz～32MHz 水晶発振器 (HFXT)
  - 外部 32kHz 水晶発振器 (LFXT)
  - 外部低周波数 (LF) と高周波 (HF) デジタル クロック入力
- データの整合性
  - コードおよびデータ保護用のフレキシブルなファイアウォール
  - 巡回冗長検査 (CRC-16)
- 柔軟な I/O 機能
  - 最大 45 の GPIO
  - 真の 5V IO
- 開発サポート
  - 2 ピン シリアル ワイヤ デバッグ (SWD)
- パッケージ オプション
  - 48 ピン LQFP (PT)、VQFN (RGZ)
  - 32 ピン VQFN (RHB)
  - 28 ピン VSSOP (DGS28)
  - 24 ピン VQFN (RGE)
  - 20 ピン VSSOP (DGS20)、WQFN (RUK)
- ファミリの製品 (「製品比較」も参照)セクション 5
  - MSPM0H3216:64KB のフラッシュ、8KB の RAM
  - MSPM0H3215:32KB のフラッシュ、8KB の RAM
- 開発キットとソフトウェア (「ツールとソフトウェア」も参照) *セクション 10.2*
  - LP-MSPM0H3216 LaunchPad™ 開発キット
  - MSP ソフトウェア開発キット (SDK)

2 アプリケーション

- 電化製品
- バッテリ充電 / 管理
- 電源と電力供給
- パーソナル エレクトロニクス
- ビル セキュリティと防火
- ネットワーク接続の周辺機器とプリンタ
- ファクトリ オートメーション制御
- スマート メーター
- 通信モジュール
- 医療 / ヘルスケア

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

- 照明器具

3 説明

MSPM0H321x マイクロコントローラ (MCU) は、最大 32MHz の周波数で動作する拡張 Arm® Cortex®-M0+ コア プラットフォームに基づく MSP 高集積 5V 消費電力および 32 ビット MCU ファミリの一部です。コスト最適化されたこれらの MCU は高性能アナログ ペリフェラルを統合しており、-40℃～125℃の拡張温度範囲をサポートしており、4.5V の電源電圧で動作します。

MSPM0H321x デバイスは最大 64KB の組込みフラッシュ プログラム メモリと 8KB の SRAM を内蔵しています。これらのマイコンは -2.1% ～ 1.6% の精度の高速オンチップ発振器を内蔵しているため、外部水晶振動子は不要です。追加機能には、3 チャネル DMA、CRC-16 アクセラレータ、各種の高性能アナログ ペリフェラル (電圧リファレンスとして VDD を含む 12 ビット 1.6Msps ADC、1 つのオンチップ温度センサなど) が含まれます。これらのデバイスは、1 つの 16 ビット高度タイマ、4 つの 16 ビット汎用タイマ、1 つのウィンドウ付きウォッチドッグ タイマ、1 つの独立したウォッチドッグ タイマ、リアルタイム クロック (RTC) などのインテリジェントなデジタル ペリフェラルを備えています。これらのデバイスには、3 つの UART、1 つの SPI、2 つの I^2C などの各種通信ペリフェラルも内蔵されていますこれらの通信ペリフェラルは LIN、IrDA、DALI、マンチェスター、スマート カード、SMBus、PMBus プロトコルをサポートしています。

テキサス インスツルメンツの MSPM0 低消費電力 MCU ファミリは、各種のアナログおよびデジタル集積度のデバイスで構成されているため、お客様はプロジェクトのニーズを満たす MCU を見つけることができます。そのアーキテクチャと豊富な低消費電力モードは、携帯型測定アプリケーションで長いバッテリ駆動時間を実現するように最適化されています。

MSPM0H321x MCU は、広範囲にわたるハードウェアおよびソフトウェアのエコシステムによってサポートされており、リファレンス デザインやコード サンプルを使って設計をすぐに開始できます。開発キットには、購入可能な LaunchPad™ キットとターゲット ソケット ボード用の設計ファイルが含まれています。また、テキサス・インスツルメンツは無償の MSP ソフトウェア開発キット (SDK) も提供しており、Code Composer Studio™ IDE デスクトップのコンポーネントとして利用できます。また、TI Resource Explorer ではクラウド バージョンを利用できます。MSPM0 マイコンには、広範囲にわたるオンライン資料、MSP Academy によるトレーニング、TI E2E™ サポート フォーラムによるオンライン サポートも用意されています。

モジュールの詳細については、*『MSPM0H シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル』*を参照してください。

表 3-1. パッケージ情報

部品番号(1) (3)	パッケージ	パッケージ サイズ (2)
MSPM0H3216SPTR	PT (LQFP、48)	9mm × 9mm
MSPM0H3215SPTR	PT (LQFP、48)	9mm × 9mm
MSPM0H3216SRGZR	RGZ (VQFN、48)	7mm × 7mm
MSPM0H3215SRGZR	RGZ (VQFN、48)	7mm × 7mm
MSPM0H3216SRHBR	RHB (VQFN、32)	5mm × 5mm
MSPM0H3215SRHBR	RHB (VQFN、32)	5mm x 5mm
MSPM0H3216SDGS28R	DGS28 (VSSOP) (28)	7.1mm × 4.9mm
MSPM0H3215SDGS28R	DGS28 (VSSOP) (28)	7.1mm × 4.9mm
MSPM0H3216SRGER	RGE (VQFN、24)	4mm x 4mm
MSPM0H3215SRGER	RGE (VQFN、24)	4mm x 4mm
MSPM0H3216SDGS20R	DGS20 (VSSOP) (20)	5.1mm × 4.9mm
MSPM0H3215SDGS20R	DGS20 (VSSOP) (20)	5.1mm × 4.9mm
MSPM0H3216SRUKR	RUK (WQFN、20)	3mm x 3mm
MSPM0H3215SRUKR	RUK (WQFN、20)	3mm x 3mm

Copyright © 2026 Texas Instruments Incorporated

1. 提供中の全デバイスに関する最新の製品、パッケージ、および注文情報については、セクション 12 の「付録：パッケージ オプション」、または TI Web サイトを参照してください。
2. パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。公差を含めたパッケージの寸法については、セクション 12 の *「メカニカル データ」*を参照してください。
3. 型番の詳細については、セクション 10.1 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

4 機能ブロック図

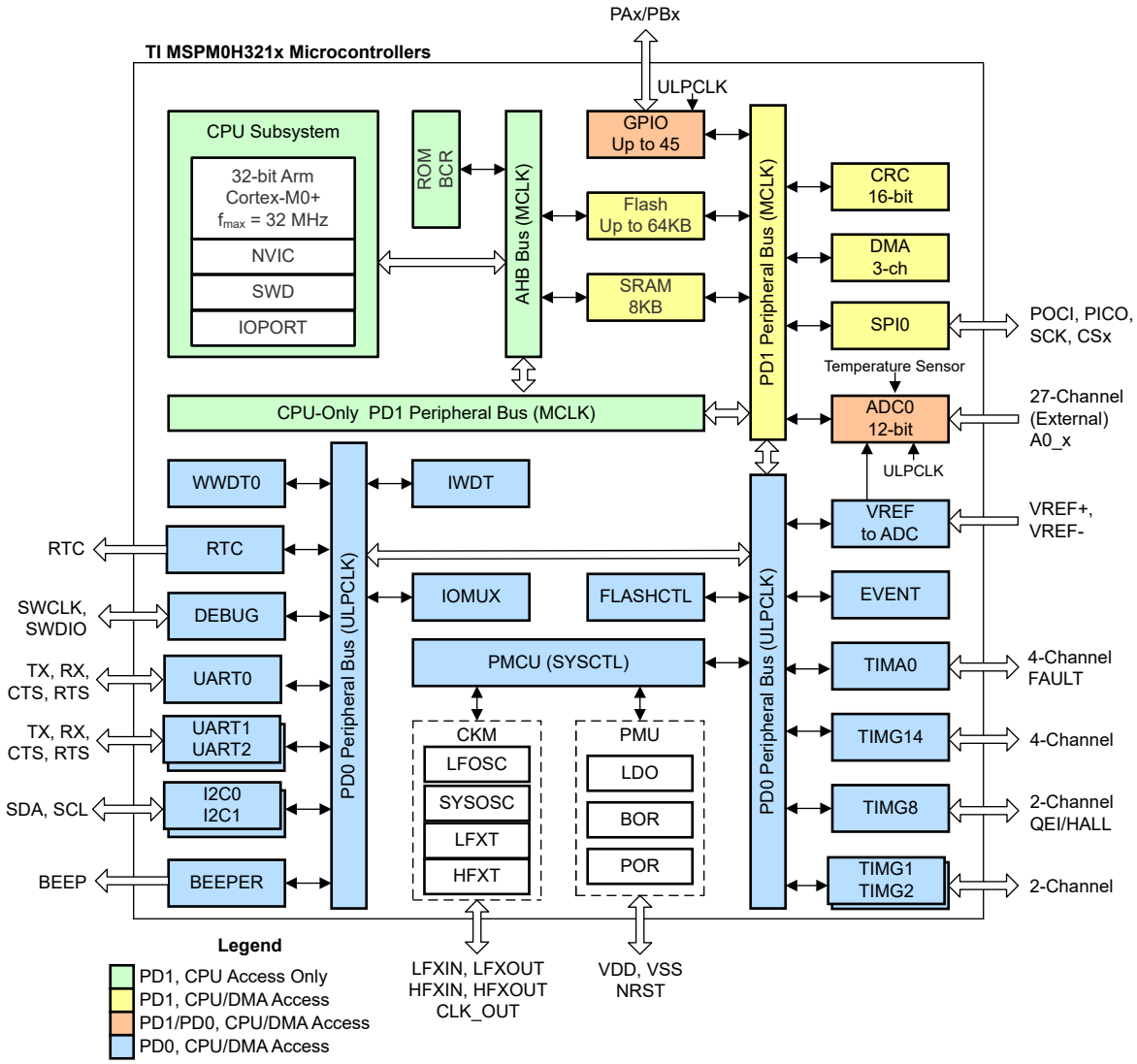


図 4-1. MSPM0H321x の機能ブロック図

Copyright © 2026 Texas Instruments Incorporated

目次

1 機能 ... 1
2 アプリケーション ... 1
3 説明 ... 2
4 機能ブロック図 ... 4
5 デバイスの比較 ... 6
6 ピン構成および機能 ... 7
6.1 ピン配置図 ... 7
6.2 ピン属性 ... 11
6.3 信号の説明 ... 24
6.4 未使用ピンの接続 ... 34
7 仕様 ... 35
7.1 絶対最大定格 ... 35
7.2 ESD 定格 ... 35
7.3 推奨動作条件 ... 35
7.4 熱に関する情報 ... 36
7.5 電源電流特性 ... 37
7.6 電源シーケンス ... 38
7.7 フラッシュ メモリの特性 ... 39
7.8 タイミング特性 ... 40
7.9 クロック仕様 ... 41
7.10 デジタル IO ... 43
7.11 ADC ... 43
7.12 温度センサ ... 45
7.13 VREF ... 46
7.14 I2C ... 46
7.15 SPI ... 47
7.16 UART ... 49
7.17 TIMx ... 49
7.18 エミュレーションおよびデバッグ ... 49
8 詳細説明 ... 50
8.1 概要 ... 51
8.2 CPU ... 51
8.3 動作モード ... 51
8.4 パワー マネージメント ユニット (PMU) ... 53
8.5 クロック モジュール (CKM) ... 53
8.6 DMA_B ... 54
8.7 イベント ... 55
8.8 メモリ ... 56
8.9 フラッシュ メモリ ... 58
8.10 SRAM ... 58
8.11 GPIO ... 59
8.12 IOMUX ... 59
8.13 ADC ... 59
8.14 温度センサ ... 60
8.15 VREF ... 60
8.16 セキュリティ ... 61
8.17 CRC ... 61
8.18 UART ... 62
8.19 SPI ... 62
8.20 I2C ... 63
8.21 低周波数サブシステム (LFSS) ... 63
8.22 RTC_B ... 63
8.23 IWDT_B ... 64
8.24 WWDT ... 65
8.25 タイマ (TIMx) ... 65
8.26 デバイスのアナログ接続 ... 67
8.27 入力 / 出力の回路図 ... 68
8.28 シリアル ワイヤ デバッグ インターフェイス ... 68
8.29 DEBUGSS ... 69
8.30 デバイス ファクトリ定数 ... 69
8.31 識別 ... 70
9 アプリケーション、実装、およびレイアウト ... 71
9.1 代表的なアプリケーション ... 71
10 デバイスおよびドキュメントのサポート ... 72
10.1 デバイスの命名規則 ... 72
10.2 ツールとソフトウェア ... 73
10.3 ドキュメントのサポート ... 73
10.4 サポート・リソース ... 74
10.5 商標 ... 74
10.6 静電気放電に関する注意事項 ... 74
10.7 用語集 ... 74
11 改訂履歴 ... 74
12 メカニカル、パッケージ、および注文情報 ... 75

Copyright © 2026 Texas Instruments Incorporated

5 デバイスの比較

表 5-1. デバイスの比較

デバイス名 (1) (3)	フラッシュ/ SRAM (KB)	ADC チャネル	UART / I2C / SPI	TIMG	TIMA	GPIO	パッケージ (パッケージ サイズ)(2)
MSPM0H3216SPTR	64 / 8	27	3 / 2 / 1	4	1	45	48 LQFP (9mm × 9mm)
MSPM0H3215SPTR	32 / 8						
MSPM0H3216SRGZR	64 / 8	27	3 / 2 / 1	4	1	45	48 VQFN (7mm × 7mm)
MSPM0H3215SRGZR	32 / 8						
MSPM0H3216SRHBR	64 / 8	18	3 / 2 / 1	4	1	29	32 VQFN (5mm × 5mm)
MSPM0H3215SRHBR	32 / 8						
MSPM0H3216SDGS28R	64 / 8	15	3 / 2 / 1	4	1	25	28 VSSOP (7.1mm × 4.9mm)
MSPM0H3215SDGS28R	32 / 8						
MSPM0H3216SRGER	64 / 8	13	3 / 2 / 1	4	1	21	24 VQFN (4mm × 4mm)
MSPM0H3215SRGER	32 / 8						
MSPM0H3216SDGS20R	64 / 8	12	3 / 2 / 1	4	1	17	20 VSSOP (5.1mm × 4.9mm)
MSPM0H3215SDGS20R	32 / 8						
MSPM0H3216SRUKR	64 / 8	12	3 / 2 / 1	4	1	17	20 WQFN (3mm × 3mm)
MSPM0H3215SRUKR	32 / 8						

(1) 提供中の全デバイスに関する最新の製品、パッケージ、および注文情報については、セクション 12 の「付録:パッケージ オプション」、または TI Web サイトを参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。公差を含めたパッケージの寸法については、セクション 12 の *「メカニカル データ」*を参照してください。
(3) 型番の詳細については、セクション 10.1 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

6 ピン構成および機能

6.1 ピン配置図

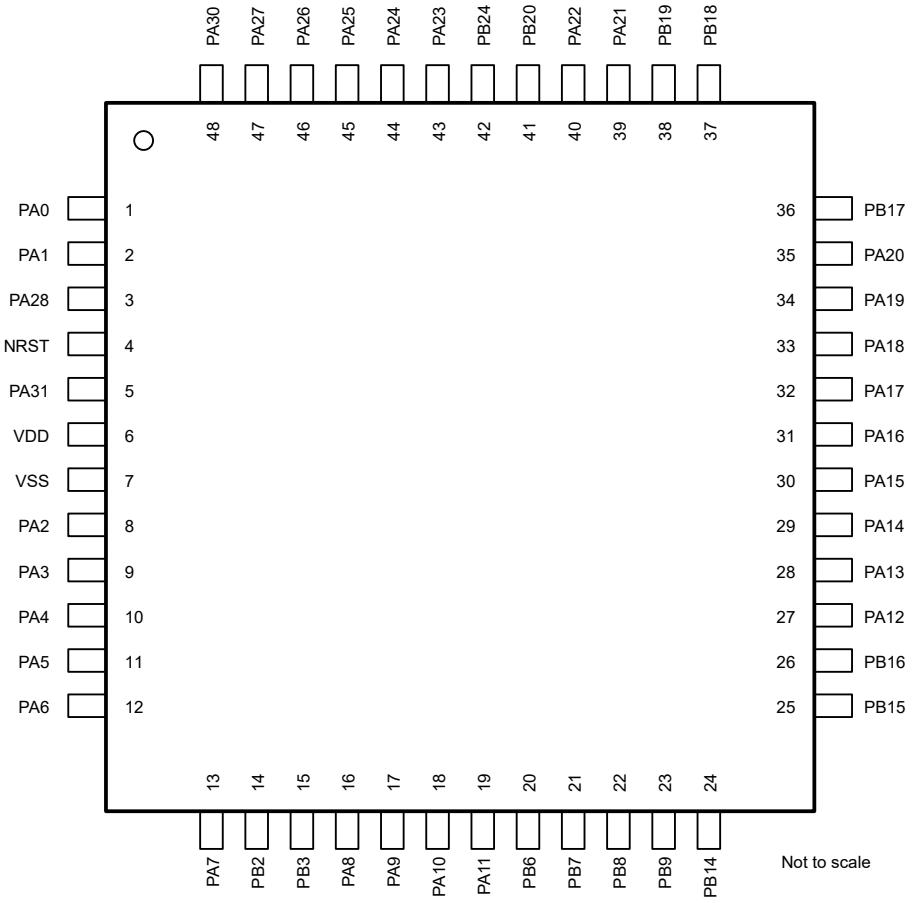


図 6-1. 48 ピン PT (LQFP) (上面図)

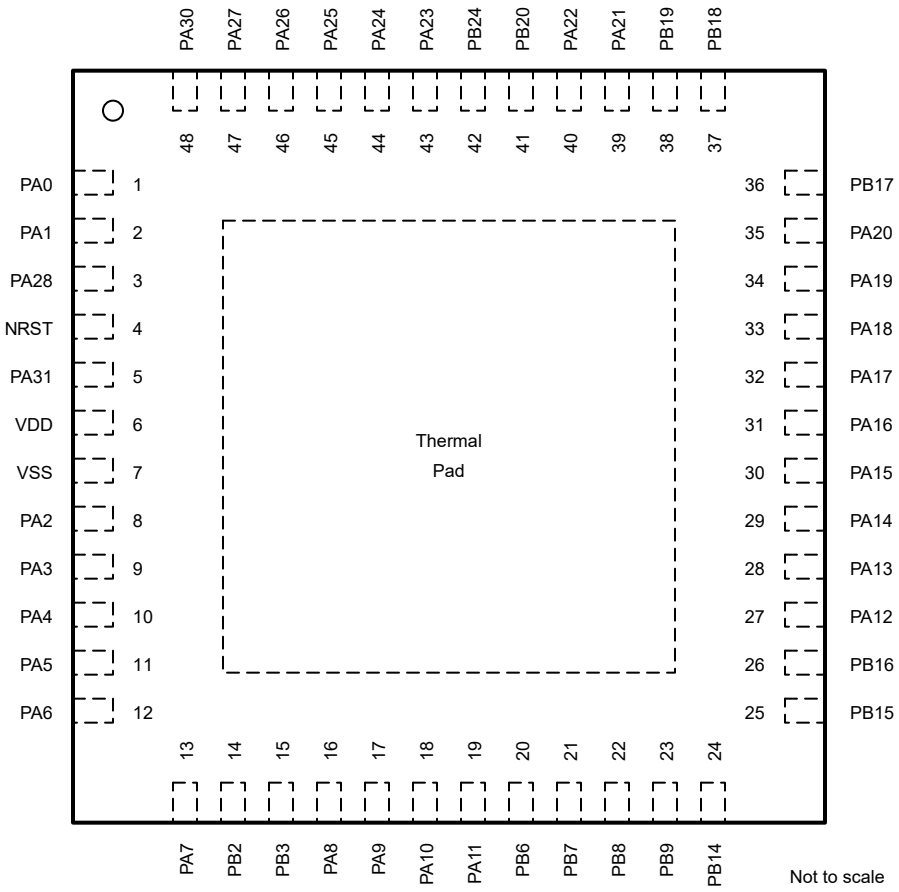


図 6-2. 48 ピン RGZ (VQFN) (上面図)

Copyright © 2026 Texas Instruments Incorporated

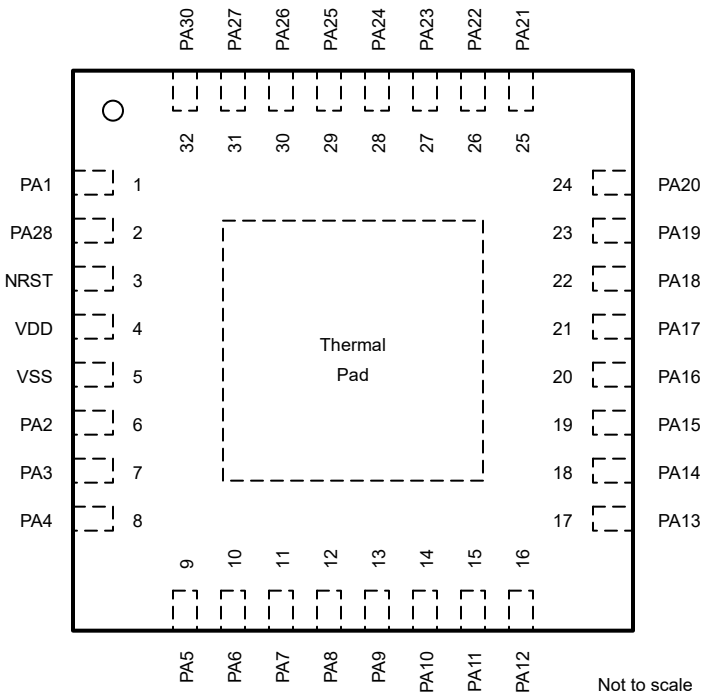


図 6-3. 32 ピン RHB (VQFN) (上面図)

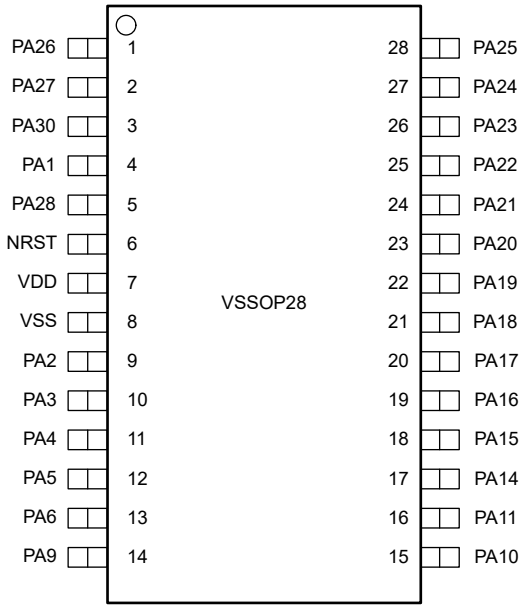


図 6-4. 28 ピン DGS28 (VSSOP) (上面図)

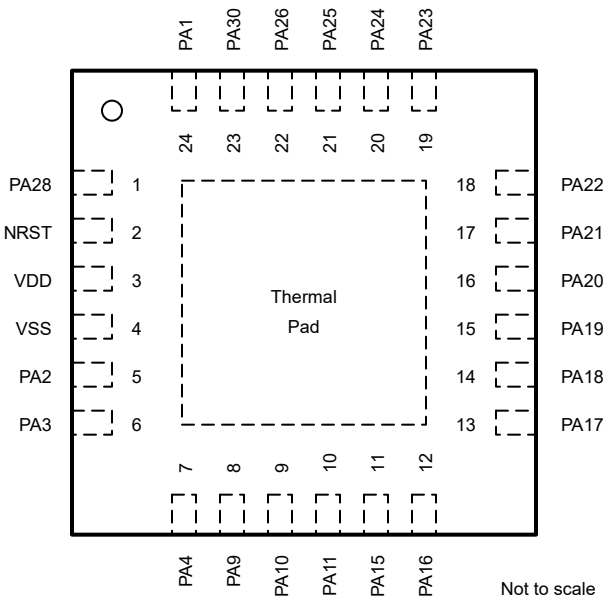


図 6-5. 24 ピン RGE (VQFN) (上面図)

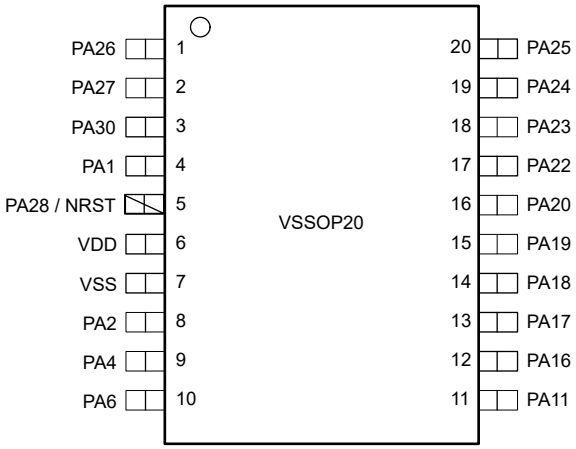


図 6-6. 20 ピン DGS20 (VSSOP) (上面図)

Copyright © 2026 Texas Instruments Incorporated

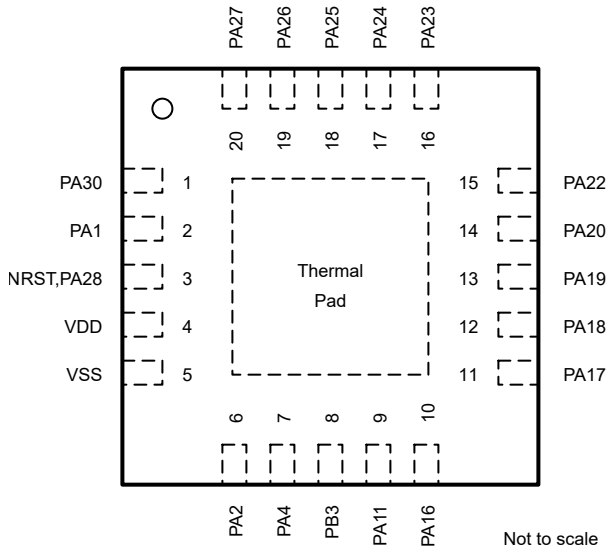


図 6-7. 20 ピン RUK (WQFN) (上面図)

6.2 ピン属性

次の表に、各デバイス パッケージの各ピンで利用可能な機能を示します。

注

デバイス上の各デジタル I/O は、専用のピン制御管理レジスタ (PINCMx) に割り当てられており、ユーザーが PINCM.PF 制御ビットを使って必要な*ピン機能*を設定できます。

デバイス上の各デジタル I/O は、専用のピン制御管理レジスタ (PINCMx) に割り当てられており、ユーザーが PINCM.PF 制御ビットを使って必要なピン機能を設定できます。IOMUX は、IOMUX による 1 つのデジタル機能をピンに同時に接続することのみをサポートしています。IOMUX 以外の管理機能 (アナログ接続など) をピンで使うことを想定している場合、IOMUX の PINCM.PF と PINCM.PC を 0 に設定することをお勧めします。ただし、IOMUX 非管理信号は、IOMUX 管理対象のデジタル機能がピン上で有効化されると同時に、機能間に競合がない限り、ピン上で有効化できます。この場合、各ピンでイネーブルされる機能間に競合がないことを設計者が確認する必要があります。

表 6-1. IO タイプ別のデジタル IO 機能

バッファのタイプ	反転制御	駆動能力制御	ヒステリシス制御	プルアップ抵抗	プルダウン抵抗	ウェークアップロジック
SDIO (標準駆動)	Y			Y		
HSIO (高速)	Y	Y		Y		

表 6-2. ピン属性 (PT、RUK、RGZ、RHB、DGS28、RGE、DGS20 パッケージ)

PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号名	IOMUX PF	信号のタイプ	バッファのタイプ
4	3	4	3	6	2	5	NRST	NRST	(非 IOMUX 1) 0	リセット	リセット

表 6-2. ピン属性 (PT、RUK、RGZ、RHB、DGS28、RGE、DGS20 パッケージ) (続き)

PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン	ピン名 /IOMUX REG/IOMUX ADDR	信号名	IOMUX PF	信号のタイプ	バッファのタイプ
1		1					PA0 PINCM1 0x40428000	PA0	1	IO	SDIO (標準)
								UART0_TX	2	O	
								I2C0_SDA	3	IOD	
								TIMA0_C0	4	IO	
								TIMA_FAL1	5	I	
								FCC_IN	6	I	
								TIMG8_C1	7	IO	
								ビープ音	8	O	
								TIMG14_C0	9	IO	
								SPI0_CS1_MISO1	10	IO	
								RTC_OUT	12	O	
2	2	2	1	4	24	4	PA1 PINCM2 0x40428004	PA1	1	IO	SDIO (標準)
								UART0_RX	2	IO	
								I2C0_SCL	3	IOD	
								TIMA0_C1	4	IO	
								TIMA_FAL2	5	I	
								TIMG8_IDX	6	I	
								TIMG8_C0	7	IO	
								TIMG14_C1	9	IO	
								SPI0_CS3_CD_MISO3	10	IO	
								HFCLKIN	11	I	
								UART0_TX	12	O	
								UART1_RTS	13	O	
								I2C0_SDA	14	IOD	
								HFXOUT	(非 IOMUX 1) 0	A	
8	6	8	6	9	5	8	PA2 PINCM5 0x40428010	PA2	1	IO	HSIO (高速)
								TIMG8_C1	2	IO	
								SPI0_CS0	3	IO	
								TIMG2_C1	4	IO	
								TIMG8_IDX	5	I	
								TIMA0_C3N	6	O	
								TIMA0_C2N	7	O	
								TIMA_FAL0	8	I	
								TIMA_FAL1	9	I	
								TIMA0_C0	11	IO	
								I2C0_SCL	12	IOD	

Copyright © 2026 Texas Instruments Incorporated

表 6-2. ピン属性 (PT、RUK、RGZ、RHB、DGS28、RGE、DGS20 パッケージ) (続き)

PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン	ピン名 /IOMUX REG/IOMUX ADDR	信号名	IOMUX PF	信号のタイプ	バッファのタイプ
9		9	7	10	6		PA3 PINCM6 0x40428014	PA3	1	IO	HSIO (高速)
								TIMG8_C0	2	IO	
								SPI0_CS1_MISO1	3	IO	
								I2C1_SDA	4	IOD	
								TIMA0_C1	5	IO	
								TIMG2_C0	7	IO	
								TIMA0_C2	8	IO	
								UART2_CTS	9	I	
								UART1_TX	10	O	
								SPI0_CS3_CD_MISO3	11	IO	
								I2C0_SDA	12	IOD	
								LFXIN 1	(非 IOMUX 1) 0	A	
10	7	10	8	11	7	9	PA4 PINCM7 0x40428018	PA4	1	IO	HSIO (高速)
								TIMG8_C1	2	IO	
								SPI0_POCI	3	IO	
								I2C1_SCL	4	IOD	
								TIMA0_C1N	5	O	
								TIMG2_C1	7	IO	
								TIMA0_C3	8	IO	
								UART2_RTS	9	O	
								UART1_RX	10	I	
								SPI0_CS0	11	IO	
								TIMA0_C0N	12	O	
								HFCLKIN	13	I	
								LFXOUT 1	(非 IOMUX 1) 0	A	
11		11	9	12			PA5 PINCM8 0x4042801c	PA5	1	IO	HSIO (高速)
								TIMG8_C0	2	IO	
								SPI0_PICO	3	IO	
								I2C1_SDA	4	IOD	
								TIMG14_C0	5	IO	
								FCC_IN	6	I	
								TIMG1_C0	7	IO	
								TIMA_FAL1	8	I	
								UART0_CTS	9	I	
								UART1_TX	11	O	
								TIMA0_C1	12	IO	

Copyright © 2026 Texas Instruments Incorporated

表 6-2. ピン属性 (PT、RUK、RGZ、RHB、DGS28、RGE、DGS20 パッケージ) (続き)

PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン	ピン名 /IOMUX REG/IOMUX ADDR	信号名	IOMUX PF	信号のタイプ	バッファのタイプ
12		12	10	13		10	PA6 PINCM9 0x40428020	PA6	1	IO	HSIO (高速)
								TIMG8_C1	2	IO	
								SPI0_SCLK	3	IOD	
								I2C1_SCL	4	IOD	
								TIMG14_C1	5	IO	
								HFCLKIN	6	I	
								TIMG1_C1	7	IO	
								TIMA_FAL0	8	I	
								UART0_RTS	9	O	
								TIMA0_C2N	10	O	
								UART1_RX	11	I	
								TIMA0_C2	12	IO	
								I2C0_SDA	13	IOD	
								ビープ音	14	O	
13		13	11				PA7 PINCM10 0x40428024	PA7	1	IO	HSIO (高速)
								CLK_OUT	2	O	
								TIMG8_C0	3	IO	
								TIMA0_C2	4	IO	
								TIMG8_IDX	5	I	
								TIMG2_C1	6	IO	
								TIMA0_C1	7	IO	
								SPI0_CS2_MISO2	8	IO	
								FCC_IN	9	I	
								SPI0_POCI	10	IO	
								SPI0_PICO	11	IO	
								UART1_TX	12	O	
								TIMG1_C0	13	IO	
16		16	12				PA8 PINCM13 0x40428030	PA8	1	IO	HSIO (高速)
								UART1_TX	2	O	
								SPI0_CS0	3	IO	
								I2C0_SDA	4	IOD	
								TIMA0_C0	5	IO	
								TIMA_FAL2	6	I	
								TIMA_FAL0	7	I	
								SPI0_CS3_CD_MISO3	8	IO	
								TIMG2_C1	9	IO	
								HFCLKIN	10	I	
								UART0_RTS	11	O	
								SPI0_SCLK	12	IOD	
								UART1_RX	13	I	
								TIMA0_C3N	14	O	

Copyright © 2026 Texas Instruments Incorporated

表 6-2. ピン属性 (PT、RUK、RGZ、RHB、DGS28、RGE、DGS20 パッケージ) (続き)

PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号名	IOMUX PF	信号のタイプ	バッファのタイプ
17		17	13	14	8		PA9 PINCM14 0x40428034	PA9	1	IO	HSIO (高速)
								UART1_RX	2	I	
								SPI0_PICO	3	IO	
								I2C0_SCL	4	IOD	
								TIMA0_C0N	5	O	
								CLK_OUT	6	O	
								TIMA0_C1	7	IO	
								RTC_OUT	8	O	
								TIMG2_C0	9	IO	
								SPI0_POCI	10	IO	
								UART0_CTS	11	I	
								TIMA_FAL1	12	I	
								TIMG1_C1	13	IO	
18		18	14	15	9		PA10 PINCM15 0x40428038	PA10	1	IO	SDIO (標準)
								UART0_TX	2	O	
								SPI0_POCI	3	IO	
								I2C0_SDA	4	IOD	
								TIMA0_C2	5	IO	
								CLK_OUT	6	O	
								TIMG14_C0	7	IO	
								I2C1_SDA	8	IOD	
								TIMA_FAL1	10	I	
								TIMA0_C1N	12	O	
								TIMG8_C1	13	IO	
								SPI0_PICO	14	IO	
19	9	19	15	16	10	11	PA11 PINCM16 0x4042803c	PA11	1	IO	HSIO (高速)
								UART0_RX	2	IO	
								SPI0_SCLK	3	IOD	
								I2C0_SCL	4	IOD	
								TIMA0_C2N	5	O	
								UART1_RX	6	I	
								TIMG14_C1	7	IO	
								I2C1_SCL	8	IOD	
								TIMA_FAL0	10	I	
								SPI0_CS0	12	IO	
								BSL_invoke	13	I	
								ADC0_25	(非 IOMUX 1) 0	A	

Copyright © 2026 Texas Instruments Incorporated

表 6-2. ピン属性 (PT、RUK、RGZ、RHB、DGS28、RGE、DGS20 パッケージ) (続き)

PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン	ピン名 /IOMUX REG/IOMUX ADDR	信号名	IOMUX PF	信号のタイプ	バッファのタイプ
27		27	16				PA12 PINCM24 0x4042805c	PA12	1	IO	SDIO (標準)
								SPI0_SCLK	2	IOD	
								TIMA0_C3	4	IO	
								FCC_IN	5	I	
								TIMG14_C0	6	IO	
								SPI0_CS1_MISO1	8	IO	
								UART2_CTS	9	I	
								UART1_CTS	10	I	
								TIMA0_C3N	11	O	
								I2C1_SCL	12	IOD	
								TIMG2_C1	13	IO	
								ADC0_18	(非 IOMUX 1) 0	A	
28		28	17				PA13 PINCM25 0x40428060	PA13	1	IO	SDIO (標準)
								SPI0_POCI	3	IO	
								TIMA0_C2N	4	O	
								TIMA0_C3N	5	O	
								RTC_OUT	6	O	
								TIMG14_C1	7	IO	
								TIMG14_C3	8	IO	
								SPI0_CS3_CD_MISO3	9	IO	
								UART2_TX	10	O	
								UART1_RTS	11	O	
								SPI0_CS0	12	IO	
								TIMG8_C1	13	IO	
								TIMA0_C1	14	IO	
								ADC0_17	(非 IOMUX 1) 0	A	
29		29	18	17			PA14 PINCM26 0x40428064	PA14	1	IO	SDIO (標準)
								UART0_CTS	2	I	
								SPI0_PICO	3	IO	
								TIMG1_C0	4	IO	
								CLK_OUT	6	O	
								SPI0_CS2_MISO2	9	IO	
								UART2_RX	10	I	
								I2C0_SCL	12	IOD	
								UART0_TX	13	O	
								TIMA0_C2	14	IO	
								ADC0_16	(非 IOMUX 1) 0	A	
30		30	19	18	11		PA15 PINCM27 0x40428068	PA15	1	IO	SDIO (標準)
								UART0_RTS	2	O	
								SPI0_CS2_MISO2	3	IO	
								I2C1_SCL	4	IOD	
								TIMA0_C2	5	IO	
								TIMG8_IDX	7	I	
								UART2_RTS	10	O	
								ADC0_15	(非 IOMUX 1) 0	A	

Copyright © 2026 Texas Instruments Incorporated

表 6-2. ピン属性 (PT、RUK、RGZ、RHB、DGS28、RGE、DGS20 パッケージ) (続き)

PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号名	IOMUX PF	信号のタイプ	バッファのタイプ
31	10	31	20	19	12	12	PA16 PINCM28 0x4042806c	PA16	1	IO	SDIO (標準)
								SPI0_POCI	3	IO	
								I2C1_SDA	4	IOD	
								TIMA0_C2N	5	O	
								FCC_IN	7	I	
								UART2_CTS	10	I	
								TIMG14_C2	12	IO	
								ADC0_14	(非 IOMUX 1) 0	A	
32	11	32	21	20	13	13	PA17 PINCM29 0x40428070	PA17	1	IO	HSIO (高速)
								UART1_TX	2	O	
								TIMA0_C2	3	IO	
								I2C1_SCL	4	IOD	
								TIMA0_C3	5	IO	
								TIMG2_C0	6	IO	
								TIMG8_C0	7	IO	
								TIMA0_C0N	8	O	
								SPI0_CS1_MISO1	9	IO	
								SPI0_SCLK	10	IOD	
								UART0_RX	12	IO	
								ADC0_13	(非 IOMUX 1) 0	A	
33	12	33	22	21	14	14	PA18 PINCM30 0x40428074	PA18	1	IO	SDIO (標準)
								UART1_RX	2	I	
								UART1_RTS	3	O	
								I2C1_SDA	4	IOD	
								TIMA0_C3N	5	O	
								TIMG2_C1	6	IO	
								TIMG8_C1	7	IO	
								SPI0_PICO	8	IO	
								SPI0_CS0	9	IO	
								UART0_CTS	10	I	
								TIMA0_C0	11	IO	
								SPI0_POCI	12	IO	
								TIMA_FAL2	13	I	
								CLK_OUT	14	O	
								ADC0_12	(非 IOMUX 1) 0	A	
34	13	34	23	22	15	15	PA19 PINCM31 0x40428078	PA19	1	IO	HSIO (高速)
								SWDIO	2	IO	
								SPI0_SCLK	3	IOD	
								I2C1_SDA	4	IOD	
								TIMA0_C2	5	IO	
								TIMG14_C0	6	IO	
								SPI0_POCI	7	IO	
								UART0_CTS	8	I	
								UART0_RTS	12	O	
								SPI0_PICO	13	IO	
								ADC0_22	(非 IOMUX 1) 0	A	

Copyright © 2026 Texas Instruments Incorporated

表 6-2. ピン属性 (PT、RUK、RGZ、RHB、DGS28、RGE、DGS20 パッケージ) (続き)

PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン	ピン名 /IOMUX REG/IOMUX ADDR	信号名	IOMUX PF	信号のタイプ	バッファのタイプ
35	14	35	24	23	16	16	PA20 PINCM32 0x4042807c	PA20	1	IO	HSIO (高速)
								SWCLK	2	I	
								TIMA_FAL1	3	I	
								I2C1_SCL	4	IOD	
								TIMA0_C2N	5	O	
								TIMG14_C1	6	IO	
								SPI0_PICO	7	IO	
								TIMA0_C0	8	IO	
								UART0_RTS	9	O	
								UART1_RX	13	I	
								ADC0_4	(非 IOMUX 1) 0	A	
39		39	25	24	17		PA21 PINCM36 0x4042808c	PA21	1	IO	SDIO (標準)
								UART2_TX	2	O	
								SPI0_CS3_CD_MISO3	3	IO	
								UART1_CTS	4	I	
								TIMA0_C0	5	IO	
								TIMG1_C0	6	IO	
								UART2_CTS	8	I	
								TIMG8_C0	10	IO	
								TIMA0_C0N	12	O	
								UART2_RX	13	I	
								ADC0_8	(非 IOMUX 1) 0	A	
40	15	40	26	25	18	17	PA22 PINCM37 0x40428090	PA22	1	IO	SDIO (標準)
								UART2_RX	2	I	
								SPI0_CS2_MISO2	3	IO	
								UART1_RTS	4	O	
								TIMA0_C0N	5	O	
								TIMG1_C1	6	IO	
								TIMA0_C1	7	IO	
								CLK_OUT	8	O	
								I2C0_SCL	9	IOD	
								TIMG8_C1	10	IO	
								UART1_RX	11	I	
								SPI0_POCI	12	IO	
								UART2_TX	13	O	
								ADC0_7	(非 IOMUX 1) 0	A	
								ADC0_VREF-	(非 IOMUX 2) 0	A	

Copyright © 2026 Texas Instruments Incorporated

表 6-2. ピン属性 (PT、RUK、RGZ、RHB、DGS28、RGE、DGS20 パッケージ) (続き)

PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号名	IOMUX PF	信号のタイプ	バッファのタイプ
43	16	43	27	26	19	18	PA23 PINCM40 0x4042809c	PA23	1	IO	HSIO (高速)
								UART2_TX	2	O	
								SPI0_CS3_CD_MISO3	3	IO	
								TIMA0_C3	5	IO	
								TIMG8_C0	6	IO	
								TIMG2_C0	7	IO	
								UART0_TX	8	O	
								TIMG14_C0	9	IO	
								SPI0_POCI	12	IO	
								UART0_CTS	13	I	
								ADC0_26	(非 IOMUX 1) 0	A	
								ADC0_VREF+	(非 IOMUX 2) 0	A	
44	17	44	28	27	20	19	PA24 PINCM41 0x404280a0	PA24	1	IO	SDIO (標準)
								UART2_RX	2	I	
								SPI0_CS2_MISO2	3	IO	
								UART0_RTS	4	O	
								TIMA0_C3N	5	O	
								TIMG8_C1	6	IO	
								TIMG2_C1	7	IO	
								UART1_RX	8	I	
								TIMG14_C1	9	IO	
								SPI0_PICO	12	IO	
								I2C0_SDA	13	IOD	
								ADC0_3	(非 IOMUX 1) 0	A	
45	18	45	29	28	21	20	PA25 PINCM42 0x404280a4	PA25	1	IO	SDIO (標準)
								SPI0_PICO	2	IO	
								SPI0_POCI	3	IO	
								SPI0_SCLK	4	IOD	
								TIMA0_C3	5	IO	
								TIMA0_C1N	6	O	
								TIMA0_C2	7	IO	
								UART2_CTS	8	I	
								TIMG14_C0	9	IO	
								TIMG1_C0	10	IO	
								I2C0_SDA	11	IOD	
								UART0_TX	12	O	
								UART0_RTS	13	O	
								I2C0_SCL	14	IOD	
								ADC0_2	(非 IOMUX 1) 0	A	

Copyright © 2026 Texas Instruments Incorporated

表 6-2. ピン属性 (PT、RUK、RGZ、RHB、DGS28、RGE、DGS20 パッケージ) (続き)

PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号名	IOMUX PF	信号のタイプ	バッファのタイプ
46	19	46	30	1	22	1	PA26 PINCM43 0x404280a8	PA26	1	IO	HSIO (高速)
								ビープ音	2	O	
								SPI0_POCI	3	IO	
								TIMG8_C0	4	IO	
								TIMA_FAL0	5	I	
								TIMA0_C3N	6	O	
								TIMG2_C0	7	IO	
								UART2_RTS	8	O	
								I2C0_SCL	9	IOD	
								TIMG1_C1	10	IO	
								UART0_RX	11	IO	
								TIMA0_C0	12	IO	
								I2C0_SDA	13	IOD	
								UART1_CTS	14	I	
								ADC0_1	(非 IOMUX 1) 0	A	
								LFXOUT 2	(非 IOMUX 2) 0	A	
47	20	47	31	2		2	PA27 PINCM44 0x404280ac	PA27	1	IO	HSIO (高速)
								SPI0_CS3_CD_MISO3	2	IO	
								TIMA0_C0N	3	O	
								TIMG8_C1	4	IO	
								TIMA_FAL2	5	I	
								CLK_OUT	6	O	
								TIMG2_C1	7	IO	
								RTC_OUT	8	O	
								UART1_CTS	9	I	
								I2C0_SCL	10	IOD	
								UART0_TX	11	O	
								SPI0_POCI	12	IO	
								LFCLKIN	14	I	
								ADC0_0	(非 IOMUX 1) 0	A	
								LFXIN 2	(非 IOMUX 2) 0	A	
3	3	3	2	5	1	5	PA28 PINCM3 0x40428008	PA28	1	IO	SDIO (標準)
								UART0_TX	2	O	
								I2C0_SDA	3	IOD	
								TIMA0_C3	4	IO	
								TIMA_FAL0	5	I	
								TIMG2_C0	6	IO	
								TIMA0_C1	7	IO	
								HFXIN	(非 IOMUX 1) 0	A	
48	1	48	32	3	23	3	PA30 PINCM45 0x404280b0	PA30	1	IO	SDIO (標準)
								UART0_RX	4	IO	
								TIMG8_IDX	5	I	
								TIMA0_C0	6	IO	
								UART1_RTS	9	O	
								TIMG2_C1	10	IO	
								TIMG14_C2	11	IO	
								I2C0_SDA	12	IOD	

Copyright © 2026 Texas Instruments Incorporated

表 6-2. ピン属性 (PT、RUK、RGZ、RHB、DGS28、RGE、DGS20 パッケージ) (続き)

PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号名	IOMUX PF	信号のタイプ	バッファのタイプ
5		5					PA31 PINCM4 0x4042800c	PA31	1	IO	SDIO (標準)
								UART0_RX	2	IO	
								I2C0_SCL	3	IOD	
								TIMA0_C3N	4	O	
								CLK_OUT	6	O	
14		14					PB2 PINCM11 0x40428028	PB2	1	IO	HSIO (高速)
								UART2_CTS	3	I	
								I2C1_SCL	4	IOD	
								TIMA0_C3	5	IO	
								UART1_CTS	6	I	
								TIMG1_C0	7	IO	
								UART2_TX	8	O	
								HFCLKIN	10	I	
								SPI0_PICO	11	IO	
								UART1_RX	12	I	
								TIMA0_C1N	13	O	
15	8	15					PB3 PINCM12 0x4042802c	PB3	1	IO	HSIO (高速)
								TIMA_FAL0	2	I	
								UART2_RTS	3	O	
								I2C1_SDA	4	IOD	
								TIMA0_C3N	5	O	
								UART1_RTS	6	O	
								TIMG1_C1	7	IO	
								UART2_RX	8	I	
								TIMG2_C1	9	IO	
								TIMA0_C0	10	IO	
								SPI0_SCLK	11	IOD	
								SPI0_CS0	12	IO	
								UART1_TX	13	O	
								RTC_OUT	14	O	
20		20					PB6 PINCM17 0x40428040	PB6	1	IO	SDIO (標準)
								UART1_TX	2	O	
								TIMG8_C0	5	IO	
								UART2_CTS	6	I	
								TIMG1_C0	7	IO	
								TIMA_FAL2	8	I	
								SPI0_CS1_MISO1	9	IO	
								TIMA0_C3N	11	O	
								TIMG8_C1	12	IO	
								TIMA0_C2N	13	O	
								UART0_TX	14	O	
								ADC0_24	(非 IOMUX 1) 0	A	

Copyright © 2026 Texas Instruments Incorporated

表 6-2. ピン属性 (PT、RUK、RGZ、RHB、DGS28、RGE、DGS20 パッケージ) (続き)

PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号名	IOMUX PF	信号のタイプ	バッファのタイプ
21		21					PB7 PINCM18 0x40428044	PB7	1	IO	SDIO (標準)
								UART1_RX	2	I	
								TIMG8_C1	5	IO	
								UART2_RTS	6	O	
								TIMG1_C1	7	IO	
								SPI0_CS2_MISO2	9	IO	
								ビープ音	12	O	
								SPI0_SCLK	13	IOD	
								UART0_RX	14	IO	
								ADC0_23	(非 IOMUX 1) 0	A	
22		22					PB8 PINCM19 0x40428048	PB8	1	IO	SDIO (標準)
								UART1_CTS	2	I	
								TIMA0_C0	5	IO	
								TIMG1_C0	7	IO	
								SPI0_SCLK	9	IOD	
								ビープ音	10	O	
								TIMG8_C0	11	IO	
								UART0_RX	12	IO	
								SPI0_POCI	13	IO	
								I2C0_SCL	14	IOD	
23		23					PB9 PINCM20 0x4042804c	PB9	1	IO	SDIO (標準)
								UART1_RTS	2	O	
								TIMA0_C0N	5	O	
								TIMA0_C1	6	IO	
								TIMG1_C1	7	IO	
								TIMG2_C0	8	IO	
								SPI0_POCI	10	IO	
								UART0_RX	11	IO	
								I2C0_SCL	12	IOD	
								UART0_TX	13	O	
								I2C0_SDA	14	IOD	
24		24					PB14 PINCM21 0x40428050	PB14	1	IO	SDIO (標準)
								TIMA0_C0	5	IO	
								TIMG8_IDX	6	I	
								SPI0_CS3_CD_MISO3	7	IO	
								TIMG2_C1	8	IO	
								I2C0_SDA	9	IOD	
								SPI0_PICO	10	IO	
								UART0_TX	11	O	
								TIMA_FAL2	12	I	
								TIMA_FAL0	13	I	
								TIMG14_C2	14	IO	
								ADC0_21	(非 IOMUX 1) 0	A	

Copyright © 2026 Texas Instruments Incorporated

表 6-2. ピン属性 (PT、RUK、RGZ、RHB、DGS28、RGE、DGS20 パッケージ) (続き)

PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号名	IOMUX PF	信号のタイプ	バッファのタイプ
25		25					PB15 PINCM22 0x40428054	PB15	1	IO	SDIO (標準)
								UART2_TX	2	O	
								TIMG8_C0	5	IO	
								TIMG2_C0	6	IO	
								TIMA0_C1N	12	O	
								UART1_TX	13	O	
								TIMG2_C1	14	IO	
								ADC0_20	(非 IOMUX 1) 0	A	
26		26					PB16 PINCM23 0x40428058	PB16	1	IO	SDIO (標準)
								UART2_RX	2	I	
								TIMG8_C1	5	IO	
								TIMG2_C1	6	IO	
								TIMA0_C2N	12	O	
								UART1_RX	13	I	
								I2C1_SDA	14	IOD	
								ADC0_19	(非 IOMUX 1) 0	A	
36		36					PB17 PINCM33 0x40428080	PB17	1	IO	SDIO (標準)
								UART2_TX	2	O	
								SPI0_PICO	3	IO	
								I2C0_SCL	4	IOD	
								TIMA0_C2	5	IO	
								TIMG14_C0	6	IO	
								TIMG1_C0	9	IO	
								SPI0_CS0	10	IO	
								UART1_RX	11	I	
								UART1_TX	13	O	
								UART0_RTS	14	O	
								ADC0_11	(非 IOMUX 1) 0	A	
37		37					PB18 PINCM34 0x40428084	PB18	1	IO	SDIO (標準)
								UART2_RX	2	I	
								SPI0_SCLK	3	IOD	
								I2C0_SDA	4	IOD	
								TIMA0_C2N	5	O	
								TIMG14_C1	6	IO	
								SPI0_CS0	7	IO	
								TIMG1_C1	9	IO	
								TIMA0_C1	12	IO	
								UART0_RTS	13	O	
								ADC0_10	(非 IOMUX 1) 0	A	

Copyright © 2026 Texas Instruments Incorporated

表 6-2. ピン属性 (PT、RUK、RGZ、RHB、DGS28、RGE、DGS20 パッケージ) (続き)

PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン	ピン名 /IOMUX REG/IOMUX ADDR	信号名	IOMUX PF	信号のタイプ	バッファのタイプ
38		38					PB19 PINCM35 0x40428088	PB19	1	IO	SDIO (標準)
								SPI0_POCI	3	IO	
								TIMG8_C1	4	IO	
								UART0_CTS	5	I	
								TIMG2_C1	6	IO	
								TIMG8_IDX	7	I	
								UART2_CTS	8	I	
								TIMA0_C1N	12	O	
								UART2_RX	13	I	
								ADC0_9	(非 IOMUX 1) 0	A	
41		41					PB20 PINCM38 0x40428094	PB20	1	IO	SDIO (標準)
								SPI0_CS2_MISO2	2	IO	
								TIMA0_C2	5	IO	
								TIMA_FAL1	6	I	
								TIMA0_C1	7	IO	
								UART2_RTS	8	O	
								I2C0_SDA	9	IOD	
								UART1_CTS	12	I	
								TIMA0_C2N	13	O	
								TIMG8_C1	14	IO	
								ADC0_6	(非 IOMUX 1) 0	A	
42		42					PB24 PINCM39 0x40428098	PB24	1	IO	SDIO (標準)
								SPI0_CS3_CD_MISO3	2	IO	
								SPI0_CS1_MISO1	3	IO	
								TIMA0_C3	5	IO	
								TIMA0_C1N	6	O	
								UART2_RTS	8	O	
								SPI0_SCLK	12	IOD	
								TIMG14_C2	13	IO	
								UART0_RTS	14	O	
								ADC0_5	(非 IOMUX 1) 0	A	
6	4	6	4	7	3	6	VDD	VDD	(非 IOMUX 1) 0	PWR	PWR
7	5	7	5	8	4	7	VSS	VSS	(非 IOMUX 1) 0	PWR	PWR

1. RUK および DGS20 では、それぞれ PA3/PA4 ピンで LFXIN/LFXOUT はサポートされていません。
2. DGS28、RGE、RHB、RGZ、PT では、それぞれ PA26/PA27 ピンで LFXOUT/LFXIN はサポートされていません

6.3 信号の説明

表 6-3. A/D コンバータ (ADC) 信号の説明

信号名	ピンの種類	説明	PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
ADC0_VREF+	A	ADC0 電圧リファレンス (VREF) 電源	43	16	43	27	26	19	18
ADC0_VREF-	A	ADC0 電圧リファレンス (VREF) グランド電源	40	15	40	26	25	18	17
ADC0_0	A	ADC0 アナログ入力チャンネル 0	47	20	47	31	2		2
ADC0_1	A	ADC0 アナログ入力チャンネル 1	46	19	46	30	1	22	1

Copyright © 2026 Texas Instruments Incorporated

表 6-3. A/D コンバータ (ADC) 信号の説明 (続き)

信号名	ピンの種類	説明	PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
ADC0_2	A	ADC0 アナログ入力チャンネル 2	45	18	45	29	28	21	20
ADC0_3	A	ADC0 アナログ入力チャンネル 3	44	17	44	28	27	20	19
ADC0_4	A	ADC0 アナログ入力チャンネル 4	35	14	35	24	23	16	16
ADC0_5	A	ADC0 アナログ入力チャンネル 5	42		42				
ADC0_6	A	ADC0 アナログ入力チャンネル 6	41		41				
ADC0_7	A	ADC0 アナログ入力チャンネル 7	40	15	40	26	25	18	17
ADC0_8	A	ADC0 アナログ入力チャンネル 8	39		39	25	24	17	
ADC0_9	A	ADC0 アナログ入力チャンネル 9	38		38				
ADC0_10	A	ADC0 アナログ入力チャンネル 10	37		37				
ADC0_11	A	ADC0 アナログ入力チャンネル 11	36		36				
ADC0_12	A	ADC0 アナログ入力チャンネル 12	33	12	33	22	21	14	14
ADC0_13	A	ADC0 アナログ入力チャンネル 13	32	11	32	21	20	13	13
ADC0_14	A	ADC0 アナログ入力チャンネル 14	31	10	31	20	19	12	12
ADC0_15	A	ADC0 アナログ入力チャンネル 15	30		30	19	18	11	
ADC0_16	A	ADC0 アナログ入力チャンネル 16	29		29	18	17		
ADC0_17	A	ADC0 アナログ入力チャンネル 17	28		28	17			
ADC0_18	A	ADC0 アナログ入力チャンネル 18	27		27	16			
ADC0_19	A	ADC0 アナログ入力チャンネル 19	26		26				
ADC0_20	A	ADC0 アナログ入力チャンネル 20	25		25				
ADC0_21	A	ADC0 アナログ入力チャンネル 21	24		24				
ADC0_22	A	ADC0 アナログ入力チャンネル 22	34	13	34	23	22	15	15
ADC0_23	A	ADC0 アナログ入力チャンネル 23	21		21				
ADC0_24	A	ADC0 アナログ入力チャンネル 24	20		20				
ADC0_25	A	ADC0 アナログ入力チャンネル 25	19	9	19	15	16	10	11
ADC0_26	A	ADC0 アナログ入力チャンネル 26	43	16	43	27	26	19	18

表 6-4. ブートストラップ ローダ (BSL) 信号の説明

信号名	ピンの種類	説明	PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
BSL_invoke	I	デフォルトのフラッシュ BSL 起動信号	19	9	19	15	16	10	11

表 6-5. クロック モジュール (CKM) 信号の説明

信号名	ピンの種類	説明	PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
CLK_OUT	O	PMCU の CLK_OUT デジタル クロック出力	13、17、18、29、33、40、47、5	12、15、20	13、17、18、29、33、40、47、5	11、13、14、18、22、26、31	14、15、17、2、21、25	14、18、8、9	14、17、2
FCC_IN	I	周波数クロック カウンタ (FCC) 入力信号	1、11、13、27、31	10	1、11、13、27、31	11、16、20、9	12、19	12	12

表 6-5. クロック モジュール (CKM) 信号の説明 (続き)

信号名	ピンの種類	説明	PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
HFCLKIN	I	高周波数デジタル クロック入力信号	10、12、14、16、2	2、7	10、12、14、16、2	1、10、12、8	11、13、4	24、7	10、4、9
HFXIN	A	高周波数水晶発振器 (HFXT) 信号	3	3	3	2	5	1	5
HFXOUT	A	高周波数水晶発振器 (HFXT) 信号	2	2	2	1	4	24	4
LFCLKIN	I	低周波数デジタル クロック入力信号	47	20	47	31	2		2
LFXIN	A	低周波数水晶発振器 (LFXT) 信号	47、9	20	47	31	2	6	2
LFXOUT	A	低周波数水晶発振器 (LFXT) 信号	10、46	19、7	10、46	30、8	1、11	22、7	1、9

表 6-6. 汎用入出力モジュール信号の説明

信号名	ピンの種類	説明	PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
PA0	IO	GPIO ポート A 入出力 0	1		1				
PA1	IO	GPIO ポート A 入出力 1	2	2	2	1	4	24	4
PA2	IO	GPIO ポート A 入出力 2	8	6	8	6	9	5	8
PA3	IO	GPIO ポート A 入出力 3	9		9	7	10	6	
PA4	IO	GPIO ポート A 入出力 4	10	7	10	8	11	7	9
PA5	IO	GPIO ポート A 入出力 5	11		11	9	12		
PA6	IO	GPIO ポート A 入出力 6	12		12	10	13		10
PA7	IO	GPIO ポート A 入出力 7	13		13	11			
PA8	IO	GPIO ポート A 入出力 8	16		16	12			
PA9	IO	GPIO ポート A 入出力 9	17		17	13	14	8	
PA10	IO	GPIO ポート A 入出力 10	18		18	14	15	9	
PA11	IO	GPIO ポート A 入出力 11	19	9	19	15	16	10	11
PA12	IO	GPIO ポート A 入出力 12	27		27	16			
PA13	IO	GPIO ポート A 入出力 13	28		28	17			
PA14	IO	GPIO ポート A 入出力 14	29		29	18	17		
PA15	IO	GPIO ポート A 入出力 15	30		30	19	18	11	
PA16	IO	GPIO ポート A 入出力 16	31	10	31	20	19	12	12
PA17	IO	GPIO ポート A 入出力 17	32	11	32	21	20	13	13
PA18	IO	GPIO ポート A 入出力 18	33	12	33	22	21	14	14
PA19	IO	GPIO ポート A 入出力 19	34	13	34	23	22	15	15
PA20	IO	GPIO ポート A 入出力 20	35	14	35	24	23	16	16
PA21	IO	GPIO ポート A 入出力 21	39		39	25	24	17	
PA22	IO	GPIO ポート A 入出力 22	40	15	40	26	25	18	17
PA23	IO	GPIO ポート A 入出力 23	43	16	43	27	26	19	18
PA24	IO	GPIO ポート A 入出力 24	44	17	44	28	27	20	19
PA25	IO	GPIO ポート A 入出力 25	45	18	45	29	28	21	20
PA26	IO	GPIO ポート A 入出力 26	46	19	46	30	1	22	1
PA27	IO	GPIO ポート A 入出力 27	47	20	47	31	2		2
PA28	IO	GPIO ポート A 入出力 28	3	3	3	2	5	1	5
PA30	IO	GPIO ポート A 入出力 30	48	1	48	32	3	23	3

Copyright © 2026 Texas Instruments Incorporated

表 6-6. 汎用入出力モジュール信号の説明 (続き)

信号名	ピンの種類	説明	PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
PA31	IO	GPIO ポート A 入出力 31	5		5				
PB2	IO	GPIO ポート B 入出力 2	14		14				
PB3	IO	GPIO ポート B 入出力 3	15	8	15				
PB6	IO	GPIO ポート B 入出力 6	20		20				
PB7	IO	GPIO ポート B 入出力 7	21		21				
PB8	IO	GPIO ポート B 入出力 8	22		22				
PB9	IO	GPIO ポート B 入出力 9	23		23				
PB14	IO	GPIO ポート B 入出力 14	24		24				
PB15	IO	GPIO ポート B 入出力 15	25		25				
PB16	IO	GPIO ポート B 入出力 16	26		26				
PB17	IO	GPIO ポート B 入出力 17	36		36				
PB18	IO	GPIO ポート B 入出力 18	37		37				
PB19	IO	GPIO ポート B 入出力 19	38		38				
PB20	IO	GPIO ポート B 入出力 20	41		41				
PB24	IO	GPIO ポート B 入出力 24	42		42				

表 6-7. I2C 信号の説明

信号名	ピンの種類	説明	PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
I2C0_SCL	IOD	I2C0 シリアル クロック信号 (SCL)	17、19、2、22、23、29、36、40、45、46、47、5、8	15、18、19、2、20、6、9	17、19、2、22、23、29、36、40、45、46、47、5、8	1、13、15、18、26、29、30、31、6	1、14、16、17、2、25、28、4, 9	10、18、21、22、24、5、8	1、11、17、2、20、4、8
I2C0_SDA	IOD	I2C0 シリアル データ信号 (SDA)	1、12、16、18、2、23、24、3、37、41、44、45、46、48、9	1、17、18、19、2、3	1、12、16、18、2、23、24、3、37、41、44、45、46、48、9	1、10、12、14、2、28、29、30、32、7	1、10、13、15、27、28、3、4, 5	1、20、21、22、23、24、6、9	1、10、19、20、3、4、5
I2C1_SCL	IOD	I2C1 シリアル クロック信号 (SCL)	10、12、14、19、27、30、32、35	11、14、7、9	10、12、14、19、27、30、32、35	10、15、16、19、21、24、8	11、13、16、18、20、23	10、11、13、16、7	10、11、13、16、9

表 6-7. I2C 信号の説明 (続き)

信号名	ピンの種類	説明	PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
I2C1_SDA	IOD	I2C1 シリアル データ信号 (SDA)	11、15、18、26、31、33、34、9	10、12、13、8	11、15、18、26、31、33、34、9	14、20、22、23、7、9	10、12、15、19、21、22	12、14、15、6、9	12、14、15

表 6-8. リアルタイム クロック (RTC) 信号の説明

信号名	ピンの種類	説明	PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
RTC_OUT	O	リアルタイム クロックの出力信号	1、15、17、28、47	20、8	1、15、17、28、47	13、17、31	14、2	8	2

表 6-9. シリアル ペリフェラル インターフェイス (SPI) 信号の説明

信号名	ピンの種類	説明	PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
SPI0_PICO	IO	SPI0 ペリフェラル入力コントローラ出力信号	11、13、14、17、18、24、29、33、34、35、36、44、45	12、13、14、17、18	11、13、14、17、18、24、29、33、34、35、36、44、45	11、13、14、18、22、23、24、28、29、9	12、14、15、17、21、22、23、27、28	14、15、16、20、21、8、9	14、15、16、19、20
SPI0_POCI	IO	SPI0 ペリフェラル出力コントローラ入力信号	10、13、17、18、22、23、28、31、33、34、38、40、43、45、46、47	10、12、13、15、16、18、19、20、7	10、13、17、18、22、23、28、31、33、34、38、40、43、45、46、47	11、13、14、17、20、22、23、26、27、29、30、31、8	1、11、14、15、19、2、21、22、25、26、28	12、14、15、18、19、21、22、7、8、9	1、12、14、15、17、18、2、20、9

Copyright © 2026 Texas Instruments Incorporated

表 6-9. シリアル ペリフェラル インターフェイス (SPI) 信号の説明 (続き)

信号名	ピンの種類	説明	PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
SPI0_SCLK	IOD	SPI0 シリアル クロック	12、15、16、19、21、22、27、32、34、37、42、45	11、13、18、8、9	12、15、16、19、21、22、27、32、34、37、42、45	10、12、15、16、21、23、29	13、16、20、22、28	10、13、15、21	10、11、13、15、20
SPI0_CS0	IO	SPI0 チップ セレクト 0 信号	10、15、16、19、28、33、36、37、8	12、6、7、8、9	10、15、16、19、28、33、36、37、8	12、15、17、22、6、8	11、16、21、9	10、14、5、7	11、14、8、9
SPI0_CS1_MISO1	IO		1、20、27、32、42、9	11	1、20、27、32、42、9	16、21、7	10、20	13、6	13
SPI0_CS2_MISO2	IO		13、21、29、30、40、41、44	15、17	13、21、29、30、40、41、44	11、18、19、26、28	17、18、25、27	11、18、20	17、19
SPI0_CS3_CD_MISO3	IO		16、2、24、28、39、42、43、47、9	16、2、20	16、2、24、28、39、42、43、47、9	1、12、17、25、27、31、7	10、2、24、26、4	17、19、24、6	18、2、4

表 6-10. シリアル ワイヤ デバッグ (SWD) 信号の説明

信号名	ピンの種類	説明	PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
SWCLK	I	シリアル ワイヤ デバッグ インターフェイス クロック入力信号	35	14	35	24	23	16	16
SWDIO	IO	シリアル ワイヤ デバッグ インターフェイス データ入力 / 出力信号	34	13	34	23	22	15	15

表 6-11. システム コントローラ (SYSCTL) 信号の説明

信号名	ピンの種類	説明	PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
ビープ音	O	ビープ音出力	1、12、21、22、46	19	1、12、21、22、46	10、30	1、13	22	1、10

Copyright © 2026 Texas Instruments Incorporated

表 6-11. システム コントローラ (SYSCTL) 信号の説明 (続き)

信号名	ピンの種類	説明	PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
NRST	リセット	アクティブ LOW のリセット信号 (ロジックを high にする必要があります。そうしないと、デバイスを起動できません)	4	3	4	3	6	2	5
VDD	PWR	VDD 電源	6	4	6	4	7	3	6
VSS	PWR	VSS (グランド)	7	5	7	5	8	4	7

表 6-12. タイマ (TIMx) 信号の説明

信号名	ピンの種類	説明	PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
TIMA0_C0	IO	TIMA0 キャプチャ / 比較 0 信号	1、15、16、22、24、33、35、39、46、48、8	1、12、14、19、6、8	1、15、16、22、24、33、35、39、46、48、8	12、22、24、25、30、32、6	1、21、23、24、3、9	14、16、17、22、23、5	1、14、16、3、8
TIMA0_C1	IO	TIMA0 キャプチャ / 比較 1 信号	11、13、17、2、23、28、3、37、40、41、9	15、2、3	11、13、17、2、23、28、3、37、40、41、9	1、11、13、17、2、26、7、9	10、12、14、25、4、5	1、18、24、6、8	17、4、5
TIMA0_C2	IO	TIMA0 キャプチャ / 比較 2 信号	12、13、18、29、30、32、34、36、41、45、9	11、13、18	12、13、18、29、30、32、34、36、41、45、9	10、11、14、18、19、21、23、29、7	10、13、15、17、18、20、22、28	11、13、15、21、6、9	10、13、15、20
TIMA0_C3	IO	TIMA0 キャプチャ / 比較 3 信号	10、14、27、3、32、42、43、45	11、16、18、3、7	10、14、27、3、32、42、43、45	16、2、21、27、29、8	11、20、26、28、5	1、13、19、21、7	13、18、20、5、9
TIMA0_C0N	O	TIMA0 キャプチャ / 比較 0 相補出力	10、17、23、32、39、40、47	11、15、20、7	10、17、23、32、39、40、47	13、21、25、26、31、8	11、14、2、20、24、25	13、17、18、7、8	13、17、2、9
TIMA0_C1N	O	TIMA0 キャプチャ / 比較 1 相補出力	10、14、18、25、38、42、45	18、7	10、14、18、25、38、42、45	14、29、8	11、15、28	21、7、9	20、9

Copyright © 2026 Texas Instruments Incorporated

表 6-12. タイマ (TIMx) 信号の説明 (続き)

信号名	ピンの種類	説明	PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
TIMA0_C2N	O	TIMA0 キャプチャ / 比較 2 相補出力	12、19、20、26、28、31、35、37、41、8	10、14、6、9	12、19、20、26、28、31、35、37、41、8	10、15、17、20、24、6	13、16、19、23、9	10、12、16、5	10、11、12、16、8
TIMA0_C3N	O	TIMA0 キャプチャ / 比較 3 相補出力	15、16、20、27、28、33、44、46、5、8	12、17、19、6、8	15、16、20、27、28、33、44、46、5、8	12、16、17、22、28、30、6	1、21、27、9	14、20、22、5	1、14、19、8
TIMA_FAL0	I	TIMA フォルト入力 0	12、15、16、19、24、3、46、8	19、3、6、8、9	12、15、16、19、24、3、46、8	10、12、15、2、30、6	1、13、16、5、9	1、10、22、5	1、10、11、5、8
TIMA_FAL1	I	TIMA フォルト入力 1	1、11、17、18、35、41、8	14、6	1、11、17、18、35、41、8	13、14、24、6、9	12、14、15、23、9	16、5、8、9	16、8
TIMA_FAL2	I	TIMA フォルト入力 2	16、2、20、24、33、47	12、2、20	16、2、20、24、33、47	1、12、22、31	2、21、4	14、24	14、2、4
TIMG8_IDX	I	TIMG8 直交エンコーダ インデックス パルス信号	13、2、24、30、38、48、8	1、2、6	13、2、24、30、38、48、8	1、11、19、32、6	18、3、4、9	11、23、24、5	3、4、8
TIMG14_C0	IO	TIMG14 キャプチャ / 比較 0 信号	1、11、18、27、34、36、43、45	13、16、18	1、11、18、27、34、36、43、45	14、16、23、27、29、9	12、15、22、26、28	15、19、21、9	15、18、20
TIMG14_C1	IO	TIMG14 キャプチャ / 比較 1 信号	12、19、2、28、35、37、44	14、17、2、9	12、19、2、28、35、37、44	1、10、15、17、24、28	13、16、23、27、4	10、16、20、24	10、11、16、19、4
TIMG14_C2	IO	TIMG14 キャプチャ / 比較 2 信号	24、31、42、48	1、10	24、31、42、48	20、32	19、3	12、23	12、3
TIMG14_C3	IO	TIMG14 キャプチャ / 比較 3 信号	28		28	17			

表 6-12. タイマ (TIMx) 信号の説明 (続き)

信号名	ピンの種類	説明	PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
TIMG1_C0	IO	TIMG1 キャプチャ / 比較 0 信号	11、13、14、20、22、29、36、39、45	18	11、13、14、20、22、29、36、39、45	11、18、25、29、9	12、17、24、28	17、21	20
TIMG1_C1	IO	TIMG1 キャプチャ / 比較 1 信号	12、15、17、21、23、37、40、46	15、19、8	12、15、17、21、23、37、40、46	10、13、26、30	1、13、14、25	18、22、8	1、10、17
TIMG2_C0	IO	TIMG2 キャプチャ / 比較 0 信号	17、23、25、3、32、43、46、9	11、16、19、3	17、23、25、3、32、43、46、9	13、2、21、27、30、7	1、10、14、20、26、5	1、13、19、22、6、8	1、13、18、5
TIMG2_C1	IO	TIMG2 キャプチャ / 比較 1 信号	10、13、15、16、24、25、26、27、33、38、44、47、48、8	1、12、17、20、6、7、8	10、13、15、16、24、25、26、27、33、38、44、47、48、8	11、12、16、22、28、31、32、6、8	11、2、21、27、3、9	14、20、23、5、7	14、19、2、3、8、9
TIMG8_C0	IO	TIMG8 キャプチャ / 比較 0 信号	11、13、2、20、22、25、32、39、43、46、9	11、16、19、2	11、13、2、20、22、25、32、39、43、46、9	1、11、21、25、27、30、7、9	1、10、12、20、24、26、4	13、17、19、22、24、6	1、13、18、4
TIMG8_C1	IO	TIMG8 キャプチャ / 比較 1 信号	1、10、12、18、20、21、26、28、33、38、40、41、44、47、8	12、15、17、20、6、7	1、10、12、18、20、21、26、28、33、38、40、41、44、47、8	10、14、17、22、26、28、31、6、8	11、13、15、2、21、25、27、9	14、18、20、5、7、9	10、14、17、19、2、8、9

Copyright © 2026 Texas Instruments Incorporated

表 6-13. ユニバーサル非同期レシーバ / トランスミッタ (UART) 信号の説明

信号名	ピンの種類	説明	PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
UART0_CTS	I	信号を送信するための UART0 クリア	11、17、29、33、34、38、43	12、13、16	11、17、29、33、34、38、43	13、18、22、23、27、9	12、14、17、21、22、26	14、15、19、8	14、15、18
UART0_RTS	O	UART0 が信号送信準備完了	12、16、30、34、35、36、37、42、44、45	13、14、17、18	12、16、30、34、35、36、37、42、44、45	10、12、19、23、24、28、29	13、18、22、23、27、28	11、15、16、20、21	10、15、16、19、20
UART0_RX	IO	UART0 受信信号 (RXD)	19、2、21、22、23、32、46、48、5	1、11、19、2、9	19、2、21、22、23、32、46、48、5	1、15、21、30、32	1、16、20、3、4	10、13、22、23、24	1、11、13、3、4
UART0_TX	O	UART0 送信信号 (TXD)	1、18、2、20、23、24、29、3、43、45、47	16、18、2、20、3	1、18、2、20、23、24、29、3、43、45、47	1、14、18、2、27、29、31	15、17、2、26、28、4、5	1、19、21、24、9	18、2、20、4、5
UART1_CTS	I	信号を送信するための UART1 クリア	14、22、27、39、41、46、47	19、20	14、22、27、39、41、46、47	16、25、30、31	1、2、24	17、22	1、2
UART1_RTS	O	UART1 が信号送信準備完了	15、2、23、28、33、40、48	1、12、15、2、8	15、2、23、28、33、40、48	1、17、22、26、32	21、25、3、4	14、18、23、24	14、17、3、4
UART1_RX	I	UART1 受信信号 (RXD)	10、12、14、16、17、19、21、26、33、35、36、40、44	12、14、15、17、7、9	10、12、14、16、17、19、21、26、33、35、36、40、44	10、12、13、15、22、24、26、28、8	11、13、14、16、21、23、25、27	10、14、16、18、20、7、8	10、11、14、16、17、19、9

表 6-13. ユニバーサル非同期レシーバ / トランスミッタ (UART) 信号の説明 (続き)

信号名	ピンの種類	説明	PT ピン	RUK ピン	RGZ ピン	RHB ピン	DGS28 ピン	RGE ピン	DGS20 ピン
UART1_TX	O	UART1 送信信号 (TXD)	11、13、15、16、20、25、32、36、9	11、8	11、13、15、16、20、25、32、36、9	11、12、21、7、9	10、12、20	13、6	13
UART2_CTS	I	信号を送信するための UART2 クリア	14、20、27、31、38、39、45、9	10、18	14、20、27、31、38、39、45、9	16、20、25、29、7	10、19、24、28	12、17、21、6	12、20
UART2_RTS	O	UART2 が信号送信準備完了	10、15、21、30、41、42、46	19、7、8	10、15、21、30、41、42、46	19、30、8	1、11、18	11、22、7	1、9
UART2_RX	I	UART2 受信信号 (RXD)	15、26、29、37、38、39、40、44	15、17、8	15、26、29、37、38、39、40、44	18、25、26、28	17、24、25、27	17、18、20	17、19
UART2_TX	O	UART2 送信信号 (TXD)	14、25、28、36、39、40、43	15、16	14、25、28、36、39、40、43	17、25、26、27	24、25、26	17、18、19	17、18

6.4 未使用ピンの接続

表 6-14 に、未使用ピンの正しい終端を示します。

表 6-14. 未使用ピンの接続

ピン (1)	電位	備考
PAx	オープン	対応するピン機能を GPIO (PINCMx.PF = 0x1) に設定し、未使用のピンが Low を出力するように、または未使用のピンが内部プルアップまたはプルダウン抵抗付き入力になるように構成します。
NRST	VCC	NRST はアクティブ Low のリセット信号です。VCC にプルアップしないと、本デバイスは起動できません。詳細については、セクション 9.1 を参照してください。

(1) 汎用 I/O と共有されている機能を持つすべての未使用ピンについては、「PAx」未使用ピンの接続ガイドラインに従う必要があります。

Copyright © 2026 Texas Instruments Incorporated

7 仕様

7.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
VDD	電源電圧	VDD ピンで	-0.3	6.5	V
V_I	入力電圧	任意の通常耐圧ピンに印加	-0.3	V_{DD} + 0.3 (最大 6.5)	V
I_{VDD}	VDD ピンの電流	VDD ピンに流れ込む電流 (ソース)		80	mA
I_{VSS}	VSS ピンの電流	VSS ピンから流れ出す電流 (シンク)		80	mA
I_{IO}	SDIO ピンの電流	SDIO ピンによってシンクまたはソースされる電流		3	mA
I_{IO}	SDIO ピンの電流	HSIO ピンによってシンクまたはソースされる電流		6	mA
I_D	サポートされているダイオード電流	すべてのデバイス ピンのダイオード電流		±2	mA
T_A		周囲温度	-40	125	°C
Tj		接合部温度	-40	130	°C
T_{stg}		保存温度	-40	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

7.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2000	V
$V_{(ESD)}$	静電放電	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	±500	V

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

7.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
VDD	電源電圧 (2)	4.5 (4)		5.5	V
C_{VDD}	VDD と VSS の間に配置されたコンデンサ (1)		10		µF
T_A	周囲温度	-40		125	°C
T_J	最大接合部温度			130	°C
f_{MCLK}	MCLK、CPUCLK、ULPCLK 周波数、1 フラッシュ待機状態 (3)			32	MHz
	MCLK、CPUCLK、ULPCLK 周波数、0 フラッシュ待機状態 (3)			24	MHz

(1) C_{VDD} は、VDD/VSS 間に、デバイスのピンにできる限り近づけて接続します。 C_{VDD} には、容量値の誤差が ±20% までの精度の低 ESR コンデンサを使う必要があります。
(2) VDD の推奨動作範囲に関して MCLK 周波数への依存はありません。
(3) 待機状態はシステム コントローラ (SYSCTL) によって自動的に管理されるため、アプリケーション ソフトウェアで設定する必要はありません。
(4) 最小 VBOR0-(min) まで機能が保証されます。

Copyright © 2026 Texas Instruments Incorporated

7.4 熱に関する情報

熱評価基準(1)		パッケージ	値	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	LQFP-48 (PT)	77.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		34.2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		49.8	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		3.1	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		49.2	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		該当なし	°C/W
$R_{\theta JA}$	接合部から周囲への熱抵抗	VQFN-48 (RGZ)	30.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		23.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		16.6	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		1.5	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		16.6	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		7.2	°C/W
$R_{\theta JA}$	接合部から周囲への熱抵抗	VQFN-32 (RHB)	36.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		29.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		17.0	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		1.1	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		17.0	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		7.2	°C/W
$R_{\theta JA}$	接合部から周囲への熱抵抗	VSSOP-28 (DGS28)	79.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		38.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		41.2	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		3.1	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		40.7	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		該当なし	°C/W
$R_{\theta JA}$	接合部から周囲への熱抵抗	VQFN-24 (RGE)	45.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		28.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		22.0	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		1.6	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		22.0	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		8.1	°C/W
$R_{\theta JA}$	接合部から周囲への熱抵抗	VSSOP-20 (DGS20)	91.6	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		34.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		48.3	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		1.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		47.8	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		該当なし	°C/W

Copyright © 2026 Texas Instruments Incorporated

熱評価基準(1)		パッケージ	値	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	WQFN-20 (RUK)	48.5	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		47.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		22.8	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		1.0	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		22.8	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		8.2	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

7.5 電源電流特性

7.5.1 RUN/SLEEP モード

VDD = 5V。 すべての入力は、0V または VDD に接続されています。 出力は、電流のソースまたはシンクを行いません。 すべてのペリフェラルはディセーブルです。

パラメータ		MCLK	-40°C		25°C		85°C		105°C		125°C		単位
			標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	
RUN モード													
IDD_{RUN}	MCLK=SYSOSC、CoreMark、フラッシュから実行	32MHz	3.9		4.0		4.0		4.0		4.1		mA
IDD_{RUN}、MHz あたり	MCLK=SYSOSC、CoreMark、フラッシュから実行	32MHz	123		126		127		127		127		µA/MHz
	MCLK=SYSOSC、While(1)、フラッシュから実行	32MHz	89	100	91	101	92	102	92	102	93	102	
SLEEP モード													
IDD_{SLEEP}	MCLK=SYSOSC、CPU 停止	32MHz	2452	2647	2516	2693	2558	2723	2575	2740	2595	2760	µA
IDD_{SLEEP}	MCLK = LFCLK、CPU 停止	32kHz	828	930	873	959	926	1011	943	1028	967	1128	µA

7.5.2 STOP/STANDBY モード

特に記述のない限り、VDD=5V。 すべての入力は、0V または VDD に接続されています。 出力は、電流のソースまたはシンクを行いません。 特に記述のないすべてのペリフェラルはディセーブルです。

パラメータ		ULPCLK	-40°C		25°C		85°C		105°C		125°C		単位
			標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	
STOP モード													
IDD_{STOP0}	SYSOSC = 32MHz、DISABLESTOP=0	4MHz	1390	1512	1442	1547	1479	1575	1493	1589	1510	1628	µA
IDD_{STOP2}	SYSOSC オフ、DISABLESTOP=1、ULPCLK=LFCLK	32kHz	631	720	674	749	714	783	729	798	748	869	
STANDBY モード													
IDD_{STBY0}	LFCLK = LFOSC、STOPCLKSTBY = 0、TIMG8 イネーブル	32kHz	4.0	5.5	4.3	5.5	12	23	17	27	24	79	µA
	LFCLK=LFXT、STOPCLKSTBY=0、TIMG8 イネーブル	32kHz	4.0	5.5	4.3	5.5	12	24	17	29	24	86	

Copyright © 2026 Texas Instruments Incorporated

特に記述のない限り、VDD=5V。 すべての入力は、0V または VDD に接続されています。 出力は、電流のソースまたはシンクを行いません。 特に記述のないすべてのペリフェラルはディセーブルです。

パラメータ		ULPCLK	-40°C		25°C		85°C		105°C		125°C		単位
			標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	
IDD_{STBY1}	LFCLK = LFOSC、STOPCLKSTBY = 1、TIMG8 イネーブル	32kHz	3.5	4.4	3.8	4.8	12	22	16	26	24	78	µA
	LFCLK = LFOSC、STORPCLKSTBY = 1、GPIOA イネーブル	32kHz	3.5	4.4	3.8	4.8	12	22	16	26	24	78	
	LFCLK=LFXT、STOPCLKSTBY=1、TIMG8 イネーブル	32kHz	3.5	4.4	3.8	4.8	12	23	16	28	24	85	
	LFCLK=LFXT、STOPCLKSTBY=1、GPIOA イネーブル	32kHz	3.5	4.4	3.8	4.8	12	23	16	28	24	85	

7.6 電源シーケンス

7.6.1 POR と BOR

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
dVDD/dt	VDD (電源電圧) のスルーレート	立ち上がり			0.1	V/µs
		立ち下がり (1)			0.01	
		立ち下がり、STANDBY			0.1	V/ms
V_{POR+}	パワーオン リセット電圧レベル	立ち上がり	2.5	3.33	4.2	V
V_{POR-}		立ち下がり	2.4	3.25	4.1	V
$V_{HYS, POR}$	POR ヒステリシス		10	80	170	mV
$V_{BOR0+, COLD}$	ブラウンアウト リセット電圧レベル 0 (デフォルトのレベル)	コールド スタート、立ち上がり	3.9	4.2	4.5	V
V_{BOR0+}		立ち上がり	4.26	4.4	4.5	
V_{BOR0-}		立ち下がり	4.24	4.38	4.48	
$V_{BOR0, STBY}$	ブラウンアウト リセット電圧レベル 0 (デフォルトのレベル)	STANDBY モード	4	4.27	4.5	V
$V_{HYS, BOR}$	ブラウンアウト リセットのヒステリシス	レベル 0		14	23	mV
$T_{PD, BOR}$	BOR 伝搬遅延	RUN/SLEEP/STOP モード			10	us
		STANDBY モード			100	us

(1) デバイスは RUN、SLEEP、STOP モードで動作しています。

7.6.2 電源ランプ

図 7-1 に、パワーアップ / パワーダウン時の POR-、POR+、BOR0-、BOR0+ の関係を示します。

Copyright © 2026 Texas Instruments Incorporated

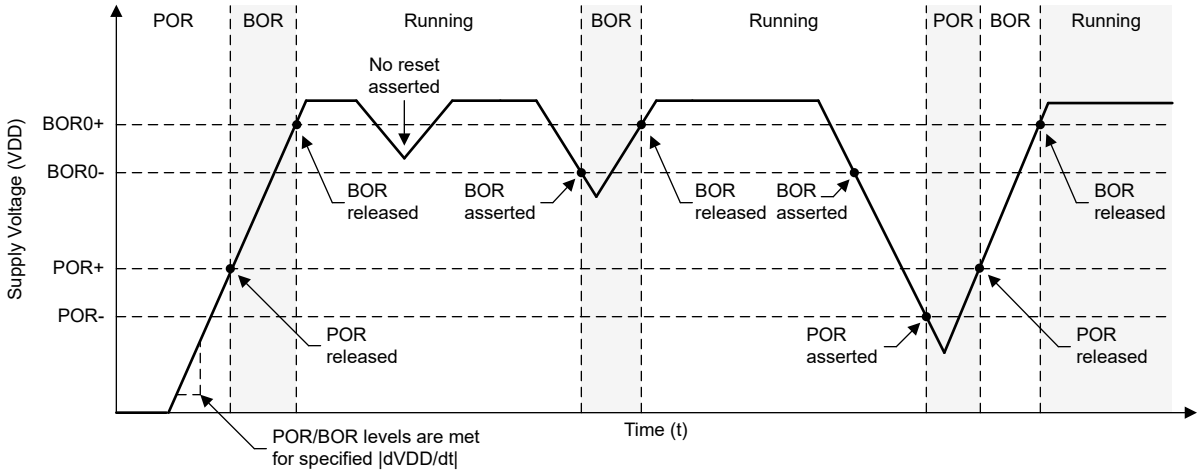


図 7-1. パワー サイクルの POR/BOR 条件

7.7 フラッシュ メモリの特性

自由空気での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
IDD_{ERASE}	消去動作中の VDD からの電源電流	電源電流の差分			10	mA
IDD_{PGM}	書き込み動作中の VDD からの電源電流	電源電流の差分			10	mA
耐久性						
$NWEC_{(LOWER)}$	消去 / 書き込みサイクル耐久性 (フラッシュの下位 32KB) (1)		100			k サイクル
$NWEC_{(UPPER)}$	消去 / 書き込みサイクル耐久性 (フラッシュの残り) (1)		10			k サイクル
$NE_{(MAX)}$	故障に至るまでの全消去動作回数 (2)		802			k 回の消去動作
$NW_{(MAX)}$	セクタが消去されるまでのワード線あたりの書き込み動作回数 (3)				83	書き込み動作
保持						
t_{RET_85}	フラッシュ メモリのデータ保持	-40℃ ≦T_j ≦ 85℃	60			年
t_{RET_105}	フラッシュ メモリのデータ保持	-40℃ ≦T_j ≦ 105℃	11.4			年
書き込みと消去のタイミング						
$t_{PROG\ (WORD,\ 64)}$	フラッシュ ワードの書き込み時間 (4) (6)			50	275	µs
$t_{PROG\ (SEC,\ 64)}$	1KB セクタの書き込み時間 (5) (6)			6.4		ms
$t_{ERASE\ (SEC)}$	セクタの消去時間	2k 以下の消去 / 書き込みサイクル、T_j≧25℃		4	20	ms
$t_{ERASE\ (SEC)}$	セクタの消去時間	10k 以下の消去 / 書き込みサイクル、T_j≧25℃		20	150	ms
$t_{ERASE\ (SEC)}$	セクタの消去時間	10k 以下の消去 / 書き込みサイクル		20	200	ms
$t_{ERASE\ (BANK)}$	バンクの消去時間	10k 以下の消去 / 書き込みサイクル		22	220	ms

(1) EEPROM エミュレーション アプリケーションを可能にするため、下位 32KB のフラッシュ アドレス空間はより優れた消去 / 書き込み耐久性をサポートしています。32KB 以下のフラッシュ メモリを内蔵したデバイスでは、フラッシュ メモリ全体が $NWEC_{(LOWER)}$ の消去 / 書き込みサイクルをサポートしています。
(2) 故障に至るまでにフラッシュによってサポートされる消去動作の累積回数。セクタ消去またはバンク消去動作は、1 回の消去動作と見なします。
(3) ワード線を消去するまでに、許容されるワード線あたりの書き込み動作の最大回数。同じワード線への追加書き込みが必要な場合、ワード線あたりの書き込み動作の最大回数に達すると、セクタ消去が必要です。

Copyright © 2026 Texas Instruments Incorporated

(4) 書き込み時間は、書き込みコマンドがトリガされてから、フラッシュ コントローラでコマンド完了割り込みフラグがセットされるまでの時間として定義されます。
(5) セクタ書き込み時間は、最初のワード書き込みコマンドがトリガされてから、最後のワード書き込みコマンドが完了し、フラッシュ コントローラで割り込みフラグがセットされるまでの時間として定義されます。 この時間には、セクタの書き込み中にソフトウェアが (最初のフラッシュ ワードの後に) 各フラッシュ ワードをフラッシュ コントローラに読み込むために必要な時間が含まれます。
(6) フラッシュ ワード サイズは 64 データ ビット (8 バイト) です。ECC 付きデバイスの場合、フラッシュ ワード サイズの合計は 72 ビット (64 データ ビット + 8 ECC ビット) です。

7.8 タイミング特性

VDD=5V、T_a=25℃ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ウェークアップ タイミング						
$t_{WAKE、SLEEP}$	SLEEP0 から RUN までのウェークアップ時間			2		サイクル
$t_{WAKE、SLEEP}$	SLEEP1 から RUN までのウェークアップ時間			1.7		us
$t_{WAKE、SLEEP}$	SLEEP2 から RUN までのウェークアップ時間			2.3		us
$t_{WAKE、STOP}$	STOP0 から RUN までのウェークアップ時間 (SYSOSC イネーブル)			8.1		us
	STOP2 から RUN までのウェークアップ時間 (SYSOSC ディセーブル)			8.8		us
$t_{WAKE、STBY}$	STANDBY0 から RUN までのウェークアップ時間			12.8		us
$t_{WAKE、STBY}$	STANDBY1 から RUN までのウェークアップ時間			12.8		us
非同期高速クロック要求タイミング						
t_{DELAY}	非同期要求のエッジから最初の 32MHz MCLK エッジまでの遅延時間	モードは SLEEP1		0.3		us
t_{DELAY}	非同期要求のエッジから最初の 32MHz MCLK エッジまでの遅延時間	モードは SLEEP2		0.9		us
t_{DELAY}	非同期要求のエッジから最初の 32MHz MCLK エッジまでの遅延時間	モードは STOP0		0.9		us
t_{DELAY}	非同期要求のエッジから最初の 32MHz MCLK エッジまでの遅延時間	モードは STOP2		0.9		us
t_{DELAY}	非同期要求のエッジから最初の 32MHz MCLK エッジまでの遅延時間	モードは STANDBY0		5.0		us
t_{DELAY}	非同期要求のエッジから最初の 32MHz MCLK エッジまでの遅延時間	モードは STANDBY1		5.0		us
スタートアップ タイミング						
$t_{START、RESET}$	リセット / パワーアップからのデバイスのコールド スタートアップ時間 (1)	高速ブートがイネーブル		252		us
$t_{START、RESET}$	リセット / パワーアップからのデバイスのコールド スタートアップ時間 (1)	高速ブートがディセーブル		292		us
NRST のタイミング						
$t_{RST、BOOTRST}$	BOOTRST を生成するための NRST ピンのパルス長	ULPCLK = SYSOSC		2		us
		ULPCLK = LFOSC		100		us

Copyright © 2026 Texas Instruments Incorporated

VDD=5V、T_a=25℃ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{RST、POR}$	POR を生成するための NRST ピンのパルス長			1		s

(1) 起動時間は、VDD が VBOR0+ と交差 (コールド スタートアップ) した時刻から、ユーザー プログラムの最初の命令が実行された時刻までの時間として測定されます。

7.9 クロック仕様

7.9.1 システム発振器 (SYSOSC)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SYSOSC}	出荷時に調整された SYSOSC 周波数	SYSOSCCFG.FREQ=00 (ベース)		32		MHz
f_{SYSOSC}	内部 ROSC 抵抗使用、周波数補正ループ (FCL) イネーブル時の SYSOSC 周波数精度 (1)	SETUSEFCL=1、T_a = 25℃	0		1	%
		SETUSEFCL=1、-40℃ ≦ T_a ≦ 125℃	-2.1		1.6	
f_{SYSOSC}	周波数補正ループ (FCL) がディセーブルのときの SYSOSC 精度、32MHz	SETUSEFCL=0、SYSOSCCFG.FREQ=00、-40℃ ≦ T_a ≦ 125℃	-2.6		1.8	%
$t_{settle、SYSOSC}$	目標精度に達するまでのセトリング タイム (2)	SETUSEFCL=1			36	us

(1) SYSOSC の周波数補正ループ (FCL) を使うと、内部リファレンス抵抗によって SYSOSC の精度を高めることができます。SYSOSC 精度の計算方法の詳細については、テクニカル リファレンス マニュアルの「SYSOSC」のセクションを参照してください。

(2) SYSOSC がディスエーブル状態から有効化された場合、$t_{start, SYSOSC}$ で規定された時間内に SYSOSC 出力がデバイスに解放されます。 出力が解放された時点で、SYSOSC のワーストケースの精度は f_{settle}, SYSOSC によって規定されます。 $t_{settle, SYSSOSC}$ で規定された時間の後、SYSOSC は目的の f_{SYSOSC} 精度に収束します。

7.9.2 低周波数発振器 (LFOSC)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{LFOSC}	LFOSC 周波数			32768		Hz
f_{LFOSC}	LFOSC 精度	-40℃ ≦ T_a ≦ 125℃	-5		5	%
f_{LFOSC}	LFOSC 精度	-40℃ ≦ T_a ≦ 85℃	-3		3	%
I_{LFOSC}	LFOSC 消費電流			300		nA
$t_{start、LFOSC}$	LFOSC スタートアップ時間			1		ms

7.9.3 高周波数クリスタル / クロック

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
高周波数水晶発振器 (HFXT)						
f_{HFXT}	HFXT 周波数	HFXTRSEL=00	4		8	MHz
f_{HFXT}	HFXT 周波数	HFXTRSEL=01	8.01		16	MHz
f_{HFXT}	HFXT 周波数	HFXTRSEL=10	16.01		32	MHz
DC_{HFXT}	HFXT デューティ サイクル	HFXTRSEL=00	40		65	%
DC_{HFXT}	HFXT デューティ サイクル	HFXTRSEL=01	40		60	%
DC_{HFXT}	HFXT デューティ サイクル	HFXTRSEL=10	40		60	%

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
OA_{HFXT}	HFXT 水晶発振余裕度	HFXTRSEL=00 (4～8MHz の範囲)		2		kΩ
$C_{L, eff}$	内部実効負荷容(1)			1		pF
$t_{start, HFXT}$	HFXT スタートアップ時間(2)	HFXTRSEL=11、32MHz 水晶振動子		0.5		ms
I_{HFXT}	HFXT 消費電流(2)	f_{HFXT}= 4MHz、R_m= 300Ω、C_L= 12pF		100		µA
I_{HFXT}	HFXT 消費電流(2)	f_{HFXT}=32MHz、R_m=30Ω、C_L=12pF、C_m=6.26fF、L_m=1.76mH		600		µA
高周波数デジタル クロック入力 (HFCLK_IN)						
f_{HFIN}	HFCLK_IN 周波数 (3)	USEEXTHFCLK = 1	4		32	MHz
DC_{HFIN}	HFCLK_IN デューティ サイクル(3)	USEEXTHFCLK = 1	40		60	%

(1) これには、寄生結合およびパッケージ容量 (ピンごとに約 2 pF) が含まれ、C_{HFXIN}×C_{HFXOUT}/(C_{HFXIN}+C_{HFXOUT}) として計算されます。ここで、C_{HFXIN} および C_{HFXOUT} は、それぞれ HFXIN および HFXOUT における合計容量です。
(2) HFXT スタートアップ時間 ($t_{start, HFXT}$) は、HFXT がイネーブルになってから、標準的な水晶振動子の安定した発振までの時間で測定されます。 スタートアップ時間は、水晶の周波数および水晶振動子の仕様に依存します。『MSPM0 H シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル』の HFXT セクションを参照してください。RSEL が大きいほど消費電流が増加し、RSEL が大きいほど起動時間が減少します。
(3) デジタル クロック入力 (HFCLK_IN) は、ロジック レベルの方形波クロックを受け入れます。

7.9.4 低周波数クリスタル / クロック

自由空気での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
低周波数水晶発振器 (LFXT)						
f_{LFXT}	LFXT 周波数			32768		Hz
DC_{LFXT}	LFXT デューティ サイクル		30		70	%
OA_{LFXT}	LFXT 水晶発振余裕度			419		kΩ
$C_{L, eff}$	内部実効負荷容量(1)			1		pF
$t_{start, LFXT}$	LFXT スタートアップ時間(2)			200		ms
I_{LFXT}	LFXT 消費電流	XT1DRIVE = 0、LOWCAP = 1		300		nA
低周波数デジタル クロック入力 (LFCLK_IN)						
f_{LFIN}	LFCLK_IN 周波数 (3)	SETUSEEXLF = 1	29491	32768	36045	Hz
DC_{LFIN}	LFCLK_IN デューティ サイクル(3)	SETUSEEXLF = 1	40		60	%
LFCLK モニタ						
$f_{FAULTLF}$	LFCLK モニタ フォルト周波数 (4)	MONITOR=1	2800	4200	8400	Hz

(1) これには、寄生結合およびパッケージ容量 (ピンごとに約 2 pF) が含まれ、C_{LFXIN}×C_{LFXOUT}/(C_{LFXIN}+C_{LFXOUT}) として計算されます。ここで、C_{LFXIN} および C_{LFXOUT} は、それぞれ LFXIN および LFXOUT における合計容量です。
(2) ユーザーは水晶が起動時の駆動負荷（例：0.1uW）をサポートできる適切な定格であることを確認する必要があります
(3) デジタル クロック入力 (LFCLK_IN) は、ロジック レベルの方形波クロックを受け入れます。

Copyright © 2026 Texas Instruments Incorporated

(4) LFCLK モニタは、LFXT または LFCLK_IN の監視に使用できます。 最小フォルト周波数を下回る場合には必ずフォルトが発生し、最大フォルト周波数を超える場合には決してフォルトは発生しません。

7.10 デジタル IO

7.10.1 電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{IH}	High レベル入力電圧		VDD≧4.5V	0.7*VDD		VDD	V
V_{IL}	Low レベル入力電圧		VDD≧4.5V	-0.3		0.3*VDD	V
V_{HYS}	ヒステリシス			0.1*VDD			V
I_{lkg}	ハイ インピーダンスのリーク電流	HSIO(1)	VDD = 5.5V			0.79(4)	μA
	High-Z リーク電流 (PA1、PA28 を除くすべてのピン)	SDIO(2) (3)	VDD = 5.5V			0.42(4)	
	High-Z リーク電流 (PA1、PA28)	SDIO(2) (3)	VDD = 5.5V			2.0	
R_{PU}	プルアップ抵抗		VIN = VSS		40		kΩ
C_I	入力容量		VDD = 5V		20		pF
V_{OH}	High レベル出力電圧	HSIO	VDD ≥ 4.5V、$\|I_{IO}\|_{,max}$ = 6mA	VDD-0.4			V
	High レベル出力電圧	SDIO	VDD ≥ 4.5V、$\|I_{IO}\|_{,max}$= 3mA	VDD-0.4			
V_{OL}	Low レベル出力電圧	HSIO	VDD ≥ 4.5V、$\|I_{IO}\|_{,max}$ = 6mA			0.4	V
	Low レベル出力電圧	SDIO	VDD ≥ 4.5V、$\|I_{IO}\|_{,max}$= 3mA			0.4	

(1) I/O タイプ:SDIO = 標準駆動 (8MHz)、HSIO = 高速 (16MHz)
(2) リーク電流は、対応するピンに VSS または VDD を印加して計測されます (特に記述のない限り)。
(3) デジタル ポート ピンのリーク電流は個別に計測されます。ポート ピンは入力として選択され、プルアップ / プルダウン抵抗は無効化されています。
(4) この値は、IO がアナログ入力と多重化されていない場合の値です。SDIO がアナログ入力と多重化されている場合、リーク電流はさらに大きくなる可能性があります。

7.10.2 スイッチング特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
f_{max}	ポート出力周波数	SDIO (1)	VDD ≧ 4.5V、C_L = 20pF			8	MHz
f_{max}	ポート出力周波数	HSIO	VDD ≥ 2.7V、DRV = 1、CL = 20pF 40			16	MHz
t_r、t_f	出力立ち上がり / 立ち下がり時間	すべての出力ポート	VDD ≥ 4.5V			0.3/f_{max}	s

(1) I/O タイプ:SDIO = 標準駆動、HSIO = 高速

7.11 ADC

7.11.1 電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。すべての代表値は 25℃で測定されており、すべての精度パラメータは 12 ビット分解能モードを使用して測定されています (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$Vin_{(ADC)}$	アナログ入力電圧範囲(1)	すべての ADC アナログ入力ピンに適用されます	0		VDD	V
V_{R+}	正の ADC リファレンス電圧	VDD から供給される V_{R+}		VDD		V
		内部リファレンス電圧 (VREF) から供給される V_{R+}		4.05		V
V_{R-}	負の ADC リファレンス電圧			0		V

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。すべての代表値は 25℃で測定されており、すべての精度パラメータは 12 ビット分解能モードを使用して測定されています (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
Fs	ADC サンプリング周波数	RES = 0x0 (12 ビット モード)、外部基準電圧			1.6	Msps
		RES = 0x1 (10 ビット モード)、外部基準電圧			1.77	
		RES = 0x2 (8 ビット モード)、外部基準電圧			2	
F_S	ADC サンプリング周波数	RES = 0x0 (12 ビット モード)、内部リファレンス			0.9	Msps
		RES = 0x1 (10 ビット モード)、内部リファレンス			1	
		RES = 0x2 (8 ビット モード)、内部リファレンス			1.2	
$I_{(ADC)}$	VDD 端子に流れ込む動作電源電流	F_S = 1.6MSPS、V_{R+} = VDD		350		μA
		F_S = 0.9MSPS、V_{R+} = VREF = 4.05V (VREF 消費電力を含む)		400		
$C_{S/H}$	ADC サンプル ホールド容量			0.22		pF
Rin	ADC スイッチ抵抗			15		kΩ
$ENOB_{AC}$	有効ビット数、AC	内部リファレンス、V_{R+} = VREF = 4.05V、F_{in} = 5kHz	9.2	10.2		ビット
		外部リファレンス、(2)f_{in} = 5kHz	10.0	10.7		
		オーバー サンプリングありの外部リファレンス 、f_{in} = 1kHz		11.4		
SNR	信号対雑音比	外部リファレンス電圧 (2)		68		dB
		オーバー サンプリング機能付きの外部リファレンス		74		
		内部リファレンス電圧、V_{R+} = VREF = 4.05V		64		
$PSRR_{DC}$	電源除去比、DC	VDD = $VDD_{(min)}$～$VDD_{(max)}$ 内部リファレンス電圧、V_{R+} = VREF = 4.05V		60		dB
$PSRR_{DC}$	電源除去比、DC	外部リファレンス (4) 、VDD = $VDD_{(min)}$ ～ $VDD_{(max)}$		64		dB
$PSRR_{AC}$	電源除去比、AC	ΔVDD = 0.1V (1kHz 時) 内部リファレンス電圧、V_{R+} = VREF = 4.05V		48.6		dB
$PSRR_{AC}$	電源除去比、AC	ΔVDD = 0.1V (1kHz 時) 内部リファレンス、V_{R+} = VREF = 4.05V		61		dB
T_{wakeup}	ADC ウェークアップ時間	内部リファレンス電圧はオンであると仮定			5	us
$V_{SupplyMon}$	電源モニタ分圧器 (VDD/3) の精度	ADC の入力チャネル：電源モニタ(3)	-1.5		+1.5	%
$I_{SupplyMon}$	電源モニタ分圧器の消費電流	ADC の入力チャネル：電源モニタ		16		μA

(1) 有効な変換結果を得るには、選択された ADC リファレンス電圧の範囲内 (V_{R+}～V_{R-}) にアナログ入力電圧範囲が含まれている必要があります。
(2) 外部リファレンス電圧のすべての仕様は、V_{R+} = VREF+ = VDD = 5V かつ V_{R-} = VREF- = VSS = 0V の条件で、VREF+ ピンの外部容量 1uF として測定されたものです。
(3) アナログ電源モニタ。チャネル 31 のアナログ入力は切り離されており、分圧器 (VDD/3) と内部的に接続されています。

7.11.2 スイッチング特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{ADCCLK}	ADC クロック周波数		4		32	MHz
$t_{ADC\ trigger}$	ソフトウェア トリガの最小幅		3			ADCCLK のサイクル数
t_{Sample_step}	サンプリング時間 (ステップ入力)	12 ビット モード、R_S = 50Ω、C_{pext} = 10pF、V_{step} = 4V	0.188			μs
t_{Sample_step}	サンプリング時間 (ステップ入力)	12 ビット モード、R_S = 50Ω、C_{pext} = 10pF、V_{step} = 5V	0.400			μs
t_{Sample_VREF}	内部 VREF 入力によるサンプリング時間	ADC CHANNEL = 29、12 ビットモード、リファレンスとして VDD	10			μs
$t_{Sample_SupplyMon}$	サンプリング時間 (電源モニタ (VDD/3) あり)		3			μs

Copyright © 2026 Texas Instruments Incorporated

7.11.3 直線性パラメータ

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。すべての代表値は 25℃で測定されており、すべての直線性パラメータは 12 ビット分解能モードを使用して測定されています (特に記述のない限り)。(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
E_I	積分直線性誤差 (INL)	外部リファレンス、12 ビット(2)	-2.5		+2.5	LSB
E_D	微分直線性誤差 (DNL)	外部リファレンス、12 ビット(2)	-1		+1.5	LSB
	微分直線性誤差 (DNL)	外部リファレンス、10 ビット(2)	-1		+0.4	
E_O	オフセット誤差	外部リファレンス、12 ビット(2)	-5		5	mV
E_G	ゲイン誤差	外部リファレンス、12 ビット(2)	-6		6	LSB

(1) し総合未調整誤差 (TUE) は、次の式を使用して、E_I、E_O、E_G から計算できます。$TUE = \sqrt{(E_I^2 + |E_O|^2 + E_G^2)}$
注:上記の式が正確であるためには、すべての誤差を同じ単位 (通常は LSB) に変換する必要があります。
(2) 外部リファレンス電圧のすべての仕様は、V_{R+} = VREF+ = VDD = 5V かつ V_{R-} = VREF- = VSS = 0V の条件で、VREF+ ピンの外部容量 1uF として測定されたものです。

7.11.4 代表的な接続図

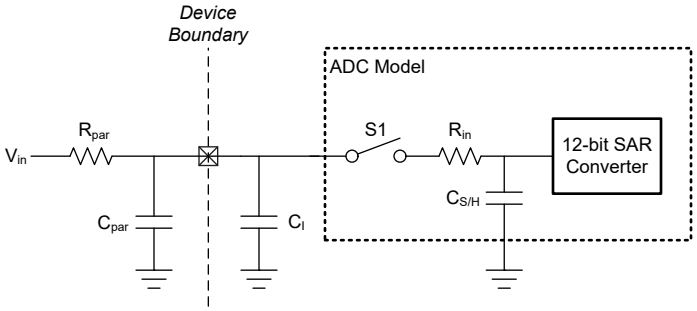


図 7-2. ADC 入力ネットワーク

1. R_{in} と $C_{S/H}$ の値については、電気的特性を参照してください。
2. C_I の値については、電気的特性を参照してください。
3. C_{par} と R_{par} は外部 ADC 入力回路の寄生容量および抵抗を表します。

次の式を使用して、ADC 変換に必要な最小サンプリング時間 (T) を求めます。

1. $Tau = (R_{par} + R_{in}) \times C_{S/H} + R_{par} \times (C_{par} + C_I)$
2. $K = \ln(2^n / \text{セトリング誤差}) - \ln((C_{par} + C_I) / C_{S/H})$
3. T (最小サンプリング時間) = K × Tau

7.12 温度センサ

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
TS_{TRIM}	出荷時調整温度 (1)		27	30	33	℃
TS_c	温度係数		-2.05	-1.9	-1.75	mV/℃
$t_{SET,TS}$	温度センサのセトリング タイム (2)	ADC および VREF の構成:RES = 0 (12 ビット モード)、VRSEL = 4h (VREF+ = 4.05V、VREF-=0)、ADC CHANNEL = 28		5	10	us

(1) ユーザー較正により、より高い絶対精度を実現できます。
(2) これは、温度センサの測定に必要な最小 ADC サンプリング時間です。

Copyright © 2026 Texas Instruments Incorporated

7.13 VREF

7.13.1 電圧特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
VDD_{min}	VREF 動作に必要な最低電源電圧		4.5	5	5.5	V
VREF	リファレンス電圧の出力電圧		3.98	4.05	4.12	V

7.13.2 電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
I_{VREF}	VREF の動作電源電流 (この仕様は推定値であり、IP の設計フェーズがさらに進むと、より信頼性が高くなります)	無負荷	無負荷		150	200	µA
TC_{VREF}	VREF の温度係数 (1)					80	ppm/°C
TC_{drift}	VREF の長期ドリフト	時間 = 1000 時間、TA = 25°C	時間 = 1000 時間、TA = 25°C			300	ppm
$PSRR_{DC}$	VREF 電源除去比、DC	VDD 4.5 ～ VDDmax、BUFCONFIG = 1		49	60		dB
$T_{startup}$	VREF 起動時間	VDD = 5V	VDD = 5V			30	us

(1) VREF 出力の温度係数は、TC_{VRBUF} と内部バンドギャップ リファレンスの温度係数の和です。

7.14 I2C

7.14.1 I2C の特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	スタンダード モード		ファスト モード		ファスト モード プラス		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
f_{I2C}	I2C 入力クロック周波数	パワードメイン 0 の I2C		32		32		32	MHz
f_{SCL}	SCL クロック周波数			100		400		1000	kHz
$t_{HD,STA}$	(リピート) スタート ホールド時間		4		0.6		0.26		us
t_{LOW}	SCL クロック Low 期間		4.7		1.3		0.5		us
t_{HIGH}	SCL クロックの High 期間		4		0.6		0.26		us
$t_{SU,STA}$	リピート スタート セットアップ時間		4.7		0.6		0.26		us
$t_{HD,DAT}$	データ ホールド時間		0		0		0		ns
$t_{SU,DAT}$	データ セットアップ時間		250		100		50		ns
$t_{SU,STO}$	ストップ セットアップ時間		4		0.6		0.26		us
t_{BUF}	ストップ コンディションとスタート コンディションの間のバス解放時間		4.7		1.3		0.5		us
$t_{VD;DAT}$	データ有効時間			3.45		0.9		0.45	us
$t_{VD;ACK}$	データ有効アクノリッジ時間			3.45		0.9		0.45	us

Copyright © 2026 Texas Instruments Incorporated

7.14.2 I2C フィルタ

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SP}	入力フィルタにより抑制されるスパイクのパルス持続時間	AGFSELx = 0		6		ns
		AGFSELx = 1		14	35	ns
		AGFSELx = 2		22	60	ns
		AGFSELx = 3		35	90	ns

7.14.3 I²C のタイミング図

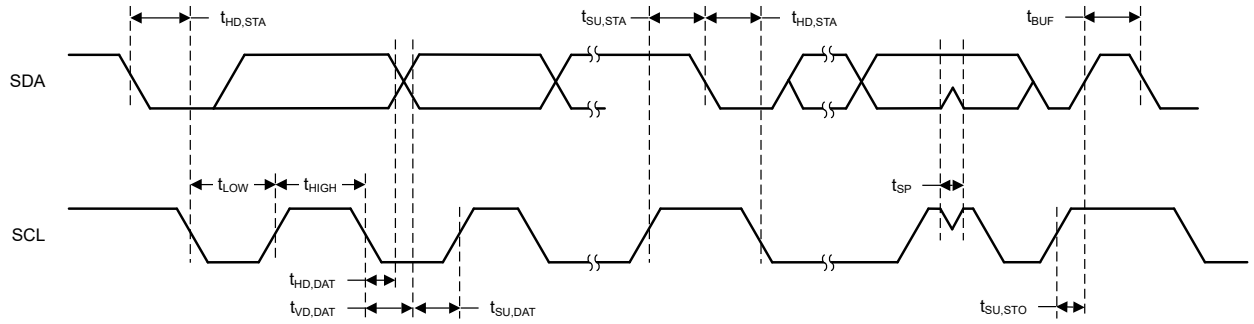


図 7-3. I2C タイミング図

7.15 SPI

7.15.1 SPI

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
SPI						
f_{SPI}	SPI クロック周波数	MCLK = 32MHz 4.5 < VDD < 5.5V ペリフェラルまたはコントローラモード			16(4)	MHz
DC_{SCK}	SCK のデューティ サイクル		40	50	60	%
コントローラ						
$t_{SCLK_H/L}$	SCLK High または Low 時間		(tSPI/2) - 1	tSPI/2	(tSPI/2) + 1	ns
$t_{CS.LEAD}$	CS 進み時間、CS アクティブからクロックまで	SPH=0	1 SPI クロック			ns
$t_{CS.LEAD}$	CS 進み時間、CS アクティブからクロックまで	SPH=1	1/2 SPI クロック			
$t_{CS.LAG}$	CS 遅れ時間、最後のクロックから CS 非アクティブまで	SPH = 0	1/2 SPI クロック			ns
$t_{CS.LAG}$	CS 遅れ時間、最後のクロックから CS 非アクティブまで	SPH=1	1 SPI クロック			
$t_{CS.ACC}$	CS アクセス時間、CS アクティブから PICO データ出力まで				1/2 SPI クロック	ns
$t_{CS.DIS}$	CS ディセーブル時間、CS 非アクティブから PICO 高インピーダンスまで				1 SPI クロック	ns
$t_{SU.CI}$	POCI 入力データのセットアップ時間 (1)	遅延サンプリングがイネーブル	3			ns
$t_{SU.CI}$	POCI 入力データのセットアップ時間 (1)	遅延サンプリングなし	34			ns

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{HD.CI}$	POCI 入力データ ホールド時間	遅延サンプリングがイネーブル	23			ns
$t_{HD.CI}$	POCI 入力データ ホールド時間	遅延サンプリングなし	0			ns
$t_{VALID.CO}$	PICO 出力データの有効時間 (2)				10	ns
$t_{HD.CO}$	PICO 出力データのホールド時間 (3)		0			ns
ペリフェラル						
$t_{CS.LEAD}$	CS 進み時間、CS アクティブからクロックまで		15			ns
$t_{CS.LAG}$	CS 遅れ時間、最後のクロックから CS 非アクティブまで		1			ns
$t_{CS.ACC}$	CS アクセス時間、CS アクティブから POCI データ出力まで				45	ns
$t_{CS.DIS}$	CS ディセーブル時間、CS 非アクティブから POCI 高インピーダンスまで				45	ns
$t_{SU.PI}$	PICO 入力データ セットアップ時間		15			ns
$t_{HD.PI}$	PICO 入力データ ホールド時間		3			ns
$t_{VALID.PO}$	POCI 出力データの有効時間 (2)				33	ns
$t_{HD.PO}$	POCI 出力データのホールド時間 (3)		7			ns

(1) 遅延サンプリング機能がイネーブルのとき、POCI 入力データのセットアップ時間を完全に補償できます。
(2) 出力が SCLK クロック エッジを変更した後、次の有効なデータを出力に駆動する時間を規定します。
(3) 出力が SCLK クロック エッジを変更した後、出力のデータが有効である間の時間を規定します。
(4) fSPIclk = 1/2tLO/HI。ただし、tLO/HI = max(tVALID, CO + tSU, PI, tSU, CI + tVALID, PO)。

7.15.2 SPI タイミング図

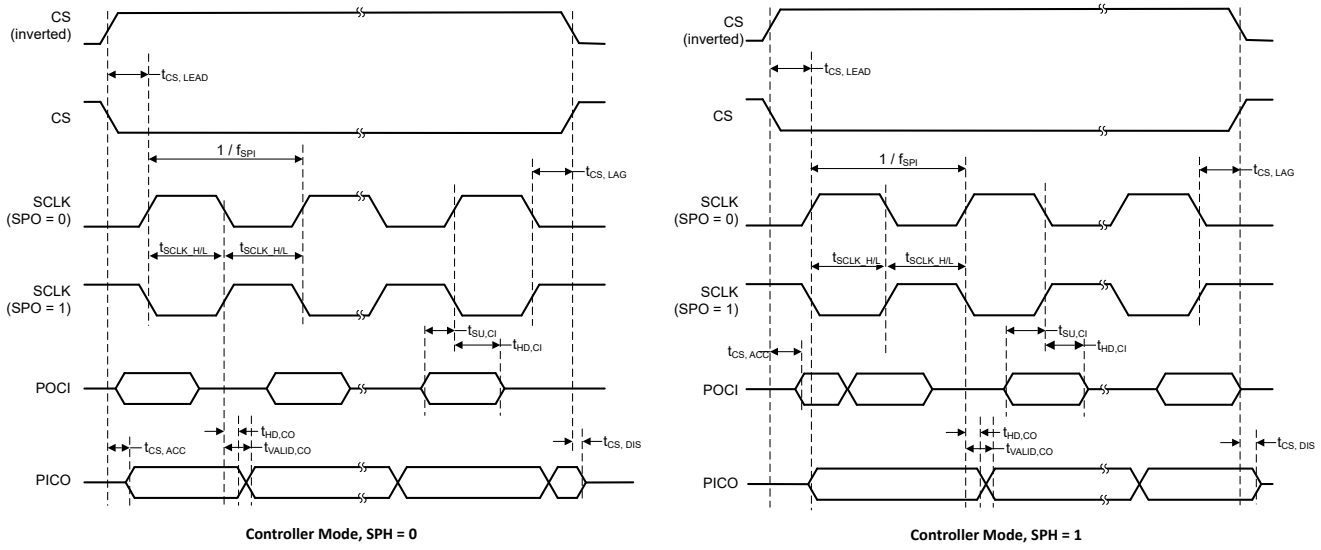


図 7-4. SPI のタイミング図 - コントローラ モード

Copyright © 2026 Texas Instruments Incorporated

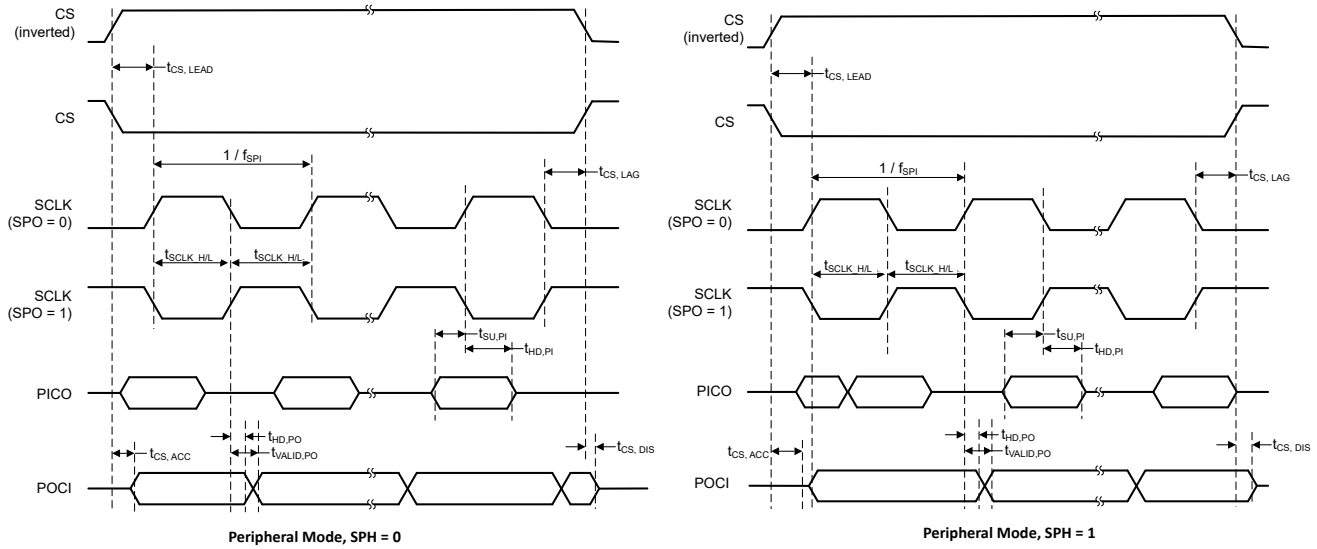


図 7-5. SPI のタイミング図 - ペリフェラル モード

7.16 UART

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{UART}	UART 入力クロック周波数				32	MHz
f_{BITCLK}	BITCLK クロック周波数 (MBaud のボー レートに等しい)				4	MHz
t_{SP}	入力フィルタにより抑制されるスパイクのパルス持続時間	AGFSELx = 0		6		ns
		AGFSELx = 1		14	35	ns
		AGFSELx = 2		22	60	ns
		AGFSELx = 3		35	90	ns

7.17 TIMx

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{res}	タイマ分解能時間	$f_{TIMxCLK}$ = 64MHz(1)	15.625			ns
t_{res}	タイマ分解能時間	$f_{TIMxCLK}$ = 32MHz	31.25			ns
			1			$t_{TIMxCLK}$
$t_{COUNTER}$	16 ビット カウンタのクロック周期	$f_{TIMxCLK}$ = 64MHz(1)	0.01563		1024	us
$t_{COUNTER}$	16 ビット カウンタのクロック周期	$f_{TIMxCLK}$ = 32MHz	0.03125		2048	us
			1		65536	$t_{TIMxCLK}$

(1) $f_{TIMxCLK}$ = 64MHz は、クロック ダブラが構成された TIMA0 にのみ適用されます

7.18 エミュレーションおよびデバッグ

7.18.1 SWD タイミング

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SWD}	SWD 周波数				10	MHz

Copyright © 2026 Texas Instruments Incorporated

8 詳細説明

以降のセクションでは、このデータシートのデバイスを構成するすべてのコンポーネントについて説明します。これらのデバイスに内蔵されているペリフェラルは、メモリ マップ レジスタ (MMR) を介してソフトウェアで設定されます。詳細については、『*MSPM0 H シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル*』の対応する章を参照してください。

Copyright © 2026 Texas Instruments Incorporated

8.1 概要

MSPM0H321x マイクロコントローラ (MCU) は、最大 32MHz の周波数で動作する拡張 Arm® Cortex®-M0+ コア プラットフォームに基づく MSP 高集積 5V 消費電力および 32 ビット MCU ファミリの一部です。コスト最適化されたこれらの MCU は高性能アナログ ペリフェラルを統合しており、-40℃～125℃の拡張温度範囲をサポートしており、4.5V の電源電圧で動作します。

MSPM0H321x デバイスは最大 64KB の組込みフラッシュ プログラム メモリと 8KB の SRAM を内蔵しています。これらのマイコンは最大 -2.1 ～ 1.6% の精度の高速オンチップ発振器を内蔵しているため、外部水晶振動子は不要です。追加機能には、3 チャネル DMA、CRC-16 アクセラレータ、各種の高性能アナログ ペリフェラル (リファレンス電圧として VDD を含む 12 ビット 1.6Msps ADC、1 つのオンチップ温度センサなど) が含まれます。これらのデバイスは、1 つの 16 ビット高度タイマ、4 つの 16 ビット汎用タイマ、1 つのウィンドウ付きウォッチドッグ タイマ、1 つの独立ウォッチドッグ タイマー、リアルタイム クロック (RTC)、各種通信ペリフェラル (3 つの UART、1 つの SPI、2 つの I^2C など) などのインテリジェントなデジタル ペリフェラルも備えています。これらの通信ペリフェラルは LIN、IrDA、DALI、マンチェスター、スマート カード、SMBus、PMBus プロトコルをサポートしています。

テキサス インスツルメンツの MSPM0 低消費電力 MCU ファミリは、各種のアナログおよびデジタル集積度のデバイスで構成されているため、お客様はプロジェクトのニーズを満たす MCU を見つけることができます。そのアーキテクチャと豊富な低消費電力モードは、携帯型測定アプリケーションで長いバッテリ駆動時間を実現するように最適化されています。

MSPM0H321x MCU は、広範囲にわたるハードウェアおよびソフトウェアのエコシステムによってサポートされており、リファレンス デザインやコード サンプルを使って設計をすぐに開始できます。開発キットには、購入可能な LaunchPad™ キットとターゲット ソケット ボード用の設計ファイルが含まれています。また、テキサス・インスツルメンツは無償の MSP ソフトウェア開発キット (SDK) も提供しており、Code Composer Studio™ IDE デスクトップのコンポーネントとして利用できます。また、TI Resource Explorer ではクラウド バージョンを利用できます。MSPM0 MCU には、広範囲にわたるオンライン資料、MSP Academy によるトレーニング、TI E2E™ サポート フォーラムによるオンライン サポートも用意されています。

モジュールの詳細については、*『MSPM0H シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル』*を参照してください。

8.2 CPU

CPU サブシステム (MCPUSS) は、Arm Cortex-M0+ CPU、システム タイマ、割り込み管理機能を実装しています。Arm Cortex-M0+ は、組込みアプリケーションに高性能と低消費電力を提供する、コスト最適化された 32 ビット CPU です。CPU サブシステムの主な特長は次のとおりです。

- Arm Cortex-M0+ CPU により、32kHz～32MHz のクロック周波数をサポート
  - ARMv6-M Thumb 命令セット (リトル エンディアン)、32 サイクル 32×32 高速乗算命令付き
- シーケンシャル コード実行を改善するためのプリフェッチ ロジックと、2 つの 64 ビット キャッシュ ラインを備えた I キャッシュ
- 24 ビットのダウン カウンタと自動リロード機能を備えたシステム タイマ (SysTick)
- 4 つのプログラム可能な優先レベルとテール チェーンを備えたネスト型ベクタ割り込みコントローラ (NVIC)

8.3 動作モード

MSPM0H MCU には 4 つのメイン動作モード (電力モード) があり、アプリケーションの要件に基づいてデバイスの消費電力を最適化できます。消費電力を低減するためのモードは次のとおりです。動作、スリープ、停止、スタンバイ。CPU は RUN モードではコードをアクティブに実行しています。ペリフェラル割り込みイベントにより、デバイスを SLEEP、STOP、または STANDBY モードから RUN モードにウェークアップできます。

性能と消費電力のバランスをさらに高めるために、MSPM0H デバイスには次の 2 つの電力ドメインが実装されています。PD1 (CPU、メモリ、高性能ペリフェラル用) と PD0 (低速、低消費電力ペリフェラル用)。PD1 は、RUN モードと SLEEP モードで常に電源が供給されますが、他のすべてのモードではディセーブルになります。PD0 は、RUN、SLEEP、STOP、STANDBY の各モードで常に電源が供給されます。

Copyright © 2026 Texas Instruments Incorporated

8.3.1 動作モード別の機能 (MSPM0H321x)

各動作モードでサポートされている機能の一覧を、表 8-1 に示します。

機能キー:

- **EN**:その機能は、指定されたモードでイネーブルされます。
- **DIS**:その機能は、指定されたモードでディセーブル (クロックまたは電源のどちらかが遮断) されますが、その機能の設定は保持されます。
- **OPT**:その機能は、指定されたモードでは任意であり、イネーブルに設定されている場合はイネーブルのままです。
- **NS**:その機能は、指定されたモードで自動的にはディセーブルになりませんが、サポートされていません。
- **OFF**:その機能は、指定されたモードで完全に電源がオフになり、設定情報は保持されません。

表 8-1. 動作モード別のサポートされている機能

動作モード		RUN			SLEEP			ストップ		STANDBY	
		RUN0	RUN1	RUN2	SLEEP0	SLEEP1	SLEEP2	STOP0	STOP2	STANDBY0	STANDBY1
発振器	SYSOSC	EN	EN	DIS	EN	EN	DIS	OPT[1]	DIS	DIS	DIS
	LFOSC	EN									
クロック	CPUCLK	32M	32k	32k	DIS						
	MCLK から PD1 へ	32M	32k	32k	32M	32k	32k	DIS			
	ULPCLK から PD0 へ	32M	32k	32k	32M	32k	32k	4M[1]	32k		DIS
	ULPCLK から TIMG14、TIMG8 へ	32M	32k	32k	32M	32k	32k	4M[1]	32k		
	MFCLK	OPT	DIS		OPT	DIS		OPT	DIS		
	LFCLK	32k									DIS
	LFCLK から TIMG14、TIMG1、TIMG2、TIMG8、TIMA0 へ	32k									
	MCLK モニタ	OPT									DIS
	LFCLK モニタ	OPT									
PMU	POR モニタ	EN									
	BOR モニタ	EN									
	コア レギュレータ	高駆動能力								低駆動能力	
コア機能	CPU	EN			DIS						
	DMA	OPT						NS (トリガをサポート)			
	フラッシュ	EN						OPT		DIS	
	SRAM	EN						OPT		DIS	
PD1 ペリフェラル	SPI0	OPT						DIS			
	CRC	OPT						DIS			

Copyright © 2026 Texas Instruments Incorporated

表 8-1. 動作モード別のサポートされている機能 (続き)

動作モード		RUN			SLEEP			ストップ		STANDBY	
		RUN0	RUN1	RUN2	SLEEP0	SLEEP1	SLEEP2	STOP0	STOP2	STANDBY0	STANDBY1
PD0 ペリフェラル	TIMG14	OPT									
	TIMG1	OPT									DIS
	TIMG2	OPT									DIS
	TIMG8	OPT									DIS
	TIMA0	OPT									DIS
	UART0	OPT									DIS
	UART1	OPT									DIS
	UART2	OPT									DIS
	I2C0	OPT									DIS
	I2C1	OPT									DIS
	GPIOA	OPT									OPT(2)
	GPIOB	OPT									OPT(2)
	WWDT0	OPT									OPT(2)
アナログ	ADC0	OPT								NS (トリガをサポート)	
	VREF	OPT								NS	
	温度センサ	OPT								OFF	
IOMUX および IO ウェークアップ		EN									
ウェーク ソース		該当なし			任意の IRQ			PD0 IRQ			

(1) RUN1 から STOP0 に遷移した場合 (SYSOSC がイネーブルで、MCLK は LFCLK から供給)、RUN1 のときと同様に SYSOSC はイネーブルに維持され、ULPCLK は 32kHz に維持されます。RUN2 から STOP0 に遷移した場合 (SYSOSC がディセーブルで、MCLK は LFCLK から供給)、RUN2 のときと同様に SYSOSC はディセーブルに維持され、ULPCLK は 32kHz に維持されます。

(2) STANDBY に STANDBY1 のポリシーを使用する場合、TIMG14 のみがクロック駆動されます。これらの PD0 ペリフェラルは、外部アクティビティが発生した際に非同期高速クロック要求を生成できますが、アクティブにクロック供給されません。

8.4 パワー マネージメント ユニット (PMU)

パワー マネージメント ユニット (PMU) は、本デバイスのための内部的に安定化されたコア電源を生成し、また外部電源 (VDD) の監視を行います。PMU は、PMU 自体とアナログ ペリフェラルで使用されるバンドギャップ基準電圧も内蔵しています。PMU の主な特長は次のとおりです。

- パワーオン リセット (POR) 電源モニタ
- ブラウンアウトリセット (BOR) 電源モニタ
- RUN、SLEEP、STOP、STANDBY 動作モードをサポートするコア レギュレータにより、性能と消費電力を動的に最適化
- パリティ保護されたトリムにより、パワー マネージメント トリムが破損した際、パワーオン リセット (POR) を直ちに生成

詳細については、『MSPM0 H シリーズ 32MHz マイコン テクニカル リファレンス マニュアル』の「PMU」の章を参照してください。

8.5 クロック モジュール (CKM)

クロック モジュールは以下に示す発振器を備えています。

- **LFOSC**: 内部低周波数発振器 (32kHz)
- **SYSOSC**: 内部高周波数発振器 (32MHz)
- **LFXT**: 低周波、ローパワー水晶発振器 (代表的な周波数 32kHz)
- **HFXT**: 高周波水晶発振器 (標準周波数 4 ～ 32MHz)

Copyright © 2026 Texas Instruments Incorporated

- **LFCKIN**:低周波数のデジタル クロック入力 (32KHz)
- **HFCKIN**:高周波デジタル クロック入力 (4 ～ 32MHz)

プロセッサ、バス、ペリフェラルで使用するために、クロック モジュールによって以下に示すクロックが分配されます。

- **MCLK**:PD1 ペリフェラルのメイン システム クロック。SYSOSC または LFCLK から派生。RUN および SLEEP モードでアクティブ。
- **CPUCLK**:プロセッサのクロック (MCLK から生成)。RUN モードでアクティブ。
- **HFCLK**:高周波数外部クロック
- **HSCLK**:HFCLK から生成される高速クロック。RUN および SLEEP モードで使用可能
- **ULPCLK**:PD0 ペリフェラル用の超低消費電力クロック。RUN、SLEEP、STOP、STANDBY モードでアクティブ。
- **MFCLK**:ペリフェラル用 4MHz 固定の中周波数クロック。RUN、SLEEP、STOP モードで使用可能。
- **LFCLK**:ペリフェラルまたは MCLK 用 32kHz 固定の低周波数クロック。RUN、SLEEP、STOP、STANDBY モードでアクティブ。
- **ADCCLK**:ADC のクロック。RUN、SLEEP、STOP モードで使用可能。
- **RTCCLK**:RTC に直接接続される 32kHz の固定クロック
- **CLK_OUT**:クロックを外部に出力するために使用。RUN、SLEEP、STOP、STANDBY モードで使用可能。

詳細については、『MSPM0 H シリーズ 32MHz マイコン テクニカル リファレンス マニュアル』の「CKM」の章を参照してください。

8.6 DMA_B

ダイレクト メモリ アクセス (DMA) コントローラを使うと、CPU を介さずに、いずれかのメモリ アドレスから別のメモリ アドレスにデータを移動できます。たとえば、DMA を使って ADC 変換メモリから SRAM にデータを移動できます。DMA を使用すると、ペリフェラルとの間でデータをやりとりするとき、CPU をウェークアップする必要がなく、低消費電力モードのまま維持できるため、システムの消費電力を削減できます。

これらのデバイスの DMA_B は、以下の主な機能をサポートしています。

- 3 つの DMA 転送チャネル
  - 2 つのフル機能チャネル、繰り返し転送モードをサポートします
  - 1 つの基本チャネル、シングル転送モードをサポートします
- DMA チャネルの優先度を設定可能
- ADC、UART、SPI、またはタイマトリガで DMA トリガへの直接ペリフェラルがサポートされています。
- バイト (8 ビット)、ショート ワード (16 ビット)、ワード (32 ビット)、またはバイトとワードの混合の転送機能
- 最大 64k のブロック サイズのすべてのデータ タイプの転送をサポートする転送カウンタ
- DMA 転送トリガの選択を設定可能
- 他のチャネルにサービスを提供するためのアクティブ チャネル割り込み
- ピンポン バッファ アーキテクチャのための早期割り込み生成
- 他のチャネルでのアクティビティ完了時のチャネルのカスケード化
- データの再構成をサポートするためのストライド モード (3 相測定アプリケーションなど)
- 収集モード

DMA_B チャネル機能 に、サポートされている DMA 機能と、対応する DMA チャネル番号を示します。

表 8-2. DMA_B チャネル機能

DMA 機能	DMA_B	
	フル機能チャネル	ベーシック チャネル
チャネル数	0、1	2
リピータ モード	✓	-
テーブルとフィル モード	✓	-
収集モード	✓	-
早期 IRQ 通知	✓	-
オート イネーブル	✓	✓

Copyright © 2026 Texas Instruments Incorporated

表 8-2. DMA_B チャネル機能 (続き)

DMA 機能	DMA_B	
	フル機能チャネル	ベーシック チャネル
ロング ロング (128 ビット) 転送	✓	✓
ストライド モード	✓	✓
カスケード チャネルのサポート	✓	✓

DMA のトリガの割り当て に、DMA メモリ マップ レジスタの DMATCTL.DMATSEL 制御ビットを使って設定された DMA で利用可能なトリガの一覧を示します。

表 8-3. DMA のトリガの割り当て

DMACTL.DMATSEL	トリガ ソース
0	ソフトウェア
1	一般サブスクライバ 0 (FSUB_0)
2	一般サブスクライバ 0 (FSUB_1)
9	UART0 パブリッシャ 1
10	UART0 パブリッシャ 2
13	UART2 パブリッシャ 1
14	UART2 パブリッシャ 2
7	SPI0 パブリッシャ 1
8	SPI0 パブリッシャ 2
5	I2C1 パブリッシャ 1
6	I2C1 パブリッシャ 2
3	I2C0 パブリッシャ 1
4	I2C0 パブリッシャ 2
15	ADC0 の EVT g
11	UART1 パブリッシャ 1
12	UART1 パブリッシャ 2

8.7 イベント

イベント マネージャは、1 つのエンティティ (ペリフェラルなど) から別のエンティティ (第 2 のペリフェラル、DMA、CPU など) にデジタル イベントを転送します。イベント マネージャは、静的なルートとプログラマブルなルートの組み合わせを含むイベント ファブリックによって相互接続された一連の定義済みイベント パブリッシャ (ジェネレータ) およびサブスクライバ (レシーバ) によるイベント転送を実装しています。

イベント マネージャによって転送されるイベントには、以下が含まれます。

- 割り込み要求 (IRQ) として CPU に転送されるペリフェラル イベント (静的イベント)
  - 例:CPU に送られる GPIO 割り込み
- DMA トリガとして DMA に転送されるペリフェラル イベント (DMA イベント)
  - 例:DMA 転送を要求するための、DMA への ADC トリガ
- ハードウェアでの動作を直接トリガするため、別のペリフェラルに転送されるペリフェラル イベント (汎用イベント)
  - 例:TIMx タイマ ペリフェラルが ADC サブスクライバ ポートに周期的イベントを発行し、ADC がこのイベントを使ってサンプリング開始をトリガする。

詳細については、『*MSPM0 L シリーズ 32MHz マイコン テクニカル リファレンス マニュアル*』の「イベント」の章を参照してください。

Copyright © 2026 Texas Instruments Incorporated

表 8-4. 汎用イベント チャネル

一般的なルートは、1:1 ルートと 1:2 スプリッタ ルートのどちらかです。これらのルートでは、イベントを発行しているペリフェラルは、利用可能な複数の汎用ルート チャネルの 1 つを使ってそのイベントを別の 1 つのエンティティ (スプリッタ ルートの場合は複数のエンティティ) に公開するように構成されています。エンティティとは、別のペリフェラル、汎用 DMA トリガ イベント、汎用 CPU イベントを指します。

CHANID	汎用ルート チャネルの選択	チャネル タイプ
0	汎用イベント チャネルが選択されていない。	該当なし
1	汎用イベント チャネル 1 が選択されている。	1:1
2	汎用イベント チャネル 2 が選択されている。	1:1
3	汎用イベント チャネル 3 が選択されている。	1:1
4	汎用イベント チャネル 4 が選択されている。	1:1
5	汎用イベント チャネル 5 が選択されている。	1:1
6	汎用イベント チャネル 6 が選択されている。	1:2 (スプリッタ)
7	汎用イベント チャネル 6 が選択されている。	1:2 (スプリッタ)

8.8 メモリ

8.8.1 メモリ構成

本デバイスのメモリ マップを、表 8-5 に示します。メモリ領域の詳細については、『*MSPM0 H シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル*』の「*プラットフォーム メモリ マップ*」セクションを参照してください。

表 8-5. メモリ構成

メモリ領域	サブ領域	MSPM0C1105	MSPM0C1106
コード (フラッシュ)	フラッシュ	32KB (1) 0x0000.0000～0x0000.7FFF	64KB (1) 0x0000.0000～0x0000.FFFF
SRAM (SRAM)	SRAM	8KB 0x2000.0000～0x2000.1FFF	8KB 0x2000.0000～0x2000.1FFF
ペリフェラル	ペリフェラル	0x4000.0000～0x40FF.FFFF	0x4000.0000～0x40FF.FFFF
	フラッシュ	0x0040.0000～0x0040.7FFF	0x0040.0000～0x0040.FFFF
	NONMAIN (2)	512 バイト 0x41C0.0000～0x41C0.07FF	512 バイト 0x41C0.0000～0x41C0.07FF
	FACTORY	0x41C4.0000～0x41C4.03FF	0x41C4.0000～0x41C4.03FF
サブシステム		0x6000.0000～0x7FFF.FFFF	0x6000.0000～0x7FFF.FFFF
システム PPB		0xE000.0000～0xE00F.FFFF	0xE000.0000～0xE00F.FFFF

(1) フラッシュ メモリの上位 32KB (アドレス 0x0000.0000～0x0000.8000) の書き込み / 消去サイクルは最大 100000 回です。
(2) NONMAIN 構成領域を変更する際、その領域が有効な構成で再プログラムされていない場合、永続的なデバイス ロックアウトが発生する可能性があります。有効な構成には、デバイス アクセスを維持するための正確な CRC 値と適切なデバッグ ポリシーを含める必要があります。

8.8.2 ペリフェラル ファイル マップ

表 8-6 に、使用可能なペリフェラルと、各ペリフェラルのレジスタ ベース アドレスの一覧を示します。

表 8-6. ペリフェラルのまとめ

ペリフェラル名	ベース アドレス	サイズ
VREF	0x40030000	0x00001F00
WWDT0	0x40080000	0x00001500
TIMG14	0x40084000	0x00001F00
TIMG1	0x40086000	0x00001F00
TIMG2	0x40088000	0x00001F00
TIMG8	0x40090000	0x00001F00

Copyright © 2026 Texas Instruments Incorporated

表 8-6. ペリフェラルのまとめ (続き)

ペリフェラル名	ベース アドレス	サイズ
LFSS	0x40094000	0x00001600
RTC_B	0x40094000	0x00001600
IWDT	0x40094000	0x00001600
GPIOA	0x400A0000	0x00001F00
GPIOB	0x400A2000	0x00001F00
SYSCTL	0x400AF000	0x00003100
DEBUGSS	0x400C7000	0x00001F00
EVENTLP	0x400C9000	0x00003000
FLASHCTL	0x400CD000	0x00002000
I2C0	0x400F0000	0x00001F00
I2C1	0x400F2000	0x00001F00
UART1	0x40100000	0x00001F00
UART2	0x40102000	0x00001F00
UART0	0x40108000	0x00001F00
CPUSS	0x40400000	0x00001F00
WUC	0x40424000	0x00000500
IOMUX	0x40428000	0x00002000
DMA	0x4042A000	0x00001F00
CRC	0x40440000	0x00002000
SPI0	0x40468000	0x00001F00
ADC0	0x4055A000	0x00001000
TIMA0	0x40860000	0x00001F00

Copyright © 2026 Texas Instruments Incorporated

8.8.3 ペリフェラルの割り込みベクタ

割り込みベクタ番号 に、各ペリフェラルの IRQ 番号を示します。

表 8-7. 割り込みベクタ番号

ペリフェラル名	NVIC IRQ
SYSCTL	0
DEBUGSS	1
TIMG8	2
UART1	3
ADC0	4
UART2	8
SPI0	9
UART0	15
TIMG14	16
TIMG2	17
TIMA0	18
TIMG1	19
GPIOA	22
GPIOB	23
I2C0	24
I2C1	25
FLASHCTL	27
WWDT0	29
LFSS	30
RTC_B	30
IWDT	30
DMA	31

8.9 フラッシュ メモリ

実行可能なプログラム コードとアプリケーション データを格納するため、1 バンクの不揮発性フラッシュ メモリが備わっています。

フラッシュの主な特長は次のとおりです。

- 推奨電源電圧範囲全体にわたって、インサーキットでの書き込み / 消去動作をサポート
- 1KB の小さなセクタ サイズ (1KB の最小消去分解能)
- フラッシュ メモリの選択された 32 セクターで最大 100,000 回の書き込み / 消去サイクル、残りのフラッシュ メモリで最大 10,000 回の書き込み / 消去サイクルをサポート (32kB のデバイスでは、フラッシュ メモリ全体で 100,000 サイクルをサポート)

フラッシュ メモリの詳細な説明については、*『MSPM0 H シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル』*の「NVM」の章を参照してください。

8.10 SRAM

MSPM0Hxx MCU には、低消費電力の高性能 SRAM が搭載されており、デバイスでサポートされている CPU 周波数範囲全体にわたってゼロ待機状態に対応します。SRAM は、コードに加えて、呼び出しスタック、ヒープ、グローバル データなどの揮発性情報を格納するために使用できます。SRAM の内容は、RUN、SLEEP、STOP、STANDBY 動作モードでは完全に保持されます。書き込み保護メカニズムが搭載されているため、アプリケーションは 1KB の分解能で SRAM を動的に書き込み保護できます。書き込み保護は、実行可能コードを SRAM に配置する際、CPU と DMA のど

Copyright © 2026 Texas Instruments Incorporated

ちらかが意図せずコードを上書きしないように保護するのに役立ちます。SRAM にコードを配置すると、ゼロ ウェイト状態動作と低消費電力を実現することで、重要なループの性能を向上できます。

8.11 GPIO

汎用入出力 (GPIO) ペリフェラルを使用すると、アプリケーションは本デバイスのピンを経由してデータを読み書きできます。ポート A およびポート B GPIO ペリフェラルを使用することで、これらのデバイスは最大 45 本の GPIO ピンをサポートします。

GPIO モジュールの主な特長は次のとおりです。

- CPU からの 0 待機状態の MMR アクセス
- ソフトウェアでのリード モディファイ ライト構造を必要とせずに、複数のビットのセット、クリア、トグルが可能
- 任意の GPIO ポートによる、STOP および STANDBY モードからの低消費電力ウェークアップを可能にする「FastWake」機能
- ユーザー制御の入力フィルタリング

8.12 IOMUX

IOMUX ペリフェラルは IO パッド構成を可能にし、デバイス ピンを出入りするデジタル データの流れを制御します。IOMUX の主な特長は次のとおりです。

- IO パッド構成レジスタにより、プログラム可能な駆動強度、速度、プルアップなどを実現
- デジタル ピン多重化により、複数のペリフェラル信号を同じ IO パッドに接続可能
- PINCM レジスタを使って、ピンの機能と能力をユーザー設定可能

詳細については、『*MSPM0 H シリーズ 32MHz マイコン テクニカル リファレンス マニュアル*』の「IOMUX」の章を参照してください。

8.13 ADC

これらのデバイスの 12 ビット アナログ / デジタル コンバータ (ADC) モジュールは、シングルエンド入力による高速 12 ビット変換をサポートしています。

ADC の主な特長は次のとおりです。

- 12 ビットの出力分解能、最大 1.6Msps、10 ビットを超える ENOB
- 最大 27 の外部入力チャネル
- 温度センシング、電源監視、アナログ信号チェーンのための内部チャネル
- ソフトウェアで選択可能なリファレンス電圧:
  - 4.05V に設定可能な ADC 専用の内部リファレンス電圧 (VREF)
  - MCU 電源電圧 (VDD)
  - VREF+/- デバイス ピンでの外部リファレンス取り込みをサポート
- RUN、SLEEP、STOP モードで動作し、STANDBY モードからのトリガをサポート

表 8-8. ADC0 のチャネル割り当て

CHANNEL[0:7]	信号名	CHANNEL[8:15]	信号名
0	A0	16	A16
1	A1	17	A17
2	A2	18	A18
3	A3	19	A19
4	A4	20	A20
5	A5	21	A21
6	A6	22	A22

Copyright © 2026 Texas Instruments Incorporated

表 8-8. ADC0 のチャネル割り当て (続き)

CHANNEL[0:7]	信号名	CHANNEL[8:15]	信号名
7	A7	23	A23
8	A8	24	A24
9	A9	25	A25
10	A10	26	A26
11	A11	27	予約済み
12	A12	28	*温度センサ*
13	A13	29	VREF
14	A14	30	予約済み
15	A15	31	*電源 / バッテリ モニタ*

信号名が*斜体*で記載された信号は、SoC の内部の信号です。これらの信号は、内部ペリフェラルの相互接続に使用されます。

詳細については、『*MSPM0 H シリーズ 32MHz マイコン テクニカル リファレンス マニュアル*』の「ADC」の章を参照してください。

8.14 温度センサ

温度センサは、デバイス温度に対して直線的に変化する電圧を出力します。温度センサの出力は、温度からデジタルへの変換を可能にするため、ADC 入力チャネルの 1 つに内部的に接続されています。

温度センサのユニットごとの 1 点キャリブレーション値は、ファクトリ定数メモリ領域に格納されています。このキャリブレーション値は、工場調整温度 (TS_{TRIM}) において 4.05V 内部 VREF を使用して 12 ビット モードで測定された温度センサ値に対応する ADC 変換結果 (ADC コード形式) を表します。このキャリブレーション値を温度センサの温度係数 (TS_c) と組み合わせて使用することで、本デバイスの温度を推定できます。出荷時調整値を使って本デバイスの温度を推定する方法については、『MSPM0 H シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル』の「温度センサ」のセクションを参照してください。

8.15 VREF

これらのデバイスのリファレンス電圧モジュール (VREF) は、オンボード ADC 専用の構成可能なリファレンス電圧バッファを内蔵しています。

VREF の主な特長は次のとおりです。

- 4.05V 内部リファレンス
- 内部リファレンス電圧は、12 ビット モードで最大 0.9Msps の ADC 動作をサポート

Copyright © 2026 Texas Instruments Incorporated

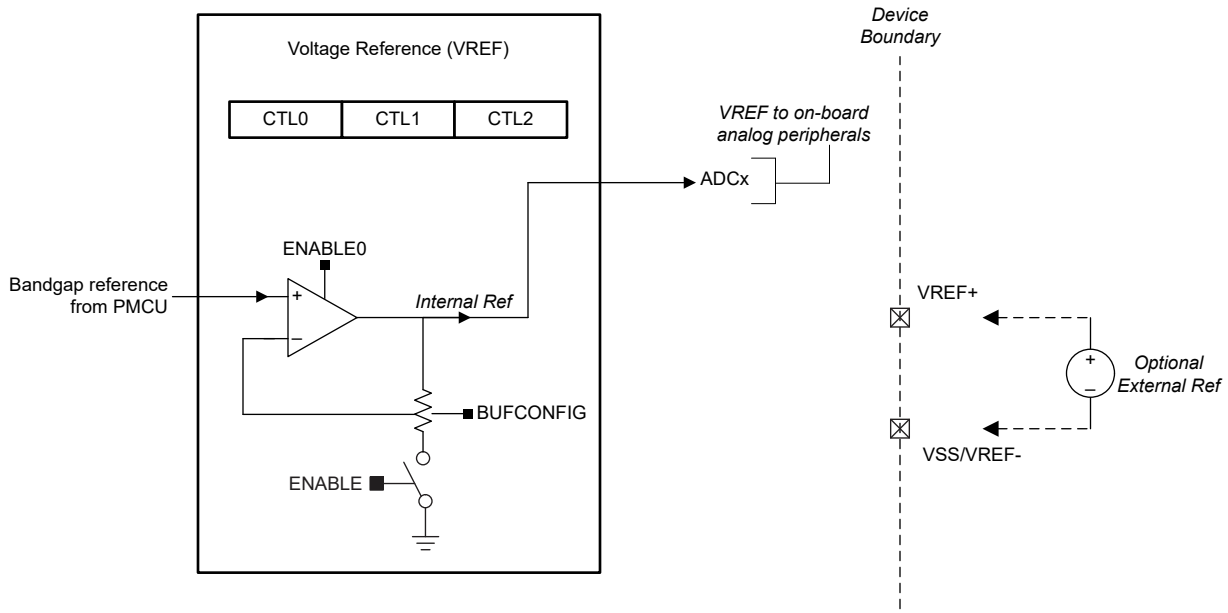


図 8-1. VREF モジュール

詳細については、『MSPM0 H シリーズ 32MHz マイコン テクニカル リファレンス マニュアル』の「VREF」の章を参照してください。

8.16 セキュリティ

このデバイスは、次のような複数のセキュリティ機能を備えています。

- デバッグ セキュリティ
- 固有ダイ ID
- コードおよびデータ保護用のフレキシブルなファイアウォール
  - フラッシュ書き込み消去保護
  - フラッシュ読み取り実行保護
  - フラッシュ IP 保護
  - SRAM 書き込み実行の相互排他
- セキュア ブート
- ファームウェアのセキュア更新
- 顧客のセキュア コード
- カスタム多項式をサポートする巡回冗長性検査 (CRC-16)

詳細については、『MSPM0 H シリーズ 32MHz マイコンテクニカルリファレンスマニュアル』の「セキュリティ」の章を参照してください

8.17 CRC

巡回冗長検査 (CRC) モジュールは入力データ シーケンスのシグネチャを提供します。CRC モジュールの主な特長は次のとおりです。

- CRC16-CCITT に基づく 16 ビット CRC をサポート
- ビット リバーサルをサポート

詳細については、『MSPM0 H シリーズ 32MHz マイコン テクニカル リファレンス マニュアル』の「CRC」の章を参照してください。

Copyright © 2026 Texas Instruments Incorporated

8.18 UART

UART ペリフェラルの主な機能を次に示します。

- スタート、ストップ、およびパリティ用の標準非同期通信ビット
- プログラマブルなシリアル インターフェイス
  - 5、6、7、または 8 データ ビット
  - 偶数パリティ ビット、奇数パリティ ビット、スティック パリティ ビット、およびパリティなしビットの生成 / 検出
  - 1 または 2 ストップ ビットの生成
  - 改行の検出
  - 入力信号のグリッチ フィルタ
  - プログラマブルなボーレート生成 (16、8、3 倍オーバーサンプリング機能付き)
  - ローカル相互接続ネットワーク (LIN) モードのサポート
- エントリの送信および受信 FIFO を 4 つに分離
- 送信および受信ループバック モード動作をサポート
- サポートされているプロトコルの詳細については、表 8-9 を参照してください

表 8-9. UART の機能

UART の機能	UART0 (ADV)	UART1 (MAIN)	UART2 (MAIN)
停止およびスタンバイ モードでアクティブ	あり	あり	あり
送信 FIFO と受信 FIFO を分離	あり	あり	あり
ハードウェア フロー制御をサポート	あり	あり	あり
9 ビット構成をサポート	あり	あり	あり
LIN モードをサポート	あり	なし	なし
DALI をサポート	あり	なし	なし
IrDA をサポート	あり	なし	なし
ISO7816 スマート カードをサポート	あり	なし	なし
マンチェスター符号化をサポート	あり	なし	なし

詳細については、『MSPM0 H シリーズ 32MHz マイコン テクニカル リファレンス マニュアル』の「UART」の章を参照してください。

8.19 SPI

これらのデバイスのシリアル ペリフェラル インターフェイス (SPI) ペリフェラルは、以下の主な機能をサポートしています。

- コントローラ モードとペリフェラル モードの両方で、ULPCLK/2 のビットレートと最大 16Mbits/s をサポート
- コントローラまたはペリフェラルとして構成可能
- コントローラとペリフェラルの両方に対応する構成可能なチップ セレクト
- プログラマブルなクロック プリスケーラおよびビット レート
- 4 ビットから 16 ビットまでのプログラム可能なデータ フレーム サイズ (コントローラ モード)
- データ フレーム サイズを 7 ビットから 16 ビットまでプログラム可能 (ペリフェラル モード)
- エントリの送信および受信 FIFO を 4 つに分離
- テキサス インスツルメンツ モード、Motorola モード、National Microwire 形式をサポート

詳細については、『MSPM0 H シリーズ 32MHz マイコン テクニカル リファレンス マニュアル』の「SPI」の章を参照してください。

Copyright © 2026 Texas Instruments Incorporated

8.20 I2C

これらのデバイスの I²C (Inter-Integrated Circuit Interface) ペリフェラルは、バス上のその他の I2C デバイスとの双方向データ転送を行い、次の主な機能をサポートしています。

- 複数の 7 ビット ターゲット アドレスによる 7 ビットおよび 10 ビット アドレッシング モード
- マルチ コントローラ トランスミッタ / レシーバ モード
- 設定可能クロック ストレッチング付きターゲット レシーバ / トランスミッタ モード
- 標準モード (Sm) をサポート (最大 100kbit/s のビット レート)
- 高速モード (Fm) をサポート (最大 400kbit/s のビット レート)
- 高速プラス モード (Fm+) をサポート (最大 1Mbit/s のビット レート)
- エントリの送信および受信 FIFO を 8 つに分離
- PEC、ARP、タイムアウト検出、ホスト サポートにより SMBus 3.0 をサポート
- 入力信号のグリッチを抑制するためのアナログおよびデジタル グリッチ フィルタをサポート

詳細については、『MSPM0 H シリーズ 32MHz マイコン テクニカル リファレンス マニュアル』の「I2C」の章を参照してください。

8.21 低周波数サブシステム (LFSS)

低周波数サブシステム (LFSS) は、複数の機能ペリフェラルを 1 つの共有サブシステムの下に組み合わせたサブシステムです。これらのペリフェラルは、低周波数クロック (LFCLK) によってクロック供給されるか、低消費電力モードではアクティブにする必要があります。LFCLK の標準周波数は 32kHz で、主に長期的な時間管理を目的としています。

このデバイスの LFSS には、次のコンポーネントが含まれています。

- 追加のプリスケーラ拡張機能とタイムスタンプ キャプチャ機能を備えた*リアルタイム クロック*
- 非同期 IWDT

詳細については、『*MSPM0 C シリーズ マイコン テクニカル リファレンス マニュアル*』の「LFSS」の章を参照してください。

8.22 RTC_B

リアルタイム クロック の RTC B は、32kHz の入力クロック ソース (通常は低周波数の水晶振動子) で動作し、CPU への割り込み用の複数のオプションを備えたタイム ベースをアプリケーションに提供します。RTC_B は、低周波数サブシステム (LFSS) に関連する一般的な主要な機能を提供します。

RTC_B の一般的な主な特長は次のとおりです。

- 秒、分、時、曜日、日、月、年のカウンタ
- バイナリまたは BCD フォーマット
- うるう年の取り扱い
- 分、時、曜日、日に基づいてカスタマイズ可能な 1 つのアラーム割り込み
- 1 分ごと、1 時間ごと、深夜 12 時、または正午にウェークアップするインターバル アラーム割り込み
- インターバル アラーム割り込みによる 4096、2048、1024、512、256、128Hz の周期的なウェークアップ
- インターバル アラーム割り込みによる 64、32、16、8、4、2、1、0.5Hz の周期的なウェークアップ
- 水晶振動子オフセット誤差の較正 (最大 ±240ppm)
- 温度ドリフトの補償 (最大 ±240ppm)
- キャリブレーション用に RTC クロックをピンに出力

このデバイスでサポートされている RTC 機能を、RTC_B の主な特長 #none# に示します。

表 8-10. RTC_B の主な特長

RTC の機能	RTC_B
パワー イネーブル レジスタ	-
秒、分、時間、曜日、日、月、年を提供するリアルタイム クロックおよびカレンダー モード	あり

Copyright © 2026 Texas Instruments Incorporated

表 8-10. RTC_B の主な特長 (続き)

RTC の機能	RTC_B
2 進または 2 進化 10 進 (BCD) 形式を選択可能	あり
うるう年補正 (1901 年から 2099 年まで有効)	あり
分、時、曜日、日に基づいてカスタマイズ可能な 2 つのカレンダ アラーム割り込み	あり
1 分ごと、1 時間ごと、深夜 12 時、または正午にウェークアップするインターバル アラーム割り込み	あり
4096、2048、1024、512、256、または 128Hz でウェイクするための定期的な割り込み	あり
64、32、16、8、4、2、1、0.5Hz でウェイクするための定期的な割り込み	あり
スタンバイ モードまでの割り込み機能、STOPCLKSTBY による	あり
水晶振動子オフセット誤差と水晶振動子の温度ドリフトの較正 (合計で最大 ±240ppm)	あり
キャリブレーション用に RTC クロックをピンに出力 (GPIO)	あり
キャリブレーション用に RTC クロックをピンに出力 (TIO)	-
割り込み生成機能付きハートビート機能用 3 ビット プリスケーラ	-
RTC 外部クロックは、トリムされていない 32kHz、トリムされた 512Hz、256Hz、1Hz のいずれかを選択可能	-
以下を含むタイマ スタンプ イベント検出時の RTC タイム スタンプ キャプチャ • TIO イベント • VDD 障害イベント	-
RTC カウンタ ロック機能	-

詳細については、『MSPM0 H シリーズ 32MHz マイコン テクニカル リファレンス マニュアル』の「RTC」の章を参照してください。

8.23 IWDT_B

LFSS の独立したウォッチ ドッグ タイマ (IWDT) は、デバイスに依存しないスーパー バイザであり、コードの実行と、デバイスの全体的なハング アップシナリオを監視します。LFSS の性質上、この IWDT には独自のシステム独立クロックソースがあります。アプリケーション ソフトウェアがプログラムされた時間内にウォッチ ドッグを正常にリセットしなかった場合、ウォッチ ドッグはデバイスに POR リセットを生成します。

IWDT の主な特長は次のとおりです。

- 1 つの 25 ビット カウンタ
- プログラマブル クロック デバイダを使用して LFOSC (固定 32kHz クロック パス) でカウンタを駆動します
- 8 つ のウォッチ ドッグ タイマ期間を選択可能 (2ms ～ 2 時間)

詳細については、『MSPM0 H シリーズ 32MHz マイコン テクニカル リファレンス マニュアル』の「IWDT」の章を参照してください。

Copyright © 2026 Texas Instruments Incorporated

8.24 WWDT

ウィンドウ付きウォッチドッグ タイマ (WWDT) は、本デバイスの動作 (特にコードの実行) を監視するために使えます。WWDT は、アプリケーション ソフトウェアが規定された時間の範囲内にウォッチドッグを正常にリセットしなかった場合に、リセットまたは割り込みを生成するために使用できます。WWDT の主な特長は次のとおりです。

- 25 ビット カウンタ
- プログラマブルなクロック分周回路
- ソフトウェアで選択可能な 8 つのウォッチドッグ タイマ期間
- ソフトウェアで選択可能な 8 つのウィンドウ サイズ
- SLEEP モードに入った際の WWDT の自動停止をサポート
- ウォッチドッグ機能を必要としないアプリケーションのためのインターバル タイマ モード

詳細については、『MSPM0 H シリーズ 32MHz マイコン テクニカル リファレンス マニュアル』の「WWDT」の章を参照してください

8.25 タイマ (TIMx)

これらのデバイスのタイマ ペリフェラルは、以下の主な機能をサポートしています。構成の詳細については、表 8-11 を参照してください。

汎用タイマ (TIMGx) 特有の機能には以下が含まれます。

- 16 ビットのダウン、アップ / ダウン、アップ カウンタ、反復リロード モード付き
- 選択可能 / 構成可能なクロック ソース
- カウンタ クロック周波数を分周するための 8 ビット プログラマブル プリスケーラ
- 以下のための最大 4 つの独立した CC チャネル
  - 出力の比較
  - 入力のキャプチャ
  - PWM 出力
  - ワンショット モード
- 位置決めと移動量検出のための直交エンコーダ インターフェイス (QEI) のサポート
- 同一電力ドメイン内の異なる TIMx インスタンス間の同期とクロス トリガをサポート
- 割り込みトリガ生成とクロス ペリフェラル (ADC など) トリガ機能をサポート
- ホール センサ入力のためのクロス トリガ イベント ロジック

高度制御タイマ (TIMAx) 特有の機能には以下が含まれます。

- 16 ビットのダウンまたはアップ/ダウン カウンタ、反復リロード モード付き
- 選択可能 / 構成可能なクロック ソース
- カウンタ クロック周波数を分周するための 8 ビット プログラマブル プリスケーラ
- タイマ分解能を向上させるために 2 倍のクロック ソースを供給するクロック ダブラ
- カウンタで所定のサイクル数が経過した後にのみ割り込みまたはイベントを生成する、リピート カウンタ
- 以下のための最大 4 つの独立した CC チャネル
  - 出力の比較
  - 入力のキャプチャ
  - PWM 出力
  - ワンショット モード
- データ保存および CC レジスタ用のシャドウ レジスタ利用可能
- 相補出力 PWM
- デッドバンド挿入をプログラム可能な非対称 PWM
- フォルト状況が発生したときに、ユーザー定義による安全な状態の出力信号を確保するためのフォルト処理メカニズム
- 同一電力ドメイン内の異なる TIMx インスタンス間の同期とクロス トリガをサポート
- 割り込みトリガ生成とクロス ペリフェラル (ADC など) トリガ機能をサポート

Copyright © 2026 Texas Instruments Incorporated

- 内部イベント用の 2 つの追加キャプチャ / 比較チャネル

表 8-11. TIMx の構成

タイマ名	パワードメイン	分解能	プリスケーラ	リピートカウンタ	キャプチャ / 比較チャネル	位相ロード	シャドウロード	シャドウ CC	デッドバンド	フォルト	QEI
TIMG14	PD0	16 ビット	8 ビット	-	4	-	-	-	-	-	-
TIMG1	PD0	16 ビット	8 ビット	-	2	-	-	-	-	-	-
TIMG2	PD0	16 ビット	8 ビット	-	2	-	-	-	-	-	-
TIMG8	PD0	16 ビット	8 ビット	-	2	-	-	-	-	-	あり
TIMA0	PD0	16 ビット	8 ビット	8 ビット	4	あり	あり	あり	あり	あり	-

詳細については、『MSPM0 L シリーズ 32MHz マイコン テクニカル リファレンス マニュアル』の「タイマ」の章を参照してください。

Copyright © 2026 Texas Instruments Incorporated

8.26 デバイスのアナログ接続

本デバイスの内部アナログ接続を、図 8-2 に示します。

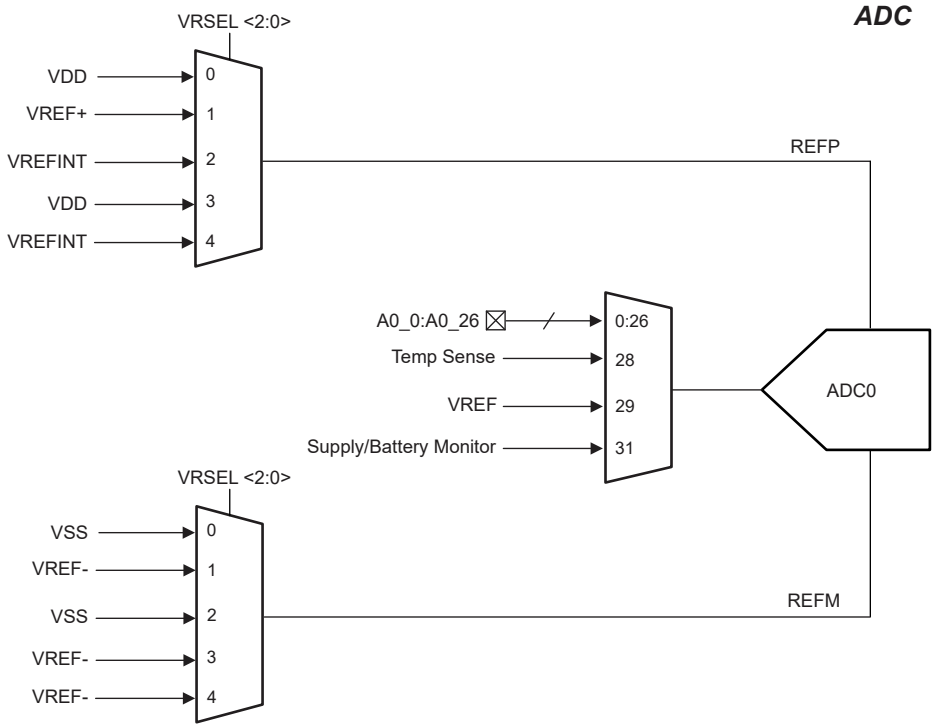


図 8-2. アナログ接続

Copyright © 2026 Texas Instruments Incorporated

8.27 入力 / 出力の回路図

IOMUX は、デジタル IO で使用されるペリフェラル機能の種類の選択を管理し、出力ドライバと入力経路を制御します。詳細については、『*MSPM0 H シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル*』の「IOMUX」のセクションを参照してください。

図 8-3 に、フル機能 IO ピンのミクスト シグナル IO ピン スライスの回路図を示します。すべてのピンが、アナログ機能、駆動強度制御、利用可能なプルアップ抵抗を備えているとは限りません。セクション 6.2 を参照して、特定のピンでサポートされている機能の詳細についてはください。

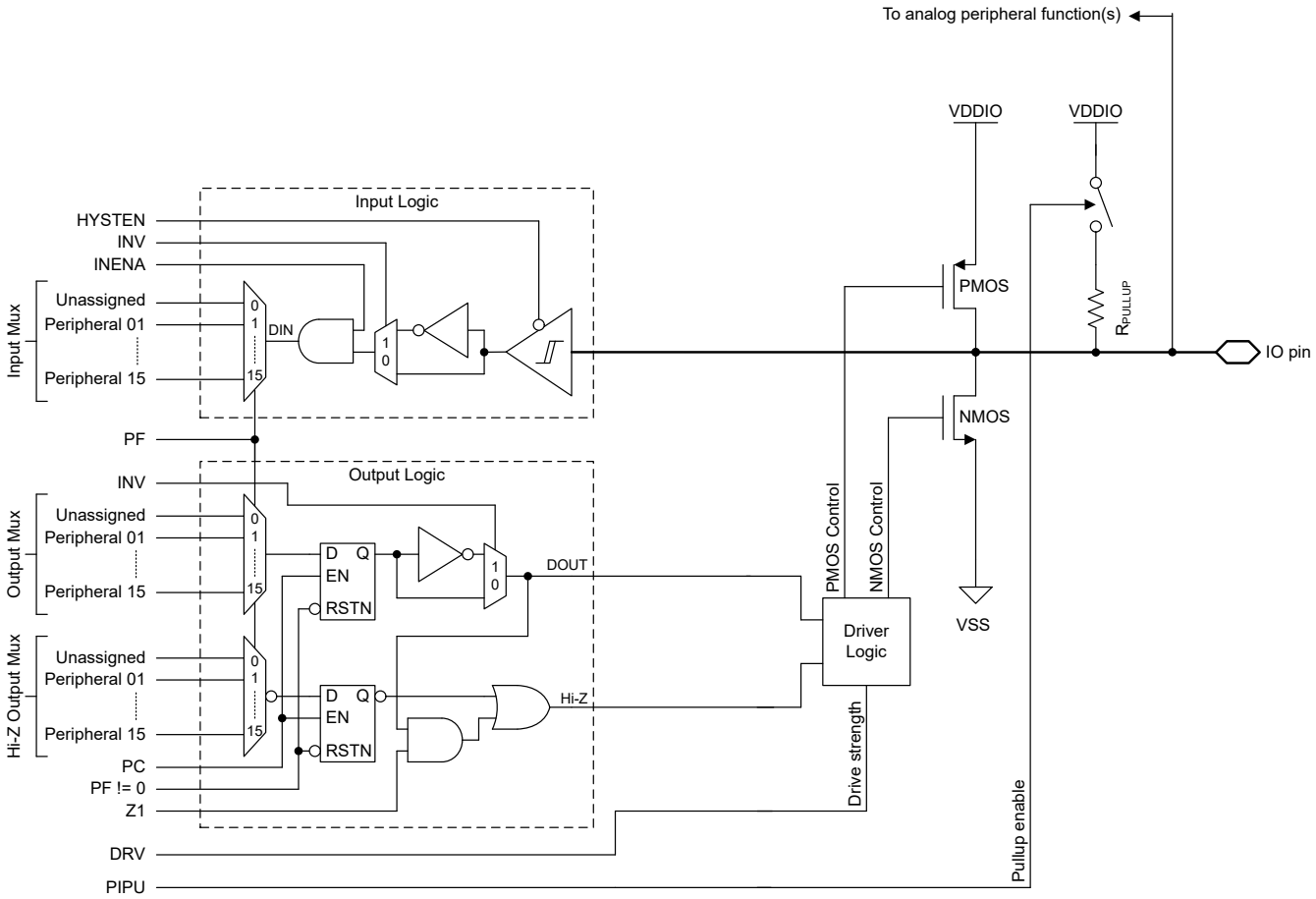


図 8-3. 入力 / 出力の回路図 (上位セット)

8.28 シリアル ワイヤ デバッグ インターフェイス

本デバイス内の各種デバッグ機能を利用できるように、Arm 互換シリアル ワイヤ デバッグ ポート (SW-DP) を利用したシリアル ワイヤ デバッグ (SWD) 2 線式インターフェイスが備わっています。MSPM0 デバイスが備えるデバッグ機能の詳細な説明については、テクニカル リファレンス マニュアルの「デバッグ」の章を参照してください。

表 8-12. シリアル ワイヤ デバッグ ピンの要件と機能

デバイス信号	方向	SWD 機能
SWCLK	入力	デバッグ プローブからのシリアル ワイヤ クロック
SWDIO	入力 / 出力	双方向 (共有) シリアル ワイヤ データ

Copyright © 2026 Texas Instruments Incorporated

8.29 DEBUGSS

デバッグ サブシステム (DEBUGSS) は、ARM シリアル ワイヤ デバッグ (SWD) の 2 線式物理インターフェイスを、デバイス内の複数のデバッグ機能に接続します。MSPM0 デバイスは、プロセッサの実行およびデバイスの状態のデバッグをサポートしています。DEBUGSS は、SWD を介してソフトウェアと通信するためのメールボックス システムも提供します。

デバッグ サブシステムで提供される主な機能は次のとおりです:

- ARM シリアル ワイヤ デバッグ (SWD) は 2 本線 (SWDIO、SWCLK) のデバッグ インターフェイスであり、TI 製およびサード パーティ製のデバッグ プローブの両方と互換性があります
  - SWDIO および SWCLK 用のオンチップ プルアップ抵抗とプルダウン抵抗は、それぞれデフォルトで有効になっています
  - SWD 機能を無効化し、SWD ピンを汎用入出力ピンとして使用できるようにサポート
  - すべての低消費電力モードでのデバッグをサポート
- プロセッサのデバッグ
  - 実行、停止、およびステップ実行のデバッグをサポート
  - 2 個のハードウェア ブレークポイント (BPU)
  - 1 個のハードウェア ウォッチポイント (DWT)
  - ソフトウェア ブレークポイントをサポート
- プロセッサ デバッグ中のペリフェラル動作をソフトウェアで設定可能
  - デバッグ停止中に選択したペリフェラルをフリー ランさせる機能
  - デバッグ停止時に選択したペリフェラルを停止させる機能
  - PMCU に対してリセットおよびモード変更を要求する機能
- SWD インターフェイスとブート ROM (およびアプリケーション ソフトウェア) 間でデータや制御信号を受け渡すためのメールボックス (DSSM)
- SWD ロックアウトやパスワード認証を使用したデバッグなど、さまざまなセキュリティ機能のサポート

詳細については、『MSPM0 H シリーズ 32MHz マイコンテクニカル リファレンスマニュアル』の「DEBUGSS」の章を参照してください。

8.30 デバイス ファクトリ定数

すべてのデバイスは、アプリケーション ソフトウェア用に、デバイスの機能を説明する読み出し専用データと、工場から提供された調整情報とを、メモリ内に割り当てられた FACTORY 領域に格納しています。『MSPM0 H シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル』の「*ファクトリ定数*」セクションを参照してください。

表 8-13. DEVICEID

DEVICEID アドレスは 0x41C4.0004、PARTNUM はビット 12～27、MANUFACTURER はビット 1～11 です。

デバイス	DEVICEID.PARTNUM	DEVICEID.MANUFACTURER
MSPM0H3215	0x0BBA	0x17
MSPM0H3216	0x0BBA	0x17

表 8-14. USERID

USERID アドレスは 0x41C4.0008、PART はビット 0～15、VARIANT はビット 16～23 です。

デバイス	PART	バリアント	デバイス	PART	バリアント
MSPM0H3216SPTR	1D79	10	MSPM0H3215SPTR	1346	1A
MSPM0H3216SRGZR	1D79	12	MSPM0H3215SRGZR	1346	1C
MSPM0H3216SDGS28R	1D79	15	MSPM0H3215SDGS28R	1346	1F

Copyright © 2026 Texas Instruments Incorporated

表 8-14. USERID (続き)

USERID アドレスは 0x41C4.0008、PART はビット 0～15、VARIANT はビット 16～23 です。

デバイス	PART	バリアント	デバイス	PART	バリアント
MSPM0H3216SDGS20R	1D79	16	MSPM0H3215SDGS20R	1346	20
MSPM0H3216SRHBR	1D79	17	MSPM0H3215SRHBR	1346	21
MSPM0H3216SRGER	1D79	18	MSPM0H3215SRGER	1346	22
MSPM0H3216SRUKR	1D79	19	MSPM0H3215SRUKR	1346	23

8.31 識別

リビジョンおよびデバイス識別

ハードウェア リビジョンとデバイスの識別値は、メモリ内に割り当てられた FACTORY 領域に格納されています (「デバイス ファクトリ定数」セクションを参照)。この領域は、アプリケーション ソフトウェア用に、デバイスの機能を説明する読み出し専用データと、工場から提供された調整情報とを提供します。詳細については、*『MSPM0 H シリーズ 32MHz マイコン テクニカル リファレンス マニュアル』*の*「ファクトリ定数」*の章を参照してください。

デバイス リビジョンおよび識別情報は、デバイス パッケージの上面マーキングの一部としても記載されています。デバイスごとの正誤表に、これらのマーキングが記載されています (を参照)。

Copyright © 2026 Texas Instruments Incorporated

9 アプリケーション、実装、およびレイアウト

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 代表的なアプリケーション

9.1.1 回路図

テキサス インスツルメンツは、10µF と 0.1µF の低 ESR セラミック デカップリング コンデンサの組み合わせを VDD および VSS ピンに接続することを推奨します。より値の大きいコンデンサを使用することもできますが、電源レールの立ち上がり時間に影響を及ぼす可能性があります。デカップリング コンデンサは、ピンのできるだけ近く (数 mm 以内) に配置する必要があります。

NRST リセット ピンは、外付けの 47kΩ プルアップ抵抗と 10nF プルダウン コンデンサに接続する必要があります。

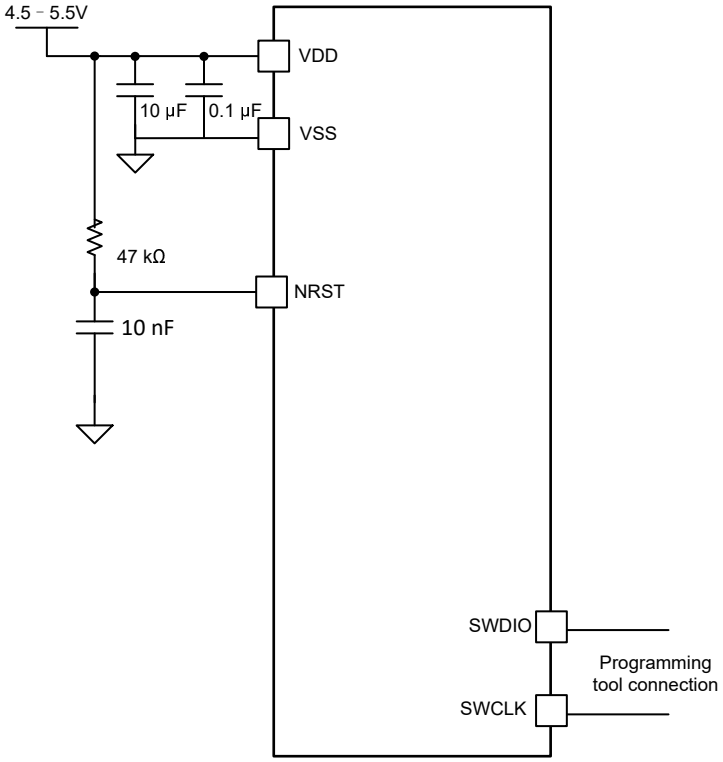


図 9-1. 代表的なアプリケーション回路図

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

10.1 デバイスの命名規則

製品開発サイクルの段階を示すために、TI は MSP MCU デバイスとサポート ツールのすべての型番に接頭辞を割り当てています。MSP MCU 商用ファミリの各番号には、MSP、X のいずれかの接頭辞があります。これらの接頭辞は、エンジニアリング プロトタイプ (X) から、完全に認定済みの量産版デバイス (MSP) まで、製品開発の段階を表しています。

X – 実験的デバイスであり、最終デバイスの電気的特性を必ずしも表しません。

MSP — 完全に認定済みの量産版デバイスです

X デバイスは、次の免責事項付きで出荷されます。

「開発中の製品は、社内での評価用です。」MSP デバイスの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。プロトタイプ デバイス (X) は、標準的な製品版デバイスに比べて故障率が大きいと予測されます。これらのデバイスは、予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツはそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

TI デバイスの項目表記には、デバイス ファミリ名の接尾辞も含まれます。この接尾辞は、温度範囲、パッケージ タイプ、配布形式を示しています。デバイス名の各部の読み方を、図 10-1 に示します。

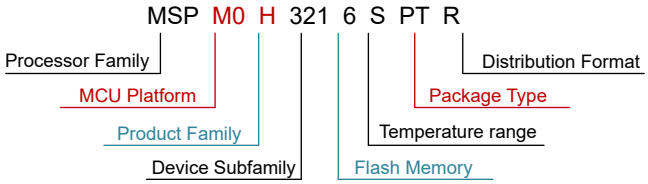


図 10-1. デバイスの命名規則

表 10-1. デバイスの命名規則

プロセッサ ファミリ	MSP = ミックスド シグナル プロセッサ X = 検証用半導体
MCU プラットフォーム	M0 = Arm ベース 32 ビット M0+
製品ファミリ	H = 5V
デバイス サブファミリ	321 = 32MHz 周波数、ADC、RTC
フラッシュ メモリ	5 = 32KB 6 = 64KB
温度範囲	S = –40°C ～ 125°C
パッケージ タイプ	表 5-1 と www.ti.com/packaging を参照
配布形式	T = 小型リール R = 大型リール マーキングなし = チューブまたはトレイ

各種パッケージ タイプの MSP デバイスの注文可能な部品番号については、このデータシートの末尾にあるパッケージ注文情報または ti.com を参照するか、テキサス・インスツルメンツの販売代理店にお問い合わせください。

Copyright © 2026 Texas Instruments Incorporated

10.2 ツールとソフトウェア

設計キットと評価モジュール

MSPM0 LaunchPad (LP) ボード:LP-MSPM0H3216	業界で最も優れたアナログ機能を内蔵し、コストを最適化した汎用 MSPM0 MCU ファミリの開発をただちに開始できます。すべてのデバイス ピンと機能が見えるようにします。多様な内蔵回路、すぐに使用できるソフトウェア デモ、オンボード XDS110 デバッグ プローブ (プログラミング、デバッグ、EnergyTrace™ テクノロジー用) が含まれています。 LP エコシステムには、機能を拡張するための多数の BoosterPack™ スタッカブル プラグイン モジュールが含まれています。

組込みソフトウェア

MSPM0 ソフトウェア開発キット (SDK)	ソフトウェア ドライバ、ミドルウェア ライブラリ、資料、ツール、すべての MSPM0 デバイスのための使いやすく簡単なユーザー体験を実現するサンプル コードが含まれています。

ソフトウェア開発ツール

TI クラウド ツール	Web ブラウザ上で評価と開発を開始できます。インストールは不要です。クラウド ツールには、ダウンロード可能なオフライン バージョンもあります。
TI Resource Explorer	TI SDK へのオンライン ポータル。CCS IDE または TI クラウド ツールからアクセスできます。
SysConfig	デバイスとペリフェラルの構成、システム競合の解消、構成コードの生成、ピン多重化設定の自動化のための直感的な GUI。CCS IDE または TI クラウド ツールからアクセスできます。(オフライン バージョン)
MSP Academy	さまざまなトピックを網羅するトレーニング モジュールを使用して MSPM0 MCU プラットフォームについて学習するための優れた出発点です。TIRex の一部です。
GUI Composer	コードをまったく必要としない完全統合型アナログ信号チェーンの構成と監視など、特定の MSPM0 機能の評価を簡素化する GUI。

IDE とコンパイラのツール チェーン

Code Composer Studio™ (CCS)	TI Arm-Clang コンパイラが含まれています。テキサス・インスツルメンツのすべての Arm Cortex MCU をサポートしており、競争力のあるコード サイズ性能、高速コンパイル時間、コード カバレッジのサポート、安全性認定のサポート、完全に無料で使用できることを特長としています。
IAR Embedded Workbench® IDE	
Keil® MDK IDE	
GNU Arm 組み込みツール チェーン	

10.3 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。[更新の通知を受け取る] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

以下のドキュメントでは、MSPM0 MCU について記載しています。これらのドキュメントのコピーは、インターネット上の www.ti.com で入手できます。

Copyright © 2026 Texas Instruments Incorporated

テクニカル リファレンス マニュアル

『MSPM0 H シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル』	このマニュアルは、MSPM0H デバイス ファミリのモジュールおよびペリフェラルについて解説しています。それぞれの説明は、モジュールまたはペリフェラルを一般的な意味で示しています。すべてのデバイスについて、すべてのモジュールまたはペリフェラルのすべての特長や機能を示しているわけではありません。さらに、モジュールやペリフェラルは、異なるデバイスに対して、全く同じように実装されているとは限りません。ピンの機能、内部信号の接続、および動作パラメータはデバイスによって異なります。詳細については、デバイス固有のデータシートを参照してください。

エラッタ

MSPM0H321x ミクスト シグナル マイクロコントローラのエラッタ	この文書では、機能仕様に対する既知の例外 (アドバイザリ) について説明します。

10.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.5 商標

LaunchPad™, Code Composer Studio™, TI E2E™, EnergyTrace™, BoosterPack™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
Arm®, Cortex® are registered trademarks of Arm Limited.
すべての商標は、それぞれの所有者に帰属します。

10.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.7 用語集

テキサス・インスツルメンツ用語集	この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from DECEMBER 31, 2025 to MARCH 31, 2026 (from Revision A (December 2025) to Revision B (March 2026)) **Page**

- データシートから VSSOP32 パッケージを削除 1
- 適切な NONMAIN 構成ポリシーに関して表の注 2 を追加。 56

Copyright © 2026 Texas Instruments Incorporated

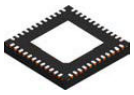
12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

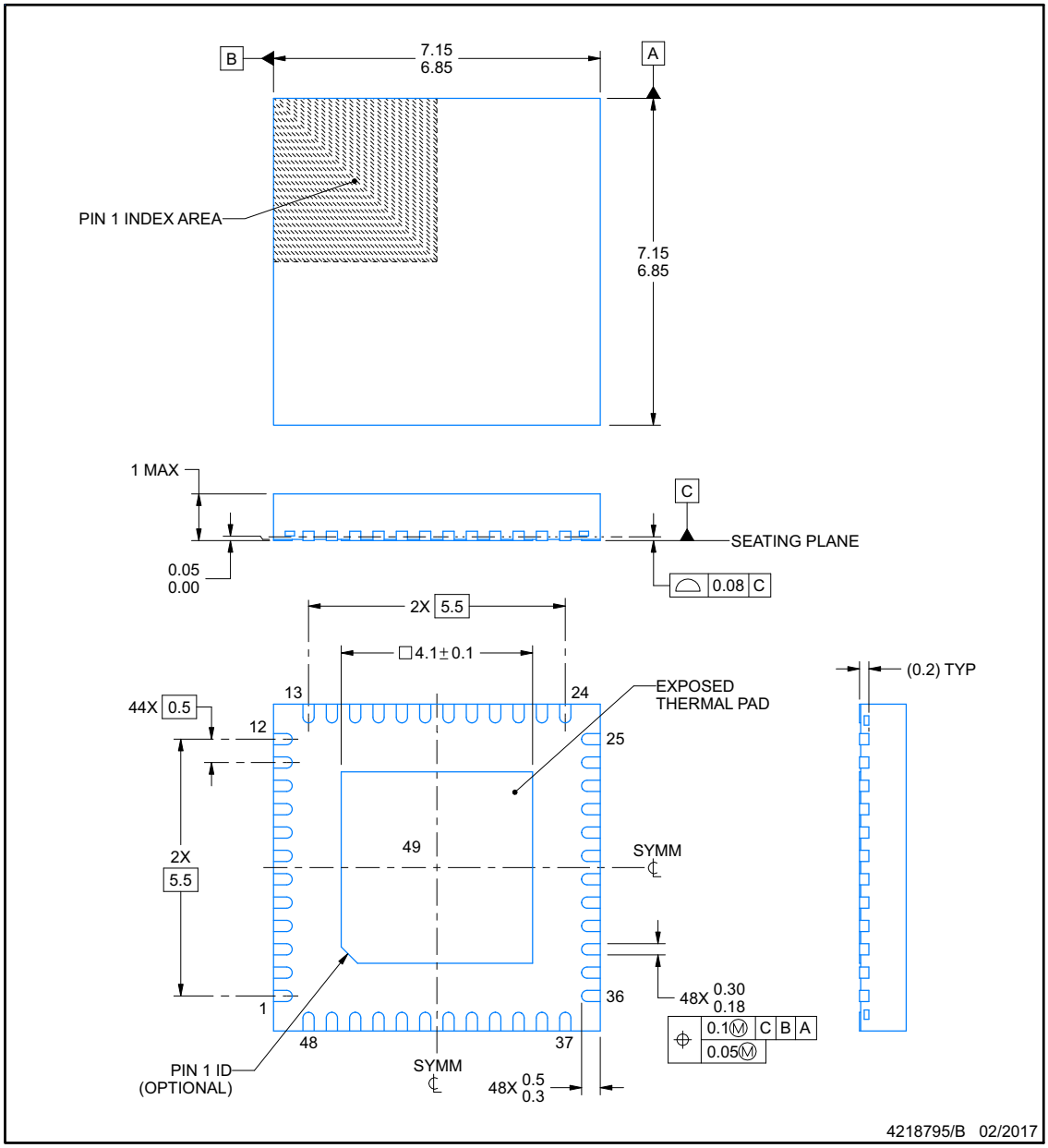
PACKAGE OUTLINE

RGZ0048B



VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

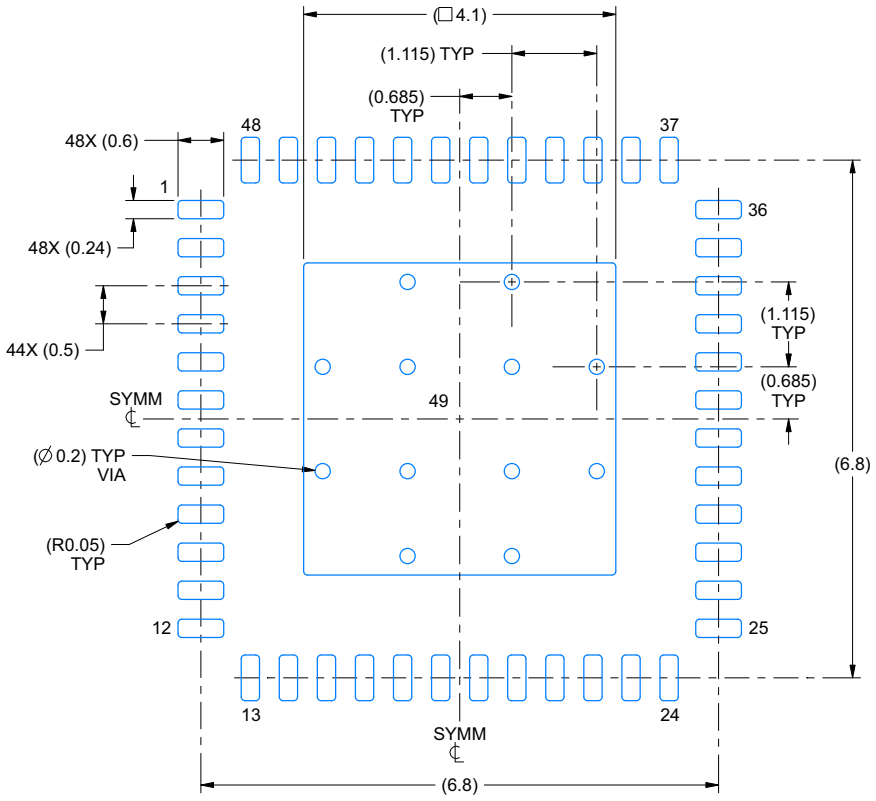
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

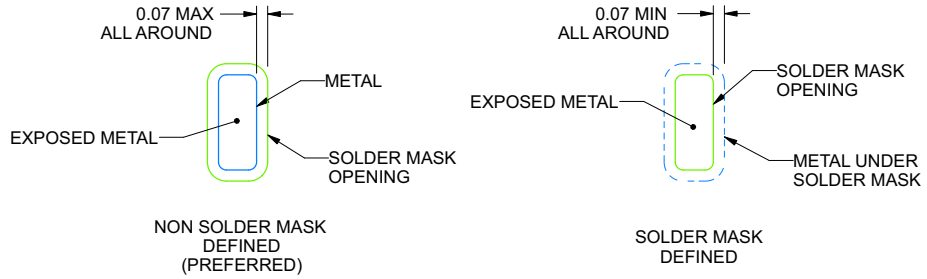
RGZ0048B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:12X



SOLDER MASK DETAILS

4218795/B 02/2017

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

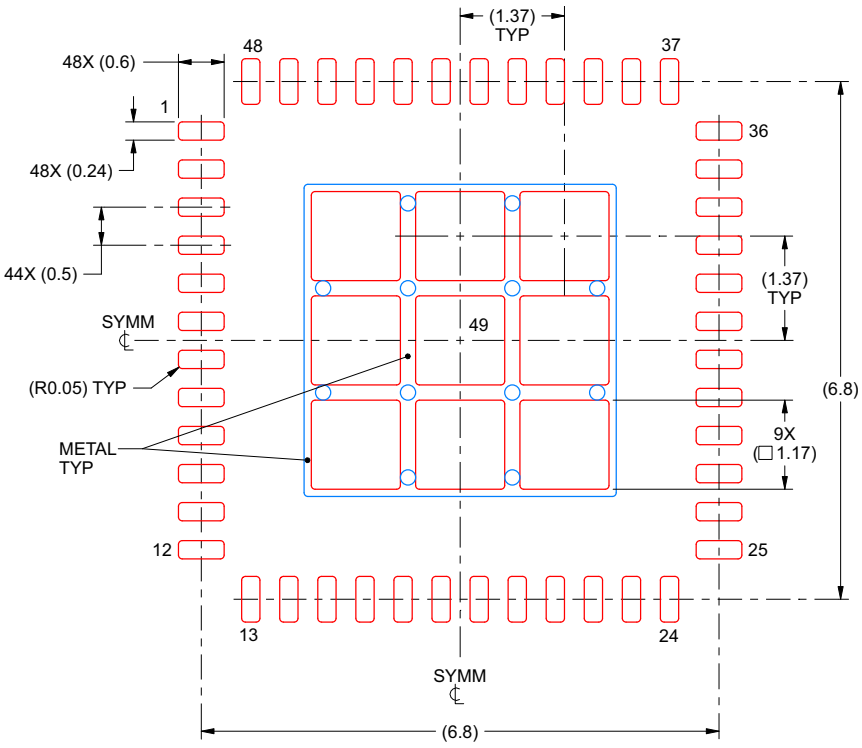
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RGZ0048B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 49
73% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:12X

4218795/B 02/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2026 Texas Instruments Incorporated

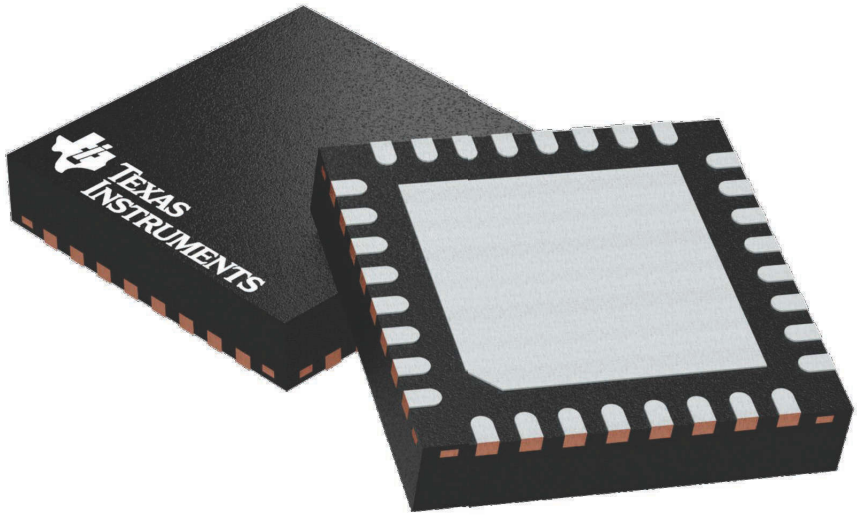
GENERIC PACKAGE VIEW

RHB 32

VQFN - 1 mm max height

5 x 5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224745/A

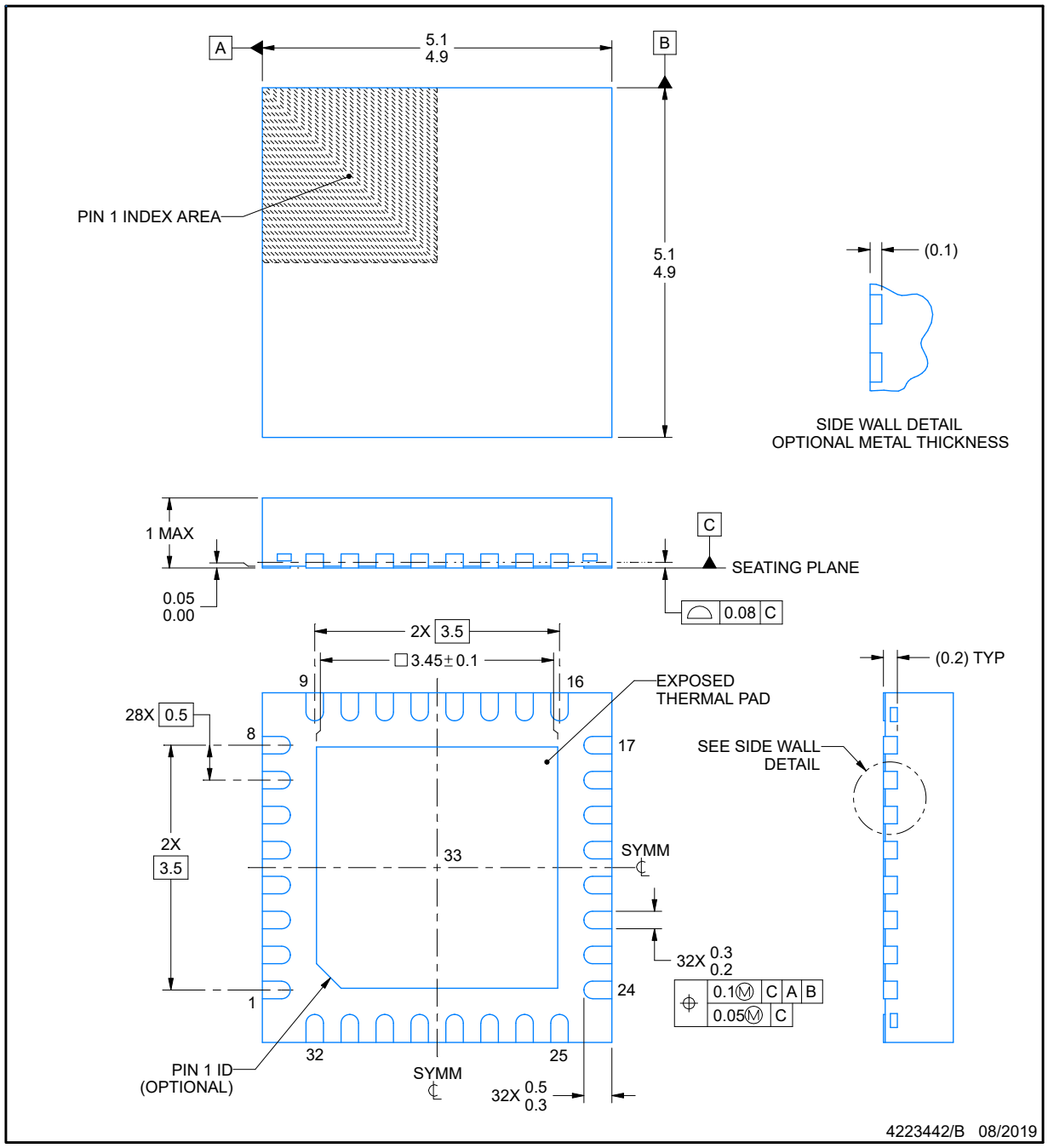
Copyright © 2026 Texas Instruments Incorporated

RHB0032E

PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

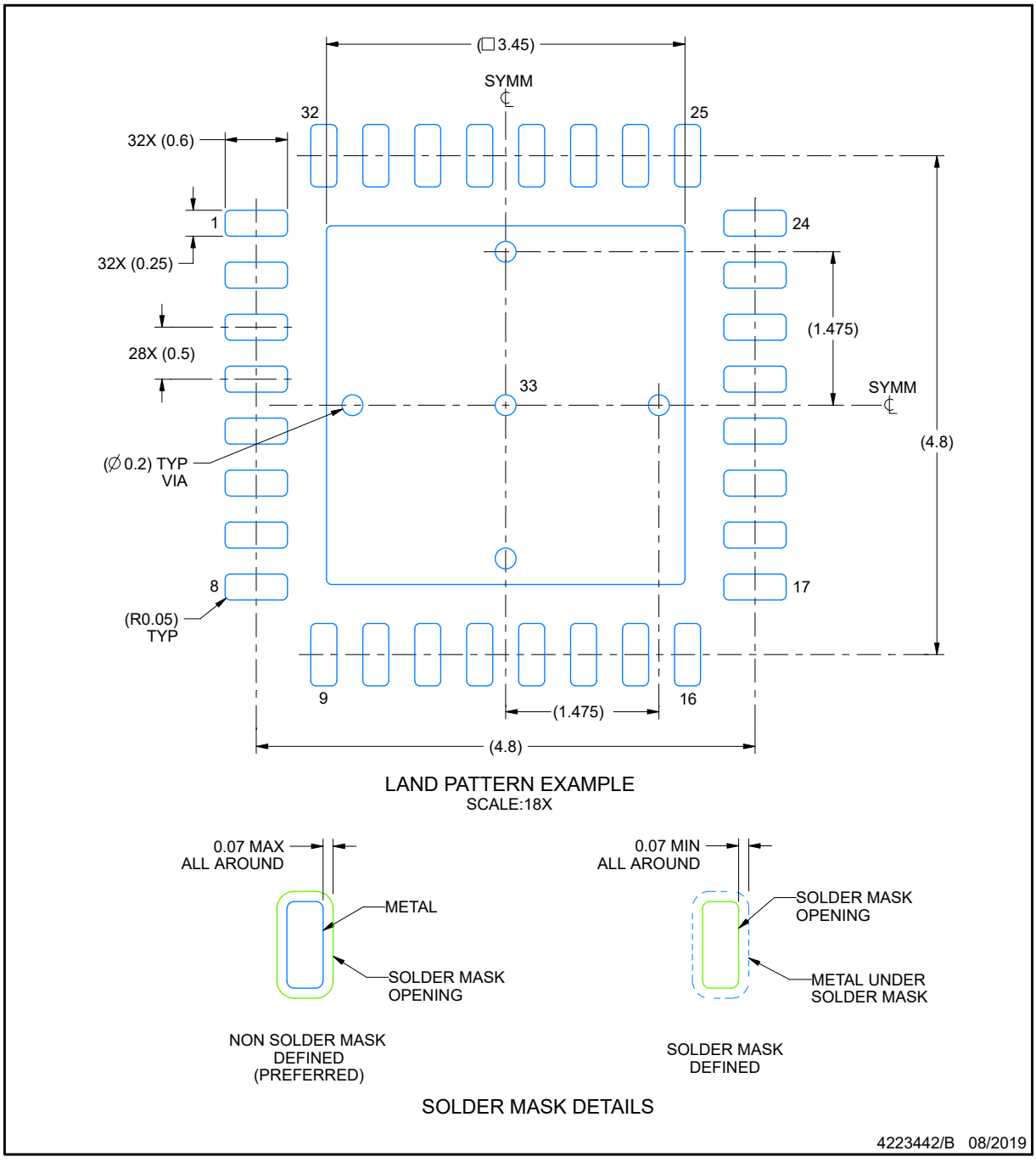
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

RHB0032E

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

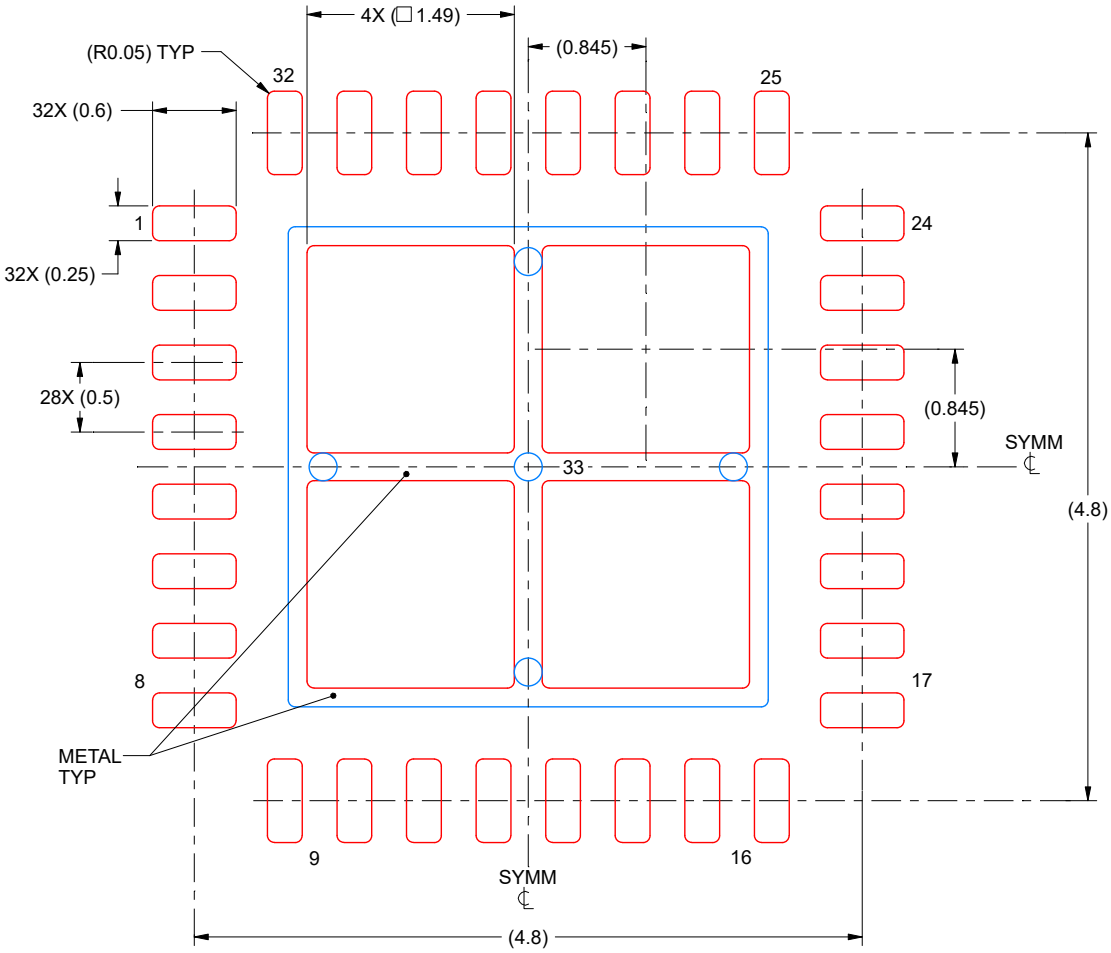
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RHB0032E

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

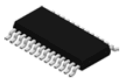
EXPOSED PAD 33:
75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4223442/B 08/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2026 Texas Instruments Incorporated

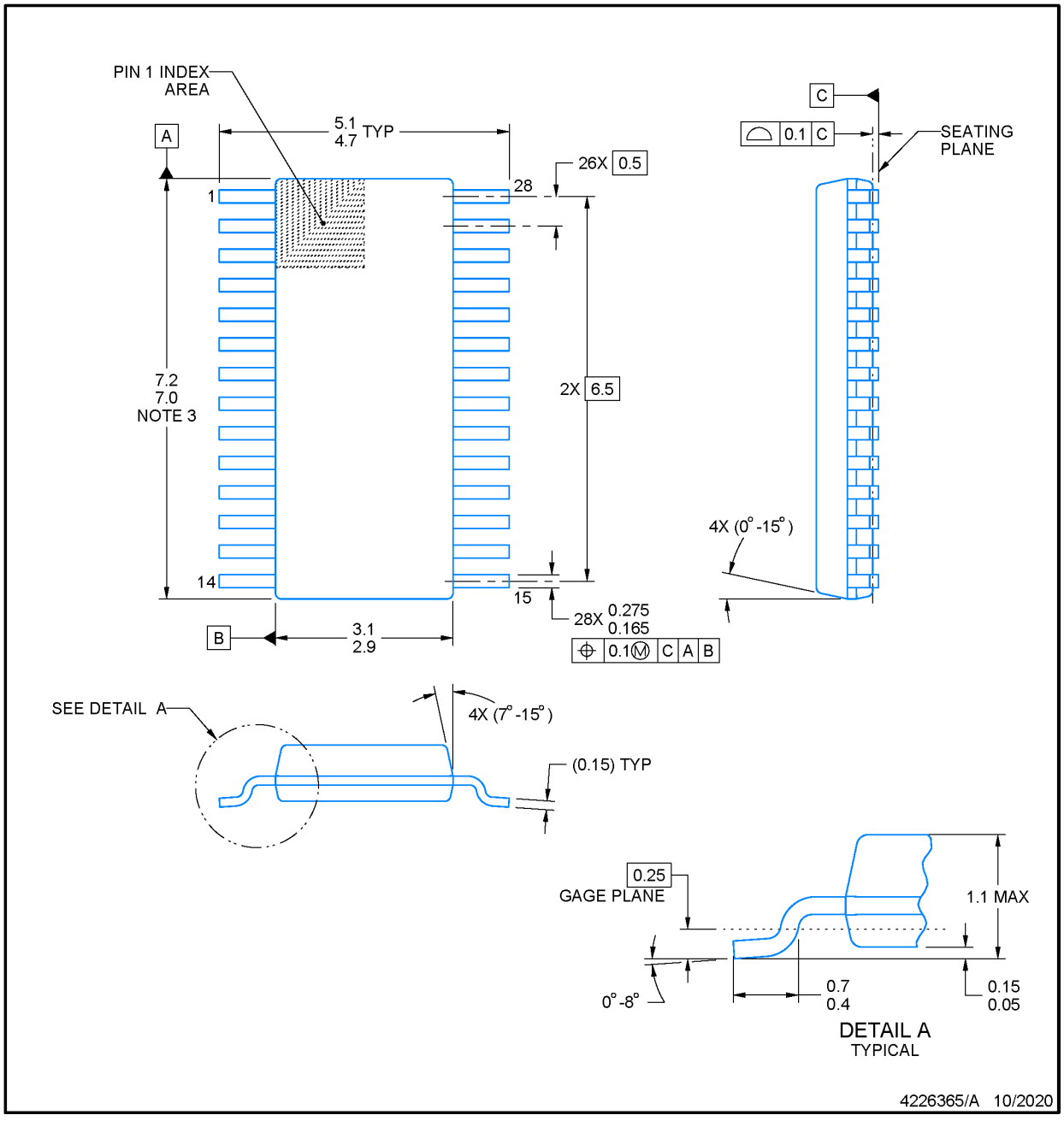


PACKAGE OUTLINE

DGS0028A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

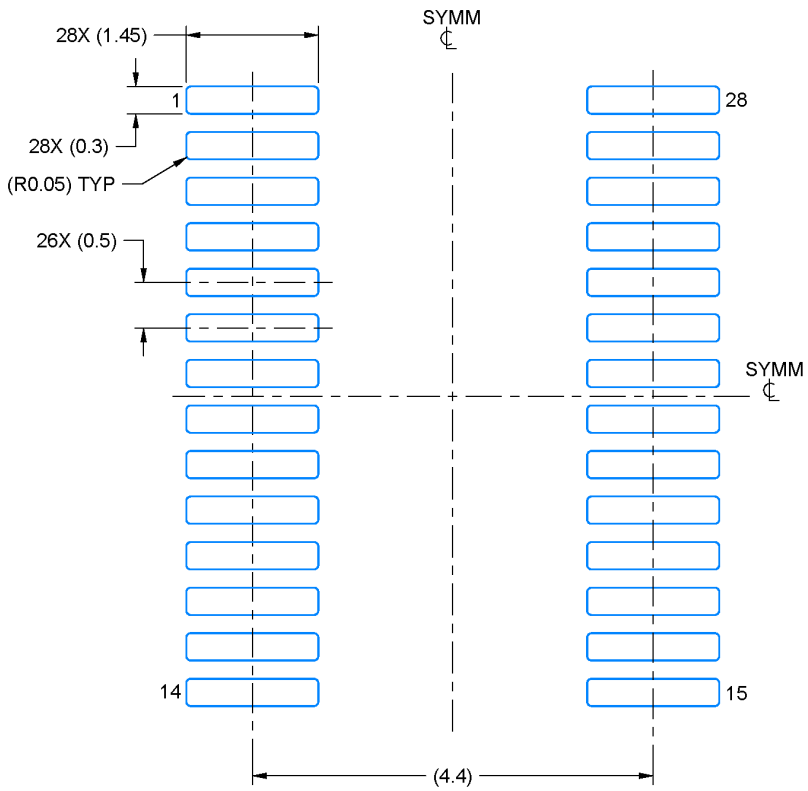
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

DGS0028A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

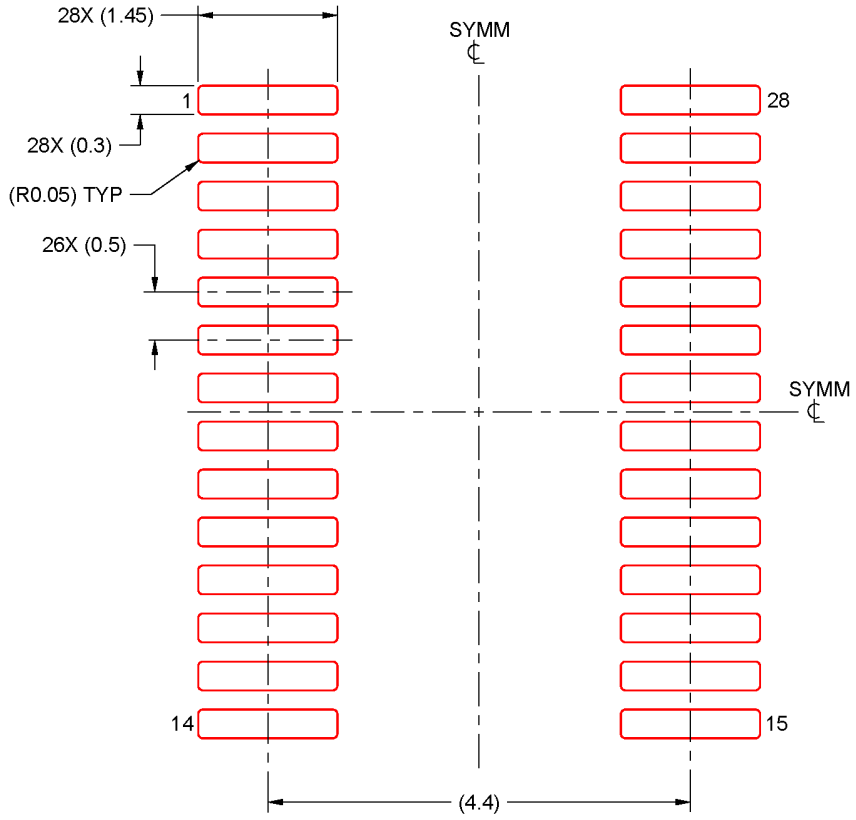
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DGS0028A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 13X

4226365/A 10/2020

NOTES: (continued)

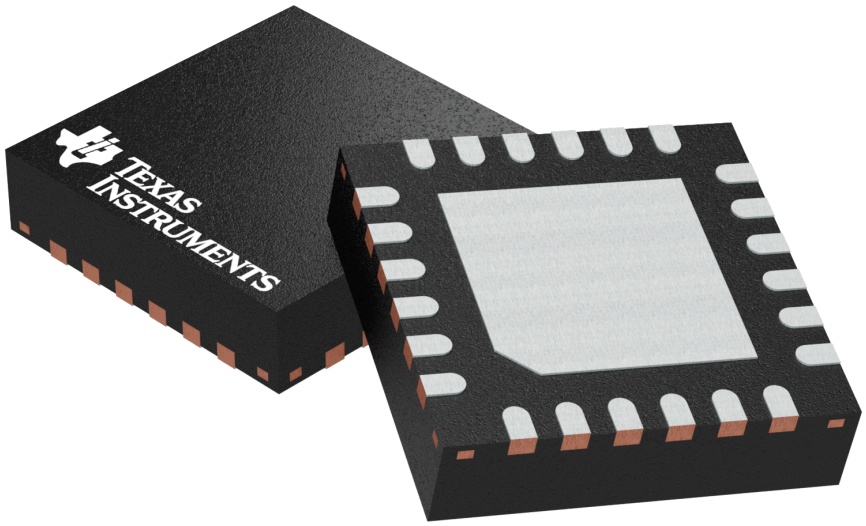
11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

GENERIC PACKAGE VIEW

RGE 24 VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4204104/H

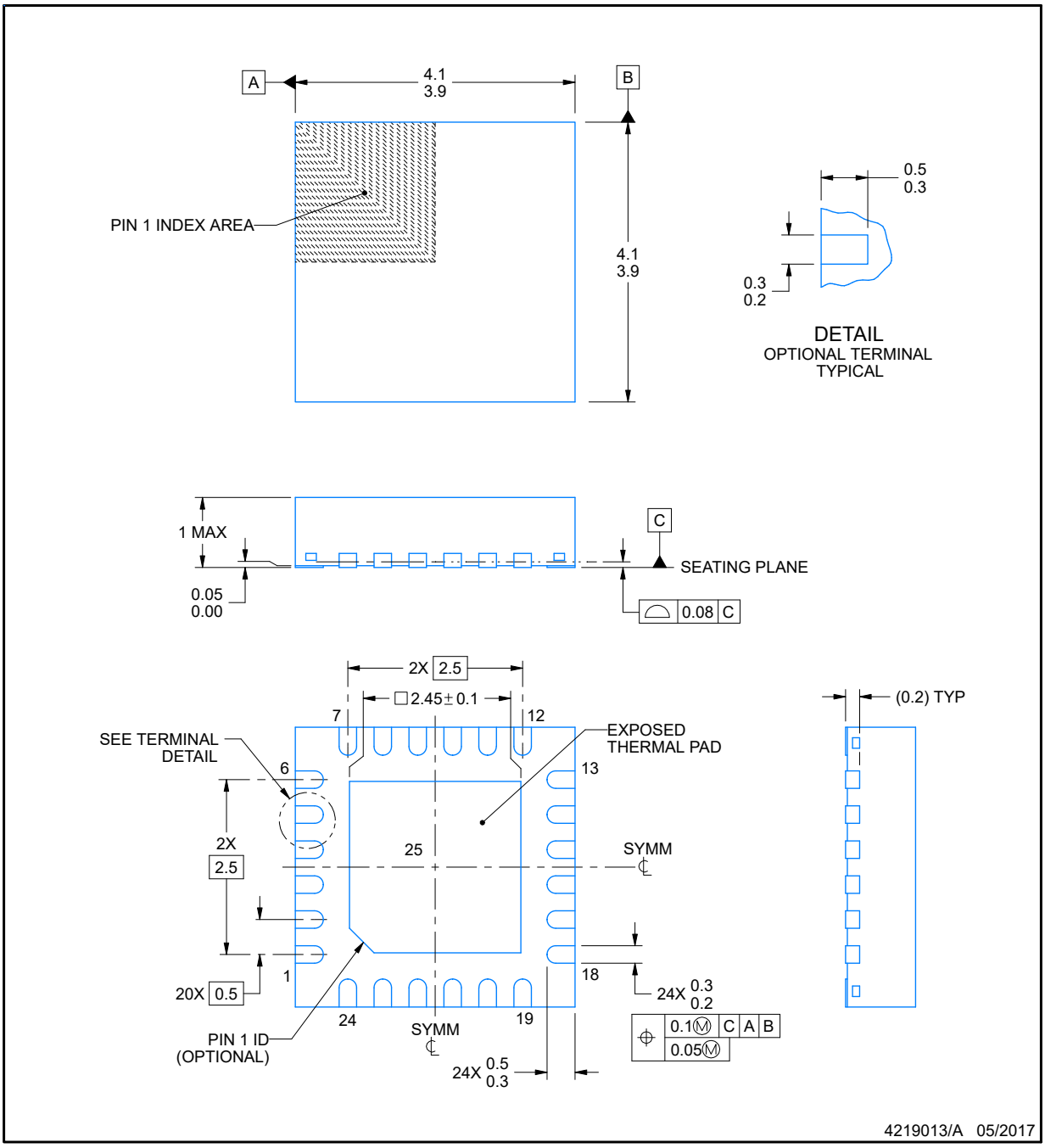
Copyright © 2026 Texas Instruments Incorporated

PACKAGE OUTLINE

RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

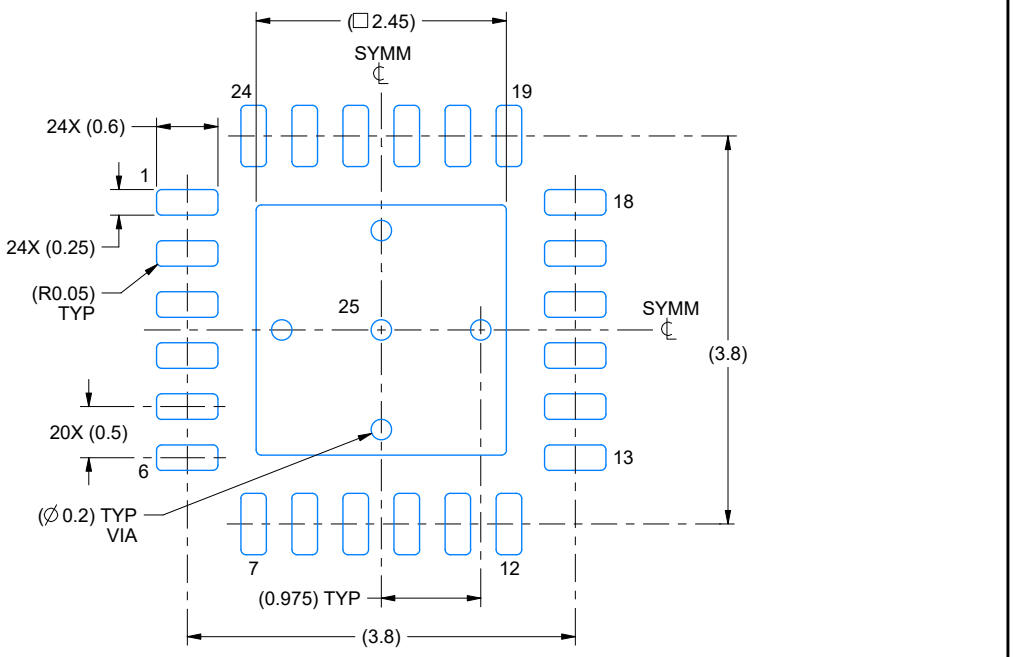
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

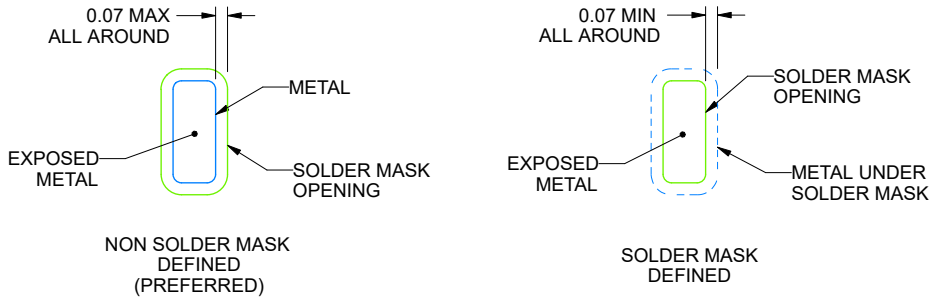
RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4219013/A 05/2017

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

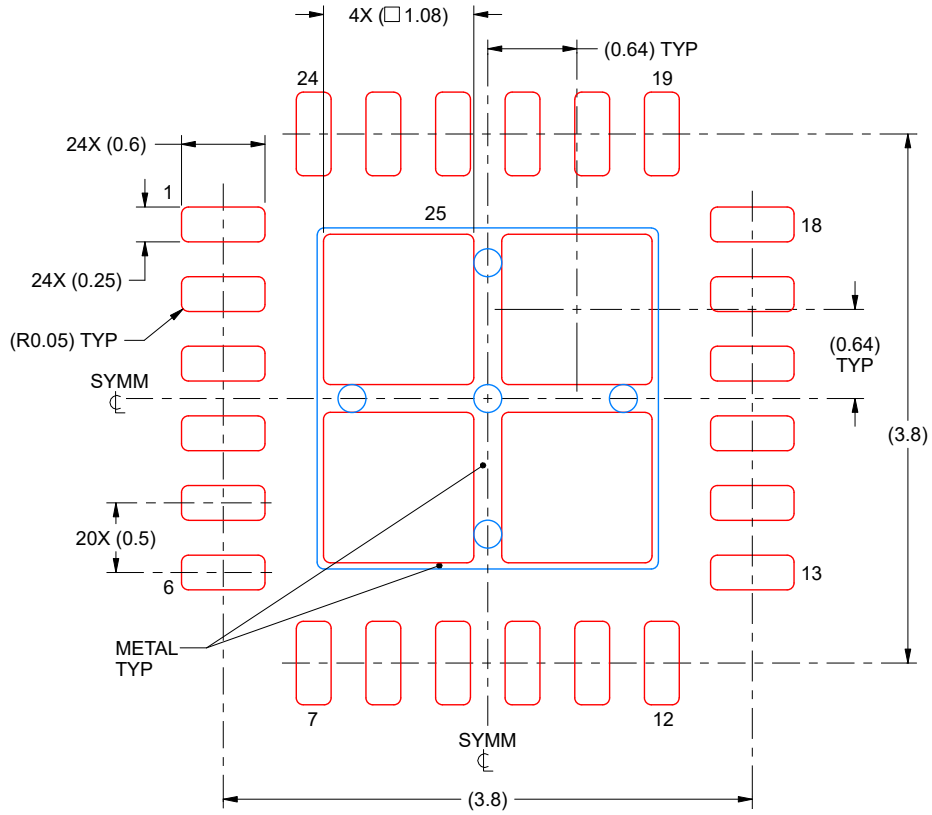
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 25
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4219013/A 05/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

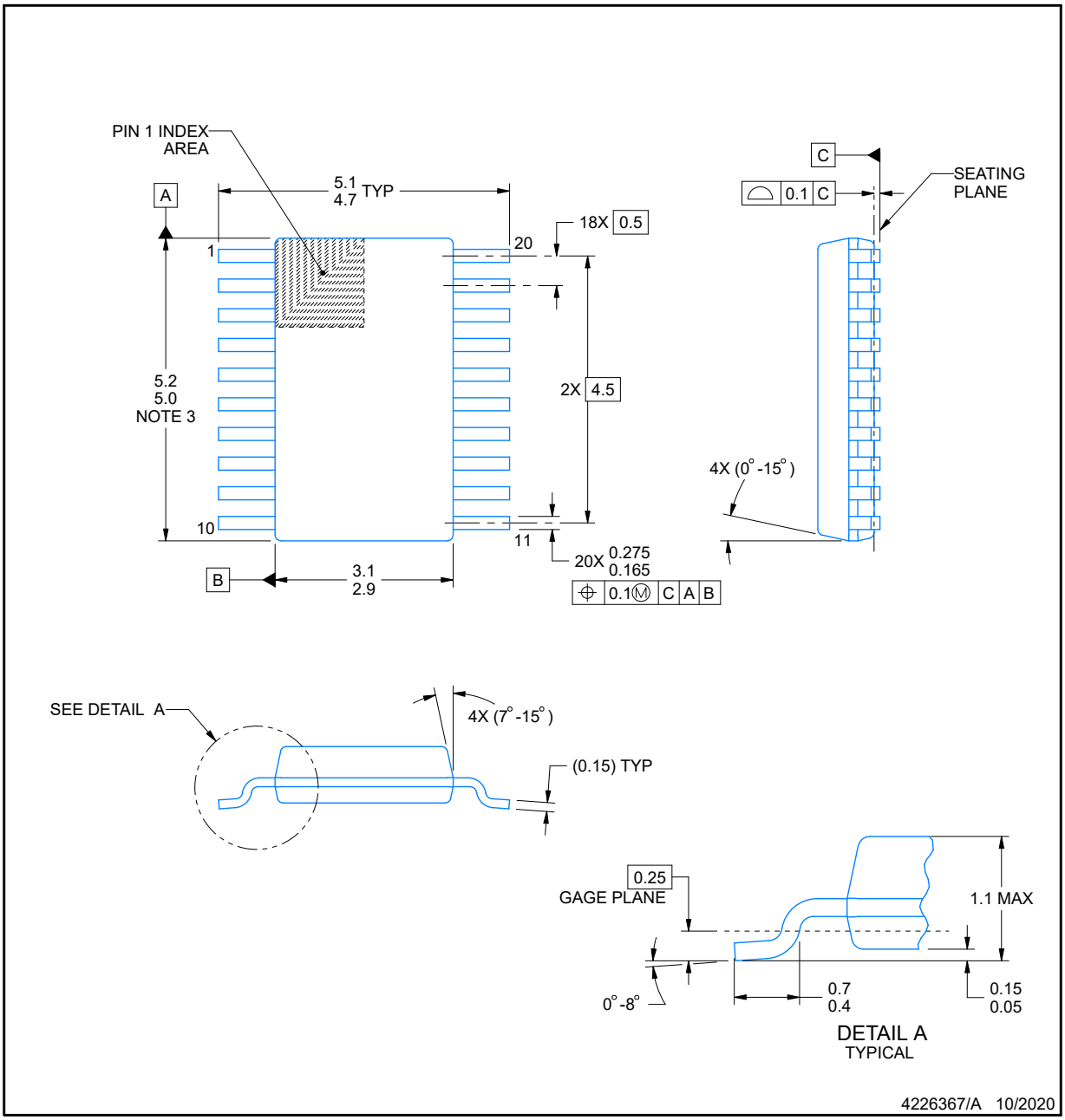
Copyright © 2026 Texas Instruments Incorporated

PACKAGE OUTLINE

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

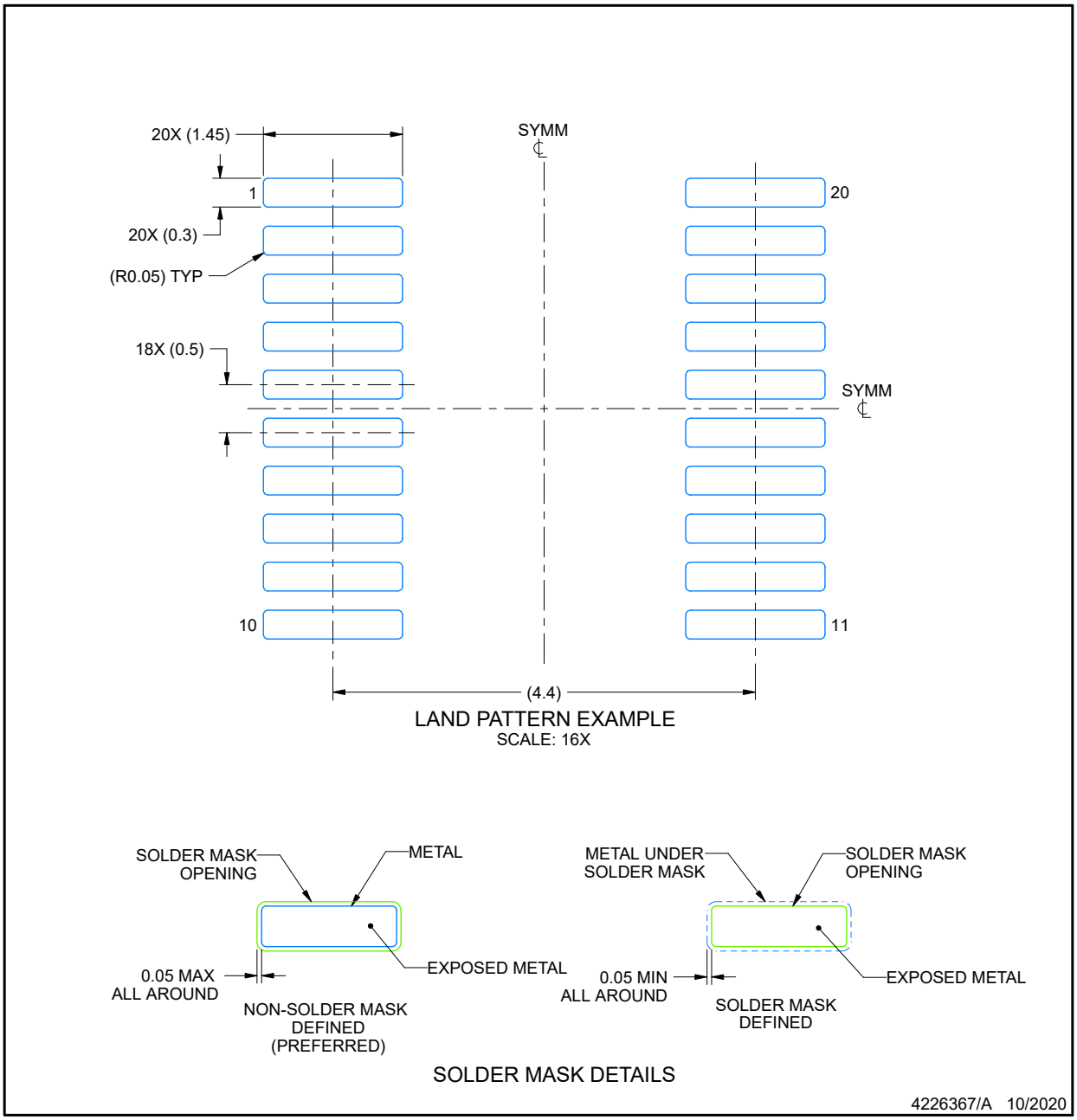
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

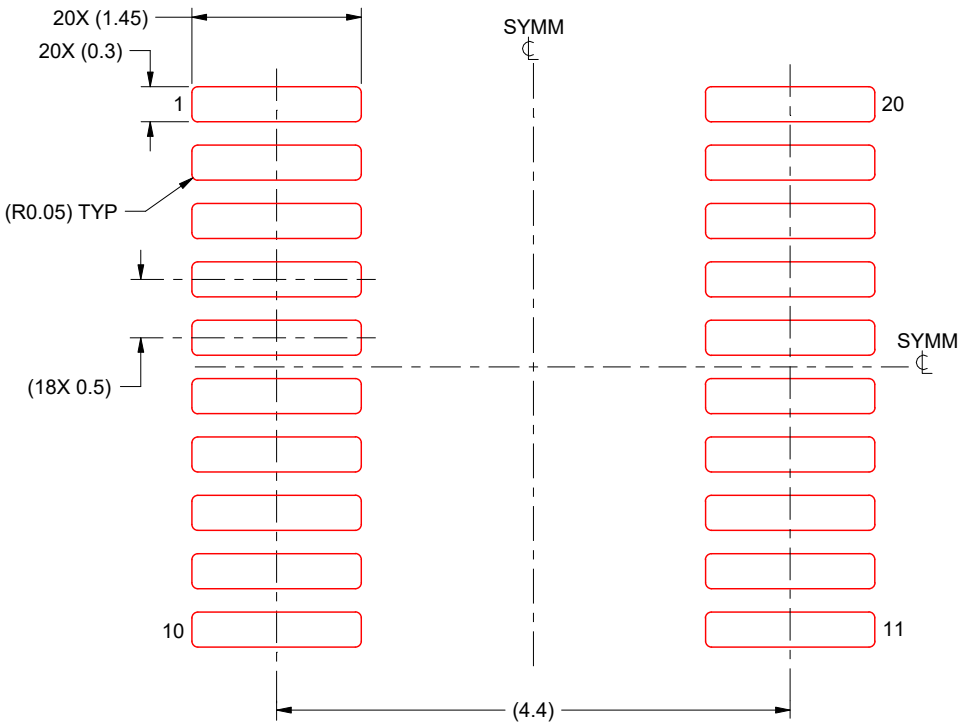
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

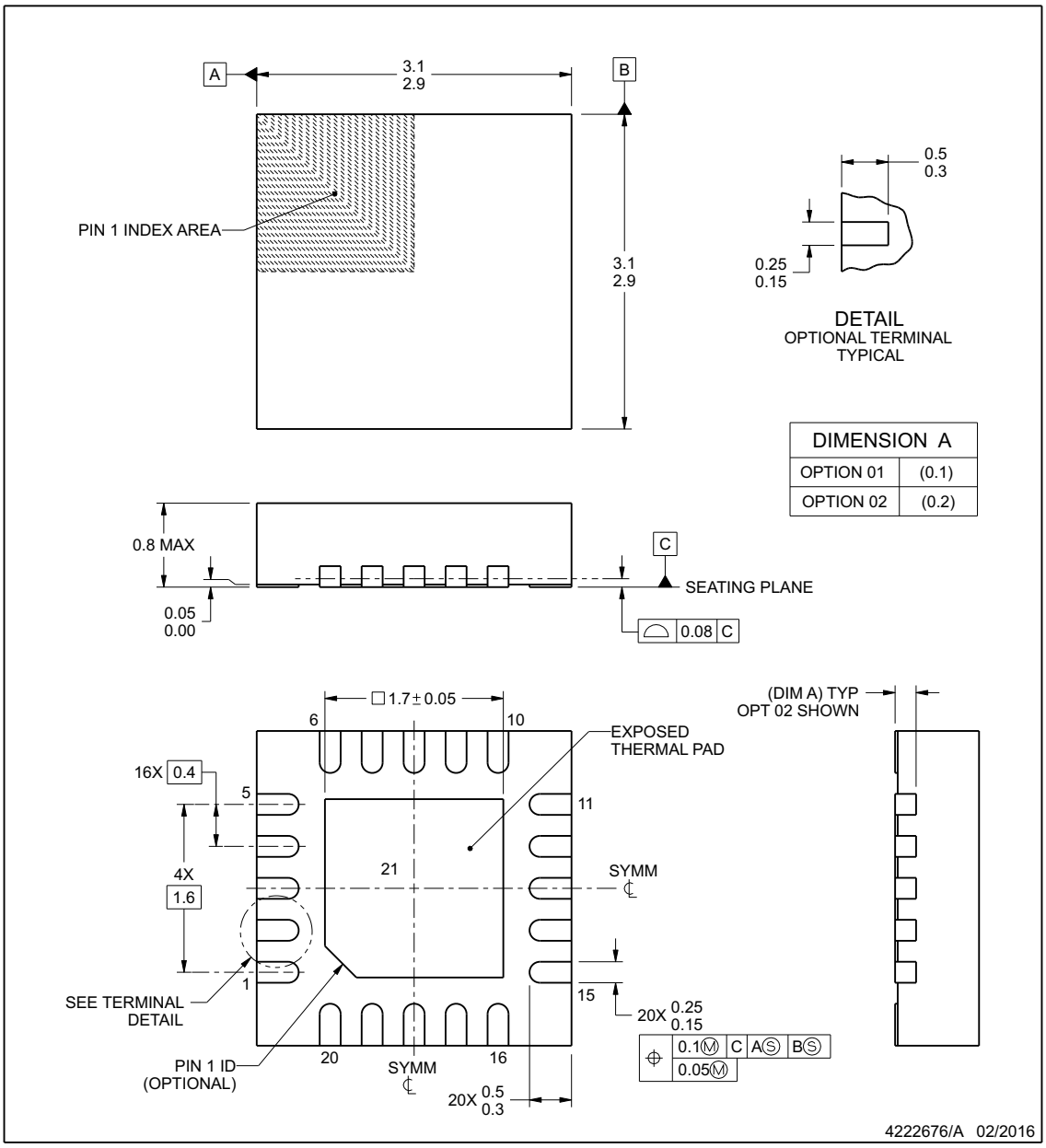
Copyright © 2026 Texas Instruments Incorporated

PACKAGE OUTLINE

RUK0020B

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

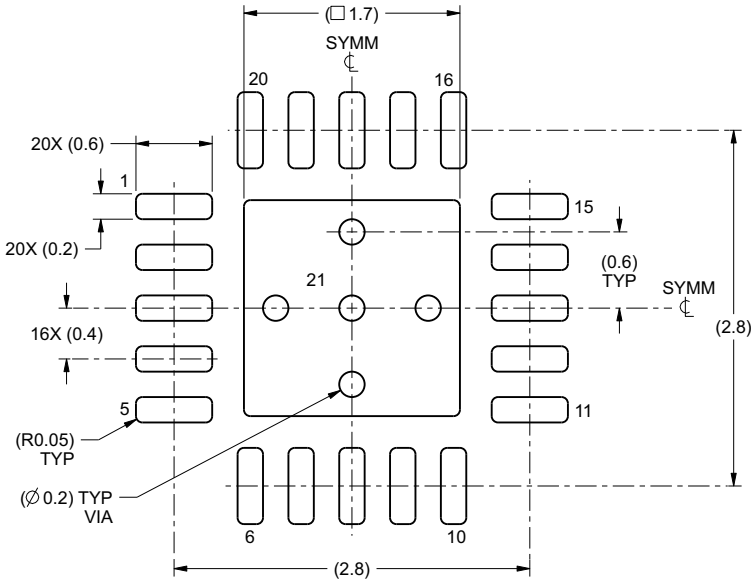
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

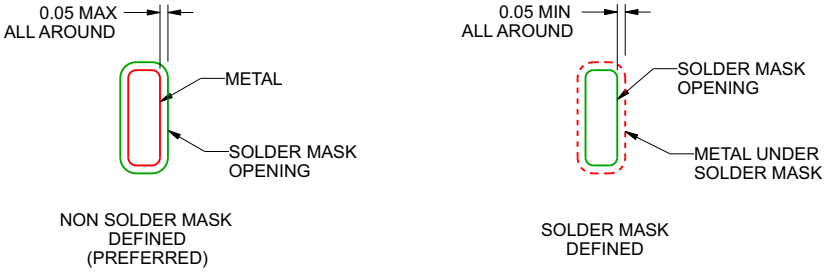
RUK0020B

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:20X



SOLDER MASK DETAILS

4222676/A 02/2016

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

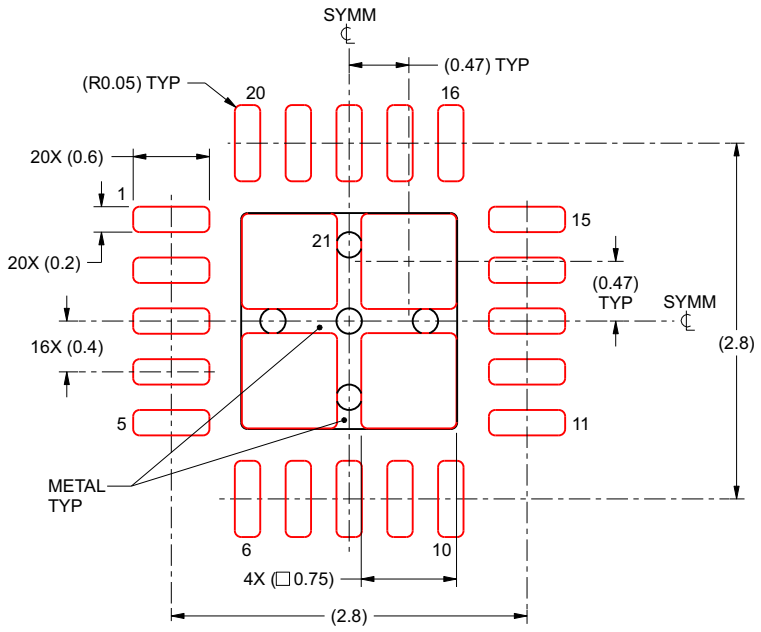
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RUK0020B

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 21:
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4222676/A 02/2016

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
MSPM0H3215SPTR	Active	Production	LQFP (PT) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0H3215S
MSPM0H3215SRGER	Active	Production	VQFN (RGE) | 24	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MSPM0 H3215S
MSPM0H3215SRGZR	Active	Production	VQFN (RGZ) | 48	4000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	MSPM0 H3215S
MSPM0H3215SRHBR	Active	Production	VQFN (RHB) | 32	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	MSPM0 H3215S
MSPM0H3215SRUKR	Active	Production	WQFN (RUK) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	H3215S
MSPM0H3216SPTR	Active	Production	LQFP (PT) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0H3216S
MSPM0H3216SRGER	Active	Production	VQFN (RGE) | 24	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MSPM0 H3216S
MSPM0H3216SRGZR	Active	Production	VQFN (RGZ) | 48	4000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	MSPM0 H3216S
MSPM0H3216SRHBR	Active	Production	VQFN (RHB) | 32	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	MSPM0 H3216S
MSPM0H3216SRUKR	Active	Production	WQFN (RUK) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	H3216S

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF MSPM0H3215, MSPM0H3216 :

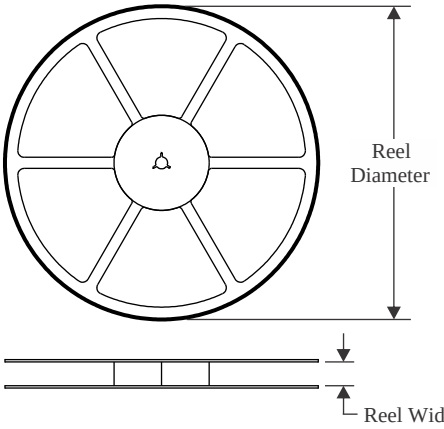
- Automotive : MSPM0H3215-Q1, MSPM0H3216-Q1

NOTE: Qualified Version Definitions:

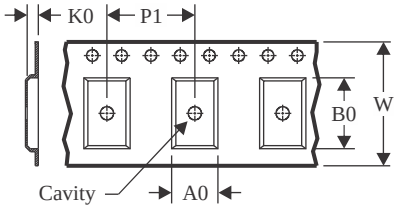
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

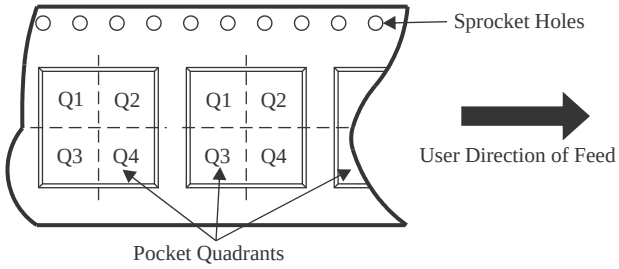


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

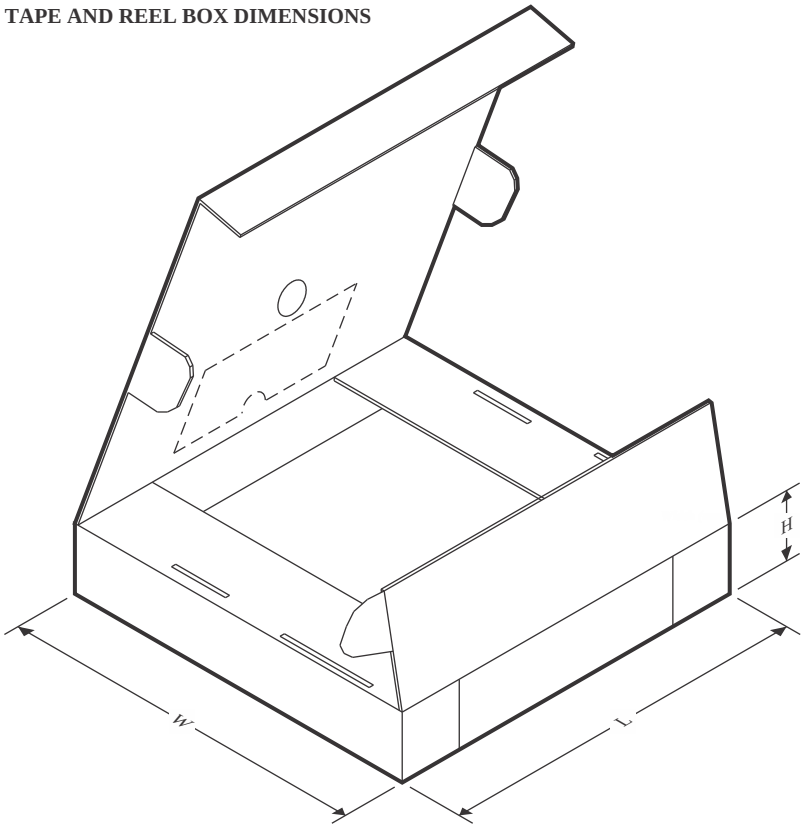
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
MSPM0H3215SPTR	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
MSPM0H3215SRGER	VQFN	RGE	24	5000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSPM0H3215SRGZR	VQFN	RGZ	48	4000	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
MSPM0H3215SRHBR	VQFN	RHB	32	5000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
MSPM0H3215SRUKR	WQFN	RUK	20	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
MSPM0H3216SPTR	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
MSPM0H3216SRGER	VQFN	RGE	24	5000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
MSPM0H3216SRGZR	VQFN	RGZ	48	4000	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
MSPM0H3216SRHBR	VQFN	RHB	32	5000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
MSPM0H3216SRUKR	WQFN	RUK	20	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
MSPM0H3215SPTR	LQFP	PT	48	1000	336.6	336.6	31.8
MSPM0H3215SRGER	VQFN	RGE	24	5000	360.0	360.0	36.0
MSPM0H3215SRGZR	VQFN	RGZ	48	4000	360.0	360.0	36.0
MSPM0H3215SRHBR	VQFN	RHB	32	5000	360.0	360.0	36.0
MSPM0H3215SRUKR	WQFN	RUK	20	5000	360.0	360.0	36.0
MSPM0H3216SPTR	LQFP	PT	48	1000	336.6	336.6	31.8
MSPM0H3216SRGER	VQFN	RGE	24	5000	360.0	360.0	36.0
MSPM0H3216SRGZR	VQFN	RGZ	48	4000	360.0	360.0	36.0
MSPM0H3216SRHBR	VQFN	RHB	32	5000	360.0	360.0	36.0
MSPM0H3216SRUKR	WQFN	RUK	20	5000	360.0	360.0	36.0

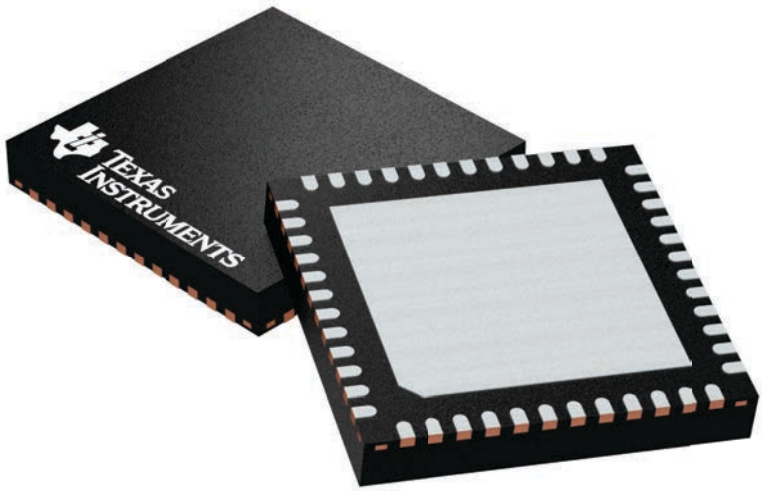
GENERIC PACKAGE VIEW

RGZ 48

VQFN - 1 mm max height

7 x 7, 0.5 mm pitch

PLASTIC QUADFLAT PACK- NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

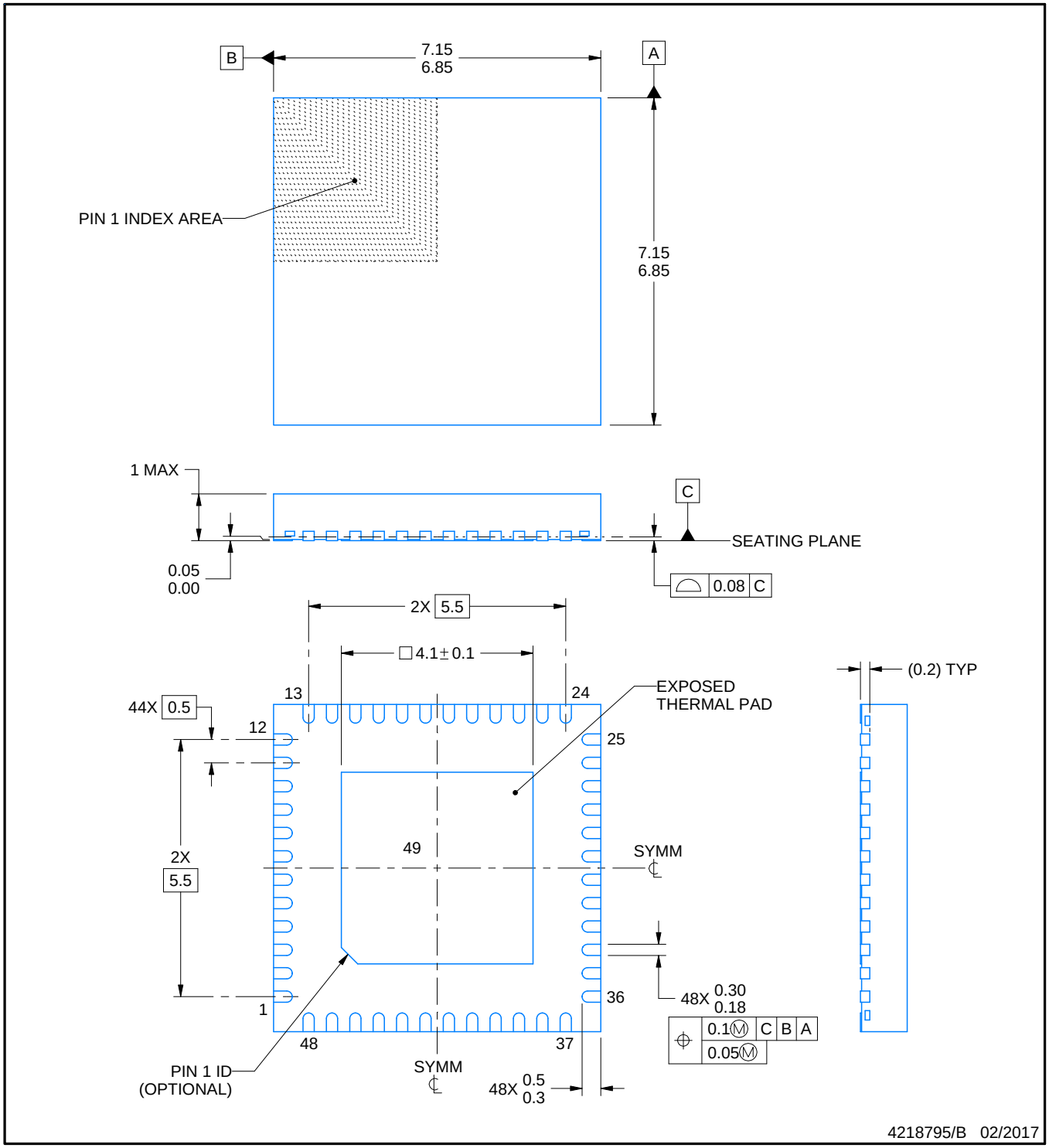
4224671/A

RGZ0048B

PACKAGE OUTLINE

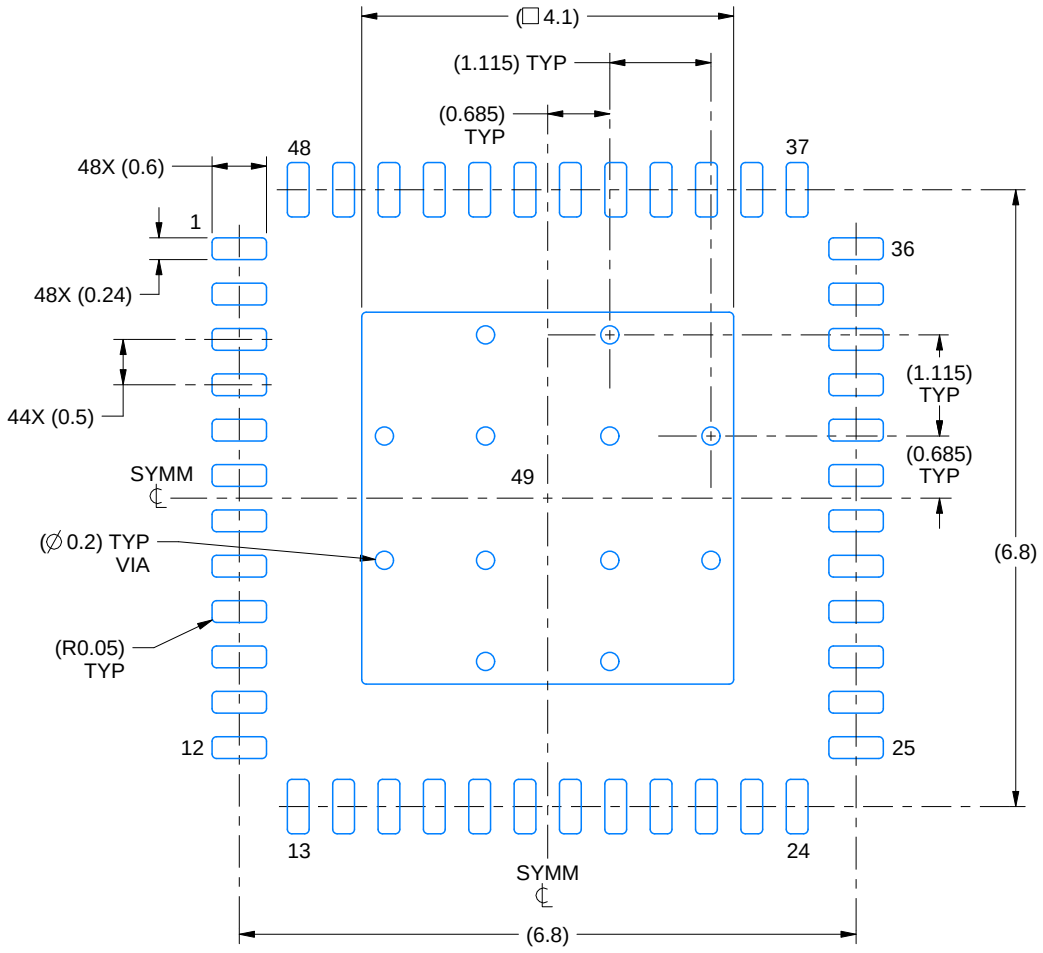
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

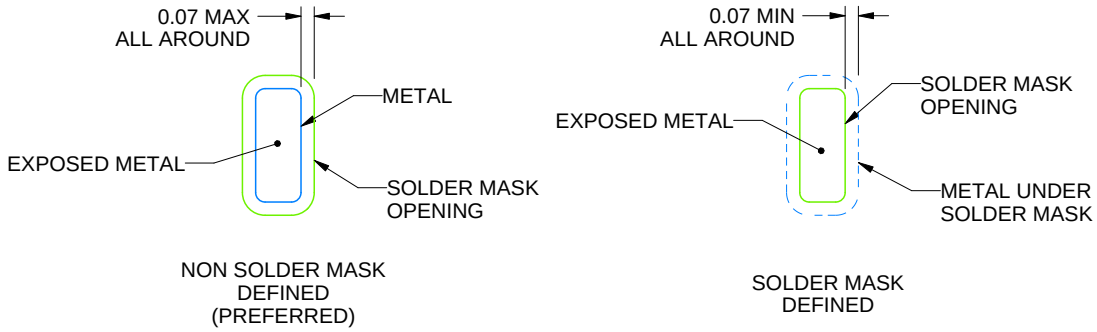


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:12X

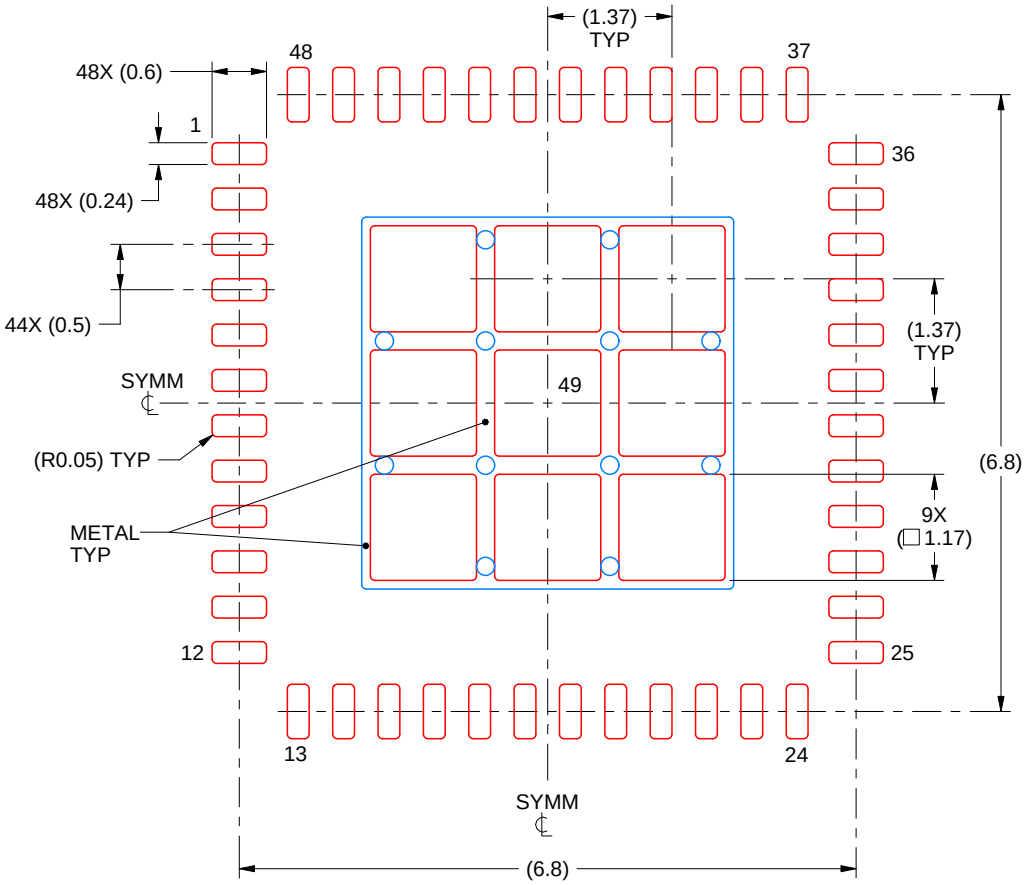


SOLDER MASK DETAILS

4218795/B 02/2017

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 49
73% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:12X

4218795/B 02/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

GENERIC PACKAGE VIEW

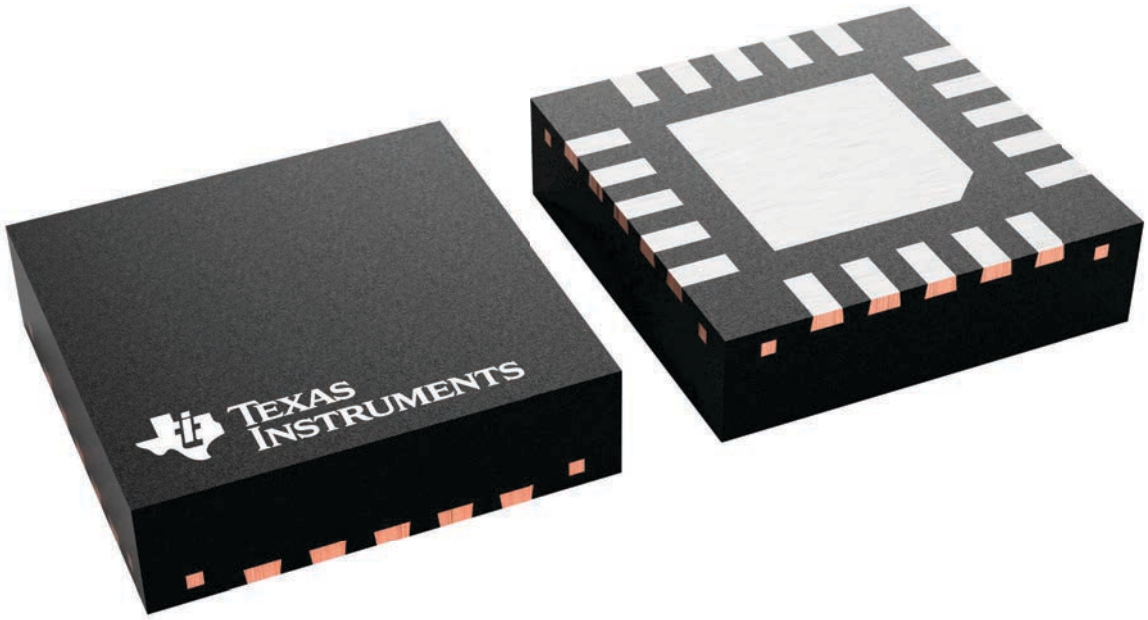
RUK 20

WQFN - 0.8 mm max height

3 x 3, 0.4 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



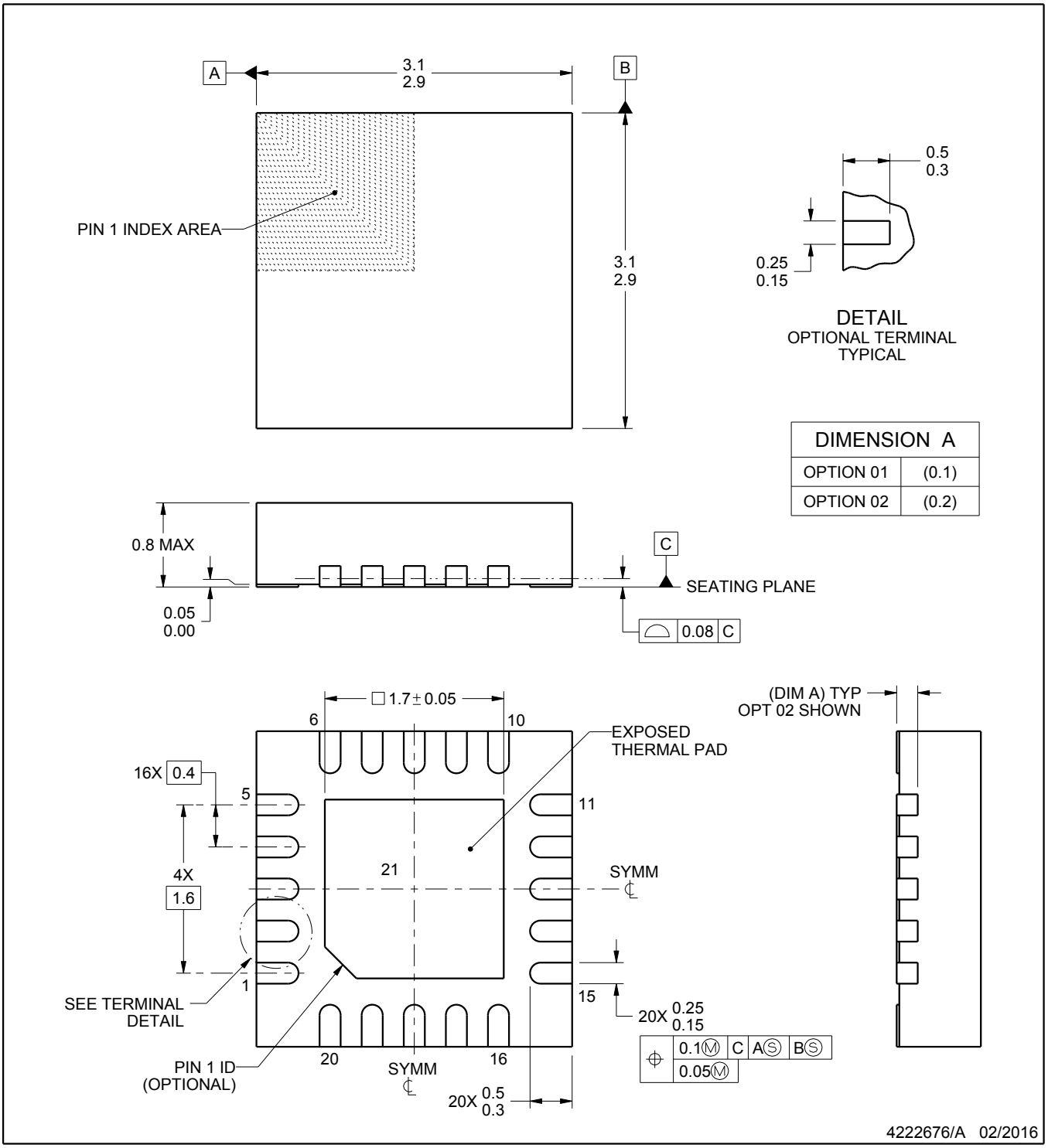
4229651/A

PACKAGE OUTLINE

RUK0020B

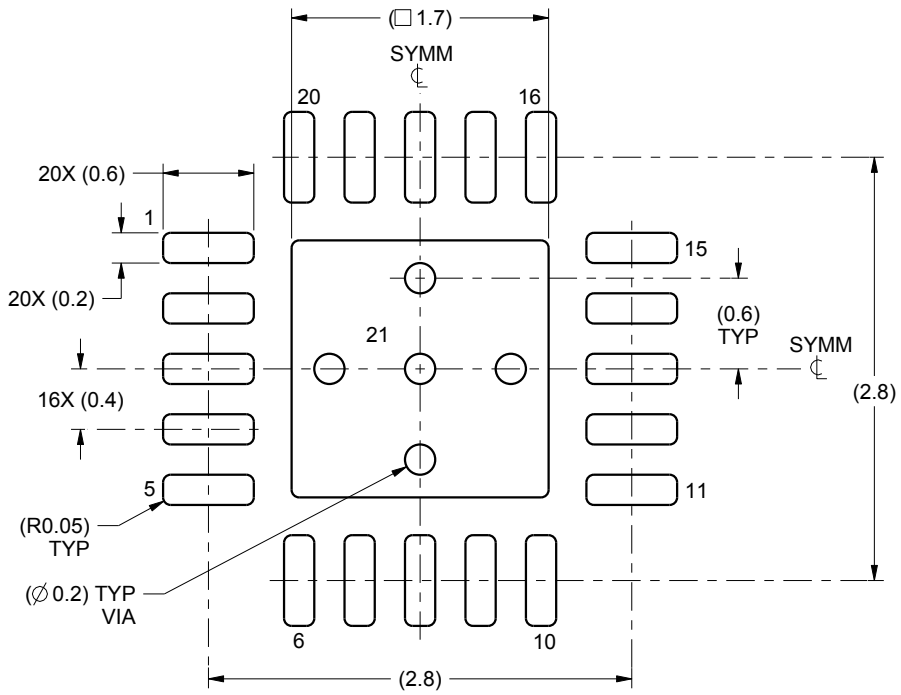
WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

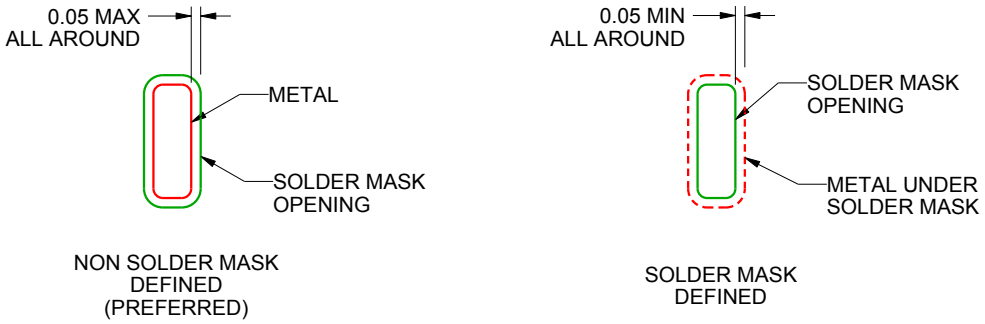


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

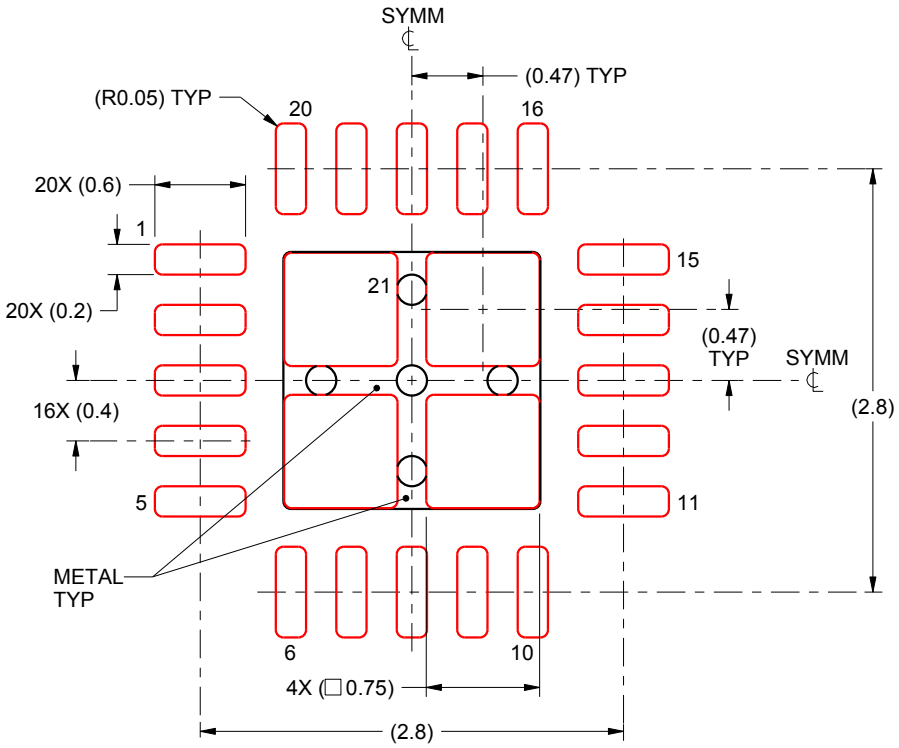


SOLDER MASK DETAILS

4222676/A 02/2016

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 21:
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4222676/A 02/2016

NOTES: (continued)

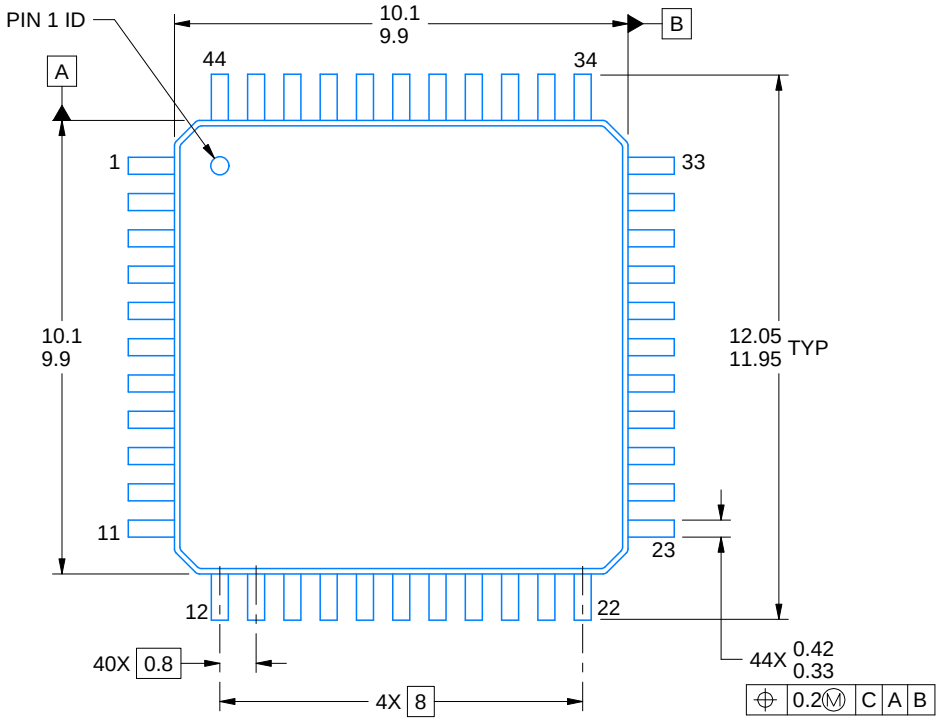
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

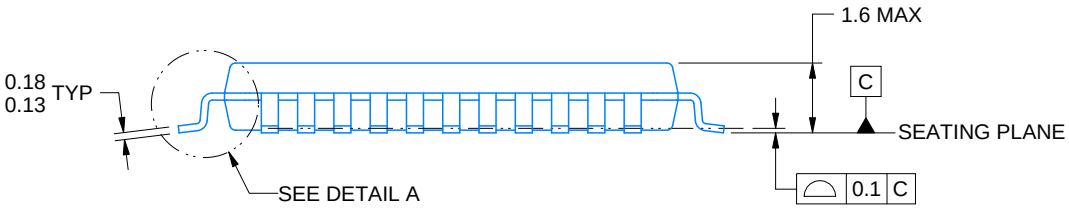
PACKAGE OUTLINE

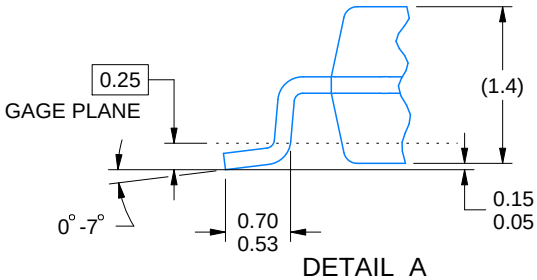
NNA0044A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK





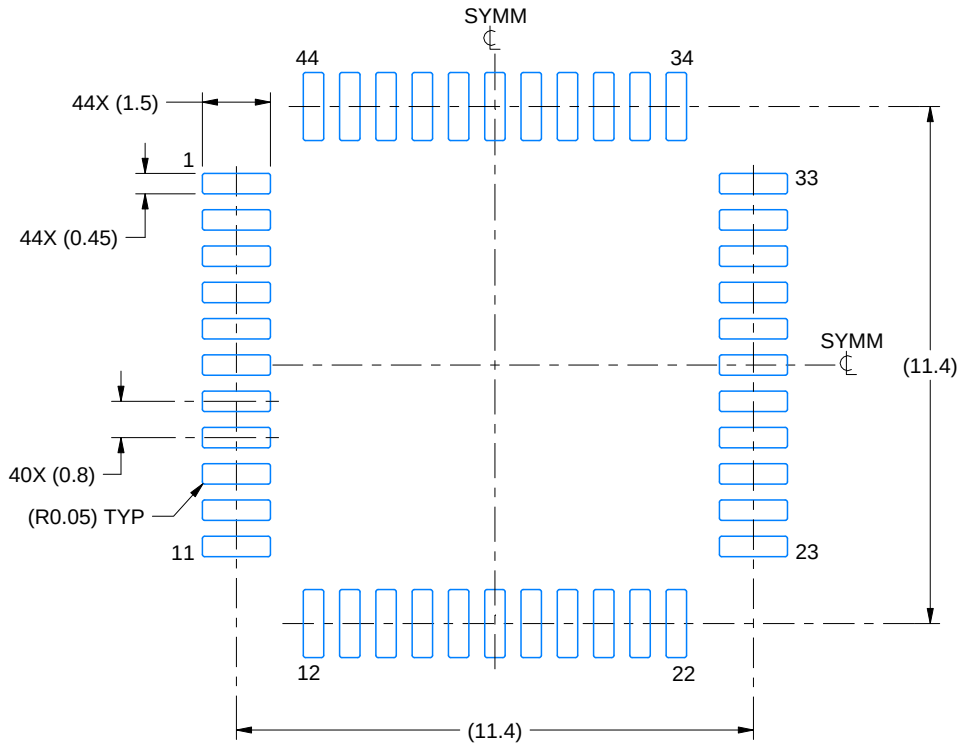


DETAIL A
TYPICAL

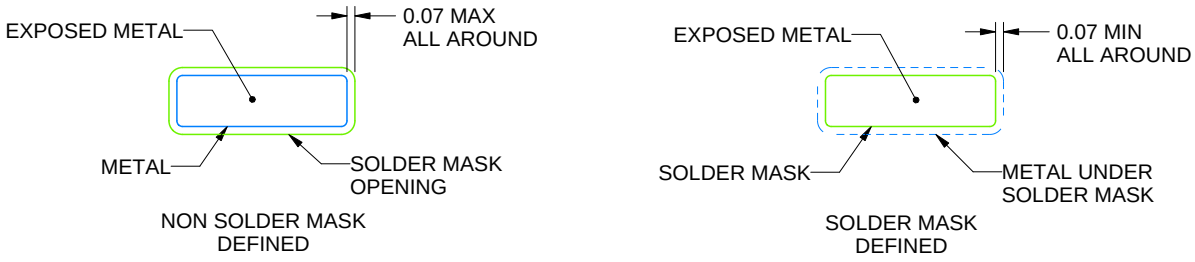
4215163/B 05/2025

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X

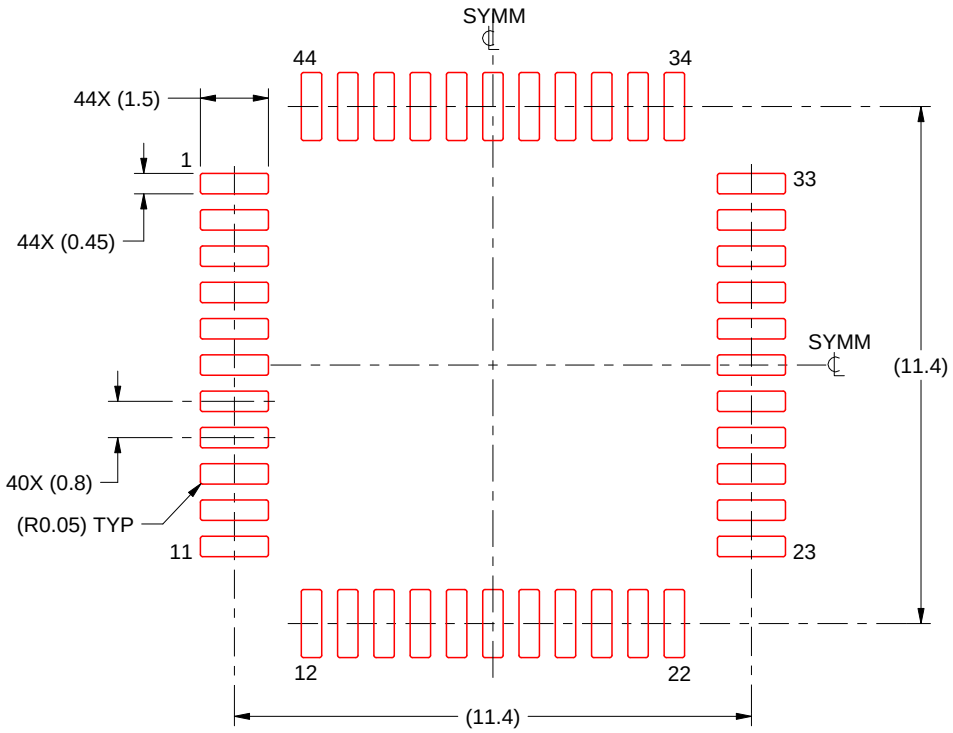


SOLDER MASK DETAILS

4215163/B 05/2025

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
6. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:6X

4215163/B 05/2025

NOTES: (continued)

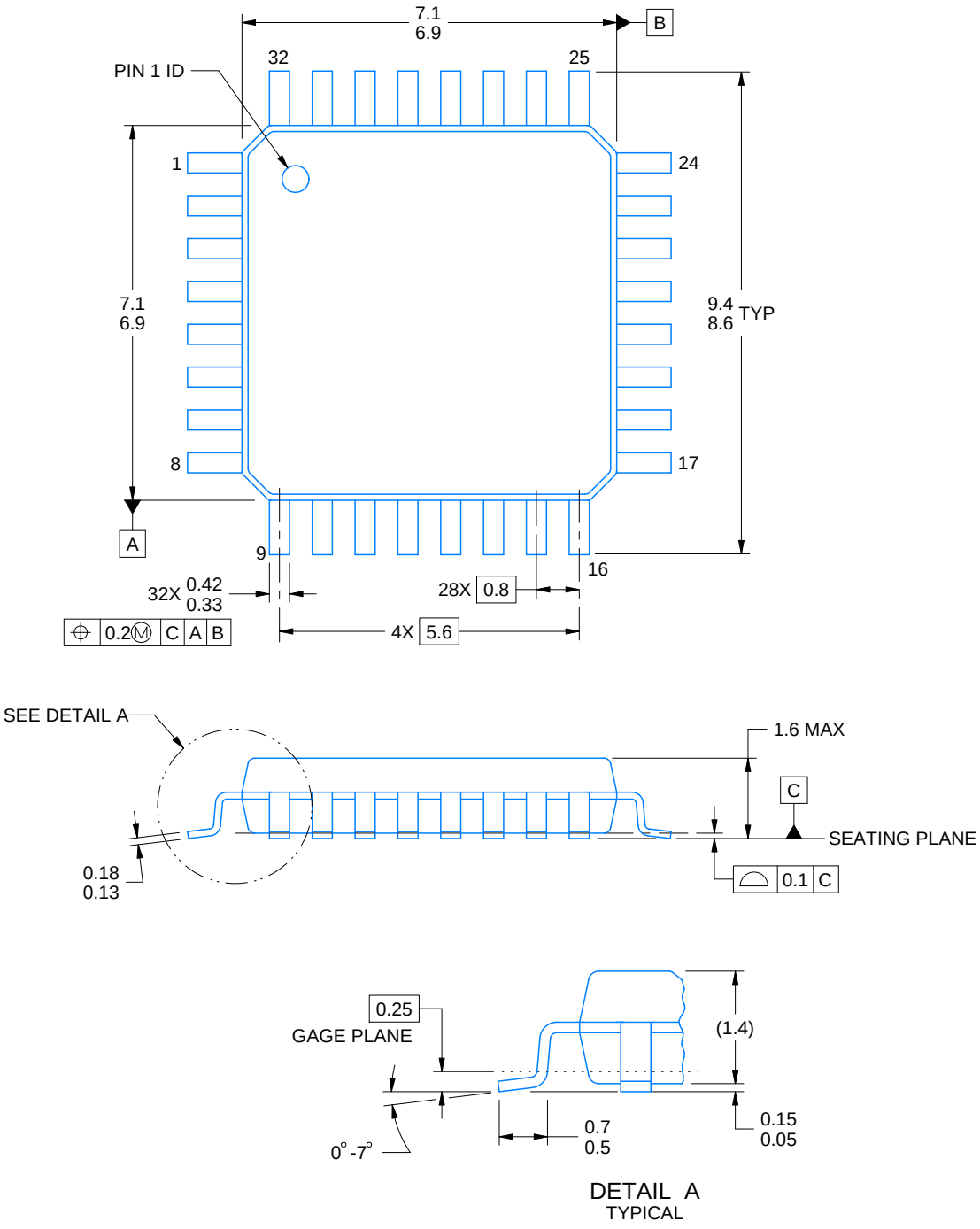
7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

VFC0032A

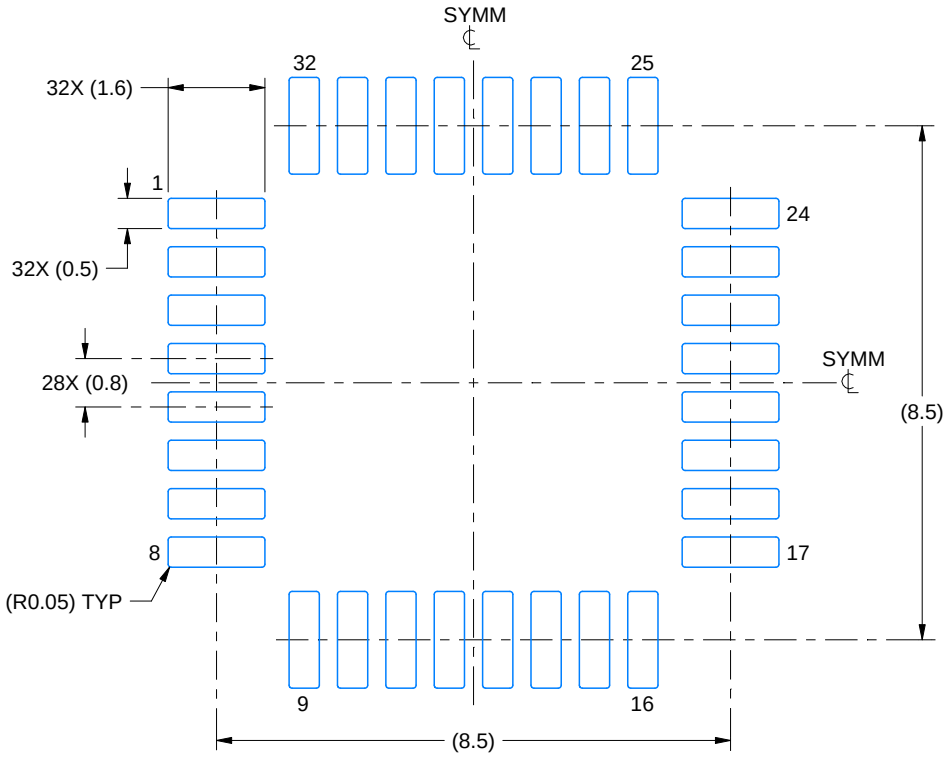
LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK

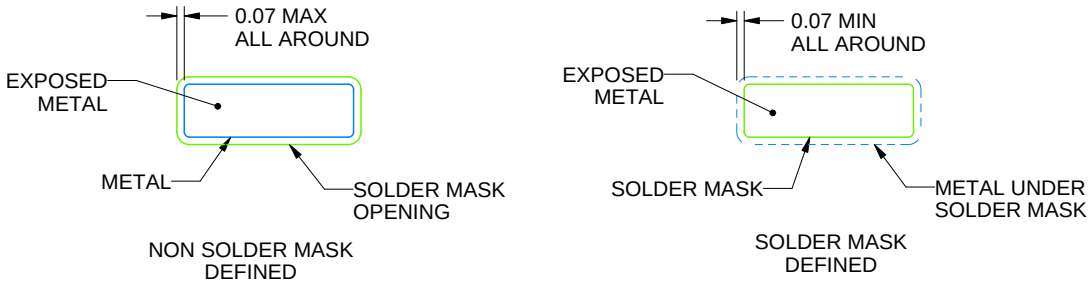


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4229978/A 09/2023

NOTES: (continued)

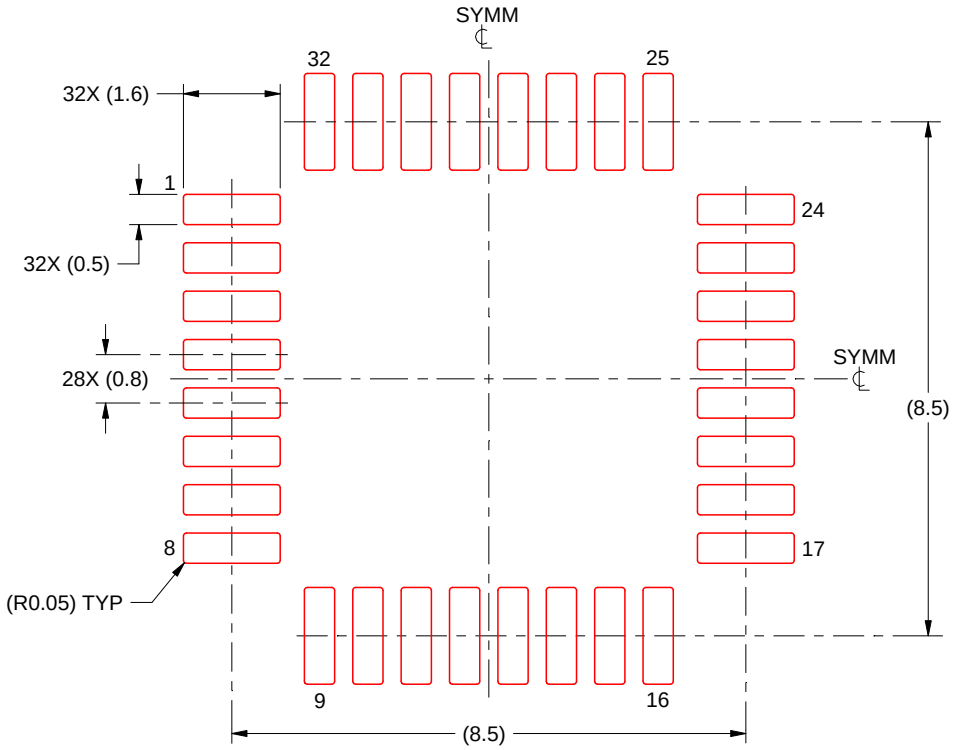
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

VFC0032A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE 8X

4229978/A 09/2023

NOTES: (continued)

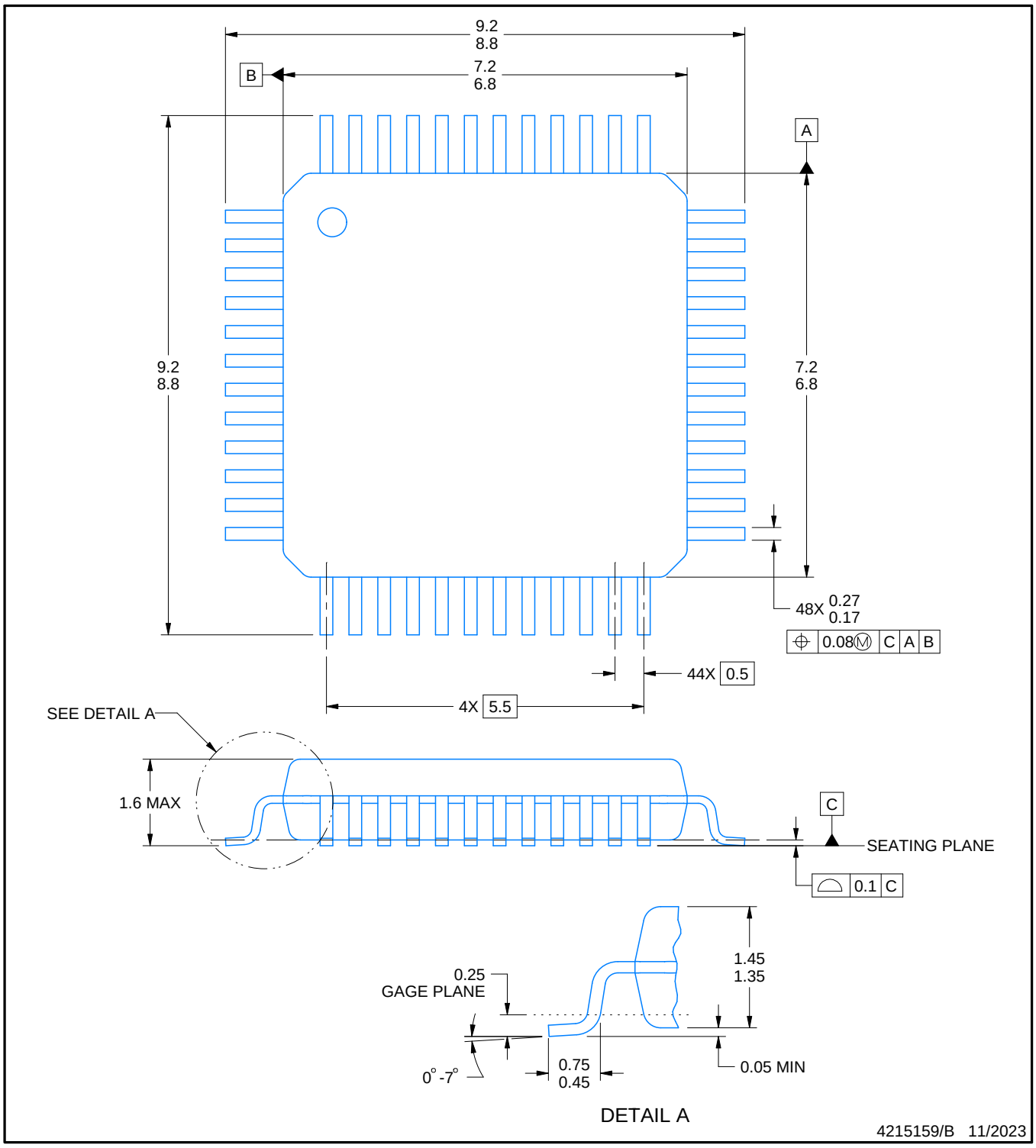
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PT0048A

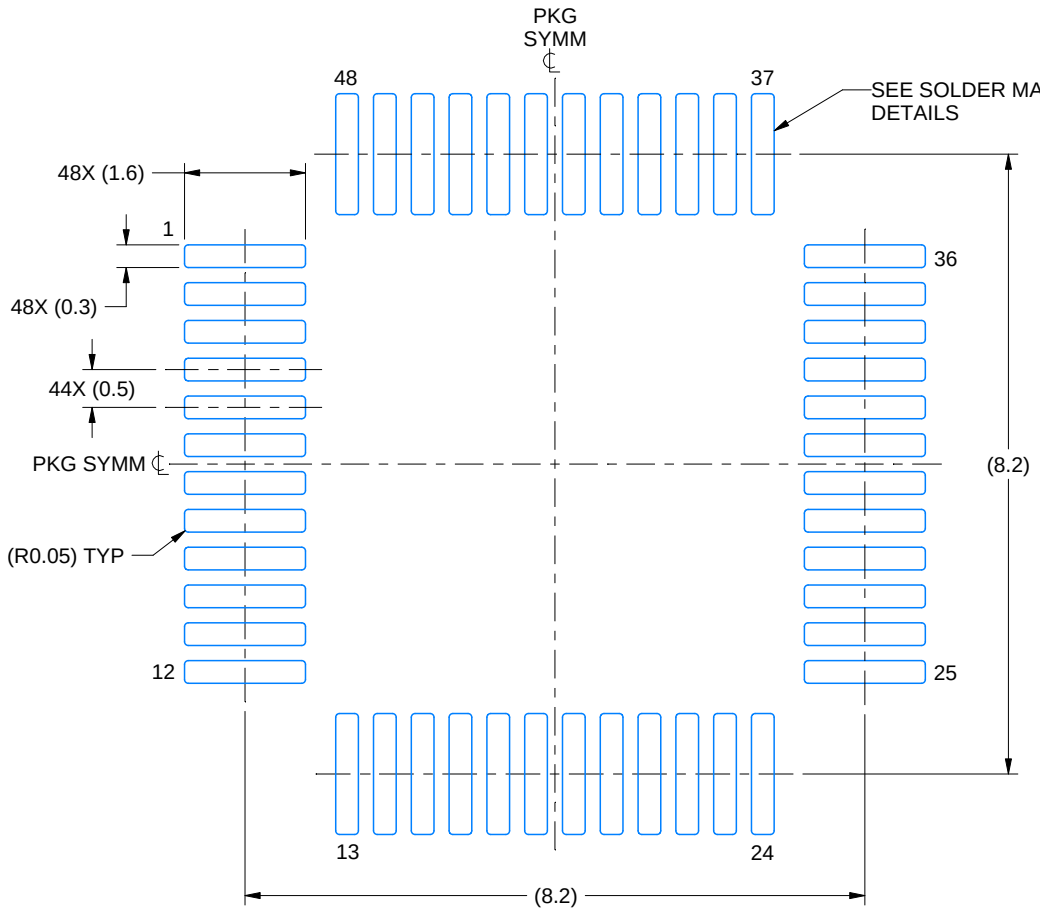
LQFP - 1.6 mm max height

LOW PROFILE QUAD FLATPACK

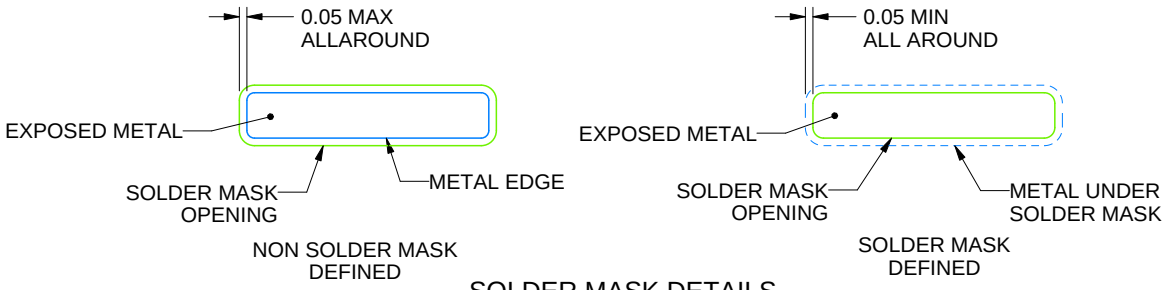


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.
4. This may also be a thermally enhanced plastic package with leads conected to the die pads.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE 10.000

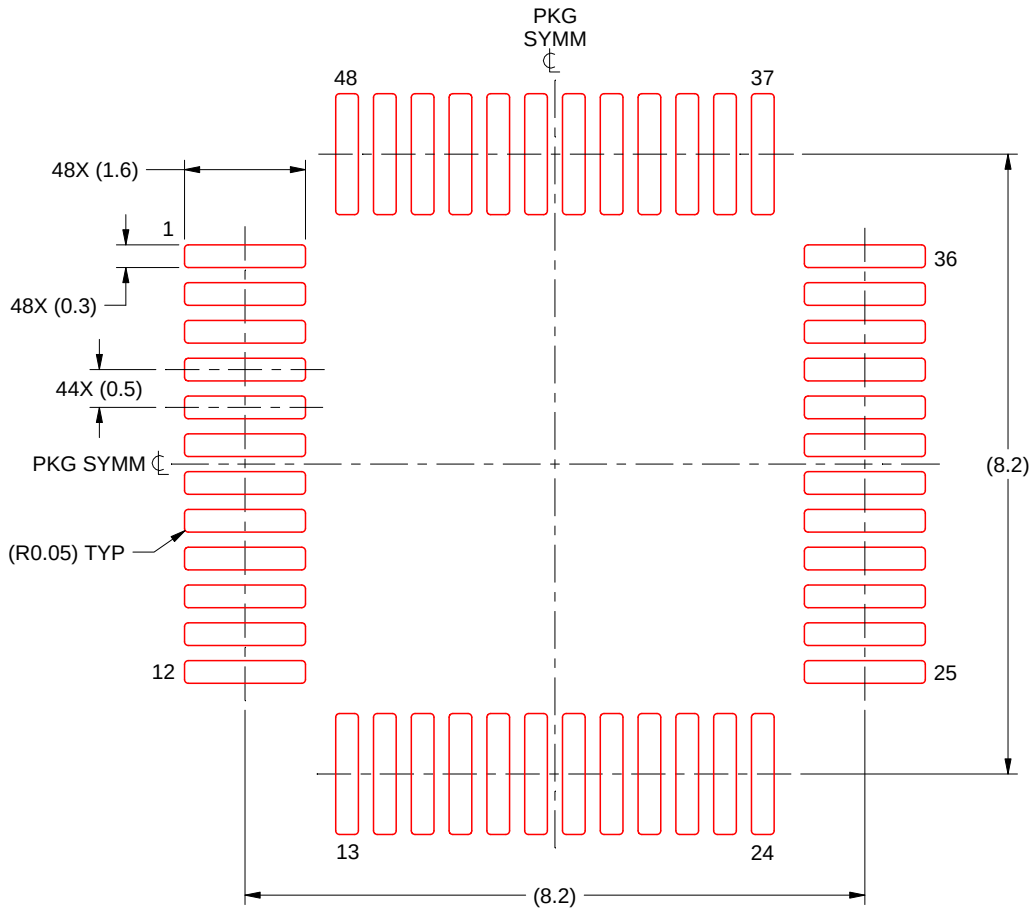


SOLDER MASK DETAILS

4215159/B 11/2023

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 10X

4215159/B 11/2023

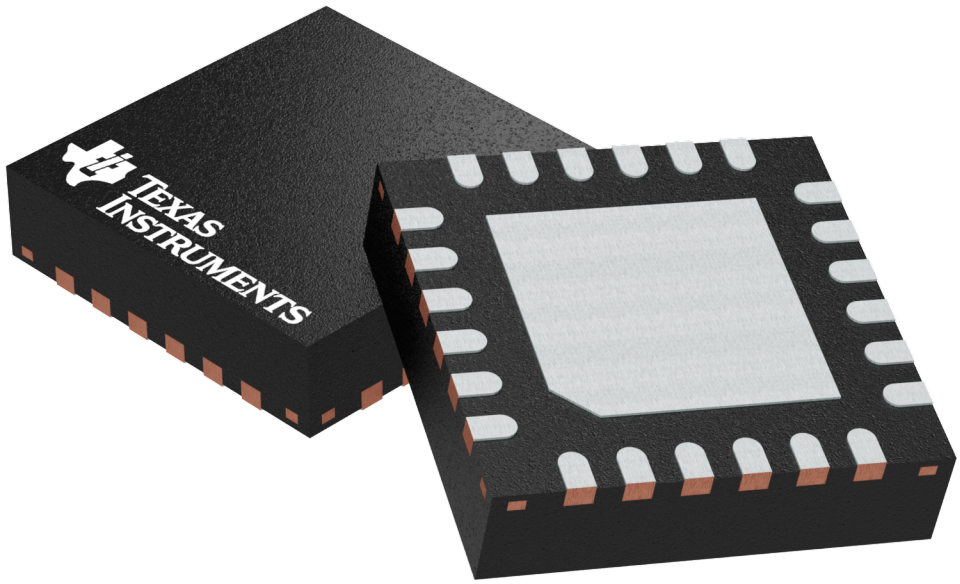
NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

RGE 24 VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

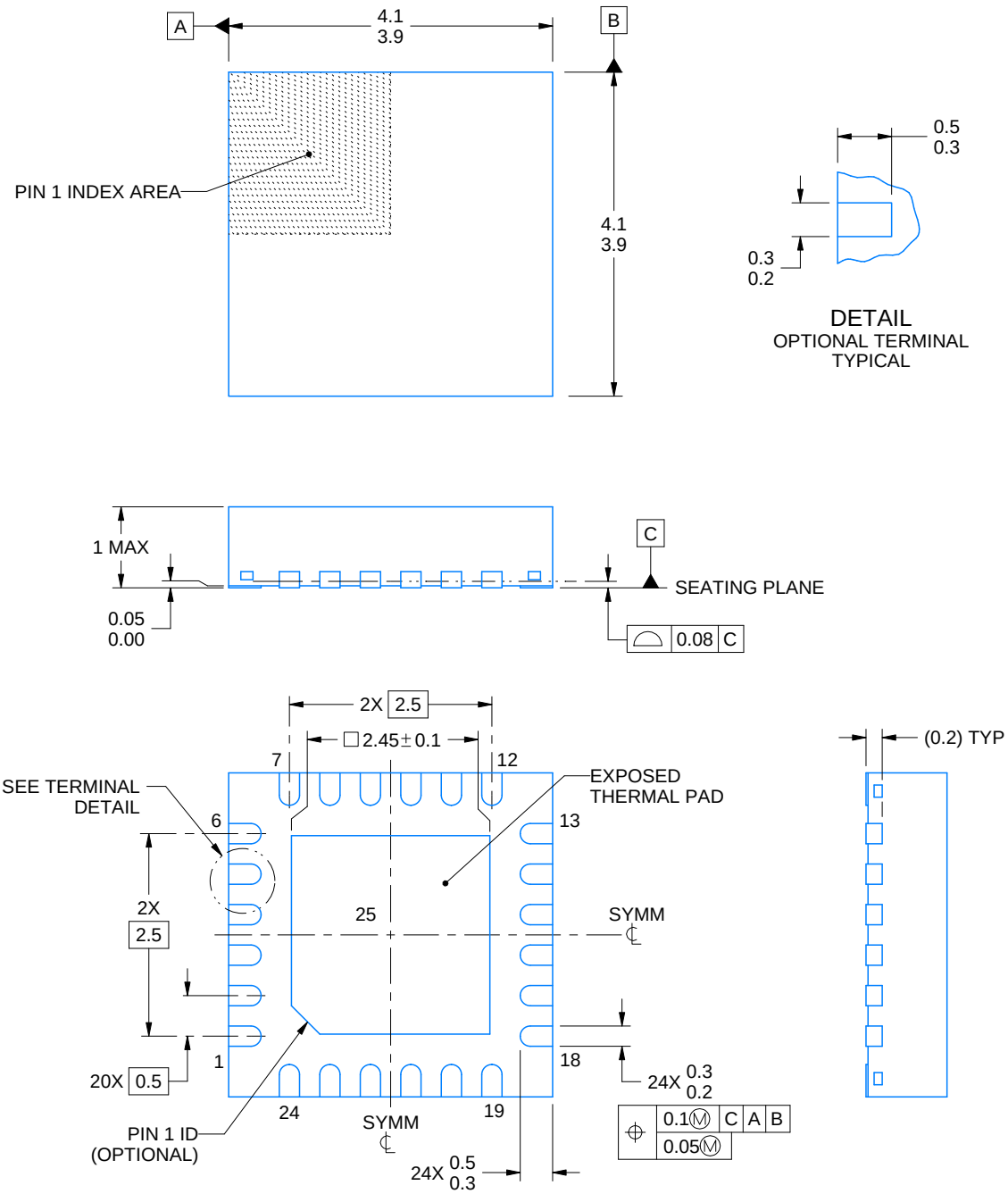
4204104/H

PACKAGE OUTLINE

RGE0024B

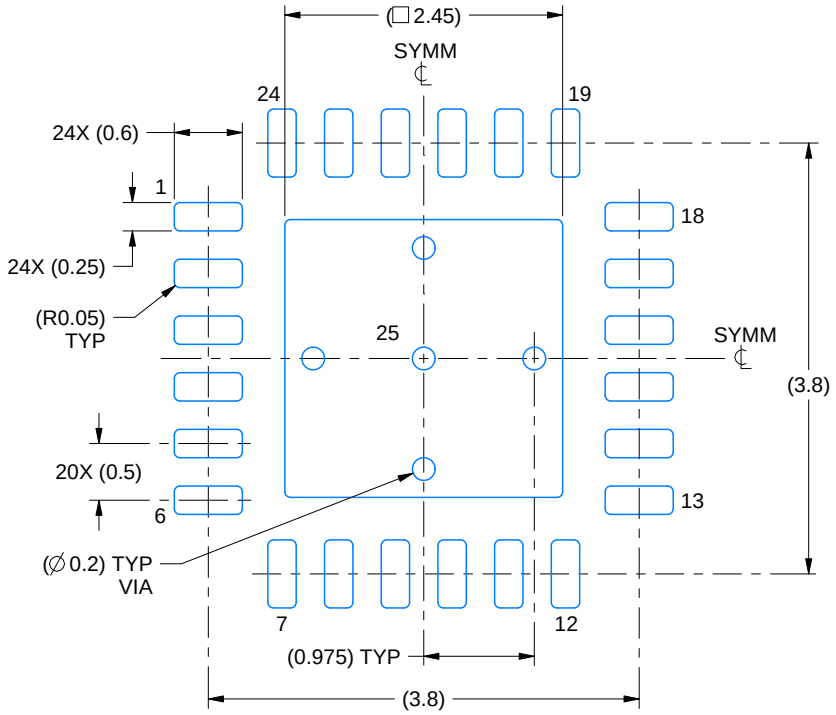
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

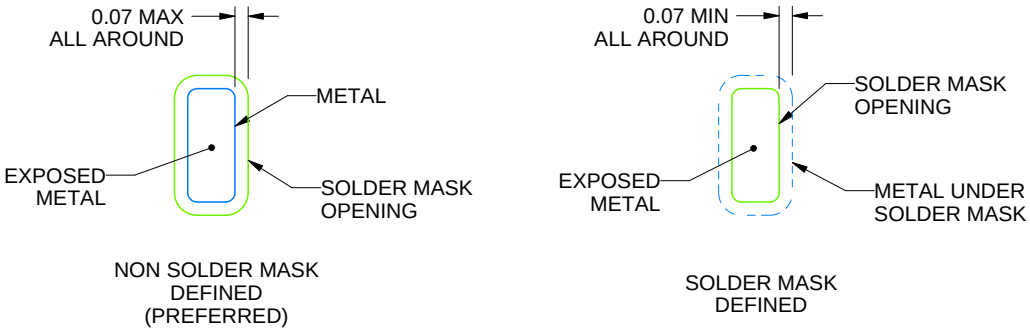


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

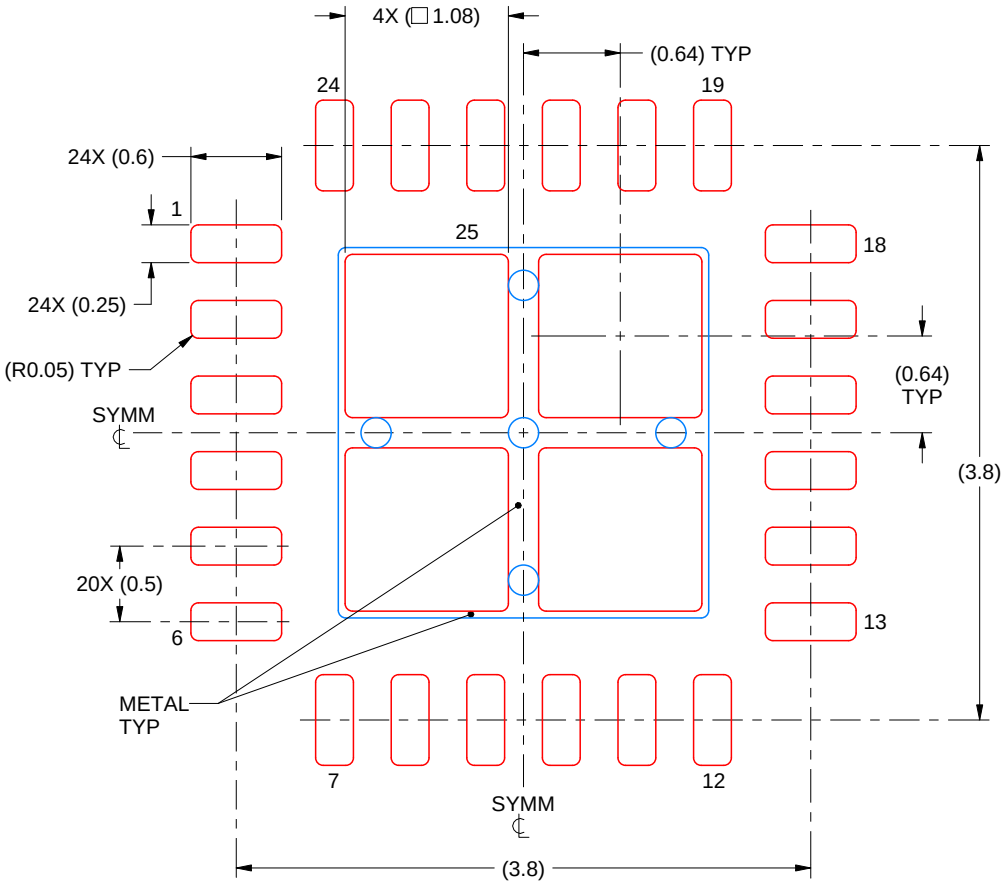


SOLDER MASK DETAILS

4219013/A 05/2017

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 25
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4219013/A 05/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

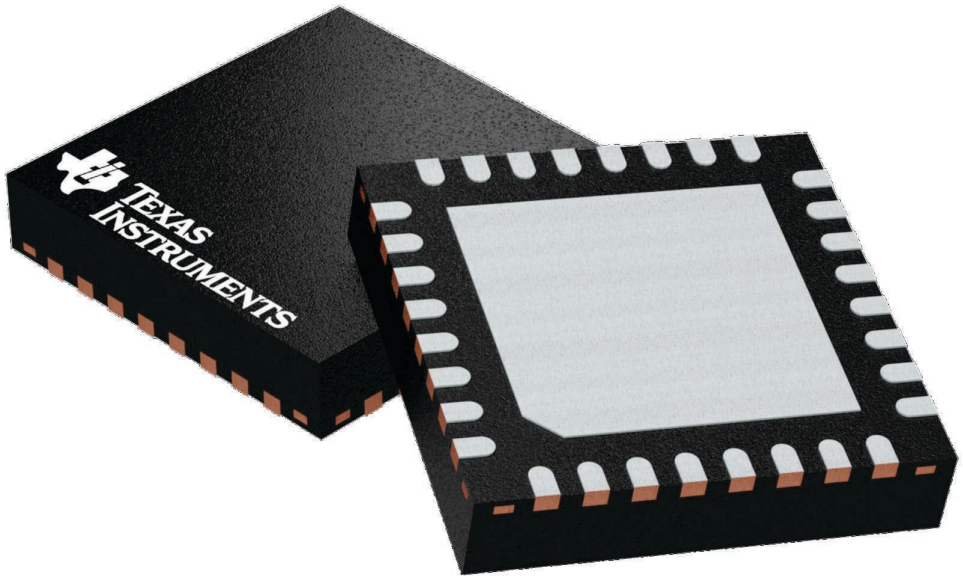
GENERIC PACKAGE VIEW

RHB 32

VQFN - 1 mm max height

5 x 5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

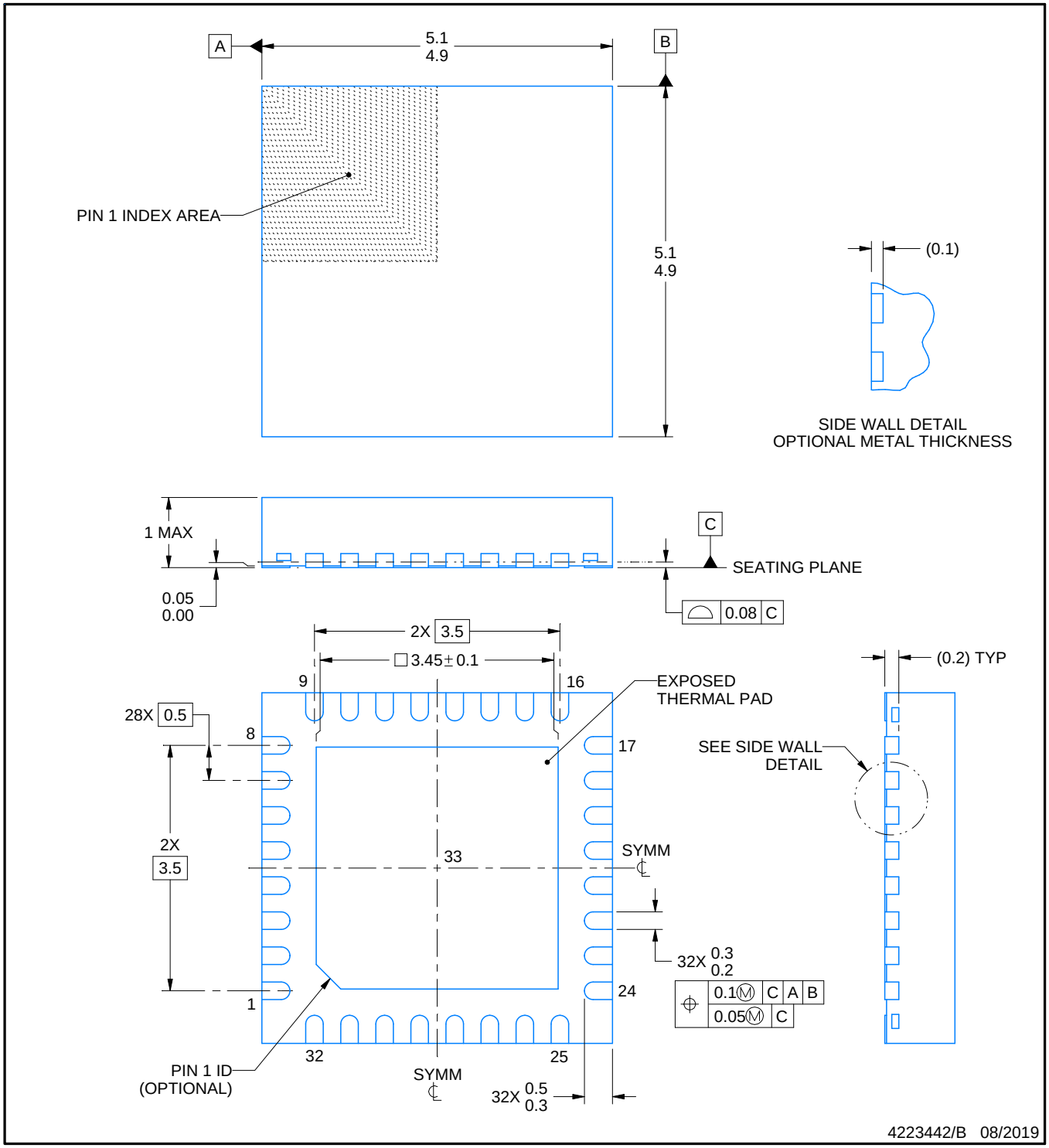
4224745/A

RHB0032E

PACKAGE OUTLINE

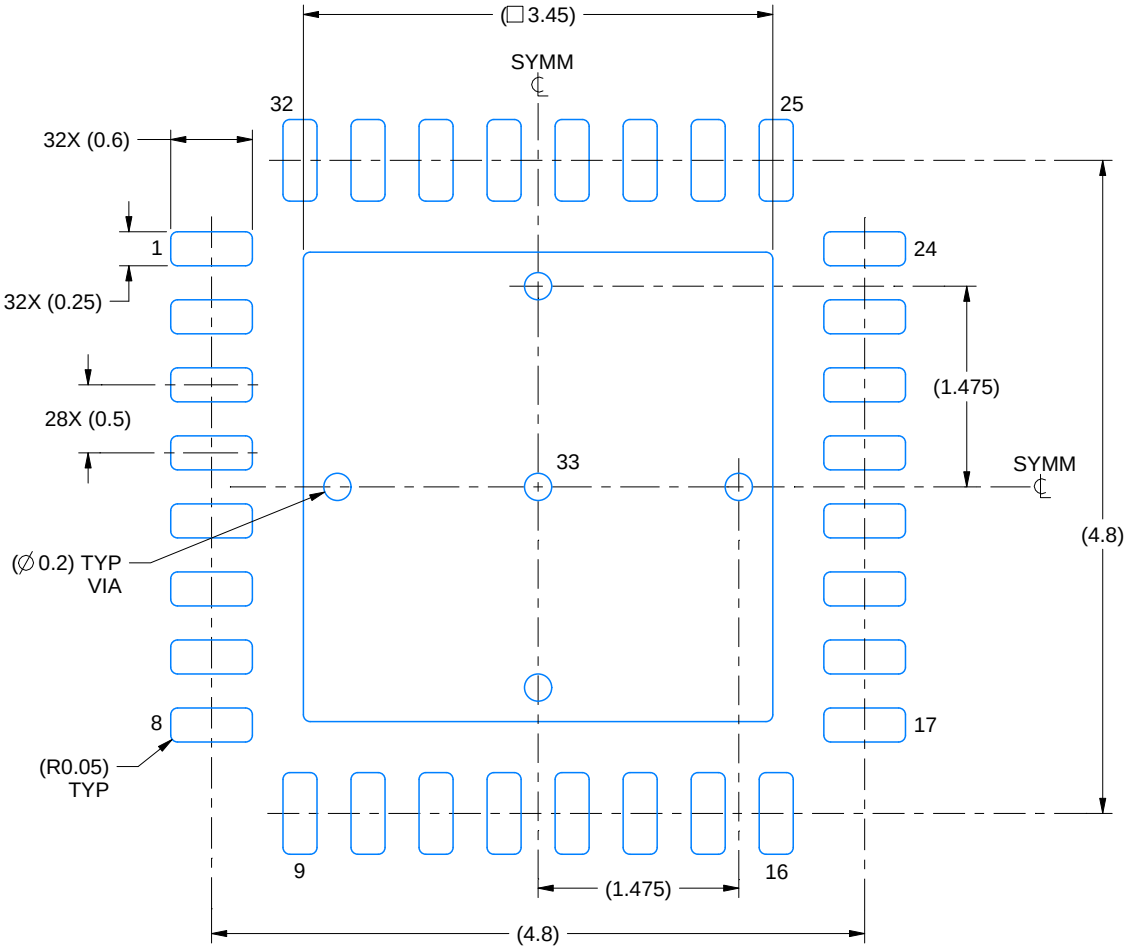
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

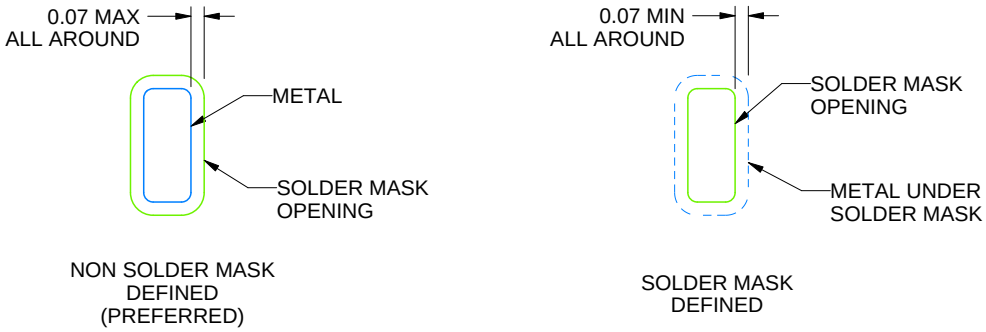


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:18X

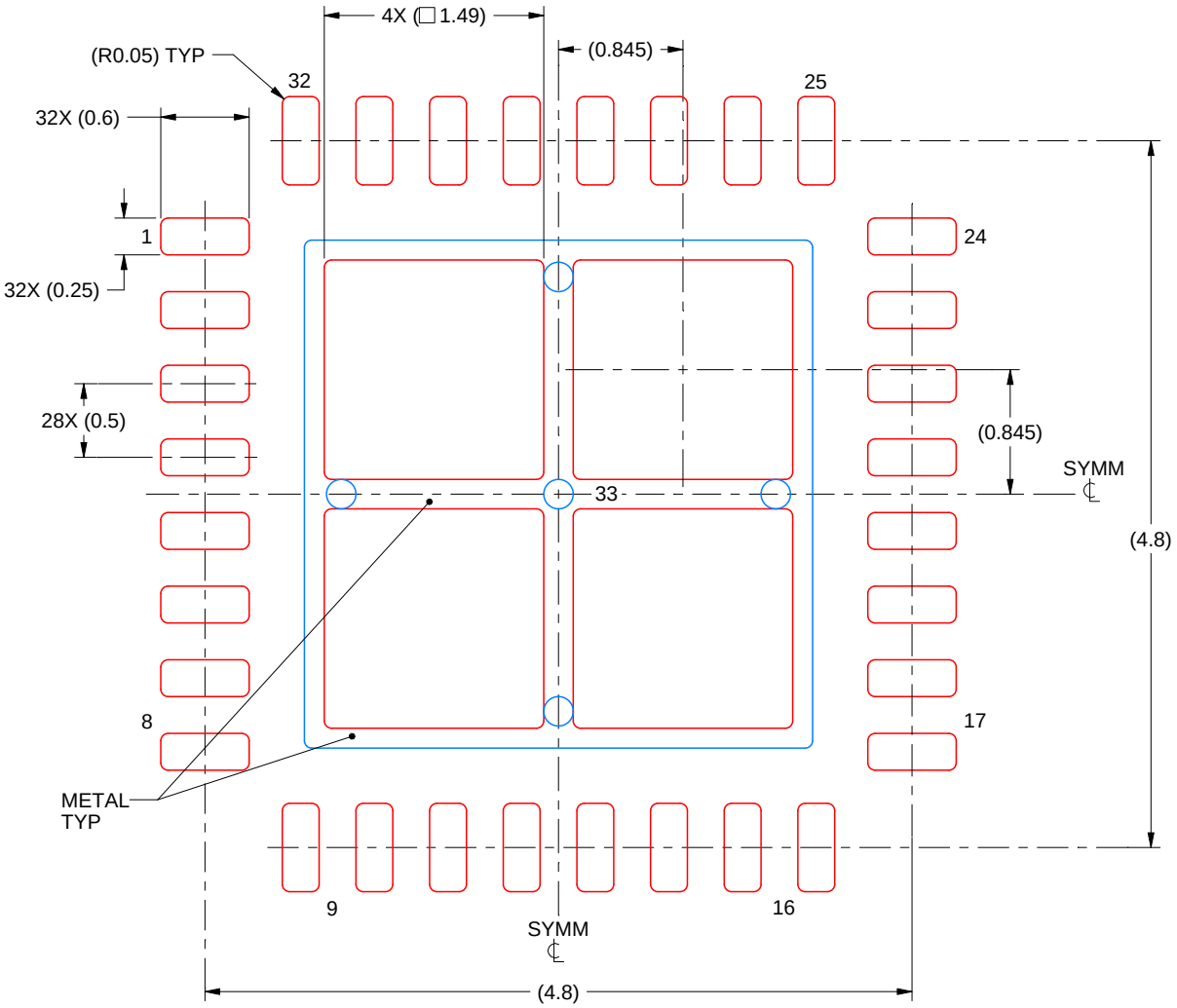


SOLDER MASK DETAILS

4223442/B 08/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33:
75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4223442/B 08/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月