MSPM0L111x-Q1 車載ミックスド シグナル マイクロコントローラ

1 特長

- コア
  - Arm® 32 ビット Cortex®-M0+ CPU、メモリ保護ユニット付き、最高 32MHz の周波数
- 機能安全対応
  - 機能安全システム設計を支援するドキュメントを準備中
- PSA-L1 認定が対象
- 動作特性
  - 拡張動作温度範囲:–40°C ～ 125°C
  - 広い電源電圧範囲:1.62V ～ 3.6V
- メモリ
  - 最大 128KB のフラッシュ メモリ、誤り訂正符号 (ECC) 付き
    - OTA 更新のためのアドレス スワップ機能を備えたデュアル バンク
  - 16KB の SRAM
- 高性能アナログ ペリフェラル
  - 最大 13 の外部チャネルを持つ 1 つの 12 ビット 1.68Msps A/D コンバータ (ADC)
    - 105ksps で 14 ビットの実効分解能、ハードウェア平均化付き
  - 1.4V または 2.5V の構成可能な内部電圧リファレンス (VREF)
  - 温度センサ内蔵
- 最適化された低消費電力モード
  - RUN:106µA/MHz (CoreMark)
  - SLEEP:50µA/MHz
  - STOP:239µA (4MHz 時)
  - STANDBY:1.5µA (32kHz、RTC およびフル SRAM 搭載時) で状態を保持
  - SHUTDOWN:75nA (IO ウェークアップ機能あり)
- インテリジェント デジタル ペリフェラル
  - 3 チャネル DMA コントローラ
  - 3 チャネルのイベント ファブリック信号システム
  - 合計 14 の PWM チャネルが以下によってサポートされる:
    - 1 つの 16 ビット高度タイマ、最大 8 個の PWM チャネルのデッドバンド サポートおよび相補出力
    - 2 つの 16 ビット汎用タイマ、STANDBY モードでの低消費電力動作をサポート
    - 1 つの 16 ビット汎用タイマ、QEI をサポート
  - 1 つのウィンドウ付きウォッチドッグ タイマ (WWDT)
  - 独立型ウォッチドッグ タイマ (IWDT)
  - RTC、アラームおよびカレンダー モード付き
- 拡張通信インターフェイス
  - STANDBY モードでの低消費電力動作をサポートする 2 つの UART インターフェイス
    - 1 つは LIN、IrDA、DALI、スマート カード、マンチェスターをサポート
  - 1 つの I^2C インターフェイス。FM+ (1Mbit/s)、SMBus/PMBus、STOP モードからのウェークアップをサポート
  - 最大 16Mbit/s をサポートする 1 つの SPI インターフェイス
- クロック システム
  - ±1.2% 精度の 4～32MHz 内部発振器 (SYSOSC)
  - ±3% 精度の 32kHz 低周波数内部発振器 (LFOSC)
  - 外付けの 32kHz 水晶発振器 (LFXT)
- データの整合性と暗号化
  - GCM/GMAC、CCM/CBC-MAC、CBC、CTR をサポートする AES-128/256 アクセラレータ
  - 最大 2 つの AES キーを格納可能なセキュア キー ストレージ
  - コードおよびデータ保護用のフレキシブルなファイアウォール
  - 真性乱数生成器 (TRNG)
  - 巡回冗長検査 (CRC-16、CRC-32)
- 柔軟な I/O 機能
  - 最大 44 の GPIO
    - 2 つの 5V 許容オープン ドレイン IO
    - 20mA の駆動能力を持つ 7 つの高駆動 IO
    - 1 つの高速 IO
- 開発サポート
  - 2 ピン シリアル ワイヤ デバッグ (SWD)
- パッケージ オプション
  - 48 ピン LQFP (PT) (0.5mm ピッチ)
  - 48 ピン VQFN (RGZ) (0.5mm ピッチ、ウェッタブル フランク付き)
  - 32 ピン VQFN (RHB) (0.5mm ピッチ、ウェッタブル フランク付き)
  - 24 ピン VQFN (RGE) (0.5mm ピッチ、ウェッタブル フランク付き)
- ファミリの製品 (「製品比較」も参照)
  - MSPM0L1116-Q1:64KB のフラッシュ、16KB の RAM
  - MSPM0L1117-Q1:128KB のフラッシュ、16KB の RAM
- 開発キットとソフトウェア (「ツールとソフトウェア」も参照)
  - LP-MSPM0L1117 LaunchPad™ 開発キット

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

  - MSP ソフトウェア開発キット (SDK)
- **車載認定**
  - AEC-Q100 グレード 1 (-40℃～125℃)
  - 24 ピン、32 ピン、および 48 ピン VQFN オプション用のウェッタブル フランク

2 アプリケーション

- 車載用ボディ エレクトロニクス / ライティング
- 車載用ゲートウェイ
- ステアリング ホイール システム
- 車載用モーター制御
- DC / AC インバータ
- 車内照明
- ドア ハンドル モジュール
- キック ツー オープン モジュール
- 車両の乗員検出
- コンフォート シート モジュール

3 説明

MSPM0L111x-Q1 車載用 マイコン (MCU) は、最大 32MHz の周波数で動作する拡張 Arm® Cortex®-M0+ コア プラットフォームをベースにした MSP 高集積超低消費電力 32 ビット MCU ファミリの一部です。コスト最適化されたこれらの MCU は、高性能アナログ ペリフェラルの統合と優れた低消費電流を実現します。また、このマイコン (MCU) は、-40°C から 125°C までの拡張温度範囲に対応しており、1.62V ～ 3.6V の電源電圧で動作します。

このデバイスは、エラー訂正コード (ECC) を内蔵した最大 128KB の組み込みフラッシュ メモリと、最大 16KB の SRAM を搭載しています。フラッシュ メモリは 2 つのメイン バンクで構成されており、現場でのファームウェア更新と 2 つのメイン バンク間でのアドレス スワップをサポートしています。

柔軟性の高いサイバーセキュリティ イネーブラを使用して、セキュア ブート、現場での安全なファームウェア更新、IP 保護 (実行専用メモリ)、キー ストレージなどをサポートできます。さまざまな AES 対称暗号モードと TRNG エントロピー ソース用にハードウェア アクセラレーションが提供されています。このサイバーセキュリティ アーキテクチャは、Arm® PSA Level 1 認定を申請中です。

これらの MCU は ±1.2% の精度の高速オンチップ発振器を内蔵しているため、外部水晶振動子は不要です。追加機能には、3 チャネル DMA、16 および 32 ビット CRC アクセラレータ、各種の高性能アナログ ペリフェラル (1 つの設定可能内部基準電圧付き 12 ビット 1.68Msps ADC や 1 つのオンチップ温度センサなど) が含まれます。これらのデバイスは、1 つの 16 ビット高度制御タイマ、2 つの 16 ビット汎用タイマ、1 つの直交対応入力付き汎用タイマ、1 つのウィンドウ付き独立型ウォッチドッグ タイマ、各種通信ペリフェラル (1 つの I^2C、1 つの SPI、2 つの UART (1 つは LIN プロトコルをサポート) など) のインテリジェントなデジタル ペリフェラルも備えています。

TI の MSPM0 低消費電力 MCU ファミリは、各種のアナログおよびデジタル回路を内蔵したデバイスで構成されているため、お客様はプロジェクトのニーズを満たす MCU を見つけることができます。そのアーキテクチャと豊富な低消費電力モードは、携帯型測定アプリケーションで長いバッテリ駆動時間を実現するように最適化されています。

MSPM0L111x-Q1 MCU は、広範囲にわたるハードウェアおよびソフトウェアのエコシステムによってサポートされており、リファレンス デザインやコード サンプルを使って設計を迅速に開始できます。開発キットには、購入可能な LaunchPad™ 開発キットと、ターゲット ソケット ボード用の設計ファイルが含まれています。また、テキサス・インスツルメンツは無償の MSP ソフトウェア開発キット (SDK) も提供しており、Code Composer Studio™ IDE デスクトップのコンポーネントとして利用できます。また、TI Resource Explorer ではクラウド バージョンを利用できます。MSPM0 MCU には、広範囲にわたるオンライン資料、MSP Academy によるトレーニング、TI E2E™ サポート フォーラムによるオンライン サポートも用意されています。

モジュールの詳細については、『MSPM0 L シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル』を参照してください。

注意

電気的な過剰ストレスや、データやコード メモリの不安定化を防止するために、デバイス レベルの ESD 仕様に従って、システム レベルの ESD 保護を適用する必要があります。詳細については、『MSP430™ のシステム レベルの ESD に関する考慮事項』を参照してください (このアプリケーション ノートの原理は MSPM0 MCU にも当てはまるため)。

Copyright © 2025 Texas Instruments Incorporated

製品情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
M0L1116QRGERQ1	RGE (VQFN、24)	4mm × 4 mm
M0L1117QRGERQ1		
M0L1116QRHBRQ1	RHB (VQFN、32)	5mm × 5 mm
M0L1117QRHBRQ1		
M0L1116QRGZRQ1	RGZ (VQFN、48)	7mm × 7 mm
M0L1117QRGZRQ1		
M0L1116QPTRQ1	PT (LQFP、48)	9mm × 9 mm
M0L1117QPTRQ1		

(1) 詳細については、メカニカル、パッケージ、および注文情報 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

Copyright © 2025 Texas Instruments Incorporated

4 機能ブロック図

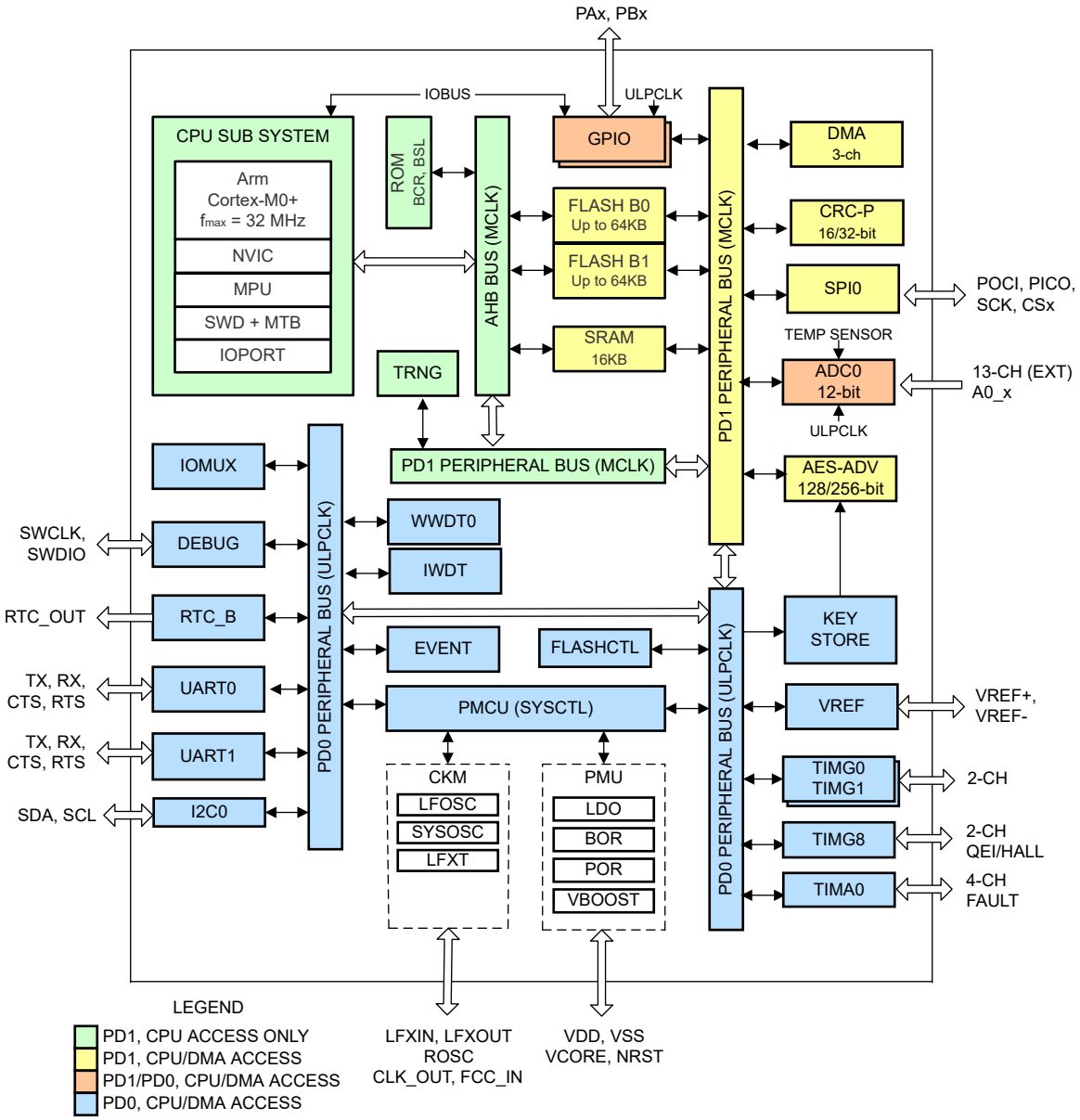


図 4-1. MSPM0L111x-Q1 の機能ブロック図

Copyright © 2025 Texas Instruments Incorporated

目次

1 特長 ... 1
2 アプリケーション ... 2
3 説明 ... 2
4 機能ブロック図 ... 4
5 デバイスの比較 ... 6
5.1 デバイス比較表 ... 7
6 ピン構成および機能 ... 8
6.1 ピン配置図 ... 8
6.2 ピン属性 ... 11
6.3 信号の説明 ... 18
6.4 未使用ピンの接続 ... 24
7 仕様 ... 25
7.1 絶対最大定格 ... 25
7.2 ESD 定格 ... 25
7.3 推奨動作条件 ... 26
7.4 熱に関する情報 ... 26
7.5 電源電流特性 ... 27
7.6 電源シーケンス ... 29
7.7 フラッシュ メモリの特性 ... 30
7.8 タイミング特性 ... 31
7.9 クロック仕様 ... 33
7.10 デジタル IO ... 34
7.11 アナログ マルチプレクサ VBOOST ... 37
7.12 ADC ... 38
7.13 温度センサ ... 39
7.14 VREF ... 40
7.15 I2C ... 40
7.16 SPI ... 41
7.17 UART ... 43
7.18 TIMx ... 44
7.19 TRNG 電気的特性 ... 44
7.20 TRNG スイッチング特性 ... 44
7.21 エミュレーションおよびデバッグ ... 44
8 詳細説明 ... 45
8.1 機能ブロック図 ... 45
8.2 CPU ... 45
8.3 動作モード ... 46
8.4 パワー マネージメント ユニット (PMU) ... 48
8.5 クロック モジュール (CKM) ... 48
8.6 DMA ... 48
8.7 イベント ... 50
8.8 メモリ ... 50
8.9 フラッシュ メモリ ... 52
8.10 SRAM ... 52
8.11 GPIO ... 53
8.12 IOMUX ... 53
8.13 ADC ... 53
8.14 温度センサ ... 54
8.15 VREF ... 55
8.16 セキュリティ ... 56
8.17 TRNG ... 56
8.18 AESADV ... 56
8.19 キーストア ... 57
8.20 CRC-P ... 57
8.21 UART ... 57
8.22 I2C ... 58
8.23 SPI ... 58
8.24 低周波数サブシステム (LFSS) ... 58
8.25 RTC_B ... 59
8.26 IWDT_B ... 60
8.27 WWDT ... 60
8.28 タイマ (TIMx) ... 60
8.29 デバイスのアナログ接続 ... 62
8.30 入力 / 出力の回路図 ... 62
8.31 シリアル ワイヤ デバッグ インターフェイス ... 63
8.32 ブートストラップ ローダ (BSL) ... 64
8.33 デバイス ファクトリ定数 ... 64
8.34 識別 ... 65
9 アプリケーション、実装、およびレイアウト ... 66
9.1 代表的なアプリケーション ... 66
10 デバイスおよびドキュメントのサポート ... 67
10.1 デバイスの命名規則 ... 67
10.2 ツールとソフトウェア ... 68
10.3 ドキュメントのサポート ... 69
10.4 サポート・リソース ... 69
10.5 商標 ... 69
10.6 静電気放電に関する注意事項 ... 69
10.7 用語集 ... 69
11 改訂履歴 ... 69
12 メカニカル、パッケージ、および注文情報 ... 71

Copyright © 2025 Texas Instruments Incorporated

5 デバイスの比較

本データシートに記載されている各デバイスの特長は、以下の表のとおりです。

表 5-1. デバイスの比較

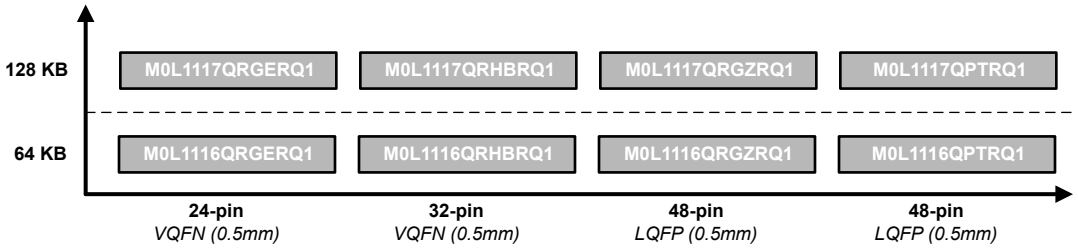
型番 (1) (2)	フラッシュ / SRAM (KB)	QUAL (3)	UART/I2C/SPI	ADC チャネル	GPIO	パッケージ (パッケージ サイズ) (4) 5
M0L1117QPTRQ1	128 / 16	Q	2 / 1 / 1	13	44	48 LQFP (0.5mm pitch) [9mm x 9mm]
M0L1116QPTRQ1	64 / 16	Q	2 / 1 / 1	13	44	
M0L1117QRGZRQ1	128 / 16	Q	2 / 1 / 1	13	44	48 VQFN (0.5mm pitch) [7mm x 7mm]
M0L1116QRGZRQ1	64 / 16	Q	2 / 1 / 1	13	44	
M0L1117QRHBRQ1	128 / 16	Q	2 / 1 / 1	11	28	32 VQFN (0.5mm pitch) [5mm x 5mm]
M0L1116QRHBRQ1	64 / 16	Q	2 / 1 / 1	11	28	
M0L1117QRGERQ1	128 / 16	Q	2 / 1 / 1	7	20	24 VQFN (0.5mm pitch) [4mm x 4mm]
M0L1116QRGERQ1	64 / 16	Q	2 / 1 / 1	7	20	

(1) 提供中の全デバイスに関する最新の製品、パッケージ、および注文情報については、セクション 12 の「*付録:パッケージ オプション*」または TI の Web サイトを参照してください。
(2) 型番の詳細については、セクション 10.1 を参照してください。
(3) デバイス認定:
- Q = -40℃～125℃

(4) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。公差を含めたパッケージの寸法については、セクション 12 の「メカニカル データ」を参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.1 デバイス比較表


128 KB
64 KB
M0L1117QRGERQ1
M0L1117QRHBRQ1
M0L1117QRGZRQ1
M0L1117QPTRQ1
M0L1116QRGERQ1
M0L1116QRHBRQ1
M0L1116QRGZRQ1
M0L1116QPTRQ1
24-pin
VQFN (0.5mm)
32-pin
VQFN (0.5mm)
48-pin
LQFP (0.5mm)
48-pin
LQFP (0.5mm)

6 ピン構成および機能

システム構成ツール は、ピンの多重化およびピン設定を容易にするための初期化コードを有効にしたり、構成したり、生成するグラフィカル インターフェイスを提供します。データシートに示されているピン配置図は、デバイスのピン配置を簡素化するために、主要なペリフェラル機能、内蔵デバイス機能の一部、使用可能なクロック信号を示しています。

ピンの機能の詳細については、「ピンの属性」および「信号の説明」セクションを参照してください。

6.1 ピン配置図

各パッケージ オプションの完全なピン構成および機能については、セクション 6.2 およびセクション 6.3 を参照してください

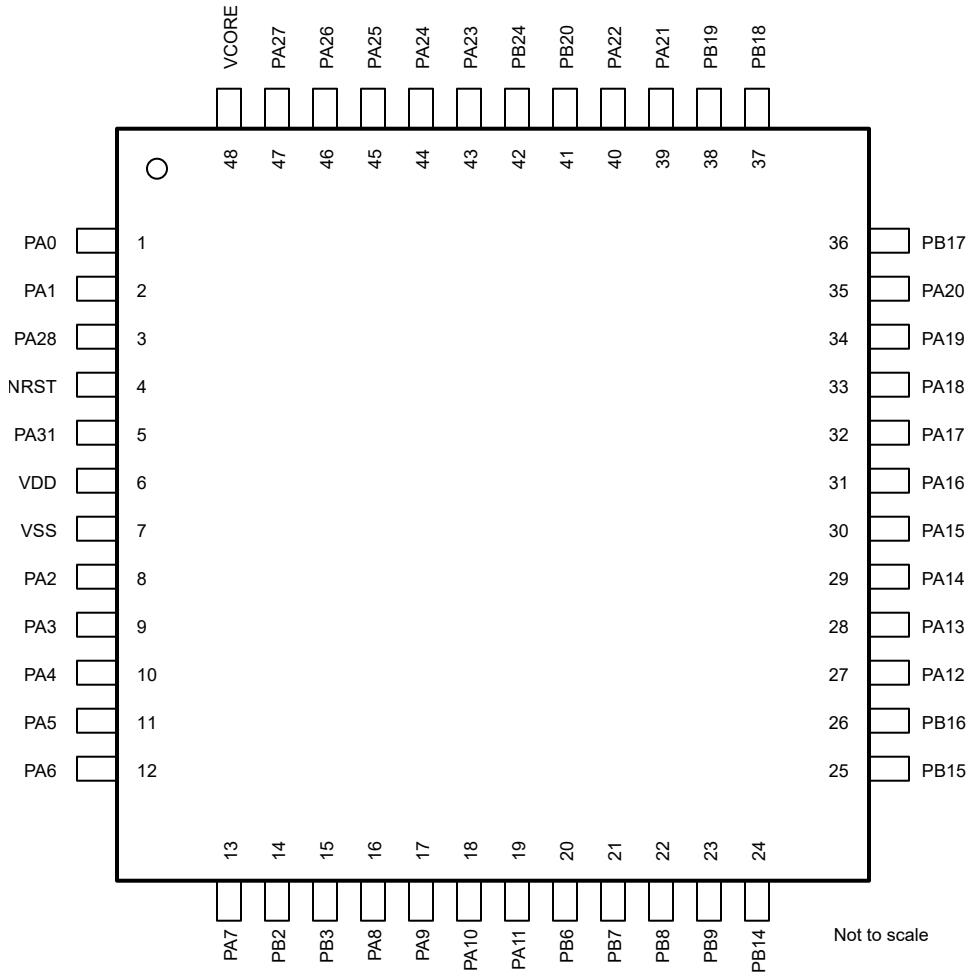


図 6-1. 48 ピン PT (0.5mm) (LQFP) パッケージ図

Copyright © 2025 Texas Instruments Incorporated

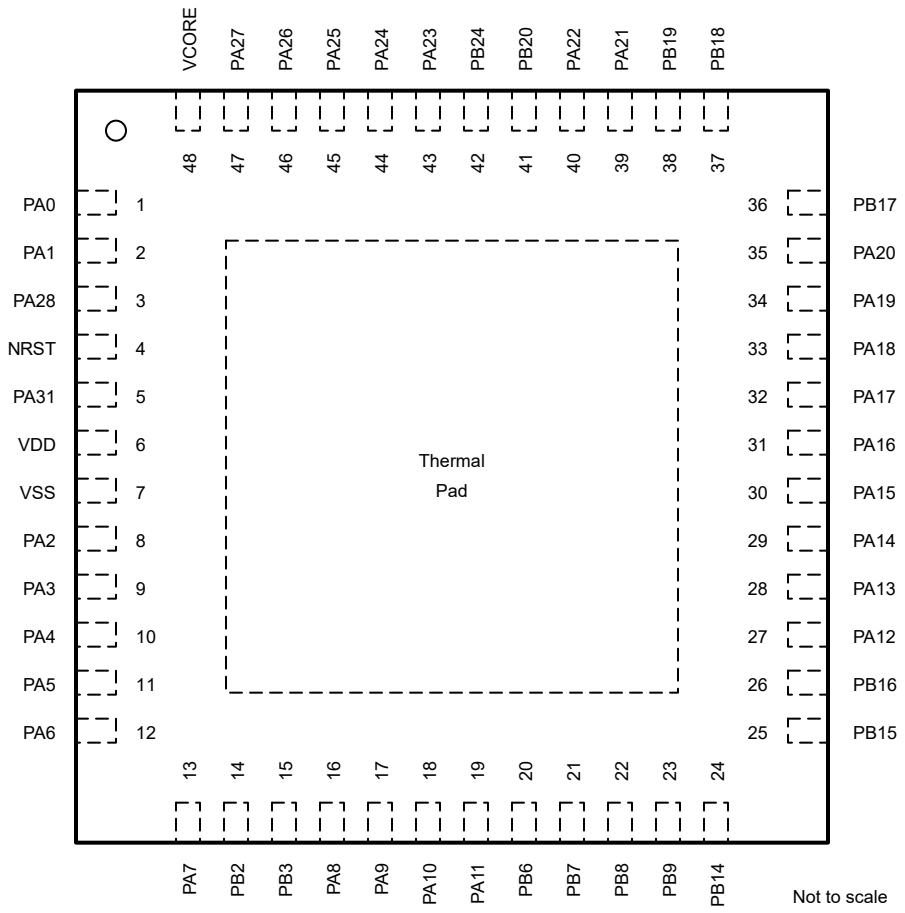


図 6-2. 48 ピン RGZ (0.5mm) (VQFN) パッケージ図

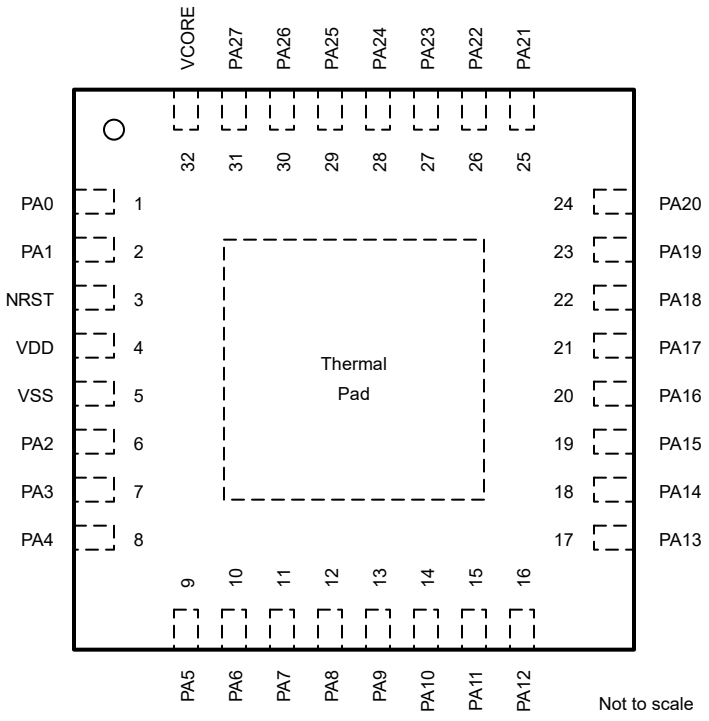


図 6-3. 32 ピン RHB (0.5mm) (VQFN) パッケージ図

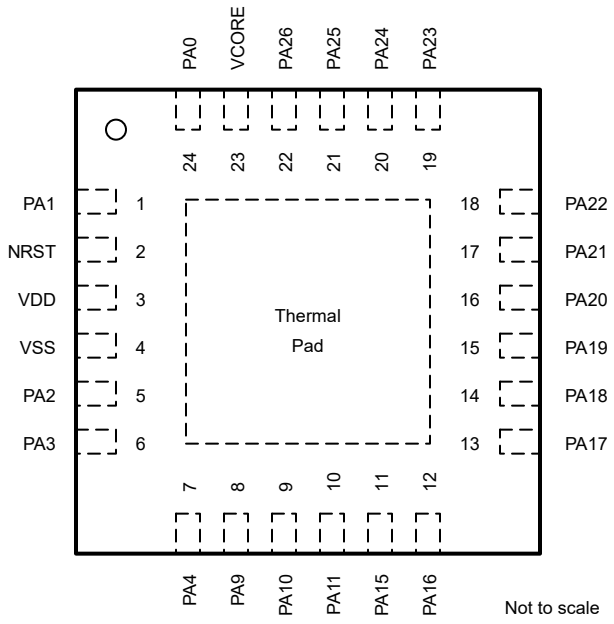


図 6-4. 24 ピン RGE (0.5mm) (VQFN) パッケージ図

Copyright © 2025 Texas Instruments Incorporated

6.2 ピン属性

次の表に、各デバイス パッケージの各ピンで利用可能な機能を示します。

注

デバイス上の各デジタル I/O は、専用のピン制御管理レジスタ (PINCMx) に割り当てられており、ユーザーが PINCM.PF 制御ビットを使って必要な*ピン機能*を設定できます。

IOMUX は、IOMUX による 1 つのデジタル機能をピンに同時に接続することのみをサポートしています。IOMUX 以外の管理機能 (アナログ接続など) をピンで使うことを想定している場合、セクション 8.12 の PF と PINCM.PC を 0 に設定することをお勧めします。ただし、IOMUX 非管理信号 (アナログ入力、WAKE 入力など) は、IOMUX 管理対象のデジタル機能がピン上で有効化されると同時に、機能間に競合がない限り、ピン上で有効化できます。この場合、各ピンでイネーブルされる機能間に競合がないことを設計者が確認する必要があります。

表 6-1. IO タイプ別のデジタル IO 機能

IO 構造	反転制御	駆動能力制御	ヒステリシス制御	プルアップ抵抗	プルダウン抵抗	ウェークアップロジック
SDIO (標準駆動)	Y			Y	Y	
WAKE [1] 付き SDIO (標準駆動)	Y			Y	Y	Y
HDIO (高駆動)	Y	Y		Y	Y	Y
HSIO (高速)	Y	Y		Y	Y	
ODIO (5V 対応のオープンドレイン)	Y		Y		Y	Y

1. ウェーク付きの標準機能では、I/O を使って、最小低消費電力の SHUTDOWN モードからデバイスをウェークアップできます。すべての I/O は、それよりも高いレベルの低消費電力モードから MCU をウェークアップするように構成できます。詳細については、*『MSPM0 L シリーズ 32MHz マイコン テクニカル リファレンス マニュアル』*の「*GPIO FastWake*」セクションを参照してください。

表 6-2. ピン属性

RGE ピン	RHB ピン	RGZ ピン	PT ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号名	IOMUX PF	信号のタイプ	バッファのタイプ
2	3	4	4	NRST	NRST	(非 IOMUX 1) 0	I	リセット
					WAKE	(非 IOMUX 2) 0	I	
24	1	1	1	PA0 PINCM1 0x40428000	PA0	1	IO	ODIO (5V-tol)
					UART0_TX	2	O	
					I2C0_SDA	3	IOD	
					TIMA0_C0	4	IO	
					TIMA_FAL1	5	I	
					FCC_IN	6	I	
					TIMG8_C1	7	IO	
					TIMG0_C0	9	IO	
					BSLSDA	(非 IOMUX 1) 0	IOD	
					WAKE	(非 IOMUX 2) 0	I	

Copyright © 2025 Texas Instruments Incorporated

表 6-2. ピン属性 (続き)

RGE ピン	RHB ピン	RGZ ピン	PT ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号名	IOMUX PF	信号のタイプ	バッファのタイプ
1	2	2	2	PA1 PINCM2 0x40428004	PA1	1	IO	ODIO (5V-tol)
					UART0_RX	2	I	
					I2C0_SCL	3	IOD	
					TIMA0_C1	4	IO	
					TIMA_FAL2	5	I	
					TIMG8_IDX	6	I	
					TIMG8_C0	7	IO	
					TIMG0_C1	9	IO	
					SPI0_CS3	10	IO	
					BSLSCL	(非 IOMUX 1) 0	IOD	
					WAKE	(非 IOMUX 2) 0	I	
5	6	8	8	PA2 PINCM7 0x40428018	PA2	1	IO	SDIO (標準)
					TIMG8_C1	2	IO	
					SPI0_CS0	3	IO	
					TIMA0_C3N	6	O	
					TIMA0_C2N	7	O	
					TIMA_FAL0	8	I	
					TIMA_FAL1	9	I	
					TIMA0_C0	11	IO	
					ROSC	(非 IOMUX 1) 0	A	
6	7	9	9	PA3 PINCM8 0x4042801c	PA3	1	IO	SDIO (標準)
					TIMG8_C0	2	IO	
					SPI0_CS1	3	IO	
					TIMA0_C1	5	IO	
					TIMA0_C2	8	IO	
					UART1_TX	10	O	
					SPI0_CS3	11	IO	
					LFXIN	(非 IOMUX 1) 0	A	
7	8	10	10	PA4 PINCM9 0x40428020	PA4	1	IO	SDIO (標準)
					TIMG8_C1	2	IO	
					SPI0_POCI	3	IO	
					TIMA0_C1N	5	O	
					LFCLK_IN	6	I	
					TIMA0_C3	8	IO	
					UART1_RX	10	I	
					SPI0_CS0	11	IO	
					LFXOUT	(非 IOMUX 1) 0	A	
	9	11	11	PA5 PINCM10 0x40428024	PA5	1	IO	SDIO (標準)
					TIMG8_C0	2	IO	
					SPI0_PICO	3	IO	
					SPI0_POCI	4	IO	
					TIMG0_C0	5	IO	
					FCC_IN	6	I	
					TIMA_FAL1	8	I	
					UART0_CTS	9	I	
					UART1_TX	11	O	

Copyright © 2025 Texas Instruments Incorporated

表 6-2. ピン属性 (続き)

RGE ピン	RHB ピン	RGZ ピン	PT ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号名	IOMUX PF	信号のタイプ	バッファのタイプ
	10	12	12	PA6 PINCM11 0x40428028	PA6	1	IO	SDIO (標準)
					TIMG8_C1	2	IO	
					SPI0_SCK	3	IO	
					TIMG0_C1	5	IO	
					HFCLK_IN	6	I	
					TIMA_FAL0	8	I	
					UART0_RTS	9	O	
					TIMA0_C2N	10	O	
					UART1_RX	11	I	
	11	13	13	PA7 PINCM14 0x40428034	PA7	1	IO	SDIO (標準)
					CLK_OUT	3	O	
					TIMG8_C0	4	IO	
					TIMA0_C2	5	IO	
					TIMG8_IDX	6	I	
					TIMA0_C1	8	IO	
					SPI0_CS2	9	IO	
					FCC_IN	10	I	
					SPI0_POCI	11	IO	
	12	16	16	PA8 PINCM19 0x40428048	PA8	1	IO	SDIO (標準)
					UART1_TX	2	O	
					SPI0_CS0	3	IO	
					I2C0_SDA	4	IOD	
					TIMA0_C0	5	IO	
					TIMA_FAL2	6	I	
					TIMA_FAL0	7	I	
					SPI0_CS3	8	IO	
					HFCLK_IN	10	I	
					UART0_RTS	11	O	
8	13	17	17	PA9 PINCM20 0x4042804c	PA9	1	IO	HSIO (高速)
					UART1_RX	2	I	
					SPI0_PICO	3	IO	
					I2C0_SCL	4	IOD	
					TIMA0_C0N	5	O	
					CLK_OUT	6	O	
					TIMA0_C1	7	IO	
					RTC_OUT	8	O	
					SPI0_CS0	10	IO	
					UART0_CTS	11	I	

Copyright © 2025 Texas Instruments Incorporated

表 6-2. ピン属性 (続き)

RGE ピン	RHB ピン	RGZ ピン	PT ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号名	IOMUX PF	信号のタイプ	バッファのタイプ
9	14	18	18	PA10 PINCM21 0x40428050	PA10	1	IO	HDIO (高駆動)
					UART0_TX	2	O	
					SPI0_POCI	3	IO	
					I2C0_SDA	4	IOD	
					TIMA0_C2	5	IO	
					CLK_OUT	6	O	
					TIMG0_C0	7	IO	
					TIMA_FAL1	10	I	
					I2C0_SCL	11	IOD	
					BSLTX	(非 IOMUX 1) 0	O	
					WAKE	(非 IOMUX 2) 0	I	
10	15	19	19	PA11 PINCM22 0x40428054	PA11	1	IO	HDIO (高駆動)
					UART0_RX	2	I	
					SPI0_SCK	3	IO	
					I2C0_SCL	4	IOD	
					TIMA0_C2N	5	O	
					TIMG0_C1	7	IO	
					TIMA_FAL0	10	I	
					I2C0_SDA	11	IOD	
					BSLRX	(非 IOMUX 1) 0	I	
					WAKE	(非 IOMUX 2) 0	I	
	16	27	27	PA12 PINCM34 0x40428084	PA12	1	IO	SDIO (標準)
					SPI0_SCK	3	IO	
					TIMA0_C3	5	IO	
					FCC_IN	6	I	
					TIMG0_C0	7	IO	
					SPI0_CS1	9	IO	
					UART1_CTS	11	I	
					A0_8	(非 IOMUX 1) 0	A	
	17	28	28	PA13 PINCM35 0x40428088	PA13	1	IO	SDIO (標準)
					SPI0_POCI	3	IO	
					TIMA0_C3N	5	O	
					RTC_OUT	6	O	
					TIMG0_C1	7	IO	
					SPI0_CS3	9	IO	
					UART1_RTS	11	O	
					A0_9	(非 IOMUX 1) 0	A	
	18	29	29	PA14 PINCM36 0x4042808c	PA14	1	IO	SDIO (標準)
					UART0_CTS	2	I	
					SPI0_PICO	3	IO	
					CLK_OUT	6	O	
					SPI0_CS2	9	IO	
					A0_12	(非 IOMUX 1) 0	A	

Copyright © 2025 Texas Instruments Incorporated

表 6-2. ピン属性 (続き)

RGE ピン	RHB ピン	RGZ ピン	PT ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号名	IOMUX PF	信号のタイプ	バッファのタイプ
11	19	30	30	PA15 PINCM37 0x40428090	PA15	1	IO	HDIO (高駆動)
					UART0_RTS	2	O	
					TIMA0_C2	5	IO	
					UART0_TX	6	O	
					TIMG8_IDX	7	I	
					TIMG1_C0	8	IO	
					WAKE	(非 IOMUX 1) 0	I	
12	20	31	31	PA16 PINCM38 0x40428094	PA16	1	IO	HDIO (高駆動)
					TIMA0_C2N	5	O	
					UART0_RX	6	I	
					FCC_IN	7	I	
					TIMG1_C1	8	IO	
					TIMA0_C0	11	IO	
					WAKE	(非 IOMUX 1) 0	I	
					A0_13	(非 IOMUX 2) 0	A	
13	21	32	32	PA17 PINCM39 0x40428098	PA17	1	IO	HDIO (高駆動)
					UART1_TX	2	O	
					TIMA0_C3	5	IO	
					TIMG8_C0	6	IO	
					SPI0_CS1	8	IO	
					WAKE	(非 IOMUX 1) 0	I	
					A0_14	(非 IOMUX 2) 0	A	
14	22	33	33	PA18 PINCM40 0x4042809c	PA18	1	IO	HDIO (高駆動)
					UART1_RX	2	I	
					TIMA0_C3N	5	O	
					TIMG8_C1	6	IO	
					SPI0_CS0	8	IO	
					TIMA0_C1	11	IO	
					BSL_invoke	(非 IOMUX 1) 0	I	
					WAKE	(非 IOMUX 2) 0	I	
					A0_4	(非 IOMUX 3) 0	A	
15	23	34	34	PA19 PINCM41 0x404280a0	PA19	1	IO	SDIO (標準)
					SWDIO	2	IO	
					TIMA0_C2	5	IO	
					TIMG0_C0	6	IO	
16	24	35	35	PA20 PINCM42 0x404280a4	PA20	1	IO	SDIO (標準)
					SWCLK	2	I	
					TIMA0_C2N	5	O	
					TIMG0_C1	6	IO	
17	25	39	39	PA21 PINCM46 0x404280b4	PA21	1	IO	SDIO (標準)
					SPI0_CS3	3	IO	
					UART1_CTS	4	I	
					TIMA0_C0	5	IO	
					TIMG8_C0	9	IO	
					VREF-	(非 IOMUX 1) 0	A	

Copyright © 2025 Texas Instruments Incorporated

表 6-2. ピン属性 (続き)

RGE ピン	RHB ピン	RGZ ピン	PT ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号名	IOMUX PF	信号のタイプ	バッファのタイプ
18	26	40	40	PA22 PINCM47 0x404280b8	PA22	1	IO	SDIO (標準)
					SPI0_CS2	3	IO	
					UART1_RTS	4	O	
					TIMA0_C0N	5	O	
					TIMA0_C1	6	IO	
					CLK_OUT	7	O	
					I2C0_SCL	8	IOD	
					TIMG8_C1	9	IO	
					A0_7	(非 IOMUX 1) 0	A	
19	27	43	43	PA23 PINCM53 0x404280d0	PA23	1	IO	SDIO (標準)
					SPI0_CS3	3	IO	
					TIMA0_C3	5	IO	
					TIMG8_C0	6	IO	
					TIMG0_C0	8	IO	
					VREF+	(非 IOMUX 1) 0	A	
20	28	44	44	PA24 PINCM54 0x404280d4	PA24	1	IO	SDIO (標準)
					SPI0_CS2	3	IO	
					TIMA0_C3N	5	O	
					TIMG8_C1	6	IO	
					TIMG0_C1	9	IO	
					A0_3	(非 IOMUX 1) 0	A	
21	29	45	45	PA25 PINCM55 0x404280d8	PA25	1	IO	SDIO (標準)
					TIMA0_C3	5	IO	
					TIMA0_C1N	6	O	
					A0_2	(非 IOMUX 1) 0	A	
22	30	46	46	PA26 PINCM59 0x404280e8	PA26	1	IO	SDIO (標準)
					TIMG8_C0	4	IO	
					TIMA_FAL0	5	I	
					TIMA0_C3N	6	O	
					A0_1	(非 IOMUX 1) 0	A	
	31	47	47	PA27 PINCM60 0x404280ec	PA27	1	IO	SDIO (標準)
					TIMG8_C1	4	IO	
					TIMA_FAL2	5	I	
					CLK_OUT	6	O	
					RTC_OUT	7	O	
					A0_0	(非 IOMUX 1) 0	A	
		3	3	PA28 PINCM3 0x40428008	PA28	1	IO	HDIO (高駆動)
					UART0_TX	2	O	
					I2C0_SDA	3	IOD	
					TIMA0_C3	4	IO	
					TIMA_FAL0	5	I	
					TIMA0_C1	6	IO	
					SPI0_CS3	7	IO	
					WAKE	(非 IOMUX 1) 0	I	

Copyright © 2025 Texas Instruments Incorporated

表 6-2. ピン属性 (続き)

RGE ピン	RHB ピン	RGZ ピン	PT ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号名	IOMUX PF	信号のタイプ	バッファのタイプ
		5	5	PA31 PINCM6 0x40428014	PA31	1	IO	SDIO (WAKE 付き標準)
					UART0_RX	2	I	
					I2C0_SCL	3	IOD	
					TIMA0_C3N	4	O	
					CLK_OUT	6	O	
					SPI0_CS3	7	IO	
					WAKE	(非 IOMUX 1) 0	I	
		14	14	PB2 PINCM15 0x40428038	PB2	1	IO	SDIO (標準)
					TIMA0_C3	5	IO	
					UART1_CTS	6	I	
					TIMG1_C0	7	IO	
					HFCLK_IN	10	I	
					SPI0_PICO	11	IO	
		15	15	PB3 PINCM16 0x4042803c	PB3	1	IO	SDIO (標準)
					TIMA0_C3N	5	O	
					UART1_RTS	6	O	
					TIMG1_C1	7	IO	
					TIMA0_C0	10	IO	
					SPI0_SCK	11	IO	
		20	20	PB6 PINCM23 0x40428058	PB6	1	IO	SDIO (標準)
					UART1_TX	2	O	
					TIMG8_C0	5	IO	
					TIMA_FAL2	8	I	
					SPI0_CS1	9	IO	
		21	21	PB7 PINCM24 0x4042805c	PB7	1	IO	SDIO (標準)
					UART1_RX	2	I	
					TIMG8_C1	5	IO	
					SPI0_CS2	8	IO	
		22	22	PB8 PINCM25 0x40428060	PB8	1	IO	SDIO (標準)
					UART1_CTS	2	I	
					TIMA0_C0	5	IO	
		23	23	PB9 PINCM26 0x40428064	PB9	1	IO	SDIO (標準)
					UART1_RTS	2	O	
					TIMA0_C0N	5	O	
					TIMA0_C1	6	IO	
		24	24	PB14 PINCM31 0x40428078	PB14	1	IO	SDIO (標準)
					TIMA0_C0	5	IO	
					TIMG8_IDX	6	I	
					SPI0_CS3	7	IO	
		25	25	PB15 PINCM32 0x4042807c	PB15	1	IO	SDIO (標準)
					TIMG8_C0	5	IO	
		26	26	PB16 PINCM33 0x40428080	PB16	1	IO	SDIO (標準)
					TIMG8_C1	5	IO	

Copyright © 2025 Texas Instruments Incorporated

表 6-2. ピン属性 (続き)

RGE ピン	RHB ピン	RGZ ピン	PT ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号名	IOMUX PF	信号のタイプ	バッファのタイプ
		36	36	PB17 PINCM43 0x404280a8	PB17	1	IO	SDIO (標準)
					SPI0_PICO	3	IO	
					I2C0_SCL	4	IOD	
					TIMA0_C2	5	IO	
					TIMG0_C0	6	IO	
		37	37	PB18 PINCM44 0x404280ac	PB18	1	IO	SDIO (標準)
					SPI0_SCK	3	IO	
					I2C0_SDA	4	IOD	
					TIMA0_C2N	5	O	
					TIMG0_C1	6	IO	
		38	38	PB19 PINCM45 0x404280b0	PB19	1	IO	SDIO (標準)
					SPI0_POCI	3	IO	
					TIMG8_C1	4	IO	
					UART0_CTS	5	I	
					TIMG8_IDX	7	I	
					A0_5	(非 IOMUX 1) 0	A	
		41	41	PB20 PINCM48 0x404280bc	PB20	1	IO	SDIO (標準)
					SPI0_CS2	2	IO	
					TIMA0_C2	5	IO	
					TIMA_FAL1	6	I	
					TIMA0_C1	7	IO	
					I2C0_SDA	9	IOD	
					A0_6	(非 IOMUX 1) 0	A	
		42	42	PB24 PINCM52 0x404280cc	PB24	1	IO	SDIO (標準)
					SPI0_CS3	2	IO	
					SPI0_CS1	3	IO	
					TIMA0_C3	5	IO	
					TIMA0_C1N	6	O	
					UART0_TX	10	O	
					UART0_RX	11	I	
23	32	48	48	VCORE	VCORE	(非 IOMUX 1) 0	PWR	PWR
3	4	6	6	VDD	VDD	(非 IOMUX 1) 0	PWR	PWR
4	5	7	7	VSS	VSS	(非 IOMUX 1) 0	PWR	PWR

6.3 信号の説明

多くの MSPM0 信号は、複数のデバイスピンで利用可能になります。次に列ヘッダーについて説明します。

1. **信号名**:指定されたピンのいずれかに接続できる信号の名前。
2. **ピンの種類**:信号の方向と信号のタイプ:
   - I = 入力
   - O = 出力
   - IO = 入力、出力、または同時に入力と出力
   - ID = 入力、オープンドレイン動作付き
   - OD = 出力、オープンドレイン動作付き
   - IOD = 入力、出力、または同時に入力と出力、オープンドレイン動作き
   - A = アナログ

Copyright © 2025 Texas Instruments Incorporated

- PWR = 電源機能

3. **説明**: 信号の説明。
4. **ピン**: 関連するピン番号。

ピン多重化方式に関する追加情報については、『*MSPM0 L シリーズ 32MHz マイコン テクニカル リファレンス マニュアル*』の「IOMUX」の章を参照してください。

注

IOMUX は、IOMUX による 1 つのデジタル機能をピンに同時に接続することのみをサポートしています。ただし、IOMUX 非管理信号 (アナログ入力、WAKE 入力など) は、このピンにおいて IOMUX 管理デジタル機能が有効化されると同時に、このピンで有効化できます。この場合、各ピンでイネーブルされる機能間に競合がないことを設計者が確認する必要があります。

表 6-3. A/D コンバータ (ADC) 信号の説明

信号名	ピンの種類	説明	RGE ピン	RHB ピン	RGZ ピン	PT ピン
A0_0	A	ADC0 アナログ入力チャンネル 0		31	47	47
A0_1	A	ADC0 アナログ入力チャンネル 1	22	30	46	46
A0_2	A	ADC0 アナログ入力チャンネル 2	21	29	45	45
A0_3	A	ADC0 アナログ入力チャンネル 3	20	28	44	44
A0_4	A	ADC0 アナログ入力チャンネル 4	14	22	33	33
A0_5	A	ADC0 アナログ入力チャンネル 5			38	38
A0_6	A	ADC0 アナログ入力チャンネル 6			41	41
A0_7	A	ADC0 アナログ入力チャンネル 7	18	26	40	40
A0_8	A	ADC0 アナログ入力チャンネル 8		16	27	27
A0_9	A	ADC0 アナログ入力チャンネル 9		17	28	28
A0_12	A	ADC0 アナログ入力チャンネル 12		18	29	29
A0_13	A	ADC0 アナログ入力チャンネル 13	12	20	31	31
A0_14	A	ADC0 アナログ入力チャンネル 14	13	21	32	32

表 6-4. ブートストラップ ローダ (BSL) 信号の説明

信号名	ピンの種類	説明	RGE ピン	RHB ピン	RGZ ピン	PT ピン
BSLRX	I	BSL UART 受信信号 (RXD)	10	15	19	19
BSLSCL	IOD	BSL I2C クロック信号 (SCL)	1	2	2	2
BSLSDA	IOD	BSL I2C データ信号 (SDA)	24	1	1	1
BSLTX	O	BSL UART の送信信号 (TXD)	9	14	18	18
BSL_invoke	I	BSL 起動信号 (BSL がイネーブルの場合、BSL エントリの間は BOOTRST 中は High、BSL エントリを防止するために BOOTRST 中は Low になっている必要があります)	14	22	33	33

表 6-5. クロック モジュール (CKM) 信号の説明

信号名	ピンの種類	説明	RGE ピン	RHB ピン	RGZ ピン	PT ピン
CLK_OUT	O	PMCU の CLK_OUT デジタル クロック出力	18、8、9	11、13、14、18、26、31	13、17、18、29、40、47、5	13、17、18、29、40、47、5

Copyright © 2025 Texas Instruments Incorporated

表 6-5. クロック モジュール (CKM) 信号の説明 (続き)

信号名	ピンの種類	説明	RGE ピン	RHB ピン	RGZ ピン	PT ピン
FCC_IN	I	周波数クロック カウンタ (FCC) 入力信号	12、24	1、11、16、20、9	1、11、13、27、31	1、11、13、27、31
HFCLK_IN	I	高周波数デジタル クロック入力信号		10、12	12、14、16	12、14、16
LFCLK_IN	I	低周波数デジタル クロック入力信号	7	8	10	10
LFXIN	A	低周波数水晶発振器 (LFXT) 信号	6	7	9	9
LFXOUT	A	低周波数水晶発振器 (LFXT) 信号	7	8	10	10
ROSC	A	SYSOSC 周波数補正ループ (FCL) 外部抵抗信号	5	6	8	8

表 6-6. 汎用入出力モジュール信号の説明

信号名	ピンの種類	説明	RGE ピン	RHB ピン	RGZ ピン	PT ピン
PA0	IO	GPIO ポート A 入出力 0	24	1	1	1
PA1	IO	GPIO ポート A 入出力 1	1	2	2	2
PA2	IO	GPIO ポート A 入出力 2	5	6	8	8
PA3	IO	GPIO ポート A 入出力 3	6	7	9	9
PA4	IO	GPIO ポート A 入出力 4	7	8	10	10
PA5	IO	GPIO ポート A 入出力 5		9	11	11
PA6	IO	GPIO ポート A 入出力 6		10	12	12
PA7	IO	GPIO ポート A 入出力 7		11	13	13
PA8	IO	GPIO ポート A 入出力 8		12	16	16
PA9	IO	GPIO ポート A 入出力 9	8	13	17	17
PA10	IO	GPIO ポート A 入出力 10	9	14	18	18
PA11	IO	GPIO ポート A 入出力 11	10	15	19	19
PA12	IO	GPIO ポート A 入出力 12		16	27	27
PA13	IO	GPIO ポート A 入出力 13		17	28	28
PA14	IO	GPIO ポート A 入出力 14		18	29	29
PA15	IO	GPIO ポート A 入出力 15	11	19	30	30
PA16	IO	GPIO ポート A 入出力 16	12	20	31	31
PA17	IO	GPIO ポート A 入出力 17	13	21	32	32
PA18	IO	GPIO ポート A 入出力 18	14	22	33	33
PA19	IO	GPIO ポート A 入出力 19	15	23	34	34
PA20	IO	GPIO ポート A 入出力 20	16	24	35	35
PA21	IO	GPIO ポート A 入出力 21	17	25	39	39
PA22	IO	GPIO ポート A 入出力 22	18	26	40	40
PA23	IO	GPIO ポート A 入出力 23	19	27	43	43
PA24	IO	GPIO ポート A 入出力 24	20	28	44	44
PA25	IO	GPIO ポート A 入出力 25	21	29	45	45
PA26	IO	GPIO ポート A 入出力 26	22	30	46	46
PA27	IO	GPIO ポート A 入出力 27		31	47	47
PA28	IO	GPIO ポート A 入出力 28			3	3

Copyright © 2025 Texas Instruments Incorporated

表 6-6. 汎用入出力モジュール信号の説明 (続き)

信号名	ピンの種類	説明	RGE ピン	RHB ピン	RGZ ピン	PT ピン
PA31	IO	GPIO ポート A 入出力 31			5	5
PB2	IO	GPIO ポート B 入出力 2			14	14
PB3	IO	GPIO ポート B 入出力 3			15	15
PB6	IO	GPIO ポート B 入出力 6			20	20
PB7	IO	GPIO ポート B 入出力 7			21	21
PB8	IO	GPIO ポート B 入出力 8			22	22
PB9	IO	GPIO ポート B 入出力 9			23	23
PB14	IO	GPIO ポート B 入出力 14			24	24
PB15	IO	GPIO ポート B 入出力 15			25	25
PB16	IO	GPIO ポート B 入出力 16			26	26
PB17	IO	GPIO ポート B 入出力 17			36	36
PB18	IO	GPIO ポート B 入出力 18			37	37
PB19	IO	GPIO ポート B 入出力 19			38	38
PB20	IO	GPIO ポート B 入出力 20			41	41
PB24	IO	GPIO ポート B 入出力 24			42	42

表 6-7. I2C 信号の説明

信号名	ピンの種類	説明	RGE ピン	RHB ピン	RGZ ピン	PT ピン
I2C0_SCL	IOD	I2C0 シリアル クロック信号 (SCL)	1、10、18、8、9	13、14、15、2、26	17、18、19、2、36、40、5	17、18、19、2、36、40、5
I2C0_SDA	IOD	I2C0 シリアル データ信号 (SDA)	10、24、9	1、12、14、15	1、16、18、19、3、37、41	1、16、18、19、3、37、41

表 6-8. IOMUX 信号の説明

信号名	ピンの種類	説明	RGE ピン	RHB ピン	RGZ ピン	PT ピン
WAKE	I	本デバイスをシャットダウン モードからウェークアップする入力信号	1、10、11、12、13、14、2、24, 9	1、14、15、19、2、20、21、22, 3	1、18、19、2、3、30、31、32、33、4、5	1、18、19、2、3、30、31、32、33、4、5

表 6-9. パワー マネージメント ユニット (PMU) 信号の説明

信号名	ピンの種類	説明	RGE ピン	RHB ピン	RGZ ピン	PT ピン
VCORE	PWR	VCORE コンデンサの接続	23	32	48	48
VDD	PWR	VDD 電源	3	4	6	6
VSS	PWR	VSS (グランド)	4	5	7	7

Copyright © 2025 Texas Instruments Incorporated

表 6-10. リアルタイム クロック (RTC) 信号の説明

信号名	ピンの種類	説明	RGE ピン	RHB ピン	RGZ ピン	PT ピン
RTC_OUT	O	リアルタイム クロックの出力信号	8	13、17、31	17、28、47	17、28、47

表 6-11. シリアル ペリフェラル インターフェイス (SPI) 信号の説明

信号名	ピンの種類	説明	RGE ピン	RHB ピン	RGZ ピン	PT ピン
SPI0_PICO	IO	SPI0 ペリフェラル入力コントローラ出力信号	8	13、18、9	11、14、17、29、36	11、14、17、29、36
SPI0_POCI	IO	SPI0 ペリフェラル出力コントローラ入力信号	7、9	11、14、17、8、9	10、11、13、18、28、38	10、11、13、18、28、38
SPI0_SCK	IO	SPI0 シリアル クロック	10	10、15、16	12、15、19、27、37	12、15、19、27、37
SPI0_CS0	IO	SPI0 チップ セレクト 0 信号	14、5、7、8	12、13、22、6、8	10、16、17、33、8	10、16、17、33、8
SPI0_CS1	IO	SPI0 チップ セレクト 1 信号	13、6	16、21、7	20、27、32、42、9	20、27、32、42、9
SPI0_CS2	IO	SPI0 チップ セレクト 2 信号	18、20	11、18、26、28	13、21、29、40、41、44	13、21、29、40、41、44
SPI0_CS3	IO	SPI0 チップ セレクト 3 信号	1、17、19、6	12、17、2、25、27、7	16、2、24、28、3、39、42、43、5、9	16、2、24、28、3、39、42、43、5、9

表 6-12. シリアル ワイヤ デバッグ (SWD) 信号の説明

信号名	ピンの種類	説明	RGE ピン	RHB ピン	RGZ ピン	PT ピン
SWCLK	I	シリアル ワイヤ デバッグ インターフェイス クロック入力信号	16	24	35	35
SWDIO	IO	シリアル ワイヤ デバッグ インターフェイス データ入力 / 出力信号	15	23	34	34

表 6-13. システム コントローラ (SYSCTL) 信号の説明

信号名	ピンの種類	説明	RGE ピン	RHB ピン	RGZ ピン	PT ピン
NRST	I	アクティブ LOW のリセット信号 (ロジックを high にする必要があります。そうしないと、デバイスを起動できません)	2	3	4	4

表 6-14. タイマ (TIMx) 信号の説明

信号名	ピンの種類	説明	RGE ピン	RHB ピン	RGZ ピン	PT ピン
TIMA0_C0	IO	TIMA0 キャプチャ / 比較 0 信号	12、17、24、5	1、12、20、25、6	1、15、16、22、24、31、39、8	1、15、16、22、24、31、39、8

Copyright © 2025 Texas Instruments Incorporated

表 6-14. タイマ (TIMx) 信号の説明 (続き)

信号名	ピンの種類	説明	RGE ピン	RHB ピン	RGZ ピン	PT ピン
TIMA0_C1	IO	TIMA0 キャプチャ / 比較 1 信号	1、14、18、6、8	11、13、2、22、26、7	13、17、2、23、3、33、40、41、9	13、17、2、23、3、33、40、41、9
TIMA0_C2	IO	TIMA0 キャプチャ / 比較 2 信号	11、15、6、9	11、14、19、23、7	13、18、30、34、36、41、9	13、18、30、34、36、41、9
TIMA0_C3	IO	TIMA0 キャプチャ / 比較 3 信号	13、19、21、7	16、21、27、29、8	10、14、27、3、32、42、43、45	10、14、27、3、32、42、43、45
TIMA0_C0N	O	TIMA0 キャプチャ / 比較 0 相補出力	18、8	13、26	17、23、40	17、23、40
TIMA0_C1N	O	TIMA0 キャプチャ / 比較 1 相補出力	21、7	29、8	10、42、45	10、42、45
TIMA0_C2N	O	TIMA0 キャプチャ / 比較 2 相補出力	10、12、16、5	10、15、20、24、6	12、19、31、35、37、8	12、19、31、35、37、8
TIMA0_C3N	O	TIMA0 キャプチャ / 比較 3 相補出力	14、20、22、5	17、22、28、30、6	15、28、33、44、46、5、8	15、28、33、44、46、5、8
TIMA_FAL0	I	タイマ フォルト入力 0	10、22、5	10、12、15、30、6	12、16、19、3、46、8	12、16、19、3、46、8
TIMA_FAL1	I	タイマ フォルト入力 1	24、5、9	1、14、6、9	1、11、18、41、8	1、11、18、41、8
TIMA_FAL2	I	タイマ フォルト入力 2	1	12、2、31	16、2、20、47	16、2、20、47
TIMG8_IDX	I	TIMG8 直交エンコーダ インデックス パルス信号	1、11	11、19、2	13、2、24、30、38	13、2、24、30、38
TIMG0_C0	IO	TIMG0 キャプチャ / 比較 0 信号	15、19、24、9	1、14、16、23、27、9	1、11、18、27、34、36、43	1、11、18、27、34、36、43
TIMG0_C1	IO	TIMG0 キャプチャ / 比較 1 信号	1、10、16、20	10、15、17、2、24、28	12、19、2、28、35、37、44	12、19、2、28、35、37、44
TIMG1_C0	IO	TIMG1 キャプチャ / 比較 0 信号	11	19	14、30	14、30
TIMG1_C1	IO	TIMG1 キャプチャ / 比較 1 信号	12	20	15、31	15、31
TIMG8_C0	IO	TIMG8 キャプチャ / 比較 0 信号	1、13、17、19、22、6	11、2、21、25、27、30、7、9	11、13、2、20、25、32、39、43、46、9	11、13、2、20、25、32、39、43、46、9
TIMG8_C1	IO	TIMG8 キャプチャ / 比較 1 信号	14、18、20、24、5、7	1、10、22、26、28、31、6、8	1、10、12、21、26、33、38、40、44、47、8	1、10、12、21、26、33、38、40、44、47、8

Copyright © 2025 Texas Instruments Incorporated

表 6-15. ユニバーサル非同期レシーバ / トランスミッタ (UART) 信号の説明

信号名	ピンの種類	説明	RGE ピン	RHB ピン	RGZ ピン	PT ピン
UART0_CTS	I	信号を送信するための UART0 クリア	8	13、18、9	11、17、29、38	11、17、29、38
UART0_RTS	O	UART0 が信号送信準備完了	11	10、12、19	12、16、30	12、16、30
UART0_RX	I	UART0 受信信号 (RXD)	1、10、12	15、2、20	19、2、31、42、5	19、2、31、42、5
UART0_TX	O	UART0 送信信号 (TXD)	11、24、9	1、14、19	1、18、3、30、42	1、18、3、30、42
UART1_CTS	I	信号を送信するための UART1 クリア	17	16、25	14、22、27、39	14、22、27、39
UART1_RTS	O	UART1 が信号送信準備完了	18	17、26	15、23、28、40	15、23、28、40
UART1_RX	I	UART1 受信信号 (RXD)	14、7、8	10、13、22、8	10、12、17、21、33	10、12、17、21、33
UART1_TX	O	UART1 送信信号 (TXD)	13、6	12、21、7、9	11、16、20、32、9	11、16、20、32、9

表 6-16. 電圧リファレンス信号の説明

信号名	ピンの種類	説明	RGE ピン	RHB ピン	RGZ ピン	PT ピン
VREF+	A	電圧リファレンスの正入力	19	27	43	43
VREF-	A	電圧リファレンスの負入力	17	25	39	39

6.4 未使用ピンの接続

表 6-17 に、未使用ピンの正しい終端を示します。

表 6-17. 未使用ピンの接続

ピン (1)	電位	備考
PAx、PBx	オープン	対応するピン機能を GPIO (PINCMx.PF = 0x1) に設定し、未使用のピンが Low を出力するように、または未使用のピンが内部プルアップまたはプルダウン抵抗付き入力になるように構成します。
NRST	VCC	NRST はアクティブ Low のリセット信号です。このピンは VCC にプルアップする必要があります。そうしないと、本デバイスは起動できません。詳細については、セクション 9.1 を参照してください。

(1) 汎用 I/O と共有されている機能を持つすべての未使用ピンについては、「PAx、PBx」未使用ピンの接続ガイドラインに従う必要があります。

Copyright © 2025 Texas Instruments Incorporated

7 仕様

7.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
VDD	電源電圧	VDD ピンで	-0.3	4.1	V
V_I	入力電圧	すべての 5V 許容オープン ドレイン ピンに印加	-0.3	5.5	V
V_I	入力電圧	任意の通常耐圧ピンに印加	-0.3	V_{DD} + 0.3 (最大 4.1)	V
I_{VDD} (3)	VDD ピンに流れ込む電流 (ソース)	-40°C ≤ T_j ≤ 130°C		80	mA
	VDD ピンに流れ込む電流 (ソース)	-40°C ≤ Tj ≤90 °C		100	mA
I_{VSS} (3)	VSS ピンから流れ出す電流 (シンク)	-40°C ≤ T_j ≤ 130°C		80	mA
	VSS ピンから流れ出す電流 (シンク)	-40°C ≤ Tj ≤90 °C		100	mA
I_{IO}	SDIO ピンの電流	SDIO ピンによってシンクまたはソースされる電流、VDD >= 2.7V		6	mA
	HSIO ピンの電流	HSIO ピンによってシンクまたはソースされる電流、VDD >= 2.7V		6	mA
	HDIO ピンの電流	HDIO ピンによってシンクまたはソースされる電流		20	mA
	ODIO ピンの電流	ODIO ピンによってシンクされる電流		20	mA
I_D	サポートされているダイオード電流	任意のデバイス ピンのダイオード電流 (オープン ドレイン IO および PB24 を除く)	-2	2	mA
		PB24 IO ピンのダイオード電流	-2	0.05	mA
T_A	周囲温度	周囲温度	-40	125	℃
T_J	接合部温度	接合部温度	-40	130	℃
T_{stg}	保存温度(2)	保存温度(2)	-40	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります

(2) ボード製造時の半田付けでは、現在の JEDEC J-STD-020 仕様に従い、ピーク リフロー温度が梱包箱またはリール上のデバイス ラベルに記載されている分類を超えなければ、より高い温度になってもかまいません。

(3) VDD = 1.62V で動作するアプリケーションでは、デバイスの機能を確保するために、I_VDD/I_VSS <= 20mA が必要です

7.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC-Q100-002 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠、すべてのピン	±500	
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠、コーナー ピン	±750	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

Copyright © 2025 Texas Instruments Incorporated

7.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
VDD	電源電圧	1.62		3.6	V
VCORE	VCORE ピンの電圧 (2)		1.35		V
C_{VDD}	VDD と VSS の間に配置されたコンデンサ (1)		10		µF
C_{VCORE}	VCORE と VSS の間に配置されたコンデンサ (1) (2)		470		nF
T_A	周囲温度	-40		125	℃
T_J	最大接合部温度			130	℃
f_{MCLK}	MCLK、CPUCLK、ULPCLK 周波数、1 フラッシュ待機状態 (3)			32	MHz
	MCLK、CPUCLK、ULPCLK 周波数、0 フラッシュ待機状態 (3)			24	MHz

(1) C_{VDD} と C_{VCORE} は、それぞれ VDD/VSS 間と VCORE/VSS 間に、本デバイスのピンにできる限り近づけて接続します。 C_{VDD} と C_{VCORE} には、容量値の誤差が ±20% までの精度の低 ESR コンデンサを使う必要があります。
(2) VCORE ピンは、C_{VCORE} にのみ接続する必要があります。 電圧を供給したり、VCORE ピンに外部負荷を加えたりしないでください。
(3) ウェイト状態はシステム コントローラ (SYSCTL) によって自動的に管理されるため、MCLK が高速クロック ソース (HFCLK からソースされる HSCLK) から供給される場合以外は、アプリケーション ソフトウェアで構成する必要はありません。

7.4 熱に関する情報

熱評価基準(1)		パッケージ	値	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	LQFP-48 (PT)	76.8	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		33.1	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗		48.5	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ		2.9	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ		48	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		該当なし	℃/W
$R_{\theta JA}$	接合部から周囲への熱抵抗	VQFN-48 (RGZ)	32.5	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		23.1	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗		14.8	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ		0.6	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ		14.7	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		6.3	℃/W
$R_{\theta JA}$	接合部から周囲への熱抵抗	VQFN-32 (RHB)	35.2	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		27.8	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗		16.2	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ		0.7	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ		16.1	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		6.3	℃/W
$R_{\theta JA}$	接合部から周囲への熱抵抗	VQFN-24 (RGE)	43.6	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		36.8	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗		20.9	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ		0.9	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ		20.8	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		6.3	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

7.5 電源電流特性

7.5.1 RUN/SLEEP モード

VDD = 3.3V。 すべての入力は、0V または VDD に接続されています。出力は、電流のソースまたはシンクを行いません。 すべてのペリフェラルはディセーブルです。

パラメータ		MCLK	-40°C		25°C		85°C		105°C		125°C		単位
			標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	
RUN モード													
IDD_{RUN}	MCLK=SYSOSC、CoreMark、フラッシュから実行	32MHz	3.4		3.4		3.4		3.4		3.4		mA
		4MHz	0.7		0.7		0.7		0.7		0.7		
IDD_{RUN}、MHz あたり	MCLK=SYSOSC、CoreMark、フラッシュから実行	32MHz	105		106		106		107		107		μA/MHz
		4MHz	169		170		173		176		184		
	MCLK=SYSOSC、While(1)、フラッシュから実行	32MHz	65	74	66	75	66	77	67	80	68	83	
SLEEP モード													
IDD_{SLEEP}	MCLK=SYSOSC、CPU 停止	32MHz	1594	1730	1614	1780	1624	1800	1633	1860	1656	1920	μA
		4MHz	473	590	481	595	492	610	504	715	533	810	
	MCLK = LFCLK、CPU 停止	32KHz	278	340	283	345	289	380	300	450	335	556	
IDD_{SLEEP}、MHz あたり	MCLK=SYSOSC、CPU 停止	32MHz	50		50		51		51		52		μA/MHz

7.5.2 STOP/STANDBY モード

VDD = 3.3V。すべての入力は、0V または VDD に接続されています。 出力は、電流のソースまたはシンクを行いません。 特に記述のないすべてのペリフェラルはディセーブルです。

パラメータ		ULPCLK	-40°C		25°C		85°C		105°C		125°C		単位
			標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	
STOP モード													
IDD_{STOP0}	SYSOSC = 32MHz、USE4MHZSTOP = 0、DISABLESTOP = 0	4MHz	698	760	712	780	716	785	719	790	721	795	μA
IDD_{STOP1}	SYSOSC = 4MHz、USE4MHZSTOP = 1、DISABLESTOP = 0		232	255	239	260	245	268	250	278	257	290	
IDD_{STOP2}	SYSOSC オフ、DISABLESTOP=1、ULPCLK=LFCLK	32kHz	51	60	55	64	58	68	61	79	70	92	
STANDBY モード													
IDD_{STBY0}	LFCLK = LFXT、STORPCLKSTBY = 0、RTC イネーブル	32kHz	1.7	2	1.8	2.2	4	8	7	17	14	31	μA
IDD_{STBY1}	LFCLK = LFOSC、STORPCLKSTBY = 1、RTC イネーブル		1.4	1.7	1.5	1.8	3	7	6	17	13	31	
	LFCLK = LFXT、STORPCLKSTBY = 1、RTC イネーブル		1.4	1.7	1.5	1.8	3	7	6	17	13	31	
	LFCLK = LFXT、STORPCLKSTBY = 1、GPIOA イネーブル		1.4	1.7	1.5	1.8	3	7	6	17	13	31	

Copyright © 2025 Texas Instruments Incorporated

7.5.3 SHUTDOWN モード

すべての入力は、0V または VDD に接続されています。出力は、電流のソースまたはシンクを行いません。コア レギュレータはパワーダウンされています。

パラメータ		VDD	-40°C		25°C		85°C		105°C		125°C		単位
			標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	
IDD_{SHDN}	SHUTDOWN モードの電源電流	3.3V	57		75		464		1069		2961		nA

Copyright © 2025 Texas Instruments Incorporated

7.6 電源シーケンス

7.6.1 電源ランプ

図 7-1 に、パワーアップ / パワーダウン時の POR-、POR+、BOR0-、BOR0+ の関係を示します。

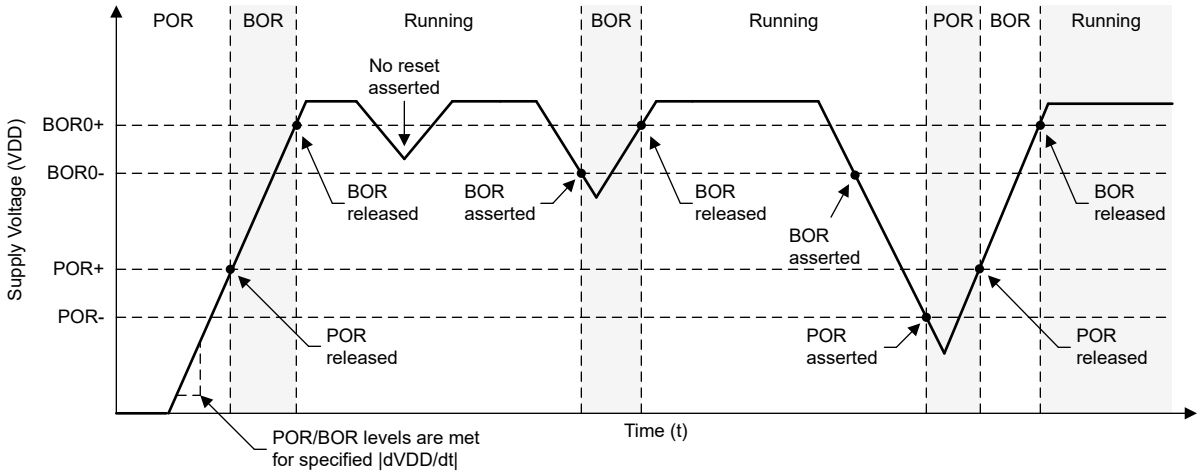


図 7-1. パワー サイクルの POR と BOR の条件 - VDD

7.6.2 POR および BOR

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
dVDD/dt	VDD (電源電圧) のスルーレート	立ち上がり			0.1	V/µs
		立ち下がり (1)			0.01	
		立ち下がり、STANDBY			0.1	V/ms
V_{POR+}	パワーオン リセット電圧レベル	立ち上がり	0.95	1.30	1.59	V
V_{POR-}		立ち下がり	0.9	1.25	1.54	V
$V_{HYS, POR}$	POR ヒステリシス		30	58	74	mV
$V_{BOR0+, COLD}$	ブラウンアウト リセット電圧レベル 0 (デフォルトのレベル)	-40°C ≤ T_a ≤ 25°C コールド スタート、立ち上がり	1.50	1.56	1.63	V
		25°C ≤ T_a ≤ 125°C コールド スタート、立ち上がり	1.51	1.58	1.65	
V_{BOR0+}		立ち上がり(1)	1.56	1.59	1.62	
V_{BOR0-}		立ち下がり(1)	1.55	1.58	1.61	
$V_{BOR0, STBY}$		STANDBY モード	1.51	1.56	1.61	
V_{BOR1+}	ブラウンアウト リセット電圧レベル 1	立ち上がり(1)	2.13	2.17	2.21	V
V_{BOR1-}		立ち下がり(1)	2.10	2.14	2.18	
$V_{BOR1, STBY}$		STANDBY モード	2.06	2.13	2.20	
V_{BOR2+}	ブラウンアウト リセット電圧レベル 2	立ち上がり(1)	2.73	2.77	2.82	V
V_{BOR2-}		立ち下がり(1)	2.7	2.74	2.79	
$V_{BOR2, STBY}$		STANDBY モード	2.62	2.71	2.8	

Copyright © 2025 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{BOR3+}	ブラウンアウト リセット電圧レベル 3	立ち上がり(1)	2.88	2.96	3.04	V
V_{BOR3-}		立ち下がり(1)	2.85	2.93	3.01	
$V_{BOR3、STBY}$		STANDBY モード	2.82	2.92	3.02	
$V_{HYS、BOR}$	ブラウンアウト リセットのヒステリシス	レベル 0		15	21	mV
		レベル 1 ～ 3		34	40	
$T_{PD, BOR}$	BOR 伝搬遅延	RUN/SLEEP/STOP モード			5	us
		STANDBY モード			100	us

(1) デバイスは RUN、SLEEP、STOP モードで動作しています。

7.7 フラッシュ メモリの特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
$VDD_{PGM/ERASE}$	書き込みと消去の電源電圧		1.62		3.6	V
IDD_{ERASE}	消去動作中の VDD からの電源電流	電源電流の差分			10	mA
IDD_{PGM}	書き込み動作中の VDD からの電源電流	電源電流の差分			10	mA
耐久性						
NWEC (HI_ENDURANCE)	選択された 32 セクタのフラッシュに対する消去 / 書き込みサイクル耐久性 (1)		100			k サイクル
NWEC (NORMAL_ENDURANCE)	消去 / 書き込みサイクル耐久性 (HI_ENDUSTRY にフラッシュを使用しない) (1)		10			k サイクル
$NE_{(MAX)}$	故障に至るまでの全消去動作回数 (2)		802			k 回の消去動作
$NW_{(MAX)}$	セクタが消去されるまでのワード線あたりの書き込み動作回数 (3)				83	書き込み動作
保持						
t_{RET_85}	フラッシュ メモリのデータ保持	-40℃ ≦ Tj ≦ 85℃	60			年
t_{RET_105}	フラッシュ メモリのデータ保持	-40℃ ≦ Tj ≦ 105℃	11.4			年
書き込みと消去のタイミング						
$t_{PROG (WORD, 64)}$	フラッシュ ワードの書き込み時間 (4) (6)			50	275	µs
$t_{PROG (SEC, 64)}$	1KB セクタの書き込み時間 (5) (6)			6.4		ms
$t_{ERASE (SEC)}$	セクタの消去時間	2k 以下の消去 / 書き込みサイクル、T_j≧25℃		4	20	ms
$t_{ERASE (SEC)}$	セクタの消去時間	10k 以下の消去 / 書き込みサイクル、T_j≧25℃		20	150	ms
$t_{ERASE (SEC)}$	セクタの消去時間	10k 未満の消去 / 書き込みサイクル		20	200	ms
$t_{ERASE (BANK)}$	バンクの消去時間	10k 未満の消去 / 書き込みサイクル		22	220	ms

(1) MAIN フラッシュ バンクまたはデータ バンクから、最大 32 のアプリケーション選択セクタを高耐久性セクタとして使用できます。これにより、EEPROM エミュレーションなどのフラッシュ データを頻繁に更新するアプリケーションが可能になります。
(2) 故障に至るまでにフラッシュによってサポートされる消去動作の累積回数。セクタ消去またはバンク消去動作は、1 回の消去動作と見なします。
(3) ワード線を消去するまでに、許容されるワード線あたりの書き込み動作の最大回数。同じワード

Copyright © 2025 Texas Instruments Incorporated

線への追加書き込みが必要な場合、ワード線あたりの書き込み動作の最大回数に達すると、セクタ消去が必要です。

(4) 書き込み時間は、書き込みコマンドがトリガされてから、
フラッシュ コントローラでコマンド完了割り込みフラグがセットされるまでの時間として定義されます。

(5) セクタ書き込み時間は、最初のワード書き込みコマンドがトリガされてから、最後のワード書き込み
コマンドが完了し、フラッシュ コントローラで割り込みフラグがセットされるまでの時間として定義されます。この時間には、セクタの書き込み中にソフトウェアが (最初のフラッシュ ワードの後に) 各
フラッシュ ワードをフラッシュ コントローラに読み込むために必要な時間が含まれます。

(6) フラッシュ ワード サイズは 64 データ ビット (8 バイト) です。ECC 付きデバイスの場合、フラッシュ ワード サイズの合計は 72 ビット (64 データ ビット + 8 ECC ビット) です。

7.8 タイミング特性

VDD=3.3V、T_a=25℃ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ウェークアップ タイミング						
$t_{WAKE, SLEEP}$	SLEEP0 から RUN までのウェークアップ時間 (1)			1.2		us
	SLEEP1 から RUN までのウェークアップ時間 (1)			1.5		
	SLEEP2 から RUN までのウェークアップ時間 (1)			2.1		
$t_{WAKE, STOP}$	STOP0 から RUN までのウェークアップ時間 (SYSOSC イネーブル) (1)			7		us
	STOP1 から RUN までのウェークアップ時間 (SYSOSC イネーブル) (1)			8.8		
	STOP2 から RUN までのウェークアップ時間 (SYSOSC ディセーブル) (1)			8.8		
$t_{WAKE, STANDBY}$	STANDBY0 から RUN までのウェークアップ時間 (1)			9.9		us
	STANDBY1 から RUN までのウェークアップ時間 (1)			9.9		
$t_{WAKEUP, SHDN}$	SHUTDOWN から RUN までのウェークアップ時間 (2)	高速ブートがイネーブル		270		us
		高速ブートがディセーブル		290		
非同期高速クロック要求タイミング						
$t_{DELAY, SLEEP}$	非同期要求のエッジから最初の 32MHz MCLK エッジまでの遅延時間	モードは SLEEP1		0.35		us
		モードは SLEEP2		0.92		
$t_{DELAY, STOP}$	非同期要求のエッジから最初の 32MHz MCLK エッジまでの遅延時間	モードは STOP0		0.1		us
		モードは STOP1		2.2		
		モードは STOP2		0.9		
$t_{DELAY, STANDBY}$	非同期要求のエッジから最初の 32MHz MCLK エッジまでの遅延時間	モードは STANDBY0		3.1		us
		モードは STANDBY1		3.1		
スタートアップ タイミング						
$t_{START, RESET}$	デバイスのリセット / パワーアップからのコールド スタートアップ時間 (3)	高速ブートがイネーブル		270		us
		高速ブートがディセーブル		310		
NRST のタイミング						
$t_{RST, BOOTRST}$	BOOTRST を生成するための NRST ピンのパルス長	ULPCLK≧4MHz		1.5		us
		ULPCLK=32kHz		30		

Copyright © 2025 Texas Instruments Incorporated

VDD=3.3V、T_a=25℃ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{RST、POR}$	POR を生成するための NRST ピンのパルス長			1		s

(1) ウェークアップ時間は、グリッチ フィルタがディセーブル (FILTEREN=0x0)、高速ウェークアップがイネーブル (FASTWAKEONLY=1) の条件で、外部ウェークアップ信号のエッジ (GPIO ウェークアップ イベント) から、ユーザー プログラムの最初の命令が実行されるまでの時間として測定されます。
(2) ウェークアップ時間は、外部ウェークアップ信号 (IOMUX ウェークアップ イベント) のエッジから、ユーザー プログラムの最初の命令が実行されるまでの時間として測定されます。
(3) スタートアップ時間は、VDD が VBOR0- と交差 (コールド スタートアップ) した時刻から、ユーザー プログラムの最初の命令が実行されるまでの時間として測定されます。

Copyright © 2025 Texas Instruments Incorporated

7.9 クロック仕様

7.9.1 システム発振器(SYSOSC)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SYSOSC}	出荷時に調整された SYSOSC 周波数	SYSOSCCFG.FREQ=00 (ベース)		32		MHz
		SYSOSCCFG.FREQ=01		4		
	ユーザー調整された SYSOSC 周波数	SYSOSCCFG.FREQ=10、SYSOSCTRIMUSER.FREQ=10		24		
		SYSOSCCFG.FREQ = 10、SYSOSCTRIMUSER.FREQ = 01		16		
f_{SYSOSC}	周波数補正ループ (FCL) がイネーブルで、理想的な R_{OSC} 抵抗を想定した場合の SYSOSC 周波数精度 (1) (2)	SETUSEFCL=1、T_a = 25℃	-0.60		0.68	%
		SETUSEFCL=1、-40℃ ≦ T_a ≦ 85℃	-0.80		0.93	
		SETUSEFCL=1、-40℃ ≦ T_a ≦ 105℃	-0.80		1.1	
		SETUSEFCL=1、-40℃ ≦ T_a ≦ 125℃	-0.80		1.3	
f_{SYSOSC}	周波数補正ループ (FCL) がイネーブルのときの SYSOSC 精度、R_{OSC} 抵抗を R_{OSC} ピンに配置、出荷時にトリムされた周波数用 (1)	SETUSEFCL=1、T_a = 25℃、±0.1% ±25ppm R_{OSC}	-0.7		0.78	%
		SETUSEFCL=1、-40℃ ≦ T_a ≦ 85℃、±0.1% ±25ppm R_{OSC}	-1.1		1.2	
		SETUSEFCL=1、-40℃ ≦ T_a ≦ 105℃、±0.1% ±25ppm R_{OSC}	-1.1		1.4	
		SETUSEFCL=1、-40℃ ≦ T_a ≦ 125℃、±0.1% ±25ppm R_{OSC}	-1.1		1.7	
f_{SYSOSC}	内部 R_{OSC} 抵抗使用、周波数補正ループ (FCL) イネーブル時の SYSOSC 周波数精度、32MHz (4)	SETUSEFCL = 1、T_a = 25 ℃	-1.2		1.3	%
		SETUSEFCL=1、-40℃ ≦ T_a ≦ 125℃	-2.1		1.6	
f_{SYSOSC}	内部 R_{OSC} 抵抗使用、周波数補正ループ (FCL) イネーブル時の SYSOSC 周波数精度、4MHz (4)	SETUSEFCL = 1、T_a = 25 ℃	-1.2		1.7	%
		SETUSEFCL=1、-40℃ ≦ T_a ≦ 125℃	-2.3		1.8	
f_{SYSOSC}	周波数補正ループ (FCL) がディセーブルのときの SYSOSC 精度、32MHz	SETUSEFCL=0、SYSOSCCFG.FREQ=00、-40℃ ≦ T_a ≦ 125℃	-2.6		1.8	%
f_{SYSOSC}	出荷時に調整された周波数 4MHz の場合、周波数補正ループ (FCL) がディセーブルのときの SYSOSC 精度	SETUSEFCL=0、SYSOSCCFG.FREQ=01、-40℃ ≦ T_a ≦ 125℃	-2.8		2.1	%
R_{OSC}	ROSC ピンと VSS の間の外付け抵抗 (1)	SETUSEFCL=1		100		kΩ
$t_{settle,SYSOSC}$	目標精度に達するまでのセトリング タイム (3)	SETUSEFCL=1、±0.1% 25ppm の R_{OSC} (1)			30	us
$f_{settle,SYSOSC}$	t_{settle} の間の f_{SYSOSC} の追加アンダーシュート精度(3)	SETUSEFCL=1、±0.1% 25ppm の R_{OSC} (1)	-16			%

(1) SYSOSC 周波数補正ループ (FCL) を使うと、本デバイスの ROSC ピンと VSS との間に接続すべき外部リファレンス抵抗 (ROSC) によって、SYSOSC の精度を高めることができます。±0.1% 25ppm の ROSC に対する精度を示しています。公差の緩い抵抗も使用できます (SYSOSC の精度は低下します)。さまざまな ROSC 精度での SYSOSC 精度の計算方法の詳細については、テクニカル リファレンス マニュアルの「SYSOSC」のセクションを参照してください。FCL をイネーブルしない場合には、ROSC を実装する必要はありません。

(2) デバイスの精度のみを表します。最終的な精度を判定するには、使用する ROSC 抵抗の公差と温度ドリフトを、この仕様と組み合わせる必要があります。±0.1% ±25ppm ROSC についての性能が、基準点として示されています。

(3) SYSOSC がウェークアップするとき (たとえば、低消費電力モードを終了するとき)、FCL がイネーブルなら、SYSOSC は最初に目標周波数 fSYSOSC を、時間 tsettle,SYSOSC にわたって、最大 fsettle,SYSOSC の追加誤差だけアンダーシュートします。目標の精度はこの時間後に達成されます。

(4) SYSOSC の周波数補正ループ (FCL) を使うと、内部リファレンス抵抗によって SYSOSC の精度を高めることができます。SYSOSC 精度の計算方法の詳細については、テクニカル リファレンス マニュアルの「SYSOSC」のセクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

7.9.2 低周波数発振器 (LFOSC)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{LFOSC}	LFOSC 周波数			32768		Hz
	LFOSC 精度	-40℃ ≦ T_a ≦ 125℃	-5		5	%
		-40℃ ≦ T_a ≦ 85℃	-3		3	%
I_{LFOSC}	LFOSC 消費電流			300		nA
$t_{start、LFOSC}$	LFOSC スタートアップ時間			1		ms

7.9.3 低周波数クリスタル / クロック

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
低周波数水晶発振器 (LFXT)						
f_{LFXT}	LFXT 周波数			32768		Hz
DC_{LFXT}	LFXT デューティ サイクル		30		70	%
OA_{LFXT}	LFXT 水晶発振余裕度			419		kΩ
$C_{L, eff}$	内部実効負荷容量(1)			1		pF
$t_{start, LFXT}$	LFXT スタートアップ時間			1000		ms
I_{LFXT}	LFXT 消費電流	XT1DRIVE = 0、LOWCAP = 1		200		nA
低周波数デジタル クロック入力 (LFCLK_IN)						
f_{LFIN}	LFCLK_IN 周波数 (2)	SETUSEEXLF = 1	29491	32768	36045	Hz
DC_{LFIN}	LFCLK_IN デューティ サイクル(2)	SETUSEEXLF = 1	40		60	%
LFCLK モニタ						
$f_{FAULTLF}$	LFCLK モニタ フォルト周波数 (3)	MONITOR=1	2800	4200	8400	Hz

(1) これには、寄生結合およびパッケージ容量 (ピンごとに約 2 pF) が含まれ、$C_{LFXIN} \times C_{LFXOUT}/(C_{LFXIN}+C_{LFXOUT})$ として計算されます。ここで、C_{LFXIN} および C_{LFXOUT} は、それぞれ LFXIN および LFXOUT における合計容量です。
(2) デジタル クロック入力 (LFCLK_IN) は、ロジック レベルの方形波クロックを受け入れます。
(3) LFCLK モニタは、LFXT または LFCLK_IN の監視に使用できます。 最小フォルト周波数を下回る場合には必ずフォルトが発生し、最大フォルト周波数を超える場合には決してフォルトは発生しません。

7.10 デジタル IO

7.10.1 電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{IH}	High レベル入力電圧	ODIO (1)	VDD≧1.62V	0.7*VDD		5.5	V
			VDD≧2.7V	2		5.5	V
		すべての I/O (ODIO とリセットを除く)	VDD≧1.62V	0.7*VDD		VDD+0.3	V
V_{IL}	Low レベル入力電圧	ODIO	VDD≧1.62V	-0.3		0.3*VDD	V
			VDD≧2.7V	-0.3		0.8	V
		すべての I/O (ODIO とリセットを除く)	VDD≧1.62V	-0.3		0.3*VDD	V

Copyright © 2025 Texas Instruments Incorporated

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{HYS}	ヒステリシス	ODIO		0.05*VDD			V
		すべての I/O (ODIO を除く)		0.1*VDD			V
I_{lkg}	ハイ インピーダンスのリーク電流 (すべてのパッケージ)	SDIO (PB24 を除く) (2) (3)	1.62V ≦ VDD ≦ 3.6V、-40℃ ≦ T_A ≦ 125℃			50(4)	nA
		PB24(2) (3)	1.62V ≦ VDD ≦ 3.6V、-40℃ ≦ T_A ≦ 125℃			130(4)	nA
R_{PU}	プルアップ抵抗	すべての I/O (ODIO を除く)	VIN = VSS		40		kΩ
R_{PD}	プルダウン抵抗		VIN = VDD		40		kΩ
C_I	入力容量		VDD = 3.3V		5		pF
V_{OH}	High レベル出力電圧	SDIO	VDD ≥ 2.7V、$\|I_{IO}\|_{,max}$ = 6mA VDD ≥ 1.71V、$\|I_{IO}\|_{,max}$ = 2mA VDD ≥ 1.62V、$\|I_{IO}\|_{,max}$ = 1.5mA -40°C ≤ T_a ≤ 25°C	VDD-0.4			V
			VDD ≥ 2.7V、$\|I_{IO}\|_{,max}$ = 6mA VDD ≥ 1.71V、$\|I_{IO}\|_{,max}$ = 2mA VDD ≥ 1.62V、$\|I_{IO}\|_{,max}$ = 1.5mA -40°C ≤ T_a ≤ 125°C	VDD-0.45			
		HSIO	VDD ≥ 2.7V、DRV = 1、$\|I_{IO}\|_{,max}$ = 6mA VDD ≥ 1.71V、DRV = 1、$\|I_{IO}\|_{,max}$ = 3mA VDD ≥ 1.62V、 DRV = 1、$\|I_{IO}\|_{,max}$ = 2mA -40°C ≤ T_a ≤ 25°C	VDD-0.4			
			VDD ≥ 2.7V、DRV = 1、$\|I_{IO}\|_{,max}$ = 6mA VDD ≥ 1.71V、DRV = 1、$\|I_{IO}\|_{,max}$ = 3mA VDD ≥ 1.62V、 DRV = 1、$\|I_{IO}\|_{,max}$ = 2mA -40°C ≤ T_a ≤ 125°C	VDD-0.45			
			VDD ≥ 2.7V、DRV = 0、$\|I_{IO}\|_{,max}$ = 4mA VDD ≥ 1.71V、DRV = 0、$\|I_{IO}\|_{,max}$ = 2mA VDD ≥ 1.62V、 DRV = 0、$\|I_{IO}\|_{,max}$ = 1.5mA -40°C ≤ T_a ≤ 25°C	VDD-0.4			
			VDD ≥ 2.7V、DRV = 0、$\|I_{IO}\|_{,max}$ = 4mA VDD ≥ 1.71V、DRV = 0、$\|I_{IO}\|_{,max}$ = 2mA VDD ≥ 1.62V、 DRV = 0、$\|I_{IO}\|_{,max}$ = 1.5mA -40°C ≤ T_a ≤ 125°C	VDD-0.45			
		HDIO	VDD ≥ 2.7V、DRV = 1(5)、$\|I_{IO}\|_{,max}$ = 20mA VDD ≥ 1.71V、DRV = 1(5)、$\|I_{IO}\|_{,max}$ = 10mA	VDD-0.4			
			VDD ≧ 2.7V、DRV = 0、$\|I_{IO}\|_{,max}$ = 6mA VDD ≧ 1.71V、DRV = 0、$\|I_{IO}\|_{,max}$ = 2mA	VDD-0.4			

Copyright © 2025 Texas Instruments Incorporated

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{OL}	Low レベル出力電圧	SDIO	VDD ≥ 2.7V、$\|I_{IO}\|_{,max}$ = 6mA VDD ≥ 1.71V、$\|I_{IO}\|_{,max}$ = 2mA VDD ≥ 1.62V、$\|I_{IO}\|_{,max}$ = 1.5mA -40°C ≤ T_a ≤ 25°C			0.4	V
			VDD ≥ 2.7V、$\|I_{IO}\|_{,max}$ = 6mA VDD ≥ 1.71V、$\|I_{IO}\|_{,max}$ = 2mA VDD ≥ 1.62V、$\|I_{IO}\|_{,max}$ = 1.5mA -40°C ≤ T_a ≤ 125°C			0.45	
		HSIO	VDD ≥ 2.7V、DRV = 1、$\|I_{IO}\|_{,max}$ = 6mA VDD ≥ 1.71V、DRV = 1、$\|I_{IO}\|_{,max}$ = 3mA VDD ≥ 1.62V、 DRV = 1、$\|I_{IO}\|_{,max}$ = 2mA -40°C ≤ T_a ≤ 25°C			0.4	
			VDD ≥ 2.7V、DRV = 1、$\|I_{IO}\|_{,max}$ = 6mA VDD ≥ 1.71V、DRV = 1、$\|I_{IO}\|_{,max}$ = 3mA VDD ≥ 1.62V、 DRV = 1、$\|I_{IO}\|_{,max}$ = 2mA -40°C ≤ T_a ≤ 125°C			0.45	
			VDD ≥ 2.7V、DRV = 0、$\|I_{IO}\|_{,max}$ = 4mA VDD ≥ 1.71V、DRV = 0、$\|I_{IO}\|_{,max}$ = 2mA VDD ≥ 1.62V、 DRV = 0、$\|I_{IO}\|_{,max}$ = 1.5mA -40°C ≤ T_a ≤ 25°C			0.4	
			VDD ≥ 2.7V、DRV = 0、$\|I_{IO}\|_{,max}$ = 4mA VDD ≥ 1.71V、DRV = 0、$\|I_{IO}\|_{,max}$ = 2mA VDD ≥ 1.62V、 DRV = 0、$\|I_{IO}\|_{,max}$ = 1.5mA -40°C ≤ T_a ≤ 125°C			0.45	
		HDIO	VDD ≥ 2.7V、DRV = 1[5]、$\|I_{IO}\|_{,max}$ = 20mA VDD ≥ 1.71V、DRV = 1[5]、$\|I_{IO}\|_{,max}$ = 10mA			0.4	
			VDD ≧ 2.7V、DRV = 0、$\|I_{IO}\|_{,max}$ = 6mA VDD ≧ 1.71V、DRV = 0、$\|I_{IO}\|_{,max}$ = 2mA			0.4	
		ODIO	VDD ≥ 2.7V、$I_{OL,max}$ = 8mA VDD ≥ 1.71V、$I_{OL,max}$ = 4mA -40°C ≤ T_a ≤ 25 °C			0.4	
			VDD ≥ 2.7V、$I_{OL,max}$ = 8mA VDD ≥ 1.71V、$I_{OL,max}$ = 4mA -40°C ≤ T_a ≤ 125 °C			0.45	

(1) I/O タイプ : ODIO = 5V 許容オープンドレイン、SDIO = 標準駆動、HSIO = 高速
(2) リーク電流は、対応するピンに VSS または VDD を印加して計測されます (特に記述のない限り)。
(3) デジタル ポート ピンのリーク電流は個別に計測されます。ポート ピンは入力として選択され、プルアップ / プルダウン抵抗は無効化されています。
(4) この値は、SDIO がアナログ入力と多重化されていない場合の値です。SDIO がアナログ入力と多重化されている場合、リーク電流はさらに大きくなる可能性があります。

Copyright © 2025 Texas Instruments Incorporated

(5) DRV = 1 の高駆動強度構成で HDIO を動作させる場合は、信号のスルー レートを制限するため直列抵抗が必要です

7.10.2 スイッチング特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
f_{max}	ポート出力周波数(1)	SDIO	VDD ≧ 2.7V、CL = 20pF			32	MHz
			VDD ≧ 1.71V、C_L = 20pF			16	MHz
		HSIO	VDD ≧ 2.7V、DRV = 1、CL = 20pF			32	MHz
			VDD ≧ 2.7V、DRV = 0、CL = 20pF			32	MHz
			VDD ≧ 1.71V、DRV = 1、CL = 20pF			24	MHz
			VDD ≧ 1.71V、DRV = 0、CL = 20pF			16	MHz
		HDIO	VDD ≧ 2.7V、DRV = 1、(2)CL = 20pF			20	MHz
			VDD ≧ 2.7V、DRV = 0、CL = 20pF			20	MHz
			VDD ≧ 1.71V、DRV = 1、(2)CL = 20pF			16	MHz
			VDD ≧ 1.71V、DRV = 0、CL = 20pF			16	MHz
		ODIO	VDD ≧ 1.71V、FM^+、CL = 20pF～100pF			1	MHz
t_r、t_f	出力立ち上がり / 立ち下がり時間	SDIO	VDD ≧ 2.7V、CL = 20pF			3.5	ns
			VDD ≧ 1.71V、C_L = 20pF			6.6	ns
		HSIO	VDD ≧ 2.7V、DRV = 1、CL = 20pF			1.8	ns
			VDD ≧ 2.7V、DRV = 0、CL = 20pF			5.9	ns
			VDD ≧ 1.71V、DRV = 1、CL = 20pF			3.7	ns
			VDD ≧ 1.71V、DRV = 0、CL = 20pF			12.6	ns
		HDIO	VDD ≧ 2.7V、DRV = 1、CL = 20pF			1.7	ns
			VDD ≧ 2.7V、DRV = 0、CL = 20pF			3.8	ns
			VDD ≧ 1.71V、DRV = 1、CL = 20pF			3.1	ns
			VDD ≧ 1.71V、DRV = 0、CL = 20pF			8.2	ns
t_f	出力立ち下がり時間	ODIO	VDD ≧ 1.71V、FM^+、CL = 20pF～100pF	20*VDD/5.5		120	ns

(1) I/O タイプ:ODIO = 5V 対応オープンドレイン、SDIO=標準駆動、HSIO=高速、HDIO =高駆動
(2) DRV = 1 の高駆動強度構成で HDIO を動作させる場合は、信号のスルー レートを制限するため直列抵抗が必要です

7.11 アナログ マルチプレクサ VBOOST

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{VBST}	VBOOST 電流加算器	MCLK/ULPCLK は LFCLK		0.8		μA
		MCLK/ULPCLK は LFCLK ではなく、SYSOSC の周波数は 4MHz		10.6		
$t_{START,VBST}$	VBOOST 起動時間			12	20	us

7.12 ADC

7.12.1 電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。すべての代表値は 25℃で測定されており、すべての精度パラメータは 12 ビット分解能モードを使用して測定されています (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$Vin_{(ADC)}$	アナログ入力電圧範囲(1)	すべての ADC アナログ入力ピンに適用されます	0		VDD	V
V_{R+}	正の ADC リファレンス電圧	VDD から供給される V_{R+}		VDD		V
		外部リファレンス電圧ピン (VREF+) から供給される V_{R+}	1.4		VDD	V
		内部リファレンス電圧 (VREF) から供給される V_{R+}		VREF		V
V_{R-}	負の ADC リファレンス電圧			0		V
F_S	ADC サンプリング周波数	RES = 0x0 (12 ビット モード)、外部基準電圧			1.68	Msps
F_S	ADC サンプリング周波数	外部リファレンス電圧 (3)、HW 平均化イネーブル、16 サンプル、2 ビット シフト		105		kSPS
F_S	ADC サンプリング周波数	RES = 0x0 (12 ビット モード)、内部リファレンス			200	ksps
$I_{(ADC)}$ (2)	VDD 端子に流れ込む動作電源電流	F_S = 1.68MSPS、内部リファレンス電圧はオフ、V_{R+} = VDD		570		μA
		F_S = 200ksps、内部リファレンス電圧はオン、V_{R+} = VREF = 2.5V		320		
$C_{S/H}$	ADC サンプル ホールド容量			4.3		pF
Rin	ADC 入力抵抗			0.5		kΩ
ENOB	有効ビット数	Fin = 10kHz、外部リファレンス(3)	11.0	11.1		ビット
		Fin = 5kHz、外部リファレンス(3)、HW 平均化イネーブル、16 サンプル、2 ビット シフト		12.3		
		Fin = 10kHz、内部リファレンス、V_{R+} = VREF = 2.5V	10	10.2		
SNR	信号対雑音比	Fin = 10kHz、外部リファレンス(3)		71		dB
		Fin = 5kHz、外部リファレンス(3)、HW 平均化イネーブル、16 サンプル、2 ビット シフト		76		
		Fin = 10kHz、内部リファレンス、V_{R+} = VREF = 2.5V		65		
$PSRR_{DC}$	電源除去比、DC	外部リファレンス電圧 (3)、VDD = $VDD_{(min)}$～$VDD_{(max)}$		68		dB
		VDD = $VDD_{(min)}$～$VDD_{(max)}$ 内部リファレンス電圧、V_{R+} = VREF = 2.5V		60		
$PSRR_{AC}$	電源除去比、AC	外部リファレンス電圧 (3)、ΔVDD = 0.1V (1kHz 時)		61		dB
		ΔVDD = 0.1V (1kHz 時) 内部リファレンス電圧、V_{R+} = VREF = 2.5V		55		
T_{wakeup}	ADC ウェークアップ時間	内部リファレンス電圧はオンであると仮定			5	us
$V_{SupplyMon}$	電源モニタ分圧器 (VDD/3) の精度	ADC の入力チャネル: 電源モニタ (4)	-1.5		+1.5	%
$I_{SupplyMon}$	電源モニタ分圧器の消費電流	ADC の入力チャネル: 電源モニタ		10		μA

(1) 有効な変換結果を得るには、選択された ADC リファレンス電圧の範囲内 (V_{R+}～V_{R-}) にアナログ入力電圧範囲が含まれている必要があります。
(2) 内部リファレンス電圧 (VREF) の消費電流は、消費電流パラメータ ($I_{(ADC)}$) には含まれません。
(3) 外部リファレンス電圧のすべての仕様は、V_{R+} = VREF+ = VDD = 3.3V かつ V_{R-} = VREF- = VSS = 0V の条件で、VREF+ ピンの外部容量 1μF として測定されたものです。
(4) アナログ電源モニタ。VDD 監視用のチャネル 31 のアナログ入力は切り離されており、分圧器 (VDD/3) と内部的に接続されています。

7.12.2 スイッチング特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{ADCCLK}	ADC クロック周波数		4		32	MHz
$t_{ADC\ trigger}$	ソフトウェア トリガの最小幅		3			ADCCLK のサイクル数
t_{Sample}	サンプリング時間	12 ビット モード、R_S = 50Ω、C_{pext} = 10pF	156			ns
t_{Sample_VREF}	サンプリング時間 (VREF あり)	ADC CHANNEL = 28、12 ビット モード、リファレンス電圧として VDD	4			μs

Copyright © 2025 Texas Instruments Incorporated

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{Sample_SupplyMon(VDD)}$	サンプリング時間 (電源モニタ (VDD/3) あり) (1)		5			µs

(1) アナログ電源モニタ。VDD 監視用のチャネル 31 のアナログ入力は切り離されており、分圧器 (VDD/3) と内部的に接続されています。

7.12.3 直線性パラメータ

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。すべての代表値は 25℃で測定されており、すべての直線性パラメータは 12 ビット分解能モードを使用して測定されています (特に記述のない限り)。(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
E_I	積分直線性誤差 (INL)	外部リファレンス電圧 (2)	-2		2	LSB
E_D	微分直線性誤差 (DNL) ミッシング コードなしを保証	外部リファレンス電圧 (2)	-1		1	LSB
E_O	オフセット エラー	外部リファレンス電圧 (2)	-3.5		3.5	mV
E_G	ゲイン誤差	外部リファレンス電圧 (2)	-4		4	LSB

(1) し総合未調整誤差 (TUE) は、次の式を使用して、E_I、E_O、E_G から計算できます。$TUE = \sqrt{(E_I^2 + |E_O|^2 + E_G^2)}$
注:上記の式が正確であるためには、すべての誤差を同じ単位 (通常は LSB) に変換する必要があります。
(2) 外部リファレンス電圧のすべての仕様は、V_{R+} = VREF+ = VDD、V_{R-} = VSS = 0V、VREF+ ピンの外部容量 1µF として測定されたものです

7.12.4 代表的な接続図

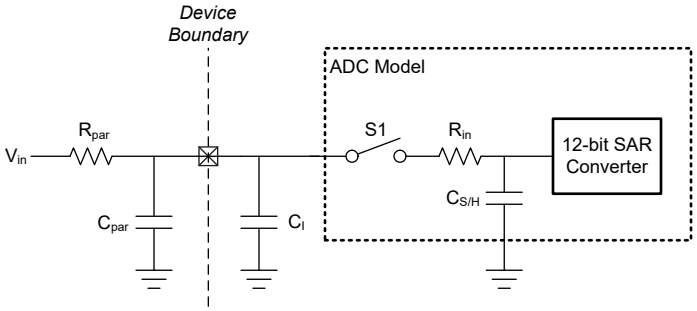


図 7-2. ADC 入力ネットワーク

1. R_{in} と $C_{S/H}$ の値については、電気的特性を参照してください。
2. C_I の値については、電気的特性を参照してください。
3. C_{par} と R_{par} は外部 ADC 入力回路の寄生容量および抵抗を表します。

次の式を使用して、ADC 変換に必要な最小サンプリング時間 (T) を求めます。

1. $Tau = (R_{par} + R_{in}) \times C_{S/H} + R_{par} \times (C_{par} + C_I)$
2. $K = \ln(2^n / \text{セトリング誤差}) - \ln((C_{par} + C_I) / C_{S/H})$
3. T (最小サンプリング時間) = K × Tau

7.13 温度センサ

自由気流での動作温度範囲内 (特に記述のない限り) (1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
TS_{TRIM}	出荷時調整温度 (2)	ADC および VREF の構成:RES = 0 (12 ビット モード)、VRSEL = 2h (VREF = 1.4V)、ADC t_{Sample}= 12.5µs	27	30	33	℃
TS_c	温度係数	-40℃ ≦ T_j ≦ 130℃	-2.05	-1.9	-1.75	mV/℃

Copyright © 2025 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り) (1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{SET,TS}$	温度センサのセトリング タイム (3)	ADC および VREF の構成:RES = 0 (12 ビット モード)、VRSEL = 2h (VREF = 1.4V)、ADC CHANNEL = 11			12.5	us

(1) 実際の絶対的な温度精度は、相対的温度精度と調整精度を組み合わせ、すべてのアナログ / デジタル変換誤差を考慮することで計算できます。
(2) ユーザー較正により、より高い絶対精度を実現できます。「詳細説明」セクションの「温度センサ」の章を参照してください。
(3) これは、温度センサの測定に必要な最小 ADC サンプリング時間です。

7.14 VREF

7.14.1 電圧特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
VDD_{min}	VREF 動作に必要な最低電源電圧	BUFCONFIG = 1	1.62			V
		BUFCONFIG = 0	2.7			
VREF	リファレンス電圧の出力電圧	BUFCONFIG = 1	1.38	1.4	1.42	V
		BUFCONFIG = 0	2.46	2.5	2.54	

7.14.2 電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{VREF}	VREF の動作電源電流	BUFCONFIG = {0, 1}、無負荷		80	100	µA
TC_{VREF}	VREF の温度係数 (1)	BUFCONFIG = {0, 1}			80	ppm/℃
TC_{drift}	VREF の長期ドリフト	時間=1000 時間、BUFCONFIG = {0, 1}、T = 25℃			300	ppm
$PSRR_{DC}$	VREF 電源除去比、DC	VDD = 1.7V～VDDmax、BUFCONFIG = 1		70		dB
		VDD = 2.7V～VDDmax、BUFCONFIG = 0		60		
$T_{startup}$	VREF 起動時間	BUFCONFIG = {0, 1}、VDD ≥ 2.7V			15	us

(1) VREF 出力の温度係数は、TC_{VRBUF} と内部バンドギャップ リファレンスの温度係数の和です。

7.15 I2C

7.15.1 I2C の特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	スタンダード モード		ファスト モード		ファスト モード プラス		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
f_{I2C}	I2C 入力クロック周波数		2	32	8	32	20	32	MHz
f_{SCL}	SCL クロック周波数		0.025	0.1		0.4		1	MHz
$t_{HD,STA}$	(リピート) スタート ホールド時間		4		0.6		0.26		us
t_{LOW}	SCL クロック Low 期間		4.7		1.3		0.5		us
t_{HIGH}	SCL クロックの High 期間		4		0.6		0.26		us
$t_{SU,STA}$	リピート スタート セットアップ時間		4.7		0.6		0.26		us
$t_{HD,DAT}$	データ ホールド時間		0		0		0		ns
$t_{SU,DAT}$	データ セットアップ時間		250		100		50		ns
$t_{SU,STO}$	ストップ セットアップ時間		4		0.6		0.26		us

Copyright © 2025 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	スタンダード モード		ファスト モード		ファスト モード プラス		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
t_{BUF}	ストップ コンディションとスタート コンディションの間のバス解放時間		4.7		1.3		0.5		us
$t_{VD;DAT}$	データ有効時間			3.45		0.9		0.45	us
$t_{VD;ACK}$	データ有効アクノリッジ時間			3.45		0.9		0.45	us

7.15.2 I2C フィルタ

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SP}	入力フィルタにより抑制されるスパイクのパルス持続時間	AGFSELx = 0		6		ns
		AGFSELx = 1		14	35	
		AGFSELx = 2		22	60	
		AGFSELx = 3		35	90	

7.15.3 I²C のタイミング図

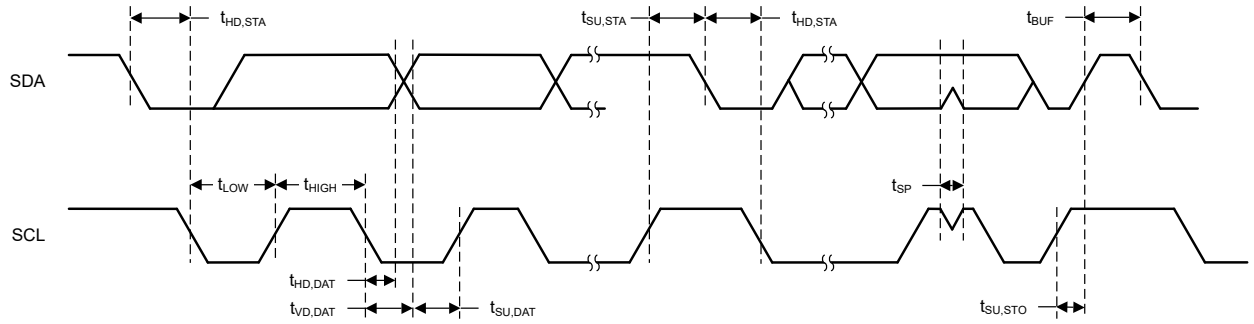


図 7-3. I2C タイミング図

7.16 SPI

7.16.1 SPI

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
SPI						
f_{SPI}	SPI クロック周波数	最大クロック速度 ≧ 32MHz 1.62 < VDD < 3.6V ペリフェラルまたはコントローラ モード			16(4)	MHz
DC_{SCK}	SCK のデューティ サイクル		40	50	60	%
コントローラ						
$t_{SCLK_H/L}$	SCLK High または Low 時間		(tSPI/2) - 1	tSPI/2	(tSPI/2) + 1	ns
$t_{CS.LEAD}$	CS 進み時間、CS アクティブからクロックまで	SPH=0	1 SPI クロック			ns
		SPH=1	1/2 SPI クロック			

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{CS.LAG}$	CS 遅れ時間、最後のクロックから CS 非アクティブまで	SPH=0	1/2 SPI クロック			ns
		SPH=1	1 SPI クロック			
$t_{CS.ACC}$	CS アクセス時間、CS アクティブから PICO データ出力まで				1/2 SPI クロック	ns
$t_{CS.DIS}$	CS ディセーブル時間、CS 非アクティブから PICO 高インピーダンスまで				1 SPI クロック	ns
$t_{SU.CI}$	POCI 入力データのセットアップ時間 (1)	2.7 < VDD < 3.6V、遅延サンプリングがイネーブル	1			ns
		1.62 < VDD < 2.7V、遅延サンプリングがイネーブル	2.5			
		2.7 < VDD < 3.6V、遅延サンプリングなし	27			
		1.62 < VDD < 2.7V、遅延サンプリングなし	34			
$t_{HD.CI}$	POCI 入力データ ホールド時間	遅延サンプリングがイネーブル	26			ns
		遅延サンプリングなし	0			
$t_{VALID.CO}$	PICO 出力データの有効時間 (2)				11.5	ns
$t_{HD.CO}$	PICO 出力データのホールド時間 (3)		0			ns
ペリフェラル						
$t_{CS.LEAD}$	CS 進み時間、CS アクティブからクロックまで		13			ns
$t_{CS.LAG}$	CS 遅れ時間、最後のクロックから CS 非アクティブまで		1			ns
$t_{CS.ACC}$	CS アクセス時間、CS アクティブから POCI データ出力まで				34.5	ns
$t_{CS.DIS}$	CS ディセーブル時間、CS 非アクティブから POCI 高インピーダンスまで				34.5	ns
$t_{SU.PI}$	PICO 入力データ セットアップ時間		16			ns
$t_{HD.PI}$	PICO 入力データ ホールド時間		3			ns
$t_{VALID.PO}$	POCI 出力データの有効時間 (2)	2.7 < VDD < 3.6V			26	ns
		1.62 < VDD < 2.7V			32.5	
$t_{HD.PO}$	POCI 出力データのホールド時間 (3)		5			ns

(1) 遅延サンプリング機能がイネーブルのとき、POCI 入力データのセットアップ時間を完全に補償できます。
(2) 出力が SCLK クロック エッジを変更した後、次の有効なデータを出力に駆動する時間を規定します。
(3) 出力が SCLK クロック エッジを変更した後、出力のデータが有効である間の時間を規定します。
(4) fSPIclk = 1/2tLO/HI。ただし、tLO/HI = max(tVALID, CO + tSU, PI, tSU, CI + tVALID, PO)。

Copyright © 2025 Texas Instruments Incorporated

7.16.2 SPI タイミング図

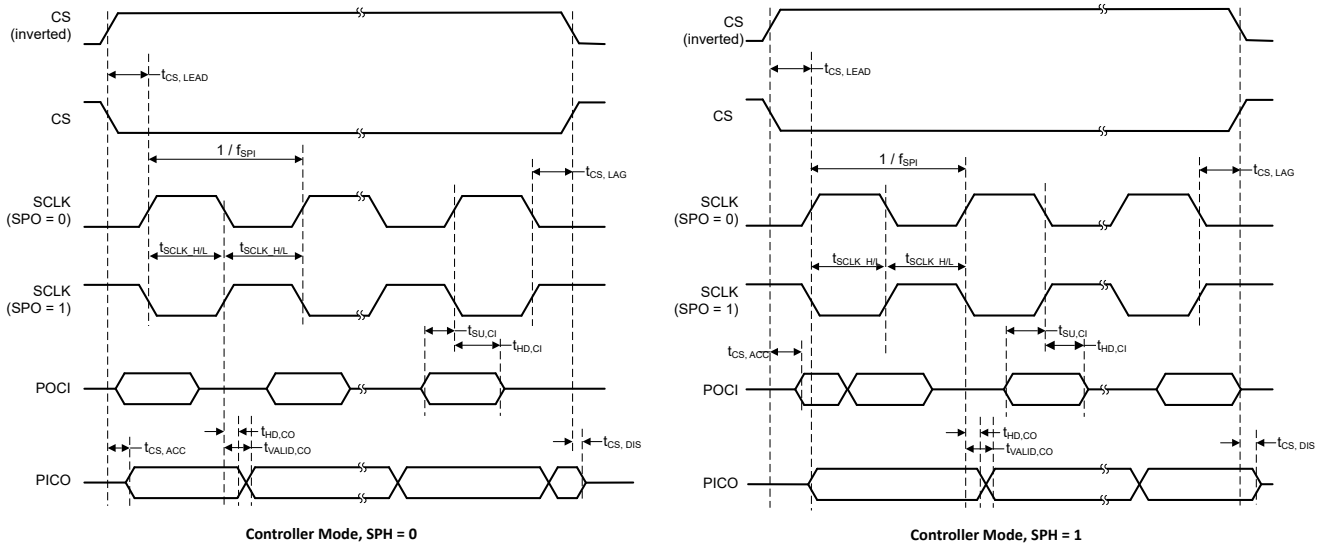


図 7-4. SPI のタイミング図 - コントローラ モード

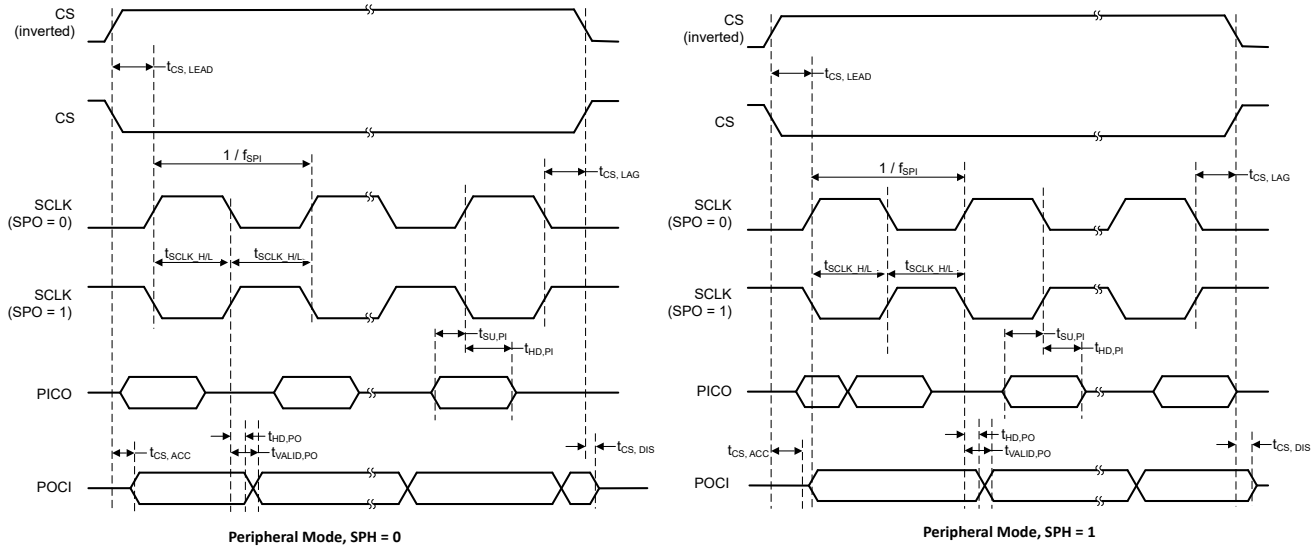


図 7-5. SPI のタイミング図 - ペリフェラル モード

7.17 UART

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{UART}	UART 入力クロック周波数				32	MHz
f_{BITCLK}	BITCLK クロック周波数 (MBaud のボー レートに等しい)				4	MHz

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{SP}	入力フィルタにより抑制されるスパイクのパルス持続時間(1)	AGFSELx = 0		6		ns
		AGFSELx = 1		14	35	
		AGFSELx = 2		22	60	
		AGFSELx = 3		35	90	

(1) UART 受信入力 (RX) に印加された、UART 受信グリッチ除去時間よりも短いパルスは抑制されます。そのため、選択されたグリッチ除去時間によって、使用可能な最大ボーレートが制限されることがあります。パルスが正しく認識されるようにするには、グリッチ除去時間の仕様の最大値よりもパルスの持続時間を長くする必要があります。

7.18 TIMx

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{res}	タイマ分解能時間	$f_{TIMxCLK}$ = 32MHz	31.25			ns
			1			$t_{TIMxCLK}$

7.19 TRNG 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$TRNG_{IACT}$	TRNG アクティブ電流	TRNG クロック = 20MHz		115		µA

7.20 TRNG スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$TRNGCLK_F$	TRNG 入力クロック周波数		9.5	10	25	MHz
$TRNG_{STARTUP}$	TRNG 起動時間			520		µs
$TRNG_{LAT32}$	ランダムな 32 ビットを生成するためのレイテンシ	デシメーション比 = 4、TRNG クロック = 20MHz		6.4		µs
$TRNG_{LAT256}$	ランダムな 256 ビットを生成するためのレイテンシ	デシメーション比 = 4、TRNG クロック = 20MHz		51.2		µs

7.21 エミュレーションおよびデバッグ

7.21.1 SWD のタイミング

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SWD}	SWD 周波数				10	MHz

Copyright © 2025 Texas Instruments Incorporated

8 詳細説明

以降のセクションでは、このデータシートのデバイスを構成するすべてのコンポーネントについて説明します。これらのデバイスに内蔵されているペリフェラルは、メモリ マップ レジスタ (MMR) を介してソフトウェアで設定されます。詳細については、*『MSPM0 L シリーズ 32MHz マイコン テクニカル リファレンス マニュアル』*の対応する章を参照してください。

8.1 機能ブロック図

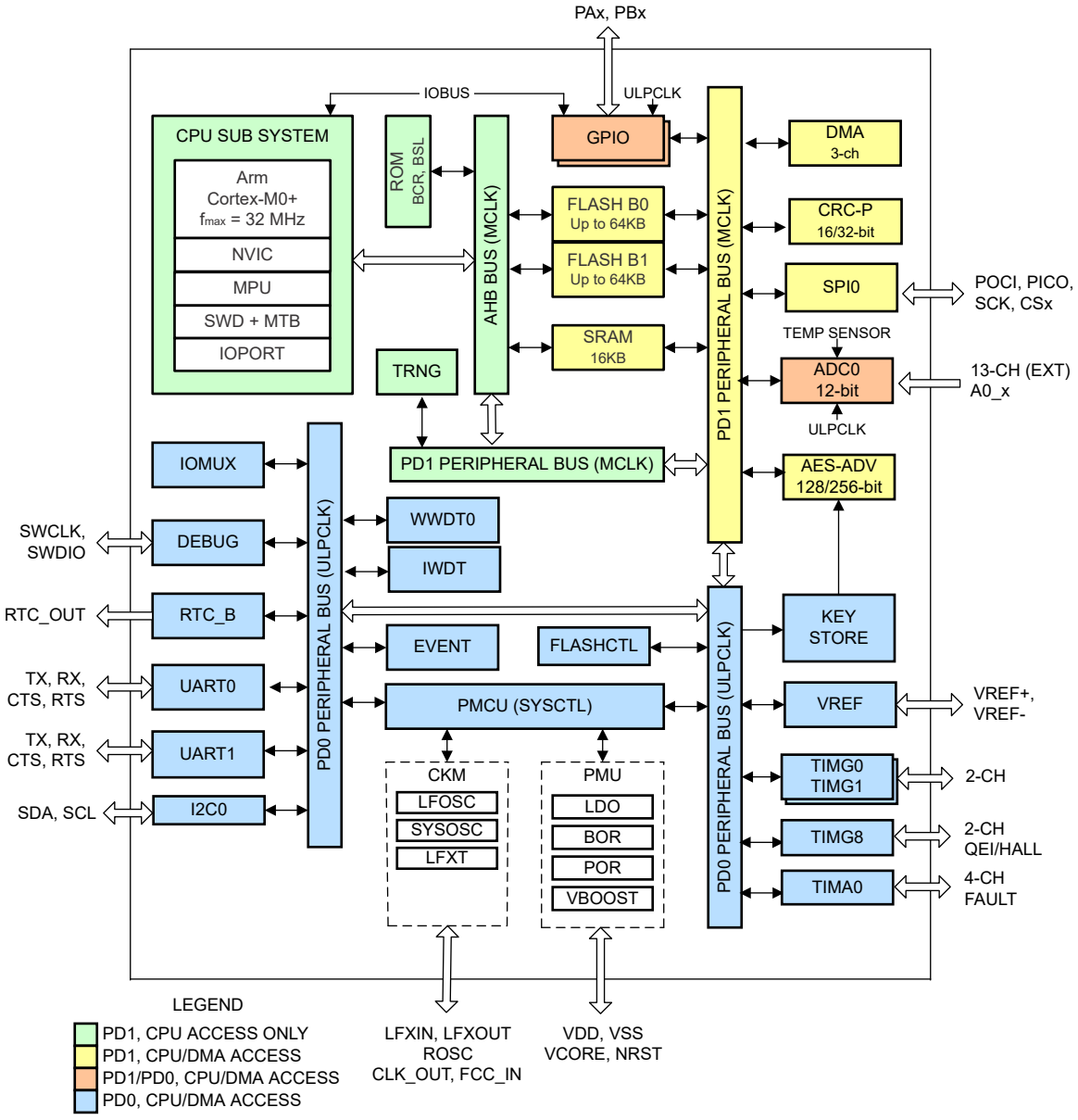


図 8-1. MSPM0L111x-Q1 の機能ブロック図

8.2 CPU

CPU サブシステム (MCPUSS) は、Arm Cortex-M0+ CPU、命令プリフェッチおよびキャッシュ、システム タイマ、メモリ保護ユニット、割り込み管理機能を実装しています。Arm Cortex-M0+ は、組込みアプリケーションに高性能と低消費電力を提供する、コスト最適化された 32 ビット CPU です。CPU サブシステムの主な特長は次のとおりです。

- Arm Cortex-M0+ CPU により、32kHz～32MHz のクロック周波数をサポート
  - ARMv6-M Thumb 命令セット (リトル エンディアン)、シングル サイクル 32×32 乗算命令付き
  - Arm シングル サイクル IO ポートを経由して、GPIO レジスタにシングル サイクルでアクセス
- シーケンシャル コード実行を改善するためのプリフェッチ ロジックと、2 つの 64 ビット キャッシュ ラインを備えた I キャッシュ
- 24 ビットのダウン カウンタと自動リロード機能を備えたシステム タイマ (SysTick)
- 8 つのプログラマブル領域を持つメモリ保護ユニット (MPU)
- 4 つのプログラム可能な優先レベルとテール チェーンを備えたネスト型ベクタ割り込みコントローラ (NVIC)
- 割り込みレイテンシを短縮するためのジャンプ インデックスを備えた、割り込みソース全体を拡張するための割り込みグループ

8.3 動作モード

MSPM0 MCU には 5 つのメイン動作モード (電力モード) があり、アプリケーションの要件に基づいてデバイスの消費電力を最適化できます。消費電力を低減するためのモードは次のとおりです。RUN、SLEEP、STOP、STANDBY、SHUTDOWN。CPU は RUN モードではコードをアクティブに実行しています。ペリフェラル割り込みイベントにより、デバイスを SLEEP、STOP、または STANDBY モードから RUN モードにウェークアップできます。SHUTDOWN モードでは、内部コア レギュレータが完全にディセーブルされ、消費電力が最小化されます。また、NRST、SWD、または特定の IO でのロジック レベルの一致によってのみウェークアップが可能です。RUN、SLEEP、STOP、STANDBY の各モードには、複数の構成可能なポリシー オプション (例:RUN.x) も含まれており、性能と消費電力のバランスを確保できます。

性能と消費電力のバランスをさらに高めるために、MSPM0 デバイスには次の 2 つの電力ドメインが実装されています。PD1 (CPU、メモリ、高性能ペリフェラル用) と PD0 (低速、低消費電力ペリフェラル用)。PD1 は、RUN モードと SLEEP モードで常に電源が供給されますが、他のすべてのモードではディセーブルになります。PD0 は、RUN、SLEEP、STOP、STANDBY の各モードで常に電源が供給されます。SHUTDOWN モードでは、PD1 と PD0 の両方がディセーブルになります。

8.3.1 動作モード別の機能

各動作モードでサポートされている機能を 表 8-1 に示します。

機能キー:

- **EN**:その機能は、指定されたモードでイネーブルされます。
- **DIS**:その機能は、指定されたモードでディセーブル (クロックまたは電源のどちらかが遮断) されますが、その機能の設定は保持されます。
- **OPT**:その機能は、指定されたモードでは任意であり、イネーブルに設定されている場合はイネーブルのままです。
- **NS**:その機能は、指定されたモードで自動的にはディセーブルになりませんが、サポートされていません。
- **OFF**:その機能は、指定されたモードで完全に電源がオフになり、設定情報は保持されません。OFF 状態からウェークアップするときは、アプリケーション ソフトウェアですべてのモジュール レジスタを所望の設定に再構成する必要があります。

表 8-1. 動作モード別のサポートされている機能

動作モード		RUN			SLEEP			ストップ			STANDBY		シャットダウン
		RUN0	RUN1	RUN2	SLEEP0	SLEEP1	SLEEP2	STOP0	STOP1	STOP2	STANDBY0	STANDBY1	
発振器	SYSOSC	EN		DIS	EN		DIS	OPT[1]	EN	DIS	DIS		OFF
	LFOSC または LFXT	EN (LFOSC または LFXT)											OFF

Copyright © 2025 Texas Instruments Incorporated

表 8-1. 動作モード別のサポートされている機能 (続き)

動作モード		RUN			SLEEP			ストップ			STANDBY		シャットダウン
		RUN0	RUN1	RUN2	SLEEP0	SLEEP1	SLEEP2	STOP0	STOP1	STOP2	STANDBY0	STANDBY1	
クロック	CPUCLK	32MHz	32kHz		DIS								OFF
	MCLK から PD1 へ	32MHz	32kHz		32MHz	32kHz		DIS					OFF
	ULPCLK から PD0 へ	32MHz	32kHz		32MHz	32kHz		4MHz(1)	4MHz	32kHz	32kHz	DIS	OFF
	ULPCLK から TIMG0/8 へ	32MHz	32kHz		32MHz	32kHz		4MHz(1)	4MHz	32kHz	32kHz	32kHz(2)	OFF
	MFCLK	OPT	DIS		OPT	DIS		OPT		DIS	DIS		OFF
	LFCLK から PD0/1 へ	32kHz										DIS	OFF
	LFCLK から TIMG0/8 へ	32kHz										32kHz(2)	OFF
	LFCLK モニタ	OPT											OFF
	MCLK モニタ	OPT										DIS	OFF
PMU	POR モニタ	EN											
	BOR モニタ	EN											OFF
	コア レギュレータ	高駆動能力						中駆動能力			低駆動能力		OFF
コア機能	CPU	EN			DIS								OFF
	DMA	OPT						DIS (トリガをサポート)					OFF
	フラッシュ	EN						DIS					OFF
	SRAM	EN						DIS					OFF
PD1 ペリフェラル	SPI0	OPT						DIS					OFF
	AESADV	OPT						OFF					OFF
	CRC-P	OPT						DIS					OFF
	TRNG	OPT						OFF					OFF
PD0 ペリフェラル	GPIOA/B(3)	OPT										OPT(2)	OFF
	UART0/1	OPT										OPT(2)	OFF
	I2C0	OPT										OPT(2)	OFF
	TIMG0/1/8	OPT										OPT(2)	OFF
	TIMA0	OPT									DIS		OFF
	WWDT0	OPT										DIS	OFF
	IWDT	OPT											OFF
	RTC_B	OPT											OFF
	キーストア	OPT											OFF
アナログ	VREF	OPT									OFF		OFF
	ADC0 (3)	OPT								NS (トリガをサポート)			OFF
	温度センサ	OPT									OFF		OFF
IOMUX および IO ウェークアップ		EN											DIS (ウェーク付き)
ウェーク ソース		該当なし			任意の IRQ			PD0 IRQ					IOMUX、NRST、SWD

(1) RUN1 から STOP0 に遷移した場合 (SYSOSC がイネーブルで、MCLK は LFCLK から供給)、RUN1 のときと同様に SYSOSC はイネーブルに維持され、ULPCLK は 32kHz に維持されます。RUN2 から STOP0 に遷移した場合 (SYSOSC がディセーブルで、MCLK は LFCLK から供給)、RUN2 のときと同様に SYSOSC はディセーブルに維持され、ULPCLK は 32kHz に維持されます。

(2) STANDBY に STANDBY1 のポリシーを使用する場合、特定のペリフェラル (TIMG0、TIMG8、および RTC) のみがクロック駆動されます。その他の PD0 ペリフェラルは、外部アクティビティが発生した際に非同期高速クロック要求を生成できますが、アクティブにクロック供給されません。

Copyright © 2025 Texas Instruments Incorporated

(3) ADCx および GPIO ポート A および B については、デジタル ロジックは PD0 にあり、レジスタ インターフェイスは PD1 にあります。これらのペリフェラルは、PD1 がアクティブな場合には、高速シングルサイクル レジスタ アクセスをサポートし、また、PD0 がまだアクティブなときには、STANDBY モードになるまで基本動作もサポートします。

8.4 パワー マネージメント ユニット (PMU)

パワー マネージメント ユニット (PMU) は、本デバイスのための内部的に安定化されたコア電源を生成し、また外部電源 (VDD) の監視を行います。PMU は、PMU 自体とアナログ ペリフェラルで使用されるバンドギャップ基準電圧も内蔵しています。PMU の主な特長は次のとおりです。

- パワーオン リセット (POR) 電源モニタ
- ブラウンアウト リセット (BOR) 電源モニタ、プログラム可能な 3 つのスレッショルドを使った早期警告機能付き
- RUN、SLEEP、STOP、STANDBY 動作モードをサポートするコア レギュレータにより、性能と消費電力を動的に最適化
- パリティ保護されたトリムにより、パワー マネージメント トリムが破損した際、パワーオン リセット (POR) を直ちに生成

詳細については、『MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル』と、『MSPM0 L シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル』の「PMU」の章を参照してください。

8.5 クロック モジュール (CKM)

クロック モジュールは以下に示す発振器を備えています。

- **LFOSC**: 内部低周波数発振器 (32kHz)
- **SYSOSC**: 内部高周波数発振器 (4MHz または 32MHz (出荷時に調整)、16MHz または 24MHz (ユーザーによる調整))
- **LFXT/LFCKIN**: 低周波数の外部水晶発振器またはデジタル クロック入力 (32kHz)

プロセッサ、バス、ペリフェラルで使用するために、クロック モジュールによって以下に示すクロックが分配されます。

- **MCLK**: PD1 ペリフェラルのメイン システム クロック。SYSOSC または LFCLK から派生。RUN および SLEEP モードでアクティブ。
- **CPUCLK**: プロセッサのクロック (MCLK から生成)。RUN モードでアクティブ。
- **ULPCLK**: PD0 ペリフェラル用の超低消費電力クロック。RUN、SLEEP、STOP、STANDBY モードでアクティブ。
- **MFCLK**: ペリフェラル用 4MHz 固定の中周波数クロック。RUN、SLEEP、STOP モードで使用可能。
- **LFCLK**: ペリフェラルまたは MCLK 用 32kHz 固定の低周波数クロック。RUN、SLEEP、STOP、STANDBY モードでアクティブ。
- **ADCCLK**: ADC のクロック。RUN、SLEEP、STOP モードで使用可能。
- **CLK_OUT**: クロックを外部に出力するために使用。RUN、SLEEP、STOP、STANDBY モードで使用可能。
- **HFCLK**: HFCLK_IN から生成される高周波数クロック。RUN および SLEEP モードで使用可能

詳細については、『MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル』と、『MSPM0 L シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル』の「CKM」の章を参照してください。

8.6 DMA

ダイレクト メモリ アクセス (DMA) コントローラを使うと、CPU を介さずに、いずれかのメモリ アドレスから別のメモリ アドレスにデータを移動できます。たとえば、DMA を使って ADC 変換メモリから SRAM にデータを移動できます。DMA を使用すると、ペリフェラルとの間でデータをやりとりするとき、CPU をウェークアップする必要がなく、低消費電力モードのまま維持できるため、システムの消費電力を削減できます。

これらのデバイスの DMA は、以下の主な機能をサポートしています。

- 3 つの独立した DMA 転送チャネル
  - 1 つのフル機能チャネル (DMA0)。繰り返し転送モードをサポートします。
  - 2 つの基本チャネル (DMA1、DMA2)。シングル転送モードをサポートします。
- DMA チャネルの優先度を設定可能

Copyright © 2025 Texas Instruments Incorporated

- バイト (8 ビット)、ショート ワード (16 ビット)、ワード (32 ビット)、ロング ワード (64 ビット)、ロングロングワード (128 ビット)、またはバイトとワードの混合の転送機能
- 最大 64k のブロック サイズのすべてのデータ タイプの転送をサポートする転送カウンタ
- DMA 転送トリガの選択を設定可能
- 他のチャネルにサービスを提供するためのアクティブ チャネル割り込み
- ピンポン バッファ アーキテクチャのための早期割り込み生成
- 他のチャネルでのアクティビティ完了時のチャネルのカスケード化
- データの再構成をサポートするためのストライド モード (3 相測定アプリケーションなど)
- 収集モード

表 8-2. DMA の機能

機能	完全	基本
チャネル番号	0	1.2
反復モード	あり	-
テーブルとフィルモード	あり	-
収集モード	あり	-
IRQ 前	あり	-
オート イネーブル	あり	あり
ロング ロング (128 ビット) 転送	あり	あり
ストライド モード	あり	あり
カスケード チャネルのサポート	あり	あり

DMA で使用可能なトリガの一覧を 表 8-3 に示します。これらは、DMA メモリ マップ レジスタの DMATCTL.DMATSEL 制御ビットで設定されます。

表 8-3. DMA のトリガの割り当て

DMACTL.DMATSEL	トリガ ソース
0	ソフトウェア
1	一般サブスクライバ 0 (FSUB_0)
2	一般サブスクライバ 0 (FSUB_1)
3	AES パブリッシャ 1
4	AES パブリッシャ 2
5	ADC0 パブリッシャ 1
6	I2C0 パブリッシャ 1
7	I2C0 パブリッシャ 2
8	SPI0 パブリッシャ 1
9	SPI0 パブリッシャ 2
10	UART0 パブリッシャ 1
11	UART0 パブリッシャ 2
12	UART1 パブリッシャ 1
13	UART1 パブリッシャ 2

詳細については、『MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル』と、『MSPM0 L シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル』の「DMA」の章を参照してください。

Copyright © 2025 Texas Instruments Incorporated

8.7 イベント

イベント マネージャは、1 つのエンティティ (ペリフェラルなど) から別のエンティティ (第 2 のペリフェラル、DMA、CPU など) にデジタル イベントを転送します。イベント マネージャは、静的なルートとプログラマブルなルートの組み合わせを含むイベント ファブリックによって相互接続された一連の定義済みイベント パブリッシャ (ジェネレータ) およびサブスクライバ (レシーバ) によるイベント転送を実装しています。

イベント マネージャによって転送されるイベントには、以下が含まれます。

- 割り込み要求 (IRQ) として CPU に転送されるペリフェラル イベント (静的イベント)
  - 例:CPU に送られる GPIO 割り込み
- DMA トリガとして DMA に転送されるペリフェラル イベント (DMA イベント)
  - 例:DMA 転送を要求するための、DMA への UART データ受信トリガ
- ハードウェアでの動作を直接トリガするため、別のペリフェラルに転送されるペリフェラル イベント (汎用イベント)
  - 例:TIMx タイマ ペリフェラルが ADC サブスクライバ ポートに周期的イベントを発行し、ADC がこのイベントを使ってサンプリング開始をトリガする。

詳細については、*『MSPM0 L シリーズ 32MHz マイコン テクニカル リファレンス マニュアル』*の「イベント」の章を参照してください。

表 8-4. 汎用イベント チャネル

一般的なルートは、1:1 ルートと 1:2 スプリッタ ルートのどちらかです。これらのルートでは、イベントを発行しているペリフェラルは、利用可能な複数の汎用ルート チャネルの 1 つを使ってそのイベントを別の 1 つのエンティティ (スプリッタ ルートの場合は複数のエンティティ) に公開するように構成されています。エンティティとは、別のペリフェラル、汎用 DMA トリガ イベント、汎用 CPU イベントを指します。

CHANID	汎用ルート チャネルの選択	チャネル タイプ
0	汎用イベント チャネルが選択されていない。	該当なし
1	汎用イベント チャネル 1 が選択されている。	1:1
2	汎用イベント チャネル 2 が選択されている。	1:1
3	汎用イベント チャネル 3 が選択されている。	1:2 (スプリッタ)

8.8 メモリ

8.8.1 メモリ構成

本デバイスのメモリ マップを、表 8-5 に示します。メモリ領域の詳細については、*『MSPM0 L シリーズ 32MHz マイコン テクニカル リファレンス マニュアル』*の「*プラットフォーム メモリ マップ*」セクションを参照してください。

表 8-5. メモリ構成

メモリ領域	サブ領域	MSPM0L1116	MSPM0L1117
コード (フラッシュ バンク 0)	MAIN、ECC 訂正あり	32KB 0x0000.0000～0x0000.7FFF	64KB 0x0000.0000～0x0000.FFFF
	MAIN、ECC 訂正なし	0x0040.0000～0x0040.7FFF	0x0040.0000～0x0040.FFFF
	フラッシュ ECC コード	0x0080.0000～0x0080.7FFF	0x0080.0000～0x0080.FFFF
コード (フラッシュ バンク 1)	MAIN、ECC 訂正あり	32KB 0x0001.0000～0x0001.7FFF	64KB 0x0001.0000～0x0001.FFFF
	MAIN、ECC 訂正なし	0x0041.0000～0x0041.7FFF	0x0041.0000～0x0041.FFFF
	フラッシュ ECC コード	0x0081.0000～0x0081.7FFF	0x0081.0000～0x0081.FFFF
SRAM (SRAM)	デフォルト	16KB 0x2000.0000～0x2000.3FFF	16KB 0x2000.0000～0x2000.3FFF

Copyright © 2025 Texas Instruments Incorporated

表 8-5. メモリ構成 (続き)

メモリ領域	サブ領域	MSPM0L1116	MSPM0L1117
ペリフェラル	周辺機器	0x4000.4000～0x4086.1FFF	0x4000.4000～0x4086.1FFF
	NONMAIN、訂正あり	2KB 0x41C0.0000～0x41C0.07FF	2KB 0x41C0.0000～0x41C0.07FF
	NONMAIN、訂正なし	0x41C1.0000～0x41C1.07FF	0x41C1.0000～0x41C1.07FF
	NONMAIN ECC コード	0x41C2.0000～0x41C2.07FF	0x41C2.0000～0x41C2.07FF
	FACTORY、訂正あり	0x41C4.0000～0x41C4.01FF	0x41C4.0000～0x41C4.01FF
	FACTORY、訂正なし	0x41C5.0000～0x41C5.01FF	0x41C5.0000～0x41C5.01FF
	FACTORY ECC コード	0x41C6.0000～0x41C6.01FF	0x41C6.0000～0x41C6.01FF
サブシステム		0x6000.0000～0x7FFF.FFFF	0x6000.0000～0x7FFF.FFFF
システム PPB		0xE000.0000～0xE00F.FFFF	0xE000.0000～0xE00F.FFFF

8.8.2 ペリフェラル ファイル マップ

表 8-6 に、使用可能なペリフェラルと、各ペリフェラルのレジスタ ベース アドレスの一覧を示します。

表 8-6. ペリフェラルのまとめ

ペリフェラル名	ベース アドレス	サイズ
ADC0	0x4000.4000	0x2000
VREF	0x4003.0000	0x2000
WWDT0	0x4008.0000	0x2000
TIMG0	0x4008.4000	0x2000
TIMG8	0x4009.0000	0x2000
RTC_B	0x4009.4000	0x2000
GPIOA	0x400A.0000	0x2000
GPIOB	0x400A.2000	0x2000
キーストア	0x400A.C000	0x2000
SYSCTL	0x400A.F000	0x4000
DEBUGSS	0x400C.7000	0x2000
EVENT	0x400C.9000	0x3000
NVMNW	0x400C.D000	0x2000
I2C0	0x400F.0000	0x2000
UART1	0x4010.0000	0x2000
UART0	0x4010.8000	0x2000
MCPUSS	0x4040.0000	0x2000
MTB	0x4040.2000	0x1000
MTBRAM	0x4040.3000	0x0020
IOMUX	0x4042.8000	0x2000
DMA	0x4042.A000	0x2000
CRC	0x4044.0000	0x2000
AESADV	0x4044.2000	0x2000
TRNG	0x4044.4000	0x2000
SPIO	0x4046.8000	0x2000
TIMG1	0x4048.6000	0x2000
ADC0(1)	0x4055.6000	0x2000
TIMA0	0x4086.0000	0x2000

Copyright © 2025 Texas Instruments Incorporated

1. ADC0 メモリ マップ レジスタのエイリアス領域

8.8.3 ペリフェラルの割り込みベクタ

表 8-7 に、このデバイス内の各ペリフェラルの IRQ 番号と割り込みグループ番号を示します。

表 8-7. 割り込みベクタ番号

ペリフェラル名	NVIC IRQ	グループ IIDX
WWDT0	0	0
DEBUGSS	0	2
FLASHCTL	0	3
イベント サブ ポート 0	0	4
イベント サブ ポート 1	0	5
SYSCTL	0	6
GPIOA	1	0
GPIOB	1	1
TRNG	1	5
TIMG8	2	-
ADC0	4	-
SPI0	9	-
UART1	13	-
UART0	15	-
TIMG0	16	-
TIMA0	18	-
TIMG1	22	-
I2C0	24	-
AESADV	28	-
RTC_B	30	-
DMA0	31	-

8.9 フラッシュ メモリ

実行可能なプログラム コードとアプリケーション データを格納するため、デュアル バンクの不揮発性フラッシュ メモリ (合計最大 64kB/128kB) を備えています。

フラッシュの主な特長は次のとおりです。

- ハードウェア ECC 保護 (エンコードおよびデコード)、シングル ビット誤り訂正およびダブル ビット誤り検出機能付き
- 推奨電源電圧範囲全体にわたって、インサーキットでの書き込み / 消去動作をサポート
- 1kB の小さなセクタ サイズ (1kB の最小消去分解能)
- フラッシュ メモリの選択された 32 セクターで最大 100,000 回の書き込み / 消去サイクル、残りのフラッシュ メモリで最大 10,000 回の書き込み / 消去サイクルをサポート (32kB のデバイスでは、フラッシュ メモリ全体で 100,000 サイクルをサポート)
- システム内のワイヤレス (OTA) ファームウェア更新に適したバンク アドレスのスワップ

詳細については、『MSPM0 L シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル』の「NVM」の章を参照してください。

8.10 SRAM

MSPM0L111x-Q1 MCU には、低消費電力の高性能 SRAM が搭載されており、デバイスでサポートされている CPU 周波数範囲全体にわたってゼロ ウェイト状態でのアクセスに対応します。また、MSPM0 MCU は、最大 16KB の SRAM も

Copyright © 2025 Texas Instruments Incorporated

備えています。SRAM は、呼び出しスタック、ヒープ、グローバル データ、コードなどの揮発性情報を格納するために使用できます。

SRAM の内容は、RUN、SLEEP、STOP、STANDBY 動作モードでは完全に保持され、SHUTDOWN モードでは失われます。

書き込み実行相互排他メカニズムが用意されており、SRAM を読み取り / 書き込み (RW) パーティションと、読み取り / 実行 (RX) パーティションの 2 つのセクションに分割できます。これらのパーティションを設定するには、SYSCTL の SRAMBOUNDARY レジスタを構成する必要があります。RX パーティションは SRAM アドレス空間の上部を占有します。書き込み保護は、実行可能コードを SRAM に配置するときに役立ちます。CPU または DMA によってコードが意図せず上書きされることに対してある程度の保護を提供するからです。SRAM にコードを配置すると、ゼロ ウェイト状態動作と低消費電力を実現することで、重要なループの性能を向上できます。RW パーティションからのコード実行を防ぐことで、コード実行の自己修正を防止することでセキュリティを向上させます。

8.11 GPIO

汎用入出力 (GPIO) ペリフェラルを使用することにより、デバイス ピンとの間でデータを読み書きできます。ポート A およびポート B GPIO ペリフェラルを使用することで、これらのデバイスは最大 44 本の GPIO ピンをサポートします。

GPIO モジュールの主な特長は次のとおりです。

- CPU からの 0 待機状態の MMR アクセス
- ソフトウェアでのリード モディファイ ライト構造を必要とせずに、複数のビットのセット、クリア、トグルが可能
- 「ウェークアップ機能付きの標準」駆動機能を持つ GPIO により、デバイスを SHUTDOWN モードからウェークアップ可能
- ユーザー制御の入力フィルタリング
- 任意の GPIO ポートによる、STOP および STANDBY モードからの低消費電力ウェークアップを可能にする GPIO の「FastWake」機能

詳細については、『*MSPM0 L シリーズ 32MHz マイコン テクニカル リファレンス マニュアル*』の「GPIO」の章を参照してください。

8.12 IOMUX

IOMUX ペリフェラルは IO パッド構成を可能にし、デバイス ピンを出入りするデジタル データの流れを制御します。IOMUX の主な特長は次のとおりです。

- IO パッド構成レジスタにより、プログラム可能な駆動強度、速度、プルアップまたはプルダウンなどが可能
- デジタル ピン多重化により、複数のペリフェラル信号を同じ IO パッドに接続可能
- PINCM レジスタを使って、ピンの機能と能力をユーザー設定可能

詳細については、『*MSPM0 L シリーズ 32MHz マイコン テクニカル リファレンス マニュアル*』の「IOMUX」の章を参照してください。

8.13 ADC

これらのデバイスの 12 ビット アナログ / デジタル コンバータ (ADC) モジュールは、シングルエンド入力による高速 12 ビット変換をサポートしています。

ADC の主な特長は次のとおりです。

- 12 ビットの出力分解能、最大 1.68Msps、11 ビットを超える ENOB
- ハードウェア平均化により、105ksps で 14 ビットの変換分解能を実現
- 最大 13 の外部入力チャネル
- 温度センシングおよび電源監視用の内部チャネル
- ソフトウェアで選択可能なリファレンス電圧:
  - 1.4V と 2.5V に設定可能な ADC 専用の内部リファレンス電圧 (VREF)
  - MCU 電源電圧 (VDD)

Copyright © 2025 Texas Instruments Incorporated

  - 外部リファレンス電圧、VREF+ および VREF- ピンを経由して ADC に供給
- RUN、SLEEP、STOP モードで動作し、STANDBY モードからのトリガをサポート

表 8-8 に、ADC チャネルの接続を示します。

表 8-8. ADC0 のチャネル割り当て

チャネル [0:15]	信号名 (ADC0)	チャネル [16:31]	信号名 (ADC0)(1) (2)
0	A0_0	16	-
1	A0_1	17	-
2	A0_2	18	-
3	A0_3	19	-
4	A0_4	20	-
5	A0_5	21	-
6	A0_6	22	-
7	A0_7	23	-
8	A0_8	24	-
9	A0_9	25	-
10	-	26	-
11	*温度センサ*	27	-
12	A0_12	28	*内蔵 VREF*
13	A0_13	29	-
14	A0_14	30	-
15	-	31	*電源 / バッテリ モニタ*

(1) 信号名が斜体で記載された信号は、SoC の内部の信号です。これらの信号は、内部ペリフェラルの相互接続に使用されます。
(2) デバイスのアナログ接続の詳細については、セクション 8.29 を参照してください。

詳細については、『*MSPM0 L シリーズ 32MHz マイコン テクニカル リファレンス マニュアル*』の「ADC」の章を参照してください。

8.14 温度センサ

温度センサは、デバイス温度に対して直線的に変化する電圧を出力します。温度センサの出力は、温度からデジタルへの変換を可能にするため、ADC 入力チャネルの 1 つに内部的に接続されています。

温度センサのユニットごとの 1 点キャリブレーション値は、ファクトリ定数メモリ領域に格納されています。このキャリブレーション値は、工場調整温度 (TS_{TRIM}) において 1.4V 内部 VREF を使用して 12 ビット モードで測定された温度センサ値に対応する ADC 変換結果 (ADC コード形式) を表します。

上記の測定において、ADC および VREF の構成は次のとおりです。RES = 0 (12 ビット モード)、VRSEL = 2h (内部リファレンス)、BUFCONFIG = 1h (1.4V VREF)、ADC t_{Sample} = 12.5µs.このキャリブレーション値を温度センサの温度係数 (TS_c) と組み合わせて使用することで、本デバイスの温度を推定できます。

ユニットごとの TS_c 計算方法 (V_{TRIM_0K} を使用)

ユニットごとの TS_c 性能の計算に使用するため、ユニット固有のキャリブレーション値 (V_{TRIM_0K}) が追加されています。このキャリブレーション値は、0°K (-273.15°C) で、工場出荷時の定数メモリ領域 (アドレス 0x41C4.0040 の TEMP_SENSE_0KELVIN) に格納されている 1.4V 内部 VREF を使用して 12 ビット モードで測定された温度センサ値に対応する ADC 変換結果 (ADC コード形式) を表します。

Copyright © 2025 Texas Instruments Incorporated

次に、温度係数 TS_C は次の式で計算できます。

$$\mathbf{TS_C} = (V_{SAMPLE} - V_{TRIM_0K}) / (T_{SAMPLE} - T_{0K}) \quad (1)$$

例

この方法を使用して温度センサ係数を計算するプロセスを示すため、以下に例を示します。

パラメータ例:

- V_{SAMPLE} = 0.6427V
- V_{TRIM_0K} = 1.2033V
- T_{SAMPLE} = 30°C

結果として得られるユニット固有温度係数は次のように計算されます。

$$\mathbf{TS_C} = (0.6427V - 1.2033V) / (30°C + 273.15°C) = -1.8492mV/°C \quad (2)$$

出荷時調整値を使って本デバイスの温度を推定する方法については、『』と『*MSPM0 L シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル*』の「温度センサ」のセクションを参照してください。

8.15 VREF

これらのデバイスのリファレンス電圧モジュール (VREF) は、オンボード ADC 専用の構成可能なリファレンス電圧バッファを内蔵しています。これらのデバイスは、より高い精度を必要とするアプリケーション向けに、外部リファレンス電圧の接続にも対応しています。

VREF の主な特長は次のとおりです。

- ユーザー選択可能な 1.4V および 2.5V の ADC 用 内部リファレンス
- 内部リファレンス電圧は、最大 200ksps の ADC 動作をサポート
- VREF+/- デバイス ピンでの外部リファレンス取り込みをサポート

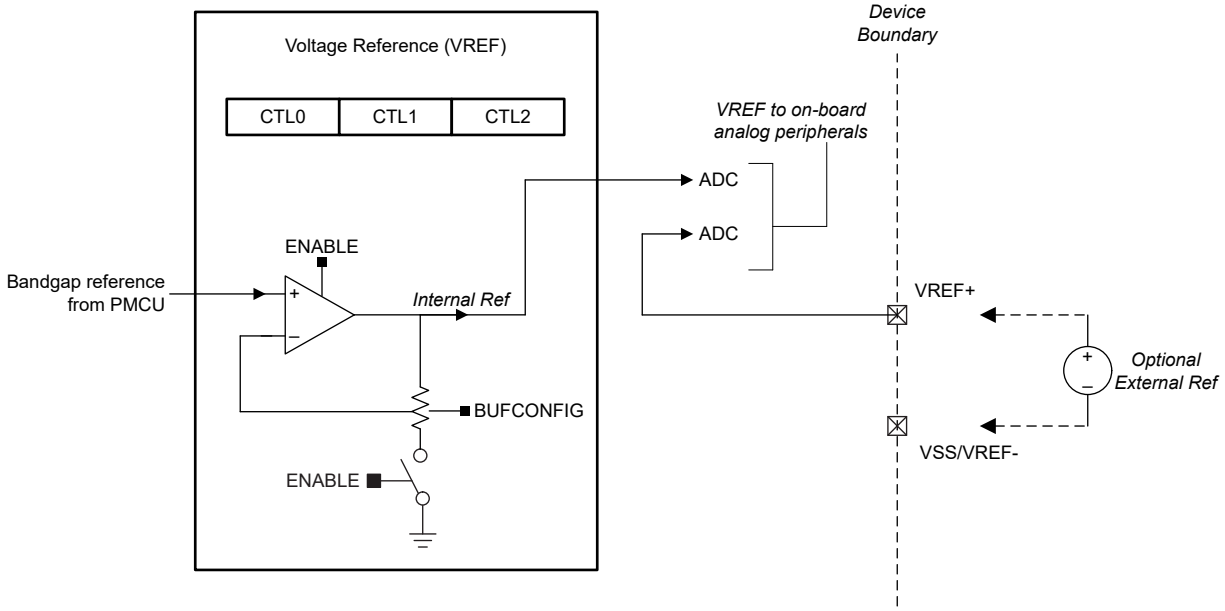


図 8-2. VREF モジュール

詳細については、『*MSPM0 G シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル*』と』の「VREF」の章を参照してください。

8.16 セキュリティ

このデバイスは、次のような複数のセキュリティ機能を備えています。

- デバッグ セキュリティ
- デバイス識別
- GCM/GMAC、CCM/CBC-MAC、CBC、CTR をサポートする AES-128/256 アクセラレータ
- コードおよびデータ保護用のフレキシブルなファイアウォール
  - フラッシュ書き込み消去保護
  - フラッシュ読み取り実行保護
  - フラッシュ IP 保護
  - SRAM 書き込み実行の相互排他
- セキュア ブート
- ファームウェアのセキュア更新
- 最大 2 つの AES キーを格納可能なセキュア キー ストレージ
- 顧客のセキュア コード
- ハードウェア単調カウンタ
- 真性乱数生成器 (TRNG)
- カスタム多項式をサポートする巡回冗長性検査 (CRC-16、CRC-32)

詳細については、『*MSPM0 L シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル*』の「ADC」の章を参照してください。

8.17 TRNG

TRNG (真性乱数生成器) は、内部回路を利用して 32 ビットの乱数を生成します。この TRNG は、FIPS-140-2 準拠のシステムを構築するために、決定論的乱数発生器 (DRNG) へのソースとして使用することを意図しています。TRNG の主な特長は次のとおりです。

- 32 ビットの乱数の生成
- 32 * 4 = 128 TRNG クロック サイクルごとに、新しい 32 ビット数値を生成可能
- 健全性テスト内蔵
- RUN および SLEEP モードで使用可能

詳細については、『』と『*MSPM0 L シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル*』の「TRNG」の章を参照してください。

8.18 AESADV

AES 高度な (AESADV) アクセラレータ モジュールは、AES (Advanced Encryption Standard) に従って 128 ビットまたは 256 ビットのキーをハードウェアに配置し、128 ビットのデータ ブロックの暗号化と復号化を実行します。AES は、FIPS PUB 197 で規定されている対称キー ブロック暗号アルゴリズムです。

AESADV アクセラレータには、次のような機能があります。

- 128 ビットと 256 ビットのキーによる AES 動作
- ハードウェア内でのキー スケジューリング
- ENC /復号化のみのモード:CBC、CFB-1、CFB-8、CFB-128、OFB-128、CTR/ICM
- 認証専用モード:CBC-MAC、CMAC
- AES-CCM
- AES-GCM
- AES-CCM および AES-GCM モードは、ペイロード データのホールド / レジュームによる継続をサポートしています
- 32 ビット ワードのアクセスにより、キー データ、入力データ、および出力データを供給
- AESADV 準備完了割り込み
- 入出力データの DMA トリガ
- RUN モードと SLEEP モードをサポート (デバイスのテクニカル リファレンス マニュアルの「動作モード」セクションを参照)

Copyright © 2025 Texas Instruments Incorporated

詳細については、『MSPM0 G シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル』と』の「AESADV」の章を参照してください。

8.19 キーストア

キーストア コントローラは、Advanced Encryption Engine (AES) キーの安全な管理を提供します。キーストア コントローラの使用モデルは、顧客のセキュア コードの実行中にキーを安全に格納し、その後 AES エンジンがオブザーバーにキーデータを漏らさずに安全な方法でそれらにアクセスすることです。128 ビットと 256 ビットのキーは、キーストアのキー スロットに格納できます。キーストアと AES エンジンとの相互作用は、部分的なキー変更攻撃を阻止するなど、安全な操作を可能にするように設計されています。

- 最大 2 つのキーの保存をサポートします

詳細については、『MSPM0 L シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル』との「キーストア」の章を参照してください。

8.20 CRC-P

巡回冗長検査 (CRC) モジュールは入力データ シーケンスのシグネチャを提供します。CRC モジュールの主な特長は次のとおりです。

- CRC16-CCITT に基づく 16 ビット CRC をサポート
- CRC32-ISO3309 に基づく 32 ビット CRC をサポート
- ビット リバーサルをサポート
- カスタム多項式のサポート

詳細については、『MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル』と、『MSPM0 L シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル』の「CRC」の章を参照してください。

8.21 UART

UART ペリフェラルの主な機能を次に示します。

- スタート、ストップ、およびパリティ用の標準非同期通信ビット
- プログラマブルなシリアル インターフェイス
  - 5、6、7、または 8 データ ビット
  - 偶数パリティ ビット、奇数パリティ ビット、スティック パリティ ビット、およびパリティなしビットの生成 / 検出
  - 1 または 2 ストップ ビットの生成
  - 改行の検出
  - 入力信号のグリッチ フィルタ
  - プログラマブルなボーレート生成 (16/8/3 倍オーバーサンプリング機能付き)
  - ローカル相互接続ネットワーク (LIN) モードのサポート
- 独立した送信および受信 FIFO による DMA データ転送のサポート
- 送信および受信ループバック モード動作をサポート
- サポートされているプロトコルの詳細については、表 8-9 を参照してください

表 8-9. UART の機能

UART の機能	UART0 (拡張、低電力)	UART1 (メイン、低消費電力)
停止およびスタンバイ モードでアクティブ	あり	あり
送信 FIFO と受信 FIFO を分離	あり	あり
ハードウェア フロー制御をサポート	あり	あり
9 ビット構成をサポート	あり	あり
LIN モードをサポート	あり	-
DALI をサポート	あり	-
IrDA をサポート	あり	-

Copyright © 2025 Texas Instruments Incorporated

表 8-9. UART の機能 (続き)

UART の機能	UART0 (拡張、低電力)	UART1 (メイン、低消費電力)
ISO7816 スマート カードをサポート	あり	-
マンチェスター符号化をサポート	あり	-

詳細については、『*MSPM0 L シリーズ 32MHz マイコン テクニカル リファレンス マニュアル*』の「UART」の章を参照してください。

8.22 I2C

これらのデバイスの I²C (Inter-Integrated Circuit Interface) ペリフェラルは、バス上のその他の I2C デバイスとの双方向データ転送を行い、次の主な機能をサポートしています。

- 複数の 7 ビット ターゲット アドレスによる 7 ビットおよび 10 ビット アドレッシング モード
- マルチ コントローラ トランスミッタ / レシーバ モード
- 設定可能クロック ストレッチング付きターゲット レシーバ / トランスミッタ モード
- 標準モード (Sm) をサポート (最大 100kbit/s のビット レート)
- 高速モード (Fm) をサポート (最大 400kbit/s のビット レート)
- 高速プラス モード (Fm+) をサポート (最大 1Mbit/s のビット レート)
  - オープンドレイン IO にのみ対応 (ODIO)
- 独立した送信および受信 FIFO による DMA データ転送のサポート
- PEC、ARP、タイムアウト検出、ホスト サポートにより SMBus 3.0 をサポート
- アドレス一致で低消費電力モードからウェークアップ
- 入力信号のグリッチを抑制するためのアナログおよびデジタル グリッチ フィルタをサポート
- 8 エントリの送信および受信 FIFO

詳細については、『』と『*MSPM0 L シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル*』の「I2C」の章を参照してください。

8.23 SPI

これらのデバイスのシリアル ペリフェラル インターフェイス (SPI) ペリフェラルは、以下の主な機能をサポートしています。

- コントローラ モードとペリフェラル モードの両方で、MCLK/2 のビット レートと最大 16Mbits/s をサポートします。
- コントローラまたはペリフェラルとして構成可能
- コントローラとペリフェラルの両方に対応する構成可能なチップ セレクト
- プログラマブルなクロック プリスケーラおよびビット レート
- データ フレーム サイズを 4 ビット～16 ビット (コントローラ モード)、7 ビット～16 ビット (ペリフェラル モード) にプログラム可能
- PACKEN 機能をサポート、2 つの 16 ビット FIFO エントリを 32 ビット値にパックして CPU 性能を向上
- DMA データ転送をサポートする送信および受信 FIFO (エントリごとに 16 ビットの 4 エントリ)
- テキサス・インスツルメンツ モード、Motorola モード、National Microwire 形式をサポート

詳細については、『MSPM0 G シリーズ 80MHz マイクロコントローラ テクニカル リファレンス マニュアル』と、『MSPM0 L シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル』の「SPI」の章を参照してください。

8.24 低周波数サブシステム (LFSS)

低周波数サブシステム (LFSS) は、複数の機能ペリフェラルを 1 つの共有サブシステムの下に組み合わせたサブシステムです。これらのペリフェラルは、低周波数クロック (LFCLK) によってクロック供給されるか、低消費電力モードではアクティブにする必要があります。LFCLK の標準周波数は 32kHz で、主に長期的な時間管理を目的としています。

LFSS_B は、このデバイスの特定の LFSS バリアントであり、次の部品が含まれています。

- 追加のプリスケーラ拡張機能とタイムスタンプ キャプチャ機能を備えたリアルタイム クロック
- 非同期独立型ウォッチドッグ タイマ

Copyright © 2025 Texas Instruments Incorporated

詳細については、『*MSPM0 G シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル*』との「LFSS」の章を参照してください。

8.25 RTC_B

リアルタイム クロック の RTC_B は、32kHz の入力クロック ソース (通常は低周波数の水晶振動子) で動作し、CPU への割り込み用の複数のオプションを備えたタイム ベースをアプリケーションに提供します。RTC_B は、低周波数サブシステム (LFSS) に関連する一般的な主要な機能を提供します。

RTC_B の一般的な主な特長は次のとおりです。

- 秒、分、時、曜日、日、月、年のカウンタ
- バイナリまたは BCD フォーマット
- うるう年の取り扱い
- 分、時、曜日、日に基づいてカスタマイズ可能な 1 つのアラーム割り込み
- 1 分ごと、1 時間ごと、深夜 12 時、または正午にウェークアップするインターバル アラーム割り込み
- インターバル アラーム割り込みによる 4096、2048、1024、512、256、128Hz の周期的なウェークアップ
- インターバル アラーム割り込みによる 64、32、16、8、4、2、1、0.5Hz の周期的なウェークアップ
- 水晶振動子オフセット誤差の較正 (最大 ±240ppm)
- 温度ドリフトの補償 (最大 ±240ppm)
- キャリブレーション用に RTC クロックをピンに出力

このデバイスでサポートされている RTC 機能を、表 8-10 に示します。

表 8-10. RTC_B の主な特長

RTC の機能	RTC_B
パワー イネーブル レジスタ	-
秒、分、時間、曜日、日、月、年を提供するリアルタイム クロックおよびカレンダー モード	あり
2 進または 2 進化 10 進 (BCD) 形式を選択可能	あり
うるう年補正 (1901 年から 2099 年まで有効)	あり
分、時、曜日、日に基づいてカスタマイズ可能な 2 つのカレンダ アラーム割り込み	あり
1 分ごと、1 時間ごと、深夜 12 時、または正午にウェークアップするインターバル アラーム割り込み	あり
4096、2048、1024、512、256、または 128Hz でウェイクするための定期的な割り込み	あり
64、32、16、8、4、2、1、0.5Hz でウェイクするための定期的な割り込み	あり
スタンバイ モードまでの割り込み機能、STOPCLKSTBY による	あり
水晶振動子オフセット誤差と水晶振動子の温度ドリフトの較正 (合計で最大 ±240ppm)	あり
キャリブレーション用に RTC クロックをピンに出力 (GPIO)	あり
キャリブレーション用に RTC クロックをピンに出力 (TIO)	-
割り込み生成機能付きハートビート機能用 3 ビット プリスケーラ	-
RTC 外部クロックは、トリムされていない 32kHz、トリムされた 512Hz、256Hz、1Hz のいずれかを選択可能	-

Copyright © 2025 Texas Instruments Incorporated

表 8-10. RTC_B の主な特長 (続き)

RTC の機能	RTC_B
以下を含むタイマ スタンプ イベント検出時の RTC タイム スタンプ キャプチャ • TIO イベント • VDD 障害イベント	-
RTC カウンタ ロック機能	-

詳細については、『』と『*MSPM0 L シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル*』の「RTC」の章を参照してください。

8.26 IWDT_B

LFSS の独立したウォッチ ドッグ タイマ (IWDT) は、デバイスに依存しないスーパー バイザであり、コードの実行と、デバイスの全体的なハング アップシナリオを監視します。LFSS の性質上、この IWDT には独自のシステム独立クロックソースがあります。アプリケーション ソフトウェアがプログラムされた時間内にウォッチ ドッグを正常にリセットしなかった場合、ウォッチ ドッグはデバイスに POR リセットを生成します。

IWDT の主な特長は次のとおりです。

- 1 つの 25 ビット カウンタ
- プログラマブル クロック デバイダを使用して LFOSC (固定 32kHz クロック パス) でカウンタを駆動します
- 8 つ のウォッチ ドッグ タイマ期間を選択可能 (2ms ～ 2 時間)

詳細については、『*MSPM0 G シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル*』と』の「IWDT」の章を参照してください。

8.27 WWDT

ウィンドウ付きウォッチドッグ タイマ (WWDT) は、本デバイスの動作 (特にコードの実行) を監視するために使えます。WWDT は、アプリケーション ソフトウェアが規定された時間の範囲内にウォッチドッグを正常にリセットしなかった場合に、リセットまたは割り込みを生成するために使用できます。WWDT の主な特長は次のとおりです。

- 25 ビット カウンタ
- プログラマブルなクロック分周回路
- ソフトウェアで選択可能な 8 つのウォッチドッグ タイマ期間
- ソフトウェアで選択可能な 8 つのウィンドウ サイズ
- SLEEP モードに入った際の WWDT の自動停止をサポート
- ウォッチドッグ機能を必要としないアプリケーションのためのインターバル タイマ モード

詳細については、『*MSPM0 L シリーズ 32MHz マイコン テクニカル リファレンス マニュアル*』の「WWDT」の章を参照してください。

8.28 タイマ (TIMx)

これらのデバイスには 2 種類のタイマ ペリフェラルがあり、主な機能をサポートしています。TIMGx (汎用タイマ) と TIMAx (アドバンスト タイマ)。TIMGx は TIMAx のサブセットであるため、これらのタイマはソフトウェア互換の多くの一般的な機能を共有しています。構成の詳細については、表 8-11 を参照してください。

汎用タイマ **(TIMGx)** 特有の機能には以下が含まれます。

- 16 ビットのダウン、アップ/ダウン、ダウン/アップ カウンタ、反復リロード モード付き
- 選択可能 / 構成可能なクロック ソース
- カウンタ クロック周波数を分周するための 8 ビット プログラマブル プリスケーラ
- 以下のための 2 つの独立した CC チャネル
  - 出力の比較

Copyright © 2025 Texas Instruments Incorporated

  - 入力のキャプチャ
  - PWM 出力
  - ワンショット モード
- 直交エンコーダ インターフェイス (QEI) とホール センサ入力ロジックをサポート、TIMG8 で利用可能
- 同一電力ドメイン内の異なる TIMx インスタンス間の同期とクロス トリガをサポート (表 8-12 を参照)
- 割り込み / DMA トリガ生成とクロス ペリフェラル (ADC など) トリガ機能をサポート

高度制御タイマ **(TIMAx)** 特有の機能には以下が含まれます。

- 16 ビット タイマ、アップ、ダウン、またはアップダウンのカウント モードと反復リロード モード付き
- 選択可能 / 構成可能なクロック ソース
- カウンタ クロック周波数を分周するための 8 ビット プログラマブル プリスケーラ
- カウンタで所定のサイクル数が経過した後にのみ割り込みまたはイベントを生成する、リピート カウンタ
- 以下のための最大 4 つの独立した CC チャネル
  - 出力の比較
  - 入力のキャプチャ
  - PWM 出力
  - ワンショット モード
- 内部イベント用の 2 つの追加キャプチャ / 比較チャネル (CC4/CC5)
- データ保存および CC レジスタ用のシャドウ レジスタ、TIMA0 で利用可能
- プログラム可能なデッド バンド挿入機能を備えた相補出力 PWM
- 非対称型 PWM
- フォルト処理メカニズム
  - 外部フォルト入力またはコンパレータのイベントに対する高速な PWM 応答 (40ns 未満)
  - ラッチされたフォルト状態が発生したとき、ユーザー定義の安全な状態で信号を出力する
- 同一電力ドメイン内の異なる TIMx インスタンス間の同期とクロス トリガをサポート (表 8-12 を参照)
- 割り込みおよび DMA トリガ生成とクロス ペリフェラル (ADC など) トリガ機能をサポート
- 内部イベント用の 2 つの追加キャプチャ / 比較チャネル

表 8-11. TIMx インスタンスの構成

タイマ名	パワードメイン	分解能	プリスケーラ	リピート カウンタ	キャプチャ / 比較チャネル	位相ロード	シャドウ ロード	シャドウ CC	デッドバンド	フォルト	QEI
TIMG0	PD0	16 ビット	8 ビット	-	2	-	-	-	-	-	-
TIMG1	PD0	16 ビット	8 ビット	-	2	-	-	-	-	-	-
TIMG8	PD0	16 ビット	8 ビット	-	2	-	-	-	-	-	あり
TIMA0	PD0	16 ビット	8 ビット	8 ビット	4	あり	あり	あり	あり	あり	-

表 8-12. TIMx クロス トリガ マップ (PD0)

TSEL.ETSEL の選択	TIMA0	TIMG0	TIMG1	TIMG8
0	TIMA0.TRIGO	TIMA0.TRIGO	TIMA0.TRIGO	TIMA0.TRIGO
1	TIMG0.TRIGO	TIMG0.TRIGO	TIMG0.TRIGO	TIMG0.TRIGO
2	TIMG1.TRIGO	TIMG1.TRIGO	TIMG1.TRIGO	TIMG1.TRIGO
3	TIMG8.TRIGO	TIMG8.TRIGO	TIMG8.TRIGO	TIMG8.TRIGO
4～15	予約済み			
16	イベント サブスクライバ ポート 0 (FSUB0)			
17	イベント サブスクライバ ポート 1 (FSUB1)			
18～31	予約済み			

Copyright © 2025 Texas Instruments Incorporated

詳細については、『*MSPM0 L シリーズ 32MHz マイコン テクニカル リファレンス マニュアル*』の「TIMx」の章を参照してください。

8.29 デバイスのアナログ接続

図 8-3 に、本デバイスの内部アナログ接続を示します。

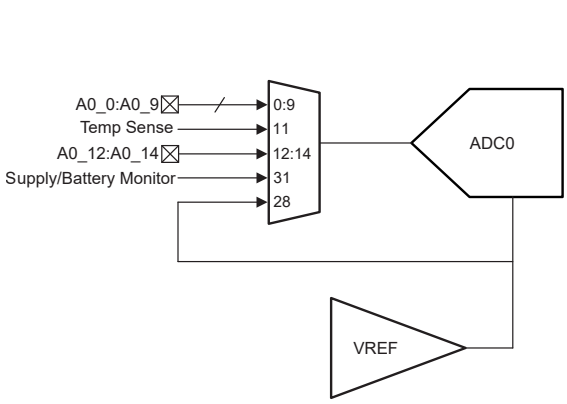


図 8-3. アナログ接続

8.30 入力 / 出力の回路図

IOMUX は、デジタル IO で使用されるペリフェラル機能の種類の選択を管理し、出力ドライバ、入力経路、SHUTDOWN モードからのウェークアップのためのウェークアップ ロジックを制御します。詳細については、『*MSPM0 L シリーズ 32MHz マイコン テクニカル リファレンス マニュアル*』の「IOMUX」セクションを参照してください。

図 8-4 に、フル機能 IO ピンのミクスト シグナル IO ピン スライスの回路図を示します。すべてのピンが、アナログ機能、ウェークアップ ロジック、駆動強度制御、利用可能なプルアップまたはプルダウン抵抗を備えているとは限りません。特定のピンでサポートされている機能の詳細については、デバイスごとのデータシートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

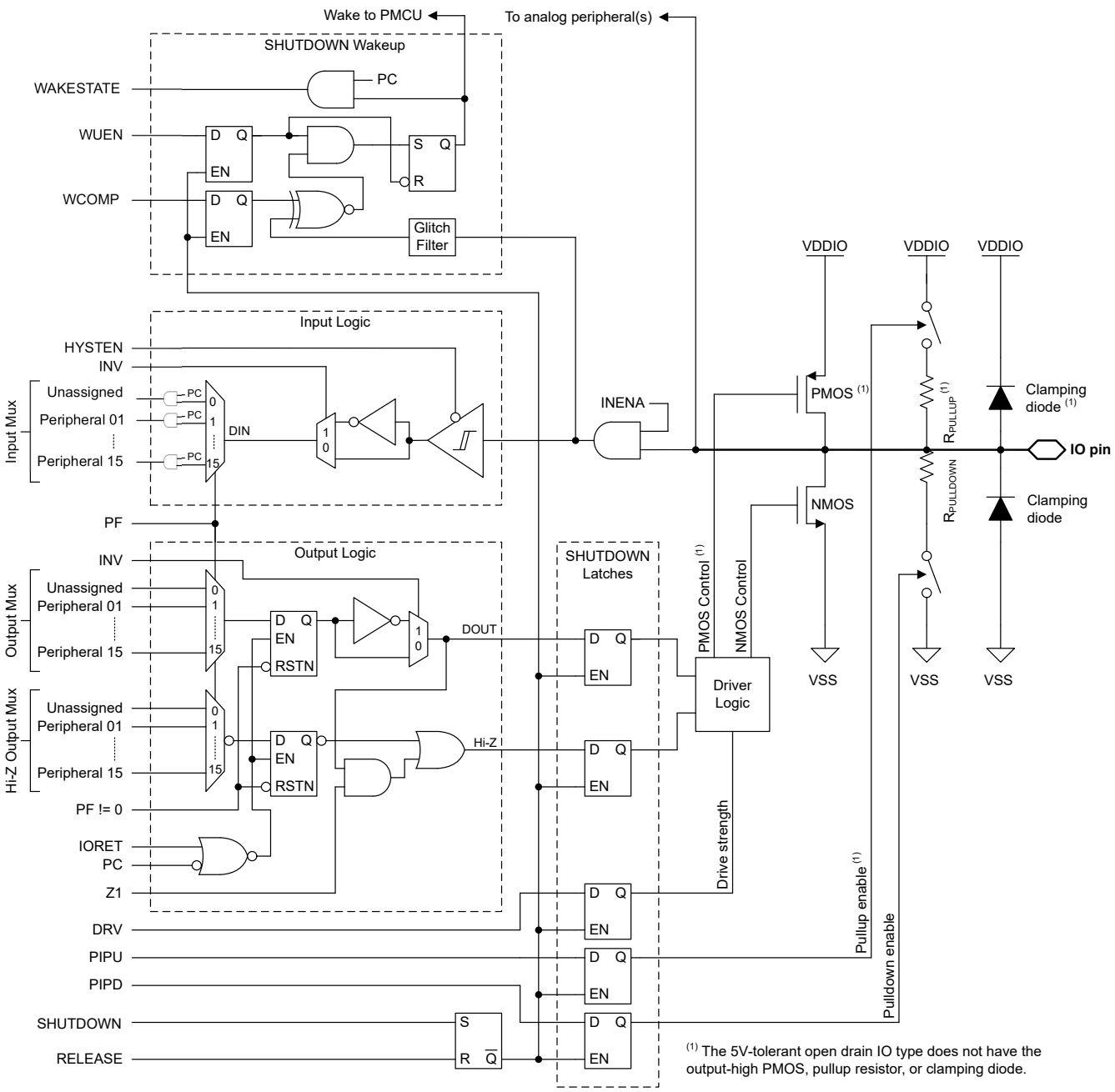


図 8-4. 入力 / 出力の回路図 (上位セット)

8.31 シリアル ワイヤ デバッグ インターフェイス

本デバイス内の各種デバッグ機能を利用できるように、Arm 互換シリアル ワイヤ デバッグ ポート (SW-DP) を利用したシリアル ワイヤ デバッグ (SWD) 2 線式インターフェイスが備わっています。MSPM0 デバイスが備えるデバッグ機能の詳細な説明については、*『MSPM0 L シリーズ 32MHz マイコン テクニカル リファレンス マニュアル』*の「デバッグ」の章を参照してください。

表 8-13. シリアル ワイヤ デバッグ ピンの要件と機能

デバイス信号	方向	SWD 機能
SWCLK	入力	デバッグ プローブからのシリアル ワイヤ クロック

Copyright © 2025 Texas Instruments Incorporated

表 8-13. シリアル ワイヤ デバッグ ピンの要件と機能 (続き)

デバイス信号	方向	SWD 機能
SWDIO	入力 / 出力	双方向 (共有) シリアル ワイヤ データ

8.32 ブートストラップ ローダ (BSL)

ブートストラップ ローダ (BSL) を使用すると、デバイスの構成も、デバイス メモリのプログラミングも、UART または I2C シリアル インターフェイスを介して行うことができます。BSL によるデバイス メモリへのアクセスと構成は、256 ビットのユーザー定義パスワードで保護されており、必要に応じて、デバイス構成の中で BSL を完全に無効化できます。量産プログラミング用に BSL を使用できるように、テキサス・インスツルメンツ出荷時、BSL はデフォルトで有効化されています。

BSL を使用するには、最低 2 本のピンが必要です。それは、BSLRX および BSLTX 信号 (UART の場合) または BSLSCL および BSLSDA 信号 (I^2C の場合) です。さらに、1 本または 2 本の追加ピン (BSL_invoke と NRST) を、外部ホストによるブートローダの制御された呼び出しのために使うこともできます。

有効化されている場合、BSL は次の方法で起動 (開始) されます。

- BSL_invoke ピンの状態が、定義された BSL_invoke のロジック レベルと一致している場合、ブート プロセス中に BSL が呼び出されます。本デバイスの高速ブート モードが有効化されている場合、この呼び出しチェックは省略されます。外部ホストは、呼び出し条件をアサートし、NRST ピンにリセット パルスを印加して BOOSTRST をトリガすることによって、本デバイスが BSL を実行するように指示できます。その後、本デバイスは再起動プロセス中に呼び出し条件を検証し、呼び出し条件が期待されるロジック レベルと一致している場合、BSL を開始します。
- リセット ベクタとスタック ポインタがプログラミングされていない場合、BSL はブート プロセス中に自動的に呼び出されます。したがって、テキサス・インスツルメンツから出荷されたブランク デバイスは、ブート プロセス中に BSL を呼び出します。BSL_invoke ピンにハードウェア呼び出し条件を与える必要はありません。そのため、シリアル インターフェイス信号のみで量産プログラミングが可能です。
- 実行時にアプリケーション ソフトウェアから BSL を呼び出すためには、BSL エントリ コマンドを使用して SYSRST を発行することもできます。

表 8-14. BSL ピンの要件と機能

デバイス信号	接続	BSL 機能
BSLRX	UART に必要	UART の受信信号 (RXD)、入力
BSLTX	UART に必要	UART の送信信号 (TXD)、出力
BSLSCL	I2C に必要	I^2C の BSL クロック信号 (SCL)
BSLSDA	I2C に必要	I^2C の BSL データ信号 (SDA)
BSL_invoke	オプション	ブート時に BSL を開始するために使用されるアクティブ High のデジタル入力
NRST	オプション	リセットのトリガとその後の呼び出し信号 (BSL_invoke) のチェックのために使用されるアクティブ Low のリセット ピン

BSL の機能とコマンド セットの詳細な説明 については、『MSPM0 ブート ストラップ ローダ ユーザー ガイド』を参照してください。

8.33 デバイス ファクトリ定数

すべてのデバイスは、アプリケーション ソフトウェア用に、デバイスの機能を説明する読み出し専用データと、工場から提供された調整情報とを、メモリ内に割り当てられた FACTORY 領域に格納しています。*『MSPM0 L シリーズ 32MHz マイコン テクニカル リファレンス マニュアル』*の「*ファクトリ定数*」の章を参照してください。

Copyright © 2025 Texas Instruments Incorporated

表 8-15. DEVICEID

DEVICEID アドレスは 0x41C4.0004、PARTNUM はビット 12～27、MANUFACTURER はビット 1～11 です。

デバイス	PARTNUM	製造元
MSPM0L1116	0xBBB4	0x17
MSPM0L1117	0xBBB4	0x17

表 8-16. USERID

USERID アドレスは 0x41C4.0008、PART はビット 0～15、VARIANT はビット 16～23 です。

デバイス	部品	バリアント
M0L1116QRGERQ1	0xE501	0x56
M0L1116QRHBRQ1	0xE501	0x66
M0L1116QRGZRQ1	0xE501	0x76
M0L1116QPTRQ1	0xE501	0x86
M0L1117QRGERQ1	0x62FB	0x03
M0L1117QRHBRQ1	0x62FB	0x13
M0L1117QRGZRQ1	0x62FB	0x23
M0L1117QPTRQ1	0x62FB	0x33

8.34 識別

リビジョンおよびデバイス識別

ハードウェア リビジョンとデバイスの識別値は、メモリ内に割り当てられた FACTORY 領域に格納されています (「デバイス ファクトリ定数」セクションを参照)。この領域は、アプリケーション ソフトウェア用に、デバイスの機能を説明する読み出し専用データと、工場から提供された調整情報とを提供します。詳細については、*『MSPM0 L シリーズ 32MHz マイコン テクニカル リファレンス マニュアル』*の「*ファクトリ定数*」の章を参照してください。

デバイス リビジョンおよび識別情報は、デバイス パッケージの上面マーキングの一部としても記載されています。デバイスごとの正誤表に、これらのマーキングが記載されています (セクション 10.3 を参照)。

9 アプリケーション、実装、およびレイアウト

9.1 代表的なアプリケーション

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1.1 回路図

テキサス・インスツルメンツは、10µF と 0.1µF の低 ESR セラミック デカップリング コンデンサを VDD ピンと VSS ピンの間に接続するとともに、これらのコンデンサを分離する電源ピンにできる限り近づけて配置し (数 mm 以内)、ループ面積を最小限に抑えることをおすすめします。ほとんどのアプリケーションでは 10µF のバルク デカップリング コンデンサが推奨値ですが、PCB の設計とアプリケーションの要件に基づいて、必要に応じてこの容量を調整することもできます。たとえば、より値の大きいコンデンサを使用することもできますが、電源レールの立ち上がり時間に影響を及ぼす可能性があります。

デバイスが RESET 状態から開放されてブート プロセスを開始するには、NRST RESET ピンを VDD (電源レベル) にプルアップする必要があります。ほとんどのアプリケーションでは、外部の 47kΩ プルアップ抵抗を 10nF のプルダウン コンデンサに接続し、NRST ピンを他のデバイスまたはデバッグ プローブで制御できるようにすることをおすすめします。

SYSOSC 周波数補正ループ (FCL) 回路では、公差 0.1%、温度係数 (TCR) は 25ppm/°C 以内の外付け 100kΩ 抵抗を、ROSC ピンと VSS の間に取り付けます。この抵抗はリファレンス電流を確立し、補正ループを通して SYSOSC 周波数を安定させます。この抵抗が必要なのは、FCL 機能を使用して高精度を実現する場合で、SYSOSC FCL がイネーブルになっていない場合は必要ありません。FCL モードを使用しない場合、PA2 ピンをデジタル入出力ピンとして使用できます。

VCORE ピンには 0.47µF のタンク コンデンサが必要であり、デバイスのグランドとの距離を最小限に抑えてデバイスの近くに配置する必要があります。他の回路は VCORE ピンに接続しないでください。

5V 対応のオープン ドレイン (ODIO) では、オープン ドレイン IO はローサイド NMOS ドライバのみを実装し、ハイサイド PMOS ドライバを実装しないので、High を出力するには、電圧リファレンス (3.3V 電源レールなど) に接続されたプルアップ抵抗が必要です。

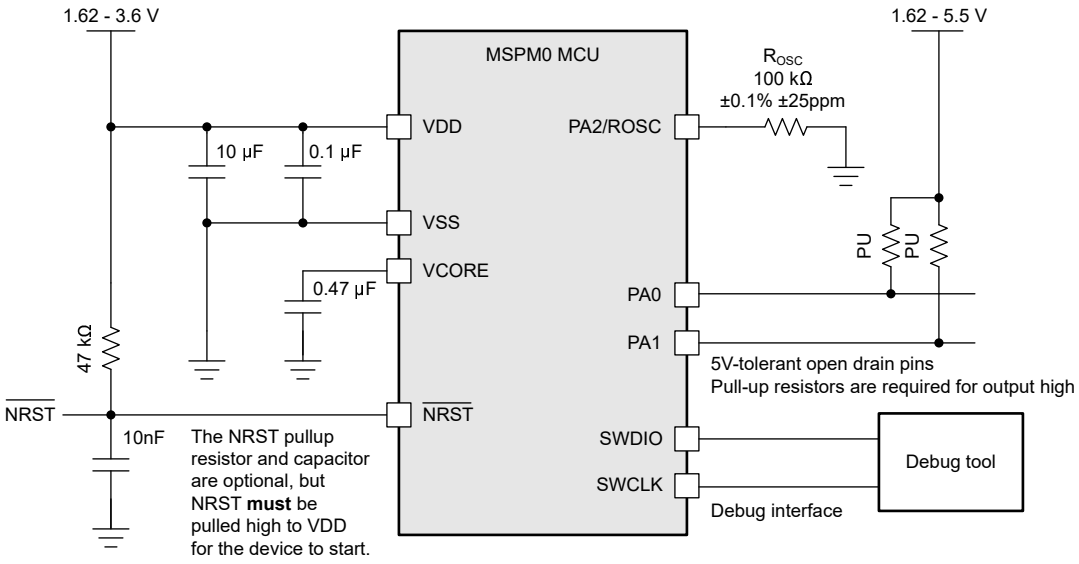


図 9-1. 基本アプリケーションの回路図

Copyright © 2025 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

10.1 デバイスの命名規則

製品開発サイクルの段階を示すために、TI は MSP MCU デバイスとサポート ツールのすべての型番に接頭辞を割り当てています。MSP MCU 車載用ファミリの各番号には、M0、XM0 のいずれかの接頭辞があります。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ (XM0) から、完全認定済みの量産デバイス (M0) までがあります。

X または XMS - 実験段階のデバイスで、最終製品の電気的特性を表しているとは限りません。

M0 - 完全に認定済みの量産版デバイスです。

X および XMS デバイスは、以下の免責事項付きで出荷されます。

「開発中の製品は、社内での評価用です。」MSP デバイスの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。プロトタイプ デバイス (X) は、標準的な製品版デバイスに比べて故障率が大きいと予測されます。これらのデバイスは、予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツはそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

TI デバイスの項目表記には、デバイス ファミリ名の接尾辞も含まれます。この接尾辞は、温度範囲、パッケージ タイプ、配布形式を示しています。デバイス名の各部の読み方を、図 10-1 に示します。

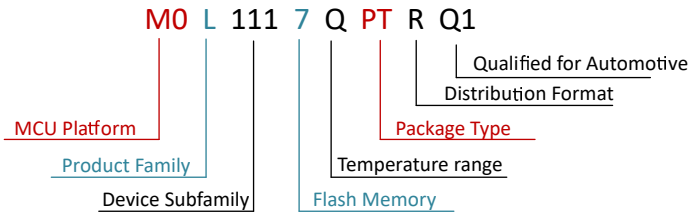


図 10-1. デバイスの命名規則

表 10-1. デバイスの命名規則

MCU プラットフォーム	M0 = Arm ベース 32 ビット M0+ XM0 = 実験段階のシリコン Arm ベース 32 ビット M0+
製品ファミリ	
デバイス サブファミリ	111x = ADC
内部メモリ	6 = 64KB フラッシュ、16KB SRAM 7 = 128KB フラッシュ、16KB SRAM
温度範囲	Q = -40℃～125℃、AEC-Q100 認定済み
パッケージ タイプ	セクション 5 と www.ti.com/packaging を参照
配布形式	T = 小型リール R = 大型リール マーキングなし = チューブまたはトレイ
認証	Q1=車載アプリケーション向けに認定済み

各種パッケージ タイプの MSP デバイスの注文可能な部品番号については、このデータシートの末尾にあるパッケージ注文情報または ti.com を参照するか、テキサス・インスツルメンツの販売代理店にお問い合わせください。

Copyright © 2025 Texas Instruments Incorporated

10.2 ツールとソフトウェア

設計キットと評価モジュール

MSPM0 LaunchPad 開発キット: LP-MSPM0L1117	業界で最も優れたアナログ機能を内蔵し、コストを最適化した汎用 MSPM0 MCU ファミリの開発をただちに開始できます。すべてのデバイス ピンと機能が見えるようにします。多様な内蔵回路、すぐに使用できるソフトウェア デモ、オンボード XDS110 デバッグ プローブ (プログラミング、デバッグ、EnergyTrace™ テクノロジー用) が含まれています。 LaunchPad エコシステムには、機能を拡張するための多数の BoosterPack™ スタッカブル プラグイン モジュールが含まれています。

組込みソフトウェア

MSPM0 ソフトウェア開発キット (SDK)	ソフトウェア ドライバ、ミドルウェア ライブラリ、資料、ツール、すべての MSPM0 デバイスのための使いやすく簡単なユーザー体験を実現するサンプル コードが含まれています。

ソフトウェア開発ツール

TI クラウド ツール	Web ブラウザ上で評価と開発を開始できます。インストールは不要です。クラウド ツールには、ダウンロード可能なオフライン バージョンもあります。
TI Resource Explorer	TI SDK へのオンライン ポータル。CCS IDE または TI クラウド ツールからアクセスできます。
SysConfig	デバイスとペリフェラルの構成、システム競合の解消、構成コードの生成、ピン多重化設定の自動化のための直感的な GUI。CCS IDE または TI クラウド ツールからアクセスできます。(オフライン バージョン)
MSP Academy	さまざまなトピックを網羅するトレーニング モジュールを使用して MSPM0 MCU プラットフォームについて学習するための優れた出発点です。TIRex の一部です。
GUI Composer	コードをまったく必要としない完全統合型アナログ信号チェーンの構成と監視など、特定の MSPM0 機能の評価を簡素化する GUI。

IDE とコンパイラのツールチェーン

Code Composer Studio™ (CCS)	Code Composer Studio は、テキサス・インスツルメンツのマイクロコントローラおよびプロセッサ向けの統合開発環境 (IDE) です。CCS は、組み込みアプリケーションの開発とデバッグに必要な一連のツールで構成されています。CCS は完全に無料で使用でき、Eclipse および Theia フレームワークで利用できます。
IAR Embedded Workbench® IDE	Arm 向け IAR Embedded Workbench は、MSPM0 向けの組込みアプリケーションの構築とデバッグに適した包括的な開発ツールチェーンを提供します。付属の IAR C/C++ コンパイラは、アプリケーション向けに高度に最適化されたコードを生成します。C-SPY デバッガは、ソース レベルおよび逆アセンブリ レベルのデバッグ用の完全統合型デバッガであり、複雑なコードおよびデータ ブレークポイントをサポートしています。
Keil® MDK IDE	Arm Keil MDK は、MSPM0 向けの組込みアプリケーションの構築とデバッグに適した、デバッガおよび C/C++コンパイラの包括的なツールチェーンです。Keil MDK には、ソース レベルおよび逆アセンブリ レベルのデバッグに適した統合型デバッガが含まれています。MDK は CMSIS に完全準拠しています。
TI Arm-Clang	TI Arm Clang は、Code Composer Studio IDE に含まれています。
GNU Arm 組み込みツール チェーン	MSPM0 SDK は、オープン ソースの Arm GNU ツールチェーンを使用した開発をサポートしています。Arm GCC は、Code Composer Studio IDE (CCS) でサポートされています。

Copyright © 2025 Texas Instruments Incorporated

10.3 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

以下のドキュメントでは、MSPM0 MCU について記載しています。これらのドキュメントのコピーは、インターネット上の www.ti.com で入手できます。

テクニカル リファレンス マニュアル

『MSPM0 L シリーズ 32MHz マイクロコントローラ テクニカル リファレンス マニュアル』	このマニュアルは、MSPM0L デバイス ファミリのモジュールおよびペリフェラルについて解説しています。それぞれの説明は、モジュールまたはペリフェラルを一般的な意味で示しています。すべてのデバイスについて、すべてのモジュールまたはペリフェラルのすべての特長や機能を示しているわけではありません。さらに、モジュールやペリフェラルは、異なるデバイスに対して、全く同じように実装されているとは限りません。ピンの機能、内部信号の接続、および動作パラメータはデバイスによって異なります。詳細については、デバイス固有のデータシートを参照してください。

10.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.5 商標

LaunchPad™, Code Composer Studio™, TI E2E™, EnergyTrace™, BoosterPack™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
Arm® and Cortex® are registered trademarks of Arm Limited.
すべての商標は、それぞれの所有者に帰属します。

10.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.7 用語集

テキサス・インスツルメンツ用語集	この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from DECEMBER 1, 2024 to MAY 31, 2025 (from Revision * (December 2024) to Revision A (June 2025)) **Page**

- I/O 機能の一覧を修正 1
- このデバイスが PSA-L1 認証を対象としていることを示す注を追加 1
- 「デバイスの比較」セクションを更新し、通信ペリフェラルのインスタンスを表化 6

- 「ピン属性」セクションを更新し、このデバイスで利用可能な IO タイプを正しく列挙し、ウェークアップ機能付きの SDIO を示す脚注を追加.....11
- 「ピン属性」表を修正し、GPIO PA2 が PINCM61 ではなく PINCM7 で制御されることを表記.....11
- 「ピン属性」表を修正し、PA15 が高駆動タイプ IO (HDIO) であることを表記.....11
- 「ピン属性」表を修正し、PB24 が標準タイプ IO (SDIO) であることを表記.....11
- 正しい接合部温度を反映して、I_VDD および I_VSS の絶対最大定格を更新し、VDD >= 2.7V の条件を削除.....25
- 「絶対最大定格」に PB24 のダイオード電流定格を追加.....25
- 「絶対最大定格」に周囲温度定格を追加.....25
- VDD 電源電圧が低いときの消費電流を低減することについて、I_VDD および I_VSS のガイドラインに脚注を追加 (例：1.62V).....25
- 電源電流特性を、最大値と正確な標準値を追加.....25
- MHz ごとのスリープ電流の電源電流特性パラメータを追加 (32MHz で評価).....25
- POR およびコールドブート BOR の正確な電圧スレッショルドを反映するように POR および BOR 仕様を変更.....25
- 「POR および BOR 仕様」セクションを更新し、dVDD/dt 条件の脚注を削除.....25
- フラッシュ メモリの特性を、下位 32KB セクタだけでなく、100k サイクルを適用できるようにユーザーがフラッシュ メモリの 32kB セクタを指定できるように変更.....25
- 「タイミング特性」セクションを正確な仕様値で更新し、STOP1 および STOP2 から RUN までのウェークアップ時間の仕様ラベルを修正.....25
- システム発振器の仕様を正確な値で更新.....25
- SYSOSC の標準的な周波数精度の図を削除.....25
- デバイスの VDD 動作範囲全体にすでに仕様が適用されているため、VDD 電源範囲の LFXT 仕様を削除.....25
- LFXT のスタートアップ時間を変更し、標準値 1 秒を表記.....25
- デジタル IO の電気的特性を更新し、周囲温度条件を反映.....25
- デジタル IO スイッチング特性に立ち上がり/立ち下がり時間の仕様を追加.....25
- HDIO DRV = 1 条件の脚注を追加し、高電流動作の信号スルーレートを制限.....25
- SNR および PSRRDC の ADC 仕様を更新し、最小値を削除.....25
- 温度センサ係数仕様の値を更新.....25
- I_VREF、TC_VREF、および PSRRDC 仕様値の VREF の電気的特性を変更.....25
- VREF の電気的特性から Vnoise 仕様を削除.....25
- SPI 仕様を更新し、修正されたセットアップおよびホールド タイミングの値を反映.....25
- CPU の説明セクションを更新し、メモリ保護ユニット (MPU) のサポートを表記.....45
- 精度と構成について、動作モード別にサポートされている機能を更新.....46
- DMA のセクションに詳細な DMA 機能の表を追加.....48
- 「フラッシュ メモリ」セクションを更新し、高耐久性動作のために 32kB セクタを選択できることを明記.....52
- 「SRAM」セクションの書き込み実行ユーザー動作に関する説明を更新.....52
- GPIO セクションを更新し、このデバイスには 2 つの GPIO ポート (PAx および PBx) があることを明確化.....53
- 「温度センサ」セクションを更新し、V_TRIM_0K を使用したユニットごとの TSc 計算方法の詳細を追加.....54
- 「VREF」セクションを更新し、このデバイスの VREF が正常に動作するために VREF+/- ピンにデカップリング コンデンサを必要としないことを明確化し、VREF 構成を詳述するブロック図も追加。.....55
- 「セキュリティ」セクションを更新し、このデバイスに搭載されているすべてのセキュリティ機能の一覧を追加.....56
- SPI セクションを、ULPCLK ではなく MCLK を参照するよう更新.....58
- LFSS_B および RTC_B バリアントの存在を示すため、LFSS セクションを更新.....58
- 「タイマ」セクションを更新し、各種のタイマ インスタンス タイプの機能を正しく詳述.....60
- 「メカニカル、パッケージ、および注文情報」セクションを更新し、各パッケージ バリエーションについて図を追加.....71

Copyright © 2025 Texas Instruments Incorporated

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

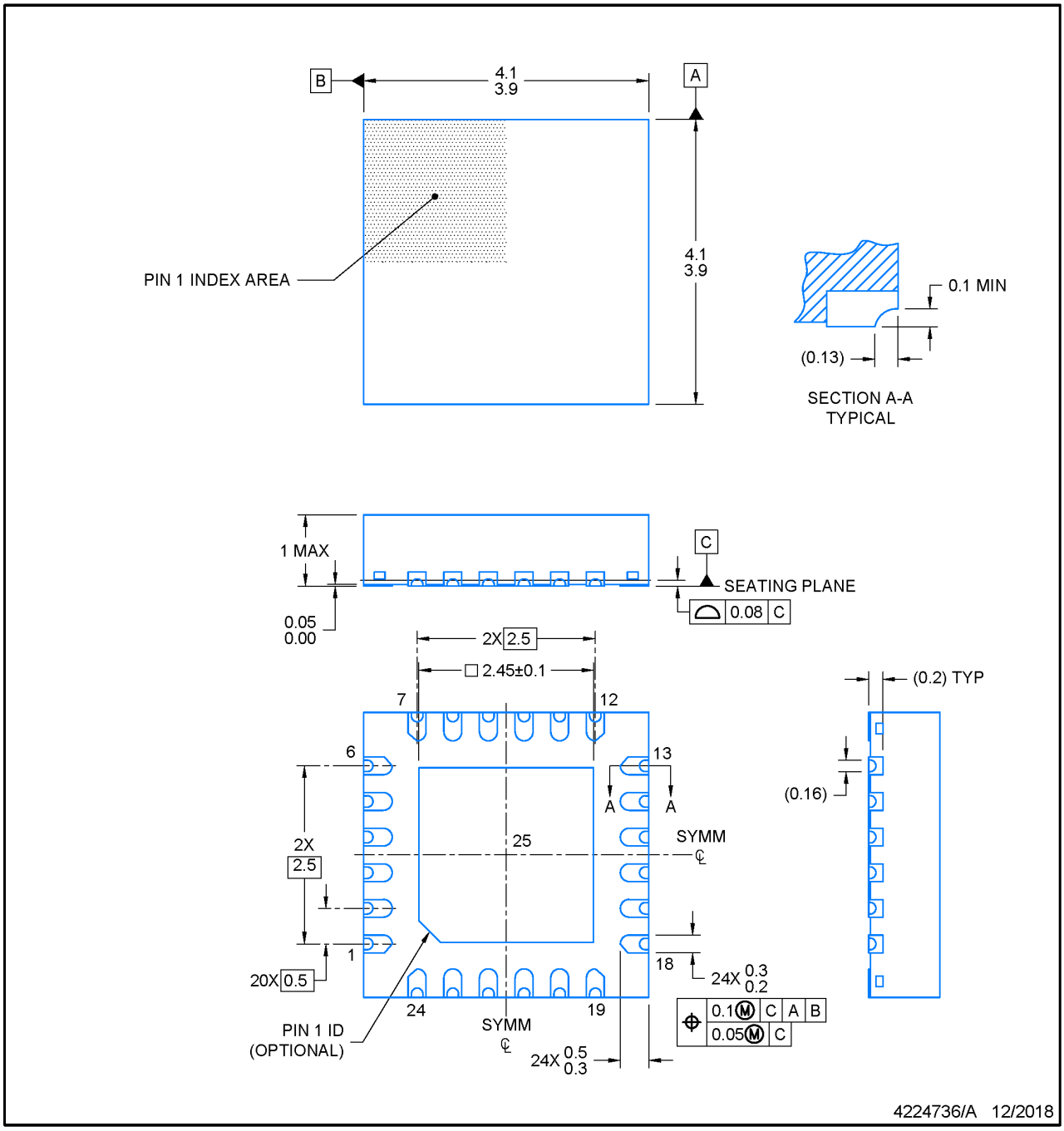
Copyright © 2025 Texas Instruments Incorporated

PACKAGE OUTLINE

RGE0024N

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

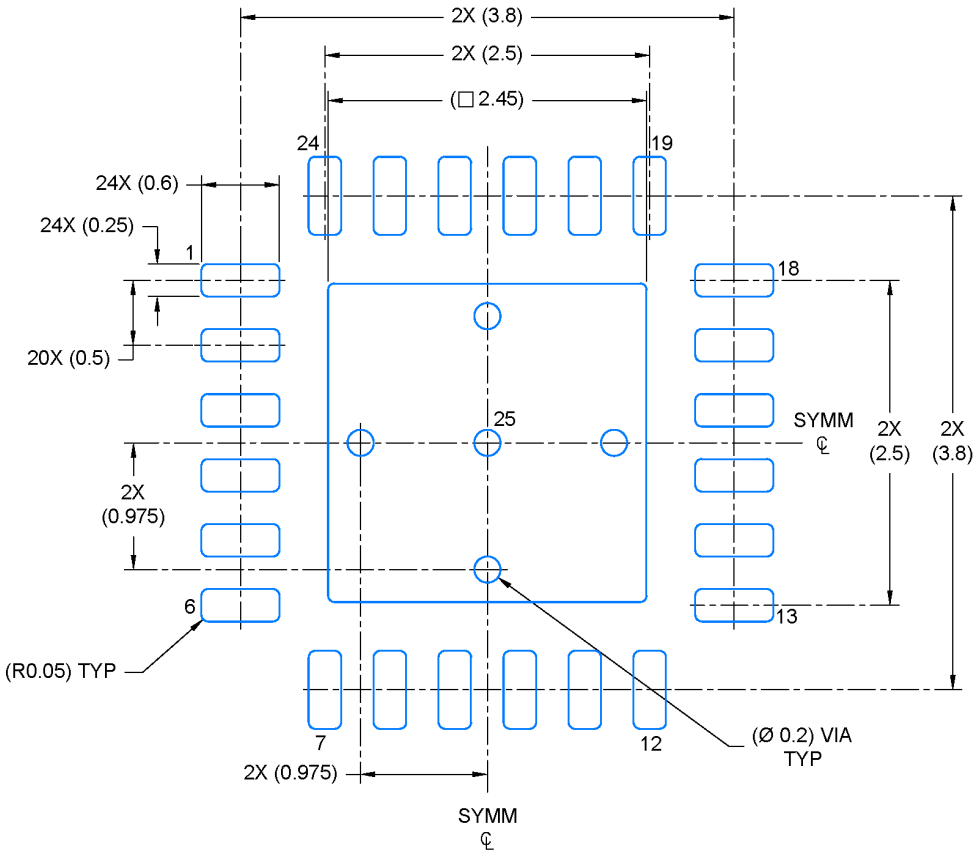
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

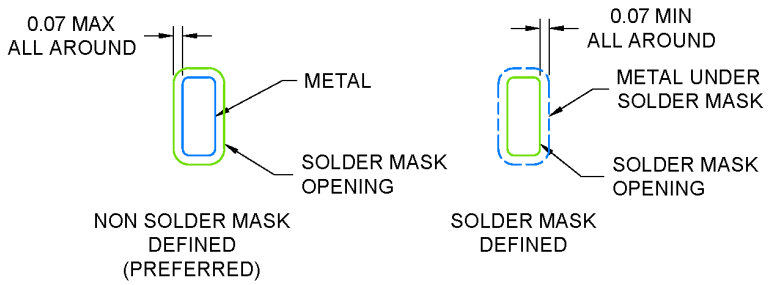
RGE0024N

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 18X



SOLDER MASK DETAILS

4224736/A 12/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

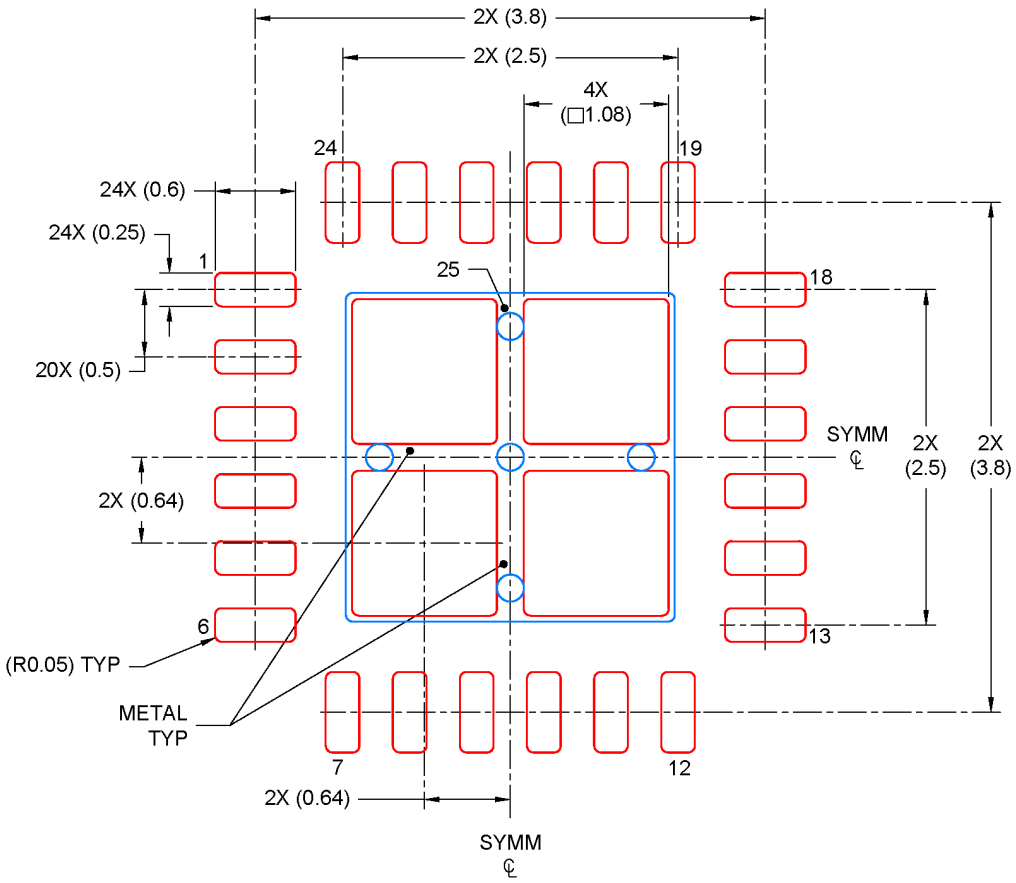
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RGE0024N

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
78% PRINTED COVERAGE BY AREA
SCALE: 18X

4224736/A 12/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

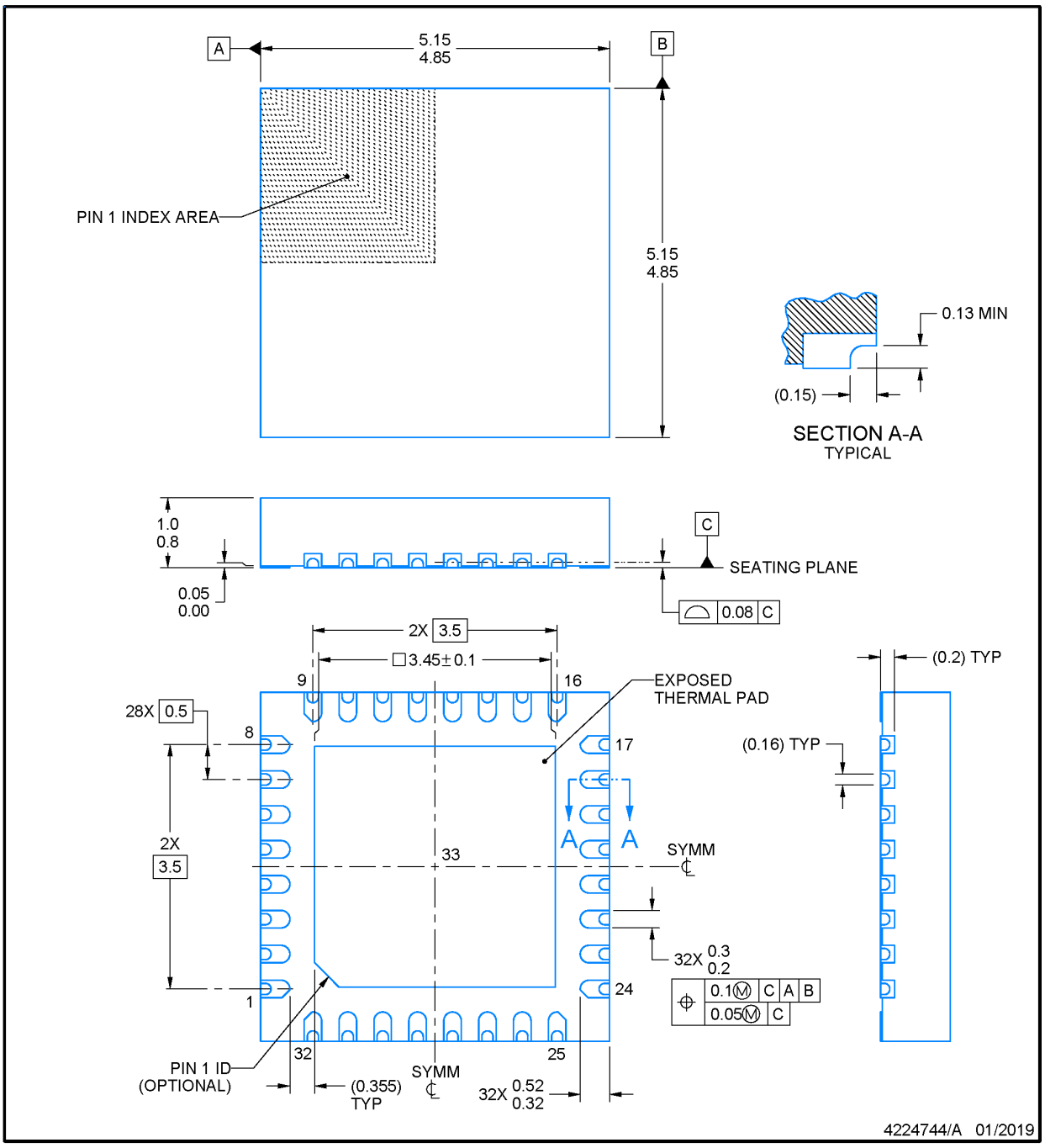
Copyright © 2025 Texas Instruments Incorporated

PACKAGE OUTLINE

RHB0032T

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

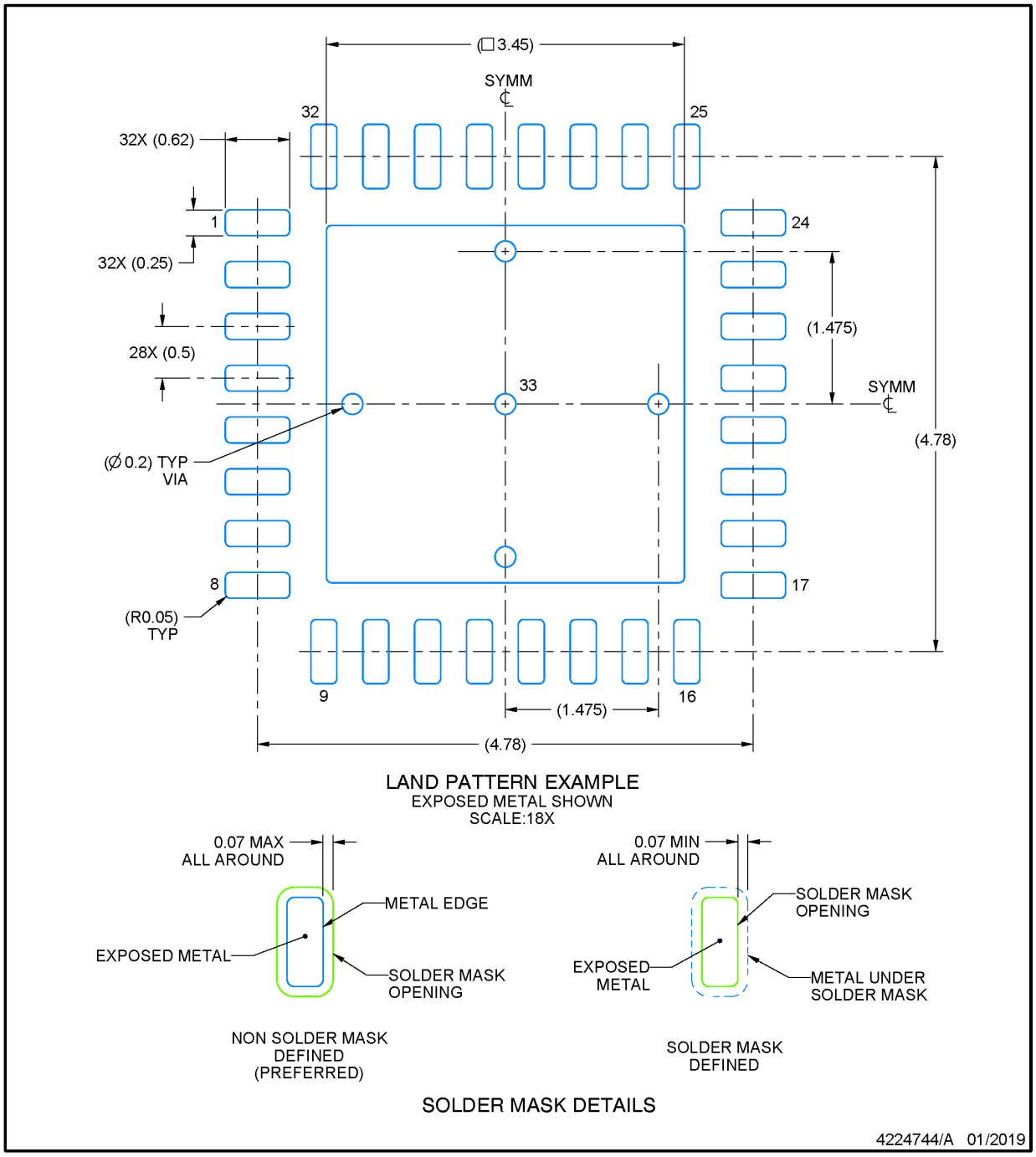
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

RHB0032T

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

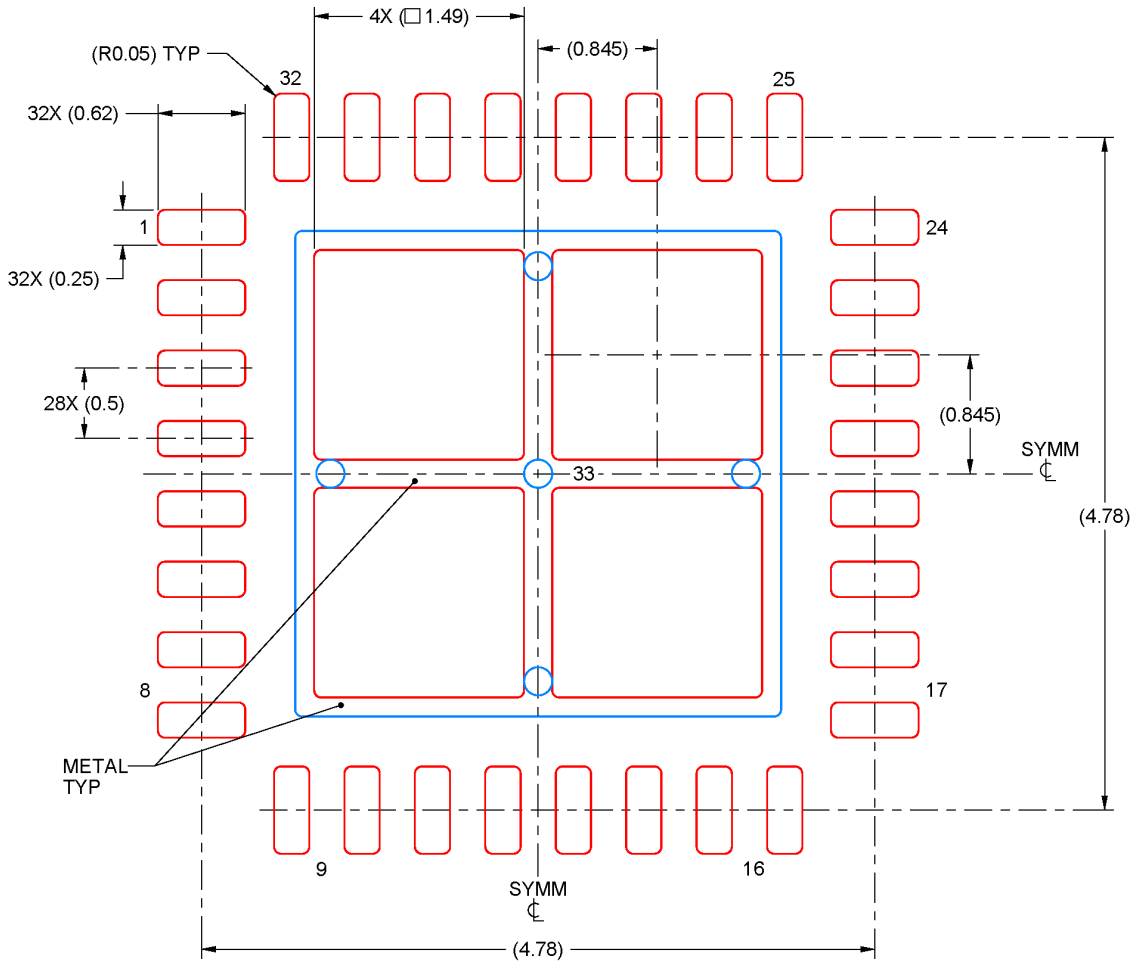
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RHB0032T

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

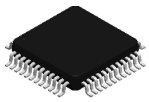
EXPOSED PAD 33:
75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4224744/A 01/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2025 Texas Instruments Incorporated

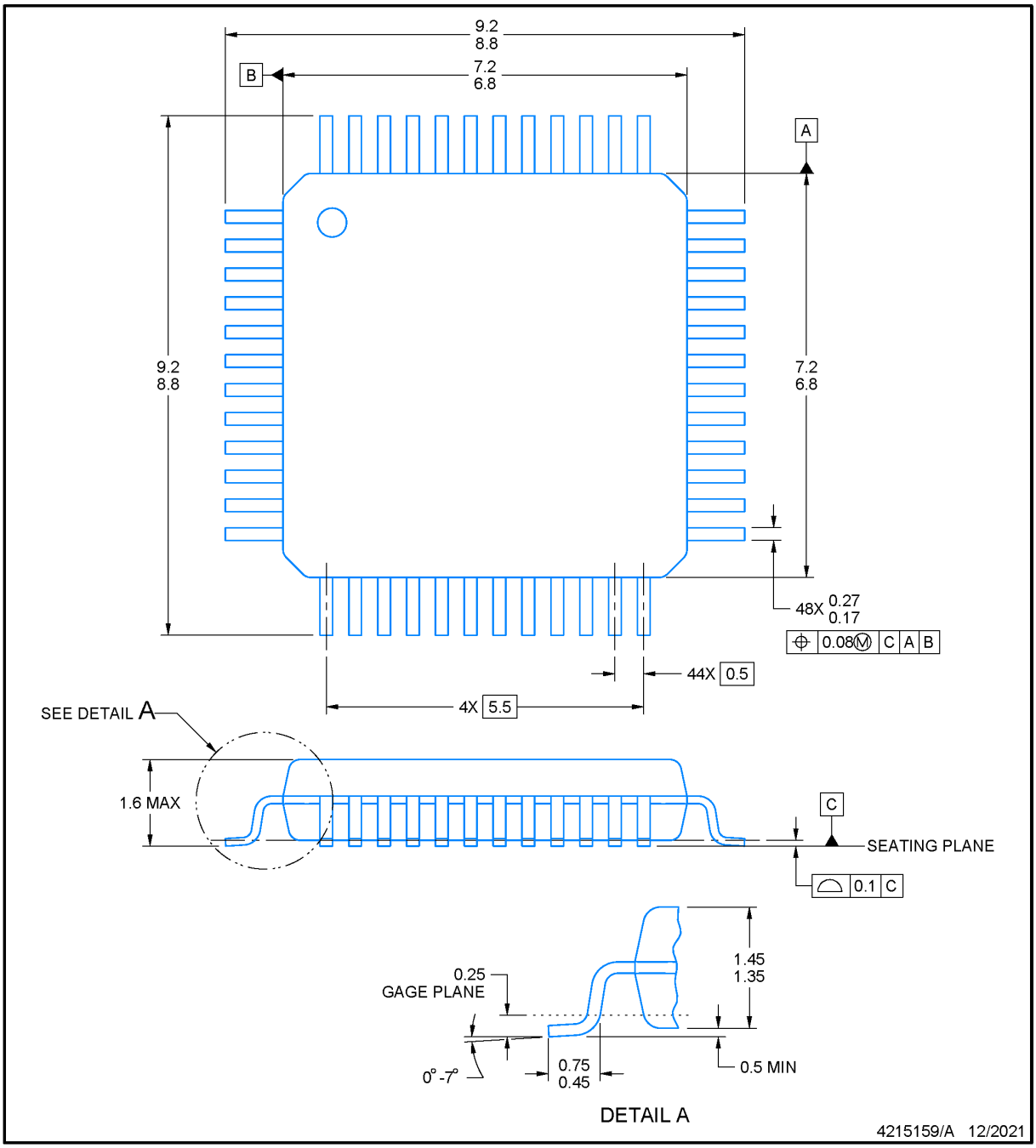


PACKAGE OUTLINE

PT0048A

LQFP - 1.6 mm max height

LOW PROFILE QUAD FLATPACK



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.
4. This may also be a thermally enhanced plastic package with leads conected to the die pads.

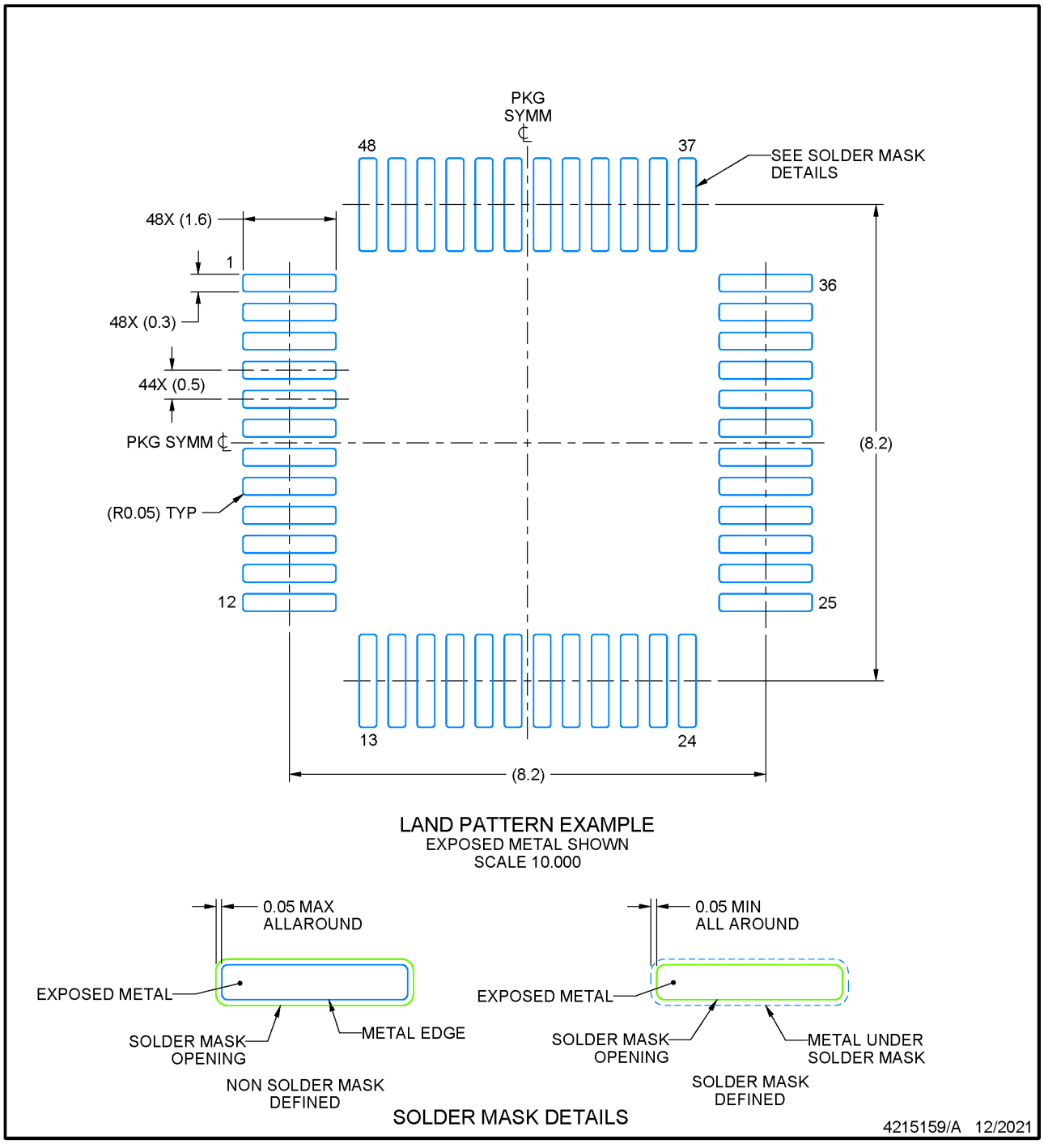
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

PT0048A

LQFP - 1.6 mm max height

LOW PROFILE QUAD FLATPACK



NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

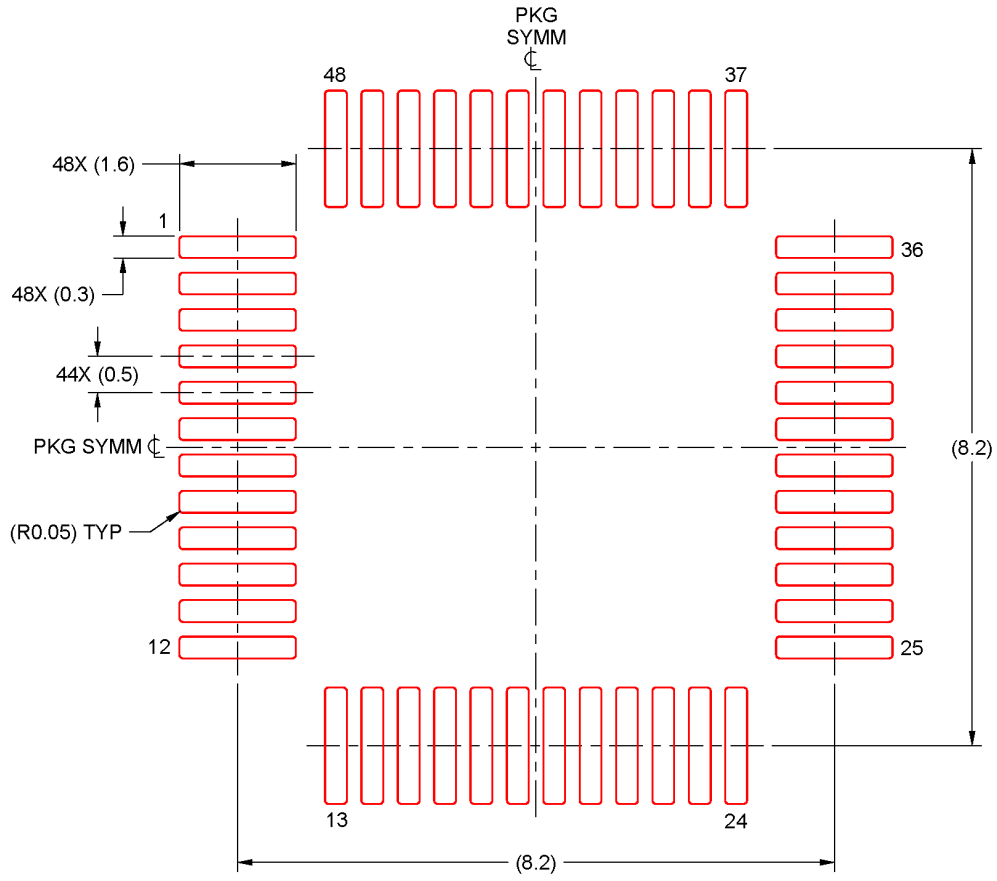
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

PT0048A

LQFP - 1.6 mm max height

LOW PROFILE QUAD FLATPACK



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 10X

4215159/A 12/2021

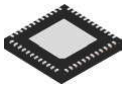
NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

Copyright © 2025 Texas Instruments Incorporated

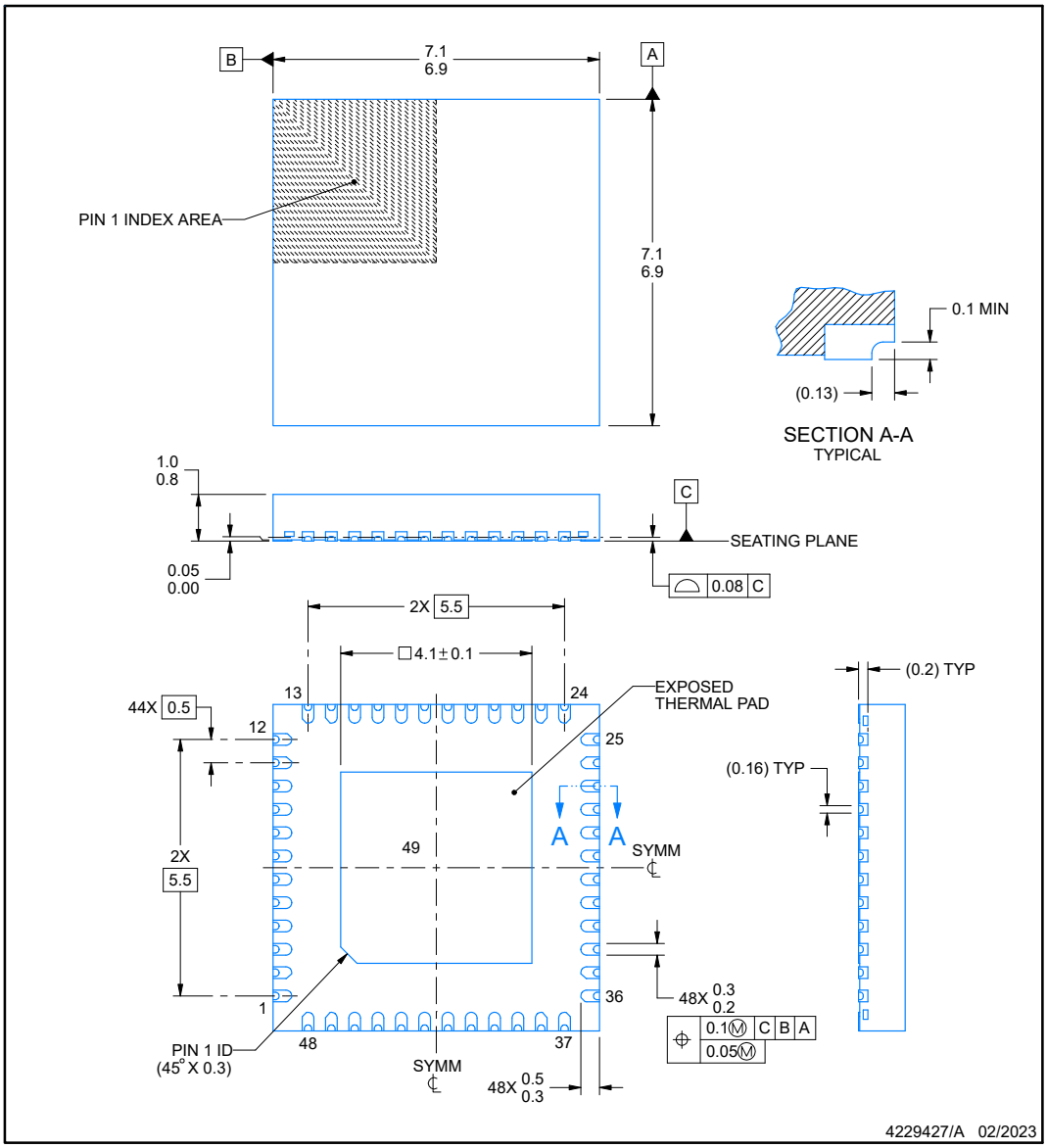
PACKAGE OUTLINE

RGZ0048F



VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

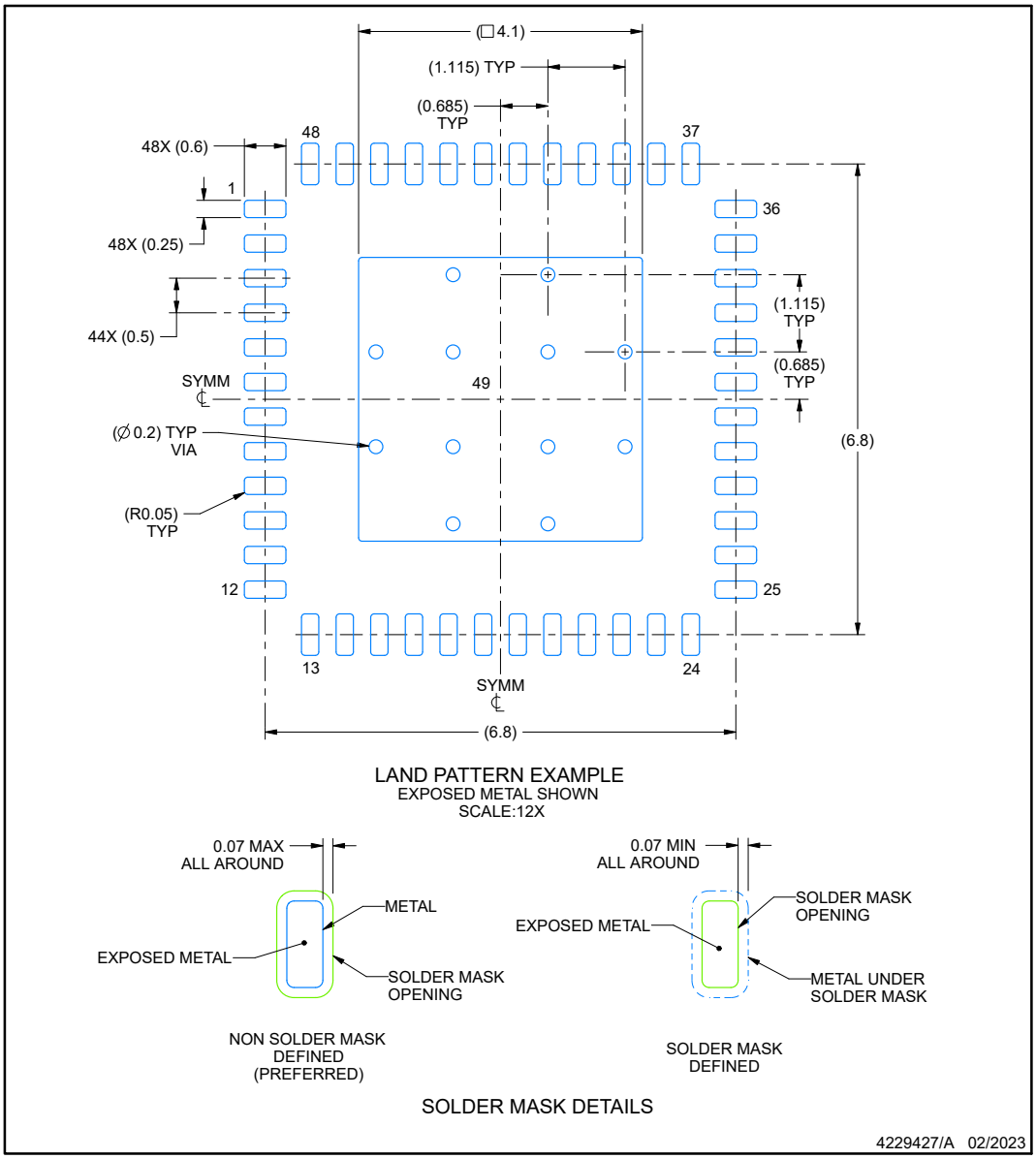
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

RGZ0048F

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

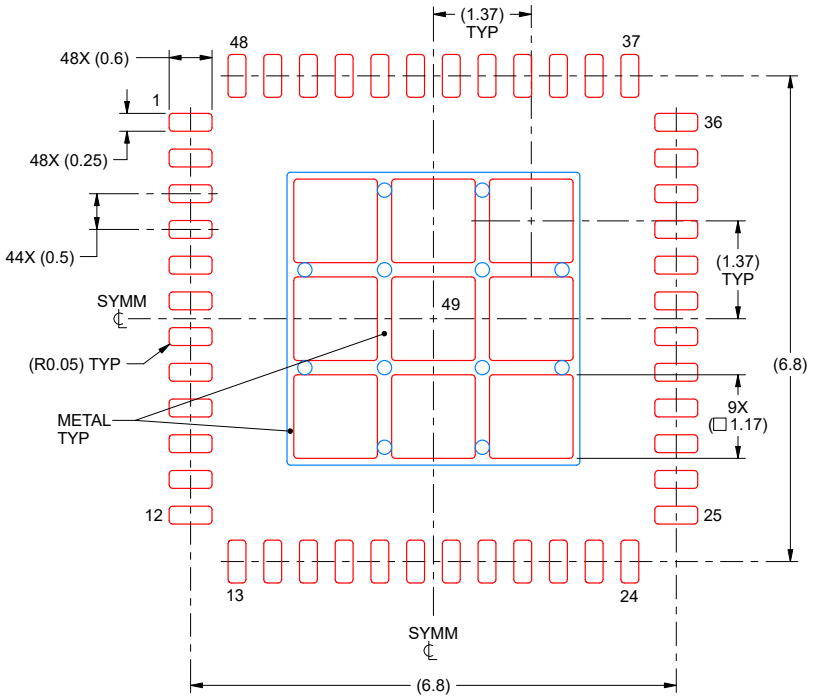
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RGZ0048F **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 49
73% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:12X

4229427/A 02/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
M0L1116QPTRQ1	Active	Production	LQFP (PT) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0L1116Q
M0L1116QRGERQ1	Active	Production	VQFN (RGE) | 24	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MSPM0 L1116Q
M0L1116QRGZRQ1	Active	Production	VQFN (RGZ) | 48	4000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	MSPM0 L1116Q
M0L1116QRHBRQ1	Active	Production	VQFN (RHB) | 32	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	MSPM0 L1116Q
M0L1117QPTRQ1	Active	Production	LQFP (PT) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M0L1117Q
M0L1117QRGERQ1	Active	Production	VQFN (RGE) | 24	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MSPM0 L1117Q
M0L1117QRGZRQ1	Active	Production	VQFN (RGZ) | 48	4000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	MSPM0 L1117Q
M0L1117QRHBRQ1	Active	Production	VQFN (RHB) | 32	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	MSPM0 L1117Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF MSPM0L1116-Q1, MSPM0L1117-Q1 :

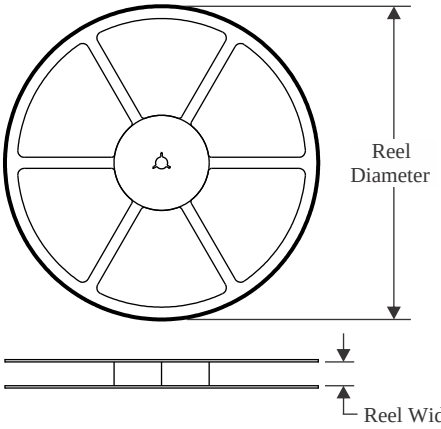
- Catalog : MSPM0L1116, MSPM0L1117

NOTE: Qualified Version Definitions:

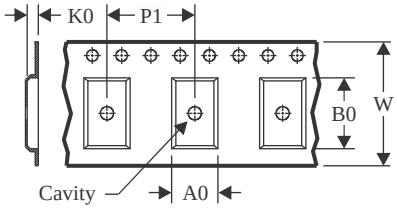
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

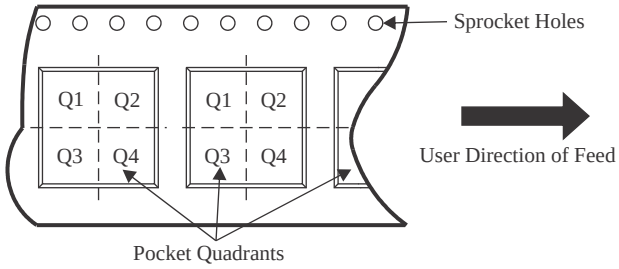


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

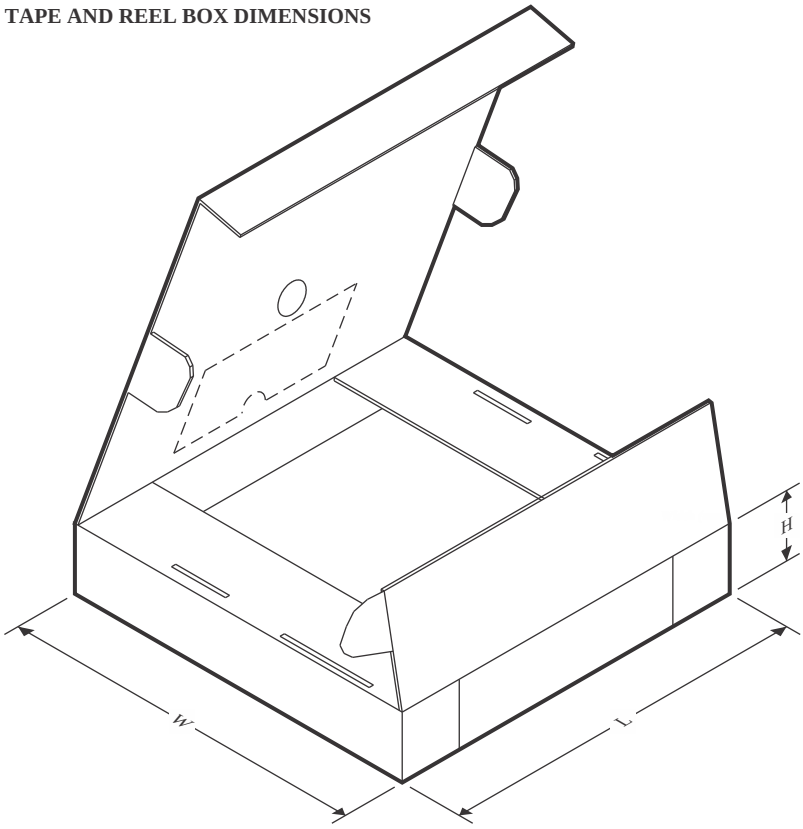
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
M0L1116QPTRQ1	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
M0L1116QRGERQ1	VQFN	RGE	24	5000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
M0L1116QRGZRQ1	VQFN	RGZ	48	4000	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
M0L1116QRHBRQ1	VQFN	RHB	32	5000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
M0L1117QPTRQ1	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
M0L1117QRGERQ1	VQFN	RGE	24	5000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
M0L1117QRGZRQ1	VQFN	RGZ	48	4000	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
M0L1117QRHBRQ1	VQFN	RHB	32	5000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
M0L1116QPTRQ1	LQFP	PT	48	1000	336.6	336.6	31.8
M0L1116QRGERQ1	VQFN	RGE	24	5000	367.0	367.0	35.0
M0L1116QRGZRQ1	VQFN	RGZ	48	4000	367.0	367.0	35.0
M0L1116QRHBRQ1	VQFN	RHB	32	5000	367.0	367.0	35.0
M0L1117QPTRQ1	LQFP	PT	48	1000	336.6	336.6	31.8
M0L1117QRGERQ1	VQFN	RGE	24	5000	360.0	360.0	36.0
M0L1117QRGZRQ1	VQFN	RGZ	48	4000	360.0	360.0	36.0
M0L1117QRHBRQ1	VQFN	RHB	32	5000	360.0	360.0	36.0

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月