MSPM33C321x ミックスド シグナル マイコン

1 特長

- コア
  - TrustZone®、FPU および DSP 拡張機能を搭載した 160MHz Arm® 32 ビット Cortex®-M33 CPU
  - 0 待機状態実行のための 4kB 命令キャッシュ
- 動作特性
  - 拡張動作温度範囲：-40°C～最高 125°C
  - 広い電源電圧範囲：1.71V ～ 3.6V
- メモリ
  - 最大 1MB のフラッシュ メモリ、誤り訂正符号 (ECC) 付き
    - アドレス スワップ機能付きデュアルバンク
  - ECC 付きの専用 256kB SRAM
  - 32kB の高耐久性データ フラッシュを使用した EEPROM 動作
- セキュリティ
  - ROM における不変の信頼の起点 (RoT) により、安全なファームウェアのインストール、起動、鍵のプロビジョニングをサポート
  - フラッシュ、SRAM、ペリフェラルの動的なアクセス制御機能を備えたグローバル セキュリティ コントローラ (GSC)
  - GCM を搭載した AES256 ハードウェア アクセラレータ
  - HMAC を搭載した SHA256 ハードウェア アクセラレータ
  - 公開鍵アクセラレータ (PKA) は、ECC と RSA をサポート
  - 真性乱数生成器 (TRNG)
- 高性能アナログ ペリフェラル
  - 最大 36 の外部チャネルを持つ 2 つの高速同時サンプリング 9.4Msps 12 ビット A/D コンバータ (ADC)
  - 2 つの高速 / 低消費電力コンパレータ (COMP)
  - 外部利用可能な 2 つの 8 ビット DAC
  - 1.4V または 2.5V の構成可能な内部共有電圧リファレンス (VREF)
  - 統合型温度および電源監視
- 最適化された低消費電力モード
  - RUN：211µA/MHz (CoreMark)
  - SLEEP：3.8mA (32MHz 時)
  - STOP：143µA (4MHz 時)
  - STANDBY：CPU 実行レジュームと 64kB SRAM 保持による 8µA
  - SHUTDOWN：<100nA (IO ウェークアップ機能あり)
- 最適化されたデジタル ペリフェラル
  - 合計 16 のチャネルを備えた 2 つの DMA コントローラ
  - 最大 30 の PWM チャネルをサポートする 9 つのタイマ
    - デッドバンド、故障処理、相補ペア付きの 2 つの 16 ビット高度タイマ
    - 4 つの 16 ビット汎用タイマ
    - 1 つの 32 ビット汎用タイマ
    - 直交エンコーダ インターフェイス対応の 2 つの 16 ビット汎用タイマ
  - 1 つのウィンドウ ウォッチドッグ タイマ
  - CRC16/32 モジュール
- 拡張通信インターフェイス
  - 最大 20MB/s の外部メモリ向けクワッド SPI (QSPI)
  - CAN 2.0 A/B および CAN-FD をサポートする 2 つのコントローラ エリア ネットワーク (CAN) インターフェイス
  - UART (LIN) または I^2C (SMBus/PMBus) をサポートする 3 つの構成可能シリアル インターフェイス
  - UART、I^2C、SPI をサポートする構成可能な 4 つのシリアル インターフェイス
  - FM+ (1Mbit/s)、SMBus/PMBus をサポートする、2 つの専用 I^2C インターフェイス
  - 1 つの専用 SPI インターフェイス
  - LIN、IrDA、DALI、スマート カード、マンチェスターをサポートする 1 つの専用 UART インターフェイス
  - 2 つのデジタル オーディオ インターフェイスにより、全二重 I2S と TDM (16 スロット) をサポート
- VBAT アイランド (補助電源)
  - 専用 VBAT ピンによる独立電源
  - リアルタイム クロック (RTC)
  - タイムスタンプ付きの 3 つの改ざん検出 IO
  - 独立型ウォッチドッグ タイマ (IWDT)
  - 32B バックアップ メモリ
- クロック システム
  - 内部 32MHz 発振器 (SYSOSC)
  - フェーズ ロック ループ (PLL)
  - 内部 32kHz 発振器 (LFOSC)
  - 外部 4 ～ 48MHz 水晶発振器 (HFXT)
  - 外部 32kHz 水晶発振器 (LFXT)
  - 外部クロック入力
- 柔軟な I/O 機能
  - 最大 93 の GPIO
- 開発サポート
  - 2 ピン シリアル ワイヤ デバッグ (SWD)
- パッケージ オプション

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

  - 100 ピン LQFP (0.4mm および 0.5mm ピッチ)
  - 80 ピン LQFP (0.5mm ピッチ)
  - 64 ピン LQFP (0.5mm ピッチ)
  - 48 ピン VQFN (0.5mm ピッチ)
  - 100 ピン nFBGA (0.8mm ピッチ)
  - 79 ピン WCSP (0.35mm ピッチ)
- **ファミリの製品** (「製品比較」も参照)
  - MSPM33C321A：1MB フラッシュ、256KB SRAM
  - MSPM33C3219：512KB フラッシュ、256KB SRAM
- **開発キットとソフトウェア** (「ツールとソフトウェア」も参照)
  - LaunchPad EVM LP-MSPM33C321A
  - MSP ソフトウェア開発キット (SDK)

2 アプリケーション

- データ センター
- グリッド インフラ
- スマート メーター
- 通信モジュール
- 医療 / ヘルスケア
- 試験および測定機器
- ファクトリ オートメーション / 制御
- モータ制御
- 家電製品
- 無停電電源およびインバータ
- 電子 POS (EPOS) システム
- 産業用輸送
- 照明器具

3 説明

MSPM33C321x マイコン (MCU) は、Arm® TrustZone® テクノロジ、DSP、FPU を搭載した Arm®Cortex®-M33 32 ビット コアをベースとし、最大 160MHz で動作する MSP 汎用 32 ビット マイコン ファミリの一部です。このマイコン ファミリは、フレキシブルな通信インターフェイス、高性能アナログ、セキュリティ アクセラレータを特長としています。拡張温度範囲と広い電源電圧範囲により、このマイコン ファミリは、さまざまな産業、エンタープライズ、パーソナル エレクトロニクスの各種アプリケーションに適しています。

MSPM33C321x のマイコンは、最大 1MB の組込みフラッシュ プログラム メモリと 256kB の SRAM を内蔵しています。アプリケーションのデータ ストレージ用に追加の高耐久性 32kB フラッシュ データ バンクが用意されています。全メモリは、メモリ範囲全体にわたって誤り訂正コード (ECC) を内蔵しているため、寿命全体にわたって堅牢な動作が可能です。

MSPM33C321x のマイコンは、CAN、I2S/TDM、クアッド SPI (QSPI)、UART、I2C、SPI など、多様なデジタル通信インターフェイスを提供します。構成可能なシリアル インターフェイスは、ソフトウェアで UART、I2C、またはオプションで SPI として動的に割り当てることができます。柔軟性の高い構成とピン配置により、システム設計者は、厳しい要件にも簡単な方法で対応できます。

MSPM33C321x マイコンでは、2 つの 12 ビット 9.4Msps 同時サンプリング ADC や、2 つの高速ローパワー コンパレータなど、高性能の統合アナログ ペリフェラルも採用しています。コンパレータは、高度なタイマを使用した故障検出用、または外部で低消費電力電圧モニタとして使用できます。

MSPM33C321x のマイコンは、信頼性の高い一連のセキュリティ機能を搭載しています。TrustZone テクノロジとグローバル セキュリティ コントローラ (GSC) は、セキュア アプリケーションを構築するための完全な機能セットを提供します。また、これらのデバイスは、不変の信頼の起点 (RoT) として、セキュア ブート、インストール、鍵のプロビジョニングをすぐに実行できます。MSPM33C321x には、AES、SHA、公開鍵アルゴリズム (RSA および ECC) のハードウェア アクセラレーションも含まれています。これらのデバイスは、効率的なポスト量子暗号 (PQC) ソフトウェア ライブラリのサポートを提供します。

MSPM33C シリーズのデバイスは、同じパッケージにある他の MSPM33C デバイスとピン間の互換性があります。MSPM33C シリーズは、MSPM0 デバイスと高度にピン間の互換性があります。MSPM33C デバイスと MSPM0 デバイスの間に違いがある場合、TI のシステム構成ツールや移行ガイドを活用することで、軽微な非互換性への対処方法を知ることができます。

マイコンの MSPM33C ファミリは、広範囲にわたるハードウェアおよびソフトウェアのエコシステムによってサポートされており、リファレンス デザインやサンプル コードを使って設計をすぐに開始できます。開発キットには、購入可能な LaunchPad が含まれています。また、テキサス・インスツルメンツは無償の MSP ソフトウェア開発キット (SDK) も提供しており、Code Composer Studio™ IDE デスクトップのコンポーネントとして利用できます。また、TI Resource Explorer

Copyright © 2026 Texas Instruments Incorporated

ではクラウド バージョンを利用できます。MSPM33C マイコンには、広範囲にわたるオンライン資料、MSP Academy によるトレーニング、TI E2E™ サポート フォーラムによるオンライン サポートも用意されています。

注意

電気的な過剰ストレスや、データやコード メモリの不安定化を防止するために、デバイス レベルの ESD 仕様に従って、システム レベルの ESD 保護を適用する必要があります。詳細については、*『MSP430™ のシステム レベルの ESD 考慮事項』*を参照してください。このアプリケーション ノートに記載されている原則は、MSPM33C マイコンに適用されます。

表 3-1. 製品情報

型番	パッケージ [1]	パッケージ サイズ(2)
MSPM33C321ASPZR	PZ (LQFP、100)	16mm x 16mm
MSPM33C3219SPZR(3)		
MSPM33C321ASPFAR(3)	PFA (LQFP、100)	14mm x 14mm
MSPM33C3219SPFAR(3)		
MSPM33C321ASZAWR	ZAW (nFBGA、100)	9mm x 9mm
MSPM33C3219SZAWR(3)		
MSPM33C321ASPNR(3)	PN (LQFP、80)	14mm x 14mm
MSPM33C3219SPNR(3)		
MSPM33C321ASYSGR(3)	YSG (WCSP、79)	3.6mm x 3.24mm
MSPM33C3219SYSGR(3)		
MSPM33C321ASPMR(3)	PM (LQFP、64)	12mm x 12mm
MSPM33C3219SPMR(3)		
MSPM33C321ASRGZR(3)	RGZ (VQFN、48)	7mm x 7mm
MSPM33C3219SRGZR(3)		

(1) デバイス名の詳細については、「デバイスの命名規則」を参照してください
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
(3) 製品プレビューのみ

Copyright © 2026 Texas Instruments Incorporated

4 機能ブロック図

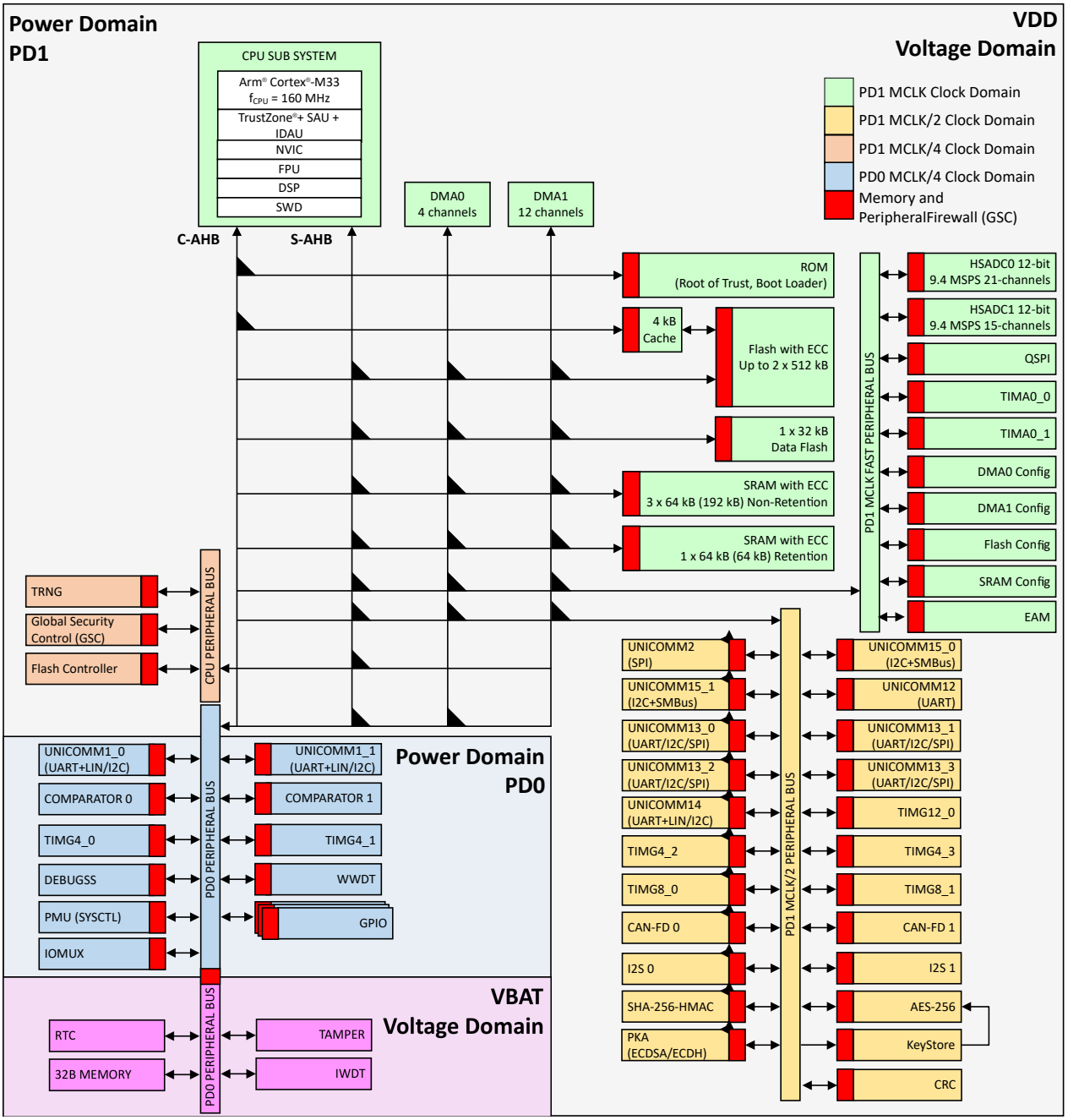


図 4-1. MSPM33C321x の機能ブロック図

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長 ... 1
2 アプリケーション ... 2
3 説明 ... 2
4 機能ブロック図 ... 4
5 デバイスの比較 ... 6
6 ピン構成および機能 ... 7
6.1 ピン配置図 ... 7
6.2 ピン属性 ... 13
6.3 信号の説明 ... 28
6.4 未使用ピンの接続 ... 42
7 仕様 ... 43
7.1 絶対最大定格 ... 43
7.2 ESD 定格 ... 43
7.3 推奨動作条件 ... 43
7.4 熱に関する情報 ... 44
7.5 電源電流特性 ... 45
7.6 フラッシュ メモリの特性 ... 46
7.7 電源シーケンス ... 47
7.8 クロック仕様 ... 50
7.9 アナログ仕様 ... 52
7.10 シリアル インターフェイスの仕様 ... 56
7.11 デジタル IO ... 62
7.12 TRNG ... 63
7.13 エミュレーションおよびデバッグ ... 64
8 詳細説明 ... 65
8.1 TrustZone と FPU を搭載した Arm Cortex-M33 コア ... 65
8.2 パワー マネージメントおよびクロック ユニット (PMCU) ... 65
8.3 デバイス メモリ マップ ... 69
8.4 NVIC 割り込みマップ ... 73
8.5 組込みフラッシュ メモリ ... 74
8.6 内蔵 SRAM ... 74
8.7 DMA ... 75
8.8 イベント マネージャ ... 77
8.9 エラー アグリゲータ モジュール (EAM) ... 77
8.10 GPIO ... 78
8.11 IOMUX ... 78
8.12 アナログ モジュール ... 79
8.13 セキュリティと暗号化 ... 84
8.14 シリアル通信インターフェイス ... 86
8.15 LFSS ... 90
8.16 タイマ、RTC_A、およびウォッチドッグ ... 90
8.17 シリアル ワイヤ デバッグ インターフェイス ... 93
8.18 ブートストラップ ローダ (BSL) ... 93
8.19 Device Factory Constants ... 94
8.20 識別 ... 95
9 アプリケーション、実装、およびレイアウト ... 96
9.1 代表的なアプリケーション ... 96
10 デバイスおよびドキュメントのサポート ... 98
10.1 入門と次のステップ ... 98
10.2 デバイスの命名規則 ... 98
10.3 ツールとソフトウェア ... 99
10.4 ドキュメントのサポート ... 100
10.5 サポート・リソース ... 100
10.6 商標 ... 100
10.7 静電気放電に関する注意事項 ... 100
10.8 用語集 ... 100
11 改訂履歴 ... 100
12 メカニカル、パッケージ、および注文情報 ... 102

Copyright © 2026 Texas Instruments Incorporated

5 デバイスの比較

本データシートに記載されている各デバイスの特長は、以下の表のとおりです。

表 5-1. デバイスの比較

デバイス名(1)(2)(4)	FLASH /SRAM	セキュリティ アクセラレータ	ADC チャネル	CAN	GPIO	パッケージ (3)
MSPM33C321ASPZR	1MB/256kB	AES、SHA、PKA	36	2	93	LQFP100 16mm x 16mm 0.5mm のピンピッチ
MSPM33C3219SPZR(5)	512kB/256kB	AES、SHA、PKA	36	2	93	
MSPM33C321ASPFAR(5)	1MB/256kB	AES、SHA、PKA	36	2	93	LQFP100 14mm x 14mm 0.4mm のピンピッチ
MSPM33C3219SPFAR(5)	512kB/256kB	AES、SHA、PKA	36	2	93	
MSPM33C321ASZAWR	1MB/256kB	AES、SHA、PKA	36	2	93	NFBGA100 9mm x 9mm 0.8mm のボールピッチ
MSPM33C3219SZAWR(5)	512kB/256kB	AES、SHA、PKA	35	2	93	
MSPM33C321ASPNR(5)	1MB/256kB	AES、SHA、PKA	35	2	73	LQFP80 14mm x 14mm 0.5mm のピンピッチ
MSPM33C3219SPNR(5)	512kB/256kB	AES、SHA、PKA	35	2	73	
MSPM33C321ASYSGR(5)	1MB/256kB	AES、SHA、PKA	33	2	68	WCSP79 3.6mm x 3.24mm 0.35mm のボールピッチ
MSPM33C3219SYSGR(5)	512kB/256kB	AES、SHA、PKA	33	2	68	
MSPM33C321ASPMR(5)	1MB/256kB	AES、SHA、PKA	26	2	57	LQFP64 12mm x 12mm 0.5mm のピンピッチ
MSPM33C3219SPMR(5)	512kB/256kB	AES、SHA、PKA	26	2	57	
MSPM33C321ASRGZR(5)	1MB/256kB	AES、SHA、PKA	21	2	41	VQFN48 7mm x 7mm 0.5mm のピンピッチ
MSPM33C3219SRGZR(5)	512kB/256kB	AES、SHA、PKA	21	2	41	

(1) 提供中の全デバイスに関する最新の製品、パッケージ、および注文情報については、セクション 12 の「付録:パッケージ オプション」または TI Web サイトを参照してください。
(2) デバイス認定:
- S = -40℃～125℃

(3) 公差を含めたパッケージの寸法については、セクション 12 を参照してください。
(4) 型番の詳細については、セクション 10.2 を参照してください。
(5) 製品プレビューのみ

Copyright © 2026 Texas Instruments Incorporated

6 ピン構成および機能

システム構成ツール は、ピンの多重化およびピン設定を容易にするための初期化コードを有効にしたり、構成したり、生成するグラフィカル インターフェイスを提供します。以下のピン配置図は、デバイスのピン配置を簡素化するために、主要なペリフェラル機能、内蔵デバイス機能の一部、使用可能なクロック信号を示しています。ピンの機能の詳細については、「ピンの属性」および「信号の説明」セクションを参照してください。

6.1 ピン配置図

各パッケージ オプションの完全なピン構成および機能については、「ピン属性」セクションおよび「信号の説明」セクションを参照してください。

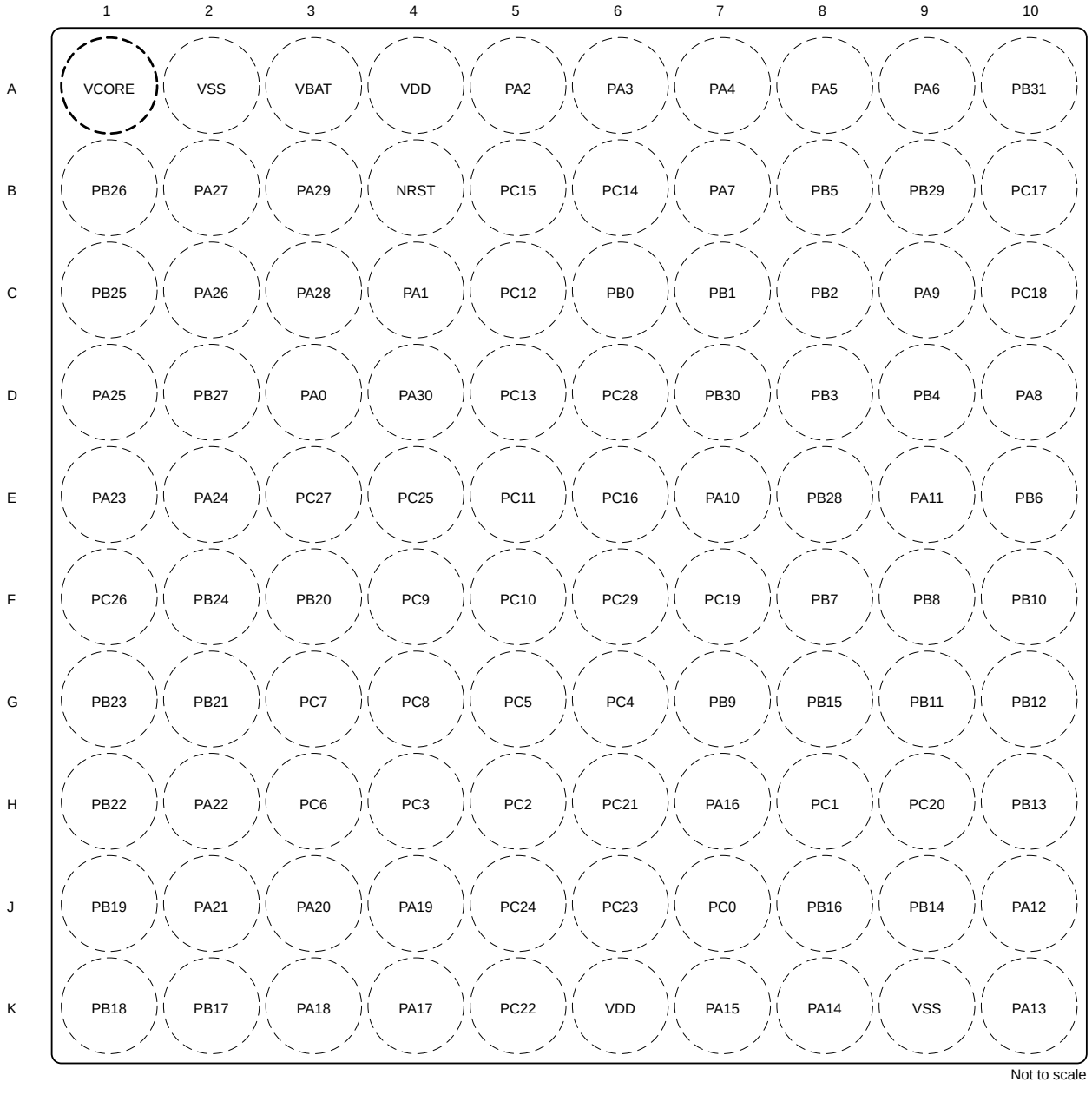


図 6-1. 100 ピン ZAW (9mm x 9mm) (0.8mm ピッチ) (NFBGA) パッケージ図 (上面図)

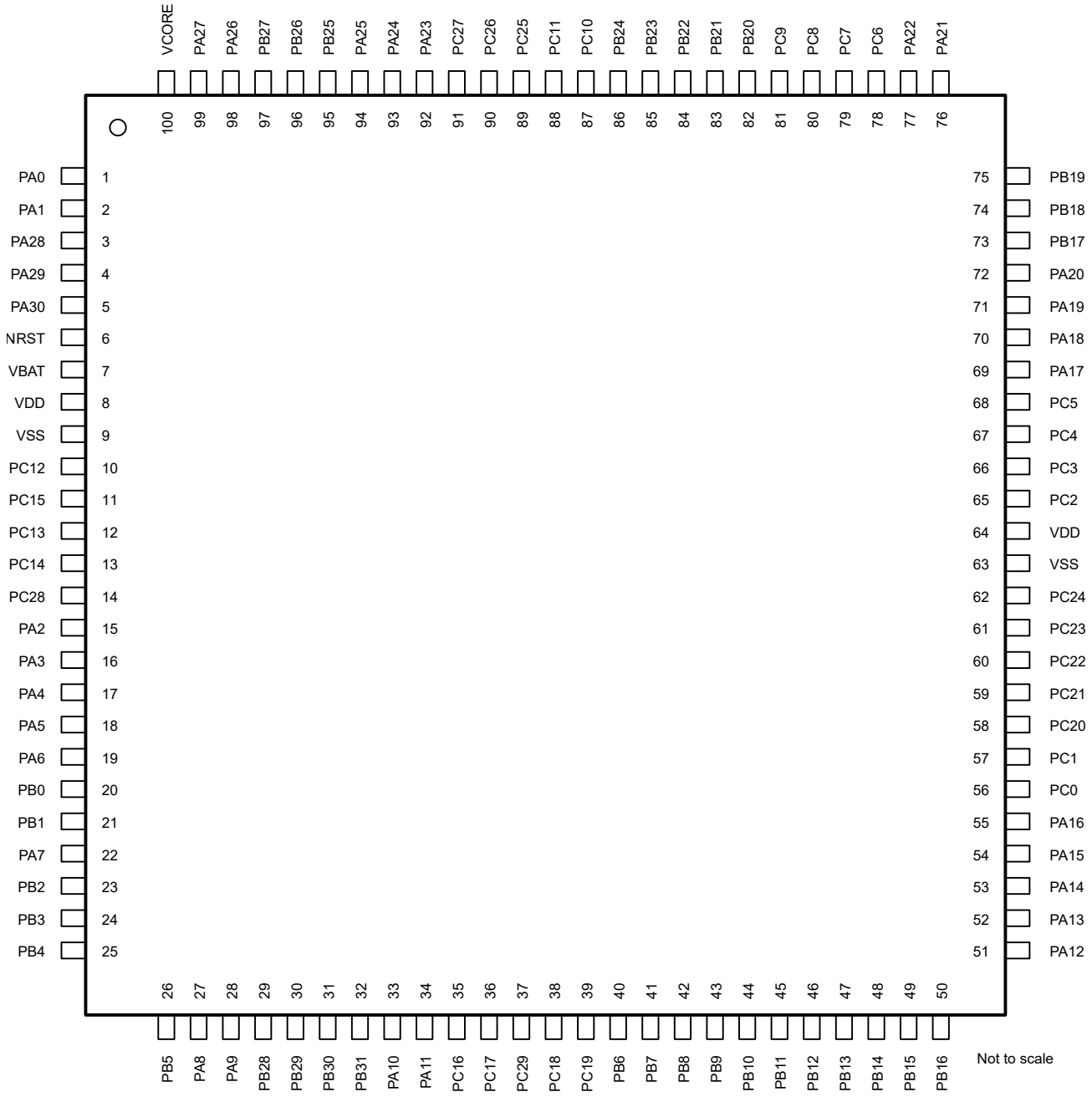


図 6-2. 100 ピン PFA (14mm × 14mm) (0.4mm ピッチ) および PZ (16mm × 16mm) (0.5mm ピッチ) (LQFP) パッケージ図 (上面図)

Copyright © 2026 Texas Instruments Incorporated

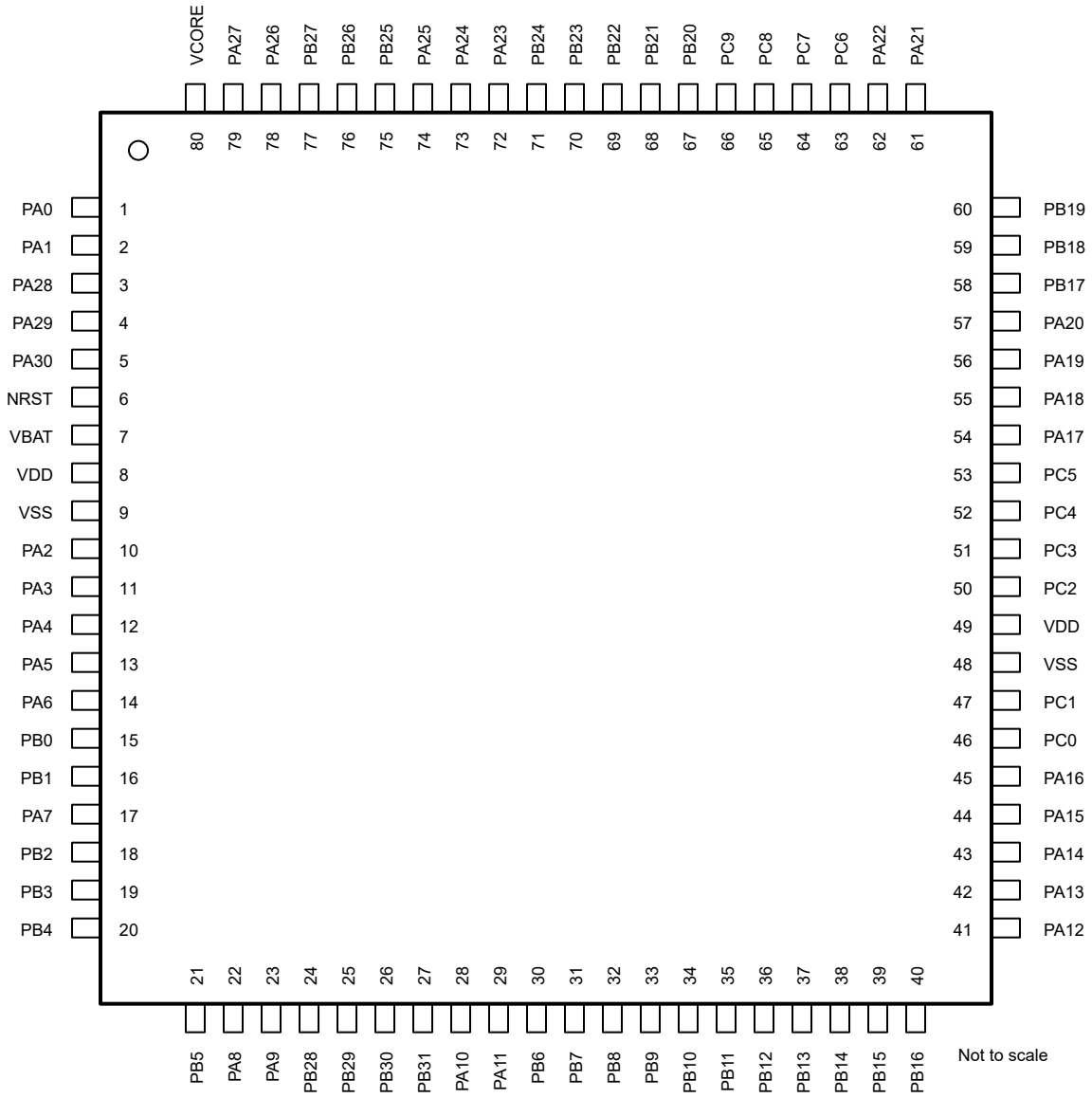


図 6-3. 80 ピン PN (14mm x 14mm) (0.5mm ピッチ) (LQFP) パッケージ (上面図)

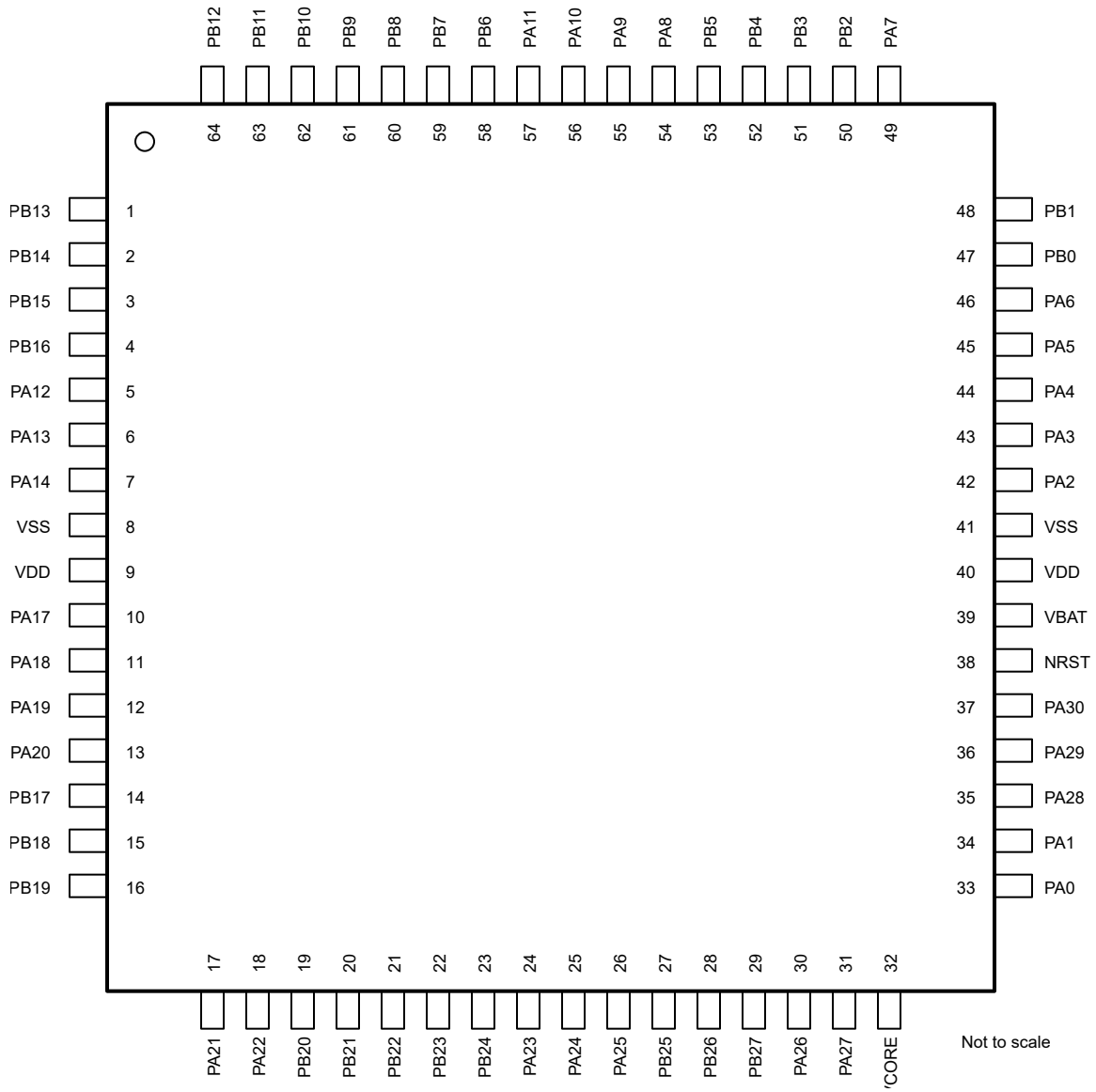


図 6-4. 64 ピン PM (12mm x 12mm) (0.5mm ピッチ) (LQFP) パッケージ図 (上面図)

Copyright © 2026 Texas Instruments Incorporated

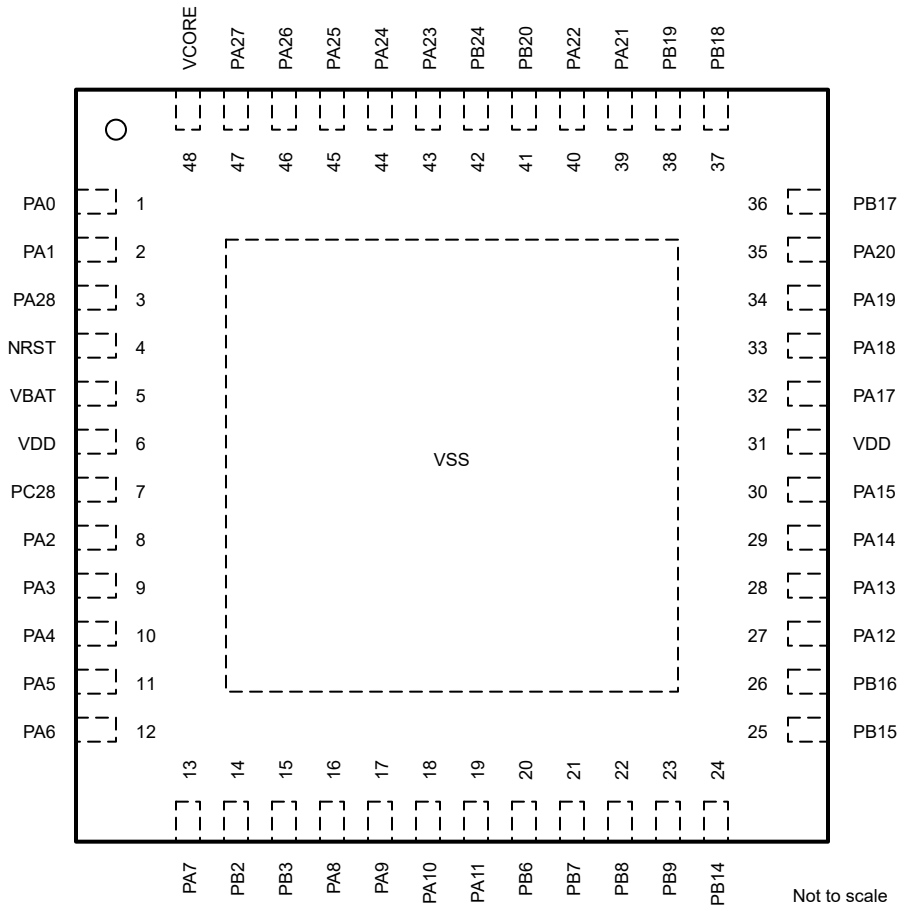


図 6-5. 48 ピン RGZ (7mm x 7mm) (0.5mm ピッチ) (VQFN) パッケージ図 (上面図)

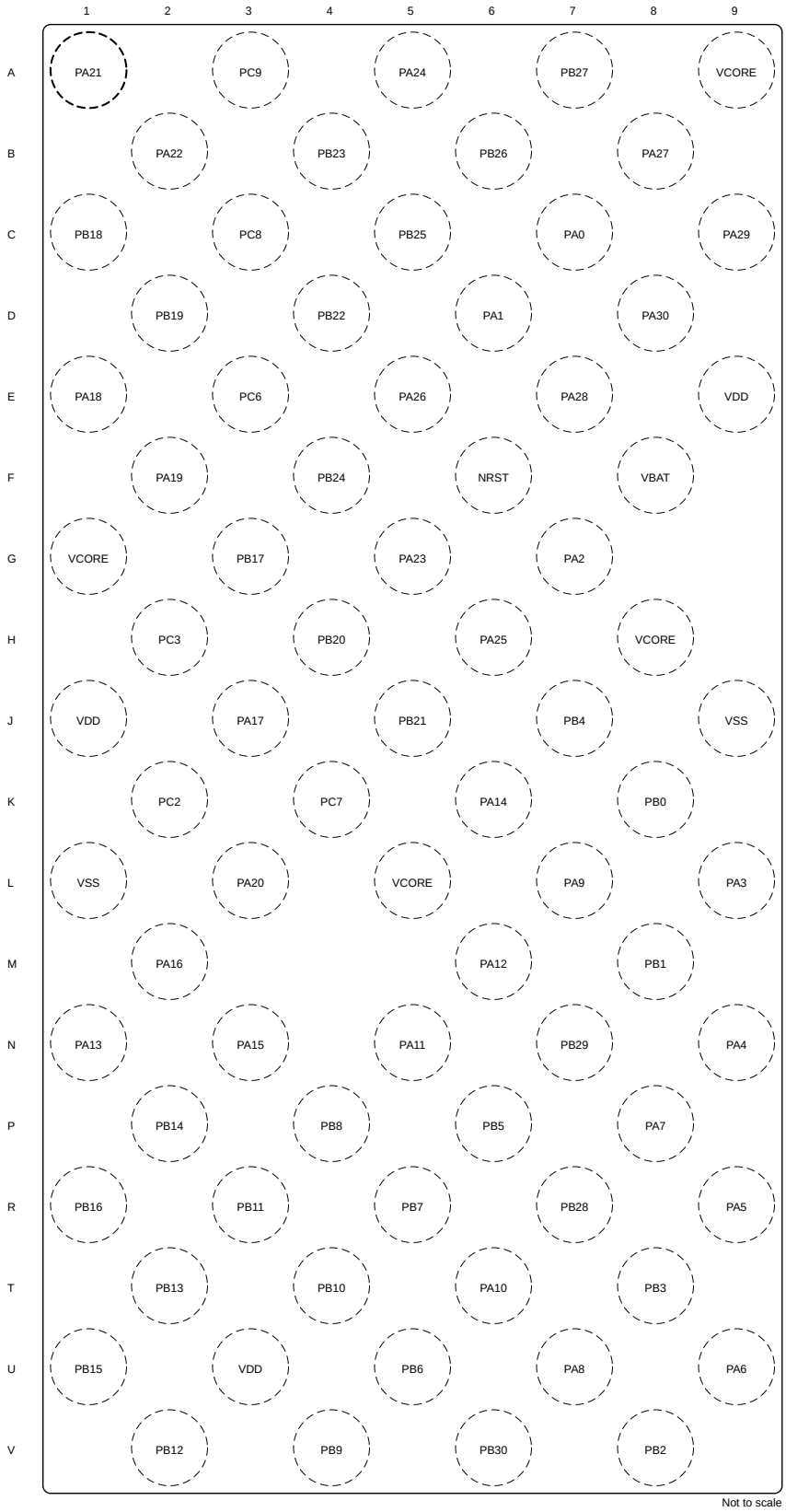


図 6-6. 79 ピン YSG (3.6mm x 3.24mm) (0.35mm ピッチ) (WCSP) パッケージ図 (上面図)

Copyright © 2026 Texas Instruments Incorporated

6.2 ピン属性

次の表に、各デバイス パッケージの各ピンで利用可能な機能を示します。

注

デバイス上の各デジタル I/O は、専用のピン制御管理レジスタ (PINCMx) に割り当てられており、ユーザーが PINCM.PF 制御ビットを使って必要な「*ピン機能*」を設定できます

デバイス上の各デジタル I/O は、専用のピン制御管理レジスタ (PINCMx) に割り当てられており、ユーザーが PINCM.PF 制御ビットを使って必要なピン機能を設定できます。IOMUX は、IOMUX による 1 つのデジタル機能をピンに同時に接続することのみをサポートしています。IOMUX 以外の管理機能 (アナログ接続など) をピンで使うことを想定している場合、IOMUX の PINCM.PF と PINCM.PC を 0 に設定することをお勧めします。ただし、IOMUX 非管理信号 (アナログ入力、WAKE 入力など) は、IOMUX 管理対象のデジタル機能がピン上で有効化されると同時に、機能間に競合がない限り、ピン上で有効化できます。この場合、各ピンでイネーブルされる機能間に競合がないことを設計者が確認する必要があります。

表 6-1. IO タイプ別のデジタル IO 機能

バッファのタイプ	反転制御	駆動能力制御	プルアップ抵抗	プルダウン抵抗	ウェークアップ ロジック
SDIO (標準駆動)	Y		Y	Y	
ウェーク付き SDIO (標準駆動)	Y		Y	Y	Y
HDIO (高駆動)	Y	Y	Y	Y	Y
HSIO (高速)	Y	Y	Y	Y	

表 6-2. ピン属性 (PFA、PZ、PN、PM、RGZ、ZAW、YSG パッケージ)

PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン	ピン名 /IOMUX REG/IOMUX ADDR	信号名	IOMUX 名	信号のタイプ	バッファのタイプ
6	6	6	38	4	B4	F6	NRST	WAKE	(非 IOMUX 1) 0	I	リセット
								NRST	(非 IOMUX 2) 0	リセット	
1	1	1	33	1	D3	C7	PA0 PINCM1 0x400cc000	PA0	1	IO	ウェーク付き SDIO (標準)
								TIMA0_0_FAL1	2	I	
								UC1_0_SDA_TX	3	IOD	
								UC13_3_SCLK_SCL_RX	4	IOD	
								UC12_TX	5	O	
								UC15_0_SDA	6	IOD	
								WAKE	(非 IOMUX 1) 0	I	
								BSL_I2C_SDA	(非 IOMUX 2) 0	IOD	
2	2	2	34	2	C4	D6	PA1 PINCM2 0x400cc004	PA1	1	IO	ウェーク付き SDIO (標準)
								TIMA0_1_FAL0	2	I	
								UC1_0_SCL_RX	3	IOD	
								UC13_3_PICO_SDA_TX	4	IOD	
								UC12_RX	5	I	
								UC15_0_SCL	6	IOD	
								TIMG8_0_IDX	7	I	
								TIMA0_0_C1	8	IO	
								WAKE	(非 IOMUX 1) 0	I	
								BSL_I2C_SCL	(非 IOMUX 2) 0	IOD	

Copyright © 2026 Texas Instruments Incorporated

表 6-2. ピン属性 (PFA、PZ、PN、PM、RGZ、ZAW、YSG パッケージ) (続き)

PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号名	IOMUX 名	信号のタイプ	バッファのタイプ
15	15	10	42	8	A5	G7	PA2 PINCM7 0x400cc018	PA2	1	IO	SDIO (標準)
								TIMG8_0_C1	2	IO	
								TIMA0_0_C1	3	IO	
								UC12_RX	4	I	
								UC2_CS0	5	IO	
								UC13_1_POCI_RTS	6	IO	
								UC13_3_POCI_RTS	7	IO	
								TIO2	(非 IOMUX 1) 0	I	
16	16	11	43	9	A6	L9	PA3 PINCM8 0x400cc01c	PA3	1	IO	SDIO (標準)
								TIMG8_0_C0	2	IO	
								TIMA0_0_C1	3	IO	
								UC1_1_SDA_TX	4	IOD	
								UC2_CS1	5	IO	
								COMP1_OUT	6	O	
								UC15_1_SDA	7	IOD	
								LFXIN	(非 IOMUX 1) 0	A	
17	17	12	44	10	A7	N9	PA4 PINCM9 0x400cc020	PA4	1	IO	SDIO (標準)
								LFCLKIN	2	I	
								TIMA0_0_C1N	3	O	
								UC1_1_SCL_RX	4	IOD	
								UC2_POCI	5	IO	
								UC13_1_CS0_CTS	6	IO	
								UC15_1_SCL	7	IOD	
								LFXOUT	(非 IOMUX 1) 0	A	
18	18	13	45	11	A8	R9	PA5 PINCM10 0x400cc024	PA5	1	IO	SDIO (標準)
								TIMG4_2_C0	2	IO	
								TIMG4_0_C0	3	IO	
								UC2_PICO	5	IO	
								HFXIN	(非 IOMUX 1) 0	A	
19	19	14	46	12	A9	U9	PA6 PINCM11 0x400cc028	PA6	1	IO	SDIO (標準)
								TIMG4_2_C1	2	IO	
								HFCLKIN	3	I	
								TIMA0_0_C2N	4	O	
								UC2_SCLK	5	IOD	
								TIMG4_0_C1	6	IO	
								HFXOUT	(非 IOMUX 1) 0	A	
22	22	17	49	13	B7	P8	PA7 PINCM14 0x400cc034	PA7	1	IO	SDIO (標準)
								TIMG4_3_C1	2	IO	
								CLK_OUT	3	O	
								COMP0_OUT	4	O	
								TIMA0_0_C2	5	IO	
								I2S0_WCLK	6	IO	

Copyright © 2026 Texas Instruments Incorporated

表 6-2. ピン属性 (PFA、PZ、PN、PM、RGZ、ZAW、YSG パッケージ) (続き)

PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号名	IOMUX 名	信号のタイプ	バッファのタイプ
27	27	22	54	16	D10	U7	PA8 PINCM19 0x400cc048	PA8	1	IO	HSIO (高速)
								TIMA0_0_C0	2	IO	
								TIMA0_1_C0	3	IO	
								UC1_0_RTS	4	IO	
								UC1_1_SDA_TX	5	IOD	
								UC2_SCLK	6	IOD	
								UC12_RTS	7	IO	
								I2S0_WCLK	8	IO	
28	28	23	55	17	C9	L7	PA9 PINCM20 0x400cc04c	PA9	1	IO	HSIO (高速)
								TIMA0_0_C0N	2	O	
								RTC_OUT	3	O	
								UC1_0_CTS	4	IO	
								UC1_1_SCL_RX	5	IOD	
								UC2_PICO	6	IO	
								UC12_CTS	7	IO	
								CLK_OUT	8	O	
								I2S0_MCLK	9	IO	
								TDO	10	IO	
33	33	28	56	18	E7	T6	PA10 PINCM21 0x400cc050	PA10	1	IO	ウェーク付き HDIO (高駆動)
								TIMG12_0_C0	2	IO	
								TIMA0_0_C2	3	IO	
								UC1_0_SDA_TX	4	IOD	
								UC2_POCI	5	IO	
								UC15_0_SDA	6	IOD	
								UC12_TX	7	O	
								UC13_1_SCLK_SCL_RX	8	IOD	
								WAKE	(非 IOMUX 1) 0	I	
								BSL_UART_TX	(非 IOMUX 2) 0	O	
34	34	29	57	19	E9	N5	PA11 PINCM22 0x400cc054	PA11	1	IO	ウェーク付き HDIO (高駆動)
								TIMA0_1_C0N	2	O	
								TIMA0_0_C2N	3	O	
								UC1_0_SCL_RX	4	IOD	
								UC2_SCLK	5	IOD	
								UC15_0_SCL	6	IOD	
								UC12_RX	7	I	
								COMP0_OUT	8	O	
								WAKE	(非 IOMUX 1) 0	I	
								BSL_UART_RX	(非 IOMUX 2) 0	I	

Copyright © 2026 Texas Instruments Incorporated

表 6-2. ピン属性 (PFA、PZ、PN、PM、RGZ、ZAW、YSG パッケージ) (続き)

PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン	ピン名 /IOMUX REG/IOMUX ADDR	信号名	IOMUX 名	信号のタイプ	バッファのタイプ
51	51	41	5	27	J10	M6	PA12 PINCM34 0x400cc084	PA12	1	IO	HSIO (高速)
								CANFD0_CANTX	2	O	
								TIMG4_0_C0	3	IO	
								FCC_IN	4	I	
								I2S0_BCLK	5	IO	
								QSPI_IO0	6	IO	
								UC13_0_CS0_CTS	7	IO	
								TIMA0_1_C1	8	IO	
								ADC0_8	(非 IOMUX 1) 0	A	
52	52	42	6	28	K10	N1	PA13 PINCM35 0x400cc088	PA13	1	IO	HSIO (高速)
								CANFD0_CANRX	2	I	
								TIMG4_0_C1	3	IO	
								TIMA0_1_FAL1	4	I	
								I2S0_AD0	5	IO	
								QSPI_IO2	6	IO	
								UC13_0_SCLK_SCL_RX	7	IOD	
								UC13_0_POCI_RTS	8	IO	
								UC12_TX	9	O	
								ADC0_9	(非 IOMUX 1) 0	A	
								COMP0_IN2-	(非 IOMUX 2) 0	A	
								VMON3	(非 IOMUX 3) 0	A	
53	53	43	7	29	K8	K6	PA14 PINCM36 0x400cc08c	PA14	1	IO	HSIO (高速)
								CLK_OUT	2	O	
								TIMA0_1_C1N	3	O	
								TIMA0_0_C3	4	IO	
								I2S0_AD1	5	IO	
								QSPI_IO1	6	IO	
								UC1_0_CTS	7	IO	
								UC13_0_PICO_SDA_TX	8	IOD	
								UC12_RX	9	I	
								ADC0_12	(非 IOMUX 1) 0	A	
								COMP0_IN2+	(非 IOMUX 2) 0	A	
54	54	44		30	K7	N3	PA15 PINCM37 0x400cc090	PA15	1	IO	SDIO (標準)
								TIMG8_0_IDX	2	I	
								TIMA0_0_C2	3	IO	
								UC1_1_SCL_RX	4	IOD	
								UC15_1_SCL	6	IOD	
								UC1_0_RTS	7	IO	
								I2S0_WCLK	8	IO	
								ADC1_0	(非 IOMUX 1) 0	A	
								COMP0_IN3+	(非 IOMUX 2) 0	A	
								COMP1_IN3+	(非 IOMUX 3) 0	A	

Copyright © 2026 Texas Instruments Incorporated

表 6-2. ピン属性 (PFA、PZ、PN、PM、RGZ、ZAW、YSG パッケージ) (続き)

PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン	ピン名 /IOMUX REG/IOMUX ADDR	信号名	IOMUX 名	信号のタイプ	バッファのタイプ
55	55	45			H7	M2	PA16 PINCM38 0x400cc094	PA16	1	IO	SDIO (標準)
								TIMA0_0_C2N	2	O	
								FCC_IN	3	I	
								UC1_1_SDA_TX	4	IOD	
								UC13_0_POCI_RTS	5	IO	
								UC15_1_SDA	6	IOD	
								QSPI_CS3	7	IO	
								ADC1_1	(非 IOMUX 1) 0	A	
69	69	54	10	32	K4	J3	PA17 PINCM39 0x400cc098	PA17	1	IO	ウェーク付き SDIO (標準)
								TIMG4_3_C0	2	IO	
								TIMA0_0_C3	3	IO	
								UC1_1_SDA_TX	4	IOD	
								UC13_0_SCLK_SCL_RX	5	IOD	
								WAKE	(非 IOMUX 1) 0	I	
								ADC1_2	(非 IOMUX 2) 0	A	
								COMP0_IN1-	(非 IOMUX 3) 0	A	
70	70	55	11	33	K3	E1	PA18 PINCM40 0x400cc09c	PA18	1	IO	ウェーク付き SDIO (標準)
								TIMA0_0_C3N	2	O	
								I2S0_WCLK	3	IO	
								UC1_1_SCL_RX	4	IOD	
								UC13_0_PICO_SDA_TX	5	IOD	
								UC13_1_CS0_CTS	6	IO	
								QSPI_CS1	7	IO	
								WAKE	(非 IOMUX 1) 0	I	
								ADC0_10	(非 IOMUX 2) 0	A	
								ADC1_3	(非 IOMUX 3) 0	A	
								COMP0_IN1+	(非 IOMUX 4) 0	A	
								VMON0	(非 IOMUX 5) 0	A	
								BSL_INVOKE	(非 IOMUX 6) 0	I	
71	71	56	12	34	J4	F2	PA19 PINCM41 0x400cc0a0	PA19	1	IO	SDIO (標準)
								SWDIO	2	IO	
								UC15_0_SDA	3	IOD	
								UC12_TX	4	O	
								ADC0_15	(非 IOMUX 1) 0	A	
72	72	57	13	35	J3	L3	PA20 PINCM42 0x400cc0a4	PA20	1	IO	SDIO (標準)
								SWCLK	2	I	
								UC15_0_SCL	3	IOD	
								UC12_RX	4	I	
								ADC0_16	(非 IOMUX 1) 0	A	

Copyright © 2026 Texas Instruments Incorporated

表 6-2. ピン属性 (PFA、PZ、PN、PM、RGZ、ZAW、YSG パッケージ) (続き)

PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号名	IOMUX 名	信号のタイプ	バッファのタイプ
76	76	61	17	39	J2	A1	PA21 PINCM46 0x400cc0b4	PA21	1	IO	SDIO (標準)
								TIMG4_2_C0	2	IO	
								TIMA0_0_C0	3	IO	
								I2S0_AD0	4	IO	
								UC1_1_CTS	5	IO	
								UC13_1_PICO_SDA_TX	6	IOD	
								UC13_2_CS0_CTS	7	IO	
								ADC1_7	(非 IOMUX 1) 0	A	
								VREF_VREF-	(非 IOMUX 2) 0	A	
77	77	62	18	40	H2	B2	PA22 PINCM47 0x400cc0b8	PA22	1	IO	SDIO (標準)
								TIMG4_2_C1	2	IO	
								TIMA0_0_C0N	3	O	
								I2S0_BCLK	4	IO	
								CLK_OUT	5	O	
								UC13_1_SCLK_SCL_RX	6	IOD	
								UC13_2_POCI_RTS	7	IO	
								UC1_1_RTS	8	IO	
								TDI	9	I	
								ADC0_7	(非 IOMUX 1) 0	A	
								ADC1_9	(非 IOMUX 2) 0	A	
92	92	72	24	43	E1	G5	PA23 PINCM53 0x400cc0d0	PA23	1	IO	SDIO (標準)
								TIMA0_0_C3	2	IO	
								I2S0_WCLK	3	IO	
								UC13_1_PICO_SDA_TX	4	IOD	
								UC13_0_CS0_CTS	5	IO	
								UC2_CS3	6	IO	
								UC13_2_SCLK_SCL_RX	7	IOD	
								TIMG4_0_C0	9	IO	
								COMP1_IN1-	(非 IOMUX 1) 0	A	
								VREF_VREF+	(非 IOMUX 2) 0	A	

Copyright © 2026 Texas Instruments Incorporated

表 6-2. ピン属性 (PFA、PZ、PN、PM、RGZ、ZAW、YSG パッケージ) (続き)

PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン	ピン名 /IOMUX REG/IOMUX ADDR	信号名	IOMUX 名	信号のタイプ	バッファのタイプ
93	93	73	25	44	E2	A5	PA24 PINCM54 0x400cc0d4	PA24	1	IO	SDIO (標準)
								TIMA0_0_C3N	2	O	
								I2S0_AD1	3	IO	
								UC13_1_SCLK_SCL_RX	4	IOD	
								UC13_0_POCI_RTS	5	IO	
								UC2_CS2	6	IO	
								UC13_2_PICO_SDA_TX	7	IOD	
								TIMG12_0_C1	8	IO	
								TIMG4_0_C1	9	IO	
								ADC0_3	(非 IOMUX 1) 0	A	
								COMP0_DAC_OUT	(非 IOMUX 2) 0	A	
94	94	74	26	45	D1	H6	PA25 PINCM55 0x400cc0d8	PA25	1	IO	HSIO (高速)
								TIMA0_0_C1N	2	O	
								I2S0_AD0	3	IO	
								UC13_0_SCLK_SCL_RX	4	IOD	
								UC13_3_SCLK_SCL_RX	5	IOD	
								UC13_1_POCI_RTS	6	IO	
								ADC0_2	(非 IOMUX 1) 0	A	
								COMP1_DAC_OUT	(非 IOMUX 2) 0	A	
98	98	78	30	46	C2	E5	PA26 PINCM59 0x400cc0e8	PA26	1	IO	SDIO (標準)
								TIMG4_3_C0	2	IO	
								TIMA0_0_FAL0	3	I	
								CANFD0_CANTX	4	O	
								UC13_0_PICO_SDA_TX	5	IOD	
								UC13_0_CS0_CTS	6	IO	
								UC13_3_PICO_SDA_TX	7	IOD	
								ADC0_1	(非 IOMUX 1) 0	A	
								COMP0_IN0+	(非 IOMUX 2) 0	A	
								VMON1	(非 IOMUX 3) 0	A	
								BSL_CAN_TX	(非 IOMUX 5) 0	O	

Copyright © 2026 Texas Instruments Incorporated

表 6-2. ピン属性 (PFA、PZ、PN、PM、RGZ、ZAW、YSG パッケージ) (続き)

PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号名	IOMUX 名	信号のタイプ	バッファのタイプ
99	99	79	31	47	B2	B8	PA27 PINCM60 0x400cc0ec	PA27	1	IO	SDIO (標準)
								TIMG4_3_C1	2	IO	
								RTC_OUT	3	O	
								CANFD0_CANRX	4	I	
								TIMG4_1_C0	5	IO	
								TIMA0_0_FAL2	6	I	
								UC13_3_POCI_RTS	7	IO	
								UC2_CS1	8	IO	
								ADC0_0	(非 IOMUX 1) 0	A	
								COMP0_IN0-	(非 IOMUX 2) 0	A	
								VMON2	(非 IOMUX 3) 0	A	
								BSL_CAN_RX	(非 IOMUX 5) 0	I	
3	3	3	35	3	C3	E7	PA28 PINCM3 0x400cc008	PA28	1	IO	ウェーク付き HDIO (高駆動)
								TIMA0_0_FAL0	2	I	
								UC1_0_SDA_TX	3	IOD	
								UC13_3_CS0_CTS	4	IO	
								UC12_TX	5	O	
								UC15_0_SDA	6	IOD	
								WAKE	(非 IOMUX 1) 0	I	
4	4	4	36		B3	C9	PA29 PINCM4 0x400cc00c	PA29	1	IO	SDIO (標準)
								TIMG4_2_C0	2	IO	
								TIMA0_1_FAL1	3	I	
								UC13_3_POCI_RTS	4	IO	
								UC12_RTS	5	IO	
								UC1_1_SCL_RX	6	IOD	
								UC15_1_SCL	7	IOD	
5	5	5	37		D4	D8	PA30 PINCM5 0x400cc010	PA30	1	IO	SDIO (標準)
								TIMG4_2_C1	2	IO	
								TIMA0_0_FAL2	3	I	
								UC12_CTS	5	IO	
								UC1_1_SDA_TX	6	IOD	
								UC15_1_SDA	7	IOD	
20	20	15	47		C6	K8	PB0 PINCM12 0x400cc02c	PB0	1	IO	SDIO (標準)
								UC1_0_SDA_TX	2	IOD	
								TIMG4_1_C0	3	IO	
								UC12_TX	4	O	
								TIMA0_1_C2	5	IO	
21	21	16	48		C7	M8	PB1 PINCM13 0x400cc030	PB1	1	IO	SDIO (標準)
								UC1_0_SCL_RX	2	IOD	
								TIMG4_1_C1	3	IO	
								UC12_RX	4	I	
								TIMA0_1_C2N	5	O	

Copyright © 2026 Texas Instruments Incorporated

表 6-2. ピン属性 (PFA、PZ、PN、PM、RGZ、ZAW、YSG パッケージ) (続き)

PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号名	IOMUX 名	信号のタイプ	バッファのタイプ
23	23	18	50	14	C8	V8	PB2 PINCM15 0x400cc038	PB2	1	IO	SDIO (標準)
								TIMG4_2_C0	2	IO	
								TIMA0_0_C3	3	IO	
								UC13_1_CS0_CTS	4	IO	
								UC1_1_SCL_RX	5	IOD	
								UC15_1_SCL	6	IOD	
24	24	19	51	15	D8	T8	PB3 PINCM16 0x400cc03c	PB3	1	IO	SDIO (標準)
								TIMG4_2_C1	2	IO	
								TIMA0_0_C3N	3	O	
								UC13_1_POCI_RTS	4	IO	
								UC1_1_SDA_TX	5	IOD	
								UC15_1_SDA	6	IOD	
25	25	20	52		D9	J7	PB4 PINCM17 0x400cc040	PB4	1	IO	SDIO (標準)
								TIMA0_0_C2	2	IO	
								UC1_1_SDA_TX	3	IOD	
								UC13_0_CS0_CTS	4	IO	
								UC13_1_PICO_SDA_TX	5	IOD	
26	26	21	53		B8	P6	PB5 PINCM18 0x400cc044	PB5	1	IO	HSIO (高速)
								TIMA0_0_C2N	2	O	
								UC1_1_SCL_RX	3	IOD	
								UC13_0_POCI_RTS	4	IO	
								UC13_1_POCI_RTS	5	IO	
								UC2_POCI	6	IO	
40	40	30	58	20	E10	U5	PB6 PINCM23 0x400cc058	PB6	1	IO	HSIO (高速)
								TIMG4_2_C0	2	IO	
								TIMA0_1_C0	3	IO	
								I2S1_AD0	4	IO	
								UC1_1_SDA_TX	5	IOD	
								UC12_CTS	6	IO	
								UC2_CS1	7	IO	
								CANFD1_CANRX	9	I	
41	41	31	59	21	F8	R5	PB7 PINCM24 0x400cc05c	PB7	1	IO	HSIO (高速)
								TIMG4_2_C1	2	IO	
								TIMG8_1_C0	3	IO	
								TIMA0_1_C0N	4	O	
								I2S1_AD1	5	IO	
								UC1_1_SCL_RX	6	IOD	
								UC12_RTS	7	IO	
								UC13_0_POCI_RTS	8	IO	
								CANFD1_CANTX	9	O	

Copyright © 2026 Texas Instruments Incorporated

表 6-2. ピン属性 (PFA、PZ、PN、PM、RGZ、ZAW、YSG パッケージ) (続き)

PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン	ピン名 /IOMUX REG/IOMUX ADDR	信号名	IOMUX 名	信号のタイプ	バッファのタイプ
42	42	32	60	22	F9	P4	PB8 PINCM25 0x400cc060	PB8	1	IO	SDIO (標準)
								TIMG8_1_IDX	2	I	
								COMP1_OUT	3	O	
								TIMA0_1_FAL1	4	I	
								I2S1_WCLK	5	IO	
								UC1_1_CTS	6	IO	
								UC13_0_SCLK_SCL_RX	7	IOD	
								UC13_0_PICO_SDA_TX	8	IOD	
43	43	33	61	23	G7	V4	PB9 PINCM26 0x400cc064	PB9	1	IO	HSIO (高速)
								TIMG8_1_C1	2	IO	
								TIMA0_0_C0N	3	O	
								I2S1_BCLK	4	IO	
								UC1_1_RTS	5	IO	
								UC13_0_PICO_SDA_TX	6	IOD	
								UC13_0_SCLK_SCL_RX	7	IOD	
44	44	34	62		F10	T4	PB10 PINCM27 0x400cc068	PB10	1	IO	SDIO (標準)
								TIMG4_2_C0	2	IO	
								TIMG4_0_C0	3	IO	
								I2S1_MCLK	4	IO	
								UC13_2_PICO_SDA_TX	5	IOD	
								TIMA0_1_C1	6	IO	
								I2S0_WCLK	8	IO	
45	45	35	63		G9	R3	PB11 PINCM28 0x400cc06c	PB11	1	IO	SDIO (標準)
								TIMG4_2_C1	2	IO	
								CLK_OUT	3	O	
								TIMG4_0_C1	4	IO	
								UC13_2_SCLK_SCL_RX	5	IOD	
								TIMA0_1_C1N	6	O	
								I2S0_BCLK	8	IO	
46	46	36	64		G10	V2	PB12 PINCM29 0x400cc070	PB12	1	IO	SDIO (標準)
								TIMA0_0_FAL1	2	I	
								UC13_0_PICO_SDA_TX	3	IOD	
								UC13_2_CS0_CTS	4	IO	
								I2S0_AD0	8	IO	
47	47	37	1		H10	T2	PB13 PINCM30 0x400cc074	PB13	1	IO	SDIO (標準)
								TIMG12_0_C0	2	IO	
								TIMA0_0_C1N	3	O	
								UC13_0_SCLK_SCL_RX	4	IOD	
								UC13_2_POCI_RTS	5	IO	
								QSPI_CS2	6	IO	
								I2S0_AD1	8	IO	

Copyright © 2026 Texas Instruments Incorporated

表 6-2. ピン属性 (PFA、PZ、PN、PM、RGZ、ZAW、YSG パッケージ) (続き)

PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号名	IOMUX 名	信号のタイプ	バッファのタイプ
48	48	38	2	24	J9	P2	PB14 PINCM31 0x400cc078	PB14	1	IO	SDIO (標準)
								TIMG8_0_IDX	2	I	
								TIMG12_0_C1	3	IO	
								TIMA0_0_C0	4	IO	
								QSPI_CS0	6	IO	
								UC13_0_POCI_RTS	7	IO	
								I2S0_MCLK	8	IO	
49	49	39	3	25	G8	U1	PB15 PINCM32 0x400cc07c	PB15	1	IO	HSIO (高速)
								TIMG4_3_C0	2	IO	
								TIMG8_0_C0	3	IO	
								TIMA0_1_C3	4	IO	
								I2S0_MCLK	5	IO	
								QSPI_IO3	6	IO	
								UC13_1_PICO_SDA_TX	7	IOD	
								UC12_TX	8	O	
50	50	40	4	26	J8	R1	PB16 PINCM33 0x400cc080	PB16	1	IO	HSIO (高速)
								TIMG4_3_C1	2	IO	
								TIMG8_0_C1	3	IO	
								TIMA0_1_C3N	4	O	
								I2S0_WCLK	5	IO	
								QSPI_SCLK	6	IOD	
								UC13_1_SCLK_SCL_RX	7	IOD	
								UC12_RX	8	I	
73	73	58	14	36	K2	G3	PB17 PINCM43 0x400cc0a8	PB17	1	IO	SDIO (標準)
								TIMA0_0_C2	2	IO	
								UC13_1_PICO_SDA_TX	3	IOD	
								UC2_PICO	4	IO	
								ADC1_4	(非 IOMUX 1) 0	A	
								COMP1_IN2-	(非 IOMUX 2) 0	A	
74	74	59	15	37	K1	C1	PB18 PINCM44 0x400cc0ac	PB18	1	IO	SDIO (標準)
								TIMA0_0_C2N	2	O	
								UC13_1_SCLK_SCL_RX	3	IOD	
								UC2_SCLK	4	IOD	
								ADC1_5	(非 IOMUX 1) 0	A	
								COMP1_IN2+	(非 IOMUX 2) 0	A	
75	75	60	16	38	J1	D2	PB19 PINCM45 0x400cc0b0	PB19	1	IO	SDIO (標準)
								TIMG4_3_C1	2	IO	
								TIMA0_1_C2	3	IO	
								UC2_POCI	4	IO	
								UC1_0_CTS	5	IO	
								ADC1_6	(非 IOMUX 1) 0	A	

Copyright © 2026 Texas Instruments Incorporated

表 6-2. ピン属性 (PFA、PZ、PN、PM、RGZ、ZAW、YSG パッケージ) (続き)

PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号名	IOMUX 名	信号のタイプ	バッファのタイプ
82	82	67	19	41	F3	H4	PB20 PINCM48 0x400cc0bc	PB20	1	IO	SDIO (標準)
								TIMG12_0_C0	2	IO	
								TIMA0_0_C1	3	IO	
								TIMA0_1_C2N	4	O	
								I2S1_AD0	5	IO	
								UC2_CS2	6	IO	
								ADC0_6	(非 IOMUX 1) 0	A	
83	83	68	20		G2	J5	PB21 PINCM49 0x400cc0c0	PB21	1	IO	SDIO (標準)
								TIMG8_0_C0	2	IO	
								CANFD1_CANTX	3	O	
								TIMA0_1_C3	4	IO	
								I2S1_AD1	5	IO	
								UC14_SCL_RX	6	IOD	
								ADC1_8	(非 IOMUX 1) 0	A	
84	84	69	21		H1	D4	PB22 PINCM50 0x400cc0c4	PB22	1	IO	SDIO (標準)
								TIMG8_0_C1	2	IO	
								CANFD1_CANRX	3	I	
								TIMA0_1_C3N	4	O	
								I2S1_WCLK	5	IO	
								UC14_SDA_TX	6	IOD	
								UC13_0_PICO_SDA_TX	7	IOD	
								ADC1_10	(非 IOMUX 1) 0	A	
85	85	70	22		G1	B4	PB23 PINCM51 0x400cc0c8	PB23	1	IO	SDIO (標準)
								TIMG4_1_C0	4	IO	
								I2S1_BCLK	5	IO	
								UC14_CTS	6	IO	
								UC13_0_SCLK_SCL_RX	7	IOD	
								ADC1_11	(非 IOMUX 1) 0	A	
86	86	71	23	42	F2	F4	PB24 PINCM52 0x400cc0cc	PB24	1	IO	SDIO (標準)
								TIMG12_0_C1	2	IO	
								TIMA0_1_FAL2	3	I	
								TIMG4_1_C1	4	IO	
								I2S1_MCLK	5	IO	
								UC14_RTS	6	IO	
								UC2_CS3	7	IO	
								ADC0_5	(非 IOMUX 1) 0	A	
								COMP1_IN1+	(非 IOMUX 2) 0	A	
95	95	75	27		C1	C5	PB25 PINCM56 0x400cc0dc	PB25	1	IO	SDIO (標準)
								TIMA0_0_FAL2	2	I	
								I2S0_BCLK	3	IO	
								UC1_0_CTS	4	IO	
								ADC0_4	(非 IOMUX 1) 0	A	

Copyright © 2026 Texas Instruments Incorporated

表 6-2. ピン属性 (PFA、PZ、PN、PM、RGZ、ZAW、YSG パッケージ) (続き)

PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号名	IOMUX 名	信号のタイプ	バッファのタイプ
96	96	76	28		B1	B6	PB26 PINCM57 0x400cc0e0	PB26	1	IO	SDIO (標準)
								TIMG4_2_C0	2	IO	
								I2S0_MCLK	3	IO	
								UC1_0_RTS	4	IO	
								ADC1_13	(非 IOMUX 1) 0	A	
								COMP1_IN0+	(非 IOMUX 2) 0	A	
97	97	77	29		D2	A7	PB27 PINCM58 0x400cc0e4	PB27	1	IO	SDIO (標準)
								TIMG4_2_C1	2	IO	
								ADC1_14	(非 IOMUX 1) 0	A	
								COMP1_IN0-	(非 IOMUX 2) 0	A	
29	29	24			E8	R7	PB28 PINCM65 0x400cc100	PB28	1	IO	SDIO (標準)
								TIMA0_0_C0	2	IO	
								UC13_3_SCLK_SCL_RX	3	IOD	
								UC13_0_CS0_CTS	4	IO	
30	30	25			B9	N7	PB29 PINCM66 0x400cc104	PB29	1	IO	SDIO (標準)
								TIMA0_0_C0N	2	O	
								TIMG8_1_C0	3	IO	
								UC13_3_PICO_SDA_TX	4	IOD	
								UC13_0_POCI_RTS	5	IO	
31	31	26			D7	V6	PB30 PINCM67 0x400cc108	PB30	1	IO	SDIO (標準)
								TIMA0_0_C1	2	IO	
								TIMG8_1_C1	3	IO	
								UC13_3_CS0_CTS	4	IO	
								UC13_0_PICO_SDA_TX	5	IOD	
32	32	27			A10		PB31 PINCM68 0x400cc10c	PB31	1	IO	SDIO (標準)
								TIMG8_0_IDX	2	I	
								TIMA0_0_C1N	3	O	
								UC13_3_POCI_RTS	4	IO	
								UC13_0_SCLK_SCL_RX	5	IOD	
								TIMG8_1_IDX	6	I	
56	56	46			J7		PC0 PINCM74 0x400cc124	PC0	1	IO	SDIO (標準)
								TIMG8_0_C0	2	IO	
								TIMA0_0_C2	3	IO	
								QSPI_CS0	7	IO	
57	57	47			H8		PC1 PINCM75 0x400cc128	PC1	1	IO	SDIO (標準)
								TIMG8_0_C1	2	IO	
								TIMA0_0_C2N	3	O	

Copyright © 2026 Texas Instruments Incorporated

表 6-2. ピン属性 (PFA、PZ、PN、PM、RGZ、ZAW、YSG パッケージ) (続き)

PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号名	IOMUX 名	信号のタイプ	バッファのタイプ
65	65	50			H5	K2	PC2 PINCM76 0x400cc12c	PC2	1	IO	SDIO (標準)
								TIMA0_0_C0	2	IO	
								TIMA0_1_FAL0	3	I	
								UC13_0_SCLK_SCL_RX	4	IOD	
								TIMG4_1_C1	5	IO	
								UC13_0_CS0_CTS	6	IO	
								UC13_3_CS0_CTS	7	IO	
								UC2_CS0	8	IO	
66	66	51			H4	H2	PC3 PINCM77 0x400cc130	PC3	1	IO	SDIO (標準)
								TIMG4_3_C1	2	IO	
								TIMA0_0_C0N	3	O	
								UC13_0_PICO_SDA_TX	4	IOD	
								ADC0_21	(非 IOMUX 1) 0	A	
67	67	52			G6		PC4 PINCM78 0x400cc134	PC4	1	IO	SDIO (標準)
								TIMA0_0_C1	2	IO	
								ADC0_13	(非 IOMUX 1) 0	A	
68	68	53			G5		PC5 PINCM79 0x400cc138	PC5	1	IO	SDIO (標準)
								TIMA0_0_C1N	2	O	
								ADC0_14	(非 IOMUX 1) 0	A	
78	78	63			H3	E3	PC6 PINCM84 0x400cc14c	PC6	1	IO	SDIO (標準)
								TIMG4_2_C0	2	IO	
								TIMA0_0_C0	3	IO	
								UC13_0_PICO_SDA_TX	4	IOD	
								UC2_CS1	5	IO	
								ADC0_17	(非 IOMUX 1) 0	A	
79	79	64			G3	K4	PC7 PINCM85 0x400cc150	PC7	1	IO	SDIO (標準)
								TIMG4_2_C1	2	IO	
								TIMA0_0_C0N	3	O	
								UC13_0_SCLK_SCL_RX	4	IOD	
								UC2_CS0	5	IO	
								ADC0_18	(非 IOMUX 1) 0	A	
80	80	65			G4	C3	PC8 PINCM86 0x400cc154	PC8	1	IO	SDIO (標準)
								TIMA0_0_C1	2	IO	
								UC13_0_CS0_CTS	3	IO	
								ADC0_19	(非 IOMUX 1) 0	A	
81	81	66			F4	A3	PC9 PINCM87 0x400cc158	PC9	1	IO	SDIO (標準)
								TIMA0_0_C1N	2	O	
								UC13_0_POCI_RTS	3	IO	
								ADC0_20	(非 IOMUX 1) 0	A	

Copyright © 2026 Texas Instruments Incorporated

表 6-2. ピン属性 (PFA、PZ、PN、PM、RGZ、ZAW、YSG パッケージ) (続き)

PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号名	IOMUX 名	信号のタイプ	バッファのタイプ
87	87				F5		PC10 PINCM88 0x400cc15c	PC10	1	IO	SDIO (標準)
								TIMG8_1_C0	2	IO	
								UC14_SCL_RX	3	IOD	
								ADC1_12	(非 IOMUX 1) 0	A	
88	88				E5		PC11 PINCM89 0x400cc160	PC11	1	IO	SDIO (標準)
								TIMG8_1_C1	2	IO	
								UC14_SDA_TX	3	IOD	
10	10				C5		PC12 PINCM61 0x400cc0f0	PC12	1	IO	SDIO (標準)
								TIMA0_1_C0	2	IO	
12	12				D5		PC13 PINCM62 0x400cc0f4	PC13	1	IO	SDIO (標準)
								TIMG4_1_C0	2	IO	
								UC13_1_PICO_SDA_TX	3	IOD	
								UC12_RTS	4	IO	
13	13				B6		PC14 PINCM63 0x400cc0f8	PC14	1	IO	SDIO (標準)
								TIMG4_1_C1	2	IO	
								UC13_1_SCLK_SCL_RX	3	IOD	
								UC12_CTS	4	IO	
								TIO0	(非 IOMUX 1) 0	I	
11	11				B5		PC15 PINCM64 0x400cc0fc	PC15	1	IO	SDIO (標準)
								TIMA0_1_C0N	2	O	
35	35				E6		PC16 PINCM69 0x400cc110	PC16	1	IO	SDIO (標準)
36	36				B10		PC17 PINCM70 0x400cc114	PC17	1	IO	SDIO (標準)
								TIMA0_1_C1	2	IO	
38	38				C10		PC18 PINCM71 0x400cc118	PC18	1	IO	SDIO (標準)
								TIMA0_1_C3	2	IO	
39	39				F7		PC19 PINCM72 0x400cc11c	PC19	1	IO	SDIO (標準)
								TIMA0_1_C3N	2	O	
58	58				H9		PC20 PINCM73 0x400cc120	PC20	1	IO	SDIO (標準)
								TIMA0_1_FAL2	2	I	
59	59				H6		PC21 PINCM80 0x400cc13c	PC21	1	IO	SDIO (標準)
								CANFD1_CANTX	2	O	
60	60				K5		PC22 PINCM81 0x400cc140	PC22	1	IO	SDIO (標準)
								CANFD1_CANRX	2	I	
61	61				J6		PC23 PINCM82 0x400cc144	PC23	1	IO	SDIO (標準)
								TIMA0_1_C2	2	IO	
62	62				J5		PC24 PINCM83 0x400cc148	PC24	1	IO	SDIO (標準)
								TIMA0_1_C2N	2	O	

Copyright © 2026 Texas Instruments Incorporated

表 6-2. ピン属性 (PFA、PZ、PN、PM、RGZ、ZAW、YSG パッケージ) (続き)

PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン	ピン名 /IOMUX REG/I OMUX ADDR	信号名	IOMUX 名	信号のタイプ	バッファのタイプ
89	89				E4		PC25 PINCM90 0x400cc164	PC25	1	IO	SDIO (標準)
								TIMG8_1_IDX	2	I	
								UC14_CTS	3	IO	
90	90				F1		PC26 PINCM91 0x400cc168	PC26	1	IO	SDIO (標準)
								CANFD1_CANTX	2	O	
								UC14_RTS	3	IO	
91	91				E3		PC27 PINCM92 0x400cc16c	PC27	1	IO	SDIO (標準)
								CANFD1_CANRX	2	I	
14	14			7	D6		PC28 PINCM93 0x400cc170	PC28	1	IO	SDIO (標準)
								UC13_3_SCLK_SCL_RX	2	IOD	
								UC12_TX	4	O	
								TIO1	(非 IOMUX 1) 0	I	
37	37				F6		PC29 PINCM94 0x400cc174	PC29	1	IO	SDIO (標準)
								TIMA0_1_C1N	2	O	
								UC13_3_PICO_SDA_TX	3	IOD	
7	7	7	39	5	A3	F8	VBAT	VBAT	(非 IOMUX 1) 0	VBAT	PWR
100	100	80	32	48	A1	A9、G1、H8、L5	VCORE	VCORE	(非 IOMUX 1) 0	PWR	PWR
64、8	64、8	49、8	40、9	31、6	A4、K6	E9、J1、U3	VDD	VDD	(非 IOMUX 1) 0	PWR	PWR
63、9	63、9	48、9	41、8	MP	A2、K9	J9、L1	VSS	VSS	(非 IOMUX 1) 0	PWR	PWR

6.3 信号の説明

多くの MSPM33 信号は、複数のデバイスピンで利用可能になります。次に列ヘッダーについて説明します。

1. **信号名**:指定されたピンのいずれかに接続できる信号の名前。
2. **ピンの種類**:信号の方向と信号のタイプ:
   - I = 入力
   - O = 出力
   - IO = 入力、出力、または同時に入力と出力
   - ID = 入力、オープンドレイン動作付き
   - OD = 出力、オープンドレイン動作付き
   - IOD = 入力、出力、または同時に入力と出力、オープンドレイン動作き
   - A = アナログ
   - PWR = 電源機能
3. **説明**:信号の説明。
4. ピン:関連するピン番号。

注

IOMUX は、IOMUX による 1 つのデジタル機能をピンに同時に接続することのみをサポートしています。ただし、IOMUX 非管理信号 (アナログ入力、WAKE 入力など) は、このピンにおいて IOMUX 管理デジタル機能が有効化されると同時に、このピンで有効化できます。この場合、各ピンでイネーブルされる機能間に競合がないことを設計者が確認する必要があります。

Copyright © 2026 Texas Instruments Incorporated

注

MP ピンは、パッケージの中央にある熱放散パッドを基準としています。

表 6-3. A/D コンバータ (ADC) 信号の説明

信号名	ピンの種類	説明	PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン
ADC0_0	A	ADC0 アナログ入力チャンネル 0	99	99	79	31	47	B2	B8
ADC0_1	A	ADC0 アナログ入力チャンネル 1	98	98	78	30	46	C2	E5
ADC0_2	A	ADC0 アナログ入力チャンネル 2	94	94	74	26	45	D1	H6
ADC0_3	A	ADC0 アナログ入力チャンネル 3	93	93	73	25	44	E2	A5
ADC0_4	A	ADC0 アナログ入力チャンネル 4	95	95	75	27		C1	C5
ADC0_5	A	ADC0 アナログ入力チャンネル 5	86	86	71	23	42	F2	F4
ADC0_6	A	ADC0 アナログ入力チャンネル 6	82	82	67	19	41	F3	H4
ADC0_7	A	ADC0 アナログ入力チャンネル 7	77	77	62	18	40	H2	B2
ADC0_8	A	ADC0 アナログ入力チャンネル 8	51	51	41	5	27	J10	M6
ADC0_9	A	ADC0 アナログ入力チャンネル 9	52	52	42	6	28	K10	N1
ADC0_10	A	ADC0 アナログ入力チャンネル 10	70	70	55	11	33	K3	E1
ADC0_12	A	ADC0 アナログ入力チャンネル 12	53	53	43	7	29	K8	K6
ADC0_13	A	ADC0 アナログ入力チャンネル 13	67	67	52			G6	
ADC0_14	A	ADC0 アナログ入力チャンネル 14	68	68	53			G5	
ADC0_15	A	ADC0 アナログ入力チャンネル 15	71	71	56	12	34	J4	F2
ADC0_16	A	ADC0 アナログ入力チャンネル 16	72	72	57	13	35	J3	L3
ADC0_17	A	ADC0 アナログ入力チャンネル 17	78	78	63			H3	E3
ADC0_18	A	ADC0 アナログ入力チャンネル 18	79	79	64			G3	K4
ADC0_19	A	ADC0 アナログ入力チャンネル 19	80	80	65			G4	C3
ADC0_20	A	ADC0 アナログ入力チャンネル 20	81	81	66			F4	A3
ADC0_21	A	ADC0 アナログ入力チャンネル 21	66	66	51			H4	H2
ADC1_0	A	ADC1 アナログ入力チャンネル 0	54	54	44		30	K7	N3

Copyright © 2026 Texas Instruments Incorporated

表 6-3. A/D コンバータ (ADC) 信号の説明 (続き)

信号名	ピンの種類	説明	PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン
ADC1_1	A	ADC1 アナログ入力チャンネル 1	55	55	45			H7	M2
ADC1_2	A	ADC1 アナログ入力チャンネル 2	69	69	54	10	32	K4	J3
ADC1_3	A	ADC1 アナログ入力チャンネル 3	70	70	55	11	33	K3	E1
ADC1_4	A	ADC1 アナログ入力チャンネル 4	73	73	58	14	36	K2	G3
ADC1_5	A	ADC1 アナログ入力チャンネル 5	74	74	59	15	37	K1	C1
ADC1_6	A	ADC1 アナログ入力チャンネル 6	75	75	60	16	38	J1	D2
ADC1_7	A	ADC1 アナログ入力チャンネル 7	76	76	61	17	39	J2	A1
ADC1_8	A	ADC1 アナログ入力チャンネル 8	83	83	68	20		G2	J5
ADC1_9	A	ADC1 アナログ入力チャンネル 9	77	77	62	18	40	H2	B2
ADC1_10	A	ADC1 アナログ入力チャンネル 10	84	84	69	21		H1	D4
ADC1_11	A	ADC1 アナログ入力チャンネル 11	85	85	70	22		G1	B4
ADC1_12	A	ADC1 アナログ入力チャンネル 12	87	87				F5	
ADC1_13	A	ADC1 アナログ入力チャンネル 13	96	96	76	28		B1	B6
ADC1_14	A	ADC1 アナログ入力チャンネル 14	97	97	77	29		D2	A7

表 6-4. ブートストラップ ローダ (BSL) 信号の説明

信号名	ピンの種類	説明	PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン
BSL_CAN_RX	I	BSL CAN 受信信号 (RX)	99	99	79	31	47	B2	B8
BSL_CAN_TX	O	BSL CAN の送信信号 (TX)	98	98	78	30	46	C2	E5
BSL_I2C_SCL	IOD	BSL I2C クロック信号 (SCL)	2	2	2	34	2	C4	D6
BSL_I2C_SDA	IOD	BSL I2C データ信号 (SDA)	1	1	1	33	1	D3	C7
BSL_INVOKE	I	BSL 起動信号 (BSL がイネーブルの場合、BSL エントリの間は BOOTRST 中は High、BSL エントリを防止するために BOOTRST 中は Low になっている必要があります)	70	70	55	11	33	K3	E1
BSL_UART_RX	I	BSL UART 受信信号 (RXD)	34	34	29	57	19	E9	N5
BSL_UART_TX	O	BSL UART の送信信号 (TXD)	33	33	28	56	18	E7	T6

Copyright © 2026 Texas Instruments Incorporated

表 6-5. コンパレータ (COMP) 信号の説明

信号名	ピンの種類	説明	PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン
COMP0_DAC_OUT	A	COMP0 DAC 出力	93	93	73	25	44	E2	A5
COMP0_OUT	O	COMP0 出力	22、34	22、34	17、29	49、57	13、19	B7、E9	N5、P8
COMP1_DAC_OUT	A	COMP1 DAC 出力	94	94	74	26	45	D1	H6
COMP1_OUT	O	COMP1 出力	16、42	16、42	11、32	43、60	22、9	A6、F9	L9、P4
COMP0_IN0+	A	COMP0 非反転入力 0	98	98	78	30	46	C2	E5
COMP0_IN0-	A	COMP0 反転入力 0	99	99	79	31	47	B2	B8
COMP0_IN1+	A	COMP0 非反転入力 1	70	70	55	11	33	K3	E1
COMP0_IN1-	A	COMP0 反転入力 1	69	69	54	10	32	K4	J3
COMP0_IN2+	A	COMP0 非反転入力 2	53	53	43	7	29	K8	K6
COMP0_IN2-	A	COMP0 反転入力 2	52	52	42	6	28	K10	N1
COMP0_IN3+	A	COMP0 非反転入力 3	54	54	44		30	K7	N3
COMP1_IN0+	A	COMP1 非反転入力 0	96	96	76	28		B1	B6
COMP1_IN0-	A	COMP1 反転入力 0	97	97	77	29		D2	A7
COMP1_IN1+	A	COMP1 非反転入力 1	86	86	71	23	42	F2	F4
COMP1_IN1-	A	COMP1 反転入力 1	92	92	72	24	43	E1	G5
COMP1_IN2+	A	COMP1 非反転入力 2	74	74	59	15	37	K1	C1
COMP1_IN2-	A	COMP1 反転入力 2	73	73	58	14	36	K2	G3
COMP1_IN3+	A	COMP1 非反転入力 3	54	54	44		30	K7	N3
VMON0	A	低消費電力電圧モニタ入力 0 信号	70	70	55	11	33	K3	E1
VMON1	A	低消費電力電圧モニタ入力 1 信号	98	98	78	30	46	C2	E5
VMON2	A	低消費電力電圧モニタ入力 2 信号	99	99	79	31	47	B2	B8
VMON3	A	低消費電力電圧モニタ入力 3 信号	52	52	42	6	28	K10	N1

表 6-6. コントローラ エリア ネットワーク (CAN-FD) 信号の説明

信号名	ピンの種類	説明	PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン
CANFD0_CANRX	I	CANFD0 受信信号	52、99	52、99	42、79	31、6	28、47	B2、K10	B8、N1
CANFD0_CANTX	O	CANFD0 送信信号	51、98	51、98	41、78	30、5	27、46	C2、J10	E5、M6
CANFD1_CANRX	I	CANFD1 受信信号	40、60、84、91	40、60、84、91	30、69	21、58	20	E10、E3、H1、K5	D4、U5
CANFD1_CANTX	O	CANFD1 送信信号	41、59、83、90	41、59、83、90	31、68	20、59	21	F1、F8、G2、H6	J5、R5

表 6-7. クロック モジュール (CKM) 信号の説明

信号名	ピンの種類	説明	PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン
CLK_OUT	O	PMCU の CLK_OUT デジタル クロック出力	22、28、45、53、77	22、28、45、53、77	17、23、35、43、62	18、49、55、63、7	13、17、29、40	B7、C9、G9、H2、K8	B2、K6、L7、P8、R3

Copyright © 2026 Texas Instruments Incorporated

表 6-7. クロック モジュール (CKM) 信号の説明 (続き)

信号名	ピンの種類	説明	PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン
FCC_IN	I	周波数クロック カウンタ (FCC) 入力信号	51、55	51、55	41、45	5	27	H7、J10	M2、M6
HFCLKIN	I	高周波数デジタル クロック入力信号	19	19	14	46	12	A9	U9
HFXIN	A	高周波数水晶発振器 (HFXT) 信号	18	18	13	45	11	A8	R9
HFXOUT	A	高周波数水晶発振器 (HFXT) 信号	19	19	14	46	12	A9	U9
LFCLKIN	I	低周波数デジタル クロック入力信号	17	17	12	44	10	A7	N9
LFXIN	A	低周波数水晶発振器 (LFXT) 信号	16	16	11	43	9	A6	L9
LFXOUT	A	低周波数水晶発振器 (LFXT) 信号	17	17	12	44	10	A7	N9

表 6-8. デジタル オーディオ インターフェイス (I2S) 信号の説明

信号名	ピンの種類	説明	PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン
I2S0_BCLK	IO	I2S0 ビット クロック信号	45、51、77、95	45、51、77、95	35、41、62、75	18、27、5、63	27、40	C1、G9、H2、J10	B2、C5、M6、R3
I2S0_MCLK	IO	I2S0 補助出力信号	28、48、49、96	28、48、49、96	23、38、39、76	2、28、3、55	17、24、25	B1、C9、G8、J9	B6、L7、P2、U1
I2S0_WCLK	IO	I2S0 ワード クロック信号	22、27、44、50、54、70、92	22、27、44、50、54、70、92	17、22、34、40、44、55、72	11、24、4、49、54、62	13、16、26、30、33、43	B7、D10、E1、F10、J8、K3、K7	E1、G5、N3、P8、R1、T4、U7
I2S1_BCLK	IO	I2S1 ビット クロック信号	43、85	43、85	33、70	22、61	23	G1、G7	B4、V4
I2S1_MCLK	IO	I2S1 補助出力信号	44、86	44、86	34、71	23、62	42	F10、F2	F4、T4
I2S1_WCLK	IO	I2S1 ワード クロック信号	42、84	42、84	32、69	21、60	22	F9、H1	D4、P4
I2S0_AD0	IO	I2S0 オーディオ データ 0 信号	46、52、76、94	46、52、76、94	36、42、61、74	17、26、6、64	28、39、45	D1、G10、J2、K10	A1、H6、N1、V2
I2S0_AD1	IO	I2S0 オーディオ データ 1 信号	47、53、93	47、53、93	37、43、73	1、25、7	29、44	E2、H10、K8	A5、K6、T2
I2S1_AD0	IO	I2S1 オーディオ データ 0 信号	40、82	40、82	30、67	19、58	20、41	E10、F3	H4、U5
I2S1_AD1	IO	I2S1 オーディオ データ 1 信号	41、83	41、83	31、68	20、59	21	F8、G2	J5、R5

表 6-9. 汎用入出力モジュール信号の説明

信号名	ピンの種類	説明	PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン
PA0	IO	GPIO ポート A 入出力 0	1	1	1	33	1	D3	C7
PA1	IO	GPIO ポート A 入出力 1	2	2	2	34	2	C4	D6
PA2	IO	GPIO ポート A 入出力 2	15	15	10	42	8	A5	G7
PA3	IO	GPIO ポート A 入出力 3	16	16	11	43	9	A6	L9
PA4	IO	GPIO ポート A 入出力 4	17	17	12	44	10	A7	N9

Copyright © 2026 Texas Instruments Incorporated

表 6-9. 汎用入出力モジュール信号の説明 (続き)

信号名	ピンの種類	説明	PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン
PA5	IO	GPIO ポート A 入出力 5	18	18	13	45	11	A8	R9
PA6	IO	GPIO ポート A 入出力 6	19	19	14	46	12	A9	U9
PA7	IO	GPIO ポート A 入出力 7	22	22	17	49	13	B7	P8
PA8	IO	GPIO ポート A 入出力 8	27	27	22	54	16	D10	U7
PA9	IO	GPIO ポート A 入出力 9	28	28	23	55	17	C9	L7
PA10	IO	GPIO ポート A 入出力 10	33	33	28	56	18	E7	T6
PA11	IO	GPIO ポート A 入出力 11	34	34	29	57	19	E9	N5
PA12	IO	GPIO ポート A 入出力 12	51	51	41	5	27	J10	M6
PA13	IO	GPIO ポート A 入出力 13	52	52	42	6	28	K10	N1
PA14	IO	GPIO ポート A 入出力 14	53	53	43	7	29	K8	K6
PA15	IO	GPIO ポート A 入出力 15	54	54	44		30	K7	N3
PA16	IO	GPIO ポート A 入出力 16	55	55	45			H7	M2
PA17	IO	GPIO ポート A 入出力 17	69	69	54	10	32	K4	J3
PA18	IO	GPIO ポート A 入出力 18	70	70	55	11	33	K3	E1
PA19	IO	GPIO ポート A 入出力 19	71	71	56	12	34	J4	F2
PA20	IO	GPIO ポート A 入出力 20	72	72	57	13	35	J3	L3
PA21	IO	GPIO ポート A 入出力 21	76	76	61	17	39	J2	A1
PA22	IO	GPIO ポート A 入出力 22	77	77	62	18	40	H2	B2
PA23	IO	GPIO ポート A 入出力 23	92	92	72	24	43	E1	G5
PA24	IO	GPIO ポート A 入出力 24	93	93	73	25	44	E2	A5
PA25	IO	GPIO ポート A 入出力 25	94	94	74	26	45	D1	H6
PA26	IO	GPIO ポート A 入出力 26	98	98	78	30	46	C2	E5
PA27	IO	GPIO ポート A 入出力 27	99	99	79	31	47	B2	B8
PA28	IO	GPIO ポート A 入出力 28	3	3	3	35	3	C3	E7
PA29	IO	GPIO ポート A 入出力 29	4	4	4	36		B3	C9
PA30	IO	GPIO ポート A 入出力 30	5	5	5	37		D4	D8
PB0	IO	GPIO ポート B 入出力 0	20	20	15	47		C6	K8
PB1	IO	GPIO ポート B 入出力 1	21	21	16	48		C7	M8
PB2	IO	GPIO ポート B 入出力 2	23	23	18	50	14	C8	V8
PB3	IO	GPIO ポート B 入出力 3	24	24	19	51	15	D8	T8
PB4	IO	GPIO ポート B 入出力 4	25	25	20	52		D9	J7
PB5	IO	GPIO ポート B 入出力 5	26	26	21	53		B8	P6
PB6	IO	GPIO ポート B 入出力 6	40	40	30	58	20	E10	U5
PB7	IO	GPIO ポート B 入出力 7	41	41	31	59	21	F8	R5
PB8	IO	GPIO ポート B 入出力 8	42	42	32	60	22	F9	P4
PB9	IO	GPIO ポート B 入出力 9	43	43	33	61	23	G7	V4
PB10	IO	GPIO ポート B 入出力 10	44	44	34	62		F10	T4
PB11	IO	GPIO ポート B 入出力 11	45	45	35	63		G9	R3
PB12	IO	GPIO ポート B 入出力 12	46	46	36	64		G10	V2
PB13	IO	GPIO ポート B 入出力 13	47	47	37	1		H10	T2
PB14	IO	GPIO ポート B 入出力 14	48	48	38	2	24	J9	P2

Copyright © 2026 Texas Instruments Incorporated

表 6-9. 汎用入出力モジュール信号の説明 (続き)

信号名	ピンの種類	説明	PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン
PB15	IO	GPIO ポート B 入出力 15	49	49	39	3	25	G8	U1
PB16	IO	GPIO ポート B 入出力 16	50	50	40	4	26	J8	R1
PB17	IO	GPIO ポート B 入出力 17	73	73	58	14	36	K2	G3
PB18	IO	GPIO ポート B 入出力 18	74	74	59	15	37	K1	C1
PB19	IO	GPIO ポート B 入出力 19	75	75	60	16	38	J1	D2
PB20	IO	GPIO ポート B 入出力 20	82	82	67	19	41	F3	H4
PB21	IO	GPIO ポート B 入出力 21	83	83	68	20		G2	J5
PB22	IO	GPIO ポート B 入出力 22	84	84	69	21		H1	D4
PB23	IO	GPIO ポート B 入出力 23	85	85	70	22		G1	B4
PB24	IO	GPIO ポート B 入出力 24	86	86	71	23	42	F2	F4
PB25	IO	GPIO ポート B 入出力 25	95	95	75	27		C1	C5
PB26	IO	GPIO ポート B 入出力 26	96	96	76	28		B1	B6
PB27	IO	GPIO ポート B 入出力 27	97	97	77	29		D2	A7
PB28	IO	GPIO ポート B 入出力 28	29	29	24			E8	R7
PB29	IO	GPIO ポート B 入出力 29	30	30	25			B9	N7
PB30	IO	GPIO ポート B 入出力 30	31	31	26			D7	V6
PB31	IO	GPIO ポート B 入出力 31	32	32	27			A10	
PC0	IO	GPIO ポート C 入出力 0	56	56	46			J7	
PC1	IO	GPIO ポート C 入出力 1	57	57	47			H8	
PC2	IO	GPIO ポート C 入出力 2	65	65	50			H5	K2
PC3	IO	GPIO ポート C 入出力 3	66	66	51			H4	H2
PC4	IO	GPIO ポート C 入出力 4	67	67	52			G6	
PC5	IO	GPIO ポート C 入出力 5	68	68	53			G5	
PC6	IO	GPIO ポート C 入出力 6	78	78	63			H3	E3
PC7	IO	GPIO ポート C 入出力 7	79	79	64			G3	K4
PC8	IO	GPIO ポート C 入出力 8	80	80	65			G4	C3
PC9	IO	GPIO ポート C 入出力 9	81	81	66			F4	A3
PC10	IO	GPIO ポート C 入出力 10	87	87				F5	
PC11	IO	GPIO ポート C 入出力 11	88	88				E5	
PC12	IO	GPIO ポート C 入出力 12	10	10				C5	
PC13	IO	GPIO ポート C 入出力 13	12	12				D5	
PC14	IO	GPIO ポート C 入出力 14	13	13				B6	
PC15	IO	GPIO ポート C 入出力 15	11	11				B5	
PC16	IO	GPIO ポート C 入出力 16	35	35				E6	
PC17	IO	GPIO ポート C 入出力 17	36	36				B10	
PC18	IO	GPIO ポート C 入出力 18	38	38				C10	
PC19	IO	GPIO ポート C 入出力 19	39	39				F7	
PC20	IO	GPIO ポート C 入出力 20	58	58				H9	
PC21	IO	GPIO ポート C 入出力 21	59	59				H6	
PC22	IO	GPIO ポート C 入出力 22	60	60				K5	
PC23	IO	GPIO ポート C 入出力 23	61	61				J6	

Copyright © 2026 Texas Instruments Incorporated

表 6-9. 汎用入出力モジュール信号の説明 (続き)

信号名	ピンの種類	説明	PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン
PC24	IO	GPIO ポート C 入出力 24	62	62				J5	
PC25	IO	GPIO ポート C 入出力 25	89	89				E4	
PC26	IO	GPIO ポート C 入出力 26	90	90				F1	
PC27	IO	GPIO ポート C 入出力 27	91	91				E3	
PC28	IO	GPIO ポート C 入出力 28	14	14			7	D6	
PC29	IO	GPIO ポート C 入出力 29	37	37				F6	

表 6-10. IOMUX 信号の説明

信号名	ピンの種類	説明	PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン
WAKE	I	本デバイスをシャットダウン モードからウェークアップする入力信号	1、2、3、33、34、6、69、70	1、2、3、33、34、6、69、70	1、2、28、29、3、54、55、6	10、11、33、34、35、38、56、57	1、18、19、2、3、32、33、4	B4、C3、C4、D3、E7、E9、K3、K4	C7、D6、E1、E7、F6、J3、N5、T6

表 6-11. パワー マネージメント ユニット (PMU) 信号の説明

信号名	ピンの種類	説明	PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン
VBAT	VBAT	VBAT (バックアップ アイランド) 電源	7	7	7	39	5	A3	F8
VCORE	PWR	VCORE コンデンサの接続	100	100	80	32	48	A1	A9、G1、H8、L5
VDD	PWR	VDD 電源	64、8	64、8	49、8	40、9	31、6	A4、K6	E9、J1、U3
VSS	PWR	VSS (グランド)	63、9	63、9	48、9	41、8	MP	A2、K9	J9、L1

表 6-12. プログラミングおよびデバッグ信号の説明

信号名	ピンの種類	説明	PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン
TDI	I	TDI バウンダリ スキャン信号	77	77	62	18	40	H2	B2
TDO	IO	TDO バウンダリ スキャン信号	28	28	23	55	17	C9	L7

表 6-13. クワッド シリアル ペリフェラル インターフェイス (QSPI) 信号の説明

信号名	ピンの種類	説明	PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン
QSPI_CS0	IO	QSPI チップ セレクト 0 信号	48、56	48、56	38、46	2	24	J7、J9	P2
QSPI_CS1	IO	QSPI チップ セレクト 1 信号	70	70	55	11	33	K3	E1
QSPI_CS2	IO	QSPI チップ セレクト 2 信号	47	47	37	1		H10	T2
QSPI_CS3	IO	QSPI チップ セレクト 3 信号	55	55	45			H7	M2
QSPI_IO0	IO	QSPI IO0 信号	51	51	41	5	27	J10	M6
QSPI_IO1	IO	QSPI IO1 信号	53	53	43	7	29	K8	K6

Copyright © 2026 Texas Instruments Incorporated

表 6-13. クワッド シリアル ペリフェラル インターフェイス (QSPI) 信号の説明 (続き)

信号名	ピンの種類	説明	PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン
QSPI_IO2	IO	QSPI IO2 信号	52	52	42	6	28	K10	N1
QSPI_IO3	IO	QSPI IO3 信号	49	49	39	3	25	G8	U1
QSPI_SCLK	IOD	QSPI クロック信号	50	50	40	4	26	J8	R1

表 6-14. リアルタイム クロック (RTC) 信号の説明

信号名	ピンの種類	説明	PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン
RTC_OUT	O	リアルタイム クロックの出力信号	28、99	28、99	23、79	31、55	17、47	B2、C9	B8、L7

表 6-15. シリアル ワイヤ デバッグ (SWD) 信号の説明

信号名	ピンの種類	説明	PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン
SWCLK	I	シリアル ワイヤ デバッグ インターフェイス クロック入力信号	72	72	57	13	35	J3	L3
SWDIO	IO	シリアル ワイヤ デバッグ インターフェイス データ入力 / 出力信号	71	71	56	12	34	J4	F2

表 6-16. システム コントローラ (SYSCTL) 信号の説明

信号名	ピンの種類	説明	PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン
NRST	リセット	アクティブ LOW のリセット信号 (ロジックを high にする必要があります。そうしないと、デバイスを起動できません)	6	6	6	38	4	B4	F6

表 6-17. 改ざん検知 IO (TIO) 信号の説明

信号名	ピンの種類	説明	PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン
TIO0	I	パッシブ改ざん検知信号 0	13	13				B6	
TIO1	I	パッシブ改ざん検知信号 1	14	14			7	D6	
TIO2	I	パッシブ改ざん検知信号 2	15	15	10	42	8	A5	G7

表 6-18. タイマ (TIMx) 信号の説明

信号名	ピンの種類	説明	PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン
TIMA0_0_C0	IO	TIMA0_0 キャプチャ / 比較 0 信号	27、29、48、65、76、78	27、29、48、65、76、78	22、24、38、50、61、63	17、2、54	16、24、39	D10、E8、H3、H5、J2、J9	A1、E3、K2、P2、R7、U7
TIMA0_0_C1	IO	TIMA0_0 キャプチャ / 比較 1 信号	15、16、2、31、67、80、82	15、16、2、31、67、80、82	10、11、2、26、52、65、67	19、34、42、43	2、41、8、9	A5、A6、C4、D7、F3、G4、G6	C3、D6、G7、H4、L9、V6

Copyright © 2026 Texas Instruments Incorporated

表 6-18. タイマ (TIMx) 信号の説明 (続き)

信号名	ピンの種類	説明	PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン
TIMA0_0_C2	IO	TIMA0_0 キャプチャ / 比較 2 信号	22、25、33、54、56、73	22、25、33、54、56、73	17、20、28、44、46、58	14、49、52、56	13、18、30、36	B7、D9、E7、J7、K2、K7	G3、J7、N3、P8、T6
TIMA0_0_C3	IO	TIMA0_0 キャプチャ / 比較 3 信号	23、53、69、92	23、53、69、92	18、43、54、72	10、24、50、7	14、29、32、43	C8、E1、K4、K8	G5、J3、K6、V8
TIMA0_0_C0N	O	TIMA0_0 キャプチャ / 比較 0 相補出力	28、30、43、66、77、79	28、30、43、66、77、79	23、25、33、51、62、64	18、55、61	17、23、40	B9、C9、G3、G7、H2、H4	B2、H2、K4、L7、N7、V4
TIMA0_0_C1N	O	TIMA0_0 キャプチャ / 比較 1 相補出力	17、32、47、68、81、94	17、32、47、68、81、94	12、27、37、53、66、74	1、26、44	10、45	A10、A7、D1、F4、G5、H10	A3、H6、N9、T2
TIMA0_0_C2N	O	TIMA0_0 キャプチャ / 比較 2 相補出力	19、26、34、55、57、74	19、26、34、55、57、74	14、21、29、45、47、59	15、46、53、57	12、19、37	A9、B8、E9、H7、H8、K1	C1、M2、N5、P6、U9
TIMA0_0_C3N	O	TIMA0_0 キャプチャ / 比較 3 相補出力	24、70、93	24、70、93	19、55、73	11、25、51	15、33、44	D8、E2、K3	A5、E1、T8
TIMA0_0_FAL0	I	TIMA フォルト入力 0	3、98	3、98	3、78	30、35	3、46	C2、C3	E5、E7
TIMA0_0_FAL1	I	TIMA フォルト入力 1	1、46	1、46	1、36	33、64	1	D3、G10	C7、V2
TIMA0_0_FAL2	I	TIMA フォルト入力 2	5、95、99	5、95、99	5、75、79	27、31、37	47	B2、C1、D4	B8、C5、D8
TIMA0_1_C0	IO	TIMA0_1 キャプチャ / 比較 0 信号	10、27、40	10、27、40	22、30	54、58	16、20	C5、D10、E10	U5、U7
TIMA0_1_C1	IO	TIMA0_1 キャプチャ / 比較 1 信号	36、44、51	36、44、51	34、41	5、62	27	B10、F10、J10	M6、T4
TIMA0_1_C2	IO	TIMA0_1 キャプチャ / 比較 2 信号	20、61、75	20、61、75	15、60	16、47	38	C6、J1、J6	D2、K8
TIMA0_1_C3	IO	TIMA0_1 キャプチャ / 比較 3 信号	38、49、83	38、49、83	39、68	20、3	25	C10、G2、G8	J5、U1
TIMA0_1_C0N	O	TIMA0_1 キャプチャ / 比較 0 相補出力	11、34、41	11、34、41	29、31	57、59	19、21	B5、E9、F8	N5、R5
TIMA0_1_C1N	O	TIMA0_1 キャプチャ / 比較 1 相補出力	37、45、53	37、45、53	35、43	63、7	29	F6、G9、K8	K6、R3
TIMA0_1_C2N	O	TIMA0_1 キャプチャ / 比較 2 相補出力	21、62、82	21、62、82	16、67	19、48	41	C7、F3、J5	H4、M8
TIMA0_1_C3N	O	TIMA0_1 キャプチャ / 比較 3 相補出力	39、50、84	39、50、84	40、69	21、4	26	F7、H1、J8	D4、R1
TIMA0_1_FAL0	I	TIMA フォルト入力 0	2、65	2、65	2、50	34	2	C4、H5	D6、K2
TIMA0_1_FAL1	I	TIMA フォルト入力 1	4、42、52	4、42、52	32、4、42	36、6、60	22、28	B3、F9、K10	C9、N1、P4
TIMA0_1_FAL2	I	TIMA フォルト入力 2	58、86	58、86	71	23	42	F2、H9	F4
TIMG12_0_C0	IO	TIMG12_0 キャプチャ / 比較 0 信号	33、47、82	33、47、82	28、37、67	1、19、56	18、41	E7、F3、H10	H4、T2、T6
TIMG12_0_C1	IO	TIMG12_0 キャプチャ / 比較 1 信号	48、86、93	48、86、93	38、71、73	2、23、25	24、42、44	E2、F2、J9	A5、F4、P2
TIMG4_0_C0	IO	TIMG4_0 キャプチャ / 比較 0 信号	18、44、51、92	18、44、51、92	13、34、41、72	24、45、5、62	11、27、43	A8、E1、F10、J10	G5、M6、R9、T4
TIMG4_0_C1	IO	TIMG4_0 キャプチャ / 比較 1 信号	19、45、52、93	19、45、52、93	14、35、42、73	25、46、6、63	12、28、44	A9、E2、G9、K10	A5、N1、R3、U9

Copyright © 2026 Texas Instruments Incorporated

表 6-18. タイマ (TIMx) 信号の説明 (続き)

信号名	ピンの種類	説明	PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン
TIMG4_1_C0	IO	TIMG4_1 キャプチャ / 比較 0 信号	12、20、85、99	12、20、85、99	15、70、79	22、31、47	47	B2、C6、D5、G1	B4、B8、K8
TIMG4_1_C1	IO	TIMG4_1 キャプチャ / 比較 1 信号	13、21、65、86	13、21、65、86	16、50、71	23、48	42	B6、C7、F2、H5	F4、K2、M8
TIMG4_2_C0	IO	TIMG4_2 キャプチャ / 比較 0 信号	18、23、4、40、44、76、78、96	18、23、4、40、44、76、78、96	13、18、30、34、4、61、63、76	17、28、36、45、50、58、62	11、14、20、39	A8、B1、B3、C8、E10、F10、H3、J2	A1、B6、C9、E3、R9、T4、U5、V8
TIMG4_2_C1	IO	TIMG4_2 キャプチャ / 比較 1 信号	19、24、41、45、5、77、79、97	19、24、41、45、5、77、79、97	14、19、31、35、5、62、64、77	18、29、37、46、51、59、63	12、15、21、40	A9、D2、D4、D8、F8、G3、G9、H2	A7、B2、D8、K4、R3、R5、T8、U9
TIMG4_3_C0	IO	TIMG4_3 キャプチャ / 比較 0 信号	49、69、98	49、69、98	39、54、78	10、3、30	25、32、46	C2、G8、K4	E5、J3、U1
TIMG4_3_C1	IO	TIMG4_3 キャプチャ / 比較 1 信号	22、50、66、75、99	22、50、66、75、99	17、40、51、60、79	16、31、4、49	13、26、38、47	B2、B7、H4、J1、J8	B8、D2、H2、P8、R1
TIMG8_0_IDX	I	TIMG8_0 直交エンコーダ インデックス パルス信号	2、32、48、54	2、32、48、54	2、27、38、44	2、34	2、24、30	A10、C4、J9、K7	D6、N3、P2
TIMG8_1_IDX	I	TIMG8_1 直交エンコーダ インデックス パルス信号	32、42、89	32、42、89	27、32	60	22	A10、E4、F9	P4
TIMG8_0_C0	IO	TIMG8_0 キャプチャ / 比較 0 信号	16、49、56、83	16、49、56、83	11、39、46、68	20、3、43	25、9	A6、G2、G8、J7	J5、L9、U1
TIMG8_0_C1	IO	TIMG8_0 キャプチャ / 比較 1 信号	15、50、57、84	15、50、57、84	10、40、47、69	21、4、42	26、8	A5、H1、H8、J8	D4、G7、R1
TIMG8_1_C0	IO	TIMG8_1 キャプチャ / 比較 0 信号	30、41、87	30、41、87	25、31	59	21	B9、F5、F8	N7、R5
TIMG8_1_C1	IO	TIMG8_1 キャプチャ / 比較 1 信号	31、43、88	31、43、88	26、33	61	23	D7、E5、G7	V4、V6

表 6-19. Unified Communication Module (UniComm) 信号の説明

信号名	ピンの種類	説明	PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン
UC2_PICO	IO	ユニファイド コミュニケーション モジュール UC2:SPI PICO 信号	18、28、73	18、28、73	13、23、58	14、45、55	11、17、36	A8、C9、K2	G3、L7、R9
UC2_POCI	IO	ユニファイド コミュニケーション モジュール UC2:SPI POCI 信号	17、26、33、75	17、26、33、75	12、21、28、60	16、44、53、56	10、18、38	A7、B8、E7、J1	D2、N9、P6、T6
UC2_SCLK	IOD	ユニファイド コミュニケーション モジュール UC2:SPI SCLK 信号	19、27、34、74	19、27、34、74	14、22、29、59	15、46、54、57	12、16、19、37	A9、D10、E9、K1	C1、N5、U7、U9
UC12_CTS	IO	ユニファイド コミュニケーション モジュール UC12:UART CTS 信号	13、28、40、5	13、28、40、5	23、30、5	37、55、58	17、20	B6、C9、D4、E10	D8、L7、U5
UC12_RTS	IO	ユニファイド コミュニケーション モジュール UC12:UART RTS 信号	12、27、4、41	12、27、4、41	22、31、4	36、54、59	16、21	B3、D10、D5、F8	C9、R5、U7

Copyright © 2026 Texas Instruments Incorporated

表 6-19. Unified Communication Module (UniComm) 信号の説明 (続き)

信号名	ピンの種類	説明	PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン
UC12_RX	I	ユニファイド コミュニケーション モジュール UC12:UART RX 信号	15、2、21、34、50、53、72	15、2、21、34、50、53、72	10、16、2、29、40、43、57	13、34、4、42、48、57、7	19、2、26、29、35、8	A5、C4、C7、E9、J3、J8、K8	D6、G7、K6、L3、M8、N5、R1
UC12_TX	O	ユニファイド コミュニケーション モジュール UC12:UART TX 信号	1、14、20、3、33、49、52、71	1、14、20、3、33、49、52、71	1、15、28、3、39、42、56	12、3、33、35、47、56、6	1、18、25、28、3、34、7	C3、C6、D3、D6、E7、G8、J4、K10	C7、E7、F2、K8、N1、T6、U1
UC14_CTS	IO	ユニファイド コミュニケーション モジュール UC14:UART CTS 信号	85、89	85、89	70	22		E4、G1	B4
UC14_RTS	IO	ユニファイド コミュニケーション モジュール UC14:UART RTS 信号	86、90	86、90	71	23	42	F1、F2	F4
UC14_SCL_RX	IOD	ユニファイド コミュニケーション モジュール UC14:I2C SCL または UART RX 信号	83、87	83、87	68	20		F5、G2	J5
UC14_SDA_TX	IOD	ユニファイド コミュニケーション モジュール UC14:I2C SDA または UART TX 信号	84、88	84、88	69	21		E5、H1	D4
UC13_0_PICO_SDA_TX	IOD	ユニファイド コミュニケーション モジュール UC13:0 または SPI PICO または I2C SDA または UART TX 信号	31、42、43、46、53、66、70、78、84、98	31、42、43、46、53、66、70、78、84、98	26、32、33、36、43、51、55、63、69、78	11、21、30、60、61、64、7	22、23、29、33、46	C2、D7、F9、G10、G7、H1、H3、H4、K3、K8	D4、E1、E3、E5、H2、K6、P4、V2、V4、V6
UC13_0_POCI_RTS	IO	ユニファイド コミュニケーション モジュール UC13:0 または SPI POCI または UART RTS 信号	26、30、41、48、52、55、81、93	26、30、41、48、52、55、81、93	21、25、31、38、42、45、66、73	2、25、53、59、6	21、24、28、44	B8、B9、E2、F4、F8、H7、J9、K10	A3、A5、M2、N1、N7、P2、P6、R5
UC13_0_SCLK_SCL_RX	IOD	ユニファイド コミュニケーション モジュール UC13:0 または SPI SCLK または I2C SCL または UART RX 信号	32、42、43、47、52、65、69、79、85、94	32、42、43、47、52、65、69、79、85、94	27、32、33、37、42、50、54、64、70、74	1、10、22、26、6、60、61	22、23、28、32、45	A10、D1、F9、G1、G3、G7、H10、H5、K10、K4	B4、H6、J3、K2、K4、N1、P4、T2、V4
UC13_1_PICO_SDA_TX	IOD	ユニファイド コミュニケーション モジュール UC13:1 または SPI PICO または I2C SDA または UART TX 信号	12、25、49、73、76、92	12、25、49、73、76、92	20、39、58、61、72	14、17、24、3、52	25、36、39、43	D5、D9、E1、G8、J2、K2	A1、G3、G5、J7、U1
UC13_1_POCI_RTS	IO	ユニファイド コミュニケーション モジュール UC13:1 または SPI POCI または UART RTS 信号	15、24、26、94	15、24、26、94	10、19、21、74	26、42、51、53	15、45、8	A5、B8、D1、D8	G7、H6、P6、T8
UC13_1_SCLK_SCL_RX	IOD	ユニファイド コミュニケーション モジュール UC13:1 または SPI SCLK または I2C SCL または UART RX 信号	13、33、50、74、77、93	13、33、50、74、77、93	28、40、59、62、73	15、18、25、4、56	18、26、37、40、44	B6、E2、E7、H2、J8、K1	A5、B2、C1、R1、T6
UC13_2_PICO_SDA_TX	IOD	ユニファイド コミュニケーション モジュール UC13:2 または SPI PICO または I2C SDA または UART TX 信号	44、93	44、93	34、73	25、62	44	E2、F10	A5、T4

Copyright © 2026 Texas Instruments Incorporated

表 6-19. Unified Communication Module (UniComm) 信号の説明 (続き)

信号名	ピンの種類	説明	PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン
UC13_2_POCI_RTS	IO	ユニファイド コミュニケーション モジュール UC13:2 または SPI POCI または UART RTS 信号	47、77	47、77	37、62	1、18	40	H10、H2	B2、T2
UC13_2_SCLK_SCL_RX	IOD	ユニファイド コミュニケーション モジュール UC13:2 または SPI SCLK または I2C SCL または UART RX 信号	45、92	45、92	35、72	24、63	43	E1、G9	G5、R3
UC13_3_PICO_SDA_TX	IOD	ユニファイド コミュニケーション モジュール UC13:3 または SPI PICO または I2C SDA または UART TX 信号	2、30、37、98	2、30、37、98	2、25、78	30、34	2、46	B9、C2、C4、F6	D6、E5、N7
UC13_3_POCI_RTS	IO	ユニファイド コミュニケーション モジュール UC13:3 または SPI POCI または UART RTS 信号	15、32、4、99	15、32、4、99	10、27、4、79	31、36、42	47、8	A10、A5、B2、B3	B8、C9、G7
UC13_3_SCLK_SCL_RX	IOD	ユニファイド コミュニケーション モジュール UC13:3 または SPI SCLK または I2C SCL または UART RX 信号	1、14、29、94	1、14、29、94	1、24、74	26、33	1、45、7	D1、D3、D6、E8	C7、H6、R7
UC13_0_CS0_CTS	IO	ユニファイド コミュニケーション モジュール UC13:0 または SPI CS0 または UART CTS 信号	25、29、51、65、80、92、98	25、29、51、65、80、92、98	20、24、41、50、65、72、78	24、30、5、52	27、43、46	C2、D9、E1、E8、G4、H5、J10	C3、E5、G5、J7、K2、M6、R7
UC13_1_CS0_CTS	IO	ユニファイド コミュニケーション モジュール UC13:1 または SPI CS0 または UART CTS 信号	17、23、70	17、23、70	12、18、55	11、44、50	10、14、33	A7、C8、K3	E1、N9、V8
UC13_2_CS0_CTS	IO	ユニファイド コミュニケーション モジュール UC13:2 または SPI CS0 または UART CTS 信号	46、76	46、76	36、61	17、64	39	G10、J2	A1、V2
UC13_3_CS0_CTS	IO	ユニファイド コミュニケーション モジュール UC13:3 または SPI CS0 または UART CTS 信号	3、31、65	3、31、65	26、3、50	35	3	C3、D7、H5	E7、K2、V6
UC15_0_SCL	IOD	ユニファイド コミュニケーション モジュール UC15:0 または I2C SCL 信号	2、34、72	2、34、72	2、29、57	13、34、57	19、2、35	C4、E9、J3	D6、L3、N5
UC15_0_SDA	IOD	ユニファイド コミュニケーション モジュール UC15:0 または I2C SDA 信号	1、3、33、71	1、3、33、71	1、28、3、56	12、33、35、56	1、18、3、34	C3、D3、E7、J4	C7、E7、F2、T6
UC15_1_SCL	IOD	ユニファイド コミュニケーション モジュール UC15:1 または I2C SCL 信号	17、23、4、54	17、23、4、54	12、18、4、44	36、44、50	10、14、30	A7、B3、C8、K7	C9、N3、N9、V8
UC15_1_SDA	IOD	ユニファイド コミュニケーション モジュール UC15:1 または I2C SDA 信号	16、24、5、55	16、24、5、55	11、19、45、5	37、43、51	15、9	A6、D4、D8、H7	D8、L9、M2、T8
UC1_0_CTS	IO	ユニファイド コミュニケーション モジュール UC1:0 または UART CTS 信号	28、53、75、95	28、53、75、95	23、43、60、75	16、27、55、7	17、29、38	C1、C9、J1、K8	C5、D2、K6、L7

Copyright © 2026 Texas Instruments Incorporated

表 6-19. Unified Communication Module (UniComm) 信号の説明 (続き)

信号名	ピンの種類	説明	PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン
UC1_0_RTS	IO	ユニファイド コミュニケーション モジュール UC1:0 または UART RTS 信号	27、54、96	27、54、96	22、44、76	28、54	16、30	B1、D10、K7	B6、N3、U7
UC1_0_SCL_RX	IOD	ユニファイド コミュニケーション モジュール UC1:0 または I2C SCL または UART RX 信号	2、21、34	2、21、34	16、2、29	34、48、57	19、2	C4、C7、E9	D6、M8、N5
UC1_0_SDA_TX	IOD	ユニファイド コミュニケーション モジュール UC1:0 または I2C SDA または UART TX 信号	1、20、3、33	1、20、3、33	1、15、28、3	33、35、47、56	1、18、3	C3、C6、D3、E7	C7、E7、K8、T6
UC1_1_CTS	IO	ユニファイド コミュニケーション モジュール UC1:1 または UART CTS 信号	42、76	42、76	32、61	17、60	22、39	F9、J2	A1、P4
UC1_1_RTS	IO	ユニファイド コミュニケーション モジュール UC1:1 または UART RTS 信号	43、77	43、77	33、62	18、61	23、40	G7、H2	B2、V4
UC1_1_SCL_RX	IOD	ユニファイド コミュニケーション モジュール UC1:1 または I2C SCL または UART RX 信号	17、23、26、28、4、41、54、70	17、23、26、28、4、41、54、70	12、18、21、23、31、4、44、55	11、36、44、50、53、55、59	10、14、17、21、30、33	A7、B3、B8、C8、C9、F8、K3、K7	C9、E1、L7、N3、N9、P6、R5、V8
UC1_1_SDA_TX	IOD	ユニファイド コミュニケーション モジュール UC1:1 または I2C SDA または UART TX 信号	16、24、25、27、40、5、55、69	16、24、25、27、40、5、55、69	11、19、20、22、30、45、5、54	10、37、43、51、52、54、58	15、16、20、32、9	A6、D10、D4、D8、D9、E10、H7、K4	D8、J3、J7、L9、M2、T8、U5、U7
UC2_CS0	IO	ユニファイド コミュニケーション モジュール UC2:SPI CS0 信号	15、65、79	15、65、79	10、50、64	42	8	A5、G3、H5	G7、K2、K4
UC2_CS1	IO	ユニファイド コミュニケーション モジュール UC2:SPI CS1 信号	16、40、78、99	16、40、78、99	11、30、63、79	31、43、58	20、47、9	A6、B2、E10、H3	B8、E3、L9、U5
UC2_CS2	IO	ユニファイド コミュニケーション モジュール UC2:SPI CS2 信号	82、93	82、93	67、73	19、25	41、44	E2、F3	A5、H4
UC2_CS3	IO	ユニファイド コミュニケーション モジュール UC2:SPI CS3 信号	86、92	86、92	71、72	23、24	42、43	E1、F2	F4、G5

表 6-20. 電圧リファレンス信号の説明

信号名	ピンの種類	説明	PFA ピン	PZ ピン	PN ピン	PM ピン	RGZ ピン	Zaw ピン	YSG ピン
VREF_VREF+	A	VREF の正の入力信号	92	92	72	24	43	E1	G5
VREF_VREF-	A	VREF の負の入力信号	76	76	61	17	39	J2	A1

Copyright © 2026 Texas Instruments Incorporated

6.4 未使用ピンの接続

表 6-21 に、未使用ピンの正しい終端を示します。

表 6-21. 未使用ピンの接続

ピン (1)	電位	備考
PAx および PBx	オープン	対応するピン機能を GPIO (PINCMx.PF = 0x1) に設定し、未使用のピンが Low を出力するように、または内部プルアップまたはプルダウン抵抗をイネーブルにした入力になるように構成します。
NRST	VCC	NRST はアクティブ Low のリセット信号です。ピンを VCC にプルアップしないと、本デバイスは起動できません。詳細については、セクション 9.1 を参照してください。

(1) 汎用 I/O と共有されている機能を持つすべての未使用ピンについては、「PAx および PBx」未使用ピンの接続ガイドラインに従う必要があります。

Copyright © 2026 Texas Instruments Incorporated

7 仕様

7.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
VDD	電源電圧	VDD ピンで	-0.3	4.1	V
VBAT	バッテリ バックアップ電源	VBAT ピンで、VSS を基準として	-0.3	4.1	V
V_I	入力電圧	任意の通常耐圧ピンに印加	-0.3	V_{DD} + 0.3 (最大 4.1)	V
I_{VDD}	各 VDD ピンへの最大電流			160	mA
I_{VSS}	各 VSS ピンから出力される最大電流			160	mA
I_{IO}	SDIO ピンの電流	SDIO ピンによってシンクまたはソースされる電流、VDD >= 2.7v		6	mA
	HSIO ピンの電流	HSIO ピンによってシンクまたはソースされる電流、VDD >= 2.7v		6	mA
	HDIO ピンの電流	HDIO ピンによってシンクまたはソースされる電流、VDD >= 2.7v		20	mA
I_D	サポートされているダイオード電流	すべてのデバイス ピンのダイオード電流	-2	2	mA
T_A	周辺温度	周辺温度	-40	125	°C
T_J	接合部温度	接合部温度	-40	140	°C
T_{stg}	保存温度(2)	保存温度(2)	-40	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) ボード製造時の半田付けでは、現在の JEDEC J-STD-020 仕様に従い、ピーク リフロー温度が梱包箱またはリール上のデバイス ラベルに記載されている分類を超えなければ、より高い温度になってもかまいません。

7.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	±500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

7.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
VDD	電源電圧	1.71		3.6	V
VBAT	VBAT ピンで、VSS を基準として	1.62		3.6	V
VCORE	RUN / SLEEP モードでの VCORE ピンの電圧 (2)		1.35		V
	STOP / STANBY モードでの VCORE ピンの電圧(2)		1.1		V
C_{VDD}	VDD と VSS の間に配置されたコンデンサ (1)		10		µF
C_{VBAT}	VBAT と VSS の間に配置されたコンデンサ		1		µF
C_{VCORE}	VCORE と VSS の間に配置されたコンデンサ (1) (2)		2.2		µF

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
T_A	周辺温度	-40		125	°C
f_{MCLK}	CPUCLK、MCLK 周波数、2 フラッシュの待機状態 (3)			160	MHz
	CPUCLK、MCLK 周波数、1 フラッシュの待機状態 (3)			110	
	CPUCLK、MCLK 周波数、0 フラッシュの待機状態 (3)			40	

(1) C_{VDD}、C_{VBAT}、C_{VCORE} は、それぞれ VDD/VSS 間、VBAT/VSS 間、VCORE/VSS 間で、本デバイスのピンにできる限り近づけて接続します。C_{VDD}、C_{VBAT}、C_{VCORE} には、規定値以上で許容誤差が ±20% 以下の低 ESR コンデンサを使う必要があります。
(2) VCORE ピンは、C_{VCORE} にのみ接続する必要があります。 電圧を供給したり、VCORE ピンに外部負荷を加えたりしないでください。
(3) クロック周波数を切り替える前に、ウェイト状態を変更するために、フラッシュおよび SRAM 構成レジスタを更新する必要があります。

7.4 熱に関する情報

熱評価基準(1)		パッケージ	値	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	LQFP-100 (PZ)	47	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		15	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		32.7	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		0.6	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		32.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		該当なし	°C/W
$R_{\theta JA}$	接合部から周囲への熱抵抗	LQFP-100 (PFA)	27.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		17.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		18.6	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		0.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		10	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		該当なし	°C/W
$R_{\theta JA}$	接合部から周囲への熱抵抗	LQFP-80 (PN)	40.51	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		12.17	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		23.66	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		0.44	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		23.51	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		該当なし	°C/W
$R_{\theta JA}$	接合部から周囲への熱抵抗	LQFP-64 (PM)	41.42	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		12.38	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		22.17	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		0.42	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		22.48	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		該当なし	°C/W
$R_{\theta JA}$	接合部から周囲への熱抵抗	VQFN-48 (RGZ)	24.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		12.8	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		7.2	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		0.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		7.2	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		1.8	°C/W

Copyright © 2026 Texas Instruments Incorporated

熱評価基準(1)		パッケージ	値	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	NFBGA-100 (ZAW)	35.89	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		13.69	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		18.47	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		0.45	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		18.37	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		該当なし	°C/W
$R_{\theta JA}$	接合部から周囲への熱抵抗	WCSP-79 (YSG)	58.9	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		0.16	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		9.4	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		0.1	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		11.2	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

7.5 電源電流特性

7.5.1 RUN/SLEEP モード

VDD = 3.3V。 すべての入力は、0V または VDD に接続されています。出力は、電流のソースまたはシンクを行いません。 すべてのペリフェラルはディセーブルです。

パラメータ		VDD	MCLK	-40°C		25°C		85°C		105°C		125°C		単位
				標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	
RUN モード														
I_{DD} (実行)	MCLK=SYSPLL、SYSPLLREF=SYSOSC、CoreMark、フラッシュから実行	3.3V	160MHz	33.6	38	33.7	36	34.8	41	35.8	46	37.9	56	mA
		3.3V	80MHz	17.8	22	17.9	20	18.9	25	19.8	29	24.9	39	
	MCLK=SYSOSC、CoreMark、フラッシュから実行	3.3V	32MHz	12.6	14	12.8	15	14.1	16	15.4	19	18.3	29	
I_{DD} (実行) (MHz あたり)	MCLK=SYSPLL、SYSPLLREF=SYSOSC、CoreMark、フラッシュから実行	3.3V	160MHz	210	229	211	216	217	248	224	277	237	340	µA/Mhz
	MCLK=SYSPLL、SYSPLLREF=SYSOSC While(1)、フラッシュから実行	3.3V	160MHz	206	213	207	211	213	243	220	273	232	332	
SLEEP モード														
I_{DD} (スリープ)	MCLK=SYSPLL、SYSPLLREF=SYSOSC CPU 停止		160MHz	15	16	15.5	16.5	20.5	25.5	23	30	25	34	mA
	MCLK=SYSOSC、CPU 停止		32MHz	3.5	5	3.8	5	9.2	10	11.6	14	14.2	24	

7.5.2 STOP/STANDBY モード

VDD = 3.3V、VBAT = 3.3V。VDD ドメインのすべての入力は 0V または VDD に接続され、VBAT アイランドのすべての入力は 0V または VBAT に接続されています。出力は、電流のソースまたはシンクを行いません。特に記述のないすべてのペリフェラルはディセーブルです。

パラメータ	ULPCLK	-40°C		25°C		85°C		105°C		125°C		単位
		標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	
STOP モード												

VDD = 3.3V、VBAT = 3.3V。VDD ドメインのすべての入力は 0V または VDD に接続され、VBAT アイランドのすべての入力は 0V または VBAT に接続されています。出力は、電流のソースまたはシンクを行いません。特に記述のないすべてのペリフェラルはディセーブルです。

パラメータ		ULPCLK	-40°C		25°C		85°C		105°C		125°C		単位
			標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	
I_{DD} (停止)	SYSOSC = 32MHz、USE4MHZSTOP = 1、DISABLESTOP = 0	4MHz	129	200	143	221	213	372	255	440	300	470	µA
STANDBY モード													
I_{DD} (スタンバイ)	TIMG4_0 イネーブル	32kHz	3.8	12	8	25	80	133	123	191	155	320	µA
	GPIOA 有効化		3.8	12	8	25	80	133	123	191	155	320	

7.5.3 SHUTDOWN モード

VDD ドメインのすべての入力は、0V または VDD に接続されています。コア レギュレータはパワーダウンされています。

パラメータ		VDD	-40°C		25°C		85°C		105°C		125°C		単位
			標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	
I_{DD} (シャットダウン)	SHUTDOWN モードの電源電流	3.3V	54	150	100	250	2269	4600	3523	7200	5830	15000	nA

7.5.4 VBAT の消費電流

VDD = 3.3V、VBAT = 3.3V。VDD アイランドのすべての入力は 0V または VDD に接続され、VBAT アイランドのすべての入力は 0V または VBAT に接続されています。出力は、電流のソースまたはシンクを行いません。コア レギュレータはパワーダウンされています。

パラメータ		VDD	-40°C		25°C		85°C		105°C		125°C		単位
			標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	標準値	最大値	
I_{DD} (VBAT)	LF-XT および RTC が動作	32kHz	1.4	2.2	1.6	2.2	1.9	2.5	2.1	2.7	8.5	20	µA

7.6 フラッシュ メモリの特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
$VDD_{PGM/ERASE}$	書き込みと消去の電源電圧		1.71		3.6	V
IDD_{ERASE}	消去動作中の VDD からの電源電流	電源電流の差分			10	mA
IDD_{PGM}	書き込み動作中の VDD からの電源電流	電源電流の差分			10	mA
耐久性						
$NWEC_{(CODEFLASH)}$	消去 / プログラム サイクル耐久性 (コードフラッシュ)		20			k サイクル
$NWEC_{(DATAFLASH)}$ (1)	消去 / プログラム サイクル耐久性 (データフラッシュ)		100			k サイクル
$NE_{(MAX)}$	故障に至るまでの全消去動作回数 (2)		802			k 回の消去動作
$NW_{(MAX)}$	セクタが消去されるまでのワード線あたりの書き込み動作回数(3)				83	書き込み動作
保持						
t_{RET_85}	フラッシュ メモリのデータ保持	-40℃ ≦ Tj ≦ 85℃	60			年
t_{RET_105}	フラッシュ メモリのデータ保持	-40℃ ≦ Tj ≦ 105℃	11.4			年
t_{RET_130}	フラッシュ メモリのデータ保持	-40℃ ≦ Tj ≦ 130℃	2.4			年

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
書き込みと消去のタイミング						
$t_{PROG (WORD, 128)}$	フラッシュ ワードの書き込み時間 (4) (6)			68		µs
$t_{PROG (SEC, 128)}$	2kB セクタの書き込み時間 (5) (6)			9.7		ms
$t_{ERASE (SEC)}$	セクタの消去時間	2k 以下の消去 / 書き込みサイクル、Tj ≥ 25℃		4	20	ms
$t_{ERASE (SEC)}$	セクタの消去時間	10k 以下の消去 / 書き込みサイクル、Tj ≥ 25℃		20	150	ms
$t_{ERASE (SEC)}$	セクタの消去時間	10k 未満の消去 / 書き込みサイクル		20	200	ms
$t_{ERASE (BANK)}$	バンクの消去時間	10k 未満の消去 / 書き込みサイクル		22	220	ms

(1) 消去 / 書き込みサイクル耐久性の高いデータフラッシュを EEPROM エミュレーションに使用できます。
(2) 故障に至るまでにフラッシュによってサポートされる消去動作の累積回数。セクタ消去またはバンク消去動作は、1 回の消去動作と見なします。
(3) ワード線を消去するまでに、許容されるワード線 (256 バイト) あたりの書き込み動作の最大回数。同じワード線への追加書き込みが必要な場合、ワード線あたりの書き込み動作の最大回数に達すると、セクタ消去が必要です。
(4) 書き込み時間は、書き込みコマンドがトリガされてから、フラッシュ コントローラでコマンド完了割り込みフラグがセットされるまでの時間として定義されます。
(5) セクタ書き込み時間は、最初のワード書き込みコマンドがトリガされてから、最後のワード書き込みコマンドが完了し、フラッシュ コントローラで割り込みフラグがセットされるまでの時間として定義されます。 この時間には、セクタの書き込み中にソフトウェアが (最初のフラッシュ ワードの後に) 各フラッシュ ワードをフラッシュ コントローラに読み込むために必要な時間が含まれます。
(6) フラッシュ ワード サイズは 128 データ ビット (16 バイト) です。ECC 付きデバイスの場合、フラッシュ ワード サイズの合計は 144 ビット (128 データ ビット + 16 ECC ビット) です。

7.7 電源シーケンス

7.7.1 電源ランプ

図 7-1 に、パワーアップ / パワーダウン時の POR-、POR+、BOR0-、BOR0+ の関係を示します。

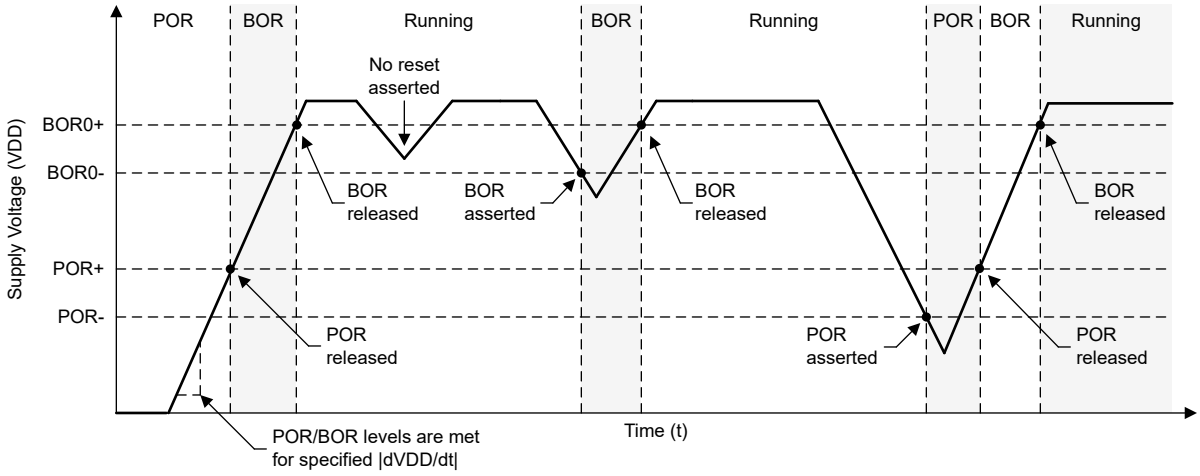


図 7-1. パワー サイクルの POR と BOR の条件

7.7.2 POR と BOR

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
VDD	電源電圧範囲		1.71		3.6	V

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
dVDD/dt	VDD (電源電圧) のスルーレート	立ち上がり			0.1	V/µs
		立ち下がり (1)			0.01	
		立ち下がり、STANDBY			0.1	V/ms
V_{POR+}	パワーオン リセット電圧レベル	立ち上がり	0.95	1.30	1.59	V
V_{POR-}		立ち下がり	0.9	1.25	1.53	
$V_{HYS, POR}$	POR ヒステリシス		30	58	74	mV
$V_{BOR0+, COLD}$	ブラウンアウト リセット電圧レベル 0 (デフォルトのレベル)	コールド スタート、立ち上がり	1.5	1.6	1.7	V
V_{BOR0+}		立ち上がり (1)	1.625	1.66	1.695	
V_{BOR0-}		立ち下がり (1)	1.61	1.645	1.68	
$V_{BOR0、STBY}$		STANDBY モード	1.54	1.625	1.69	
V_{BOR1+}	ブラウンアウト リセット電圧レベル 1	立ち上がり (1)	2.13	2.17	2.21	V
V_{BOR1-}		立ち下がり (1)	2.10	2.14	2.18	
$V_{BOR1、STBY}$		STANDBY モード	2.06	2.13	2.215	
V_{BOR2+}	ブラウンアウト リセット電圧レベル 2	立ち上がり (1)	2.73	2.77	2.82	V
V_{BOR2-}		立ち下がり (1)	2.7	2.74	2.79	
$V_{BOR2、STBY}$		STANDBY モード	2.62	2.71	2.8	
V_{BOR3+}	ブラウンアウト リセット電圧レベル 3	立ち上がり (1)	2.88	2.96	3.04	V
V_{BOR3-}		立ち下がり (1)	2.85	2.93	3.01	
$V_{BOR3、STBY}$		STANDBY モード	2.82	2.92	3.02	
$V_{HYS、BOR}$	ブラウンアウト リセットのヒステリシス	レベル 0		15	21	mV
		レベル 1 ～ 3		34	40	
$t_{PD:BOR}$	BOR 伝搬遅延	RUN/SLEEP/STOP モード			10	µs
		STANDBY モード			100	

(1) デバイスは RUN、SLEEP、STOP モードで動作しています。

7.7.3 VBAT 特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
VBAT	電源電圧範囲		1.62		3.6	V
dVBAT/dt	VBAT (電源電圧) のスルーレート	立ち上がり			0.1	V/µs
		立ち下がり、STANDBY(2)			0.1	V/ms
$V_{POR+ (VBAT)}$	パワーオン リセット電圧レベル	立ち上がり (1)	0.95	1.3	1.59	V
$V_{POR- (VBAT)}$		立ち下がり (1)	0.9	1.25	1.54	
$V_{HYS, POR(VBAT)}$	POR ヒステリシス		30	58	74	mV

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{BOR0+, COLD(VBAT)}$	ブラウンアウト リセット電圧レベル	コールド スタート、立ち上がり (1)	1.5	1.56	1.62	V
$V_{BOR0+(VBAT)}$		立ち上がり (1) (2)	1.55	1.59	1.62	
$V_{BOR0-(VBAT)}$		立ち下がり (1) (2)	1.53	1.56	1.61	
$V_{HYS, BOR(VBAT)}$	BOR ヒステリシス			15	21	mV
$t_{PU(VBAT)}$	コールド パワーアップ時間			1.2		ms
I_{CHARGE}	充電ピーク電流	VDD = 3.3、VBAT = 0V		1.7		mA
R_{SWITCH}	VBAT と VDD の間の内部スイッチ抵抗		0.9	2.3	4.3	kΩ
I_{TRIP}	VBAT から VDD への逆電流を検出する内部コンパレータの最小電流	VDD シンク、1.62 < VBAT < 3.3	100			µA

(1) |dVDD/dt| ≦ 3V/s
(2) スタンバイ モードでのデバイス動作

7.7.4 タイミング特性

VDD=3.3V、T_a=25℃ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ウェークアップ タイミング						
$t_{WAKE:SLEEP}$	SLEEP から RUN までのウェークアップ時間 (1)			1.6		µs
$t_{WAKE:STOP}$	STOP から RUN までのウェークアップ時間 (SYSOSC イネーブル) (1)			25.3		µs
$t_{WAKE:STBY}$	STANDBY0 から RUN までのウェークアップ時間 (1)			26.6		µs
	STANDBY1 から RUN までのウェークアップ時間 (1)			26.8		µs
$t_{WAKEUP:SHDN}$	SHUTDOWN から RUN までのウェークアップ時間 (2)	高速ブートがイネーブル		750		µs
		高速ブートがディセーブル		1100		
非同期高速クロック要求タイミング						
t_{DELAY}	非同期要求のエッジから最初の 32MHz MCLK エッジまでの遅延時間	モードは STOP		6.3		µs
	非同期要求のエッジから最初の 32MHz MCLK エッジまでの遅延時間	モードは STANDBY0		7.6		
	非同期要求のエッジから最初の 32MHz MCLK エッジまでの遅延時間	モードは STANDBY1		7.9		
スタートアップ タイミング						
$t_{START:RESET}$	デバイスのリセット / パワーアップからのコールド スタートアップ時間 (3)	高速ブートがイネーブル		780		µs
		高速ブートがディセーブル		1130		
NRST のタイミング						
$t_{RST:BOOTRST}$	BOOTRST を生成するための NRST ピンのパルス長	ULPCLK≧4MHz		1.5		µs
		ULPCLK=32kHz		80		
$t_{RST:POR}$	POR を生成するための NRST ピンのパルス長			1		s

(1) ウェークアップ時間は、グリッチ フィルタがディセーブル (FILTEREN=0x0)、高速ウェークアップがイネーブル (FASTWAKEONLY=1) の条件で、外部ウェークアップ信号のエッジ (GPIO ウェークアップ イベント) から、ユーザー プログラムの最初の命令が実行されるまでの時間として測定されます。
(2) ウェークアップ時間は、外部ウェークアップ信号 (IOMUX ウェークアップ イベント) のエッジから、ユーザー プログラムの最初の命令が実行されるまでの時間として測定されます。

Copyright © 2026 Texas Instruments Incorporated

(3) スタートアップ時間は、VDD が VBOR0- と交差 (コールド スタートアップ) した時刻から、ユーザー プログラムの最初の命令が実行されるまでの時間として測定されます。

7.8 クロック仕様

7.8.1 システム発振器(SYSOSC)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SYSOSC}	出荷時に調整された SYSOSC 周波数	SYSOSCCFG.FREQ=0 (ベース)		32		MHz
		SYSOSCCFG.FREQ=1		4		
$SYSOSC_{ACC}$	内部 ROSC 抵抗使用、周波数補正ループ (FCL) イネーブル時の SYSOSC 周波数精度、32MHz(1) (2) (3)	SETUSEFCL=1、-40℃ ≦ T_a ≦ 125℃	-2.1		1.6	%
	内部 ROSC 抵抗使用、周波数補正ループ (FCL) イネーブル時の SYSOSC 周波数精度、32MHz(1) (2) (3)	SETUSEFCL = 1、T_a = 25 ℃	-1.2		1.3	%
	内部 ROSC 抵抗使用、周波数補正ループ (FCL) イネーブル時の SYSOSC 周波数精度、4MHz(1) (2) (3)	SETUSEFCL = 1、T_a = 25 ℃	-1.2		1.7	%
	内部 ROSC 抵抗使用、周波数補正ループ (FCL) イネーブル時の SYSOSC 周波数精度、4MHz(1) (2) (3)	SETUSEFCL=1、-40℃ ≦ T_a ≦ 125℃	-2.3		1.8	%
	周波数補正ループ (FCL) がディセーブルのときの SYSOSC 精度、32MHz(2) (3)	SETUSEFCL=0、SYSOSCCFG.FREQ=0、-40℃ ≤ T_a ≤ 125℃	-2.6		1.8	%
	出荷時に調整された周波数 4MHz の場合、周波数補正ループ (FCL) がディセーブルのときの SYSOSC 精度(2) (3)	SETUSEFCL=0、SYSOSCCFG.FREQ=1、-40℃ ≤ T_a ≤ 125℃	-2.7		2.3	%
$t_{settle、SYSOSC}$	目標精度に達するまでのセトリング タイム	SETUSEFCL=1			45	µs

(1) SYSOSC の周波数補正ループ (FCL) を使うと、内部リファレンス抵抗によって SYSOSC の精度を高めることができます。SYSOSC 精度の計算方法の詳細については、テクニカル リファレンス マニュアルの「SYSOSC」のセクションを参照してください。
(2) SYSOSC の精度は、MCLK = SYSOSC、CPU が while(1) ループを実行し、SYSPLL が無効になっているデフォルトのパワーアップ状態で測定されます。
(3) SYSOSC は、外部の 1ms パルスを測定トリガとして使用し、内部の FCC カウンタで測定されます。

7.8.2 高周波数クリスタル / クロック

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
高周波数水晶発振器 (HFXT)						
f_{HFXT}	HFXT 周波数	HFXTRSEL=00	4		8	MHz
		HFXTRSEL=01	8.01		16	
		HFXTRSEL=10	16.01		32	
		HFXTRSEL=11	32.01		48	MHz
DC_{HFXT}	HFXT デューティ サイクル	HFXTRSEL=00	40		65	%
		HFXTRSEL=01	40		60	
		HFXTRSEL=10	40		60	
		HFXTRSEL=11	40		60	
OA_{HFXT}	HFXT 水晶発振余裕度	HFXTRSEL=00 (4～8MHz の範囲)		2		kΩ
$C_{L, eff}$	内部実効負荷容量(1)			1		pF
$t_{start, HFXT}$	HFXT スタートアップ時間(2)	HFXTRSEL=11、32MHz 水晶振動子		0.5		ms

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{HFXT}	HFXT 消費電流	f_{HFXT}= 4MHz、R_m= 300Ω、C_L= 12pF		75		μA
		f_{HFXT}=32MHz、R_m=30Ω、C_L=12pF、C_m=6.26fF、L_m=1.76mH		600		
高周波数デジタル クロック入力 (HFCLK_IN)						
f_{HFIN}	HFCLK_IN 周波数 (3)	USEEXTHFCLK = 1	4		48	MHz
DC_{HFIN}	HFCLK_IN デューティ サイクル(3)	USEEXTHFCLK = 1	40		60	%

(1) これには、寄生結合およびパッケージ容量 (ピンごとに約 2 pF) が含まれ、$C_{HFXIN} \times C_{HFXOUT}/(C_{HFXIN}+C_{HFXOUT})$ として計算されます。ここで、C_{HFXIN} および C_{HFXOUT} は、それぞれ HFXIN および HFXOUT における合計容量です。
(2) HFXT スタートアップ時間 ($t_{start, HFXT}$) は、HFXT がイネーブルになってから、標準的な水晶振動子の安定した発振までの時間で測定されます。 スタートアップ時間は、水晶の周波数および水晶振動子の仕様に依存します。 詳細については、『MSPM33C3x 160MHz マイコン テクニカル リファレンス マニュアル』の「HFXT」のセクションを参照してください。
(3) デジタル クロック入力 (HFCLK_IN) は、ロジック レベルの方形波クロックを受け入れます。

7.8.3 システム フェーズ ロック ループ (SYSPLL)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$f_{SYSPLLREF}$	SYSPLL リファレンス周波数範囲		4		48	MHz
f_{VCO}	VCO 出力周波数		160		400	MHz
f_{SYSPLL}	SYSPLL 出力周波数範囲(1)	SYSPLLCLK0、SYSPLLCLK1	5		160	MHz
DC_{PLL}	SYSPLL 出力のデューティ サイクル	$f_{SYSPLLREF}$ = 32MHz、f_{VCO} = 320MHz、SYSPLLCLK0/1	45		55	%
$Jitter_{SYSPLL}$	SYSPLL RMS サイクル間ジッタ	PDIV= 2、ループ クロック = 8MHz、$f_{SYSPLLREF}$ = 32MHz、f_{VCO} = 320MHz		43		ps
	SYSPLL RMS 周期ジッタ			32		
I_{SYSPLL}	SYSPLL 消費電流	$f_{SYSPLLREF}$ = 32MHz、f_{VCO} = 320MHz、PDIV=2、SYSPLL = 160MHz		1300		μA
$t_{start, SYSPLL}$	SYSPLL スタートアップ時間	$f_{SYSPLLREF}$ = 32MHz、f_{VCO} = 320MHz、PDIV = 2、SYSPLL = 160MHz、±0.5% 精度			25	μs

(1) SYSPLL は、デバイス クロック システムでサポートされているより高い出力周波数をサポートする場合があります。 SYSPLL 出力周波数を構成するときは、デバイスの最大周波数仕様に違反しないようにしてください。

7.8.4 低周波数発振器 (LFOSC)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{LFOSC}	LFOSC 周波数			32768		Hz
	LFOSC 精度	-40℃ ≦ T_a ≦ 125℃	-5		5	%
		-40℃ ≦ T_a ≦ 85℃	-3		3	%
I_{LFOSC}	LFOSC 消費電流			300		nA
$t_{start, LFOSC}$	LFOSC スタートアップ時間			1.7		ms

7.8.5 低周波数クリスタル / クロック

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
低周波数水晶発振器 (LFXT)						
f_{LFXT}	LFXT 周波数			32768		Hz

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
DC_{LFXT}	LFXT デューティ サイクル		30		70	%
OA_{LFXT}	LFXT 水晶発振余裕度			419		kΩ
$C_{L, eff}$	内部実効負荷容量(1)			1		pF
$t_{start, LFXT}$	LFXT スタートアップ時間			200		ms
I_{LFXT}	LFXT 消費電流	XT1DRIVE = 0、LOWCAP = 1		200		nA
低周波数デジタル クロック入力 (LFCLK_IN)						
f_{LFIN}	LFCLK_IN 周波数 (2)	SETUSEEXLF = 1	29491	32768	36045	Hz
DC_{LFIN}	LFCLK_IN デューティ サイクル(2)	SETUSEEXLF = 1	40		60	%
LFCLK モニタ						
$f_{FAULTLF}$	LFCLK モニタ フォルト周波数 (3)	MONITOR=1	2800	4200	8400	Hz

(1) これには、寄生結合およびパッケージ容量 (ピンごとに約 2 pF) が含まれ、$C_{LFXIN} \times C_{LFXOUT}/(C_{LFXIN}+C_{LFXOUT})$ として計算されます。ここで、C_{LFXIN} および C_{LFXOUT} は、それぞれ LFXIN および LFXOUT における合計容量です。
(2) デジタル クロック入力 (LFCLK_IN) は、ロジック レベルの方形波クロックを受け入れます。
(3) LFCLK モニタは、LFXT または LFCLK_IN の監視に使用できます。 最小フォルト周波数を下回る場合には必ずフォルトが発生し、最大フォルト周波数を超える場合には決してフォルトは発生しません。

7.9 アナログ仕様

7.9.1 ADC の仕様

7.9.1.1 ADC の電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。すべての標準値は 25℃ で測定されており、すべての精度パラメータは 12 ビット分解能モードを使用して測定されています (特に記述のない限り)。(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$Vin_{(ADC)}$	アナログ入力電圧範囲(1)	すべての ADC アナログ入力ピンに適用されます	0		VDD	V
V_{R+}	正の ADC リファレンス電圧	外部リファレンス電圧ピン (VREF+) から供給される V_{R+}	1.4		VDD	V
		内部リファレンス電圧 (VREF) から供給される V_{R+}		VREF		V
V_{R-}	負の ADC リファレンス電圧			0		V
F_S	ADC サンプリング周波数	12 ビット モード、外部リファレンス電圧、$V_{DD} \geq 2.7V$ および $V_{R+} \geq 2.5V$			9.4	Msps
		12 ビット モード、外部リファレンス電圧、$V_{DD} < 2.7V$ および $V_{R+} < 2.5V$			7.12	Msps
$I_{(ADC)}$(2)	VDD 端子に流れ込む動作電源電流	F_S = 9.4MSPS、内部リファレンス電圧はオフ、V_{R+} = VDD		2.8		mA
		F_S = 4MSPS、内部リファレンス電圧はオフ、V_{R+} = VDD		1.9		mA
$C_{S/H}$	ADC サンプル ホールド容量			3.3		pF
Rin	ADC 入力抵抗			0.2		kΩ
ENOB	有効ビット数	外部リファレンス電圧、f_{IN} = 10kHz、8 倍のハードウェア平均化		12		ビット
		外部リファレンス電圧、f_{IN} = 100kHz		10.8		
		内部リファレンス電圧、f_{IN} = 100kHz、V_{R+} = VREF = 2.5V (3)		10.5		
SNR	信号対雑音比	外部リファレンス、f_{IN} = 100kHz		66.7		dB
		内部リファレンス電圧、f_{IN} = 100kHz、V_{R+} = VREF = 2.5V (3)		65.5		
$PSRR_{DC}$	電源除去比、DC	外部リファレンス電圧、$VDD = VDD_{(MIN)} \sim VDD_{(MAX)}$		65		dB
		$VDD = VDD_{(MIN)} \sim VDD_{(MAX)}$ 内部リファレンス電圧、V_{R+} = VREF = 2.5V (3)		59		
$PSRR_{AC}$	電源除去比、AC	外部リファレンス電圧、ΔVDD = 0.1V (1kHz 時)		59		dB
		ΔVDD = 0.1V (1kHz 時) 内部リファレンス電圧、V_{R+} = VREF = 2.5V(3)		53		
t_{wakeup}	ADC ウェークアップ時間	内部リファレンス電圧はオンであると仮定			10	µs

Copyright © 2026 Texas Instruments Incorporated

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。すべての標準値は 25℃ で測定されており、すべての精度パラメータは 12 ビット分解能モードを使用して測定されています (特に記述のない限り)。(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{SupplyMon}$	電源モニタ分圧器の精度	ADC の入力チャネル:電源モニタ (VDD/3)、(VBAT/3)(4)	-1.5		1.5	%
$I_{SupplyMon}$	電源モニタ分圧器の消費電流	ADC の入力チャネル:電源モニタ		10		µA

(1) 有効な変換結果を得るには、選択された ADC リファレンス電圧の範囲内 (V_{R+}～V_{R-}) にアナログ入力電圧範囲が含まれている必要があります。
(2) リファレンス (VREF) の入力電流とデジタル ラッパー電流は、消費電流パラメータ $I_{(ADC)}$ には含まれません。
(3) 特性データに基づく最小値
(4) アナログ電源モニタ。VDD 監視用 ADC0 と VBAT 監視用 ADC1 のチャネル 15 アナログ入力は、分圧器と内部的に接続されています。両方の電源モニタは、外部リファレンス電圧を使用して測定されます

7.9.1.2 ADC スイッチング特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{ADCCLK}	ADC クロック周波数	VDD ≥ 2.7V および VREF ≥ 2.5V	4		160	MHz
		VDD < 2.7V または VREF < 2.5V	4		107	MHz
$t_{ADC\ trigger}$	ソフトウェア トリガの最小幅		3			ADCCLK のサイクル数
t_{Sample}	サンプリング時間	12 ビット モード、R_S = 50Ω、C_{pext} = 10pF	37.5			ns
$t_{Sample_SupplyMon}$	サンプリング時間 (電源モニタ (VDD/3)、(VBAT/3) 付き)		5			µs

7.9.1.3 ADC の直線性パラメータ

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。すべての標準値は 25℃ で測定されており、すべての直線性パラメータは 12 ビット分解能モードを使用して測定されています (特に記述のない限り)。(1)(2)

パラメータ		テスト条件	最小値	標準値	最大値	単位
Ej	積分直線性誤差 (INL)	外部リファレンス	-2.0		+2.0	LSB
Ek	微分直線性誤差 (DNL) ミッシング コードなし	外部リファレンス	-1.0		+1.0	LSB
E_O	オフセット エラー	外部リファレンス	-3		3	mV
		内部リファレンス電圧、V_{R+} = VREF = 2.5V				
E_G	ゲイン誤差	外部リファレンス	-5		5	LSB
		内部リファレンス電圧、V_{R+} = VREF = 2.5V	-65		65	LSB

(1) し総合未調整誤差 (TUE) は、次の式を使用して、E_I、E_O、E_G から計算できます。TUE = √(E_I^2 + $|E_O|^2$ + E_G^2)上記の式が正確であるためには、すべての誤差を同じ単位 (通常は LSB) に変換する必要があります。
(2) 外部リファレンス電圧のすべての仕様は、V_{R+} = VREF+ = VDD、V_{R-} = VSS = 0V、VREF+ ピンの外部容量 1µF、ハードウェア平均化機能で測定されたものです。

7.9.1.4 代表的な接続図

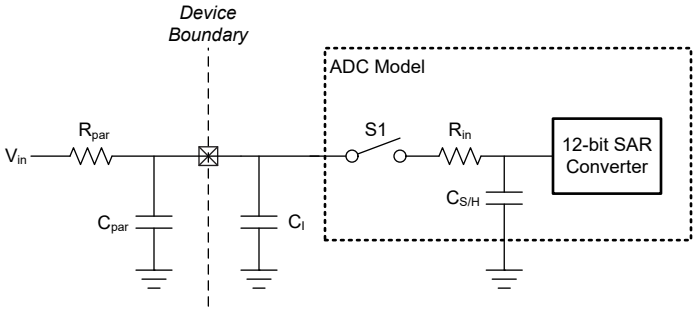


図 7-2. ADC 入力ネットワーク

1. R_{in} と $C_{S/H}$ の値については、「ADC 電気的特性」を参照してください。
2. C_I の値については、「デジタル IO 電気的特性」を参照してください。
3. C_{par} と R_{par} は外部 ADC 入力回路の寄生容量および抵抗を表します。

次の式を使用して、ADC 変換に必要な最小サンプリング時間 (T) を求めます。

1. $Tau = (R_{par} + R_{in}) \times C_{S/H} + R_{par} \times (C_{par} + C_I)$
2. $K = \ln(2^n$ / セトリング誤差) - $\ln((C_{par} + C_I) / C_{S/H})$
3. T (最小サンプリング時間) = K × Tau

7.9.2 COMP の仕様

7.9.2.1 コンパレータ電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
コンパレータ電気的特性						
Vcm	コモン モード入力範囲		0		VDD	V
V_{offset}	入力オフセット電圧		-20		20	mV
V_{hys}	DC 入力ヒステリシス	HYST = 00h		0.4		mV
		HYST = 01h		10		
		HYST = 02h		20		
		HYST = 03h		30		
t_{PD_ls}	伝搬遅延時間、応答時間	出力フィルタ オフ、オーバードライブ = 100mV、高速モード		32	50	ns
		出力フィルタ オフ、オーバードライブ = 100mV、低消費電力モード		1.2	4	µs
t_{en}	コンパレータ イネーブル時間	伝播遅延仕様に達するまでのスタートアップ時間、高速モード			5	µs
		伝搬遅延仕様に達するまでのスタートアップ時間、低消費電力モード			10	µs
I_{comp}	コンパレータの消費電流	Vcm = VDD/2、100mV オーバードライブ、リファレンス電圧は DAC 出力、VDD が DAC のリファレンス電圧、高速モード		130	200	µA
		Vcm = VDD/2、100mV オーバードライブ、リファレンス電圧は DAC 出力、VDD が DAC のリファレンス電圧、低消費電力モード		0.85	2.7	µA
		Vcm = VDD/2、100mV オーバードライブ、コンパレータのみ。高速モード		120	180	µA
		Vcm = VDD/2、100mV オーバードライブ、コンパレータのみ、低消費電力モード		0.7	2.1	µA
I_{comp}	コンパレータ + VREF の消費電流が低消費電力	Vcm = VDD/2、100mV オーバードライブ、電圧リファレンスとしての DAC 出力、内部 VREF が DAC のリファレンス、低電力モード		3.5		µA
8 ビット DAC 電気的特性						
V_{DAC}	DAC の出力範囲		0		VDD	V
$V_{DAC-CODE}$	特定のコードに対する 8 ビット DAC の出力電圧	VIN = 8 ビット DAC に与えるリファレンス電圧、コード n = 0 ～ 255		VIN × (n+1) / 256		V
INL	8 ビット DAC の積分非直線性		-1		1	LSB
DNL	8 ビット DAC の微分非直線性		-1		1	LSB
ゲイン誤差	8 ビット DAC のゲイン誤差	リファレンス電圧 = VDD	-2		2	FSR の %
オフセット エラー	8 ビット DAC のオフセット誤差		-5		5	mV
R_{OUT}	出力抵抗	V_{DAC} = 0.3V ～ (V_{DD} - 0.3V)		56		kΩ
t_{dac_enable}	オフ状態からのターンオン時間	DACCODE = 255		0.8		µs

Copyright © 2026 Texas Instruments Incorporated

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{dac_settle}	スタティック モードでの 8 ビット DAC のセトリング タイム	DACCODE0 = 0 → 255、DAC 出力が 1 LSB まで正確		1.5		µs
t_{dac_settle}	スタティック モードでの 8 ビット DAC のセトリング タイム	DACCODE0 = 0 → 255、DAC 出力精度:1 LSB、ピンの DAC 出力、Cload = 15pF		6		µs

7.9.3 VREF の仕様

7.9.3.1 VREF の電圧特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
VDD_{min}	VREF 動作に必要な最低電源電圧	BUFCONFIG = 0	2.7			V
		BUFCONFIG = 1	1.71			
VREF	リファレンス電圧の出力電圧	BUFCONFIG = 0、VDD > 2.7V	2.46	2.5	2.54	V
		BUFCONFIG = 1、VDD > 1.71V	1.38	1.4	1.42	

7.9.3.2 VREF の電気的特性

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{VREF}	VREF 動作電源電流	BUFCONFIG = {0, 1}、無負荷		200	370	µA
I_{Drive}	VREF 出力駆動能力 (1)	VREF+ デバイス ピンでサポートされる駆動能力			50	µA
I_{SC}	VREF 短絡電流			68	100	mA
TC_{VREF}	VREF の温度係数 (バンドギャップ + VRBUF) (2)				75	ppm/°C
TC_{drift}	VREF の長期ドリフト	時間 =1000 時間、BUFCONFIG = {0, 1}、T = 25°C			300	ppm
$PSRR_{DC}$	VREF 電源除去比、DC	VDD = 1.71V～VDDmax、BUFCONFIG = 1	60	70		dB
		VDD = 2.7V～VDDmax、BUFCONFIG = 0	50	60		
C_{VREF}	VREF+ ピンの ±20% 許容のデカップリング コンデンサ推奨 (3) (4)			1		µF
$t_{startup}$	VREF 起動時間	C_{VREF} = 1µF			350	µs
$t_{refresh}$	VREF 外部コンデンサのリフレッシュ時間		31.25			

(1) 示された最大出力駆動能力は、デバイスでどのペリフェラルが使用されているかに関係なくサポートされます。
(2) VREF 出力の温度係数は、TC_{VRBUF} と内部バンドギャップ リファレンスの温度係数の和です。
(3) 内部リファレンス電圧 VREF を使用する場合、デカップリング コンデンサ (C_{VREF}) が必要であり、VREF+ ピンから VREF-/ GND に接続する必要があります。VREF+/- ピンを使用して外部リファレンスを供給する場合、外部リファレンス ソースに基づいてデカップリング コンデンサの値を選択する必要があります。
(4) VREF モジュールは、C_{VREF} が接続されているときのみイネーブルにして、それ以外の場合はイネーブルにしないでください。

7.9.4 アナログ VBOOST 仕様

7.9.4.1 アナログ マルチプレクサ VBOOST

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{VBST}	VBOOST 電流加算器	ULPCLK は LFCLK		0.8		µA
I_{VBST}	VBOOST 電流加算器	ULPCLK は LFCLK ではなく、SYSOSC の周波数は 4MHz		10.6		µA

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{START,VBST}$	VBOOST 起動時間			12	20	µs

7.9.5 温度センサ

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
TS_{TRIM}	出荷時調整温度 (1)	ADC および VREF の構成:VRSEL = 1h (VREF = 1.4V)、ADC t_{sample} = 12.5µS	27	30	33	℃
TS_c	温度係数	-40℃ ≦ T_j ≦ 130℃	-2.1	-1.9	-1.7	mV/℃
$t_{SET、TS}$	温度センサのセトリング タイム (2)	ADC および VREF の構成:VRSEL = 1h (VREF = 1.4V)、ADC0 CHANNEL = 11			12.5	us

(1) ユーザー較正により、より高い絶対精度を実現できます。「詳細説明」セクションの「温度センサ」の章を参照してください。
(2) これは、温度センサの測定に必要な最小 ADC サンプリング時間です。

7.10 シリアル インターフェイスの仕様

7.10.1 UART

7.10.1.1 UART

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{UART}	UART 入力クロック周波数	パワードメイン 1 の UART			80	MHz
		パワードメイン 0 の UART			40	MHz
f_{BITCLK}	BITCLK クロック周波数 (MBaud のボー レートに等しい)	パワードメイン 1 の UART			10	Mbps
		パワードメイン 0 の UART			4	Mbps
t_{SP}	入力フィルタにより抑制されるスパイクのパルス持続時間	AGFSELx = 0		6		ns
		AGFSELx = 1		14	35	ns
		AGFSELx = 2		22	60	ns
		AGFSELx = 3		35	90	ns

7.10.2 I2C

7.10.2.1 I2C の特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	スタンダード モード		ファスト モード		ファスト モード プラス		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
f_{I2C}	I2C 入力クロック周波数	パワードメイン 1 の I2C		80		80		80	MHz
		パワードメイン 0 の I2C		40		40		40	MHz
f_{SCL}	SCL クロック周波数			0.1		0.4		1	MHz
$t_{HD,STA}$	(リピート) スタート ホールド時間		4		0.6		0.26		us
t_{LOW}	SCL クロック Low 期間		4.7		1.3		0.5		us
t_{HIGH}	SCL クロックの High 期間		4		0.6		0.26		us
$t_{SU,STA}$	反復 START のセットアップ時間		4.7		0.6		0.26		us
$t_{HD,DAT}$	データ ホールド時間		0		0		0		ns
$t_{SU,DAT}$	データ セットアップ時間		250		100		50		ns

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	スタンダード モード		ファスト モード		ファスト モード プラス		単位
			最小値	最大値	最小値	最大値	最小値	最大値	
$t_{SU,STO}$	ストップ セットアップ時間		4		0.6		0.26		us
t_{BUF}	STOP 条件と START 条件の間のバス解放時間		4.7		1.3		0.5		us
$t_{VD;DAT}$	データ有効時間			3.45		0.9		0.45	us
$t_{VD;ACK}$	データ有効アクノリッジ時間			3.45		0.9		0.45	us

7.10.2.2 I2C フィルタ

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SP}	入力フィルタにより抑制されるスパイクのパルス持続時間	AGFSELx = 0		6		ns
		AGFSELx = 1		14	35	ns
		AGFSELx = 2		22	60	ns
		AGFSELx = 3		35	90	ns

7.10.2.3 I^2C のタイミング図

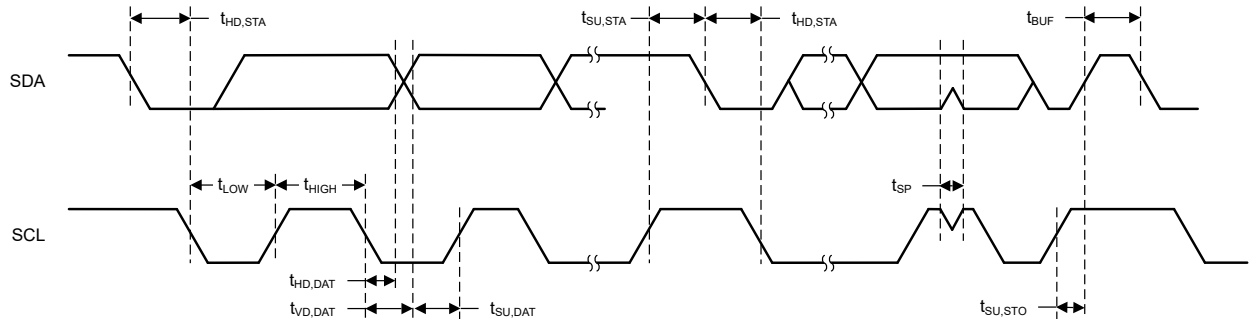


図 7-3. I2C タイミング図

7.10.3 SPI

7.10.3.1 SPI

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
SPI						
f_{SPI}	SPI クロック周波数	VDD ≥ 2.7V、HSIO			40[4]	MHz
		VDD ≥ 1.71V、HSIO			23	MHz
		VDD ≥ 2.7V、SDIO			25	MHz
		VDD ≥ 1.71V、SDIO			20	MHz
DC_{SCK}	SCK のデューティ サイクル		40	50	60	%
コントローラ						
$t_{SCLK_H/L}$	SCLK High または Low 時間		(tSPI/2) - 1	tSPI/2	(tSPI/2) + 1	ns
$t_{CS.LEAD}$	CS 進み時間、CS アクティブからクロックまで	SPH=0	1 SPI クロック			ns
		SPH=1	1/2 SPI クロック			ns

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{CS.LAG}$	CS 遅れ時間、最後のクロックから CS 非アクティブまで		1 SPI クロック			ns
$t_{CS.ACC}$	CS アクセス時間、CS アクティブから PICO データ出力まで				1/2 SPI クロック	ns
$t_{CS.DIS}$	CS ディセーブル時間、CS 非アクティブから PICO 高インピーダンスまで				1 SPI クロック	ns
$t_{SU.CI}$	POCI 入力データのセットアップ時間 (1)	遅延サンプリングがイネーブル	1			ns
$t_{HD.CI}$	POCI 入力データ ホールド時間	VDD ≥ 2.7V、遅延サンプリングがイネーブル	20			ns
		VDD ≥ 1.71V、遅延サンプリングがイネーブル	25			ns
$t_{SU.CI}$	POCI 入力データのセットアップ時間 (1)	VDD ≥ 2.7V、遅延サンプリングなし	18			ns
		VDD ≥ 1.71V、遅延サンプリングなし	24			ns
$t_{HD.CI}$	POCI 入力データ ホールド時間	遅延サンプリングなしがイネーブル	0			ns
$t_{VALID.CO}$	PICO 出力データの有効時間 (2)				10	ns
$t_{HD.CO}$	PICO 出力データのホールド時間 (3)		6			ns
ペリフェラル						
$t_{CS.LEAD}$	CS 進み時間、CS アクティブからクロックまで	VDD ≥ 2.7V	19			ns
		VDD ≥ 1.71V	22			ns
$t_{CS.LAG}$	CS 遅れ時間、最後のクロックから CS 非アクティブまで		1			ns
$t_{CS.ACC}$	CS アクセス時間、CS アクティブから POCI データ出力まで	VDD ≥ 2.7V			25	ns
		VDD ≥ 1.71V			31	ns
$t_{CS.DIS}$	CS ディセーブル時間、CS 非アクティブから POCI 高インピーダンスまで	VDD ≥ 2.7V			39	ns
		VDD ≥ 1.71V			41.5	ns
$t_{SU.PI}$	PICO 入力データ セットアップ時間		7			ns
$t_{HD.PI}$	PICO 入力データ ホールド時間		0			ns
$t_{VALID.PO}$	POCI 出力データの有効時間 (2)	VDD ≥ 2.7V			19	ns
		VDD ≥ 1.71V			24	ns
$t_{HD.PO}$	POCI 出力データのホールド時間 (3)		5			ns

(1) 遅延サンプリング機能がイネーブルのとき、POCI 入力データのセットアップ時間を完全に補償できます。
(2) 出力が SCLK クロック エッジを変更した後、次の有効なデータを出力に駆動する時間を規定します。
(3) 出力が SCLK クロック エッジを変更した後、出力のデータが有効である間の時間を規定します。
(4) SPI がコントローラとして構成され、送信のみである場合の最大 SPI クロック周波数。

Copyright © 2026 Texas Instruments Incorporated

7.10.3.2 SPI タイミング図

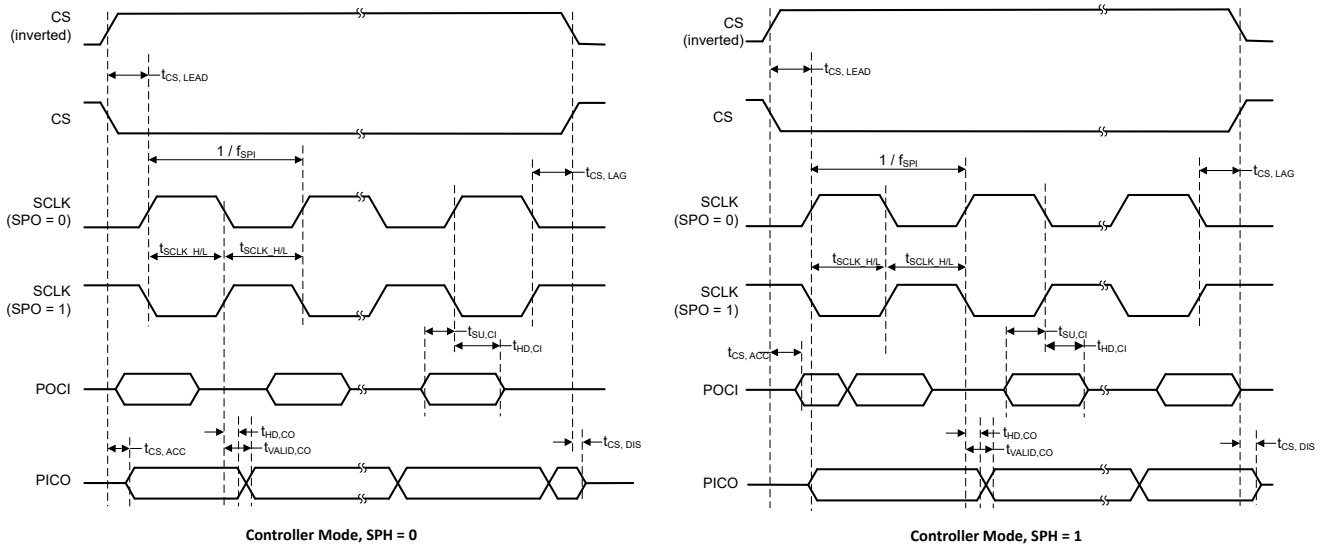


図 7-4. SPI のタイミング図 - コントローラ モード

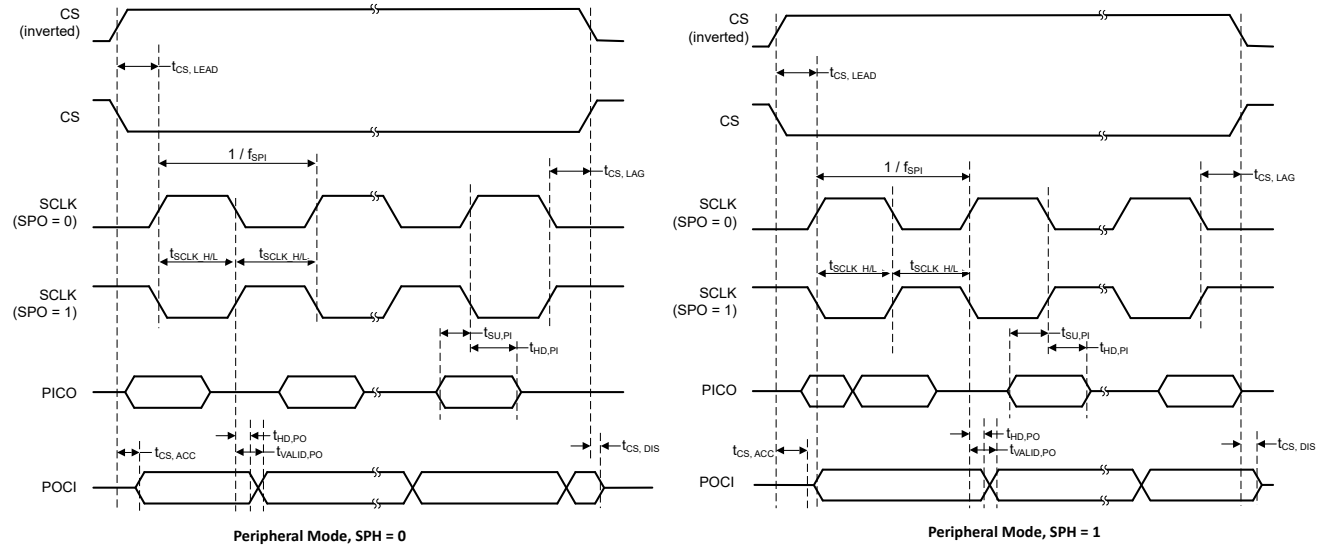


図 7-5. SPI のタイミング図 - ペリフェラル モード

7.10.4 CAN

7.10.4.1 CAN

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{CANCLK}	CAN 入力クロック周波数				80	MHz
f_{BAUD}	CAN ボーレート				5	Mbps

7.10.5 QSPI

7.10.5.1 QSPI

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{QSPI_CLK}	QSPI クロック周波数	VDD ≥ 2.7V			40	MHz
		VDD ≥ 1.71V			20	MHz
DC_{QSPI_CLK}	デューティ サイクル QSPI クロック		40	50	60	%
$t_{QSPI_CLKH/L}$	QSPI クロックの High または Low 時間			$1/(2\times f_{QSPI_CLK})$		ns
$t_{CS:LEAD}$	CS リード タイム、CS アクティブから最初のクロック エッジまで	SPH = 0	1 QSPI クロック			ns
$t_{CS:LEAD}$	CS リード タイム、CS アクティブから最初のクロック エッジまで	SPH = 1	1/2 QSPI クロック			ns
$t_{CS:LAG}$	CS 遅れ時間、最後のクロック エッジから CS 非アクティブまで				1/2 QSPI クロック	ns
$t_{CS:ACC}$	CS アクセス時間、CS アクティブから IOx データ出力まで				1/2 QSPI クロック	ns
$t_{SU:QSPI_IOx}$	QSPI_IOx 入力セットアップ時間	VDD ≥ 2.7V	2.5			ns
		VDD ≥ 1.71V	9			ns
$t_{HDI:QSPI_IOx}$	QSPI_IOx 入力ホールド時間		5			ns
$t_{VALID:QSPI_IOx}$	QSPI_IOx 出力有効時間	VDD ≥ 2.7V			6	ns
		VDD ≥ 1.71V			6.5	ns
$t_{HDO:QSPI_IOx}$	QSPI_IOx 出力ホールド時間		3			ns

7.10.5.2 QSPI タイミング図

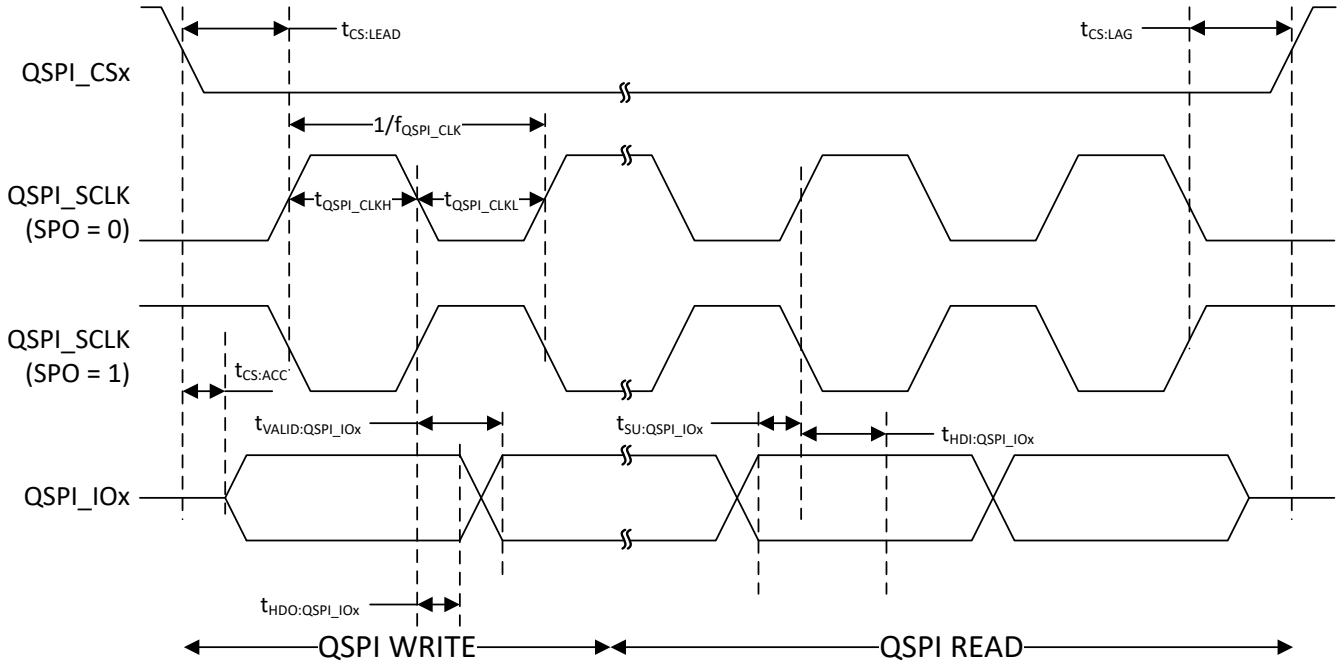


図 7-6. QSPI のタイミング図 - コントローラ モード

Copyright © 2026 Texas Instruments Incorporated

7.10.6 I2S/TDM

7.10.6.1 シリアル オーディオ

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
コントローラ モード						
f_{BCLK}	シリアル オーディオ ビット クロック周波数	トランスミッタ モード			12.5	MHz
		レシーバ モード			12.5	MHz
$t_{VALID.WCLK}$	ワード クロック出力の有効時間	VDD ≥ 2.7V			18	ns
		VDD ≥ 1.71V			21	ns
$t_{HOLD:WCLK}$	ワード クロック出力ホールド時間		1			ns
$t_{VALID:ADx}$	データ出力有効時間	VDD ≥ 2.7V、トランスミッタ モード			20.5	ns
		VDD ≥ 1.71V、トランスミッタ モード			28.5	ns
$t_{HOLD:ADx}$	データ出力ホールド時間	トランスミッタ モード	3			ns
$t_{SU.ADx}$	データ入力セットアップ時間	VDD ≥ 2.7V、レシーバ モード	8.5			ns
		VDD ≥ 1.71V、レシーバ モード	10			ns
$t_{HOLD.ADx}$	データ入力ホールド時間	VDD ≥ 2.7V、レシーバ モード	2			ns
		VDD ≥ 1.71V、レシーバ モード	3.1			ns
ターゲット モード						
f_{BCLK}	シリアル オーディオ ビット クロック周波数	トランスミッタ モード			25	MHz
		レシーバ モード			25	MHz
$t_{SU.WCLK}$	ワード クロック入力のセットアップ時間		10			ns
$t_{HOLD:WCLK}$	ワード クロック入力のホールド時間		1			ns
$t_{VALID:ADx}$	データ出力有効時間	VDD ≥ 2.7V、トランスミッタ モード			18	ns
		VDD ≥ 1.71V、トランスミッタ モード			24.5	ns
$t_{HOLD:ADx}$	データ出力ホールド時間	トランスミッタ モード	3			ns
$t_{SU.ADx}$	データ入力セットアップ時間	レシーバ モード	6.5			ns
$t_{HOLD.ADx}$	データ入力ホールド時間	レシーバ モード	1.5			ns

7.10.6.2 I2S/TDM タイミング図

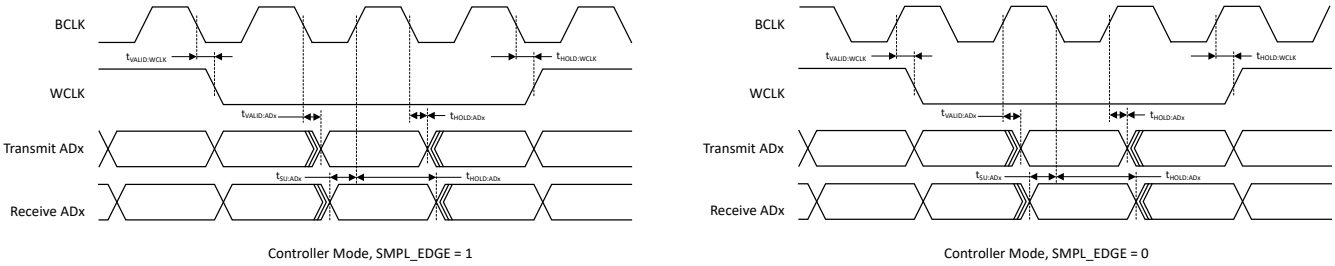


図 7-7. I2S/TDM タイミング図 - コントローラ モード

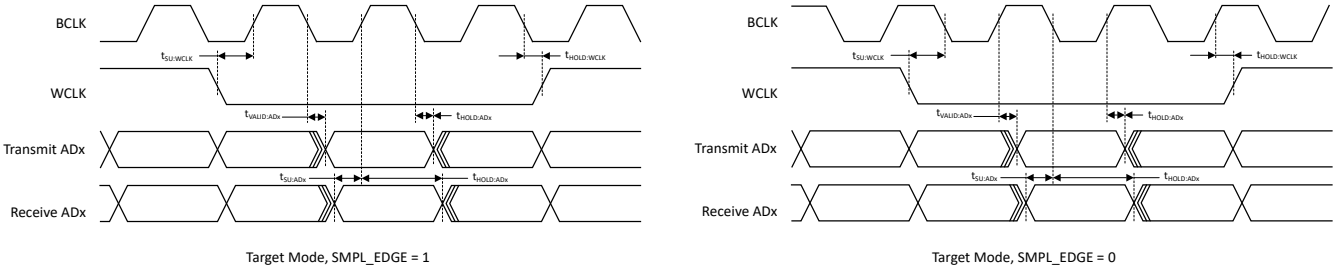


図 7-8. I2S/TDM タイミング図 - ターゲット モード

7.11 デジタル IO

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件(1)		最小値	標準値	最大値	単位
電気的特性							
V_{IH}	High レベル入力電圧	すべての I/O (リセットを除く)		0.7*VDD		VDD+0.3	V
		リセットピン		0.85*VDD		VDD+0.3	
V_{IL}	Low レベル入力電圧	すべての I/O (リセットを除く)		-0.3		0.3*VDD	
		リセットピン		-0.3		0.15*VDD	V
V_{HYS}	ヒステリシス	すべての I/O (リセットを除く)		0.1*VDD			
		リセットピン		0.3*VDD			
I_{lkg}	ハイ インピーダンスのリーク電流(2)(3)	SDIO				200(4)	nA
		HSIO				200(4)	nA
		HDIO				280(4)	nA
R_{PU}	プルアップ抵抗				40		kΩ
R_{PD}	プルダウン抵抗				40		kΩ
C_I	入力容量				5		pF
V_{OH}	High レベル出力電圧	SDIO	VDD ≥ 2.7V、I_{IO} = –6mA VDD ≥ 1.71V、I_{IO} = –2mA	VDD-0.4			V
		HSIO	VDD ≥ 2.7V、DRV = 1、I_{IO} = –6mA VDD ≥ 1.71V、DRV = 1、I_{IO} = –3mA	VDD-0.4			
			VDD ≥ 2.7V、DRV = 0、I_{IO} = –4mA VDD ≥ 1.71V、DRV = 0、I_{IO} = –2mA	VDD-0.4			
		HDIO	VDD ≥ 2.7V、DRV = 1、I_{IO} = –20mA VDD ≥ 1.71V、DRV = 1、I_{IO} = –10mA	VDD-0.4			
			VDD ≥ 2.7V、DRV = 0、I_{IO} = –6mA VDD ≥ 1.71V、DRV = 0、I_{IO} = –2mA	VDD-0.4			
V_{OL}	Low レベル出力電圧	SDIO	VDD ≥ 2.7V、I_{IO} = 6mA VDD ≥ 1.71V、I_{IO} = 2mA			0.4	
		HSIO	VDD ≥ 2.7V、DRV = 1、I_{IO} = 6mA VDD ≥ 1.71V、DRV = 1、I_{IO} = 3mA			0.4	
			VDD ≥ 2.7V、DRV = 0、I_{IO} = 4mA VDD ≥ 1.71V、DRV = 0、I_{IO} = 2mA			0.4	V
		HDIO	VDD ≥ 2.7V、DRV = 1、I_{IO} = 20mA VDD ≥ 1.71V、DRV = 1、I_{IO} = 10mA			0.4	
			VDD ≥ 2.7V、DRV = 0、I_{IO} = 6mA VDD ≥ 1.71V、DRV = 0、I_{IO} = 2mA			0.4	

Copyright © 2026 Texas Instruments Incorporated

電源電圧が推奨範囲内で、自由気流の動作温度範囲内のとき (特に記述のない限り)。

パラメータ		テスト条件(1)		最小値	標準値	最大値	単位
スイッチング特性							
f_{max}	ポート出力周波数	SDIO (1)	VDD ≧ 2.7V、C_L = 20pF			32	MHz
			VDD ≧ 1.71V、C_L = 20pF			16	
		HSIO	VDD ≥ 2.7V、DRV = 1、C_L = 20pF			40	
			VDD ≥ 2.7V、DRV = 0、C_L = 20pF			32	
			VDD ≥ 1.71V、DRV = 1、C_L = 20pF			24	
			VDD ≥ 1.71V、DRV = 0、C_L = 20pF			16	
		HDIO	VDD ≥ 2.7V、DRV = 1(5)、C_L = 20pF			20	
			VDD ≥ 2.7V、DRV = 0、C_L = 20pF			20	
			VDD ≥ 1.71V、DRV = 1(5)、C_L = 20pF			16	
			VDD ≥ 1.71V、DRV = 0、C_L = 20pF			16	
t_r、t_f	出力立ち上がり / 立ち下がり時間	SDIO	VDD ≧ 2.7V、C_L = 20pF			3.5	ns
			VDD ≧ 1.71V、C_L = 20pF			6.6	
		HSIO	VDD ≧ 2.7V、DRV = 1、C_L = 20pF			1.8	
			VDD ≧ 2.7V、DRV = 0、C_L = 20pF			5.9	
			VDD ≧ 1.71V、DRV = 1、C_L = 20pF			3.7	
			VDD ≧ 1.71V、DRV = 0、C_L = 20pF			12.6	
		HDIO	VDD ≧ 2.7V、DRV = 1、C_L = 20pF			1.7	
			VDD ≧ 2.7V、DRV = 0、C_L = 20pF			3.8	
			VDD ≧ 1.71V、DRV = 1、C_L = 20pF			3.1	
			VDD ≧ 1.71V、DRV = 0、C_L = 20pF			8.2	

(1) デバイスによって供給またはシンクされる $|I_{IO}|$ 電流の合計は、常に絶対最大定格を考慮する必要があります
(2) リーク電流は、対応するピンに VSS または VDD を印加して計測されます (特に記述のない限り)。
(3) デジタル ポート ピンのリーク電流は個別に計測されます。ポート ピンは入力として選択され、プルアップ / プルダウン抵抗は無効化されています。
(4) この値は、SDIO がアナログ入力と多重化されていない場合の値です。SDIO がアナログ入力と多重化されている場合、リーク電流はさらに大きくなる可能性があります。
(5) DRV = 1 の高駆動強度構成で HDIO を動作させる場合は、信号のスルー レートを制限するため直列抵抗が必要です

7.12 TRNG

7.12.1 TRNG の電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$TRNG_{IACT}$	TRNG アクティブ電流	TRNG クロック = 20MHz		115		µA

7.12.2 TRNG スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$TRNGCLK_F$	TRNG 入力クロック周波数		9.5	10	25	MHz
$TRNG_{STARTUP}$	TRNG 起動時間			520		µs
$TRNG_{LAT32}$	ランダムな 32 ビットを生成するためのレイテンシ	デシメーション比 = 4、TRNG クロック = 20MHz		6.4		µs

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$TRNG_{LAT256}$	ランダムな 256 ビットを生成するためのレイテンシ	デシメーション比 = 4、TRNG クロック = 20MHz		51.2		µs

7.13 エミュレーションおよびデバッグ

7.13.1 SWD のタイミング

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SWD}	SWD 周波数				10	MHz
t_{setup}	SWDIO のセットアップ時間		4			ns
t_{hold}	SWDIO のホールド時間		1			ns
t_{ovalid}	SWDIO 出力の有効時間				21	ns
t_{ohold}	SWDIO 出力のホールド時間		5			ns

Copyright © 2026 Texas Instruments Incorporated

8 詳細説明

以降のセクションでは、このデータシートのデバイスを構成するすべてのコンポーネントについて説明します。これらのデバイスに内蔵されているペリフェラルは、メモリ マップ レジスタ (MMR) を介してソフトウェアで設定されます。詳細については、『*MSPM33C3 シリーズ 160MHz マイクロコントローラ テクニカル リファレンス マニュアル*』の対応する章を参照してください。

8.1 TrustZone と FPU を搭載した Arm Cortex-M33 コア

Arm Cortex-M33 は、高性能かつローパワーの 32 ビット CPU であり、組み込みアプリケーションに効率的なセキュリティ機能を提供します。160MHz CPU サブシステム (MCPUSS) は、TrustZone テクノロジー、FPU、DSP 拡張機能を備えた Arm Cortex-M33 CPU を搭載し、4kB の命令キャッシュ、システム タイマ (SYSTICK)、メモリ保護ユニット、割り込み管理機能を備えています。MCPUSS の主な特長:

- セキュア状態と非セキュア状態をサポートする Armv8-M 拡張機能を使用した Arm TrustZone テクノロジー
- IEEE 754 単精度浮動小数点演算をサポートする浮動小数点演算ユニット (FPU)
- デジタル信号処理 (DSP) 拡張機能
- 4kB の命令キャッシュ。160MHz での 0 待機状態実行
- 構成可能なメモリ保護ユニット (MPU)。セキュアおよび非セキュア アプリケーション向けに最大 16 領域をサポート
- セキュアまたは非セキュアとして最大 8 領域の構成可能なセキュア属性ユニット (SAU)
- 24 ビットのダウン カウンタと自動リロード機能を備えたシステム タイマ (SysTick)
- 64 つのプログラマブル優先レベルを備えたネスト型ベクタ割り込みコントローラ (NVIC)
- 以前の CPU ブランチ アドレスのうち 4 つを格納できるマイクロトレース バッファ (MTB)
- 4 つのデータ ウォッチポイントと 8 つのブレークポイント コンパレータをサポートするフル デバッグ機能

8.2 パワー マネージメントおよびクロック ユニット (PMCU)

8.2.1 パワー マネージメント ユニット (PMU)

パワー マネージメント ユニット (PMU) は、本デバイスのための内部的に安定化されたコア電源を生成し、また外部電源 (VDD) の監視を行います。PMU は、PMU 自体とアナログ ペリフェラルで使用されるバンドギャップ基準電圧も内蔵しています。PMU の主な特長は次のとおりです。

- パワーオン リセット (POR) 電源モニタ
- ブラウンアウト リセット (BOR) 電源モニタ、プログラム可能な 3 つのスレッショルドを使った早期警告機能付き
- RUN、SLEEP、STOP、STANDBY 動作モードをサポートするコア レギュレータにより、性能と消費電力を動的に最適化
- パリティ保護されたトリムにより、パワー マネージメント トリムが破損した際、パワーオン リセット (POR) を直ちに生成

詳細については、『*MSPM33C3x 160MHz マイコン テクニカル リファレンス マニュアル*』の「PMU」の章を参照してください。

8.2.2 クロック モジュール (CKM)

クロック モジュールは以下に示す発振器を備えています。

- **LFOSC**:内部低周波数発振器 (32kHz)
- **SYSOSC**:内部高周波数発振器 (4MHz または 32MHz (出荷時に調整)))
- **LFXT/LFCKIN**:低周波の外部水晶発振器またはデジタル クロック入力 (32kHz)
- **HFXT/HFCKIN**:高周波の外部水晶発振器またはデジタル クロック入力 (4～48MHz)
- **SYSPLL**:1 出力 (5 ～ 160MHz) のシステム フェーズ ロック ループ

プロセッサ、バス、ペリフェラルで使用するために、クロック モジュールによって以下に示すクロックが分配されます。

- **MCLK**:MCLK ドメインの PD1 ペリフェラルのメイン システム クロック。SYSOSC または HSCLK から生成。RUN および SLEEP モードでアクティブ

Copyright © 2026 Texas Instruments Incorporated

- **MCLK/2**:MCLK/2 ドメインの PD1 ペリフェラルのメイン システム クロック。MCLK および 2 での除算から生成
- **MCLK/4**:MCLK/4 ドメインの PD1 ペリフェラルのメイン システム クロック。MCLK および 4 での除算から生成
- **CPUCLK**:プロセッサのクロック (MCLK から生成)。RUN モードでアクティブ。
- **ULPCLK**:PD0 ペリフェラル用の超低消費電力クロック。RUN、SLEEP、STOP、STANDBY モードでアクティブ。
- **MFCLK**:ペリフェラル用の 4MHz 固定中周波数クロック。RUN、SLEEP、STOP モードで使用可能。このクロックは、PD0 クロック ドメインのペリフェラルでのみ使用できます。
- **LFCLK**:ペリフェラルまたは ULPCLK 用の 32kHz 固定低周波数クロック。RUN、SLEEP、STOP、STANDBY モードでアクティブ。このクロックは、PD0 クロック ドメインのペリフェラルでのみ使用できます。
- **CLK_OUT**:クロックを外部に出力するために使用。RUN、SLEEP、STOP、STANDBY モードで使用可能。
- **HFCLK**:HFXT または HFCLK_IN から生成される高周波数クロック。RUN および SLEEP モードで使用可能。
- **HSCLK**:HFCLK または SYSPLL から生成される高速クロック。RUN および SLEEP モードで使用可能。
- **CANCLK**:CAN 機能クロック。HFCLK または SYSPLL から生成。
- **I2SCLK**:I2SCLK 機能クロック。HFCLK または SYSPLL から生成
- **LFOSCCLK**:IWDT と WWDT に使用。LFOSC から生成

詳細については、『*MSPM33 C3 シリーズ 160MHz マイコン テクニカル リファレンス マニュアル*』の「CKM」の章を参照してください。

8.2.3 動作モード

MSPM33C3x MCU には 5 つのメイン動作モード (電力モード) があり、アプリケーションの要件に基づいてデバイスの消費電力を最適化できます。消費電力を低減するためのモードは次のとおりです。RUN、SLEEP、STOP、STANDBY、SHUTDOWN。CPU は RUN モードではコードをアクティブに実行します。ペリフェラル割り込みイベントにより、デバイスを SLEEP、STOP、または STANDBY モードから RUN モードにウェークアップできます。SHUTDOWN モードでは、消費電力を最小限に抑えるために内部コア レギュレータが完全に無効になり、ウェークアップは NRST、SWD インターフェイス、特定の IO におけるロジック レベルの一致、または低周波サブシステム (LFSS) からの割り込みによってのみ可能です。

性能と消費電力のバランスをさらに高めるために、MSPM33C3x デバイスには次の 3 つの電力ドメインが実装されています。PD1、PD0、VBAT。PD1 は、CPU、メモリ、高性能ペリフェラルを搭載しています。PD1 は、RUN モードと SLEEP モードで常に電源が供給されますが、他のすべてのモードでは無効になります。PD0 には、RUN、SLEEP、STOP、STANDBY モードで常に電源を供給する低速、低消費電力のペリフェラルが内蔵されています。SHUTDOWN モードでは、PD1 と PD0 の両方がディセーブルになります。VBAT は、V_{dd} 以外の別の電源から電力供給することも、外部から V_{dd} に接続することもできます。VBAT 電源ドメインには低周波数サブシステムが含まれており、電力が供給されると常にアクティブになります。

8.2.3.1 動作モード別の機能

各動作モードでサポートされている機能を 表 8-1 に示します。

機能キー:

- **EN**:その機能は、指定されたモードでイネーブルされます。
- **DIS**:その機能は、指定されたモードでディセーブル (クロックまたは電源のどちらかが遮断) されますが、その機能の設定は保持されます。
- **OPT**:その機能は、指定されたモードでは任意であり、イネーブルに設定されている場合はイネーブルのままです。
- **NS**:その機能は、指定されたモードで自動的にはディセーブルになりませんが、サポートされていません。
- **OFF**:その機能は、指定されたモードで完全に電源がオフになり、設定情報は保持されません。OFF 状態からウェークアップするときは、アプリケーション ソフトウェアですべてのモジュール レジスタを所望の設定に再構成する必要があります。

Copyright © 2026 Texas Instruments Incorporated

表 8-1. 動作モード別のサポートされている機能

動作モード		RUN	SLEEP	ストップ	STANDBY	シャットダウン
発振器	SYSOSC	EN			DIS	OFF
	LFOSC または LFXT	EN (LFOSC または LFXT)				
	HFXT	OPT		DIS		OFF
	SYSPLL	OPT		DIS		OFF
クロック	CPUCLK	160MHz	DIS			OFF
	MCLK	160MHz		DIS		OFF
	MCLK/2	80MHz		DIS		OFF
	MCLK/4 (PD1)	40MHz		DIS		OFF
	ULPCLK	40MHz		4MHz	32kHz	OFF
	MFCLK	4MHz			DIS	OFF
	LFCLK	32kHz				OFF
	HFCLK	OPT		DIS		OFF
	CANCLK	OPT		DIS		OFF
	I2SCLK	OPT		DIS		OFF
	RTCCLK	OPT				OPT
	LFCLK モニタ	OPT				OPT
	MCLK モニタ	OPT			DIS	OFF
PMU	POR モニタ	EN				OFF
	BOR モニタ	EN				OFF
	コア レギュレータ	高駆動能力	高駆動能力	中駆動能力	低駆動能力	OFF
コア機能	CPU	EN	DIS			OFF
	フラッシュ	EN		DIS		OFF
	SRAM0	EN		DIS		OFF
	SRAM1/2/3	EN		OFF		OFF

Copyright © 2026 Texas Instruments Incorporated

表 8-1. 動作モード別のサポートされている機能 (続き)

動作モード		RUN	SLEEP	ストップ	STANDBY	シャットダウン
PD1 ペリフェラル	ADC0	OPT		DIS		OFF
	ADC1	OPT		DIS		OFF
	AES	OPT		OFF		OFF
	CAN-FD0	OPT		OFF		OFF
	CAN-FD1	OPT		OFF		OFF
	CRC	OPT		DIS		OFF
	DMA0	OPT		DIS		OFF
	DMA1	OPT		DIS		OFF
	EAM	OPT		DIS		OFF
	フラッシュ コントローラ	EN		DIS		OFF
	GSC	OPT		DIS		OFF
	I2S0	OPT		DIS		OFF
	I2S1	OPT		DIS		OFF
	キーストア	OPT		DIS		OFF
	MEMCFG	OPT		DIS		OFF
	PKA	OPT		OFF		OFF
	QSPI	OPT		OFF		OFF
	UC2 (SPI)	OPT		DIS		OFF
	UC15_0 (I2C)	OPT		DIS		OFF
	UC15_1 (I2C)	OPT		DIS		OFF
	UC12 (UART)	OPT		DIS		OFF
	UC13_0 (UART/SPI/I2C)	OPT		DIS		OFF
	UC13_1 (UART/SPI/I2C)	OPT		DIS		OFF
	UC13_2 (UART/SPI/I2C)	OPT		DIS		OFF
	UC13_3 (UART/SPI/I2C)	OPT		DIS		OFF
	UC14 (UART/I2C)	OPT		DIS		OFF
	SHA256	OPT		OFF		OFF
	TIMA0_0	OPT		OFF		OFF
	TIMA0_1	OPT		OFF		OFF
	TIMG12_0	OPT		OFF		OFF
	TIMG4_2	OPT		OFF		OFF
	TIMG4_3	OPT		OFF		OFF
	TIMG8_0	OPT		OFF		OFF
	TIMG8_1	OPT		OFF		OFF
	TRNG	OPT		OFF		OFF

Copyright © 2026 Texas Instruments Incorporated

表 8-1. 動作モード別のサポートされている機能 (続き)

動作モード		RUN	SLEEP	ストップ	STANDBY	シャットダウン
PD0 ペリフェラル	COMP0	OPT				OFF
	COMP1	OPT				OFF
	EVENTLP	OPT				OFF
	UC1_0 (UART/ I2C)	OPT				OFF
	UC1_1 (UART/ I2C)	OPT				OFF
	TIMG4_0	OPT				OFF
	TIMG4_1	OPT				OFF
	VREF	OPT				OFF
	WWDT	OPT				OFF
VBAT	RTC_A	OPT				
	IWDT	OPT				
	LFXT	OPT				
	BACKUP_REG	OPT				
	TAMPER	OPT				
IOMUX および IO ウェークアップ		EN				DIS (ウェーク付き)
ウェーク ソース		該当なし	任意の IRQ	PD0 IRQ、LFSS IRQ	PD0 IRQ、LFSS IRQ	IOMUX、NRST、SWD

8.3 デバイス メモリ マップ

8.3.1 メモリ構成

表 8-2 に、デバイスのプラットフォーム メモリ マップを示します。

表 8-2. プラットフォーム メモリ マップ

メモリ領域	IDAU 属性	MSPM33C32xA	MSPM33C32x9
フラッシュ	非セキュア	0x0000.0000～0x000F.FFFF	0x0000.0000～0x0007.FFFF
	セキュアでない呼び出し可能	0x1000.0000～0x100F.FFFF	0x1000.0000～0x1007.FFFF
SRAM	非セキュア	0x2000.0000～0x2003.FFFF	0x2000.0000～0x2003.FFFF
	セキュアでない呼び出し可能	0x3000.0000～0x3003.FFFF	0x3000.0000～0x3003.FFFF
ペリフェラル	非セキュア	0x4000.0000～0x4FFF.FFFF	0x4000.0000～0x4FFF.FFFF
	セキュアでない呼び出し可能	0x5000.0000～0x5FFF.FFFF	0x5000.0000～0x5FFF.FFFF

Copyright © 2026 Texas Instruments Incorporated

表 8-2. プラットフォーム メモリ マップ (続き)

メモリ領域	IDAU 属性	MSPM33C32xA	MSPM33C32x9
サブシステム	非セキュア領域 0	0x6000.0000～0x6FFF.FFFF	0x6000.0000～0x6FFF.FFFF
	非セキュア呼び出し可能領域 0	0x7000.0000～0x7FFF.FFFF	0x7000.0000～0x7FFF.FFFF
	データ フラッシュ非セキュア	0x8000.0000～0x8000.7FFF	0x8000.0000～0x8000.7FFF
	非セキュア領域 1	0x8008.0000～0x8FFF.FFFF	0x8000.8000～0x8FFF.FFFF
	データ フラッシュ非セキュア呼び出し可能	0x9000.0000～0x9000.7FFF	0x9000.0000～0x9000.7FFF
	非セキュア呼び出し可能領域 1	0x9000.8000～0x9FFF.FFFF	0x9000.8000～0x9FFF.FFFF
	非セキュア領域 2	0xA000.0000～0xAFFF.FFFF	0xA000.0000～0xAFFF.FFFF
	非セキュア呼び出し可能領域 2	0xB000.0000～0xBFFF.FFFF	0xB000.0000～0xBFFF.FFFF
	非セキュア領域 3	0xC000.0000～0xCFFF.FFFF	0xC000.0000～0xCFFF.FFFF
	非セキュア呼び出し可能領域 3	0xD000.0000～0xDFFF.FFFF	0xD000.0000～0xDFFF.FFFF
システム PPB		0xE000.0000～0xE00F.FFFF	0xE000.0000～0xE00F.FFFF

8.3.2 ペリフェラル メモリ マップ

表 8-3 に、セキュア領域および非セキュア領域で使用可能なペリフェラルと、各領域のレジスタ ベース アドレスの一覧を示します。

表 8-3. ペリフェラル メモリ マップ

ペリフェラル名	非セキュア ベース アドレス	セキュア ベース アドレス	サイズ
HSADC0.CONFIG	0x4000.0000	0x5000.0000	0x2000
HSADC1.CONFIG	0x4000.2000	0x5000.2000	0x2000
HSADC0.FIFO	0x4000.5000	0x5000.5000	0x1000
HSADC1.FIFO	0x4000.7000	0x5000.7000	0x1000
TIMA0_0	0x4001.0000	0x5001.0000	0x2000
TIMA0_1	0x4001.2000	0x5001.2000	0x2000
DMA0	0x4002.0000	0x5002.0000	0x2000
DMA1	0x4002.2000	0x5002.2000	0x2000
FRI	0x4002.8000	0x5002.8000	0x2000
SYSMEM.CONFIG	0x4002.B000	0x5002.B000	0x2000
EAM	0x4002.D000	0x5002.D000	0x2000
QSPI	0x4003.2000	0x5003.2000	0x2000
NVMNW	0x4004.2000	0x5004.2000	0x2000
TRNG	0x4004.4000	0x5004.4000	0x2000
GSC	0x4004.7000	0x5004.7000	0x1000
UNICOMM1_0 (UC1_0)	0x4058.2000	0x5058.2000	0x2000
UC1_0.UART	0x4050.3000	0x5050.3000	0x1000
UC1_0.I2CC	0x4052.3000	0x5052.3000	0x1000
UC1_0.I2CT	0x4054.3000	0x5054.3000	0x1000
UNICOMM1_1 (UC1_1)	0x4058.4000	0x5058.4000	0x2000
UC1_1.UART	0x4050.5000	0x5050.5000	0x1000
UC1_1.I2CC	0x4052.5000	0x5052.5000	0x1000
UC1_1.I2CT	0x4054.5000	0x5054.5000	0x1000

Copyright © 2026 Texas Instruments Incorporated

表 8-3. ペリフェラル メモリ マップ (続き)

ペリフェラル名	非セキュア ベース アドレス	セキュア ベース アドレス	サイズ
SPG0	0x405A.1000	0x505A.1000	0x1000
UNICOMM2 (UC2)	0x4068.A000	0x5068.A000	0x2000
UC2.SPI	0x4066.1000	0x5066.1000	0x1000
UNICOMM15_0 (UC15_0)	0x4068.4000	0x5068.4000	0x2000
UC15_0.I2CC	0x4062.5000	0x5062.5000	0x1000
UC15_0.I2CT	0x4064.5000	0x5064.5000	0x1000
UNICOMM15_1 (UC15_1)	0x4068.6000	0x5068.6000	0x2000
UC15_1.I2CC	0x4062.7000	0x5062.7000	0x1000
UC15_1.I2CT	0x4064.7000	0x5064.7000	0x1000
UNICOMM12 (UC12)	0x4068.8000	0x5068.8000	0x2000
UC12.UART	0x4060.9000	0x5060.9000	0x1000
UNICOMM13_0 (UC13_0)	0x4068.0000	0x5068.0000	0x2000
UC13_0.UART	0x4060.B000	0x5060.B000	0x1000
UC13_0.I2CC	0x4062.B000	0x5062.B000	0x1000
UC13_0.I2CT	0x4064.B000	0x5064.B000	0x1000
UC13_0.SPI	0x4066.B000	0x5066.B000	0x1000
SPG1	0x406A.1000	0x506A.1000	0x1000
UNICOMM13_1 (UC13_1)	0x4076.1000	0x5076.1000	0x1000
UC13_1.UART	0x4070.1000	0x5070.1000	0x1000
UC13_1.I2CC	0x4072.1000	0x5072.1000	0x1000
UC13_1.I2CT	0x4074.1000	0x5074.1000	0x1000
UC13_1.SPI	0x4076.1000	0x5076.1000	0x1000
UNICOMM13_2 (UC13_2)	0x4078.2000	0x5078.2000	0x2000
UC13_2.UART	0x4070.3000	0x5070.3000	0x1000
UC13_2.I2CC	0x4072.3000	0x5072.3000	0x1000
UC13_2.I2CT	0x4074.3000	0x5074.3000	0x1000
UC13_2.SPI	0x4076.3000	0x5076.3000	0x1000
UNICOMM13_3 (UC13_3)	0x4078.4000	0x5078.4000	0x2000
UC13_3.UART	0x4070.5000	0x5070.5000	0x1000
UC13_3.I2CC	0x4072.5000	0x5072.5000	0x1000
UC13_3.I2CT	0x4074.5000	0x5074.5000	0x1000
U13_3.SPI	0x4076.5000	0x5076.5000	0x1000
UNICOMM14 (UC14)	0x4078.6000	0x5078.6000	0x2000
UC14.UART	0x4070.7000	0x5070.7000	0x1000
UC14.I2CC	0x4072.7000	0x5072.7000	0x1000
UC14.I2CT	0x4074.7000	0x5074.7000	0x1000
SPG2	0x407A.1000	0x507A.1000	0x1000
SYSCTL	0x400A.F000	0x500A.F000	0x4000
TIMG4_0	0x400C.0000	0x500C.0000	0x2000
TIMG4_1	0x400C.2000	0x500C.2000	0x2000
DEBUGSS	0x400C.7000	0x500C.7000	0x2000
EVENT	0x400C.9000	0x500C.9000	0x3000
IOMUX	0x400C.C000	0x500C.C000	0x2000
LFSS	0x400D.8000	0x500D.8000	0x2000
COMP0	0x400E.0000	0x500E.0000	0x2000

Copyright © 2026 Texas Instruments Incorporated

表 8-3. ペリフェラル メモリ マップ (続き)

ペリフェラル名	非セキュア ベース アドレス	セキュア ベース アドレス	サイズ
COMP1	0x400E.2000	0x500E.2000	0x2000
VREF	0x400E.8000	0x500E.8000	0x2000
GPIO0	0x400F.0000	0x500F.0000	0x2000
GPIO1	0x400F.2000	0x500F.2000	0x2000
GPIO2	0x400F.4000	0x500F.4000	0x2000
CAN-FD0	0x4011.0000	0x5011.0000	0x8000
CAN-FD1	0x4011.8000	0x5011.8000	0x8000
TIMG4_2	0x4018.0000	0x5018.0000	0x2000
TIMG4_3	0x4018.2000	0x5018.2000	0x2000
TIMG8_0	0x4018.4000	0x5018.4000	0x2000
TIMG8_1	0x4018.6000	0x5018.6000	0x2000
TIMG12_0	0x4018.8000	0x5018.8000	0x2000
I2S0	0x401A.0000	0x501A.0000	0x2000
I2S1	0x401A.2000	0x501A.2000	0x2000
AES	0x401B.0000	0x501B.0000	0x2000
CRC	0x401B.2000	0x501B.2000	0x2000
SHA256	0x401B.4000	0x501B.4000	0x2000
KEYSTORE.CONTROL	0x401B.7000	0x501B.7000	0x1000
PKA	0x401C.0000	0x501C.0000	0x20000
MTB	0x4040.2000	0x5040.2000	0x1000
MTBRAM	0x4040.3000	0x5040.3000	0x0020

Copyright © 2026 Texas Instruments Incorporated

8.4 NVIC 割り込みマップ

表 8-4 に、このデバイスの各ペリフェラルの IRQ マッピングを示します。

表 8-4. 割り込みベクタ番号

ペリフェラル名	NVIC IRQ
SYSCTL	0
DEBUGSS	1
フラッシュ コントローラ	2
WWDT	3
EVENT SUB PORT0	4
EVENT SUB PORT1	5
GPIO0	6
GPIO1	7
GPIO2	8
HSADC0 SEQ0	9
HSADC0 SEQ1	10
HSADC0 SEQ2	11
HSADC0 SEQ3	12
HSADC0 DCOMP	13
HSADC1 SEQ0	14
HSADC1 SEQ1	15
HSADC1 SEQ2	16
HSADC1 SEQ3	17
HSADC1 DCOMP	18
CAN-FD0	19
TIMA0_0	20
TIMG4_0	21
TIMG4_1	22
TIMG8_0	23
TIMG12_0	24
UNICOMM1_0	25
UNICOMM1_1	26
UNICOMM2	27
UNICOMM15_0	28
UNICOMM15_1	29
UNICOMM12	30
UNICOMM13_0	31
UNICOMM14	32
CAN-FD1	33
TIMA0_1	34
TIMG4_2	35
TIMG4_3	36
TIMG8_1	37
COMP0	38
COMP1	39
TRNG	40
AES	41

Copyright © 2026 Texas Instruments Incorporated

表 8-4. 割り込みベクタ番号 (続き)

ペリフェラル名	NVIC IRQ
LFSS	42
DMA0	43
DMA1	44
I2S0	45
I2S1	46
QSPI0	47
SHA256	48
PKA	49
UNICOMM13_1	50
UNICOMM13_2	51
UNICOMM13_3	52

8.5 組込みフラッシュ メモリ

実行可能なプログラム コードとアプリケーション データを格納するため、不揮発性フラッシュ メモリ (合計最大 1MB/512kB) のデュアル バンクと、独立したデータ フラッシュ バンク (32kB) が備わっています。

フラッシュの主な特長は次のとおりです。

- ハードウェア ECC 保護 (エンコードおよびデコード)、シングル ビット誤り訂正およびダブル ビット誤り検出機能付き。
- 推奨電源電圧範囲全体にわたって、インサーキットでの書き込み / 消去動作をサポート
- デュアル バンク モードでサポートされる書き込み動作をしているときの読み取り
- 2kB の小さなセクタ サイズ (2kB の最小消去分解能)
- フラッシュ書き込み消去保護
  - 各フラッシュ バンクの最初の 32 セクタには、2kB 単位での書き込み消去保護機能があります。
  - 各フラッシュ バンクの書き込み消去保護のセクタ (16kB 単位)。
- グローバル セキュリティ コントローラ (GSC) を使用して、すべてのイニシエータに対して Trustzone セキュリティと MPU 保護を拡張

『*MSPM33C3x 160-MHz マイクロコントローラ テクニカル リファレンス マニュアル*』の「NVM」の章を参照してください。

8.6 内蔵 SRAM

このデバイスは、誤り訂正コード (ECC) によって完全に保護された 4 つのバンクで 256kB の SRAM を内蔵しています。SRAM は、コードに加えて、呼び出しスタック、ヒープ、グローバル データなどの揮発性情報を格納するために使用できます。

- ハードウェア ECC 保護 (エンコードおよびデコード)、シングル ビット誤り訂正およびダブル ビット誤り検出機能付き。
- SRAM0 (64kB) メモリは、STOP および STANDBY 動作モードの低消費電力モードで完全に保持されます。
- グローバル セキュリティ コントローラ (GSC) を使用して、すべてのイニシエータに対して Trustzone セキュリティと MPU 保護を拡張します。
  - 16kB の SRAM チャンク サイズは可変サイズなので、セキュア / 非セキュアおよび特権 / ユーザー モードのスレッドにメモリを割り当てやすくなっています。
- 電源投入時にメモリ内容を自動的に消去します。
- 異なるメモリ バンクに同時にアクセスしているイニシエータに対して、アクセスの調停処理は行われません。
- SRAM バンク 2 および 3 の間でのインターリーブ アクセス。
- 同じバンク アクセスでアクセス時間を短縮するための、読み取り / 書き込み動作用の 4 層 SRAM キャッシュ バッファ

表 8-5 に、デバイスの複数の SRAM バンクの動作条件を示します。

Copyright © 2026 Texas Instruments Incorporated

表 8-5. SRAM バンク プロパティ

	SRAM0	SRAM1/2/3
0 待機状態の周波数	90MHz	120MHz
RUN モードの状態	アクティブ	アクティブ
SLEEP モードの状態	アクティブ	アクティブ
STOP モードの状態	保持	OFF
STANBY モードの状態	保持	OFF
SHUTDOWN モードの状態	OFF	OFF

詳細については、『*MSPM33C3x 160MHz マイコン テクニカル リファレンス マニュアル*』の「SRAM」の章を参照してください。

8.7 DMA

ダイレクト メモリ アクセス (DMA) コントローラを使うと、CPU を介さずに、いずれかのメモリ アドレスから別のメモリ アドレスにデータを移動できます。たとえば、DMA を使って ADC 変換メモリから SRAM にデータを移動できます。DMA を使用すると、ペリフェラルとの間でデータをやりとりするとき、CPU をウェークアップする必要がなく、低消費電力モードのまま維持できるため、システムの消費電力を削減できます。

これらのデバイスで使用される DMA は DMA_B であり、以下の主な機能をサポートしています。

- DMA0：4 つの独立した DMA 転送チャネル
  - リセット時のセキュア リソース
  - 繰り返し転送モードをサポートする 2 つのフル機能チャネル (DMA0-DMA1)
  - 2 つの基本チャネル (DMA2-DMA3)、シングル転送モードをサポートします。
- DMA1：12 つの独立した DMA 転送チャネル
  - リセット時の非セキュア リソース
  - 繰り返し転送モードをサポートする 6 つのフル機能チャネル (DMA0-DMA5)
  - 6 つの基本チャネル (DMA6-DMA11)、シングル転送モードをサポートします。
- DMA チャネルの優先度を設定可能
- バイト (8 ビット)、ショート ワード (16 ビット)、ワード (32 ビット)、ロング ワード (64 ビット)、またはバイトとワードの混合の転送機能
- 最大 64k のブロック サイズのすべてのデータ タイプの転送をサポートする転送カウンタ
- DMA 転送トリガの選択を設定可能
- 他のチャネルにサービスを提供するためのアクティブ チャネル割り込み
- ピンポン バッファ アーキテクチャのための早期割り込み生成
- 他のチャネルでのアクティビティ完了時のチャネルのカスケード化
- データの再構成をサポートするためのストライド モード (3 相測定アプリケーションなど)

表 8-6 に、DMA メモリ マップ レジスタの DMATCTL.DMATSEL 制御ビットを使って設定された DMA で利用可能なトリガの一覧を示します。

注

DMA0 は、PD0 のペリフェラルへのアクセスが制限されており、PD0 の PMU (SYSCTL) と UC1 のみアクセスできます。

表 8-6. DMA のトリガの割り当て

TRIGGER 0:41	DMA0	DMA1
0	ソフトウェア	ソフトウェア
1	一般サブスクライバ 0 (FSUB_0)	一般サブスクライバ 0 (FSUB_0)

Copyright © 2026 Texas Instruments Incorporated

表 8-6. DMA のトリガの割り当て (続き)

TRIGGER 0:41	DMA0	DMA1
2	一般サブスクライバ 1 (FSUB_1)	一般サブスクライバ 1 (FSUB_1)
3	AES パブリッシャ 1	AES パブリッシャ 1
4	AES パブリッシャ 2	AES パブリッシャ 2
5	ADC0 SEQ0	ADC0 SEQ0
6	ADC0 SEQ1	ADC0 SEQ1
7	ADC0 SEQ2	ADC0 SEQ2
8	ADC0 SEQ3	ADC0 SEQ3
9	ADC1 SEQ0	ADC1 SEQ0
10	ADC1 SEQ1	ADC1 SEQ1
11	ADC1 SEQ2	ADC1 SEQ2
12	ADC1 SEQ3	ADC1 SEQ3
13	SHA パブリッシャ 1	SHA パブリッシャ 1
14	I2S0 パブリッシャ 1	I2S0 パブリッシャ 1
15	I2S0 パブリッシャ 2	I2S0 パブリッシャ 2
16	I2S1 パブリッシャ 1	I2S1 パブリッシャ 1
17	I2S1 パブリッシャ 2	I2S1 パブリッシャ 2
18	QSPI RX	QSPI RX
19	QSPI TX	QSPI TX
20	UC1_0.TX	予約済み
21	UC1_0.RX	予約済み
22	UC1_1.TX	予約済み
23	UC1_1.RX	予約済み
24	UC2.TX	UC2.TX
25	UC2.RX	UC2.RX
26	UC15_0.TX	UC15_0.TX
27	UC15_0.RX	UC15_0.RX
28	UC15_1.TX	UC15_1.TX
29	UC15_1.RX	UC15_1.RX
30	UC12.TX	UC12.TX
31	UC12.RX	UC12.RX
32	UC13_0.TX	UC13_0.TX
33	UC13_0.RX	UC13_0.RX
34	UC13_1.TX	UC13_1.TX
35	UC13_1.RX	UC13_1.RX
36	UC13_2.TX	UC13_2.TX
37	UC13_2.RX	UC13_2.RX
38	UC13_3.TX	UC13_3.TX
39	UC13_3.RX	UC13_3.RX
40	UC14.TX	UC14.TX
41	UC14.RX	UC14.RX

詳細については、『*MSPM33C3x 160MHz マイコン テクニカル リファレンス マニュアル*』の「DMA」の章を参照してください。

Copyright © 2026 Texas Instruments Incorporated

8.8 イベント マネージャ

イベント マネージャは、1 つのエンティティ (ペリフェラルなど) から別のエンティティ (第 2 のペリフェラル、DMA、CPU など) にデジタル イベントを転送します。イベント マネージャは、静的なルートとプログラマブルなルートの組み合わせを含むイベント ファブリックによって相互接続された一連の定義済みイベント パブリッシャ (ジェネレータ) およびサブスクライバ (レシーバ) によるイベント転送を実装しています。

イベント マネージャによって転送されるイベントには、以下が含まれます。

- 割り込み要求 (IRQ) として CPU に転送されるペリフェラル イベント (静的イベント)
  - 例:CPU に送られる RTC 割り込み
- DMA トリガとして DMA に転送されるペリフェラル イベント (DMA イベント)
  - 例:DMA 転送を要求するための、DMA への UART データ受信トリガ
- ハードウェアでの動作を直接トリガするため、別のペリフェラルに転送されるペリフェラル イベント (汎用イベント)
  - 例:TIMx タイマ ペリフェラルが ADC サブスクライバ ポートに周期的イベントを発行し、ADC がこのイベントを使ってサンプリング開始をトリガする。

『*MSPM33C3x 160-MHz マイコン テクニカル リファレンス マニュアル*』の「イベント」章を参照してください。

表 8-7. 汎用イベント チャネル

汎用ルートは、1:1 ルートと 1:2 スプリッタ ルートのどちらかです。これらのルートでは、イベントを発行しているペリフェラルは、利用可能な複数の汎用ルート チャネルの 1 つを使ってそのイベントを別の 1 つのエンティティ (スプリッタ ルートの場合は複数のエンティティ) に公開するように構成されています。ここでエンティティとは、別のペリフェラル、汎用 DMA トリガイベント、または汎用 CPU イベントです。

CHANID	汎用ルート チャネルの選択	チャネル タイプ
0	汎用イベント チャネルが選択されていない。	該当なし
1	汎用イベント チャネル 1 が選択されている。	1:1
2	汎用イベント チャネル 2 が選択されている。	1:1
3	汎用イベント チャネル 3 が選択されている。	1:1
4	汎用イベント チャネル 4 が選択されている。	1:1
5	汎用イベント チャネル 5 が選択されている。	1:1
6	汎用イベント チャネル 6 が選択されている。	1:1
7	汎用イベント チャネル 7 が選択されている。	1:1
8	汎用イベント チャネル 8 が選択されている。	1:1
9	汎用イベント チャネル 9 が選択されている。	1:1
10	汎用イベント チャネル 10 が選択されている。	1:1
11	汎用イベント チャネル 11 が選択されている。	1:1
12	汎用イベント チャネル 12 が選択されている。	1:2 (スプリッタ)
13	汎用イベント チャネル 13 が選択されている。	1:2 (スプリッタ)
14	汎用イベント チャネル 14 が選択されている。	1:2 (スプリッタ)
15	汎用イベント チャネル 15 が選択されている。	1:2 (スプリッタ)

8.9 エラー アグリゲータ モジュール (EAM)

エラー アグリゲータ モジュール (EAM) が集約するエラーは、システムメモリとセキュリティ エラーのシングル誤り訂正 (SEC) とダブル誤り検出 (DED) などが含まれますがこれらに限定されません。EAM は、エラーの優先度に基づいて NMI または CPU に割り込みを生成するために、SYSCTL に転送される対応のレジスタにエラーをラッチします。EAM モジュールは GSC 設定に基づきセキュリティ ファイアウォールによって保護されているため、アプリケーションのセキュア モードのカスタマー クリティカル コードがコンテキスト セーフ メソッドでエラーを処理できます。

EAM は、以下の機能をサポートしています。

Copyright © 2026 Texas Instruments Incorporated

- フラッシュと SRAM からの SEC と DED の ECC エラー ログ記録
- メモリとペリフェラル用のファイアウォール領域への非セキュア アクセスに関するセキュリティ エラー ログ記録
- フラッシュ内の非表示保護領域のセキュリティ エラー ログ記録
- イニシエータによる最初のエラー ログ記録とアクセス エラー タイプのログ記録

8.10 GPIO

汎用入出力 (GPIO) ペリフェラルを使用することにより、デバイス ピンとの間でデータを読み書きできます。ポート A、ポート B 、ポート C の GPIO ペリフェラルを使用することで、これらのデバイスは最大 93 本の GPIO ピンをサポートします。

GPIO モジュールの主な特長は次のとおりです。

- ソフトウェアでのリード モディファイ ライト構造を必要とせずに、複数のビットのセット、クリア、トグルが可能
- 任意の GPIO ポートによる、STOP および STANDBY モードからの低消費電力ウェークアップを可能にする「FastWake」機能
- ユーザー制御の入力フィルタリング

詳細については、『*MSPM33C3x 160MHz マイコン テクニカル リファレンス マニュアル*』の「GPIO」の章を参照してください。

8.11 IOMUX

IOMUX ペリフェラルは IO パッド構成を可能にし、デバイス ピンを出入りするデジタル データの流れを制御します。IOMUX の主な特長は次のとおりです。

- IO パッド構成レジスタにより、プログラム可能な駆動強度、速度、プルアップまたはプルダウンなどを実現
- デジタル ピン多重化により、複数のペリフェラル信号を同じ IO パッドに接続可能
- PINCM レジスタを使って、ピンの機能と能力をユーザー設定可能
- ウェークアップ機能搭載の標準ドライブ付きの GPIO ピンは、デバイスを SHUTDOWN モードからウェークアップできます

詳細については、『*MSPM33C3x 160MHz マイコン テクニカル リファレンス マニュアル*』の「IOMUX」の章を参照してください。

8.11.1 入力 / 出力の回路図

IOMUX は、デジタル IO で使用するペリフェラル機能の選択を管理します。また、出力ドライバ、入力パス、SHUTDOWN モードからのウェークアップ ロジックの制御機能も備えています。詳細については、『*MSPM33C3x 160MHz マイコン テクニカル リファレンス マニュアル*』の「IOMUX」章を参照してください。

図 8-1 に、フル機能 IO ピンのミクスト シグナル IO ピン スライスの回路図を示します。すべてのピンに対して、アナログ機能、ウェークアップ ロジック、駆動強度制御、プルアップまたはプルダウン抵抗が利用可能であるとは限りません。特定のピンでサポートされている機能の詳細については、デバイスごとのデータシートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

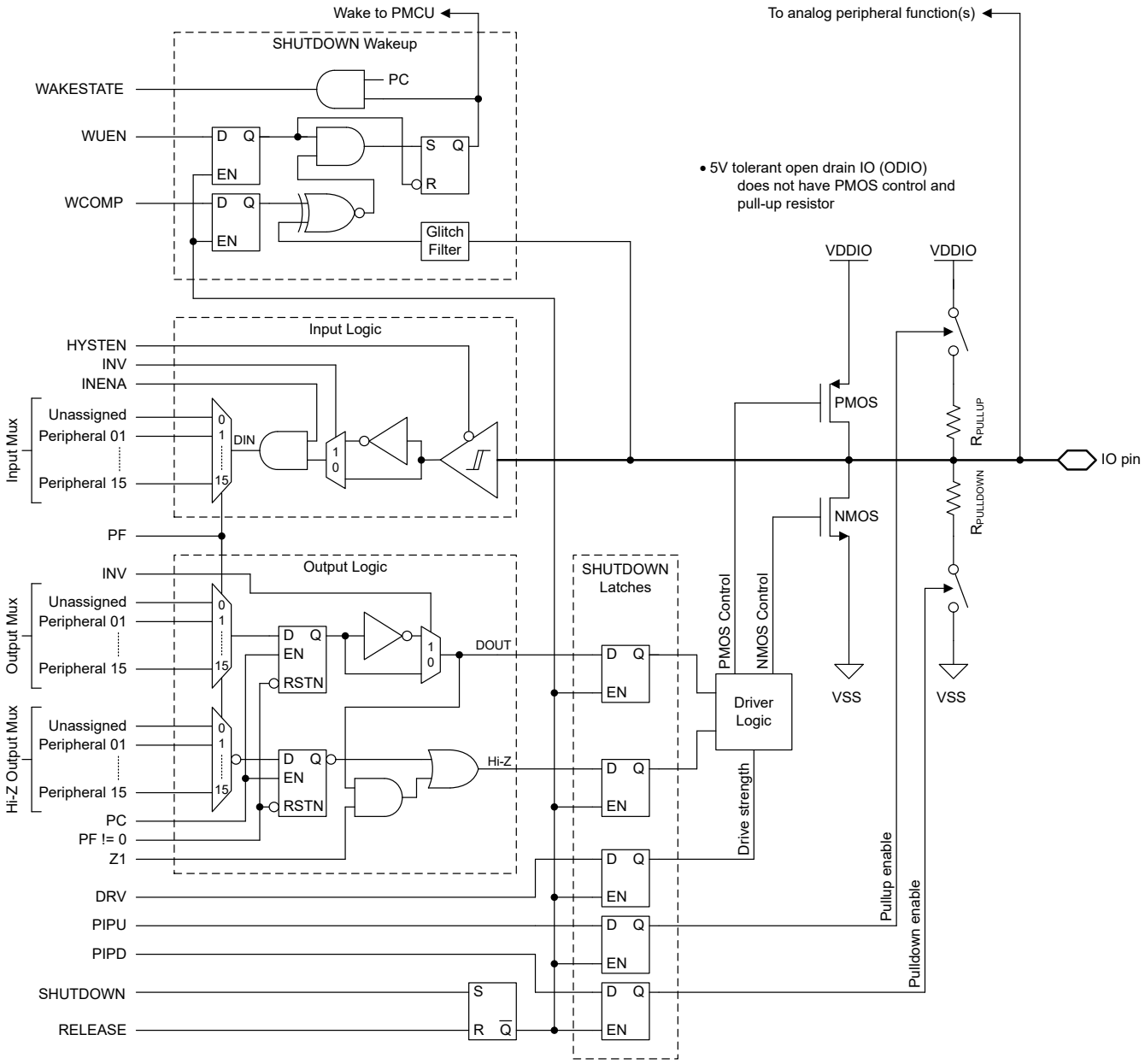


図 8-1. 入力 / 出力の回路図 (上位セット)

8.12 アナログ モジュール

8.12.1 HSADC

このデバイスの 2 つのアナログ / デジタル コンバータ (ADC) モジュール、HSADC0 および HSADC1 は、いずれもシングルエンド入力で高速な 12 ビット変換をサポートし、同時サンプリング動作を実現します。

HSADC の主な特長は次のとおりです。

- 12 ビットの出力分解能、9.4Msps、10.8 ビットを超える ENOB
- ハードウェア平均化により、587ksps で 14 ビットの実効分解能を実現
- 最大 36 の合計外部入力チャネル
- 最大 4 つの独立した、可変長シーケンサ、FIFO 結果読み出し付き

  - 変換用に最大 4 つのアナログ チャネル シーケンスを割り当てます
  - ハイ インピーダンス アナログ信号向けの最大 1472 サンプル クロックの独立したサンプル / ホールド ウィンドウ
  - ユーザーが構成可能な自動中止機能で、アクティブ変換時の高優先シーケンサを優先
- VREF- または (VREF+ - VREF-)/2 にプリセットされたサンプル容量リセット オプション
- オフセット補正、ゼロクロス検出、High/Low 比較機能を備えた、最大 4 つの後処理ブロック (PPB)
- 温度センシングおよび電源監視用の内部チャネル
- ソフトウェアで選択可能なリファレンス電圧:
  - 内部リファレンス電圧、1.4V および 2.5V に設定可能 (VREF+/- ピンにデカップリング コンデンサが必要)
  - 外部リファレンス電圧、VREF+/- ピンを経由して ADC に供給

表 8-8. ADC チャネル割り当て

CHANNEL[0:31]	信号名 (1)	
	HSADC0	HSADC1
0	ADC0_0	ADC1_0
1	ADC0_1	ADC1_1
2	ADC0_2	ADC1_2
3	ADC0_3	ADC1_3
4	ADC0_4	ADC1_4
5	ADC0_5	ADC1_5
6	ADC0_6	ADC1_6
7	ADC0_7	ADC1_7
8	ADC0_8	ADC1_8
9	ADC0_9	ADC1_9
10	ADC0_10	ADC1_10
11	*温度センサ*	ADC1_11
12	ADC0_12	ADC1_12
13	ADC0_13	ADC1_13
14	ADC0_14	ADC1_14
15	ADC0_15	-
16	ADC0_16	-
17	ADC0_17	-
18	ADC0_18	-
19	ADC0_19	-
20	ADC0_20	-
21	ADC0_21	-
22 ～ 29	-	-
30	*VBAT モニタ*	*VBAT モニタ*
31	*電源モニタ*	*電源モニタ*

(1) デバイスのアナログ接続の詳細については、セクション 8.12.5 を参照してください。

詳細については、『*MSPM33C3x 160MHz マイコン テクニカル リファレンス マニュアル*』の「ADC」の章を参照してください。

8.12.2 COMP

本デバイスのコンパレータ ペリフェラルは、2 つの入力端子の電圧レベルを比較し、この比較に基づいてデジタル信号を出力します。COMP は、以下の主な機能をサポートしています。

- プログラマブル ヒステリシス

Copyright © 2026 Texas Instruments Incorporated

- リファレンス電圧をプログラム可能:
  - 外部リファレンス電圧 (VREF IO)
  - 内部リファレンス電圧 (1.4V、2.5V)
  - 8 ビット リファレンス DAC を内蔵し、その出力は外部オペアンプに接続することもできます。
- 動作モードを設定可能:
  - 高速モード
  - 低消費電力モード
- 出力グリッチ フィルタ遅延をプログラム可能
- 6 つのブランキング ソースをサポート (COMP の章の CTL2 レジスタを参照)
- STOP モードで、最大 4 チャネルの VMON からのデバイス ウェークアップをサポート
- 先進のタイマ フォルト処理機能に接続された出力
- コンパレータ レジスタの IPSEL および IMSEL ビットを使用して、デバイス ピンまたは内部アナログ モジュールからコンパレータ チャネル入力を選択できます。

表 8-9. COMP ブランキング ソース表

CTL2.BLANKSRC の値	ブランキング ソース
1	TIMA0_0.CC2
2	TIMA0_0.CC3
3	TIMA0_1.CC2
4	TIMA0_1.CC3
5	TIMG4_0.CC1
6	TIMG4_1.CC1

表 8-10. COMP0 入力チャネル選択

IPSEL / IMSEL ビット	正端子入力	負端子入力
0x0	COMP0_IN0+	COMP0_IN0-
0x1	COMP0_IN1+	COMP0_IN1-
0x2	COMP0_IN2+	COMP0_IN2-
0x3	COMP0_IN3+	COMP0_IN3-

表 8-11. COMP1 入力チャネル選択

IPSEL / IMSEL ビット	正端子入力	負端子入力
0x0	COMP1_IN0+	COMP1_IN0-
0x1	COMP1_IN1+	COMP1_IN1-
0x2	COMP1_IN2+	COMP1_IN2-
0x3	COMP1_IN3+	COMP1_IN3-

デバイスのアナログ接続の詳細については、『*デバイスのアナログ接続*』を参照してください。

詳細については、『*MSPM33C3x 160MHz マイコン テクニカル リファレンス マニュアル*』の「COMP」の章を参照してください。

8.12.3 温度センサ

温度センサは、デバイス温度に対して直線的に変化する電圧を出力します (-2mV/°C)。温度センサの出力は、温度からデジタルへの変換を可能にするため、ADC 入力チャネルの 1 つに内部的に接続されています。

出荷時調整値を使ってデバイスの温度を計算する方法については、『*MSPM33C3x 160MHz マイコン テクニカル リファレンス マニュアル*』の「温度センサ」セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

8.12.4 VREF

これらのデバイスの共有リファレンス電圧モジュール (VREF) には、構成可能なリファレンス電圧バッファが含まれており、ユーザーはオンボードのアナログ ペリフェラルに安定したリファレンス電圧を供給できます。また、より高い精度が必要なアプリケーション向けに、外部リファレンスの取り込みもサポートしています。

VREF の主な特長は次のとおりです。

- ユーザー選択可能な 1.4V および 2.5V の内部リファレンス
- 内部リファレンスは、フルスピード ADC の動作をサポート
- VREF+/- デバイス ピンでの外部リファレンス取り込みをサポート
- 適切な動作のために、VREF+/- ピンにデカップリング コンデンサを配置する必要があります。詳細については、「VREF」仕様セクションを参照してください

詳細については、『*MSPM33C3x 160MHz マイコン テクニカル リファレンス マニュアル*』の「VREF」の章を参照してください。

Copyright © 2026 Texas Instruments Incorporated

8.12.5 デバイスのアナログ接続

図 8-2 に、本デバイスの内部アナログ接続を示します。

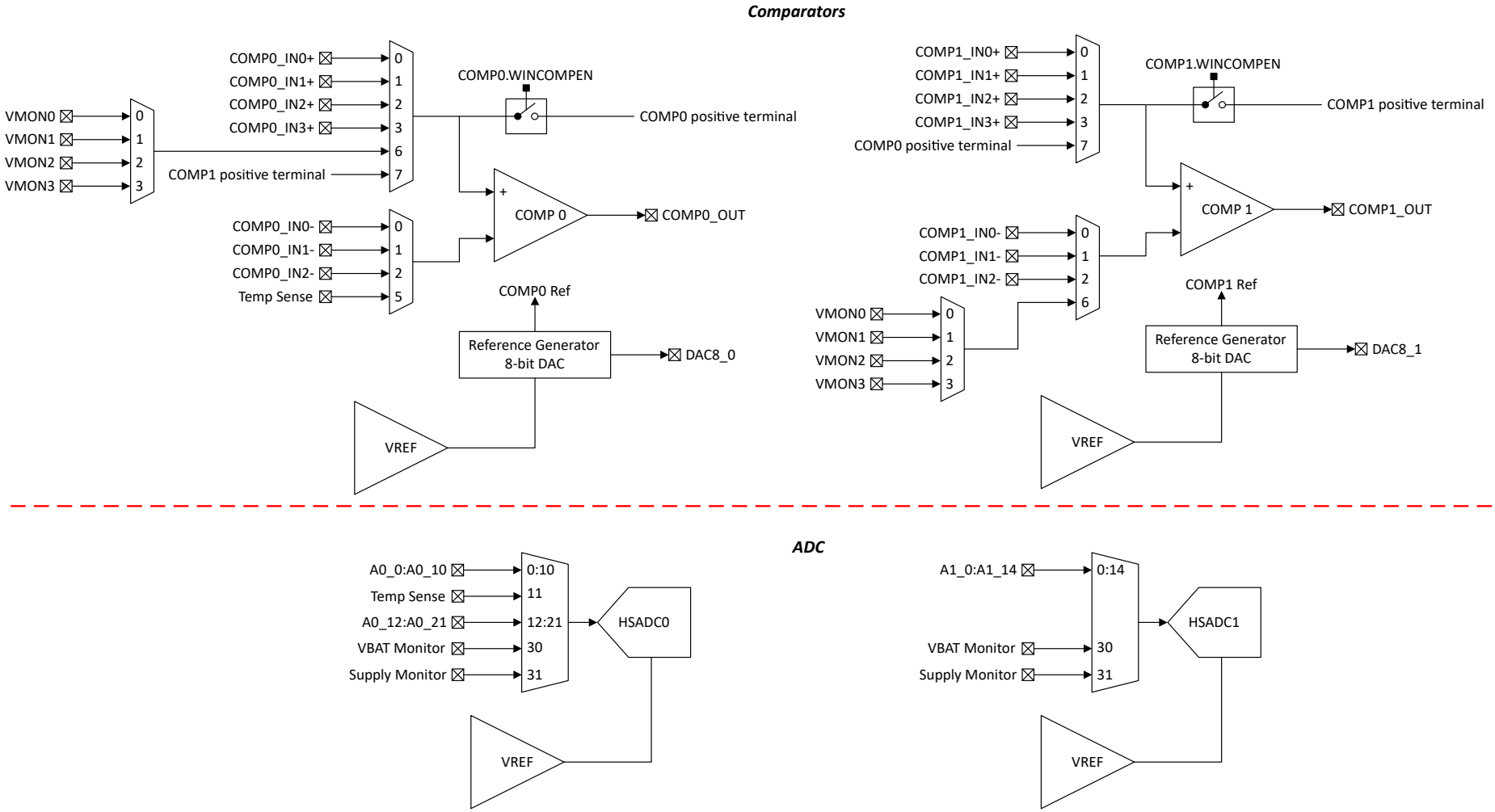


図 8-2. デバイスのアナログ接続

Copyright © 2026 Texas Instruments Incorporated

8.13 セキュリティと暗号化

デバイス セキュリティは、以下のペリフェラルで構成されています

- デバイス セキュリティ用のグローバル セキュリティ コントローラ (GSC)
- AES (Advanced Encryption Standard) アクセラレータ
- ハッシュベースのメッセージ認証コード (HMAC) 機能を搭載した Secure Hash Algorith (SHA256) アクセラレータ
- 非対称暗号化動作のための公開鍵アクセラレータ (PKA)
- 真性乱数生成器 (TRNG)
- キーストア コントローラ
- 巡回冗長性検査 (CRC)

8.13.1 グローバル セキュリティ コントローラ (GSC)

グローバル セキュリティ コントローラ (GSC) は、フル デバイスのセキュアおよび特権属性を構成します。GSC は複数のブロックで構成されており、デバイスのセキュリティとペリフェラルの特性がすべてのバス イニシエータで同じように認識されるようになります。

- フラッシュ、SRAM、およびペリフェラルのセキュアおよび特権属性を構成します
- セキュリティ エラーを検出すると、NMI がトリガされます
- ウォーターマークを使用して、開始セクタと終了セクタにフラッシュ セクタの非表示保護を構成します
- CPU のセキュリティ違反をエラー アグリゲータ モジュール (EAM) に記録し、イニシエータおよび宛先アドレスを識別します

詳細については、『*MSPM33C3x 160MHz マイコン テクニカル リファレンス マニュアル*』の「GSC」の章を参照してください。

8.13.2 AESADV

AES 高度な (AESADV) アクセラレータ モジュールは、AES (Advanced Encryption Standard) に従って 128 ビットまたは 256 ビットのキーをハードウェアに配置し、128 ビットのデータ ブロックの暗号化と復号化を実行します。AES は、FIPS PUB 197 で規定されている対称キー ブロック暗号アルゴリズムです。

AESADV アクセラレータには、次のような機能があります。

- 128 ビットと 256 ビットのキーによる AES 動作
- ハードウェア内でのキー スケジューリング
- ENC /復号化のみのモード：CBC、CFB-1、CFB-8、CFB-128、OFB-128、CTR/ICM
- 認証専用モード：CBC-MAC、CMAC
- AES-CCM および AES-GCM モードのサポート
- AES-CCM および AES-GCM モードは、ペイロード データのホールド / レジュームによる継続をサポートしています
- 32 ビット ワードのアクセスにより、キー データ、入力データ、および出力データを供給
- AESADV 準備完了割り込み
- 入出力データの DMA トリガ
- RUN モードと SLEEP モードをサポート (デバイスのテクニカル リファレンス マニュアルの「*動作モード*」セクションを参照)

詳細については、『*MSPM33C3x 160MHz マイコン テクニカル リファレンス マニュアル*』の「AESADV」の章を参照してください。

8.13.3 SHA256

SHA256 は、ハードウェア アクセラレーション対応ハッシュ関数を提供します。これらの関数はメッセージの簡潔な表現やデータファイル コール ダイジェストを生成し、メッセージの整合性を検証するために使用することができます。

- FIPS 180-3 規格に準拠した SHA-2 (SHA-224 および SHA-256) アルゴリズム
- ハッシュベースのメッセージ認証コード (HMAC) 動作

Copyright © 2026 Texas Instruments Incorporated

- 0～2^{33} バイトのデータのハッシュ SHA-224 または SHA-256 ハッシュ アルゴリズム (バイト単位の粒度)
- 64 バイト以上の HMAC キーに対するホスト支援 HMAC キー前処理
- 小さなブロックでの性能を向上させるためのプリコンピュート (内部 / 外部ダイジェスト) からの HMAC
- 効率的なデータ転送を目的とした DMA をサポート
- 自動カウントおよび計算機能は、データ転送のサイズまでの自動カウント機能で、ホスト支援なしにダイジェスト (署名) を生成します。
- ダイジェスト読み取り (署名) 用の割り込み生成

詳細については、『*MSPM33C3x 160MHz マイコン テクニカル リファレンス マニュアル*』の「SHA256」章を参照してください。

8.13.4 公開鍵暗号化アルゴリズム (PKA)

PKA アクセラレータは、521 ビットまでの楕円曲線と 3072 ビットまでの RSA キー ペアの生成に必要な数学演算をサポートしています。このモジュールにより、ユーザー アプリケーションに対して次の機能を実現できます。

- 主要な契約スキーム
  - 楕円曲線 Diffie–Hellman (ECDH)
  - 楕円曲線パスワード認証鍵交換 (ジャグリング) (ECJ-PAKE)
- 署名の生成と検証
  - 楕円曲線 Diffie-Hellman デジタル署名アルゴリズム (ECDSA)
  - 2048 および 3072 ビット キーに対する RSA PKCS#1 v1.5 および PSS デジタル署名の生成および検証
- 曲線サポート
  - 短いワイエルシュトラス形式：NIST-P224、NIST-P256、NIST-P384、NIST-P521、Brainpool-256R1、Brainpool-384R1、Brainpool-512R1、secp256r1
  - モンゴメリー形式：Curve25519

詳細については、『*MSPM33C3x 160MHz マイコン テクニカル リファレンス マニュアル*』の「PKA」の章を参照してください。

8.13.5 TRNG

TRNG (真性乱数生成器) は、内部回路を利用して 32 ビットの乱数を生成します。この TRNG は、FIPS-140-2 準拠のシステムを構築するために、決定論的乱数発生器 (DRNG) へのソースとして使用することを意図しています。TRNG の主な特長は次のとおりです。

- 32 ビットの乱数の生成
  - 新しい 32 ビットの乱数の場合、少なくとも 128 TRNG クロック サイクル (32 × 4 = 128 TRNG クロック サイクル) を推奨します
- 健全性テスト内蔵
- RUN および SLEEP モードで使用可能

詳細については、『*MSPM33C3x 160MHz マイコン テクニカル リファレンス マニュアル*』の「TRNG」の章を参照してください。

8.13.6 キーストア

キーストア コントローラは、Advanced Encryption Engine (AES) キーの安全な管理を提供します。キーストア コントローラの使用モデルは、顧客のセキュア コードの実行中にキーを安全に格納し、その後 AES エンジンがオブザーバーにキーデータを漏らさずに安全な方法でそれらにアクセスすることです。128 ビットと 256 ビットのキーは、キーストアのキー スロットに格納できます。キーストアと AES エンジンとの相互作用は、部分的なキー変更攻撃を阻止するなど、安全な操作を可能にするように設計されています。

- 最大 4 つのキーの保存をサポートします (128 ビット)
- 最大 2 つのキーの保存をサポートします (256 ビット)

Copyright © 2026 Texas Instruments Incorporated

詳細については、『*MSPM33C3x 160MHz マイコン テクニカル リファレンス マニュアル*』の「KEYSTORE」章を参照してください。

8.13.7 CRC

巡回冗長検査 (CRC) モジュールは入力データ シーケンスのシグネチャを提供します。CRC モジュールの主な特長は次のとおりです。

- CRC16-CCITT に基づく 16 ビット CRC をサポート
- CRC32-ISO3309 に基づく 32 ビット CRC をサポート
- ビット リバーサルをサポート
- カスタム多項式のサポート

詳細については、『*MSPM33C3x 160MHz マイコン テクニカル リファレンス マニュアル*』の「CRC」の章を参照してください。

8.14 シリアル通信インターフェイス

8.14.1 UNICOMM (UART/I²C/SPI)

UNICOMM は柔軟性が非常に高いペリフェラルで、実行時に UART、SPI、I²C コントローラ、または I²C ターゲット プロトコルで動作するように構成できます。ユーザーは、初期化時にシリアル インターフェイスのいずれかを選択できます。ペリフェラルは、各 UCx インスタンスで共有の 16 段 FIFO を使用し、デバイスの機能を最大化します。シリアル ペリフェラル グループ (SPG) は、1 つ以上の UNICOMM インスタンスを組み合わせて、モジュール間の内部ループバックや I2C ペアリングのような特殊機能を実現します。「*UNICOMM (UCx)* シリアル インターフェイス」に、各 UNICOMM インスタンスで使用可能なペリフェラル シリアル インターフェイスと、これらをデバイスで SPG グループ化する方法を示します。

表 8-12. UNICOMM (UCx) シリアル ペリフェラル

SPG インスタンス	UNICOMM インスタンス	UART	SPI	I²C コントローラ	I²C ターゲット	FIFO
SPG0 (PD0)	UC1_0	あり	-	あり	あり	16
	UC1_1	あり	-	あり	あり	16
SPG1 (PD1)	UC2	-	あり	-	-	4
	UC15_0	-	-	あり	あり	4
	UC15_1	-	-	あり	あり	4
	UC12	あり	-	-	-	4
	UC13_0	あり	あり	あり	あり	4
SPG2 (PD1)	UC13_1	あり	あり	あり	あり	4
	UC13_2	あり	あり	あり	あり	4
	UC13_3	あり	あり	あり	あり	4
	UC14	あり	-	あり	あり	4

8.14.1.1 UART (UNICOMM)

UART ペリフェラルの主な機能を次に示します。

- スタート、ストップ、およびパリティ用の標準非同期通信ビット
- プログラマブルなシリアル インターフェイス
  - 5、6、7、または 8 データ ビット
  - 偶数パリティ ビット、奇数パリティ ビット、スティック パリティ ビット、およびパリティなしビットの生成 / 検出
  - 1 または 2 ストップ ビットの生成

Copyright © 2026 Texas Instruments Incorporated

  - 改行の検出
  - プログラマブルなボーレート生成 (16/8/3 倍オーバーサンプリング機能付き)
  - ローカル相互接続ネットワーク (LIN) モードのサポート
- 送信および受信ループバック モード動作をサポート
- サポートされているプロトコルの詳細については、表 8-13 を参照してください

表 8-13. UART (UNICOMM) の特長

サポートされている機能	UC1.UART	UC12.UART	UC13.UART	UC14.UART
停止およびスタンバイ モードでアクティブ	あり	-	-	-
ハードウェア フロー制御をサポート	あり	あり	あり	あり
9 ビット構成をサポート	あり	あり	あり	あり
LIN モードをサポート	あり	あり	-	あり
DALI をサポート	-	あり	-	-
IrDA をサポート	-	あり	-	-
ISO7816 スマート カードをサポート	-	あり	-	-
マンチェスター符号化をサポート	-	あり	-	-

詳細については、『*MSPM33C3x 160MHz マイコン テクニカル リファレンス マニュアル*』の「UART (UNICOMM)」章を参照してください。

8.14.1.2 I2C (UNICOMM)

これらのデバイスの I²C (Inter-Integrated Circuit Interface) ペリフェラルは、バス上のその他の I2C デバイスとの双方向データ転送を行い、次の主な機能をサポートしています。

- 複数の 7 ビット ターゲット アドレスによる 7 ビットおよび 10 ビット アドレッシング モード
- マルチ コントローラ トランスミッタ / レシーバ モード
- 設定可能クロック ストレッチング付きターゲット レシーバ / トランスミッタ モード
- 標準モード (Sm) をサポート (最大 100kbit/s のビット レート)
- 高速モード (Fm) をサポート (最大 400kbit/s のビット レート)
- 高速プラス モード (Fm+) をサポート (最大 1Mbit/s のビット レート)
  - ハイドライブ IO (HDIO) にのみ対応
- 独立した送信および受信 FIFO による DMA データ転送のサポート
- PEC、ARP、タイムアウト検出、ホスト サポートにより SMBus 3.0 をサポート
- アドレス一致で低消費電力モードからウェークアップ
- 入力信号のグリッチを抑制するためのアナログおよびデジタル グリッチ フィルタをサポート
- コントローラとターゲットの機能でサポートされている機能の詳細については、表 8-14 と 表 8-15 を参照してください

表 8-14. I2C コントローラ (UNICOMM) の特長

サポートされている機能	UC1.I2C、UC14.I2C、UC15.I2C	UC13
標準モード (Sm) をサポート	あり	あり
高速モード (Fm) をサポート	あり	あり
高速モード プラス (Fm+) をサポート	あり	あり
アナログ グリッチ フィルタをサポート	あり	-
デジタル グリッチ フィルタをサポート	-	あり
バースト モードをサポート	あり	-
SMBus モードをサポート	あり	-

Copyright © 2026 Texas Instruments Incorporated

表 8-15. I2C ターゲット (UNICOMM) の特長

サポートされている機能	UC1.I2C	UC14.I2C、UC15.I2C	UC13
標準モード (Sm) をサポート	あり	あり	あり
高速モード (Fm) をサポート	あり	あり	あり
高速モード プラス (Fm+) をサポート	あり	あり	あり
アナログ グリッチ フィルタをサポート	あり	あり	-
デジタル グリッチ フィルタをサポート	-	-	あり
2 番目のターゲット アドレスとマスクをサポート	あり	あり	-
SMBus モードをサポート	あり	あり	-
低消費電力ウェイクアップをサポート	あり	-	あり

詳細については、『*MSPM33C3x 160MHz マイコン テクニカル リファレンス マニュアル*』の「I2C (UNICOMM)」の章を参照してください。

8.14.1.3 SPI (UNICOMM)

シリアル ペリフェラル インターフェイス (SPI) ペリフェラルは、以下の主な機能をサポートしています。

- コントローラ モードで最大 40Mbits/s の速度をサポート[1]
- コントローラまたはペリフェラルとして構成可能
- コントローラとペリフェラルの両方に対して、最大 4 つのチップ セレクトをサポート
- 送信および受信用に 1 つのパリティをサポートします
- プログラマブルなクロック プリスケーラおよびビット レート
- データ フレーム サイズを 4 ビット～16 ビット (コントローラ モード)、7 ビット～16 ビット (ペリフェラル モード) にプログラム可能
- テキサス・インスツルメンツ モード、Motorola モード、National Microwire 形式をサポート
- サポートされている機の詳細については、表 8-16 を参照してください

表 8-16. SPI (UNICOMM) の特長

サポートされている機能	UC2.SPI	UC13.SPI
コントローラ モードとペリフェラル モード	あり	あり
パリティ機能をサポート	あり	あり
反復モードの転送をサポート	あり	-
受信タイムアウトをサポート	あり	-
コマンド/データ制御をサポート	あり	-
4 つのチップ セレクトをサポート	あり	-

詳細については、『*MSPM33C3x 160MHz マイコン テクニカル リファレンス マニュアル*』の「SPI (UNICOMM)」章を参照してください。

8.14.2 CAN-FD

コントローラ エリア ネットワーク (CAN) コントローラは、CAN2.0A、CAN2.0B、または CAN-FD バスとの通信を可能にし、最大 5Mbit/s のビット レートをサポートする ISO 11898-1:2015 規格に準拠しています。CAN-FD ペリフェラルの主な特長は次のとおりです。

- 64 バイトの CAN-FD フレームを完全にサポート

[1] HSIO ピンの SPI 信号のみが最大 40Mbit/s のデータ レートをサポートします。HSIO ピンについては、「ピン配置図」セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

- ECC 付きの専用 1KB メッセージ SRAM
- 構成可能な送信 FIFO、送信キュー、イベント FIFO (最大 32 個の素子)
- 最大 32 個の送信専用バッファと 64 個の受信専用バッファ
- 2 つの構成可能な受信 FIFO (それぞれ最大 64 個の素子)
- 最大 128 個のフィルタ素子
- 2 つの割り込みライン
- パワーダウンとウェークアップをサポート
- タイムスタンプ カウンタ

詳細については、『*MSPM33C3x 160MHz マイコン テクニカル リファレンス マニュアル*』の「CAN-FD」の章を参照してください。

8.14.3 クワッド SPI (QSPI)

クワッド SPI (QSPI) コントローラは、4 つのデータ ラインを介して外部シリアル フラッシュ メモリと接続し、最大 20MB/s の高速データ転送を実現します。

- 最大 40MHz のシリアル クロックのデータ通信用に、シングル、バイ (デュアル)、クワッドのデータ動作をサポート
- プログラマブル インターフェイスは、モード 0 およびモード 3 の両方で QSPI 動作をサポート
- 3 バイト アドレスと 4 バイト アドレスの両方の外部 QSPI フラッシュ メモリをサポート
- 最適化された読み出し動作のための事前設定された読み出しフレーム フォーマットとダミー クロック挿入
- CPU の介在なしで連続的なデータ読み取りを実現する構成可能な自動プリフェッチ機能
- 独立した送受信 FIFO (最大 4 領域の深さ)、DMA データ転送をサポート

詳細については、『*MSPM33C3x 160MHz マイコン テクニカル リファレンス マニュアル*』の「QSPI」の章を参照してください。

8.14.4 デジタル オーディオ インターフェイス - I2S/TDM

I2S/TDM モジュールは、オーディオ データを転送するための標準化されたシリアル インターフェイスを提供します。このモジュールは、I2S 規格、LSB または MSB 揃え、PCM/DSP、TDM など、さまざまなモードに構成できます。DMA コントローラと組み合わせて使用できます。

- データ ライン上で構成可能な、独立したトランスミッタおよびレシーバ機能
- 構成可能なコントローラまたはターゲット機能
- 送受信機能付き 4 ヶ所ディープ FIFO を搭載
- クロック ジェネレータは特定のオーディオ周波数の生成がターゲット
- 8 ビットから 32 ビットまでのオーディオ ワード サイズのデータ サイズ構成
- オーディオ プロトコル: I2S、LSB、または MSB 揃え、PCM/DSP、TDM
- TDM フォーマットで最大 16 スロットを利用可能
- 0、1、または Hi-Z を送信するための空のスロット構成
- ビット クロック サンプリング エッジを構成可能
- フレーム同期のオフセットとビット長を構成可能
- トランスミッタ機能とレシーバ機能について独立の DMA 要求

表 8-17. デジタル オーディオ インターフェイス パラメータ

I2S/TDM パラメータ	I2S0	I2S1
TxFIFO 深度	4	4
RxFIFO 深度	4	4
最大 TDM スロット	16	16

詳細については、『*MSPM33C3x 160MHz マイコン テクニカル リファレンス マニュアル*』の「I2S/TDM」章を参照してください。

8.15 LFSS

低周波サブシステム (LFSS) は、複数の機能周辺機器を 1 つの共通サブシステムに統合したものです。これらのペリフェラルは、低周波数クロック (LFCLK) によってクロック供給されるか、低消費電力モードではアクティブにする必要があります。このデバイスでは、LFSS には VBAT と呼ばれる別のバッテリ バックアップ ドメインから電力が供給されます。低周波クロックは、標準周波数が 32kHz で、主に長期的な時間管理を目的としています。

このデバイスの LFSS には、次のコンポーネントが含まれています。

- 専用のバッテリ バックアップ ドメイン電源と専用ピン (VBAT)
- 追加のプリスケーラ拡張機能とタイムスタンプ キャプチャ機能を備えたリアルタイム クロック (RTC_A)
- 非同期独立型ウォッチドッグ タイマ (IWDT)
- 改ざん検出入出力 (TIO) モジュール
- タイムスタンプ付き改ざん検出
- SPM (Small Scratchpad Memory Storage)
- ハートビート ジェネレータ

詳細については、『*MSPM33C3x 160MHz マイコン テクニカル リファレンス マニュアル*』の「LFSS」の章を参照してください。

8.16 タイマ、RTC_A、およびウォッチドッグ

8.16.1 タイマ (TIMx)

これらのデバイスのタイマ ペリフェラルは、以下の主な機能をサポートしています。具体的な設定については 表 8-18 を参照してください。

汎用タイマ (TIMGx) 特有の機能には以下が含まれます。

- 16 ビット タイマおよび 32 ビット タイマ、アップ、ダウン、またはアップダウンのカウント モードと反復リロード モード付き
- 選択可能 / 構成可能なクロック ソース
- カウンタ クロック周波数を分周するための 8 ビット プログラマブル プリスケーラ
- 以下のための 2 つの独立した CC チャネル
  - 出力の比較
  - 入力のキャプチャ
  - PWM 出力
  - ワンショット モード
- シャドウ CC レジスタは、TIMG4_n (n = 0、1、2、3) および TIMG12_0 で利用可能
- シャドウ負荷レジスタは、TIMG4_n (n = 0、1、2、3) で利用可能
- 位置決めと移動量検出のための直交エンコーダ インターフェイス (QEI) のサポート、TIMG8_n (n = 0、1) で利用可能
- 同一電力ドメイン内の異なる タイマ インスタンス間の同期とクロストリガをサポート
- 割り込み / DMA トリガ生成とクロス ペリフェラル トリガ機能をサポート
- ホール センサ入力 TIMG8_n (n = 0、1) のためのクロストリガ イベント ロジック

高度制御タイマ (TIMA0_x) 特有の機能には以下が含まれます。

- 16 ビット タイマ、アップ、ダウン、またはアップダウンのカウント モードと反復リロード モード付き
- 選択可能 / 構成可能なクロック ソース
- カウンタ クロック周波数を分周するための 8 ビット プログラマブル プリスケーラ
- カウンタで所定のサイクル数が経過した後にのみ割り込みまたはイベントを生成する、リピート カウンタ
- 以下のための最大 4 つの独立した CC チャネル
  - 出力の比較
  - 入力のキャプチャ
  - PWM 出力

Copyright © 2026 Texas Instruments Incorporated

  - ワンショット モード
- キャプチャ / 比較イベント用の 内部の 5 番目と 6 番目の CC チャネル
- データ保存および CC レジスタ用のシャドウ レジスタ、TIMA0_0 および TIMA0_1 で利用可能
- 相補出力 PWM
- デッドバンド挿入をプログラム可能な非対称 PWM
- フォルト状況が発生したときに、ユーザー定義による安全な状態の出力信号を確保するためのフォルト処理メカニズム
- 同一電力ドメイン内の異なる TIMx インスタンス間の同期とクロス トリガをサポート
- 割り込みおよび DMA トリガ生成とクロス ペリフェラル (ADC など) トリガ機能をサポート
- 内部イベント用の 2 つの追加キャプチャ / 比較チャネル

表 8-18. TIMx の構成

タイマ名	パワー ドメイン	分解能	プリスケーラ	リピート カウンタ	キャプチャ / 比較チャネル	位相ロード	シャドウ ロード	シャドウ CC	デッドバンド	フォルト	QEI
TIMA0_0	PD1	16 ビット	8 ビット	8 ビット	4 + 2	あり	あり	あり	あり	あり	–
TIMA0_1	PD1	16 ビット	8 ビット	8 ビット	4 + 2	あり	あり	あり	あり	あり	–
TIMG4_0	PD0	16 ビット	8 ビット	–	2	–	あり	あり	–	–	–
TIMG4_1	PD0	16 ビット	8 ビット	–	2	–	あり	あり	–	–	–
TIMG4_2	PD1	16 ビット	8 ビット	–	2	–	あり	あり	–	–	–
TIMG4_3	PD1	16 ビット	8 ビット	–	2	–	あり	あり	–	–	–
TIMG8_0	PD1	16 ビット	8 ビット	–	2	–	–	–	–	–	あり
TIMG8_1	PD1	16 ビット	8 ビット	–	2	–	–	–	–	–	あり
TIMG12_0	PD1	32 ビット	–	–	2	–	–	あり	–	–	–

表 8-19. TIMx クロス トリガ マップ (PD1)

TSEL.ETSEL の選択	TIMA0_0、TIMA0_1	TIMG8_0、TIMG8_1	TIMG4_2、TIMG4_3	TIMG12_0
0	TIMA0_0.TRIGO	予約済み	予約済み	予約済み
1	TIMA0_1.TRIGO	予約済み	予約済み	予約済み
2	TIMG4_2.TRIGO	TIMG4_2.TRIGO	TIMG4_2.TRIGO	TIMG4_2.TRIGO
3	TIMG4_3.TRIGO	TIMG4_3.TRIGO	TIMG4_3.TRIGO	TIMG4_3.TRIGO
4	TIMG12_0.TRIGO	TIMG12_0.TRIGO	TIMG12_0.TRIGO	TIMG12_0.TRIGO
5	TIMG8_0.TRIGO	TIMG8_0.TRIGO	TIMG8_0.TRIGO	TIMG8_0.TRIGO
6	TIMG8_1.TRIGO	TIMG8_1.TRIGO	TIMG8_1.TRIGO	TIMG8_1.TRIGO
7～31	予約済み			
18-31	予約済み			

表 8-20. TIMx クロス トリガ マップ (PD0)

TSEL.ETSEL の選択	TIMG4_0	TIMG4_1
0	TIMG4_0.TRIG0	TIMG4_0.TRIG0
1	TIMG4_1.TRIG0	TIMG4_1.TRIG0
2～31	予約済み	

詳細については、『*MSPM33C3x 160MHz マイコン テクニカル リファレンス マニュアル*』の「TIMx」章を参照してください。

8.16.2 RTC_A

リアルタイム クロック の RTC_A は、32kHz の入力クロック ソース (通常は低周波数の水晶振動子) で動作し、CPU への割り込み用の複数のオプションを備えたタイム ベースをアプリケーションに提供します。RTC_A は、低周波数サブシステム (LFSS) に関連する一般的な主要な機能を提供します。

RTC_A の一般的な主な特長は次のとおりです。

- 秒、分、時、曜日、日、月、年のカウンタ

- バイナリまたは BCD フォーマット
- うるう年の取り扱い
- 分、時、曜日、日に基づいてカスタマイズ可能な 1 つのアラーム割り込み
- 1 分ごと、1 時間ごと、深夜 12 時、または正午にウェークアップするインターバル アラーム割り込み
- インターバル アラーム割り込みによる 4096、2048、1024、512、256、128Hz の周期的なウェークアップ
- インターバル アラーム割り込みによる 64、32、16、8、4、2、1、0.5Hz の周期的なウェークアップ
- 水晶振動子のオフセット誤差のキャリブレーション (最大 ±240ppm)
- 温度ドリフトの補償 (最大 ±240ppm)
- キャリブレーション用に RTC クロックをピンに出力
- 割り込み生成機能付きハートビート機能用の 3 ビット プリスケーラ
- RTC 外部クロックは、トリムされていない 32kHz、トリムされた 512Hz、256Hz、1Hz のいずれかを選択可能
- 改ざん (TIO) イベントや VDD 障害イベントを含むタイマ スタンプ イベントの検出時の RTC タイム スタンプ キャプチャ
- RTC カウンタ ロック機能

このデバイスでサポートされている RTC 機能を、表 8-21 に示します。

表 8-21. RTC インスタンスと主な機能

RTC の機能	RTC_A
パワー イネーブル レジスタ	-
秒、分、時間、曜日、日、月、年を提供するリアルタイム クロックおよびカレンダー モード	あり
2 進または 2 進化 10 進 (BCD) 形式を選択可能	あり
うるう年補正 (1901 年から 2099 年まで有効)	あり
分、時、曜日、日に基づいてカスタマイズ可能な 2 つのカレンダ アラーム割り込み	あり
1 分ごと、1 時間ごと、深夜 12 時、または正午にウェークアップするインターバル アラーム割り込み	あり
4096、2048、1024、512、256、または 128Hz でウェイクするための定期的な割り込み	あり
64、32、16、8、4、2、1、0.5Hz でウェイクするための定期的な割り込み	あり
スタンバイ モードまでの割り込み機能、STOPCLKSTBY による	あり
水晶振動子オフセット誤差と水晶振動子の温度ドリフトのキャリブレーション (合計で最大 ±240ppm)	あり
キャリブレーション用に RTC クロックをピンに出力 (GPIO)	あり
キャリブレーション用に RTC クロックをピンに出力 (TIO)	あり
割り込み生成機能付きハートビート機能用の 3 ビット プリスケーラ	あり
RTC 外部クロックは、トリムされていない 32kHz、トリムされた 512Hz、256Hz、1Hz のいずれかを選択可能	あり
以下を含むタイマ スタンプ イベント検出時の RTC タイム スタンプ キャプチャ • TIO イベント • VDD 障害イベント	あり
RTC カウンタ ロック機能	あり

詳細については、『*MSPM33C3x 160MHz マイコン テクニカル リファレンス マニュアル*』の「RTC」の章を参照してください。

8.16.3 IWDT

LFSS の独立したウォッチドッグ タイマ (IWDT) は、デバイスに依存しないスーパー バイザであり、コードの実行と、デバイスの全体的なハング アップシナリオを監視します。LFSS の性質上、この IWDT には独自のシステム独立電源とクロック ソースがあります。アプリケーション ソフトウェアがプログラムされた時間内にウォッチ ドッグを正常にリセットしなかった場合、ウォッチ ドッグはデバイスに POR リセットを生成します。

IWDT の主な特長は次のとおりです。

- クローズ ウィンドウとオープン ウィンドウを備えた 26 ビット カウンタ

Copyright © 2026 Texas Instruments Incorporated

- プログラマブル クロック デバイダを使用して LFOSC (固定 32kHz クロック パス) でカウンタを駆動します
- 選択可能な 8 つのウォッチドッグ タイマ期間

詳細については、『*MSPM33C3x 160MHz マイコン テクニカル リファレンス マニュアル*』の「IWDT」の章を参照してください。

8.16.4 WWDT

ウィンドウ付きウォッチドッグ タイマ (WWDT) は、本デバイスの動作 (特にコードの実行) を監視するために使えます。WWDT は、アプリケーション ソフトウェアが規定された時間の範囲内にウォッチドッグを正常にリセットしなかった場合に、リセットまたは割り込みを生成するために使用できます。WWDT の主な特長は次のとおりです。

- 26 ビット カウンタ
- プログラマブルなクロック分周回路
- ソフトウェアで選択可能な 8 つのウォッチドッグ タイマ期間
- ソフトウェアで選択可能な 8 つのウィンドウ サイズ
- SLEEP モードに入った際の WWDT の自動停止をサポート
- ウォッチドッグ機能を必要としないアプリケーションのためのインターバル タイマ モード

詳細については、『*MSPM33C3x 160MHz マイコン テクニカル リファレンス マニュアル*』の「WWDT」の章を参照してください。

8.17 シリアル ワイヤ デバッグ インターフェイス

本デバイス内の各種デバッグ機能を利用できるように、Arm 互換シリアル ワイヤ デバッグ ポート (SW-DP) を利用したシリアル ワイヤ デバッグ (SWD) 2 線式インターフェイスが備わっています。デバッグ機能の詳細については、『*MSPM33C3x 160-MHz マイコン テクニカル リファレンス マニュアル*』の「デバッグ」章を参照してください。

表 8-22. シリアル ワイヤ デバッグ ピンの要件と機能

デバイス信号	方向	SWD 機能
SWCLK	入力	デバッグ プローブからのシリアル ワイヤ クロック
SWDIO	入力 / 出力	双方向 (共有) シリアル ワイヤ データ

MSPM33C321x デバイスは、TDO、TDI、SWCLK、SWDIO デバイス信号によるバウンダリ スキャン機能もサポートしています。これは、IEEE Std.1149.1-1990 バウンダリ スキャン機能に準拠しています。この機能を使用するには、表 8-23 を使用して 4 線式 JTAG モードでデバイスを構成します。バウンダリ スキャン機能の詳細については、『MSPM33C3x 160-MHz マイコン テクニカル リファレンス マニュアル』のデバッグの章を参照してください。

表 8-23. バウンダリ スキャン ピンの機能

デバイス信号	バウンダリ スキャン ピン	方向	バウンダリ スキャン機能
TDO	TDO	出力	テスト データ出力
TDI	TDI	入力	テスト データ入力
SWCLK	TCK	入力	テスト クロック
SWDIO	TMS	入力	テスト モード選択

8.18 ブートストラップ ローダ (BSL)

ブートストラップ ローダ (BSL) を使用すると、デバイスの構成も、デバイス メモリのプログラミングも、UART または I2C シリアル インターフェイスを介して行うことができます。BSL によるデバイス メモリへのアクセスと構成は、256 ビットのユーザー定義の HASH パスワードで保護されており、必要に応じて、デバイス構成の中で BSL を完全に無効化できます。量産プログラミング用に BSL を使用できるように、テキサス・インスツルメンツ出荷時、BSL はデフォルトで有効化されています。

Copyright © 2026 Texas Instruments Incorporated

BSL を使用するには、以下の最低 2 本のピンが必要です。BSL_UART_RX および BSL_UART_TX 信号 (UART の場合)、または BSL_I2C_SCL および BSL_I2C_SDA 信号 (I2C の場合) または BSL_CAN_RX および BSL_CAN_TX 信号 (CAN の場合)。さらに、1 つまたは 2 つの追加ピン (BSL_INVOKE と NRST) を、外部ホストによるブートローダの制御された呼び出しのために使うこともできます。

有効化されている場合、BSL は次の方法で起動 (開始) されます。

- BSL_invoke ピンの状態が、定義された BSL_invoke のロジック レベルと一致している場合、ブート プロセス中に BSL が呼び出されます。本デバイスの高速ブート モードが有効化されている場合、この呼び出しチェックは省略されます。外部ホストは、呼び出し条件をアサートし、NRST ピンにリセット パルスを印加して BOOSTRST をトリガすることによって、本デバイスが BSL を実行するように指示できます。その後、本デバイスは再起動プロセス中に呼び出し条件を検証し、呼び出し条件が期待されるロジック レベルと一致している場合、BSL を開始します。
- 実行時にアプリケーション ソフトウェアから BSL を呼び出すためには、BSL エントリ コマンドを使用して SYSRST を発行することもできます。

表 8-24. BSL ピンの要件と機能

デバイス信号	接続	BSL 機能
BSL_UART_RX	UART に必要	UART の受信信号 (RX)、入力
BSL_UART_TX	UART に必要	UART の送信信号 (TX)、出力
BSL_I2C_SCL	I2C に必要	I2C の BSL クロック信号 (SCL)
BSL_I2C_SDA	I2C に必要	I2C の BSL データ信号 (SDA)
BSL_CAN_RX	CAN に必要	CAN の受信信号 (RX)、入力
BSL_CAN_TX	CAN に必要	CAN の受信信号 (TX)、出力
BSL_INVOKE	オプション	ブート時に BSL を開始するために使用されるアクティブ High のデジタル入力
NRST	オプション	リセットのトリガとその後の呼び出し信号 (BSL_invoke) のチェックのために使用されるアクティブ Low のリセット ピン

BSL の機能とコマンド セットの詳細な説明については、『*MSPM33C3x ブートローダ ユーザー ガイド*』を参照してください。

8.19 Device Factory Constants

All devices include a memory-mapped FACTORY region which provides read-only data describing the capabilities of a device as well as any factory-provided trim information for use by application software. Please refer to Factory Constants chapter of the *MSPM33C3x 160-MHz Microcontrollers Technical Reference Manual* for more information.

表 8-25. DEVICEID

DEVICEID address is 0x8011.1004, PARTNUM is bit 12 to 27, MANUFACTURER is bit 1 to 11.

Device	PARTNUM	MANUFACTURER
MSPM33C321A, MSPM33C3219	0xBBBC	0x17

表 8-26. USERID

USERID address is 0x8011.1008, PART is bit 0 to 15, VARIANT is bit 16 to 23

Device	PART	VARIANT
MSPM33C321ASPZR	0x43B6	0x10
MSPM33C321ASPFAR	0x43B6	0x11
MSPM33C321ASPNR	0x43B6	0x12
MSPM33C321ASPMR	0x43B6	0x13
MSPM33C321ASRGZR	0x43B6	0x14

Copyright © 2026 Texas Instruments Incorporated

表 8-26. USERID (続き)

USERID address is 0x8011.1008, PART is bit 0 to 15, VARIANT is bit 16 to 23

Device	PART	VARIANT
MSPM33C321ASZAWR	0x43B6	0x15
MSPM33C321ASYSGR	0x43B6	0x16
MSPM33C3219SPZR	0xC637	0x27
MSPM33C3219SPFAR	0xC637	0x28
MSPM33C3219SPNR	0xC637	0x29
MSPM33C3219SPMR	0xC637	0x30
MSPM33C3219SRGZR	0xC637	0x31
MSPM33C3219SYSGR	0xC637	0x32

8.20 識別

リビジョンおよびデバイス識別

ハードウェア リビジョンとデバイスの識別値は、メモリ内に割り当てられた FACTORY 領域に格納されています (「デバイス ファクトリ定数」セクションを参照)。この領域は、アプリケーション ソフトウェア用に、デバイスの機能を説明する読み出し専用データと、工場から提供された調整情報とを提供します。詳細については、『*MSPM33C3x 160-MHz マイコン テクニカル リファレンス マニュアル*』の「ファクトリ定数」章を参照してください。

デバイス リビジョンおよび識別情報は、デバイス パッケージの上面マーキングの一部としても記載されています。デバイスごとのエラッタ シートに、これらのマーキングが記載されています (セクション 10.4 を参照)。

9 アプリケーション、実装、およびレイアウト

9.1 代表的なアプリケーション

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1.1 回路図

TI では、バルク デカップリング コンデンサ (C_{VDD}) と小容量の低 ESR セラミック デカップリング コンデンサ (C_{DEC}) の組み合わせを VDD ピンと VSS ピンの間に接続し、これらのコンデンサをデカップリングする電源ピンにできる限り近づけて配置し (数 mm 以内)、ループ面積を最小限に抑えることを推奨します。C_{VDD} バルク デカップリング コンデンサの標準値は、データシートの仕様セクションに記載されていますが、PCB の設計とアプリケーションの要件に基づいて、必要に応じて調整することもできます。たとえば、より値の大きいコンデンサを使用することもできますが、電源レールの立ち上がり時間に影響を及ぼす可能性があります。

デバイスが RESET 状態から開放されてブート プロセスを開始するには、$\overline{\text{NRST}}$ リセット ピンを VDD (電源レベル) にプルアップする必要があります。ほとんどのアプリケーションでは、外部プルアップ抵抗 (Rpu_{NRST}) とプルダウン コンデンサ (C_{NRST}) を接続し、デフォルトの $\overline{\text{NRST}}$ 状態がロジック High になり (マイコンのリセットをトリガしない)、$\overline{\text{NRST}}$ ピンが別のデバイスまたはデバッグ プローブで制御できるようにすることを推奨します。

マイコンのデジタル ロジック レールに電力を供給する VCORE LDO をサポートするために VCORE ピンが必要なタンク コンデンサ (C_{VCORE}) は、デバイスのグランドとの距離を最小限に抑えてデバイスの近くに配置する必要があります。この VCORE ピンは、外部回路の汎用 LDO として使用することを意図していません。

注

推奨のハードウェア接続や外部受動部品の選択など、アプリケーション設計の詳細なガイダンスについては、『MSPM33 C シリーズ マイコン ハードウェア開発ガイドライン』を参照してください。

Copyright © 2026 Texas Instruments Incorporated

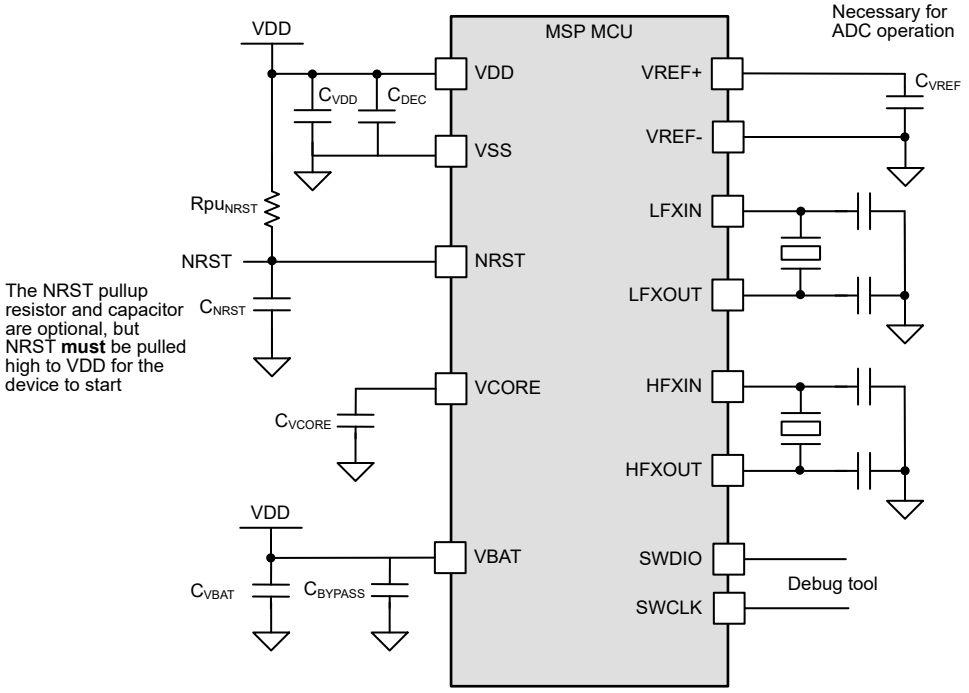


図 9-1. 基本アプリケーションの回路図

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

10.1 入門と次のステップ

MSP ローパワー マイコン、および開発に役立つツールやライブラリの詳細については、テキサス・インスツルメンツの「*Arm Cortex-M33 マイコン*」ページを参照してください。

10.2 デバイスの命名規則

製品開発サイクルの段階を示すために、TI は MSP MCU デバイスとサポート ツールのすべての型番に接頭辞を割り当てています。。MSP MCU 商用ファミリの各番号には、MSP、X のいずれかの接頭辞があります。これらの接頭辞は、エンジニアリング プロトタイプ (X) から、完全に認定済みの量産版デバイス (MSP) まで、製品開発の段階を表しています。

X – 実験的デバイスであり、最終デバイスの電気的特性を必ずしも表しません。

MSP — 完全に認定済みの量産版デバイス

X デバイスは、次の免責事項付きで出荷されます。

「開発中の製品は、社内での評価用です。」MSP デバイスの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。プロトタイプ デバイス (X) は、標準的な製品版デバイスに比べて故障率が大きいと予測されます。これらのデバイスは、予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツはそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

TI デバイスの項目表記には、デバイス ファミリ名の接尾辞も含まれます。この接尾辞は、温度範囲、パッケージ タイプ、配布形式を示しています。デバイス名の各部の読み方を、図 10-1 に示します。

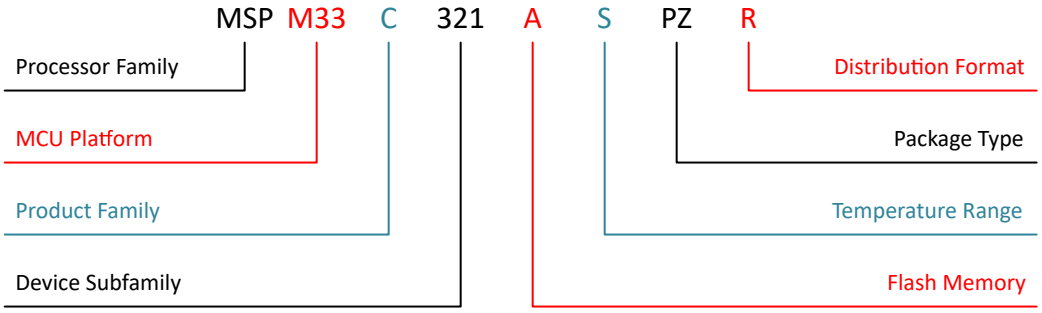


図 10-1. デバイスの命名規則

表 10-1. デバイスの命名規則

プロセッサ ファミリ	MSP = ミックスド シグナル プロセッサ X = 検証用半導体
MCU プラットフォーム	M33 = Arm ベース 32 ビット M33
製品ファミリ	C = 最大 160MHz の周波数
デバイス サブファミリ	321 = 2x CAN-FD、AES、SHA、PKA
フラッシュ メモリ	9 = 512KB A = 1024KB
温度範囲	S = -40℃～125℃
パッケージ タイプ	デバイスの比較 セクションおよび https://www.ti.com/packaging を参照してください
配布形式	R = 大型リール

Copyright © 2026 Texas Instruments Incorporated

各種パッケージ タイプの MSP デバイスの注文可能な部品番号については、このデータシートの末尾にあるパッケージ注文情報または ti.com を参照するか、テキサス・インスツルメンツの販売代理店にお問い合わせください。

10.3 ツールとソフトウェア

設計キットと評価モジュール

MSPM33 LaunchPad (LP) ボード:LP-MSPM33C321A	業界で最も優れたアナログ機能を内蔵し、コストを最適化した汎用 MSPM33 MCU ファミリの開発をただちに開始できます。すべてのデバイス ピンと機能が見えるようなります。複数の内蔵回路、すぐに使用できるソフトウェア デモ、オンボード XDS110 デバッグ プローブ (プログラミング、デバッグ、EnergyTrace 用) が含まれています。 LP エコシステムには、機能を拡張するための多数の BoosterPack スタッカブル プラグイン モジュールが含まれています。

組込みソフトウェア

MSPM33 ソフトウェア開発キット (SDK)	ソフトウェア ドライバ、ミドルウェア ライブラリ、資料、ツール、すべての MSPM33 デバイスのための使いやすく簡単なユーザー体験を実現するサンプル コードが含まれています。

ソフトウェア開発ツール

TI デベロッパー ゾーン	Web ブラウザ上で評価と開発を開始できます。インストールは不要です。クラウド ツールには、ダウンロード可能なオフライン バージョンもあります。
TI Resource Explorer	TI SDK へのオンライン ポータル。CCS IDE または TI クラウド ツールからアクセスできます。
SysConfig	デバイスとペリフェラルの構成、システム競合の解消、構成コードの生成、ピン多重化設定の自動化のための直感的な GUI。CCS IDE、TI Cloud Tools からアクセスできます。スタンドアロン バージョンもあります。(オフライン バージョン)
MSP Academy	さまざまなトピックを網羅するトレーニング モジュールを使用して MSP マイコンプラットフォームについて学習するための優れた出発点です。TIRex の一部です。
GUI Composer	コードをまったく必要としない完全統合型アナログ信号チェーンの構成と監視など、特定の MSP 機能の評価を簡素化する GUI。

IDE およびコンパイラ ツールチェーン

Code Composer Studio ™ (CCS)	Code Composer Studio は、テキサス・インスツルメンツのマイクロコントローラおよびプロセッサ向けの統合開発環境 (IDE) です。CCS は、組み込みアプリケーションの開発とデバッグに必要な一連のツールで構成されています。CCS は完全に無料で使用でき、Eclipse および Theia フレームワークで利用できます。
IAR Embedded Workbench® IDE	Arm 向け IAR Embedded Workbench は、MSPM33 デバイス向けの組込みアプリケーションの構築とデバッグに適した包括的な開発ツールチェーンを提供します。付属の IAR C/C++ コンパイラは、アプリケーション向けに高度に最適化されたコードを生成します。C-SPY デバッガは、ソース レベルおよび逆アセンブリ レベルのデバッグ用の完全統合型デバッガであり、複雑なコードおよびデータ ブレークポイントをサポートしています。
Keil® MDK IDE	Arm Keil MDK は、MSPM33 デバイス向けの組込みアプリケーションの構築とデバッグに適した、デバッガおよび C/C++コンパイラの包括的なツールチェーンです。Keil MDK には、ソース レベルおよび逆アセンブリ レベルのデバッグに適した統合型デバッガが含まれています。MDK は CMSIS に完全準拠しています。
TI Arm-Clang	TI Arm Clang は、Code Composer Studio IDE に含まれています。
GNU Arm Embedded Toolchain	MSPM33 SDK は、オープン ソースの Arm GNU ツールチェーンを使用した開発をサポートしています。Arm GCC は、Code Composer Studio IDE (CCS) でサポートされています。

Copyright © 2026 Texas Instruments Incorporated

10.4 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

以下のドキュメントでは、MSPM33 MCU について記載しています。これらのドキュメントは、インターネット上の www.ti.com から入手可能です。

テクニカル リファレンス マニュアル

『MSPM33C3x 160MHz マイコン テクニカル リファレンス マニュアル』	このマニュアルは、MSPM33C デバイス ファミリのモジュールおよびペリフェラルについて解説しています。それぞれの説明は、モジュールまたはペリフェラルを一般的な意味で示しています。すべてのデバイスについて、すべてのモジュールまたはペリフェラルのすべての特長や機能を示しているわけではありません。さらに、モジュールやペリフェラルは、異なるデバイスに対して、全く同じように実装されているとは限りません。ピンの機能、内部信号の接続、および動作パラメータはデバイスによって異なります。詳細については、デバイス固有のデータシートを参照してください。

10.5 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.6 商標

Code Composer Studio™, TI E2E™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
TrustZone®, Arm®, and Cortex® are registered trademarks of Arm Limited.
すべての商標は、それぞれの所有者に帰属します。

10.7 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.8 用語集

テキサス・インスツルメンツ用語集	この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from December 1, 2025 to September 30, 2026 (from Revision * (December 2025) to Revision A (September 2026)) **Page**

- スリープおよびストップの低消費電力モードを追加、RUN および STANDBY モードの値を更新 1
- TRNG と ADC の説明を更新 1
- YSG パッケージの詳細を追加 1
- ブロック図を、正しいペリフェラル名とバスの説明で更新 4
- ピン フォーマットと UNICOMM ピン タイプを修正。ADC 信号名を変更。 7

Copyright © 2026 Texas Instruments Incorporated

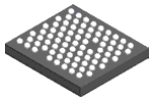
- 最終的な特性と量産リリースのために電気的仕様を更新.....43
- オペレーティング モードは、各種サブシステムの「オペレーティング モードでサポートされている機能」の表で更新済み.....65
- セキュア / 非セキュア メモリ マップを明確化、NVIC 割り込みマップを更新.....65
- DMA トリガ マッピング表の ADC 信号名でユニコム インスタンス名を更新.....65
- GSC セクションを更新して、DICE および PKA セクションを削除し、RSA サポートの詳細を追加.....65
- TIMx 構成表の電源ドメインを更新、IWDT および WWDT タイマ幅を 26 ビットに更新.....65
- 「基本的なアプリケーションの回路図」と説明を更新し、回路図を明確化.....96

Copyright © 2026 Texas Instruments Incorporated

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

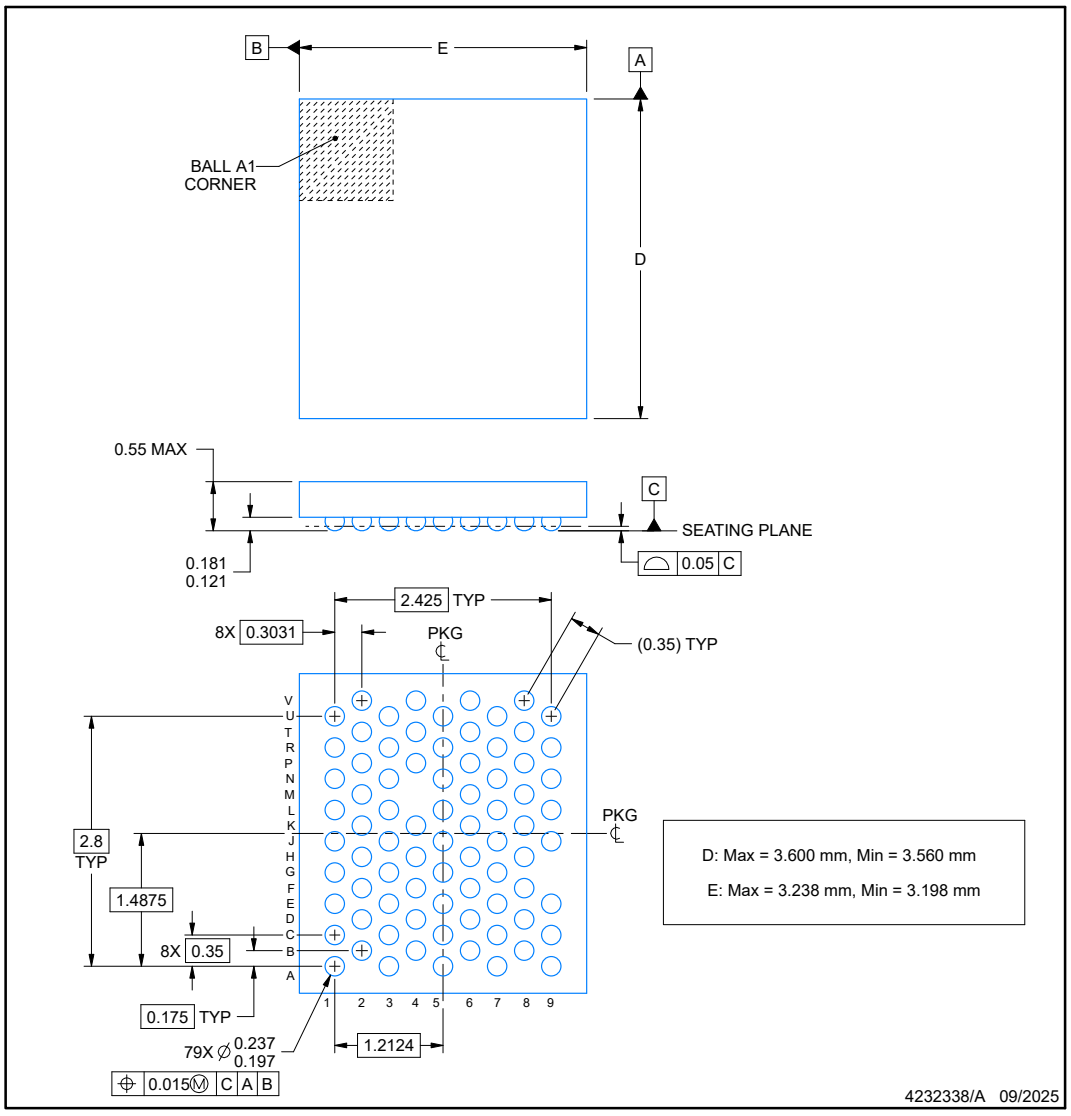


PACKAGE OUTLINE

YSG0079-C01

DSBGA - 0.55 mm max height

DIE SIZE BALL GRID ARRAY



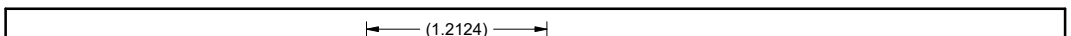
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

Copyright © 2026 Texas Instruments Incorporated

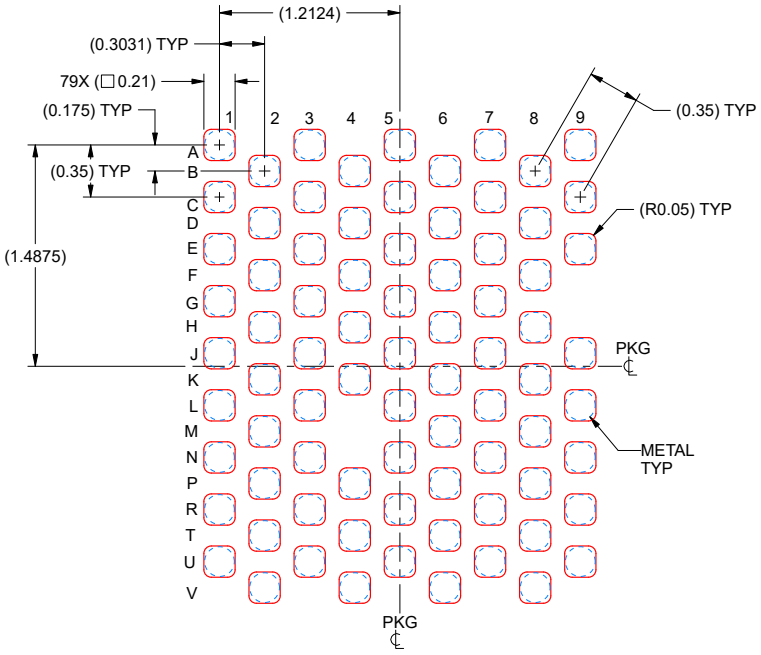
DIE SIZE BALL GRID ARRAY



EXAMPLE STENCIL DESIGN

YSG0079-C01 **DSBGA - 0.55 mm max height**

DIE SIZE BALL GRID ARRAY



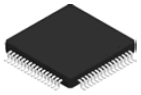
SOLDER PASTE EXAMPLE
BASED ON 0.075 mm THICK STENCIL
SCALE: 25X

4232338/A 09/2025

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

Copyright © 2026 Texas Instruments Incorporated

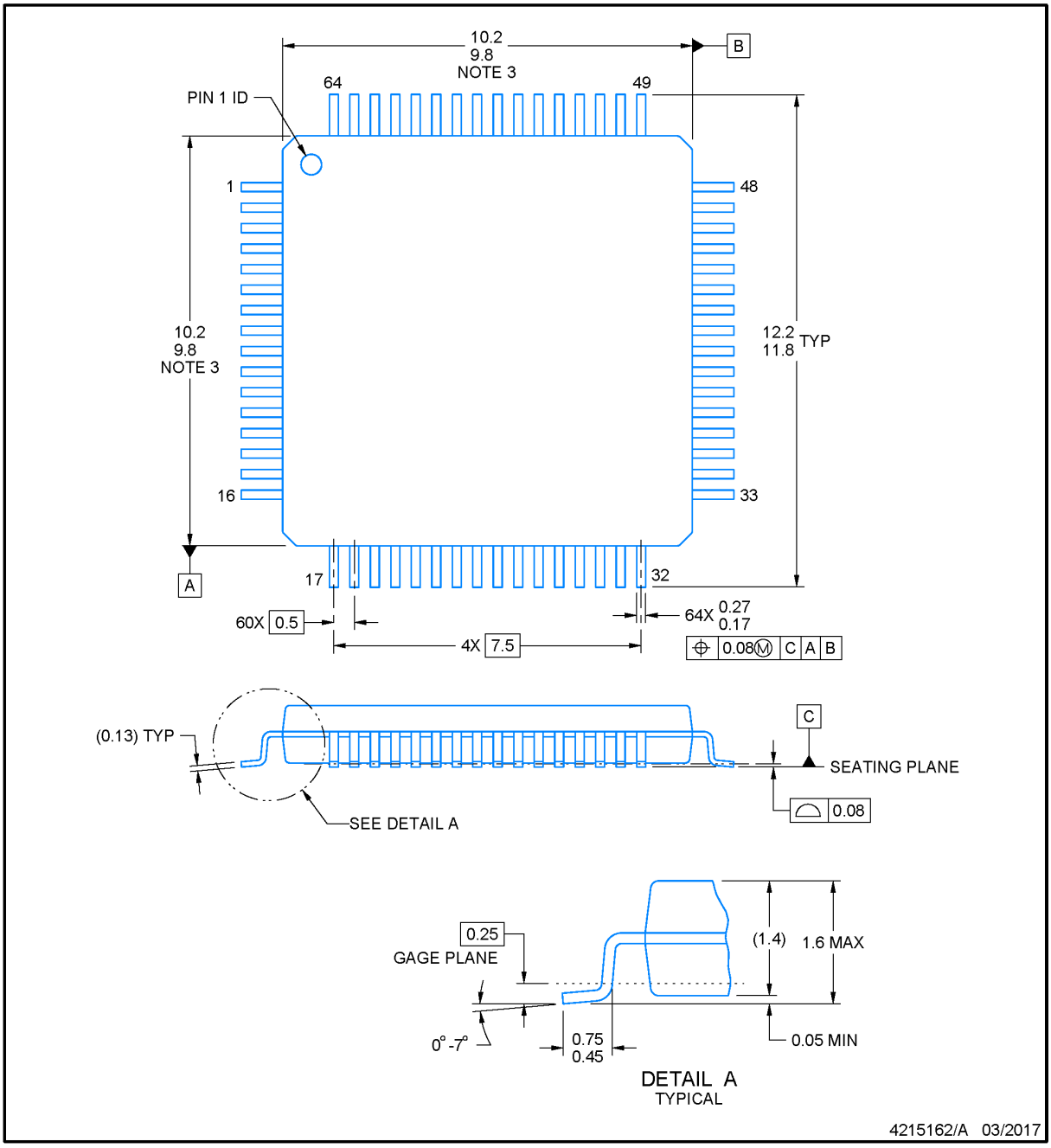


PACKAGE OUTLINE

PM0064A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.

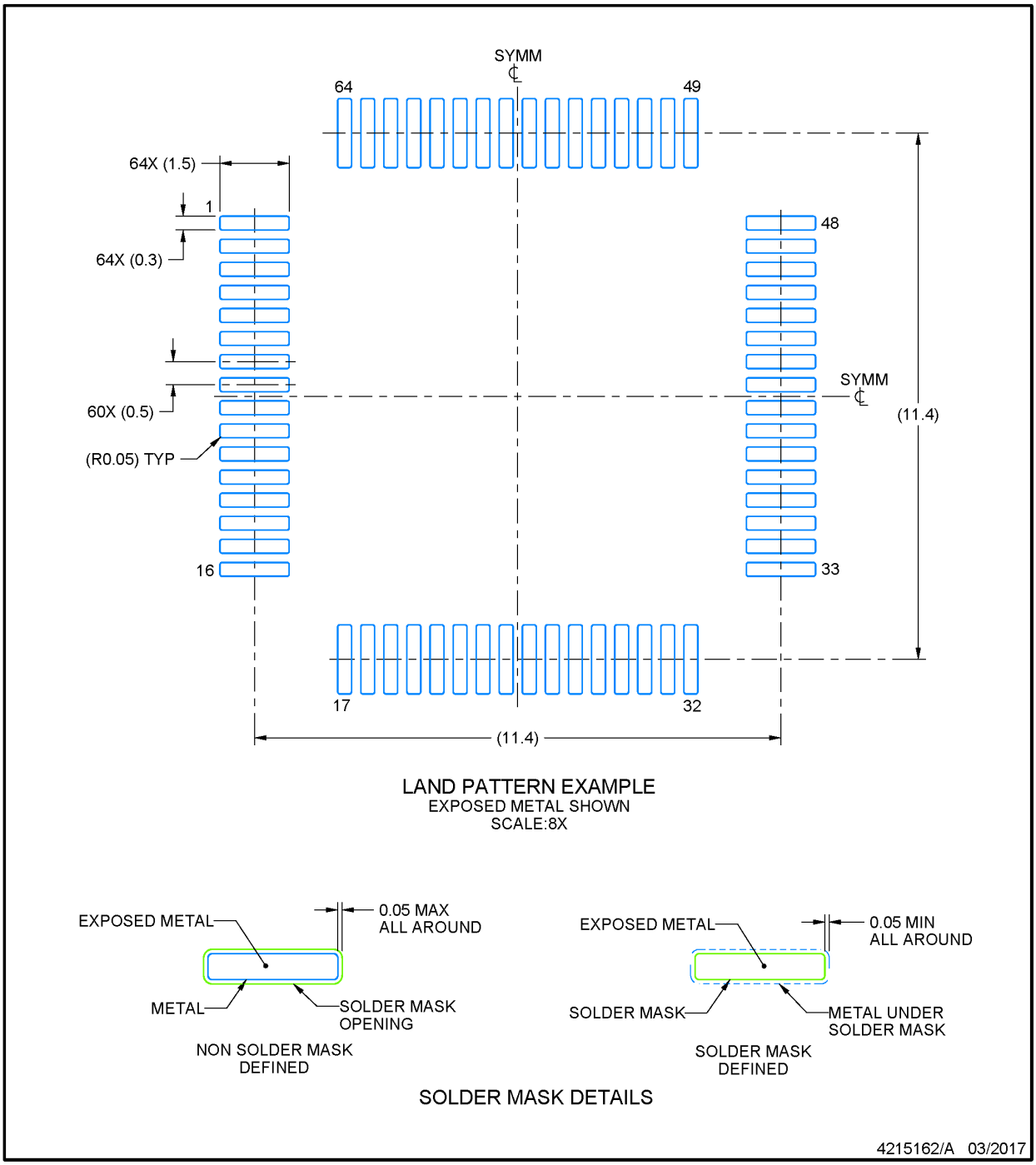
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

PM0064A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).

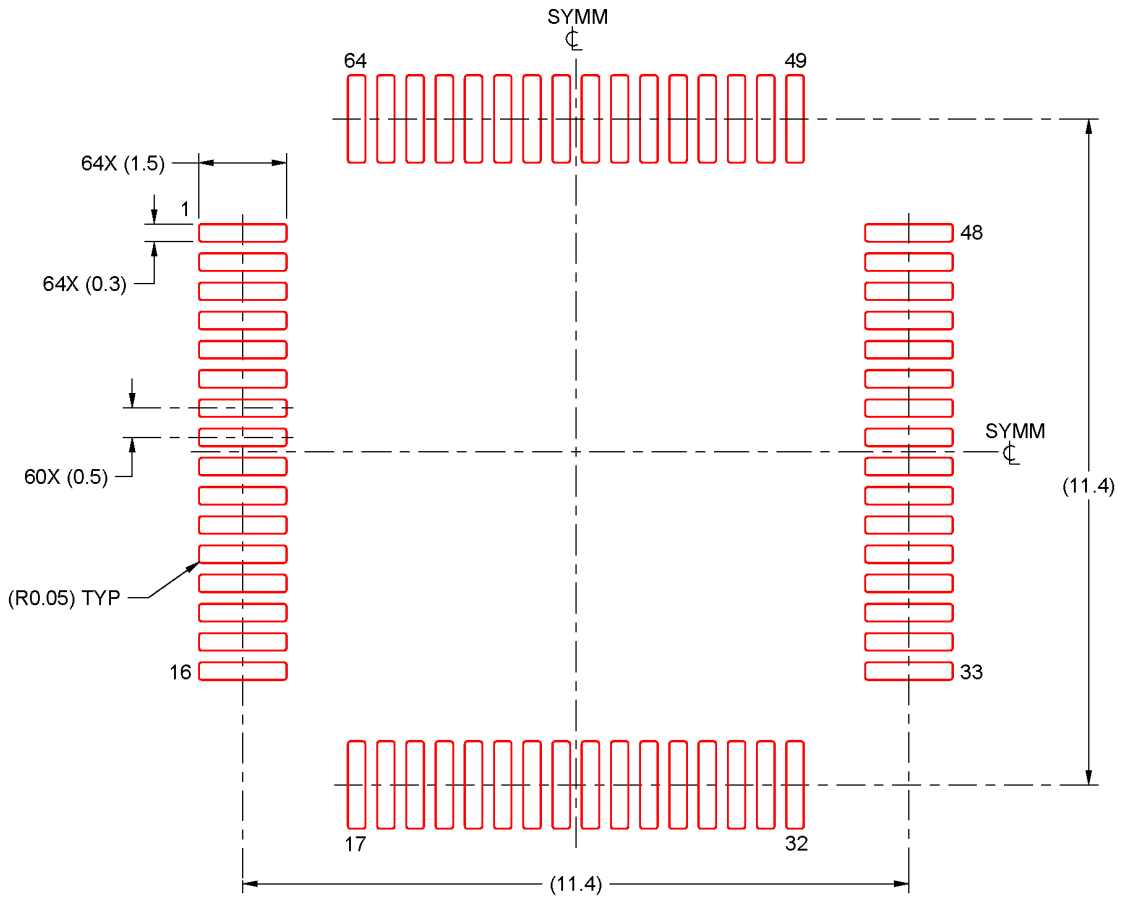
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

PM0064A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4215162/A 03/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

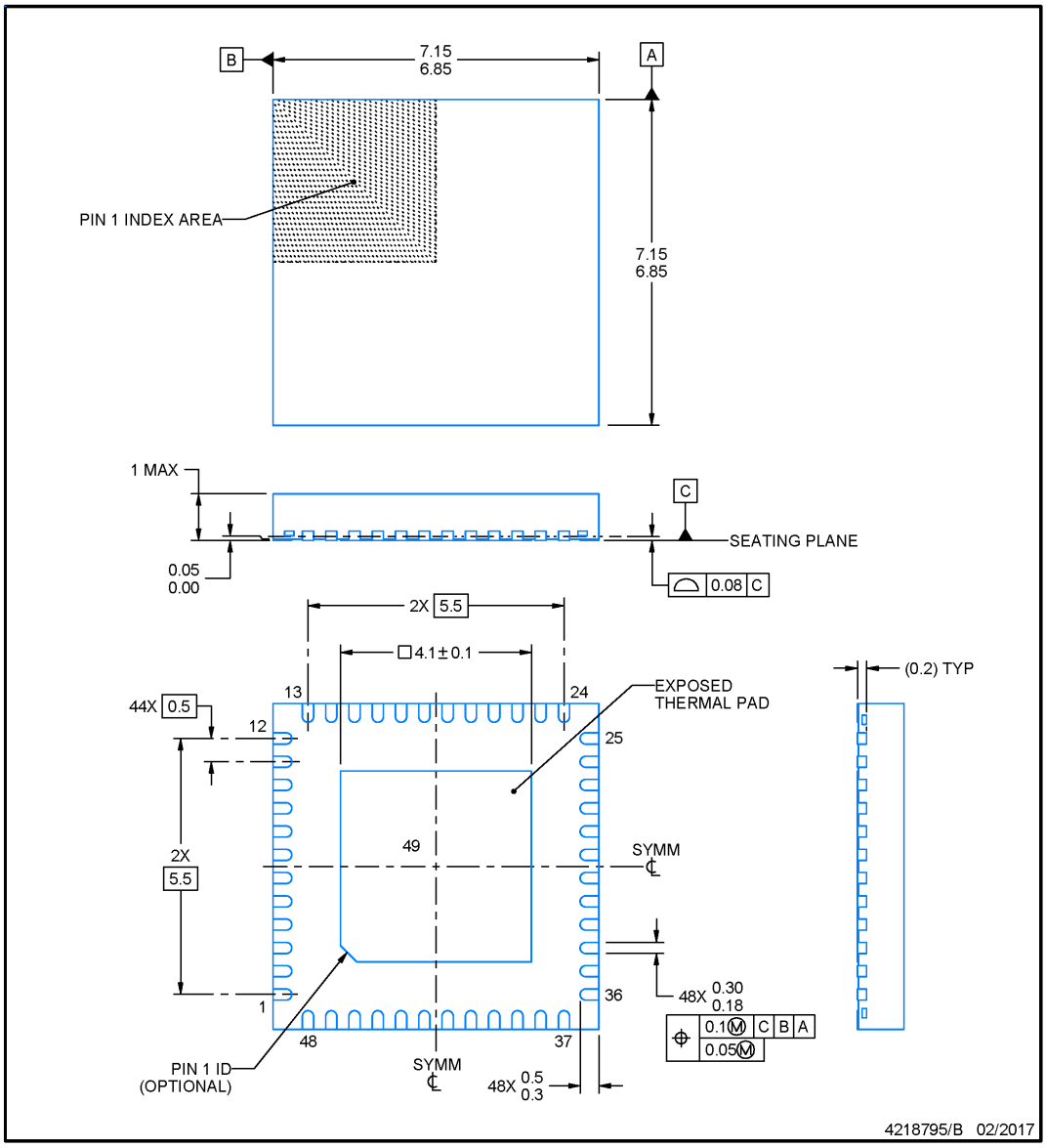


PACKAGE OUTLINE

RGZ0048B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

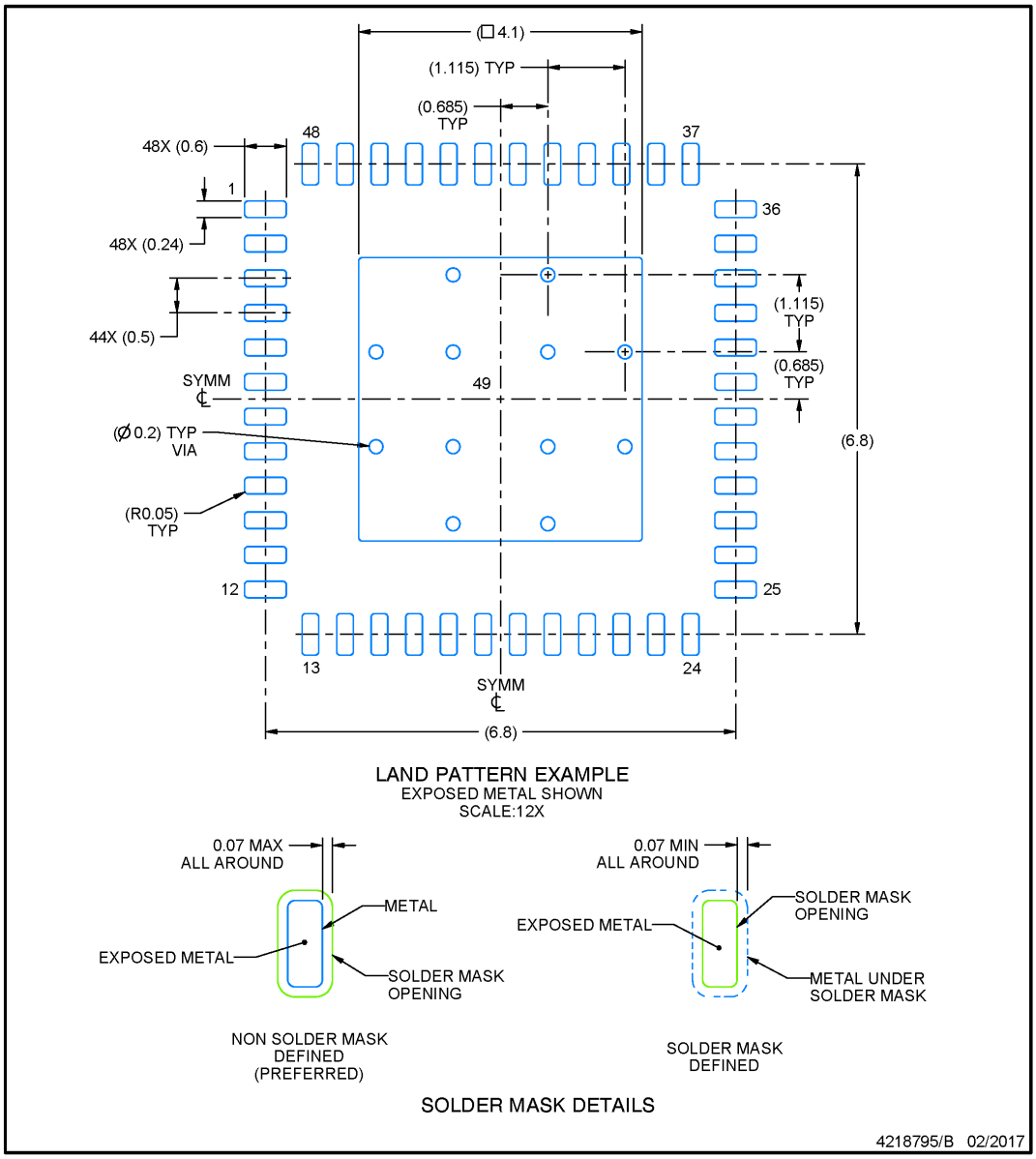
www.ti.com

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

RGZ0048B — **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

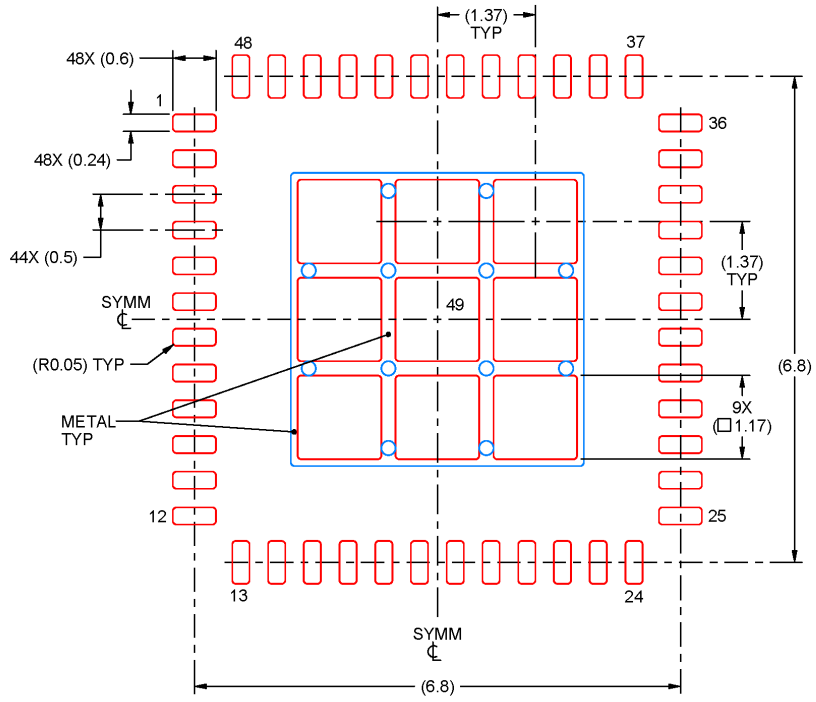
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RGZ0048B — **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 49
73% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:12X

4218795/B 02/2017

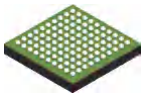
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2026 Texas Instruments Incorporated

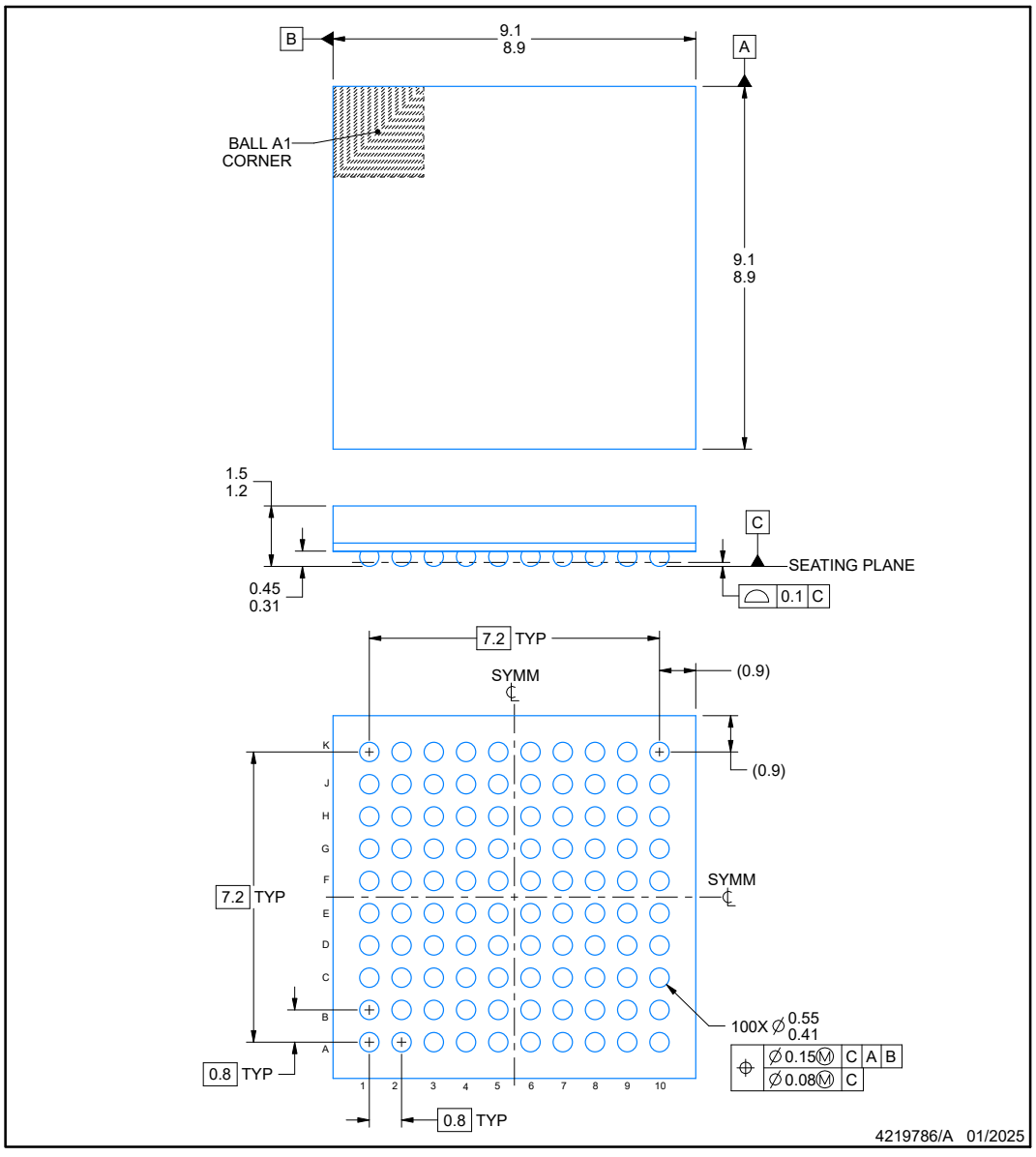
PACKAGE OUTLINE

ZAW0100A



NFBGA - 1.5 mm max height

PLASTIC BALL GRID ARRAY



NOTES:

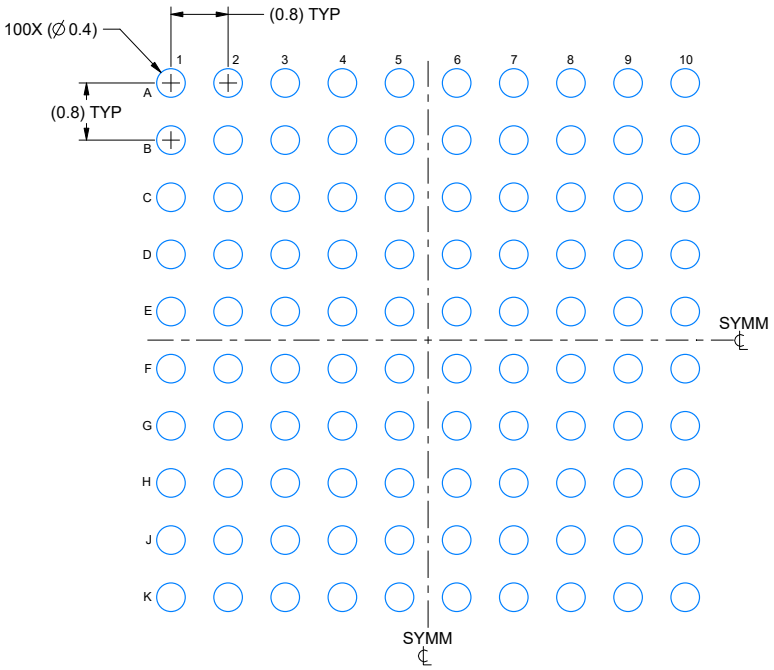
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

Copyright © 2026 Texas Instruments Incorporated

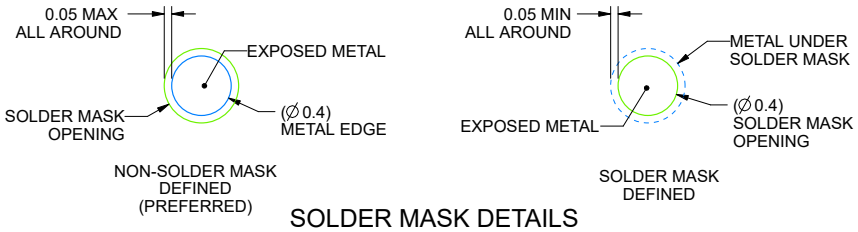
EXAMPLE BOARD LAYOUT

ZAW0100A — **NFBGA - 1.5 mm max height**

PLASTIC BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 12X



SOLDER MASK DETAILS
NOT TO SCALE

4219786/A 01/2025

NOTES: (continued)

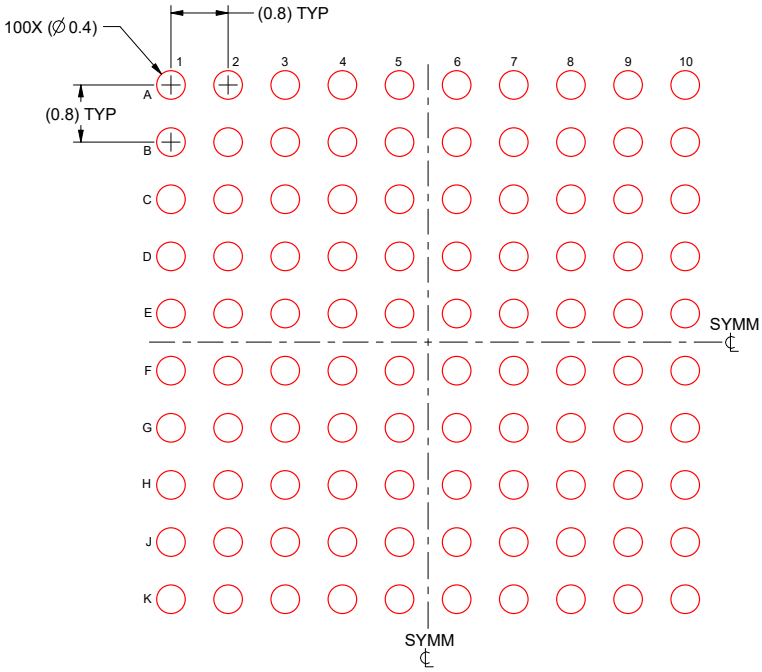
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

ZAW0100A — **NFBGA - 1.5 mm max height**

PLASTIC BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 12X

4219786/A 01/2025

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

Copyright © 2026 Texas Instruments Incorporated

付録：パッケージ·オプション

パッケージ情報

注文可能な型番	ステータス	資料のタイプ	パッケージ	ピン数	パッケージ数量	キャリア	RoHS	リード端子の仕上げ / ボールの原材料	MSL 定格/ピーク リフロー	動作温度 (℃)	部品マーキング
MSPM33C321ASPZR	アクティブ	量産出荷中	LQFP (PZ)	100	1000	大口径のテープ リール	あり	NiPdAu	Level-3-260C-168 HR	-40～125	M33C321AS
MSPM33C321ASZAWR	アクティブ	量産出荷中	NFBGA (ZAW)	100	1000	大口径のテープ リール	あり	SNAGCU	Level-3-260C-168 HR	-40～125	M33C321AS

重要なお知らせと免責事項:このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよび テキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じた TI の責任は、このドキュメント発行時点での TI 製品の価格に基づく TI からお客様への合計購入価格 (年次ベース) を超えることはありません。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
MSPM33C321ASPMR	Active	Production	LQFP (PM) | 64	1000 | LARGE T&R	-	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	M33C321AS
MSPM33C321ASPNR	Active	Production	LQFP (PN) | 80	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	M33C321AS
MSPM33C321ASPZR	Active	Production	LQFP (PZ) | 100	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	M33C321AS
MSPM33C321ASZAWR	Active	Production	NFBGA (ZAW) | 100	1000 | LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	M33C321AS
XM33C321ASPZR	Active	Preproduction	LQFP (PZ) | 100	1000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF MSPM33C321A :

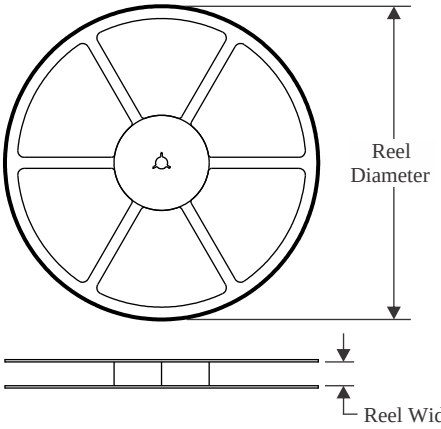
- Automotive : MSPM33C321A-Q1

NOTE: Qualified Version Definitions:

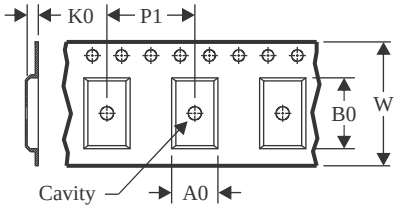
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

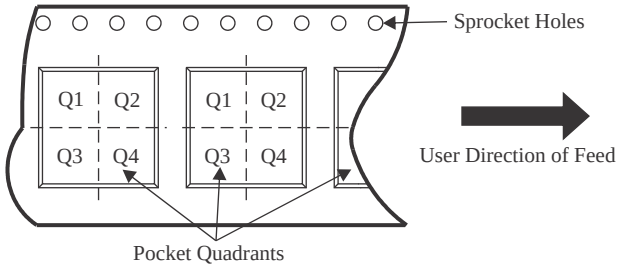


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

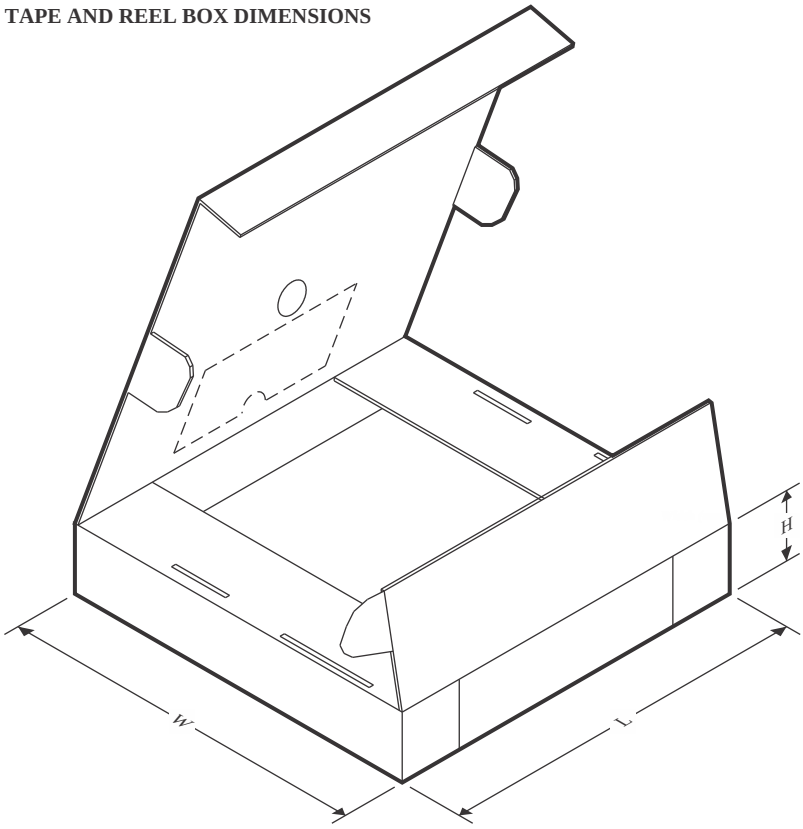
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
MSPM33C321ASPZR	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.1	24.0	32.0	Q2
MSPM33C321ASZAWR	NFBGA	ZAW	100	1000	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

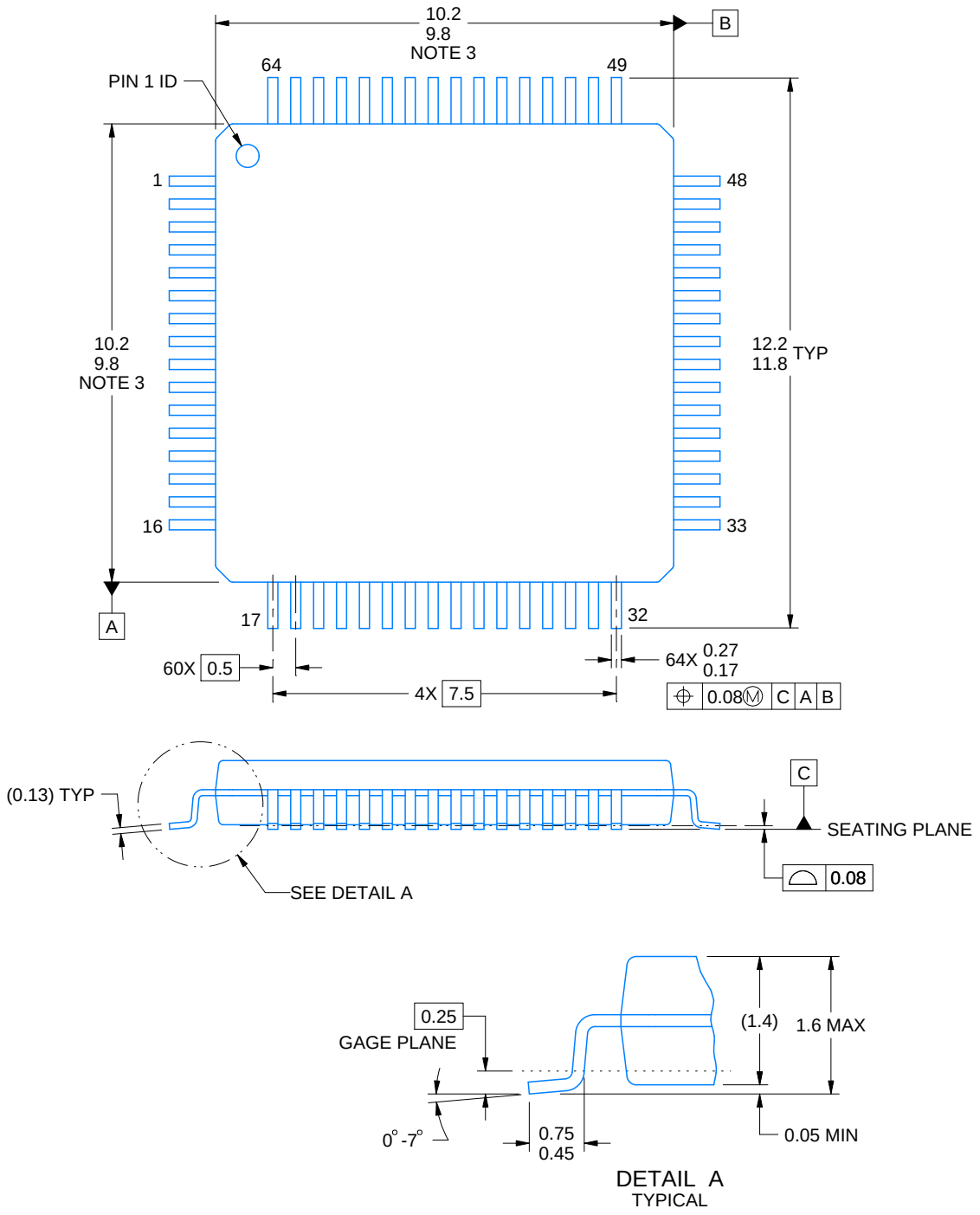
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
MSPM33C321ASPZR	LQFP	PZ	100	1000	367.0	367.0	55.0
MSPM33C321ASZAWR	NFBGA	ZAW	100	1000	336.6	336.6	31.8

PACKAGE OUTLINE

PM0064A

LQFP - 1.6 mm max height

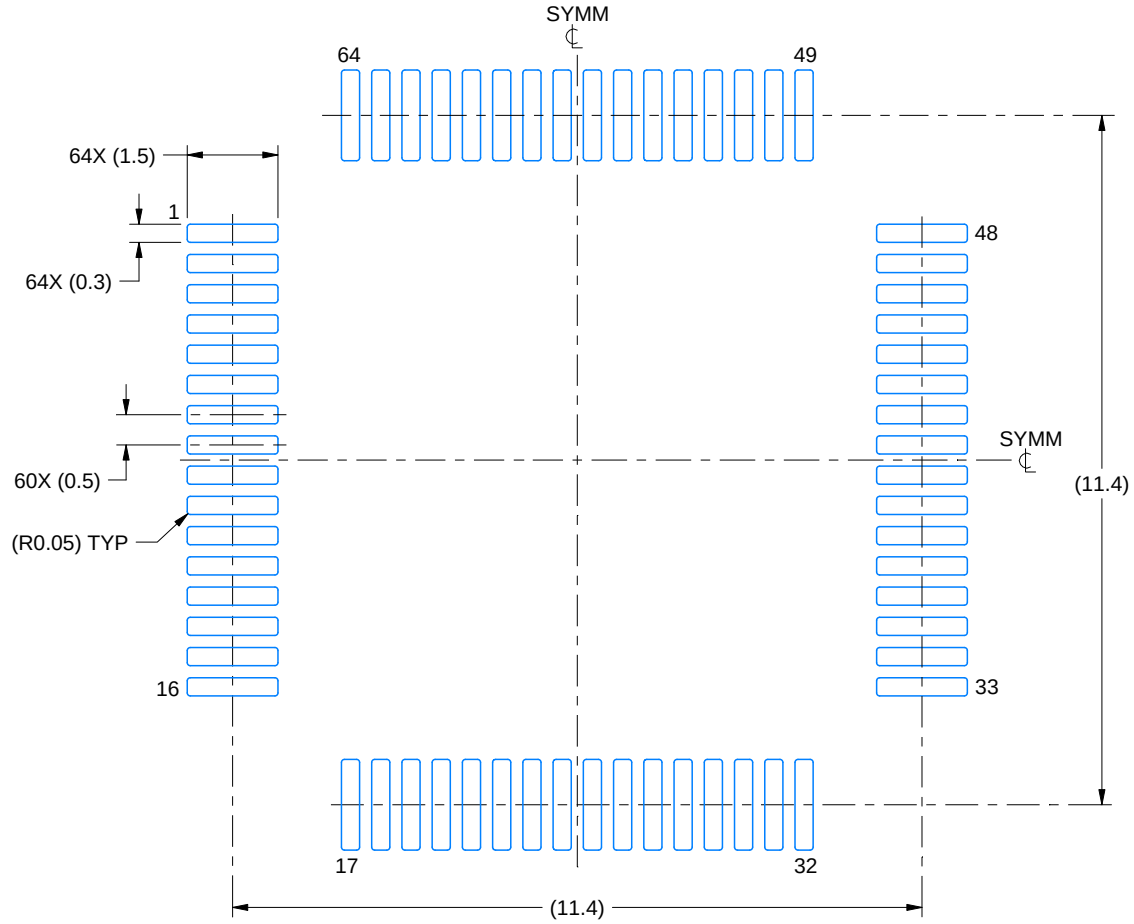
PLASTIC QUAD FLATPACK



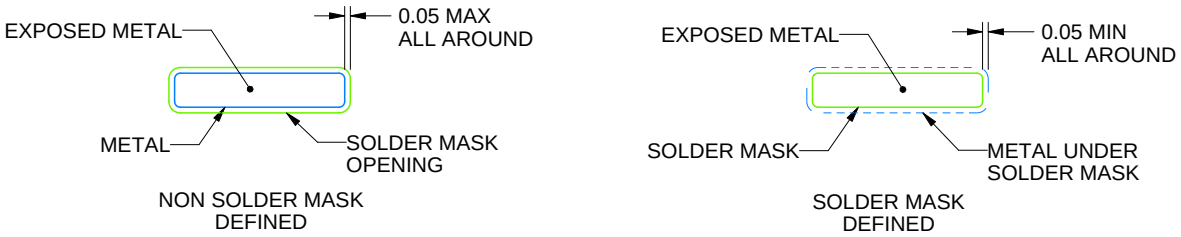
4215162/A 03/2017

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

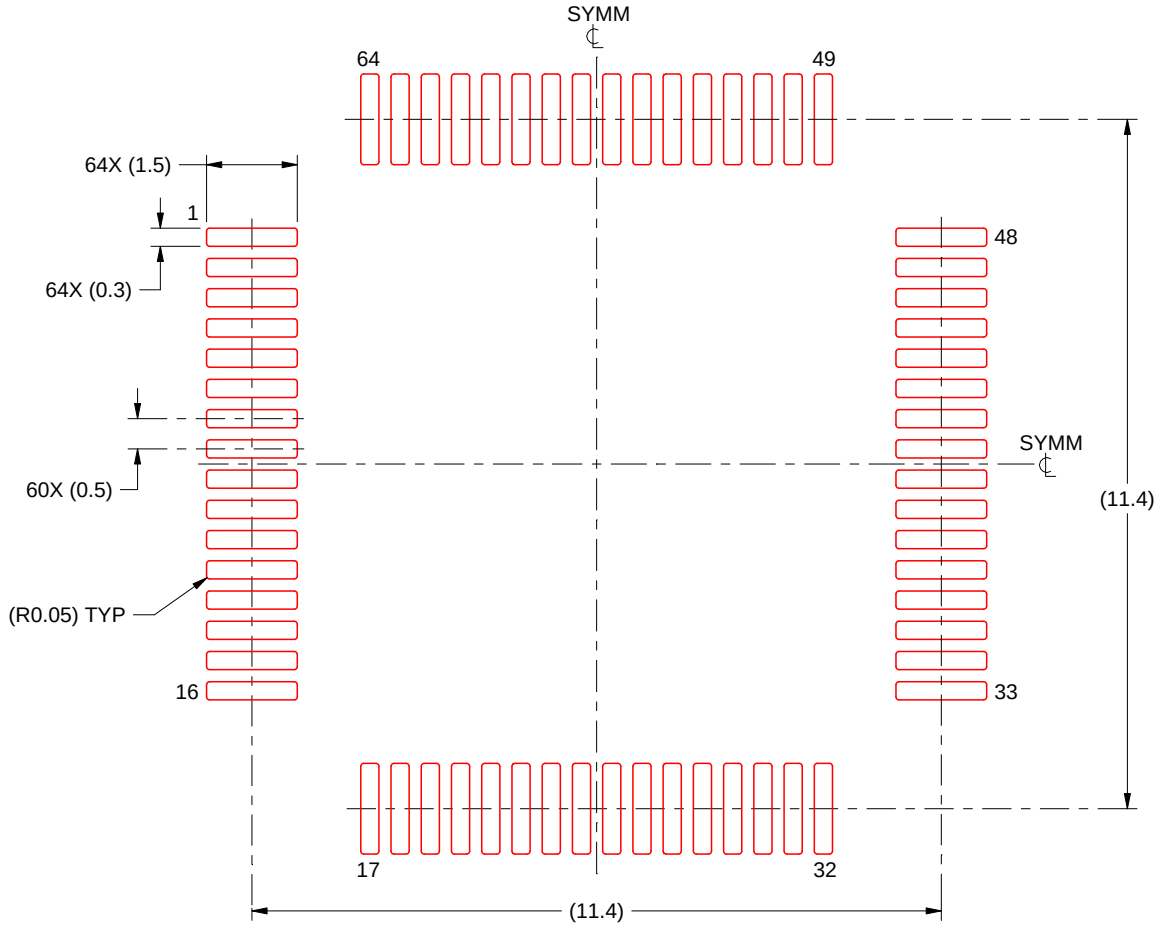


SOLDER MASK DETAILS

4215162/A 03/2017

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4215162/A 03/2017

NOTES: (continued)

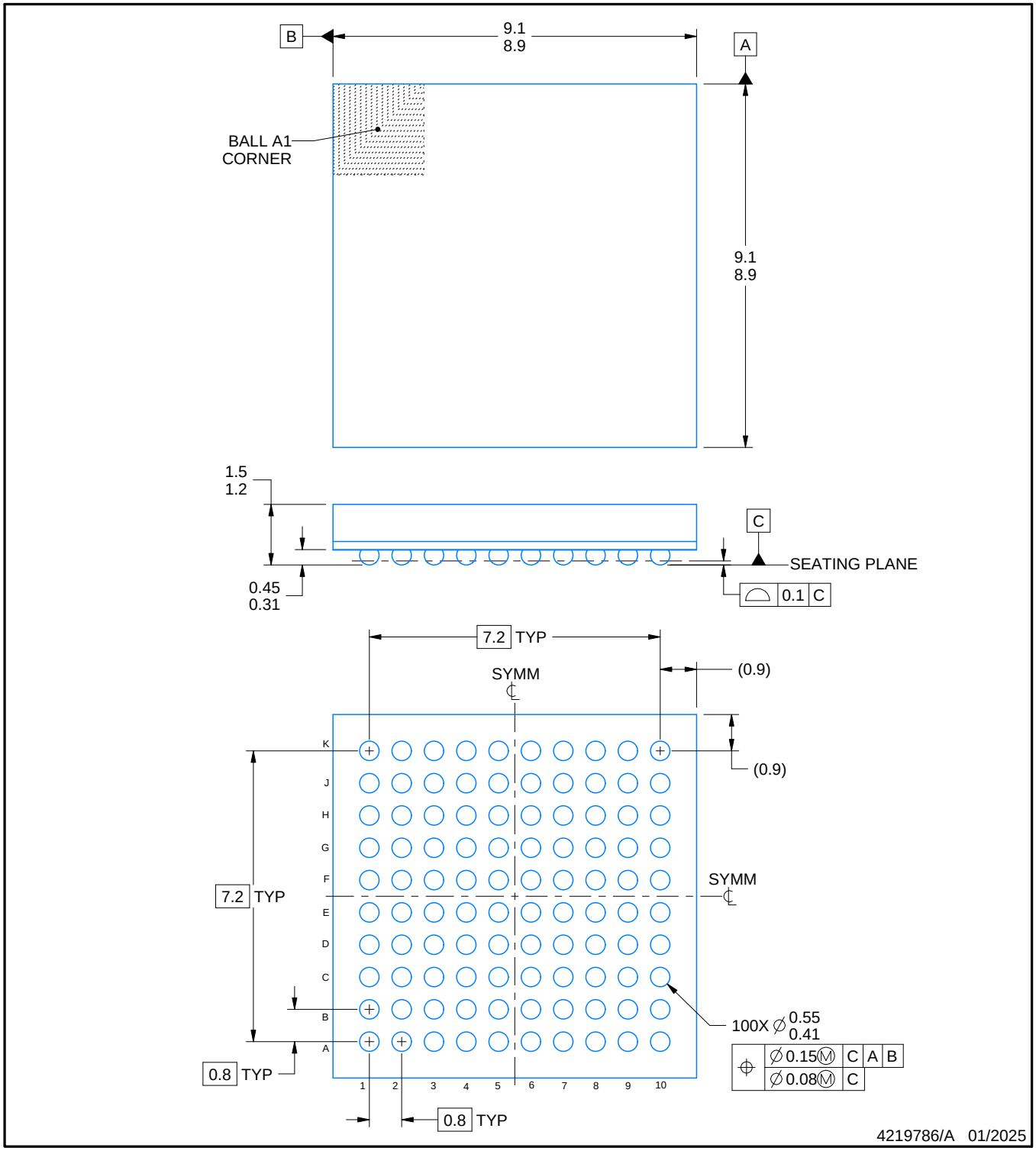
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

ZAW0100A

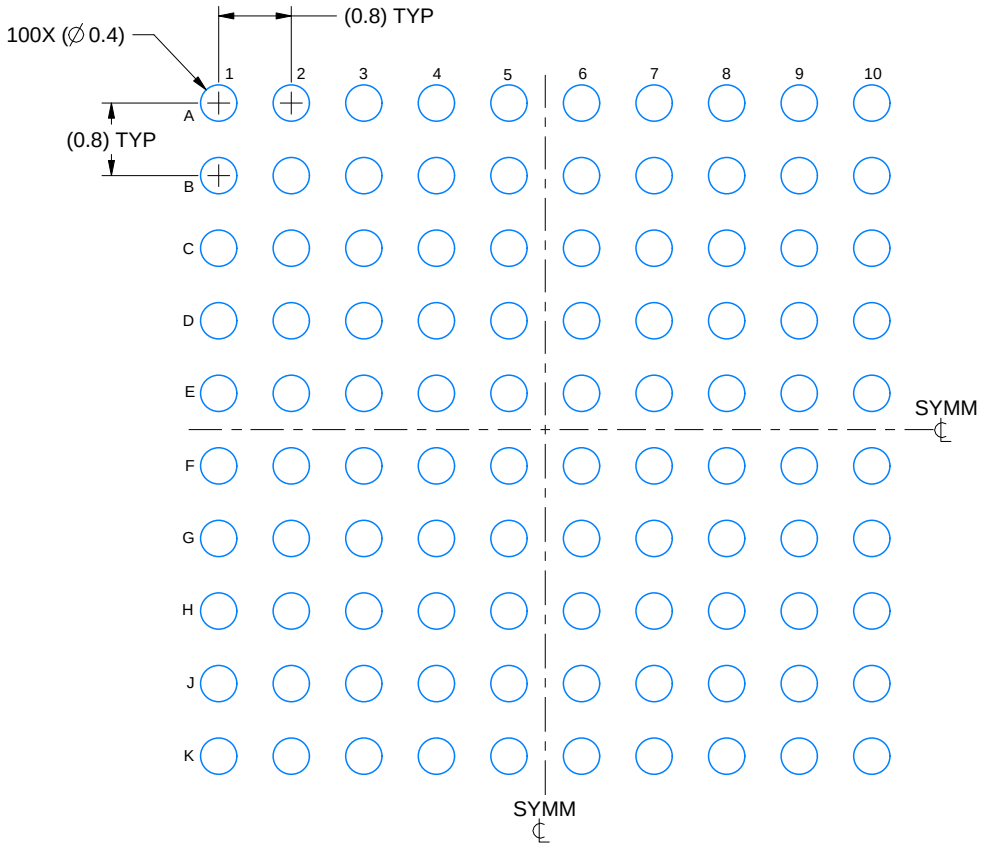
NFBGA - 1.5 mm max height

PLASTIC BALL GRID ARRAY

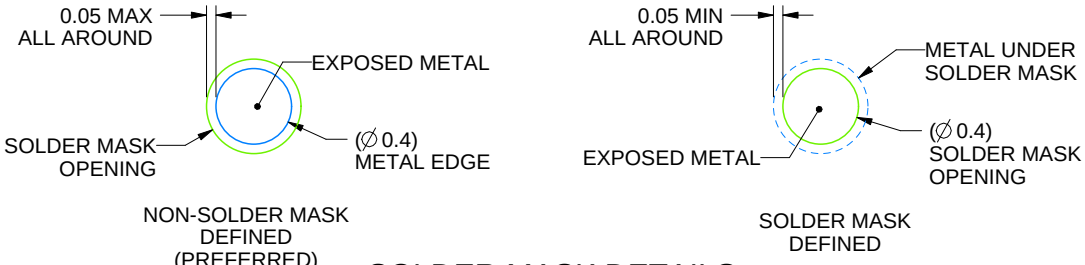


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 12X

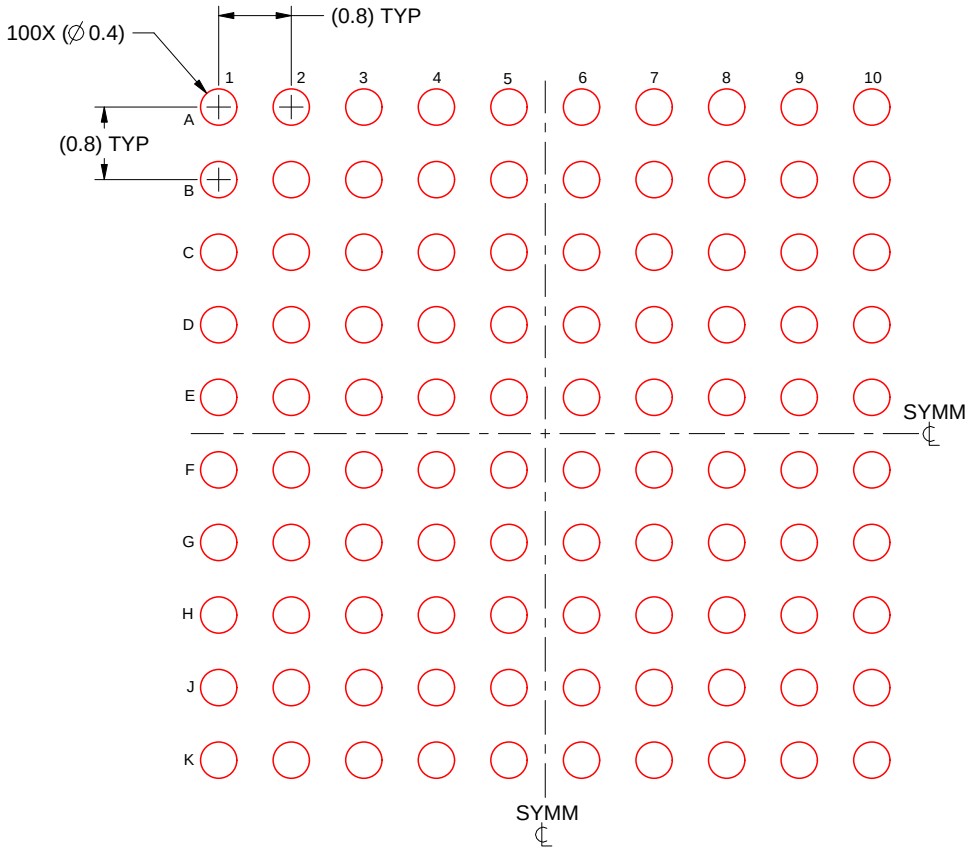


SOLDER MASK DETAILS
NOT TO SCALE

4219786/A 01/2025

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 12X

4219786/A 01/2025

NOTES: (continued)

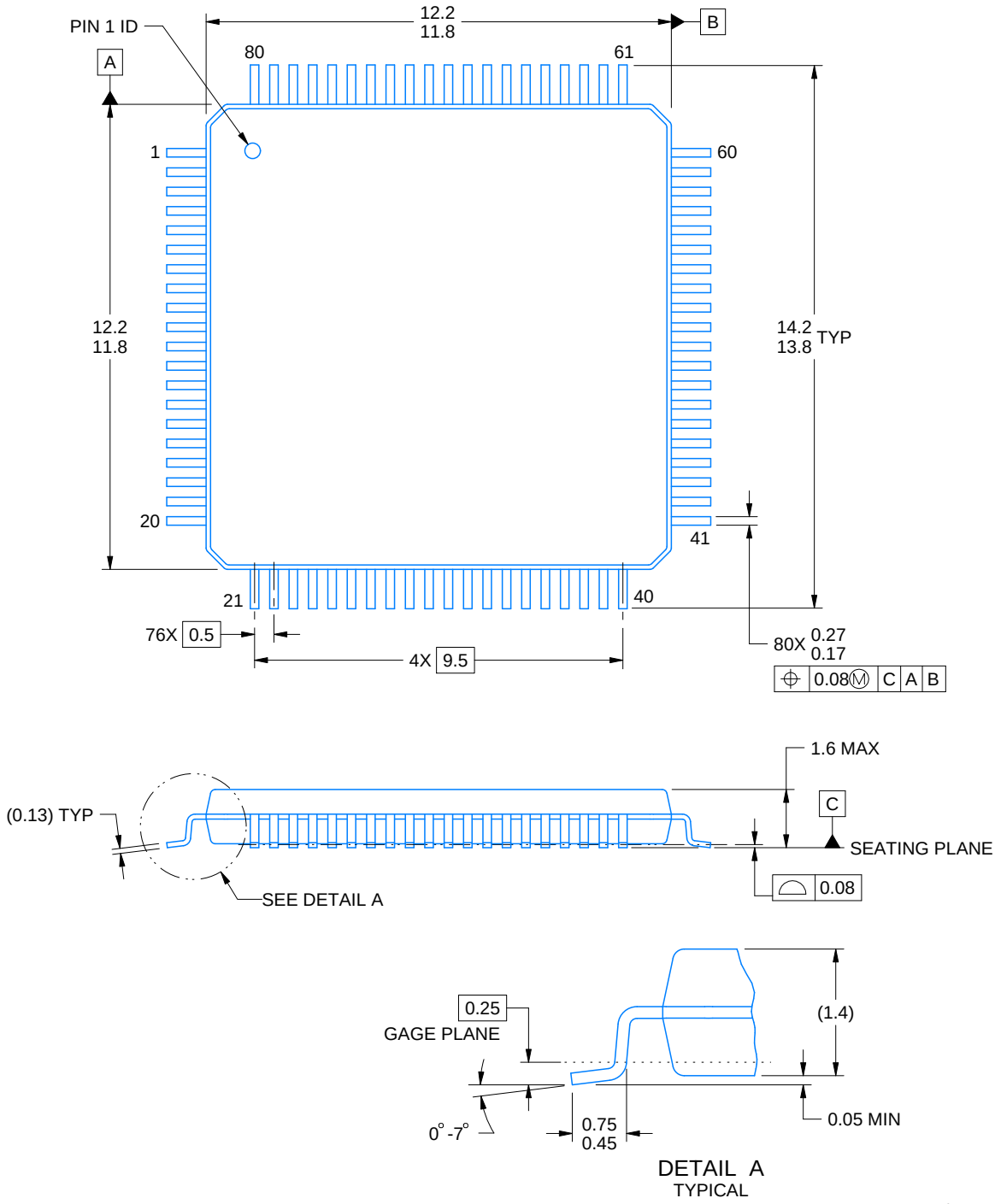
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

PACKAGE OUTLINE

PN0080A

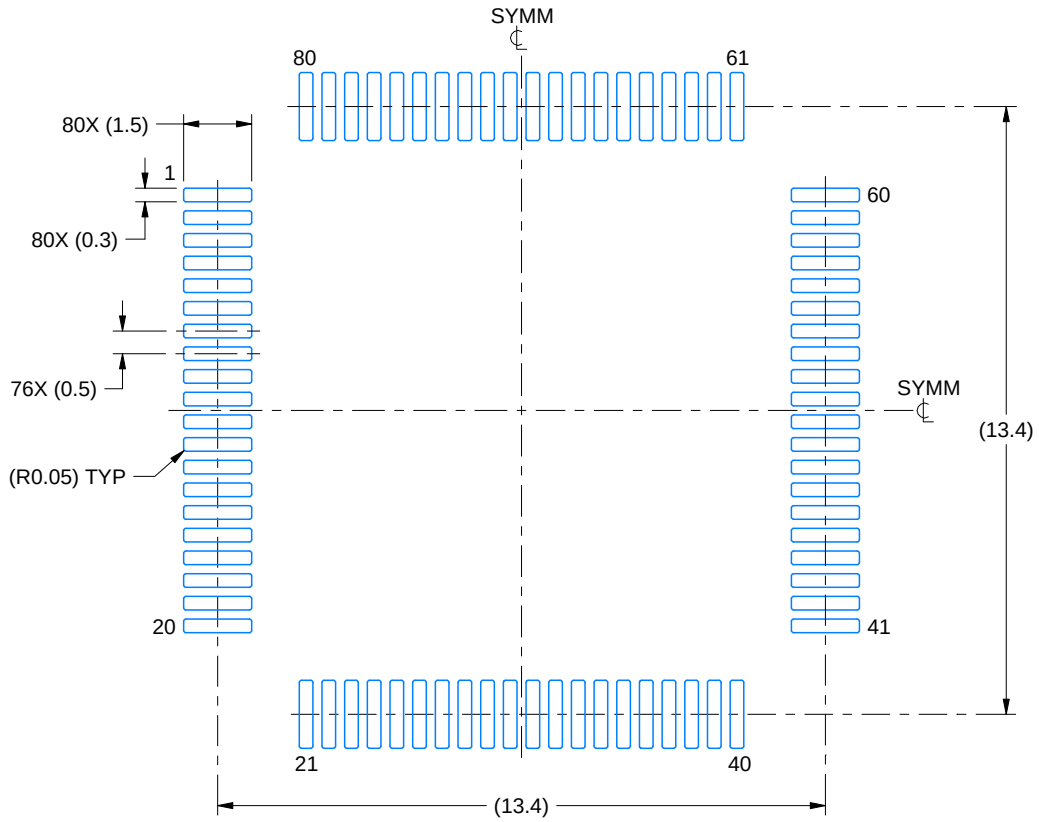
LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK

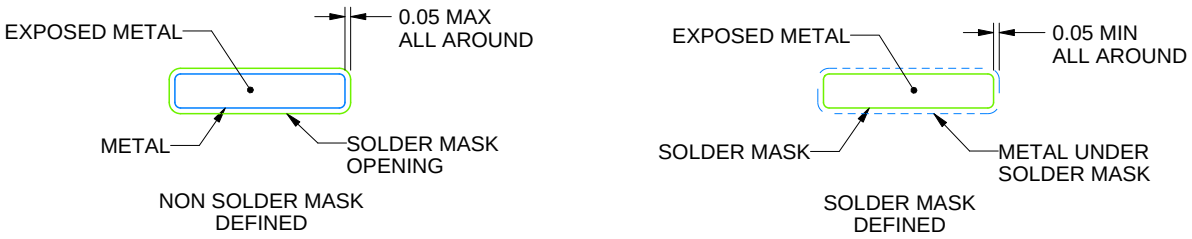


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X

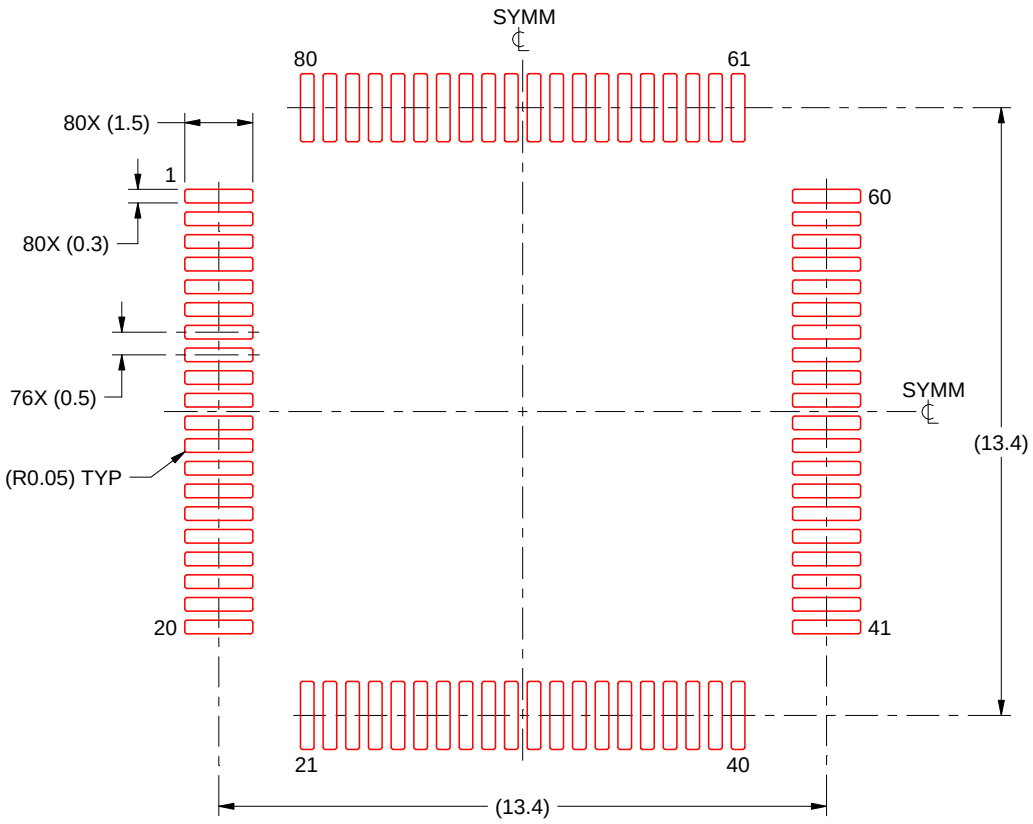


SOLDER MASK DETAILS

4215166/A 08/2022

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
6. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:6X

4215166/A 08/2022

NOTES: (continued)

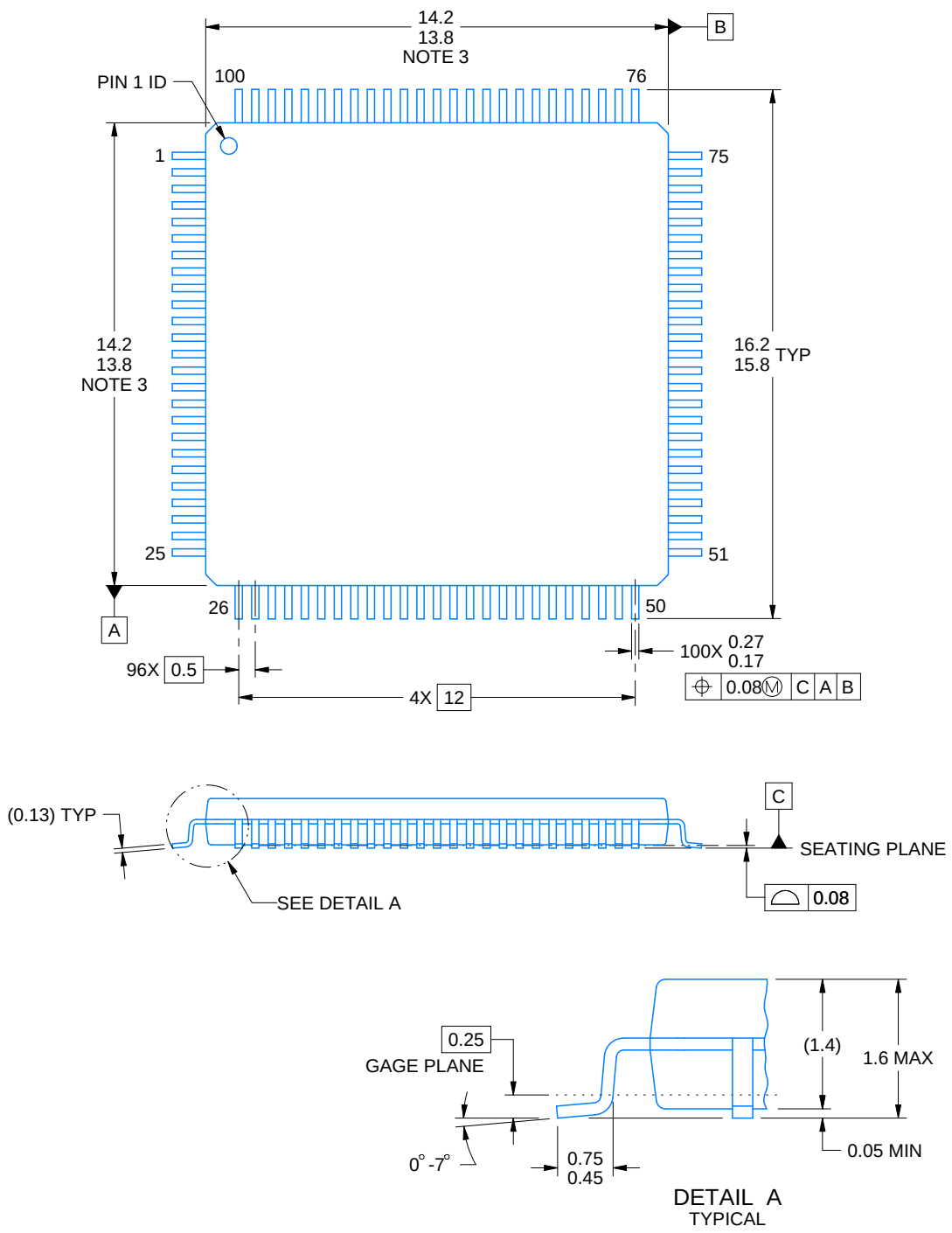
7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PZ0100A

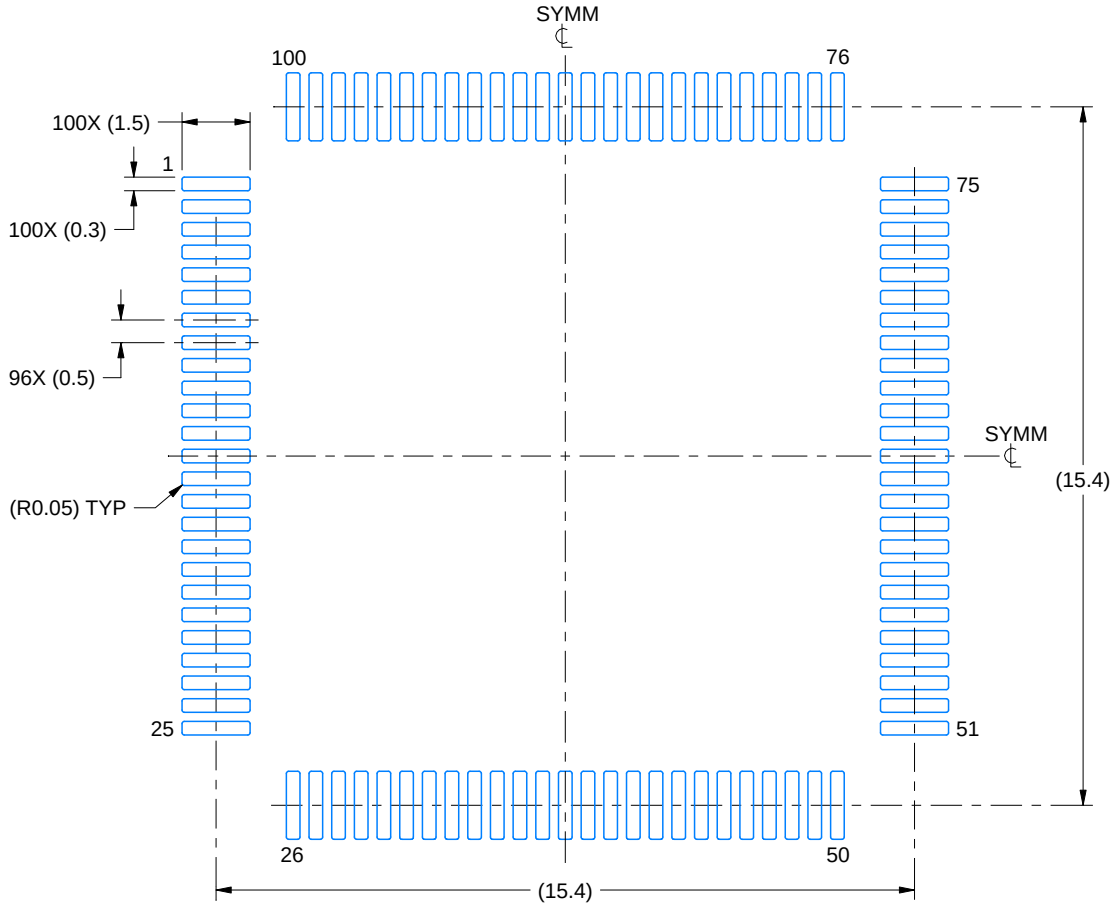
LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK

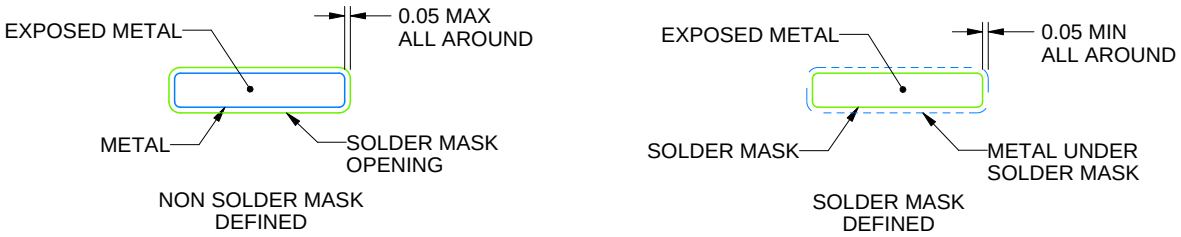


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X

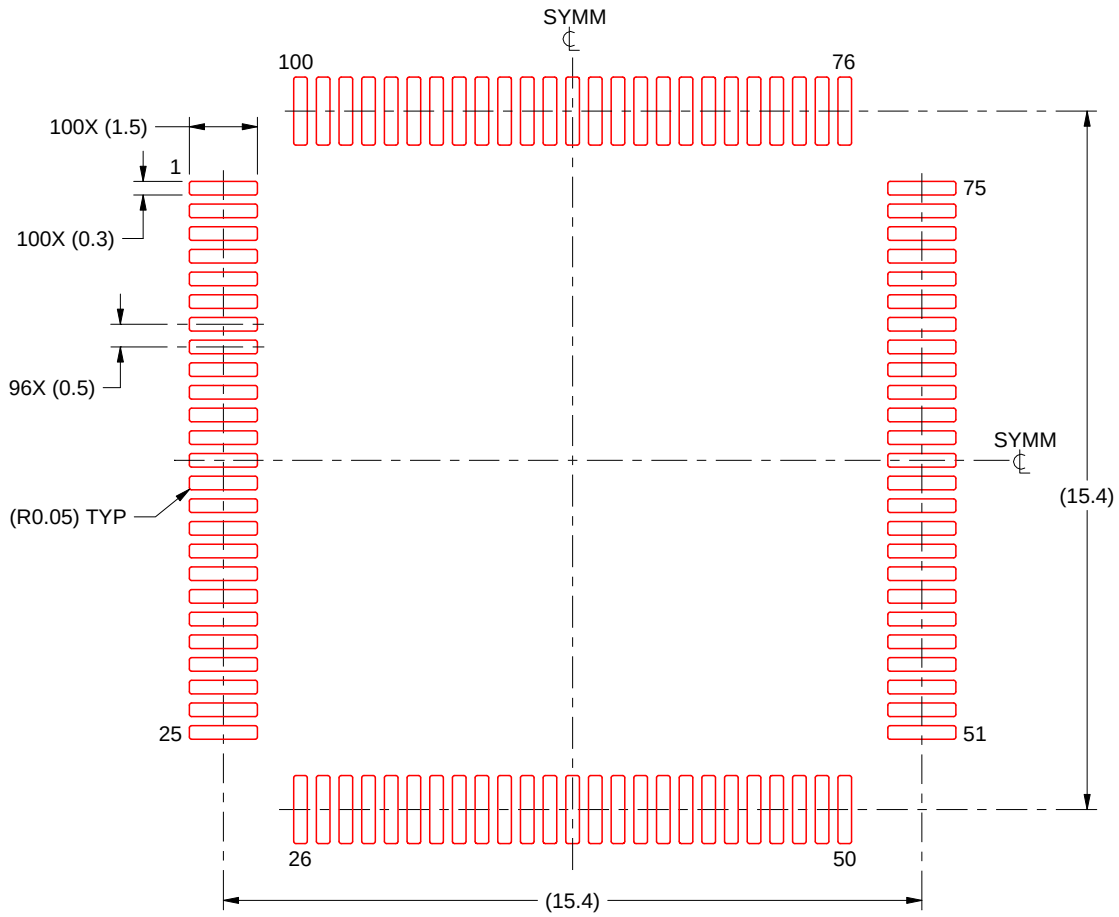


SOLDER MASK DETAILS

4215169/A 03/2017

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4215169/A 03/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月