OPAx197-Q1 36V、高精度、レール ツー レール I/O、低オフセット電圧、低入力バイアス電流 e-trim™ 搭載車載オペアンプ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - 温度グレード 1:-40℃ ～ +125℃、T_A
- 低いオフセット電圧:±250μV (最大値)
- 低いオフセット電圧ドリフト:±0.2μV/℃
- 低ノイズ:1kHz で 5.5nV/√Hz
- 大きい同相除去:140dB
- 低いバイアス電流:±5pA
- レール ツー レール入出力
- 広い帯域幅:10MHz GBW
- 高スルーレート:20V/μs
- 低い静止電流:アンプ 1 個あたり 1mA
- 広い電源範囲:±2.25V～±18V、4.5V～36V
- EMI および RFI フィルタ付き入力
- 電源レールまでの差動入力電圧範囲
- 高い容量性負荷駆動能力:1nF
- 業界標準パッケージ:
  - シングルおよびデュアル チャネルを超小型 8 ピン VSSOP に封入
  - クワッド チャネルは 14 ピン VSSOP
  - クワッド チャネルは 14 ピン SOIC

2 アプリケーション

- インバータおよびモーター制御
- DC/DC コンバータ
- オンボード・チャージャ (OBC) およびワイヤレス・チャージャ
- バッテリ管理システム (BMS)

3 説明

OPAx197-Q1 ファミリ (OPA197-Q1、OPA2197-Q1、および OPA4197-Q1) は、新世代の 36V、e-trim™ オペアンプとして開発されました。OPAx197-Q1 ファミリの e-trim オペアンプでは、プラスチック成形プロセス後の製造の最終段階で、オフセットおよびオフセットの温度ドリフトをパッケージ レベルで調整する、独自の手法が採用されています。この方法により、入力トランジスタに内在する不一致の影響と、パッケージ造形時に発生する誤差が最小化されます。

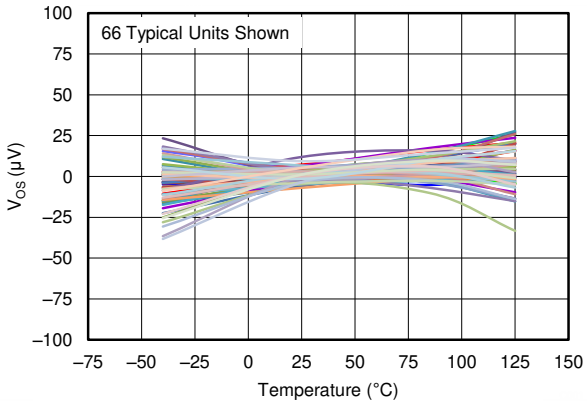
これらのデバイスは、レール ツー レールの入力 / 出力、低いオフセット (±5μV、標準値)、低いオフセット ドリフト (±0.2μV/℃、標準値)、10MHz の帯域幅などの優れた DC 精度と AC 性能を備えています。

電源レールまでの差動入力電圧範囲、大きな出力電流 (±65mA)、1nF までの大きな容量性負荷の駆動、高スルーレート (20V/μs) など、固有の特徴を備えた OPAx197-Q1 は、高電圧の産業アプリケーション向けの、堅牢で高性能なオペアンプとなっています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
OPA197-Q1	DGK、VSSOP (8)	3.00mm × 3.00mm
OPA2197-Q1	DGK、VSSOP (8)	3.00mm × 3.00mm
OPA4197-Q1	PW、TSSOP (14)	5.00mm × 4.40mm
	D、SOIC (14)	8.65mm × 3.9mm

(1) 利用可能なパッケージについては、データシートの末尾にあるパッケージ オプションについての付録を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



OPAx197-Q1 は温度範囲全体にわたって極めて低い入力オフセット電圧を維持

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.... 1
2 アプリケーション.... 1
3 説明.... 1
4 ピン構成および機能.... 3
5 仕様.... 6
5.1 絶対最大定格.... 6
5.2 ESD 定格.... 6
5.3 推奨動作条件.... 6
5.4 熱に関する情報：OPA197-Q1.... 7
5.5 熱に関する情報：OPA2197-Q1.... 7
5.6 熱に関する情報：OPA4197-Q1.... 7
5.7 電気的特性：V_S = ±4V～±18V (V_S = 8V～36V).... 8
5.8 電気的特性：V_S = ±2.25V～±4V (V_S = 4.5V～8V).... 10
5.9 代表的特性.... 12
6 詳細説明.... 21
6.1 概要.... 21
6.2 機能ブロック図.... 21
6.3 機能説明.... 22
6.4 デバイスの機能モード.... 28
7 アプリケーションと実装.... 29
7.1 使用上の注意.... 29
7.2 代表的なアプリケーション.... 29
7.3 電源に関する推奨事項.... 32
7.4 レイアウト.... 32
8 デバイスおよびドキュメントのサポート.... 35
8.1 デバイス サポート.... 35
8.2 ドキュメントのサポート.... 35
8.3 ドキュメントの更新通知を受け取る方法.... 35
8.4 サポート・リソース.... 35
8.5 商標.... 36
8.6 静電気放電に関する注意事項.... 36
8.7 用語集.... 36
9 改訂履歴.... 36
10 メカニカル、パッケージ、および注文情報.... 36

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

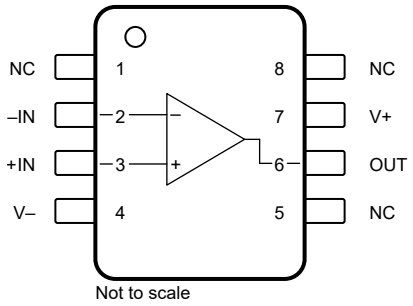


図 4-1. OPA197-Q1 DGK パッケージ、 8 ピン VSSOP、 (上面図)

ピンの機能：OPA197-Q1

ピン		I/O	説明
名称	番号		
+IN	3	I	非反転入力
–IN	2	I	反転入力
NC	1、5、8	—	内部接続なし (フローティングのままでも可)
OUT	6	O	出力
V+	7	—	正 (最高) 電源
V-	4	—	負 (最低) 電源

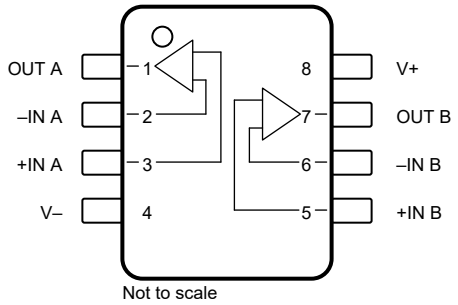


図 4-2. OPA2197-Q1 DGK パッケージ、 8 ピン VSSOP、 (上面図)

ピンの機能：OPA2197-Q1

ピン		I/O	説明
名称	DGK (VSSOP)		
+IN A	3	I	非反転入力、チャネル A
+IN B	5	I	非反転入力、チャネル B
-IN A	2	I	反転入力、チャネル A
-IN B	6	I	反転入力、チャネル B
OUT A	1	O	出力、チャネル A
OUT B	7	O	出力、チャネル B
V+	8	—	正 (最高) 電源
V-	4	—	負 (最低) 電源

Copyright © 2026 Texas Instruments Incorporated

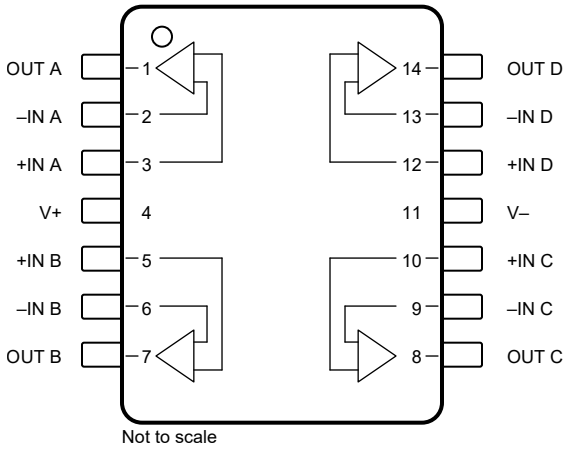


図 4-3. OPA4197-Q1 PW パッケージ、14 ピン TSSOP、および D パッケージ、14 ピン SOIC、 (上面図)

ピンの機能：OPA4197-Q1

ピン		I/O	説明
名称	番号		
+IN A	3	I	非反転入力、チャネル A
+IN B	5	I	非反転入力、チャネル B
+IN C	10	I	非反転入力、チャネル C
+IN D	12	I	非反転入力、チャネル D
-IN A	2	I	反転入力、チャネル A
-IN B	6	I	反転入力、チャネル B
–IN C	9	I	反転入力、チャネル C
–IN D	13	I	反転入力、チャネル D
OUT A	1	O	出力、チャネル A
OUT B	7	O	出力、チャネル B
OUT C	8	O	出力、チャネル C
OUT D	14	O	出力、チャネル D
V+	4	—	正 (最高) 電源
V-	11	—	負 (最低) 電源

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) [(1)]

			最小値	最大値	単位
V_S	電源電圧	単一電源、V_S = (V+)		40	V
		デュアル電源、V_S = (V+) – (V–)		±20	
	信号入力電圧	同相	(V–) - 0.5	(V+) + 0.5	V
		差動		(V+) - (V-) + 0.2	
	信号入力電流			±10	mA
	出力短絡 [(2)]		連続		
	JESD78D 準拠のラッチアップ性能		Class IIA		
T_A	動作温度		-55	150	°C
T_J	接合部温度			150	°C
T_{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」で示す値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはストレスの定格のみについてであり、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示す値を超える他のいかなる条件でも、このデバイスが正しく動作することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) グランドへの短絡、パッケージあたり 1 台のアンプ。

5.2 ESD 定格

			値	単位
OPA197-Q1、OPA2197-Q1				
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠[(1)] HBM ESD 分類レベル 3A	±4000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠 CDM ESD 分類レベル C4A	±500	
OPA4197-Q1				
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠[(1)] HBM ESD 分類レベル 2	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠 CDM ESD 分類レベル C5	±750	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_S	電源電圧	単一電源、V_S = (V+)	4.5		36	V
		デュアル電源、V_S = (V+) – (V–)	±2.25		±18	
T_A	動作温度		-40		125	°C

Copyright © 2026 Texas Instruments Incorporated

5.4 熱に関する情報：OPA197-Q1

熱評価基準[1]		OPA197-Q1 DGK (VSSOP) 8 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	180.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	67.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	102.1	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	10.4	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	100.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』*アプリケーション レポートを参照してください。

5.5 熱に関する情報：OPA2197-Q1

熱評価基準[1]		OPA2197-Q1 DGK (VSSOP) 8 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	158	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	48.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	78.7	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	3.9	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	77.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』*アプリケーション レポートを参照してください。

5.6 熱に関する情報：OPA4197-Q1

熱評価基準[1]		OPA4197-Q1 D (SOIC) 14 ピン	OPA4197-Q1 PW (TSSOP) 14 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	86.4	108.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	46.3	26.3	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	41.0	54.4	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	11.3	1.4	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	40.7	53.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』*アプリケーション レポートを参照してください。

5.7 電気的特性：V_S = ±4V～±18V (V_S = 8V～36V)

T_A = 25℃、V_{CM} = V_{OUT} = V_S/2、R_L = 10kΩ を V_S/2 に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V_{OS}	入力オフセット電圧				±25	±250	μV
		T_A = 0℃ ～ 85℃			±30	±350	
		T_A = -40℃ ～ +125℃			±50	±400	
		V_{CM} = (V+) – 1.5V			±10	±250	
			T_A = 0℃ ～ 85℃		±25	±350	
			T_A = -40℃ ～ +125℃		±50	±500	
dV_{OS}/dT	入力オフセット電圧ドリフト	T_A = 0℃ ～ 85℃			±0.5	±2.5	μV/℃
		T_A = -40℃ ～ +125℃			±0.8	±4.5	
PSRR	電源除去比	T_A = -40℃ ～ +125℃			±0.3	±1.0	μV/V
入力バイアス電流							
I_B	入力バイアス電流				±5	±20	pA
		T_A = -40℃ ～ +125℃				±5	nA
I_{OS}	入力オフセット電流				±2	±20	pA
		T_A = -40℃ ～ +125℃				±2	nA
ノイズ							
E_n	入力電圧ノイズ	(V–) - 0.1V < V_{CM} < (V+) - 3V	f = 0.1Hz～10Hz		1.3		$μV_{PP}$
		(V+) - 1.5V < V_{CM} < (V+) + 0.1V	f = 0.1Hz～10Hz		4		
e_n	入力電圧ノイズ密度	(V–) - 0.1V < V_{CM} < (V+) - 3V	f = 100Hz		10.5		nV/√Hz
			f = 1kHz		5.5		
		(V+) - 1.5V < V_{CM} < (V+) + 0.1V	f = 100Hz		32		
			f = 1kHz		12.5		
i_n	入力電流ノイズ密度	f = 1kHz			1.5		fA/√Hz
入力電圧							
V_{CM}	同相電圧			(V–) - 0.1		(V+) + 0.1	V
CMRR	同相信号除去比	(V–) - 0.1V < V_{CM} < (V+) – 3V		120	140		dB
		(V–) < V_{CM} < (V+) – 3V、T_A = –40℃ ～ +125℃		114	126		
		(V+) – 1.5V < V_{CM} < (V+)		100	120		
			T_A = –40°C ～ +125°C	86	100		
入力インピーダンス							
Z_{ID}	差動				100 || 1.6		MΩ || pF
Z_{IC}	同相				1 || 6.4		10^{13}Ω || pF

Copyright © 2026 Texas Instruments Incorporated

5.7 電気的特性：V_S = ±4V～±18V (V_S = 8V～36V) (続き)

T_A = 25℃、V_{CM} = V_{OUT} = V_S/2、R_L = 10kΩ を V_S/2 に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
開ループ ゲイン							
A_{OL}	開ループ電圧ゲイン	(V-) + 0.6V < V_O < (V+) - 0.6V、R_L = 2kΩ		120	134		dB
			T_A = –40°C ～ +125°C	114	126		
		(V-) + 0.3V < V_O < (V+) - 0.3V、R_L = 10kΩ		126	140		
			T_A = –40°C ～ +125°C	120	134		
周波数応答							
GBW	ユニティ ゲイン帯域幅				10		MHz
SR	スルーレート	G = 1、10V ステップ			20		V/µs
t_s	セトリング タイム	0.01% まで	G = 1、10V ステップ		1.4		µs
			G = 1、5V ステップ		0.9		
		0.001% まで	G = 1、10V ステップ		2.1		
			G = 1、5V ステップ		1.8		µs
t_{OR}	過負荷回復時間	V_{IN} × G = V_S			200		ns
THD+N	全高調波歪み + ノイズ	G = 1、f = 1kHz、V_O = 3.5V_{RMS}			0.00008%		
	クロストーク	DC での OPA4197-Q1			150		dB
		OPA4197-Q1、f = 100kHz			130		dB
出力							
V_O	電圧出力スイング (レールから)	正電圧レール	無負荷		5	15	mV
			R_L = 10kΩ		95	110	
			R_L = 2kΩ		430	500	
		負電圧レール	無負荷		5	15	
			R_L = 10kΩ		95	110	
			R_L = 2kΩ		430	500	
I_{SC}	短絡電流				±65		mA
C_{LOAD}	容量性負荷駆動能力				セクション 5.9 を参照		
Z_O	オープン ループ出力インピーダンス	f = 1MHz、I_O = 0A。図 5-29 を参照			375		Ω
電源							
I_Q	アンプごとの静止電流	I_O = 0A			1	1.2	mA
			T_A = –40°C ～ +125°C			1.5	
温度							
	過熱保護				140		°C

5.8 電気的特性：V_S = ±2.25V～±4V (V_S = 4.5V～8V)

T_A = 25℃、V_{CM} = V_{OUT} = V_S/2、R_L = 10kΩ を V_S/2 に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V_{OS}	入力オフセット電圧	V_{CM} = (V+) - 3V			±5	±250	μV
			T_A = 0℃ ～ 85℃		±8	±350	
			T_A = -40℃ ～ +125℃		±10	±400	
		(V+) - 3.5V < V_{CM} < (V+) - 1.5V			セクション 6.3.6 を参照		
		V_{CM} = (V+) - 1.5V			±10	±250	
			T_A = 0℃ ～ 85℃		±25	±350	
			T_A = -40℃ ～ +125℃		±50	±500	
dV_{OS}/dT	入力オフセット電圧ドリフト	V_{CM} = (V+) - 3V	T_A = -40℃ ～ +125℃		±0.5	±2.5	μV/℃
dV_{OS}/dT	入力オフセット電圧ドリフト	V_{CM} = (V+) - 1.5V			±0.8	±4.5	
PSRR	電源除去比	T_A = -40℃ ～ +125℃			±2		μV/V
入力バイアス電流							
I_B	入力バイアス電流				±5	±20	pA
		T_A = -40℃ ～ +125℃				±5	nA
I_{OS}	入力オフセット電流				±2	±20	pA
		T_A = -40℃ ～ +125℃				±2	nA
ノイズ							
E_n	入力電圧ノイズ	(V–) - 0.1V < V_{CM} < (V+) - 3V、f = 0.1Hz ～ 10Hz			1.3		$μV_{PP}$
		(V–) - 1.5V < V_{CM} < (V+) - 0.1V、f = 0.1Hz ～ 10Hz			4		
e_n	入力電圧ノイズ密度	(V–) - 0.1V < V_{CM} < (V+) - 3V	f = 100Hz		10.5		nV/√Hz
			f = 1kHz		5.5		
		(V+) - 1.5V < V_{CM} < (V+) + 0.1V	f = 100Hz		32		
			f = 1kHz		12.5		
i_n	入力電流ノイズ密度	f = 1kHz			1.5		fA/√Hz
入力電圧							
V_{CM}	同相電圧範囲			(V–) - 0.1		(V+) + 0.1	V
CMRR	同相信号除去比	(V–) - 0.1V < V_{CM} < (V+) – 3V		94	110		dB
			T_A = –40°C ～ +125°C	90	104		
		(V+) – 1.5V < V_{CM} < (V+)		100	120		
			T_A = –40°C ～ +125°C	84	100		
		(V+) - 3V < V_{CM} < (V+) - 1.5V			セクション 5.9 を参照		
入力インピーダンス							
Z_{ID}	差動				100 || 1.6		MΩ || pF
Z_{IC}	同相				1 || 6.4		10^{13}Ω || pF

Copyright © 2026 Texas Instruments Incorporated

5.8 電気的特性：V_S = ±2.25V～±4V (V_S = 4.5V～8V) (続き)

T_A = 25℃、V_{CM} = V_{OUT} = V_S/2、R_L = 10kΩ を V_S/2 に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
開ループ ゲイン							
A_{OL}	開ループ電圧ゲイン	(V-) + 0.6V < V_O < (V+) - 0.6V、R_L = 2kΩ		110	120		dB
			T_A = –40°C ～ +125°C	100	114		
		(V-) + 0.3V < V_O < (V+) - 0.3V、R_L = 10kΩ		110	126		
			T_A = –40°C ～ +125°C	110	120		dB
周波数応答							
GBW	ユニティ ゲイン帯域幅				10		MHz
SR	スルーレート	G = 1、5V ステップ			20		V/µs
t_s	セトリング タイム	0.01% まで、V_S = ±3V、G = 1、5V ステップ			1		µs
t_{OR}	過負荷回復時間	V_{IN} × G = V_S			200		ns
	クロストーク	DC での OPA4197-Q1			150		dB
		OPA4197-Q1、f = 100kHz			130		dB
出力							
V_O	電圧出力スイング (レールから)	正電圧レール	無負荷		5	15	mV
			R_L = 10kΩ		95	110	
			R_L = 2kΩ		430	500	
		負電圧レール	無負荷		5	15	
			R_L = 10kΩ		95	110	
			R_L = 2kΩ		430	500	
I_{SC}	短絡電流				±65		mA
C_{LOAD}	容量性負荷駆動能力				セクション 5.9 を参照		
Z_O	オープン ループ出力インピーダンス	f = 1MHz、I_O = 0A。図 5-29 を参照			375		Ω
電源							
I_Q	アンプごとの静止電流	I_O = 0A			1	1.2	mA
			T_A = –40°C ～ +125°C			1.5	
温度							
	過熱保護				140		°C

5.9 代表的特性

T_A = 25℃、V_S = ±18V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 100pF の場合 (特に記述のない限り)

表 5-1. グラフ一覧

説明	図
オフセット電圧の生産分布	図 5-1 から図 5-6
オフセット電圧ドリフトの分布	図 5-7 から図 5-8
オフセット電圧と温度との関係	図 5-9
オフセット電圧と同相電圧との関係	図 5-10 から図 5-12
オフセット電圧と電源電圧との関係	図 5-13
開ループ ゲインおよび位相と周波数との関係	図 5-14
閉ループ ゲインおよび位相と周波数との関係	図 5-15
入力バイアス電流と同相電圧との関係	図 5-16
入力バイアス電流と温度との関係	図 5-17
出力電圧スイングと出力電流との関係 (最大供給能力)	図 5-18
CMRR および PSRR と周波数との関係	図 5-19
CMRR と温度との関係	図 5-20
PSRR と温度との関係	図 5-21
0.1Hz～10Hz のノイズ	図 5-22
入力電圧ノイズ スペクトル密度と周波数との関係	図 5-23
THD+N 比と周波数との関係	図 5-24
THD+N と出力振幅との関係	図 5-25
静止電流と電源電圧との関係	図 5-26
静止電流と温度との関係	図 5-27
開ループのゲインと温度との関係	図 5-28
開ループの出力インピーダンスと周波数との関係	図 5-29
小信号オーバーシュートと容量性負荷との関係 (100mV 出力ステップ)	図 5-30、図 5-31
位相反転が発生しない	図 5-32
正の過負荷からの回復	図 5-33
負の過負荷からの回復	図 5-34
小信号ステップ応答 (100mV)	図 5-35、図 5-36
大信号ステップ応答	図 5-37
セトリング タイム	図 5-38 から図 5-41
短絡電流と温度との関係	図 5-42
最大出力電圧と周波数との関係	図 5-43
伝搬遅延の立ち上がりエッジ	図 5-44
伝搬遅延の立ち下がりエッジ	図 5-45
クロストークと周波数との関係	図 5-46

Copyright © 2026 Texas Instruments Incorporated

5.9 代表的特性 (続き)

T_A = 25℃、V_S = ±18V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 100pF の場合 (特に記述のない限り)

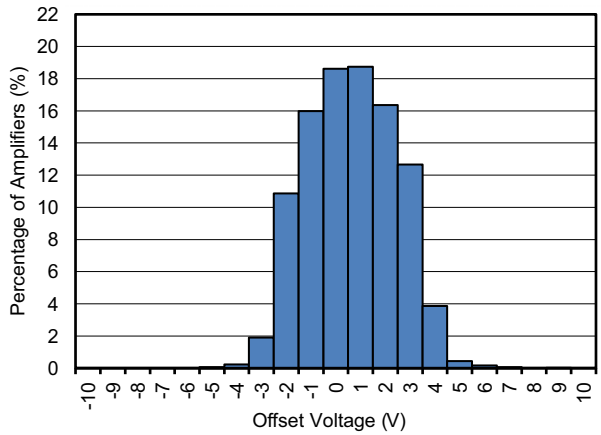
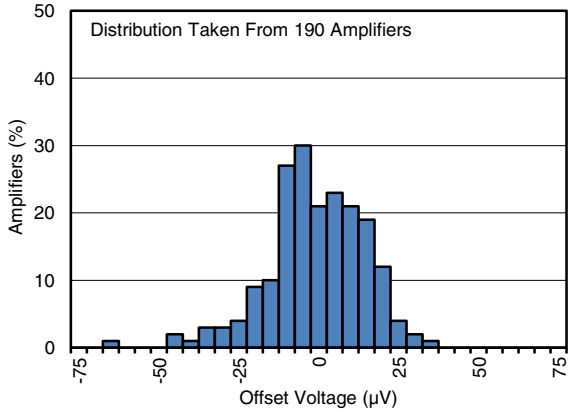
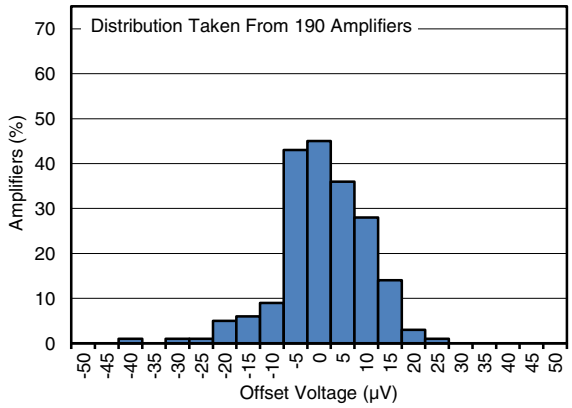


図 5-1. 25℃でのオフセット電圧の製品分布



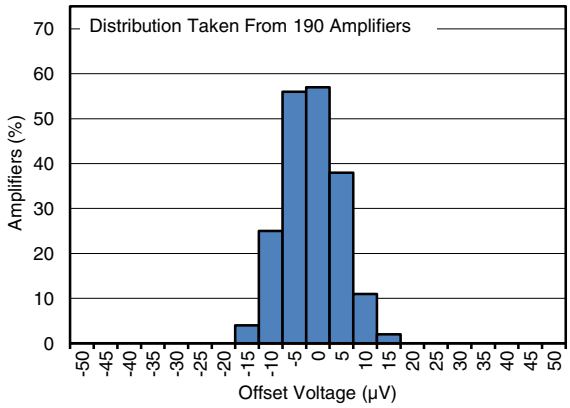
T_A = 125℃

図 5-2. 125℃でのオフセット電圧の製品分布



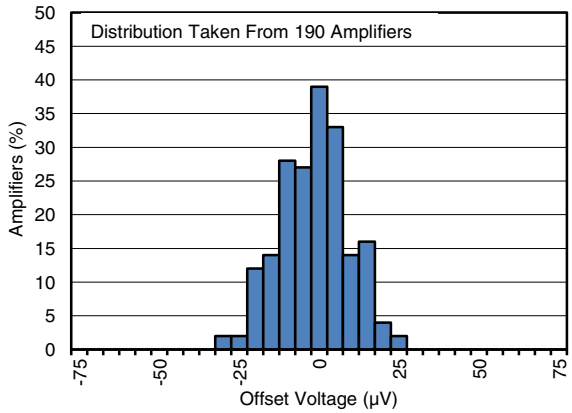
T_A = 85℃

図 5-3. 85℃でのオフセット電圧の製品分布



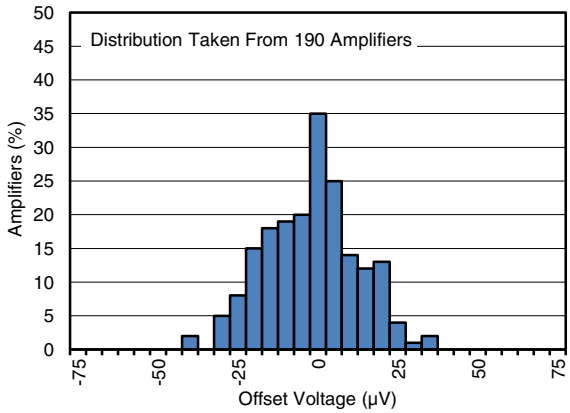
T_A = 0℃

図 5-4. 0℃でのオフセット電圧の製品分布



T_A = -25℃

図 5-5. -25℃でのオフセット電圧の製品分布



T_A = -40℃

図 5-6. -40℃でのオフセット電圧の製品分布

5.9 代表的特性 (続き)

T_A = 25℃、V_S = ±18V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 100pF の場合 (特に記述のない限り)

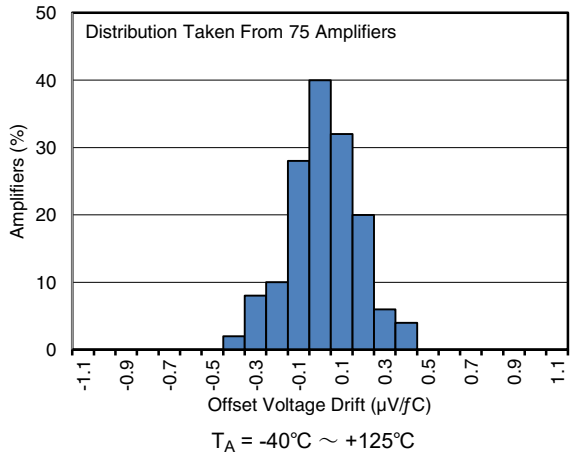


図 5-7. オフセット電圧ドリフトの分布：-40℃ ～ +125℃

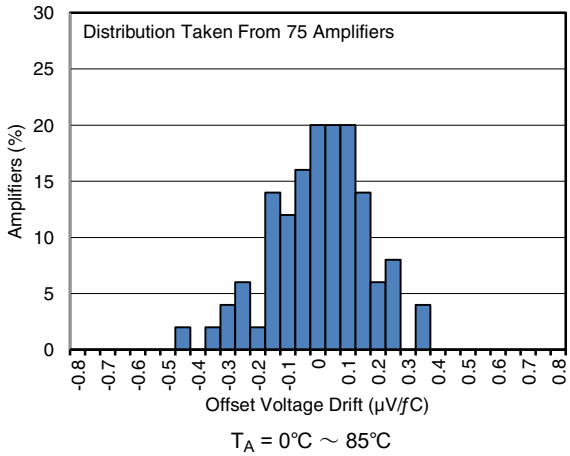


図 5-8. オフセット電圧ドリフトの分布：0℃ ～ 85℃

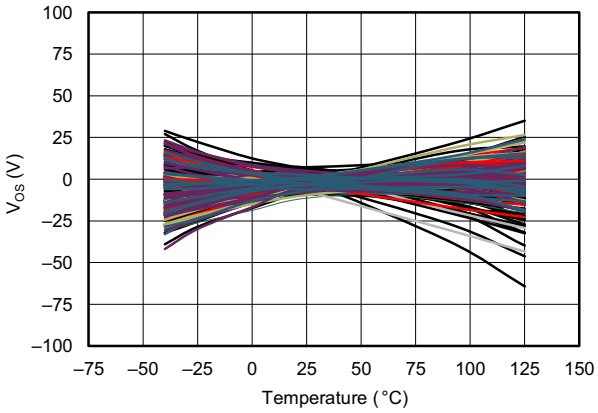


図 5-9. オフセット電圧と温度との関係

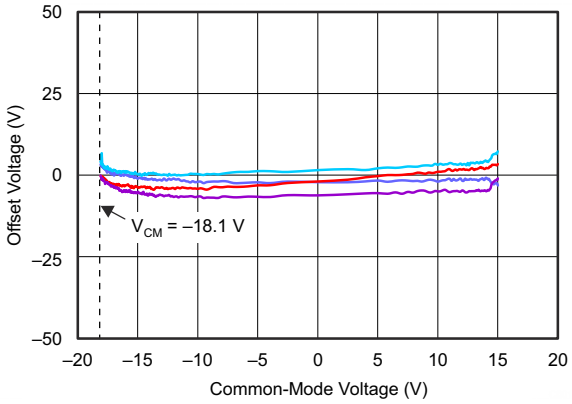


図 5-10. オフセット電圧と同相電圧との関係

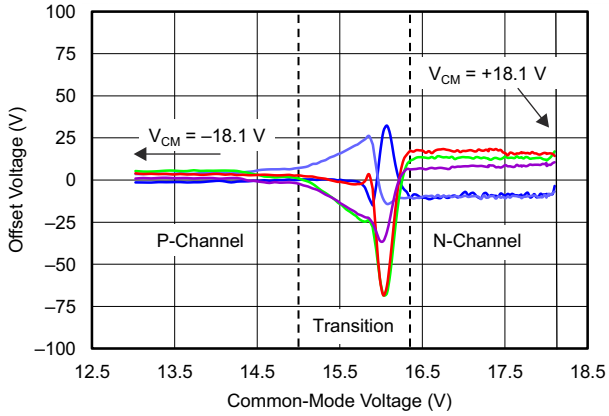
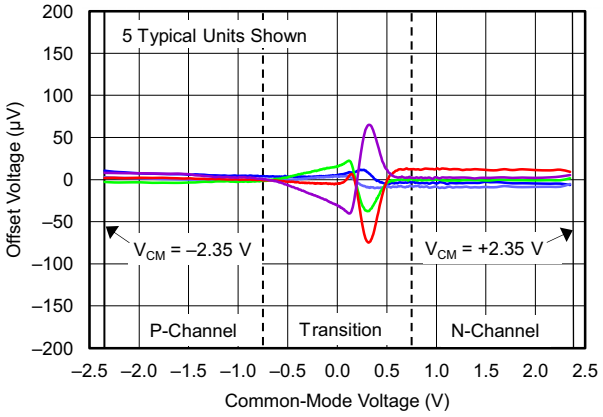


図 5-11. オフセット電圧と同相電圧との関係



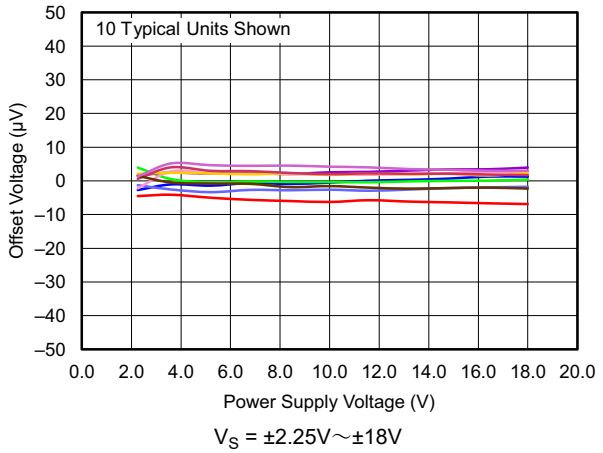
V_S = ±2.25V

図 5-12. オフセット電圧と同相電圧との関係

Copyright © 2026 Texas Instruments Incorporated

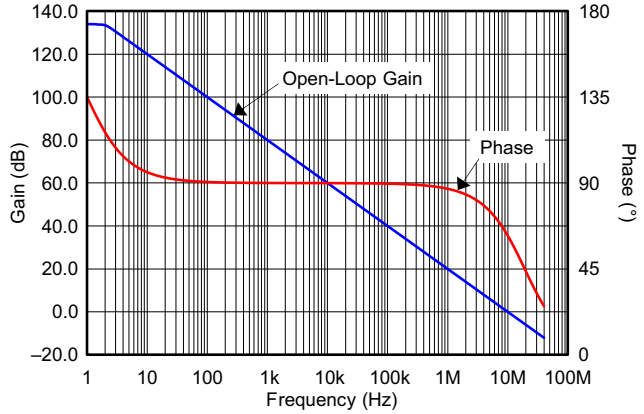
5.9 代表的特性 (続き)

T_A = 25℃、V_S = ±18V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 100pF の場合 (特に記述のない限り)



V_S = ±2.25V～±18V

図 5-13. オフセット電圧と電源電圧との関係



C_{LOAD} = 15pF

図 5-14. 開ループ ゲインおよび位相と周波数との関係

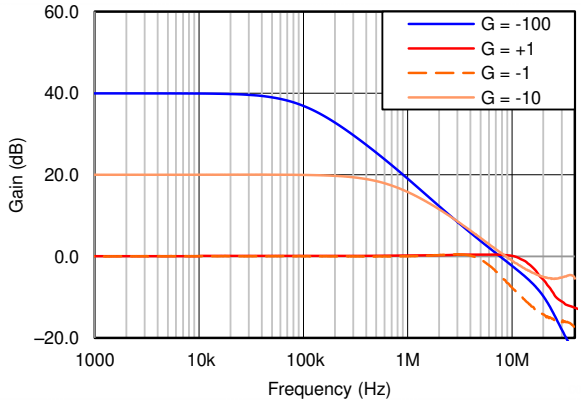


図 5-15. 閉ループ ゲインおよび位相と周波数との関係

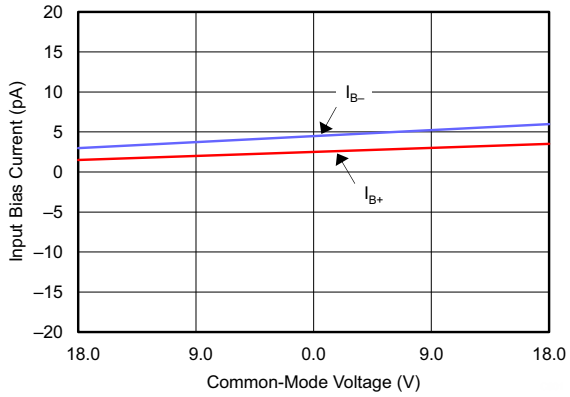


図 5-16. 入力バイアス電流と同相電圧との関係

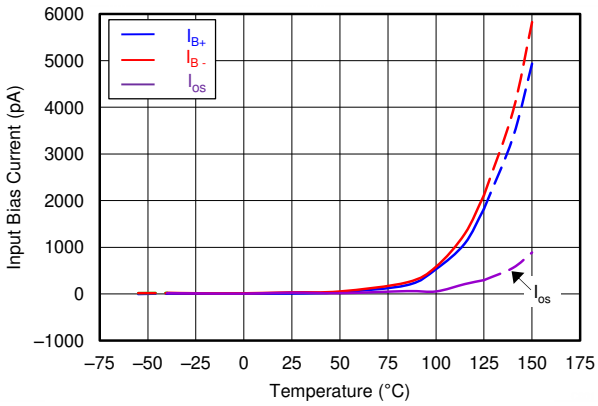


図 5-17. 入力バイアス電流と温度との関係

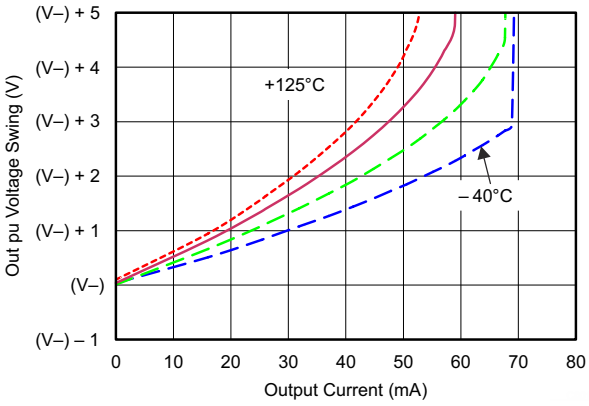


図 5-18. 出力電圧スイングと出力電流との関係 (最大供給能力)

5.9 代表的特性 (続き)

T_A = 25℃、V_S = ±18V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 100pF の場合 (特に記述のない限り)

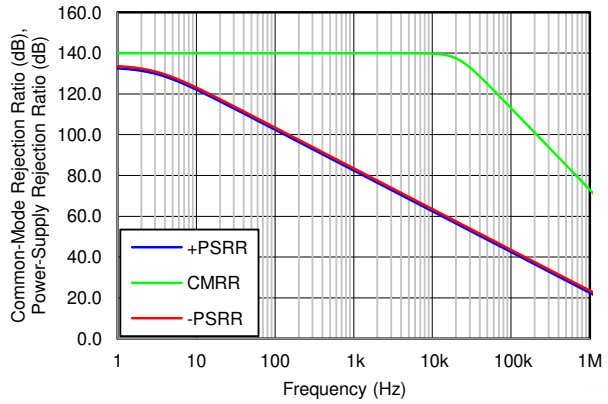


図 5-19. CMRR および PSRR と周波数との関係

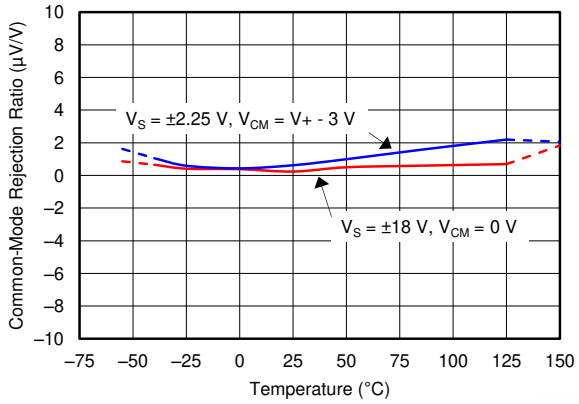


図 5-20. CMRR と温度との関係

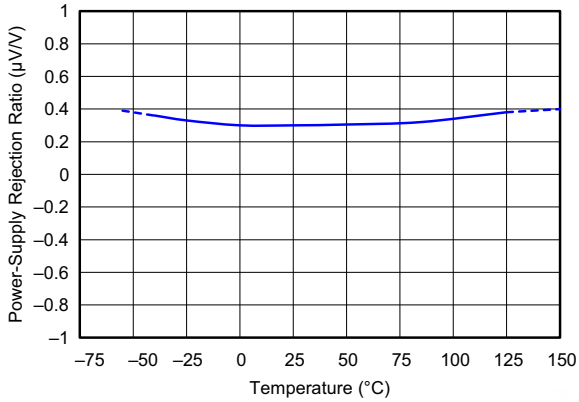


図 5-21. PSRR と温度との関係

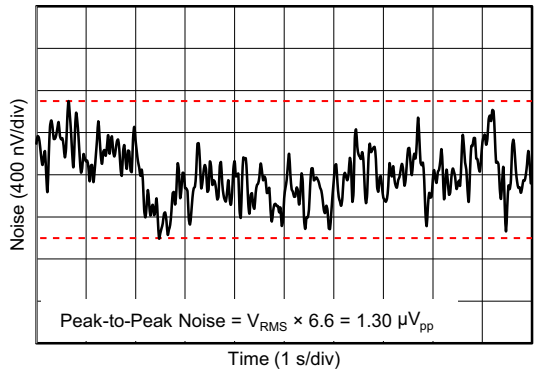


図 5-22. 0.1Hz～10Hz のノイズ

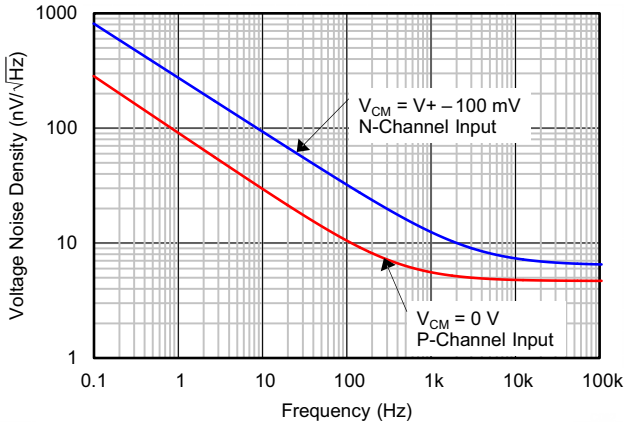


図 5-23. 入力電圧ノイズ スペクトル密度と周波数との関係

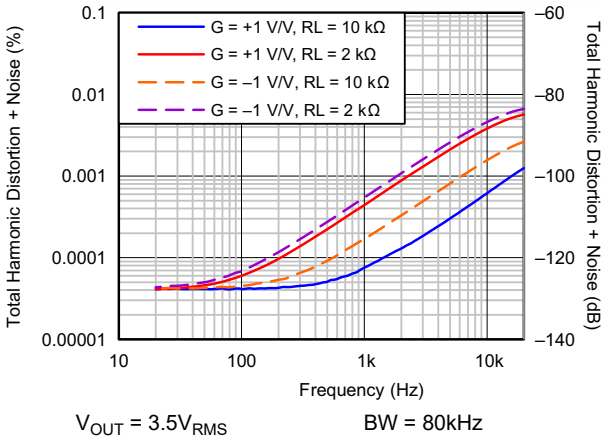
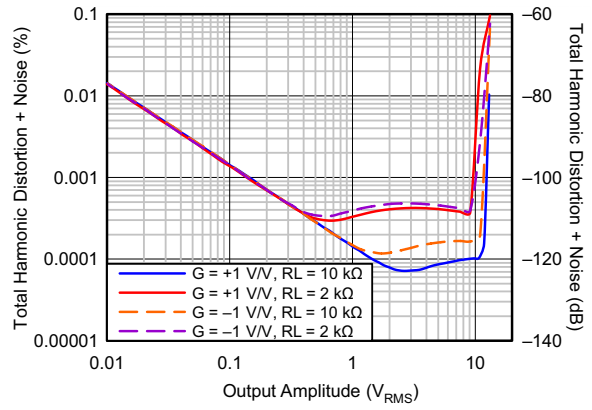


図 5-24. THD+N 比と周波数との関係

Copyright © 2026 Texas Instruments Incorporated

5.9 代表的特性 (続き)

T_A = 25℃、V_S = ±18V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 100pF の場合 (特に記述のない限り)



f = 1kHz、BW = 80kHz

図 5-25. THD+N と出力振幅との関係

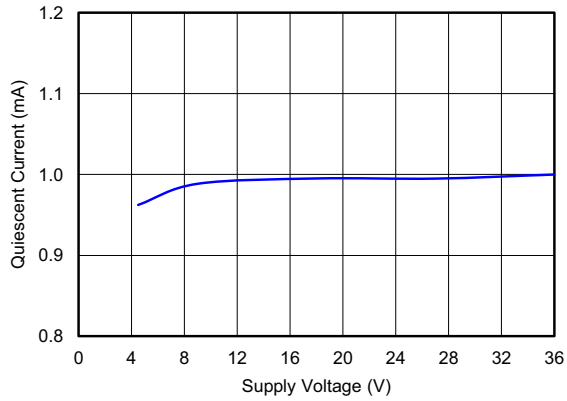


図 5-26. 静止電流と電源電圧との関係

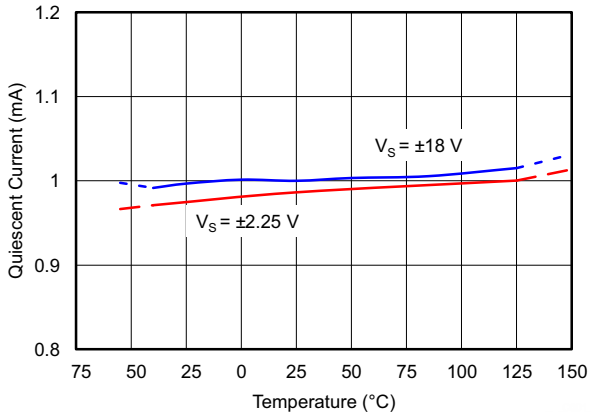
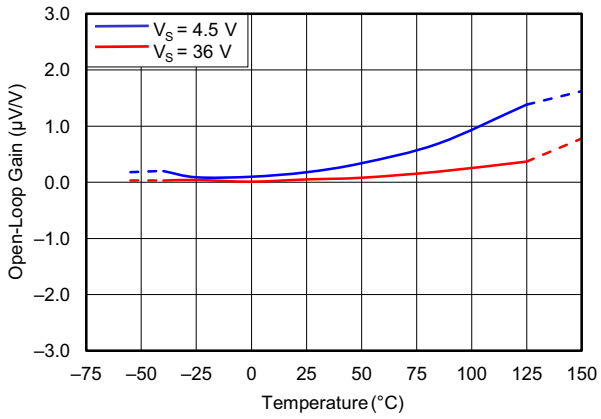


図 5-27. 静止電流と温度との関係



R_L = 10kΩ

図 5-28. 開ループ ゲインと温度との関係

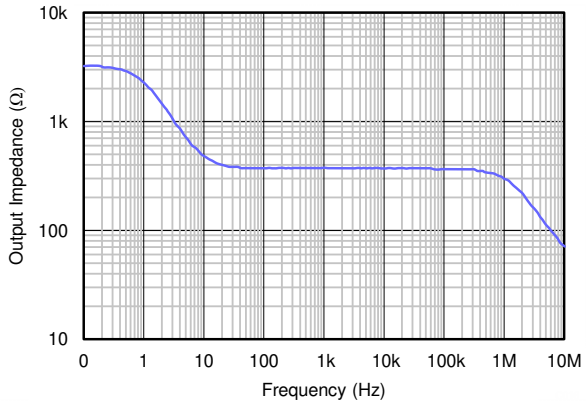
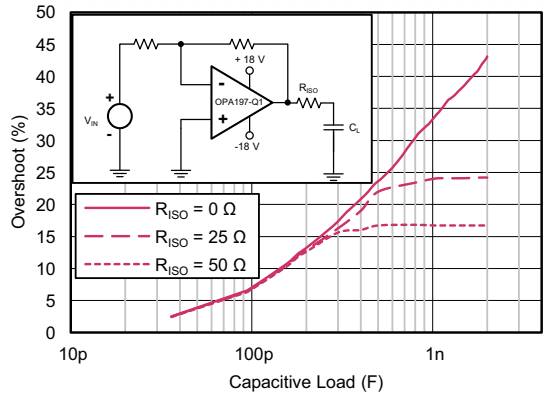


図 5-29. 開ループ出力インピーダンスと周波数との関係

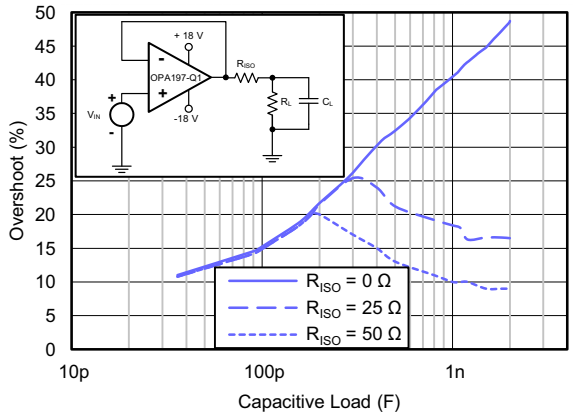


R_I = 1kΩ　　R_F = 1kΩ　　G = -1

図 5-30. 小信号オーバーシュートと容量性負荷との関係 (100mV 出力ステップ)

5.9 代表的特性 (続き)

T_A = 25℃、V_S = ±18V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 100pF の場合 (特に記述のない限り)



G = 1

図 5-31. 小信号オーバーシュートと容量性負荷との関係 (100mV 出力ステップ)

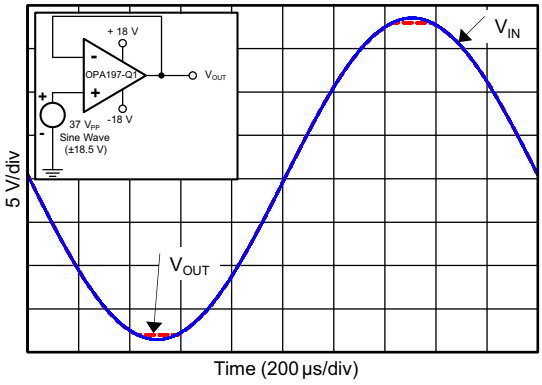
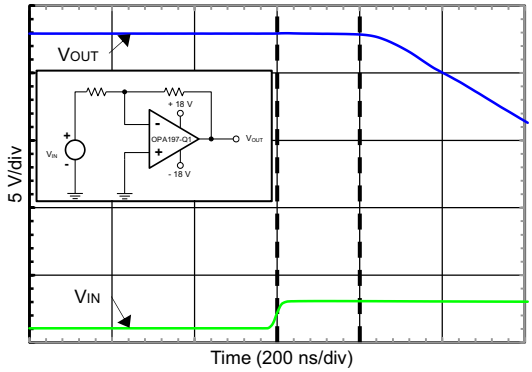
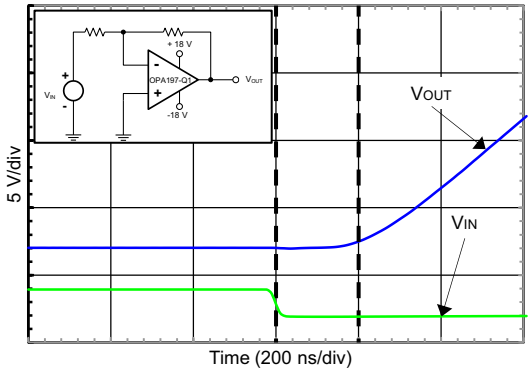


図 5-32. 位相反転が発生しない



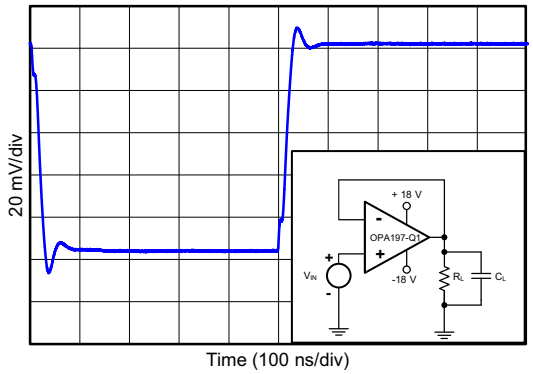
R_I = 1kΩ　　R_F = 10kΩ　　G = -10

図 5-33. 正の過負荷からの回復



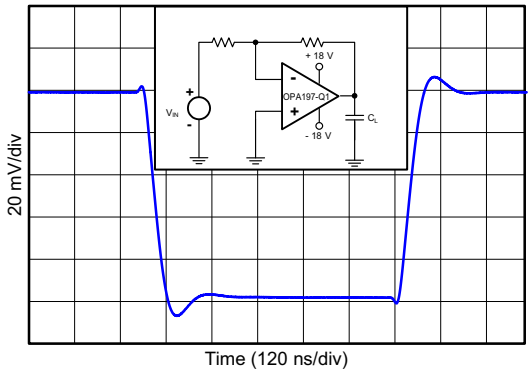
R_I = 1kΩ　　G = -10　　R_F = 10kΩ

図 5-34. 負の過負荷からの回復



C_L = 10pF　　G = 1

図 5-35. 小信号ステップ応答 (100mV)



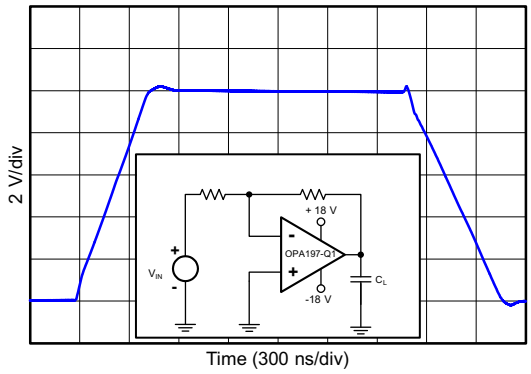
R_L = 1kΩ　　C_L = 10pF　　G = -1

図 5-36. 小信号ステップ応答 (100mV)

Copyright © 2026 Texas Instruments Incorporated

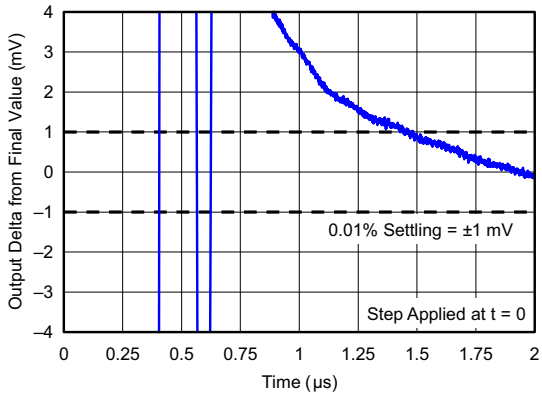
5.9 代表的特性 (続き)

T_A = 25℃、V_S = ±18V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 100pF の場合 (特に記述のない限り)



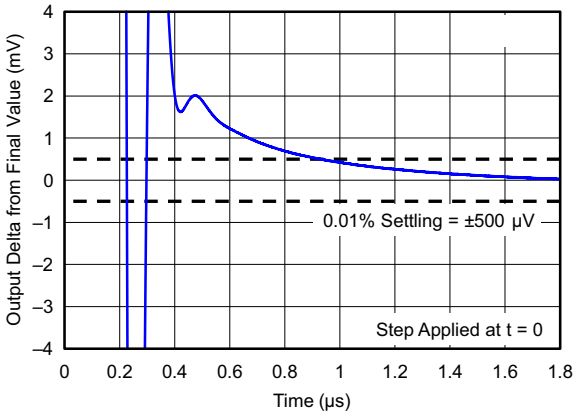
R_L = 1kΩ　　C_L = 10pF　　G = -1

図 5-37. 大信号ステップ応答



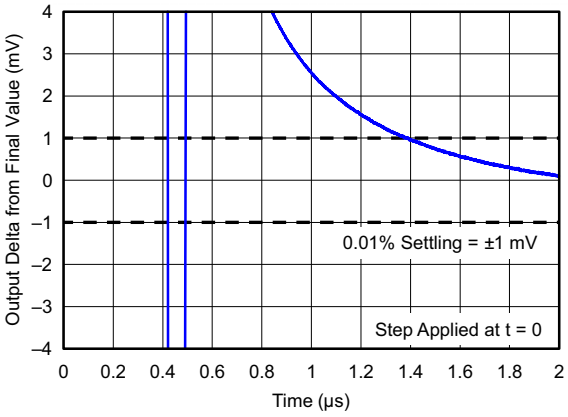
G = 1

図 5-38. セトリング タイム (10V 正ステップ)



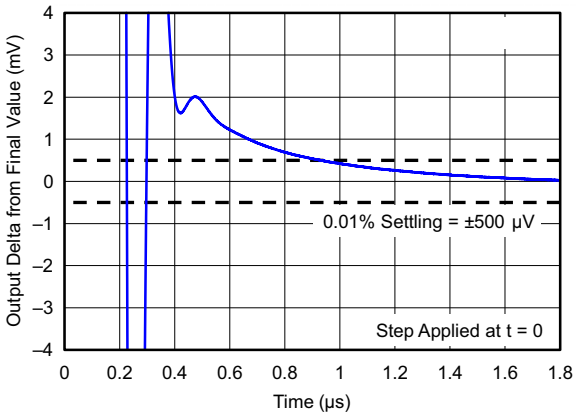
G = 1

図 5-39. セトリング タイム (5V 正ステップ)



G = 1

図 5-40. セトリング タイム (10V 負ステップ)



G = 1

図 5-41. セトリング タイム (5V 負ステップ)

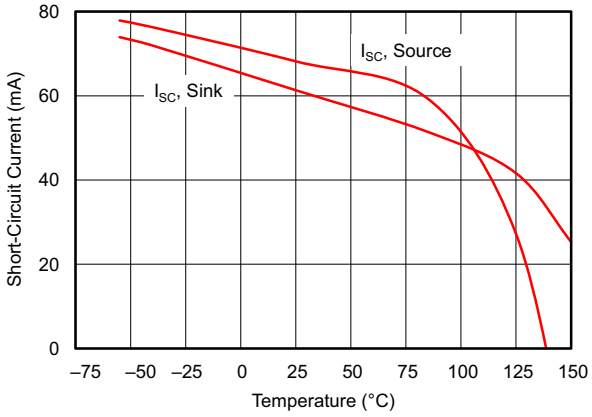


図 5-42. 短絡電流と温度との関係

5.9 代表的特性 (続き)

T_A = 25℃、V_S = ±18V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 100pF の場合 (特に記述のない限り)

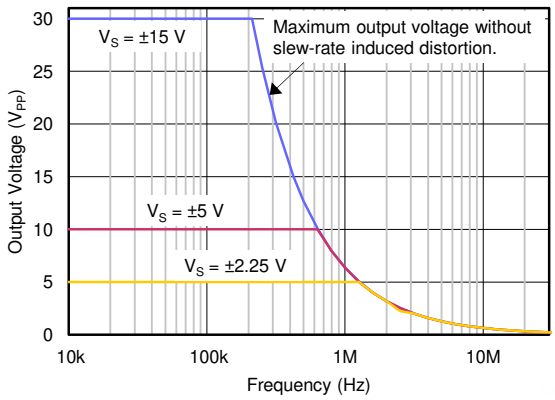


図 5-43. 最大出力電圧と周波数との関係

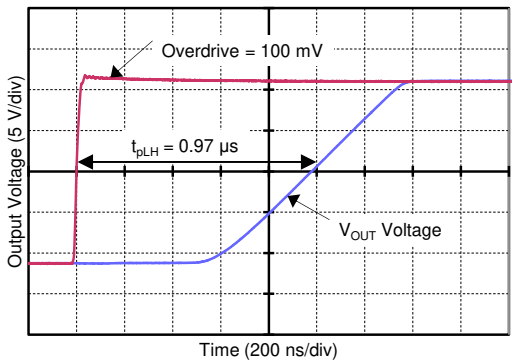


図 5-44. 伝搬遅延の立ち上がりエッジ

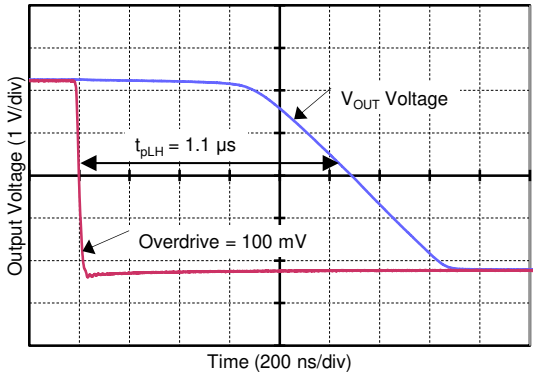


図 5-45. 伝搬遅延の立ち下がりエッジ

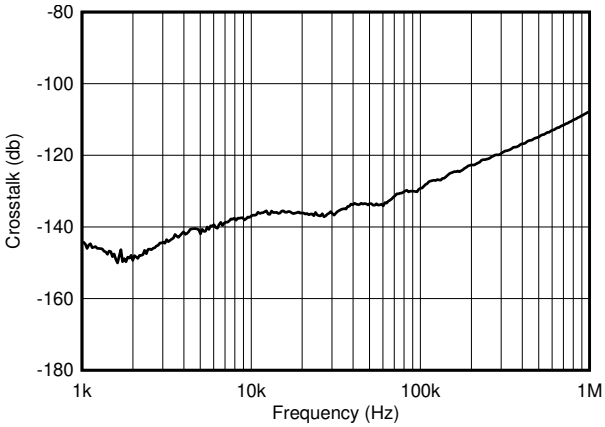


図 5-46. クロストークと周波数との関係

Copyright © 2026 Texas Instruments Incorporated

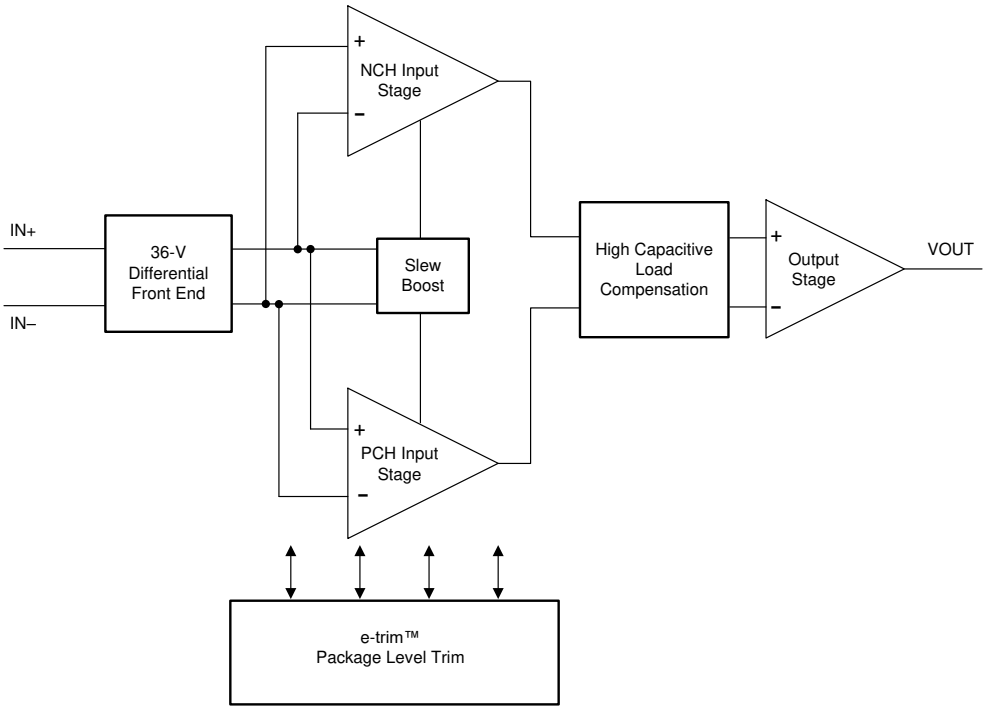
6 詳細説明

6.1 概要

OPAx197-Q1 ファミリの e-trim オペアンプでは、プラスチック成形プロセス後の製造の最終段階で、オフセットおよびオフセットの温度ドリフトをパッケージ レベルで調整する、独自の手法が採用されています。この方法により、入力トランジスタに内在する不一致の影響と、パッケージ造形時に発生する誤差が最小化されます。調整のための通信は標準ピン配置の出力ピンで行われ、調整点が設定された後、調整機構への追加の通信は永続的に無効化されます。セクション 6.2 に、OPAx197-Q1 の概略図を示します。

従来の e-trim オペアンプとは異なり、OPAx197-Q1 は特許取得済みの「2 温度トリミング アーキテクチャ」を採用しています。これにより、全仕様温度範囲にわたって、25μV (最大値) というきわめて低いオフセット電圧と、0.5μV/℃ (最大値) の低い入力オフセット電圧ドリフトを達成しています。広い電源電圧で高い精度を達成しているため、これらのアンプは特に、ハイ インピーダンスの産業用センサ、フィルタ、高電圧データ収集に便利です。

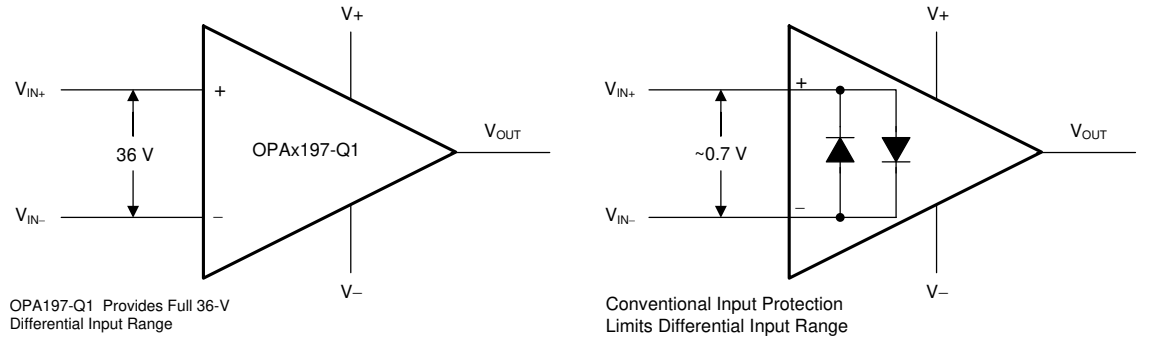
6.2 機能ブロック図



6.3 機能説明

6.3.1 入力保護回路

OPAx197-Q1 は、入力保護ダイオードが不要な独自の入力アーキテクチャを採用していますが、過渡条件下でも確実に入力を保護します。図 6-1 に示す従来型入力ダイオード保護方式は、高速な過渡ステップ応答によって活性化される可能性があり、AC 経路のために信号歪みとセトリング タイム遅延を引き起こす可能性があります (図 6-2 を参照)。図 6-3 に示すように、低ゲイン回路の場合、これらの高速ランプ入力信号は、入力電流を増やすバック ツー バック ダイオードを順バイアスし、セトリング タイムが延びます。



Copyright © 2018, Texas Instruments Incorporated

図 6-1. OPAx197-Q1 の入力保護機能は、差動入力能力を制限しない

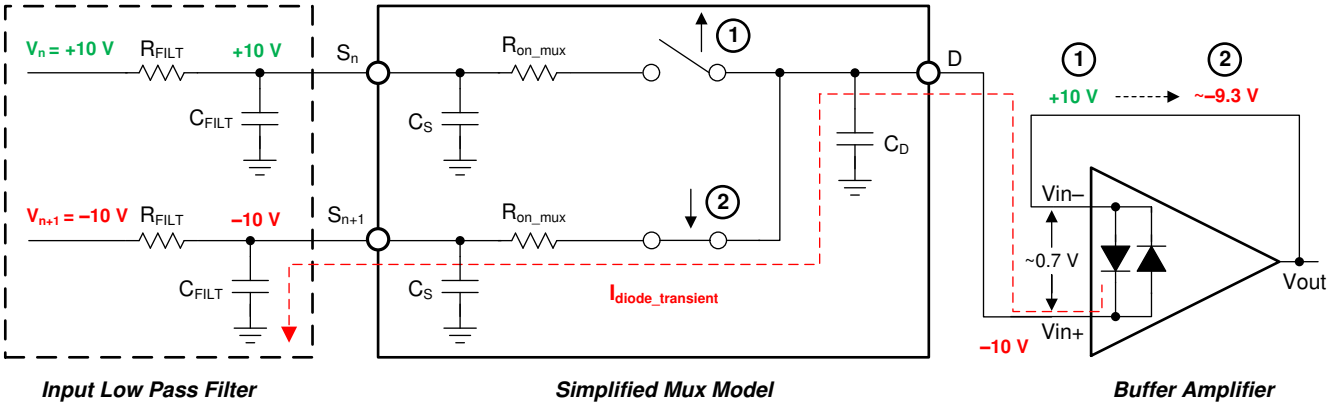


図 6-2. バック ツー バック ダイオードではセトリングの問題が発生する

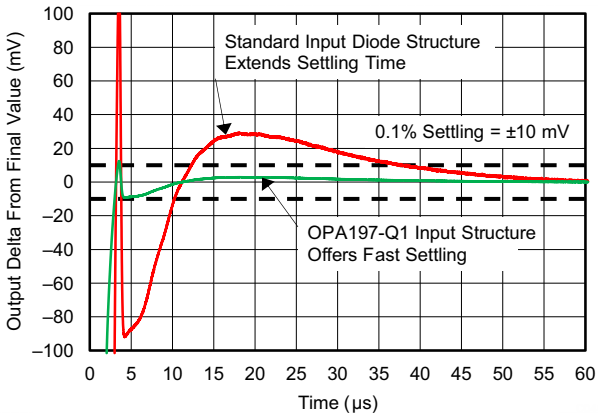


図 6-3. OPAx197-Q1 の保護回路は、高速のセトリング過渡応答を維持する

Copyright © 2026 Texas Instruments Incorporated

OPAx197-Q1 ファミリのオペアンプには、高電圧アプリケーション用に真の高インピーダンス差動入力機能があります。この特許取得済みの入力保護アーキテクチャは、信号歪みの増加やセトリング タイムの遅延を引き起こさないため、マルチチャネルの高スイッチ入力アプリケーションに最適なオペアンプとなります。OPAx197-Q1 は最大 36V の差動スイング (オペアンプの反転ピンと非反転ピンの間の電圧) に耐えることができるため、コンパレータとして、または高速ランプ入力信号を使うアプリケーション (例：多重化データ アクイジション システム、図 7-1 を参照) 用として最適です。

6.3.2 EMI 除去

OPAx197-Q1 は、内蔵の電磁干渉 (EMI) フィルタリングを使用して、ワイヤレス通信や、アナログ信号チェーンとデジタル部品が混在する高密度実装の基板などのソースによる EMI の影響を低減します。EMI 耐性は回路設計手法により改善可能で、OPAx197-Q1 はこのような設計の改善を活用しています。テキサス インスツルメンツは、10MHz から 6GHz までの幅広い周波数スペクトルにわたって、オペアンプの耐性を正確に測定および数量化する機能を開発しました。OPAx197-Q1 でこのテストを行った結果を、図 6-4 に示します。実際のアプリケーションで一般的に発生する、特定の周波数における OPAx197-Q1 の EMIRR IN+ 値を、表 6-1 に示します。表 6-1 に示すアプリケーションは、表に示す特定の周波数を中心として、またはその周波数の付近で運用されます。詳細については、『オペアンプの EMI 除去率』を参照してください。TI のアプリケーション レポートは www.ti.com からダウンロードできます。

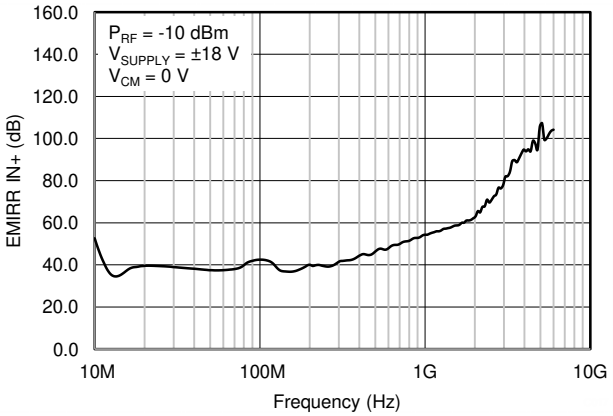


図 6-4. EMIRR テスト

表 6-1. 特定周波数における OPAx197-Q1 の EMIRR IN+

FREQUENCY	アプリケーションまたは割り当て	EMIRR IN+
400MHz	モバイル無線、モバイル衛星、宇宙での運用、気象、レーダー、極超短波 (UHF) アプリケーション	44.1dB
900MHz	GSM (モバイル通信) アプリケーション向けのグローバル システム、無線通信、ナビゲーション、GPS (最高 1.6GHz まで)、GSM、航空モバイル、UHF アプリケーション	52.8dB
1.8GHz	GSM アプリケーション、モバイル パーソナル通信、ブロードバンド、衛星、L バンド (1GHz～2GHz)	61.0dB
2.4GHz	802.11b、802.11g、802.11n、Bluetooth®、モバイル パーソナル通信、産業用、科学用および医療用 (ISM) 無線帯域、アマチュア無線および衛星、S バンド (2GHz～4GHz)	69.5dB
3.6GHz	無線測位、航空通信およびナビゲーション、衛星、モバイル、S バンド	88.7dB
5GHz	802.11a、802.11n、航空通信とナビゲーション、モバイル通信、宇宙と衛星での運用、C バンド (4GHz～8GHz)	105.5dB

6.3.3 位相反転の防止

OPAx197-Q1 ファミリには、位相反転の保護機能が搭載されています。多くのオペアンプでは、入力がリニア同相範囲を超えて駆動されると、位相反転が発生します。この条件が最も多く発生するのは非反転回路で、規定された同相電圧範囲を超えて入力を駆動すると、出力は逆のレールに反転します。OPAx197-Q1 はレール ツー レール入力のオペアンプなので、同相範囲はレールまで拡張できます。入力信号がレールを超えても位相反転は起きません。代わりに、出力は適切なレールに制限されます。この特性を 図 6-5 に示します。

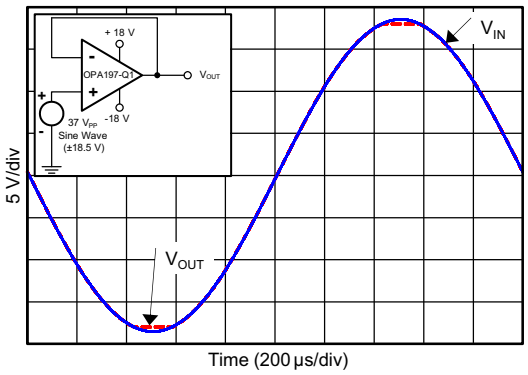


図 6-5. 位相反転が発生しない

6.3.4 過熱保護

あらゆるアンプは、内部消費電力によって内部 (接合部) の温度が上昇します。この現象を「自己発熱」と呼びます。OPAx197-Q1 の絶対最大接合部温度は 150℃ です。この最大温度を超えると、デバイスが損傷します。OPAx197-Q1 には過熱保護機能があり、自己発熱による損傷を低減できます。この保護機能はデバイスの温度を監視し、温度が 140℃ を超えるとオペアンプの出力ドライブをオフにします。OPAx197-Q1 の消費電力 (0.81W) のために自己発熱が大きくなる (159℃) アプリケーションの例を、図 6-6 に示します。熱に関する計算から、周囲温度が 65℃の場合、デバイスの接合部温度は 187℃に達することが示されます。しかし、実際のデバイスでは出力ドライブがオフになり、接合部の温度は安全域に留まります。過熱保護時の回路の動作を、図 6-6 に示します。通常の動作では、デバイスはバッファとして動作し、出力は 3V になります。自己発熱によりデバイスの接合部温度が 140℃ を超えた場合、過熱保護機能によって出力が強制的にハイ インピーダンス状態になり、出力は抵抗 RL によってグランドにプルダウンされます。

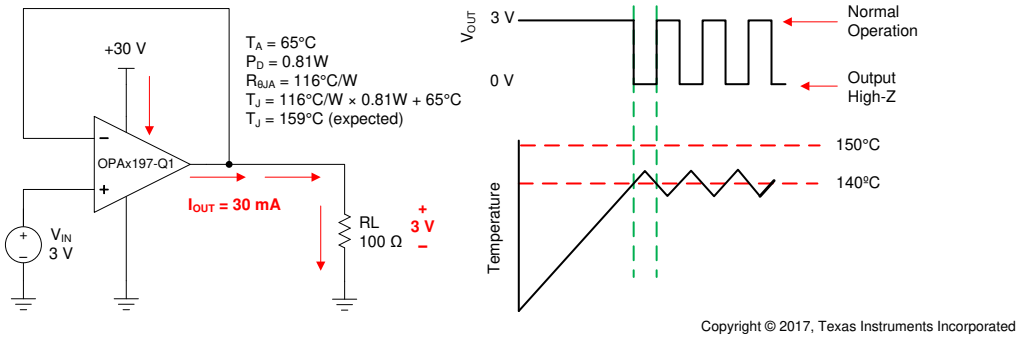


図 6-6. 過熱保護

Copyright © 2026 Texas Instruments Incorporated

6.3.5 容量性負荷および安定度

OPAx197-Q1 は、大きな容量性負荷を駆動できる特許取得済みの出力段を備えており、ユニティ ゲイン構成では最大 1nF の純容量性負荷を直接駆動します。ゲインを大きくするとこれらのアンプの能力が拡張され、より大きな容量性負荷を駆動できるようになります。図 6-7 および 図 6-8 を参照してください。アンプが動作時に安定するかどうか判断するには、オペアンプの回路構成、レイアウト、ゲイン、出力負荷など、いくつかの要因を考慮します。

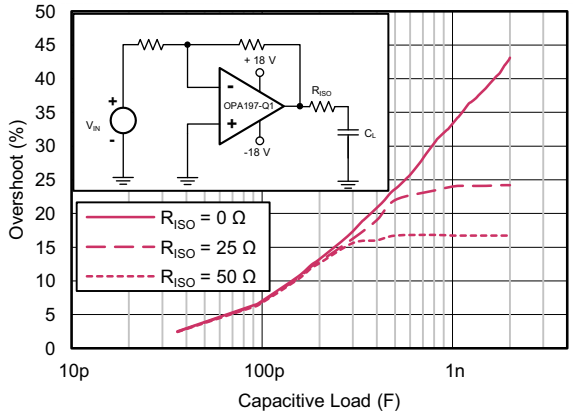


図 6-7. 小信号オーバーシュートと容量性負荷との関係 (100mV 出力ステップ)

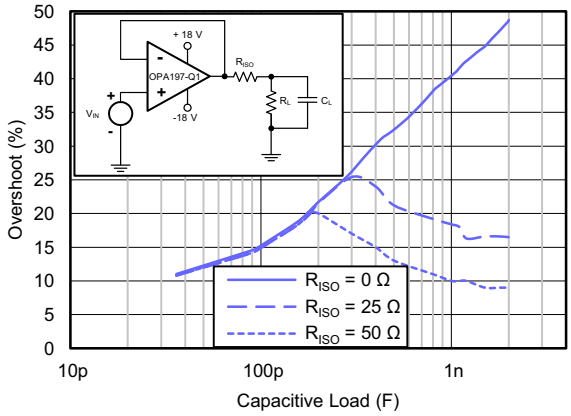


図 6-8. 小信号オーバーシュートと容量性負荷との関係 (100mV 出力ステップ)

ユニティ ゲイン構成で駆動能力を高めるため、図 6-9 に示すように、小さな (10Ω から 20Ω) 抵抗 R_{ISO} を出力と直列に挿入し、容量性負荷の駆動能力を増やします。この抵抗は、リンギングを大幅に低減し、純粋な容量性負荷に対して dc 性能を維持します。ただし、容量性負荷と抵抗性負荷が並列に接続されている場合、分圧回路が生まれるため、出力にゲイン誤差が生じ、出力スイングがわずかに減少します。発生する誤差は R_{ISO} / R_L の比に比例し、一般に低い出力レベルでは無視できます。OPAx197-Q1 は容量性負荷の駆動能力が大きいため、リファレンス バッファ、MOSFET ゲート ドライブ、ケーブル シールド ドライブなどのアプリケーションに最適です。図 6-9 に示す回路は、絶縁抵抗 R_{ISO} を使用してオペアンプの出力を安定させます。R_{ISO} は、システムの開ループ ゲインを変更して位相マージンを増やします。OPAx197-Q1 を使用した結果を 表 6-2 に要約します。この回路を使用して最適化と設計を行う技法の詳細については、TI Precision Design TIPD128 で、設計目標、シミュレーション、テスト結果の詳細を参照してください。

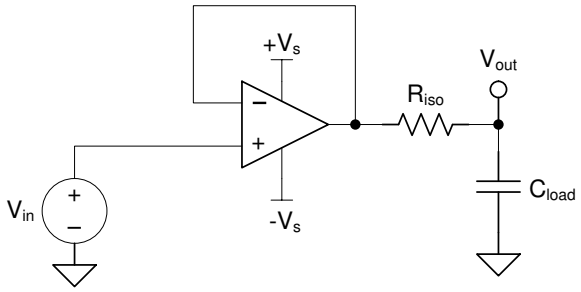


図 6-9. OPAx197-Q1 により容量性負荷の駆動能力を拡張

表 6-2. 絶縁抵抗を使用する OPAx197-Q1 容量性負荷駆動ソリューションの、計算結果と実際の測定結果との比較

パラメータ	値									
容量性負荷	100pF		1000pF		0.01μF		0.1μF		1μF	
位相マージン	45°	60°	45°	60°	45°	60°	45°	60°	45°	60°
R_{ISO} (Ω)	47	360	24	100	20	51	6.2	15.8	2	4.7
測定されたオーバーシュート (%)	23.2 8.6	10.4	22.5	9	22.1	8.7	23.1	8.6	21	8.6
PM の計算値	45.1°	58.1°	45.8°	59.7°	46.1°	60.1°	45.2°	60.2°	47.2°	60.2°

詳細な設計手順、回路図、部品表、プリント基板 (PCB) ファイル、シミュレーション結果、テスト結果については、『TI Precision Design TIPD128、絶縁抵抗を使った容量性負荷駆動ソリューション』を参照してください。

6.3.6 同相電圧範囲

OPAx197-Q1 は 36V、真のレール ツー レール入力オペアンプで、入力同相範囲が両方の電源レールから 100mV まで拡張されています。図 6-10 に示すように、相補型 N チャネルと P チャネルの差動入力ペアを並列接続することで、この広い範囲を実現しています。N チャネル ペアは、正電源レールに近い入力電圧、通常は (V+) – 3V から、正電源より 100mV 高い入力電圧でアクティブになります。P チャネル ペアは、負電源より 100mV 低い電圧から、約 (V+) − 1.5V までの入力でアクティブになります。両方の入力ペアが動作する小さな遷移領域があり、通常は V+) –3V to (V+) – 1.5V の範囲となっています。この遷移領域は、プロセスの差異に応じて多少変化する可能性があります。また、この領域内では PSRR、CMRR、オフセット電圧、オフセット ドリフト、ノイズ、THD の性能が、領域外で動作するときよりも低下する可能性があります。

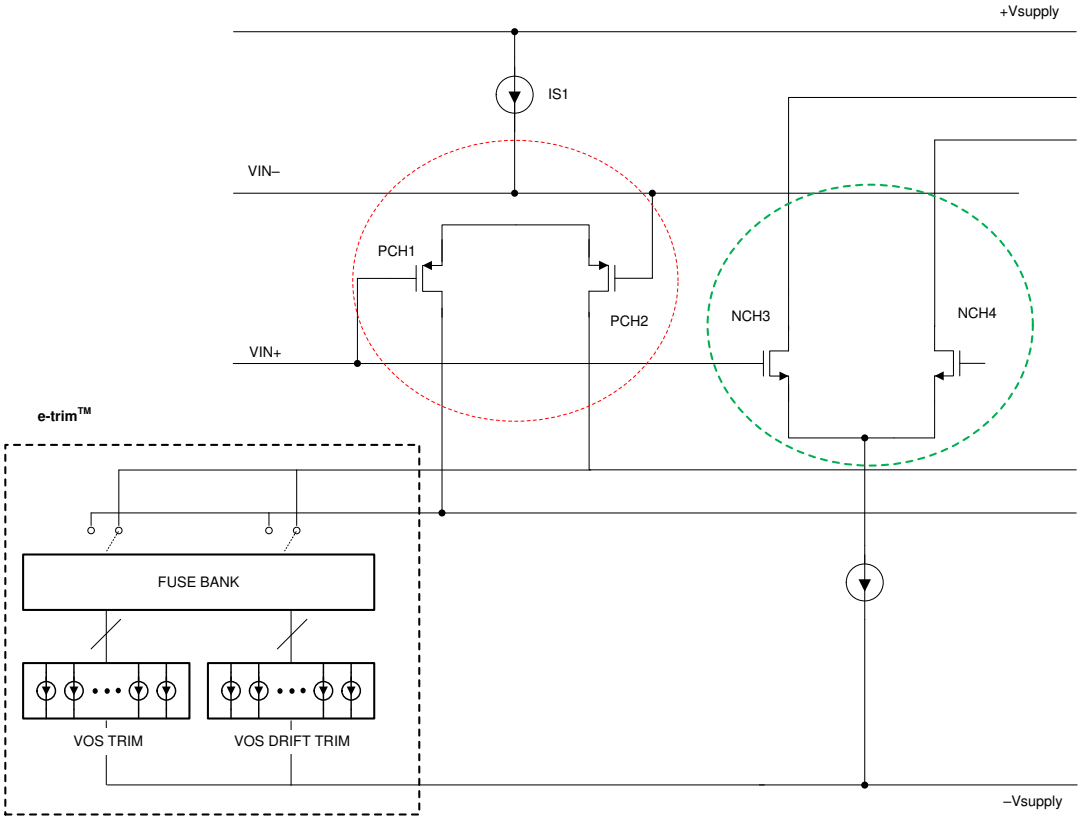


図 6-10. レール ツー レール入力段

Copyright © 2026 Texas Instruments Incorporated

2 段レール ツー レール入力アンプで最高の性能を達成するには、可能な場合、遷移領域を避けます。OPAx197-Q1 では、N チャネルと P チャネルの両方の領域で高精度の調整を行っています。この技術により、前世代のデバイスよりもオフセット レベルを大幅に低減できていますが、入力段の遷移領域での変化が、同相範囲全体のオフセットと比べて誇張されて表れます (図 6-11 を参照)。

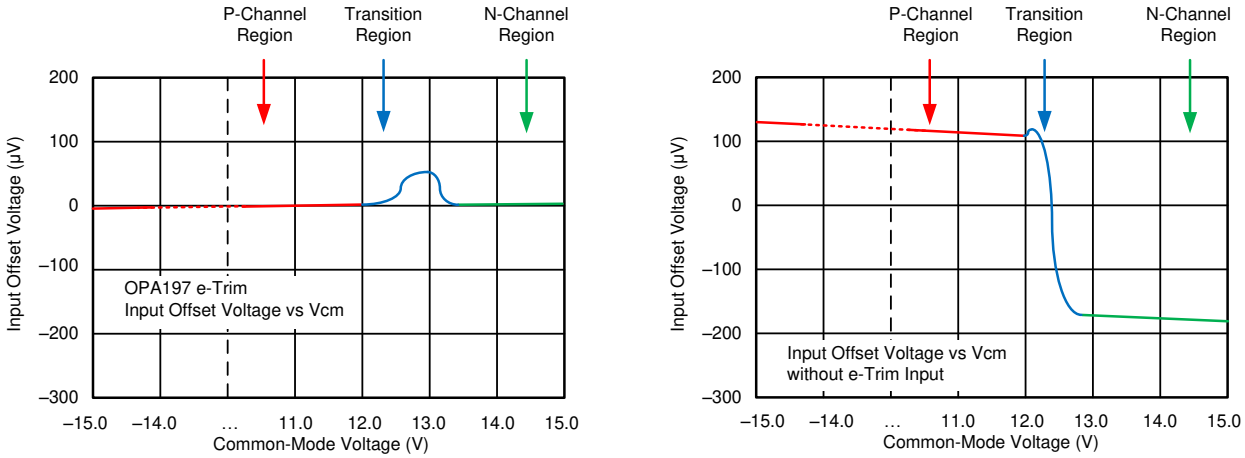
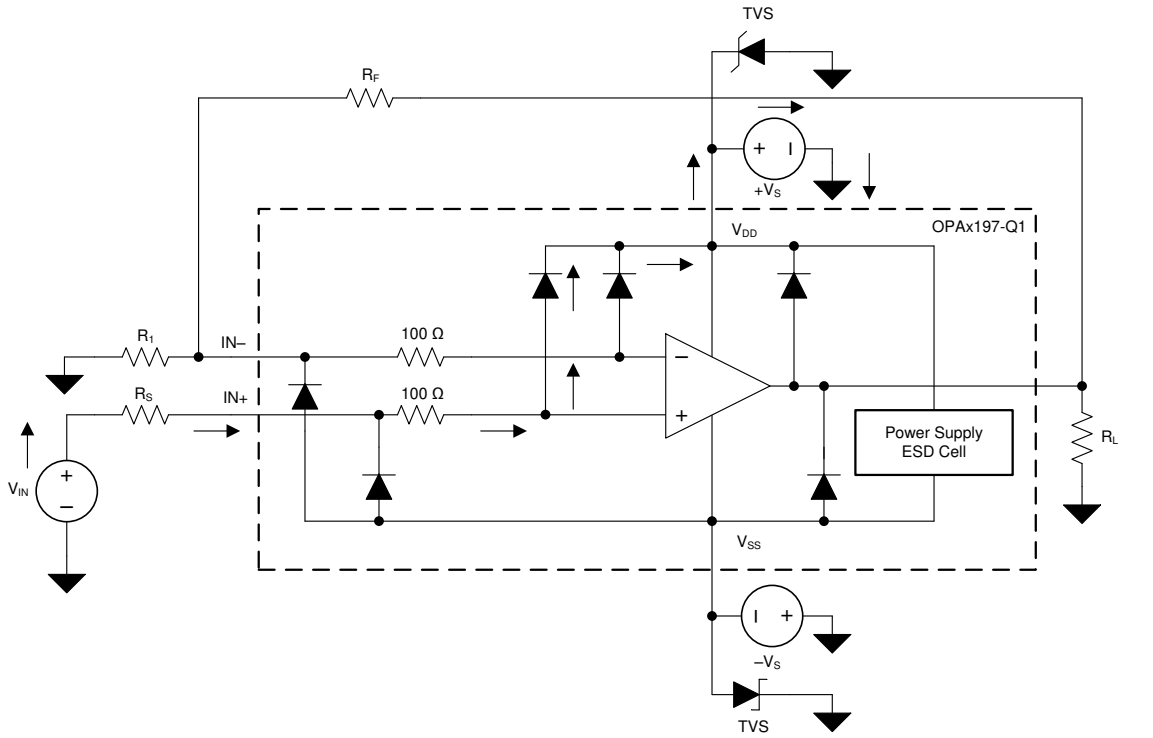


図 6-11. 同相モード遷移 (一般的なレール ツー レール アンプとの比較)

6.3.7 電気的オーバーストレス

設計者は多くの場合、オペアンプが電気的オーバーストレス (EOS) にどの程度耐えられるのかという質問をします。これらの質問は、主にデバイスの入力に関するものですが、電源電圧ピンや、さらに出力ピンにも関係する場合があります。これらの各ピンの機能には、特定の半導体製造プロセスの電圧ブレークダウン特性と、ピンに接続された特定の回路とで決まる電気的ストレスの制限値があります。また、これらの回路には内部静電気放電 (ESD) 保護機能が組み込まれており、製品の組み立て前と組み立て中の両方で、偶発的な ESD イベントから保護します。

この基本的な ESD 回路と、電気的オーバーストレス イベントとの関連性を十分に理解しておくと役に立ちます。OPAx197-Q1 に含まれる ESD 回路の図を、図 6-12 に示します (破線で囲まれている部分)。ESD 保護回路には、いくつかの電流ステアリング ダイオードが含まれており、これらは入力ピンや出力ピンから接続され、内部の電源ラインに戻るようルーティングされます。これらのダイオードは、オペアンプ内部の吸収デバイスや電源 ESD セルで接続されます。この保護回路は、通常の回路動作中は非アクティブに保たれるよう設計されます。



Copyright © 2017, Texas Instruments Incorporated

図 6-12. 代表的な回路アプリケーションと比較して等価な内部 ESD 回路

ESD イベントは持続時間が非常に短く、電圧が非常に高い (例:1kV、100ns) のに対して、EOS イベントは持続時間が長く、電圧も低くなります (例:50V、100ms)。ESD ダイオードは、回路外の ESD 保護 (つまり、PCB に半田付けする前にデバイスの組み立て、テスト、保管を行うとき) を目的として設計されています。ESD イベントの間、ESD 信号は ESD ステアリング ダイオードを通過して吸収回路 (「ESD 電源回路」とラベル付けされています) に渡されます。ESD 吸収回路は、電源を安全なレベルにクランプします。

この動作は回路外保護のためには必要なものですが、回路内でこの動作をアクティブにすると、過大な電流と損傷が発生します。過渡電圧サプレッサ (TVS) を使用すると、回路内の ESD イベント発生時に ESD 吸収回路がオンになることで生じる損傷を防止できます。適切な電流制限抵抗と、TVS ダイオードを使用すると、デバイスの ESD ダイオードで EOS イベントからの保護を行えます。

6.3.8 過負荷回復

過負荷からの回復は、オペアンプの出力が飽和状態から線形状態に回復するために必要な時間として定義されます。高い入力電圧または高いゲインのいずれかが原因で、出力電圧が定格動作電圧を超えると、オペアンプの出力デバイスは飽和領域に入ります。デバイスが飽和領域に入った後、出力デバイスのチャージ キャリアは線形状態に回復するための時間を必要とします。チャージ キャリアが線形状態に戻ると、デバイスは指定されたスルーレートでスルーを開始します。したがって、過負荷状態の場合の伝搬遅延は、過負荷復帰時間とスルー時間の合計になります。OPAx197-Q1 の過負荷復帰時間は約 200ns です。

6.4 デバイスの機能モード

OPAx197-Q1 には単一機能モードがあり、電源電圧が 4.5V (±2.25V) を上回ると動作します。OPAx197-Q1 の最大電源電圧は 36V (±18V) です。

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

OPAx197-Q1 ファミリは DC 精度と AC 性能が非常に優れています。これらのデバイスは、最高 36V の電源レールで動作し、真のレール ツー レール入出力、低いオフセット電圧とオフセット電圧ドリフトに加えて、10MHz の帯域幅と、高い容量性負荷ドライブを実現しています。これらの特長から、OPAx197-Q1 は高電圧の産業用アプリケーションに適した、堅牢で高性能なオペアンプです。

7.2 代表的なアプリケーション

7.2.1 16 ビット高精度多重化データ アクイジション システム

16 ビットで差動の 4 チャネル多重化データ アクイジション システムを、図 7-1 に示します。この例は、低歪で高電圧の差動入力を必要とする産業用アプリケーションで一般的なものです。この回路は、16 ビット、400kSPS の逐次比較抵抗 (SAR) A/D コンバータ (ADC) である ADS8864 と、高精度、高電圧のシグナル コンディショニング フロント エンド、および 4 チャネルの差動マルチプレクサ (mux) を使用しています。この TI Precision Design では、OPAx197-Q1 と OPA140 を使用して高精度、高電圧のフロントエンド ドライブ回路を最適化し、ADS8864 で優れたダイナミック特性と直線性を実現するプロセスについて詳しく説明します。

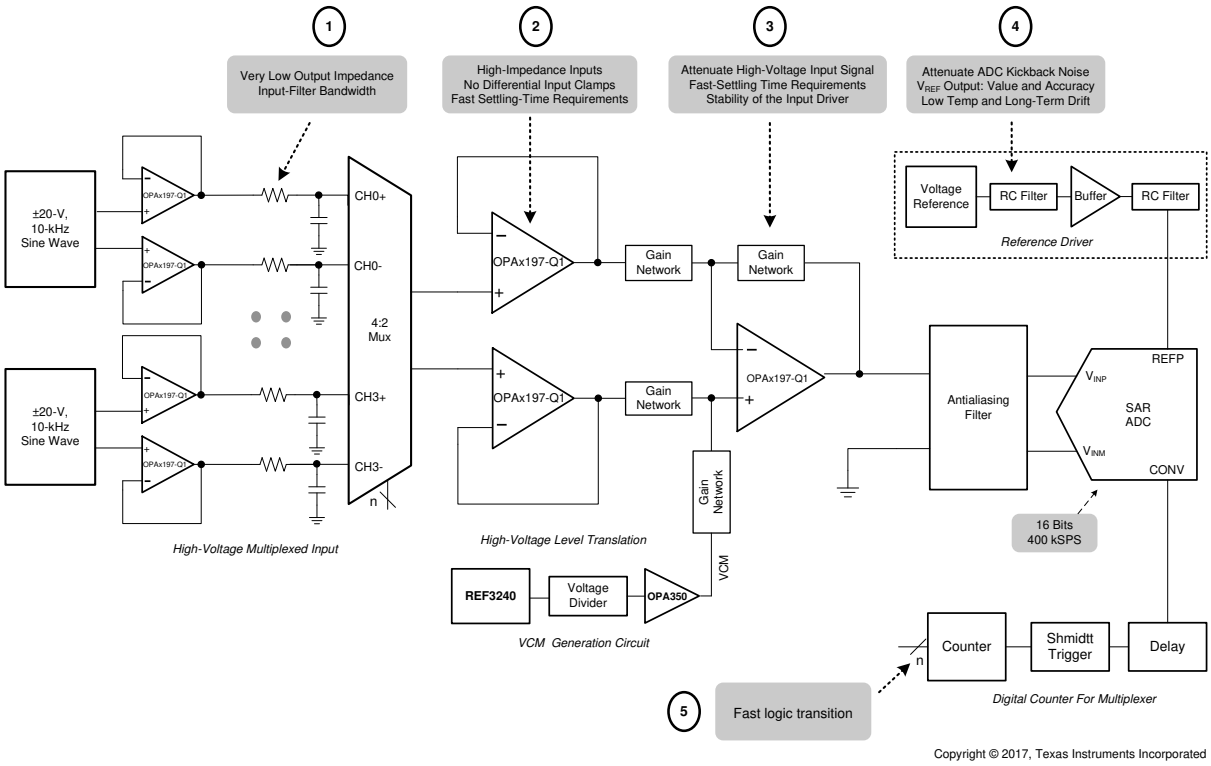


図 7-1. OPAx197-Q1 を使用した、高電圧入力で低歪を実現する 16 ビット、400kSPS、4 チャネルの多重化データ アクイジション システム

7.2.1.1 設計要件

主な目的は、10kHz フルスケールの純正弦波入力に対して、16 ビット ADS8864 を 400kSPS のスループットで使用し、歪みを最小限に抑えた ±20V の差動 4 チャネル多重化データ アクイジション システムを設計することです。このブロック設計の設計要件は次のとおりです。

- システム電源電圧:±15V
- ADC 電源電圧:3.3V
- ADC サンプリング レート:400kSPS
- ADC リファレンス電圧 (REFP):4.096V
- システム入力信号:マルチプレクサの各差動入力には、ピーク振幅が 10V、周波数 (f_{IN}) が 10kHz の高電圧差動入力信号が印加されます。

7.2.1.2 詳細な設計手順

この高精度設計の目的は、最高のシステム直線性と高速セトリングを実現するために、最適な高電圧多重化データ アクイジション システムを設計することです。システム全体のブロック図を、図 7-1 に示します。この回路は、入力ローパス フィルタ、マルチプレクサ、マルチプレクサ出力バッファ、減衰 SAR ADC ドライバ、マルチプレクサ用デジタル カウンタ、リファレンス ドライバで構成される、マルチチャネルのデータ アクイジション信号チェーンです。このアーキテクチャにより、単一の ADC を使用して複数のチャネルを高速サンプリングできるため、低コストのソリューションを実現できます。高精度の多重化データ アクイジション システムの性能を最大化するための主な設計上の検討事項は、マルチプレクサ入力アナログ フロント エンドと、高電圧レベル変換用 SAR ADC ドライバの設計の 2 つです。ただし、16 ビットの分解能と最小の歪みのシステムで最速のセトリングを実現するために、ADC の性能仕様に基づいて各アナログ回路ブロックを注意深く設計してください。図 7-1 には、各アナログ ブロックで最も重要な仕様が記載されています。

この設計は、各アナログ回路ブロックに体系的な手法を使用して 16 ビットのセトリングを達成し、各入力チャネルで 10kHz の正弦波入力信号に対して、フルスケールの入力段電圧と直線性を実現します。設計の最初のステップは、マルチプレクサの超低インピーダンス入力フィルタ設計の要件を理解することです。この要件を理解すると、適切な入力フィルタの決定と、システムのセトリング要件を満たすマルチプレクサの選択に役立ちます。次の重要なステップは、アンプの安定性を維持するときに高電圧入力信号を低電圧 ADC 入力にレベル変換するために使用する、減衰アナログ フロント エンド (AFE) の設計です。その次のステップは、最小限の遅延でマルチプレクサ入力チャネルを切り替えるデジタル インターフェイスを設計することです。設計上の最後の課題は、低いオフセット、ドリフト、ノイズの寄与で必要な REFP リファレンス電圧を供給する、高精度のリファレンス ドライバ回路を設計することです。

> 設計の詳細手順、回路図、部品表、PCB ファイル、シミュレーション結果、テスト結果については、TI Precision Design『TIPD151、高電圧入力向けで最低歪みの 16 ビット、400kSPS、4 チャネルの多重化データ アクイジション システム』を参照してください。

7.2.1.3 アプリケーション曲線

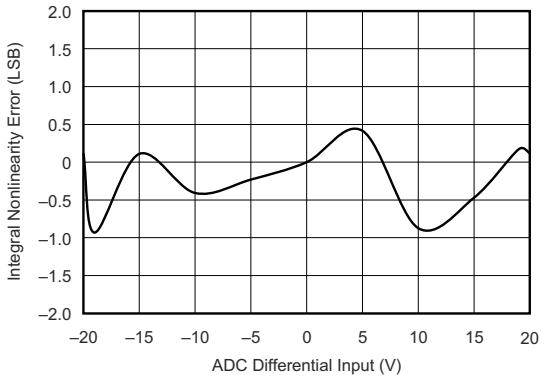
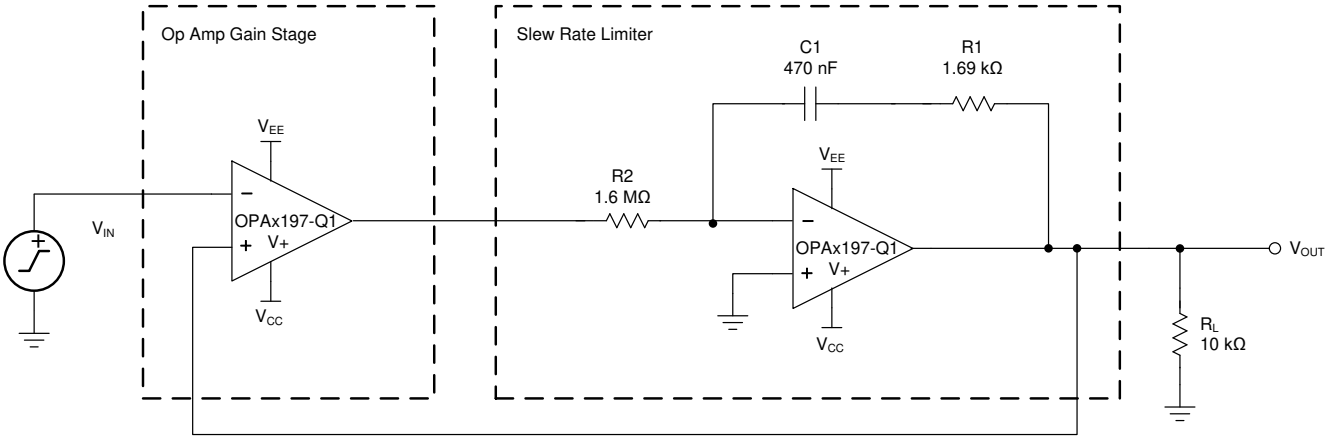


図 7-2. 多重化データ アクイジション ブロックの ADC 16 ビット直線性誤差

Copyright © 2026 Texas Instruments Incorporated

7.2.2 スルーレート制限による入力保護

バルブやモーターの制御システムでは、電圧や電流の急激な変化が機械的損傷を引き起こす可能性があります。ドライブ回路へのコマンド電圧のスルーレートを制御することで、負荷電圧の上昇および下降を安全なレートで実行できます。対称型スルーレートのアプリケーション (正のスルーレートと負のスルーレートが等しい) では、追加のオペアンプ 1 個により、特定のアナログ ゲイン段に対してスルーレート制御が行われます。OPAx197-Q1 は独自の入力保護機能を備え、出力電流とスルーレートが大きいため、デュアル電源とシングル電源の両方のシステムでスルーレート制御を実現する最適なアンプとなります。スルーレートを制限する設計の OPAx197-Q1 を、図 7-3 に示します。



Copyright © 2017, Texas Instruments Incorporated

図 7-3. スルーレート リミッタはオペアンプを 1 つだけ使用

詳細な設計手順、回路図、部品表、PCB ファイル、シミュレーション結果、テスト結果については、『TI Precision Design TIPD140、スルーレート リミッタはオペアンプを 1 つだけ使用』を参照してください。

7.2.3 高精度リファレンス バッファ

OPAx197-Q1 は、高い出力電流駆動能力と低い入力オフセット電圧を特長としており、過渡に対する十分な駆動電流で高精度のバッファ出力を提供する優れたリファレンス バッファです。図 7-4 に示す 10µF のセラミック コンデンサについて、37.4Ω の絶縁抵抗 (R_{ISO}) で、2 つのフィードバック パスを分離して最高の安定性を実現します。フィードバック パスの番号 1 は R_F を経由し、出力 (V_{OUT}) に直接接続されています。フィードバック パスの番号 2 は R_{Fx} と C_F を経由し、オペアンプの出力に接続されています。10µF の負荷について示されている、最適化された安定性コンポーネントは、V_{OUT} で 4kHz の閉ループ信号帯域幅を実現しながら、89° のループ ゲイン位相マージンを提供します。その他の負荷容量では、安定性コンポーネントの再計算が必要です。R_F、R_{Fx}、C_F、R_{ISO}。

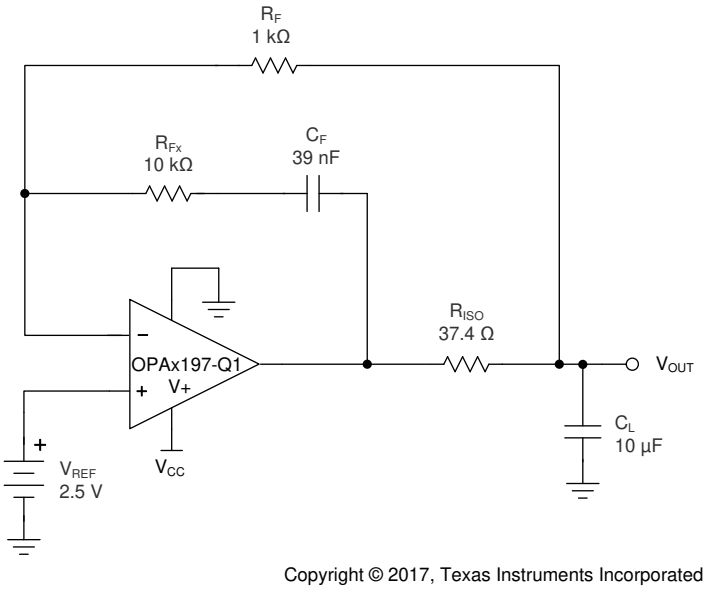


図 7-4. 高精度リファレンス バッファ

7.3 電源に関する推奨事項

OPAx197-Q1 は 4.5V ～ 36V (±2.25V ～ ±18V) で動作が規定されており、多くの仕様は -40℃ ～ +125℃ で適用されます。動作電圧または温度に関して大きな変動を示す可能性があるパラメータについては、セクション 5.9 を参照してください。

> **注意**
>
> 40V を超える電源電圧を印加すると、デバイスに永続的な損傷を与える可能性があります。「絶対最大定格」を参照してください。

電源ピンの近くに 0.1µF のバイパス コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源からの誤差を低減できます。バイパス コンデンサの配置の詳細については、セクション 7.4 を参照してください。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するには、以下のような適切な PCB レイアウト手法を使用してください。

- ノイズが回路全体の電源ピンとオペアンプ自体を経由して、アナログ回路に伝播することがあります。バイパス コンデンサは、アナログ回路に対してローカルに低インピーダンスの電源を供給し、結合ノイズを低減するために使用されます。

Copyright © 2026 Texas Instruments Incorporated

  - 各電源ピンとグランドの間に Low ESR 0.1μF のセラミック バイパス コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、V+ からグランドに対して 1 つのバイパス コンデンサを接続します。
- 回路のアナログ部とデジタル部を別々に接地することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランド プレーン専用です。グランド プレーンは熱の分散に役立つとともに、EMI ノイズを拾う可能性を低減します。グランド電流の流れに注意して、デジタル グランドとアナログ グランドを物理的に確実に分離してください。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの配線を分離した状態にすることができない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに効果的です。
- デカップリング コンデンサをデバイスのできるだけ近くに配置します。図 7-6 に示すように、寄生容量を最小限に抑えるため、RF と RG は反転入力の近くに配置します。
- 入力パターンは、できる限り短くしてください。入力パターンは、回路の中で最も影響を受けやすい部分であることを常に意識してください。
- 重要なパターンの周囲では、駆動型の低インピーダンス ガード リングを配置することを検討してください。ガード リングを使用すると、付近のさまざまな電位にあるパターンからのリーク電流を大幅に低減できます。
- 最高の性能を得るために、基板組立後には PCB を清掃します。
- 高精度の集積回路では、プラスチック パッケージへの水分の侵入により性能が変化する場合があります。PCB を水で洗浄した後で、PCB アセンブリをベーキングして、洗浄中にデバイスのパッケージに取り込まれた水分を除去します。ほとんどの状況では、クリーニング後に 85℃で 30 分間の低温ベーキングを行えば十分です。

7.4.2 レイアウト例

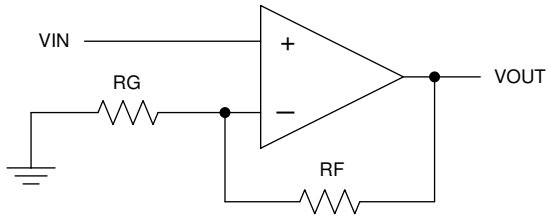


図 7-5. 回路図

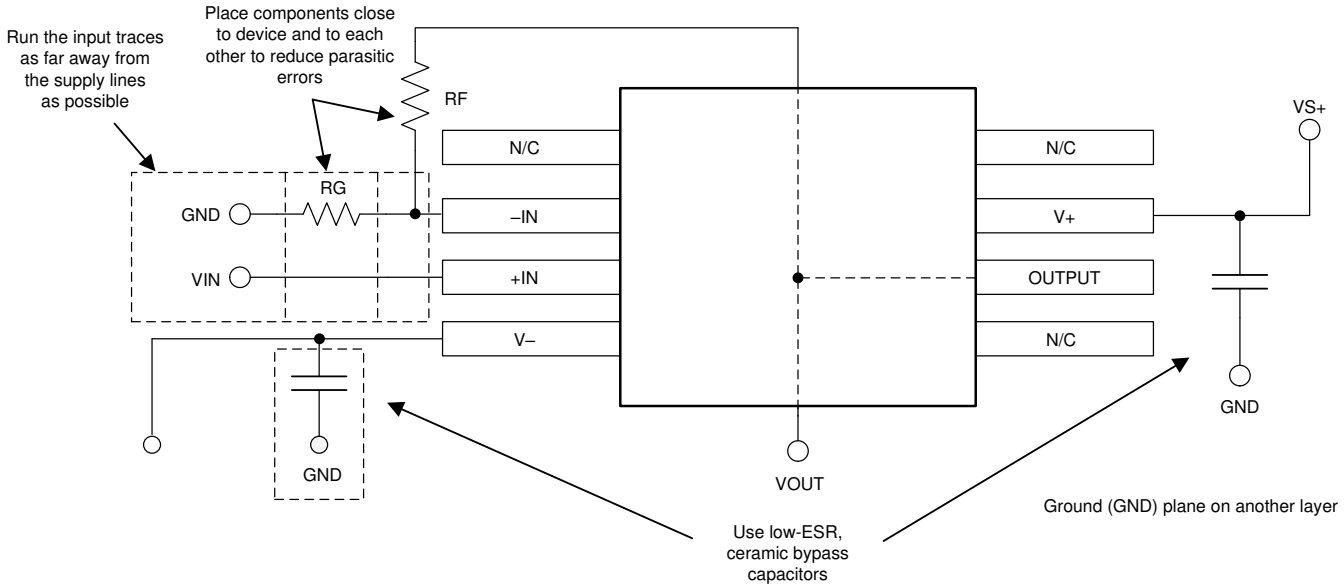


図 7-6. 非反転構成のオペアンプ基板のレイアウト

Copyright © 2026 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

8.1.1.1 TINA-TI™シミュレーション ソフトウェア (無償ダウンロード)

TINA™ は、SPICE エンジンをベースにした単純かつ強力な、使いやすい回路シミュレーション プログラムです。TINA-TI™ シミュレーション ソフトウェアは、TINA ソフトウェアのすべての機能を持つ無償バージョンで、パッシブ モデルとアクティブ モデルに加えて、マクロ モデルのライブラリがプリロードされています。TINA-TI シミュレーション ソフトウェアには、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI シミュレーション ソフトウェアは Analog eLab Design Center から無料でダウンロードでき、ユーザーが結果をさまざまな方法でフォーマットできる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイック スタート ツールを作成できます。

注

これらのファイルを使用するには、TINA ソフトウェア (DesignSoft™ から入手できます) または TINA-TI ソフトウェアがインストールされている必要があります。TINA-TI フォルダから、無料の TINA-TI ソフトウェアをダウンロードしてください。

8.1.1.2 TI Precision Designs

OPA197 はいくつかの テキサス インスツルメンツ (TI) Precision Designs に使用されており、これらは http://www.ti.com/ww/en/analog/precision-designs/ からオンラインで入手できます。TI Precision Designs は、テキサス インスツルメンツの高精度アナログ アプリケーションの専門家により作成されたアナログ ソリューションで、多くの有用な回路に関して、動作理論、コンポーネント選択、シミュレーション、完全な PCB 回路図とレイアウト、部品表、性能測定結果を提供します。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、*『オペアンプの EMI 除去率』アプリケーション レポート*
- テキサス・インスツルメンツ、『絶縁抵抗の使用による容量性負荷駆動のソリューション』リファレンス デザイン

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

e-trim™, TINA-TI™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
TINA™ and DesignSoft™ are trademarks of DesignSoft, Inc.
Bluetooth® is a registered trademark of Bluetooth SIG, Inc.
すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (January 2021) to Revision B (June 2026)	Page
• OPA4197-Q1 D パッケージ、14 ピン SOIC、量産データを追加	1

Changes from Revision * (March 2018) to Revision A (January 2021)	Page
• OPA4197-Q1 とそれに関連する内容を追加	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA197QDGKRQ1	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	197
OPA197QDGKRQ1.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	197
OPA2197QDGKRQ1	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	2197
OPA2197QDGKRQ1.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	2197
OPA4197QDRQ1	Active	Production	SOIC (D) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O4197QD
OPA4197QPWRQ1	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	O4197Q
OPA4197QPWRQ1.B	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	O4197Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF OPA197-Q1, OPA2197-Q1, OPA4197-Q1 :

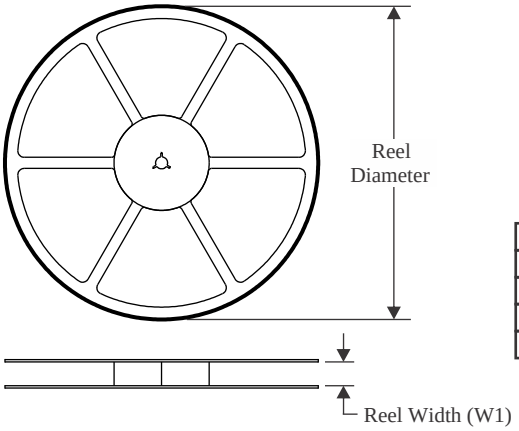
- Catalog : OPA197, OPA2197, OPA4197

NOTE: Qualified Version Definitions:

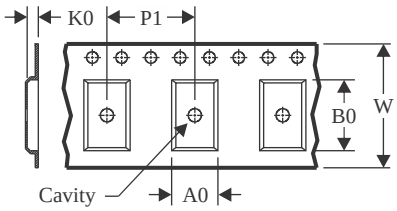
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

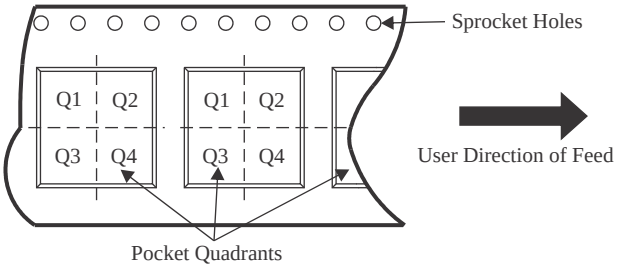


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

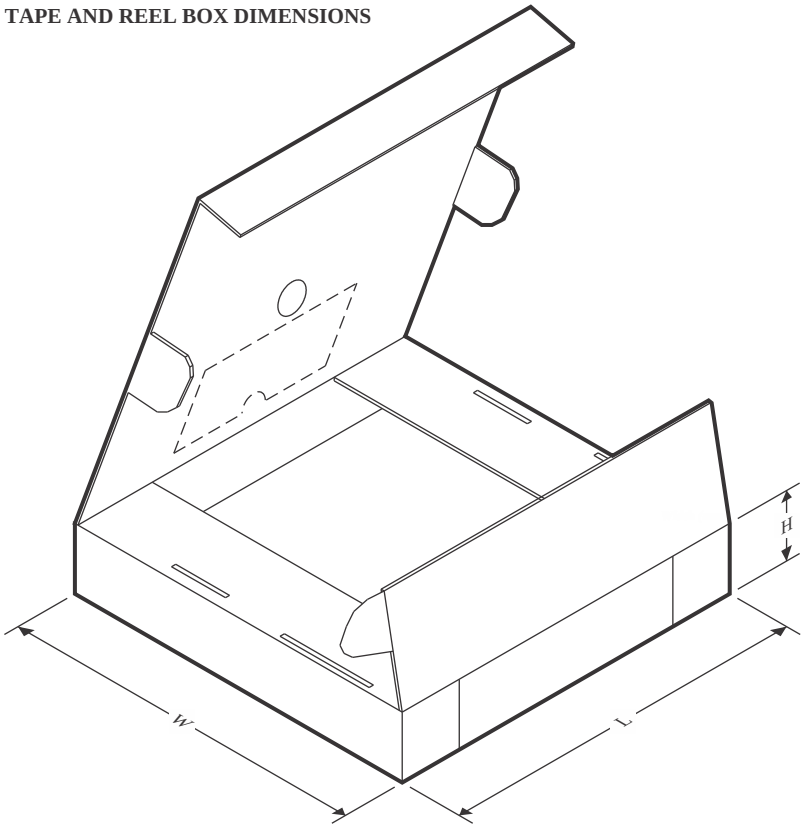
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA197QDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2197QDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2197QDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA4197QDRQ1	SOIC	D	14	3000	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
OPA4197QPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

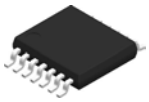
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA197QDGKRQ1	VSSOP	DGK	8	2500	366.0	364.0	50.0
OPA2197QDGKRQ1	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA2197QDGKRQ1	VSSOP	DGK	8	2500	366.0	364.0	50.0
OPA4197QDRQ1	SOIC	D	14	3000	353.0	353.0	32.0
OPA4197QPWRQ1	TSSOP	PW	14	2000	353.0	353.0	32.0

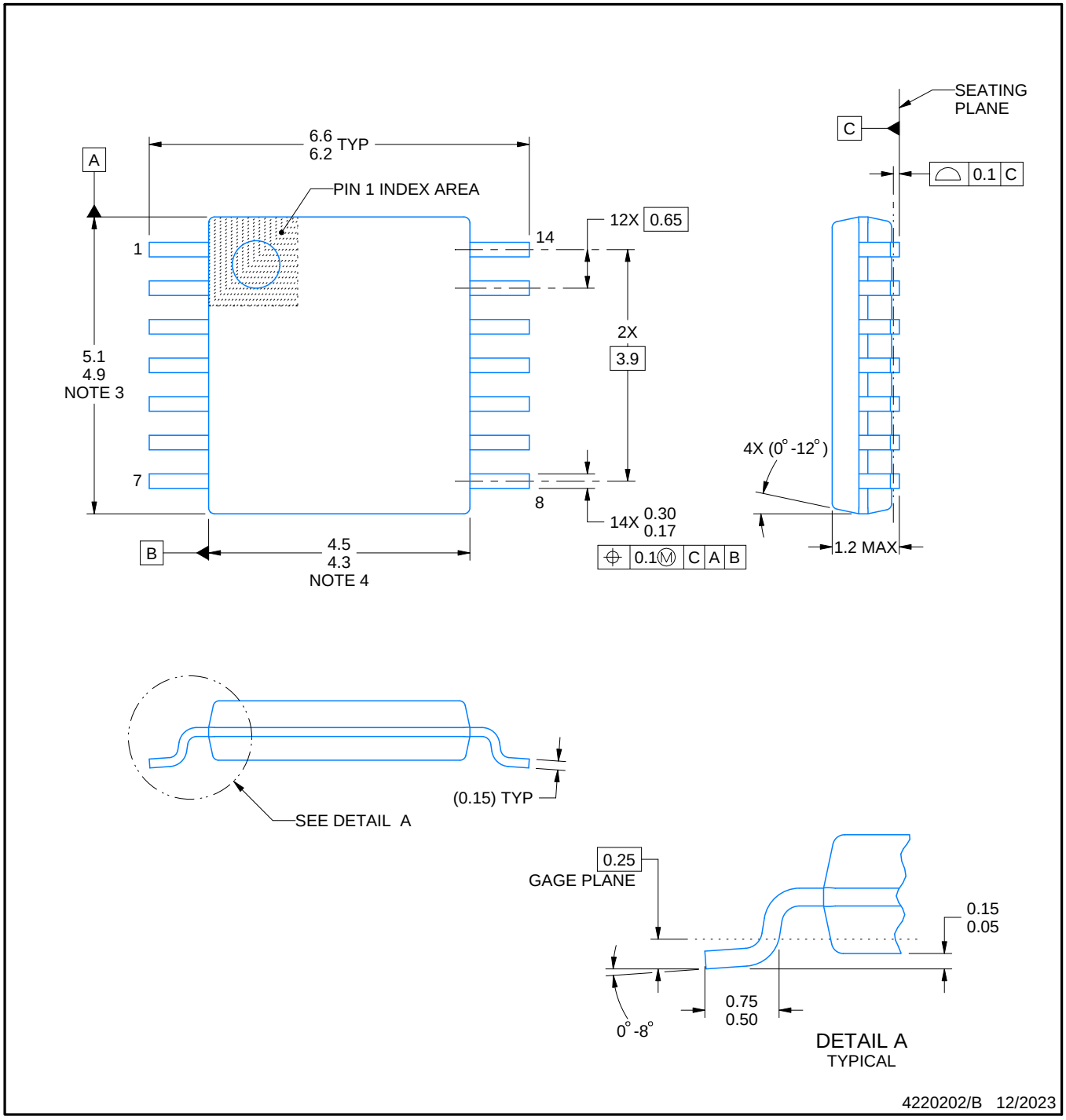
PW0014A



PACKAGE OUTLINE

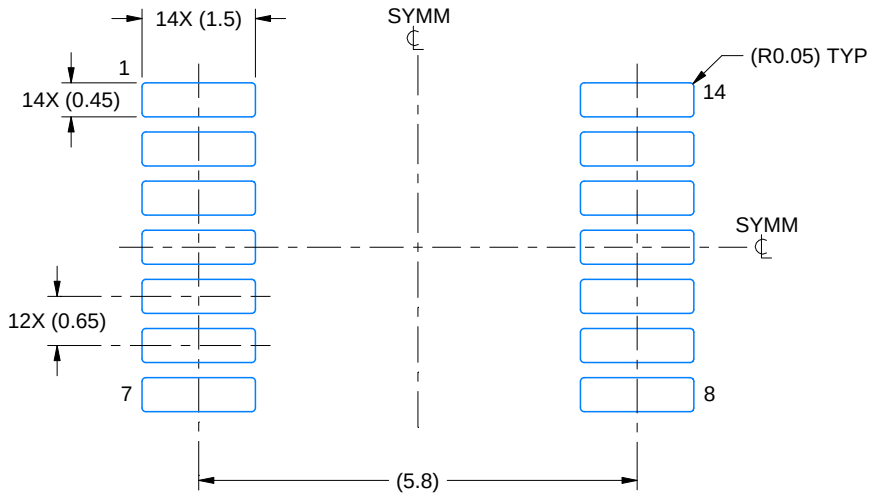
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

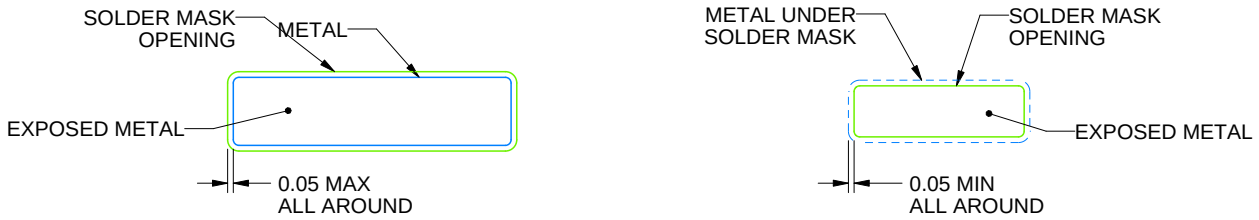


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



NON-SOLDER MASK DEFINED (PREFERRED)

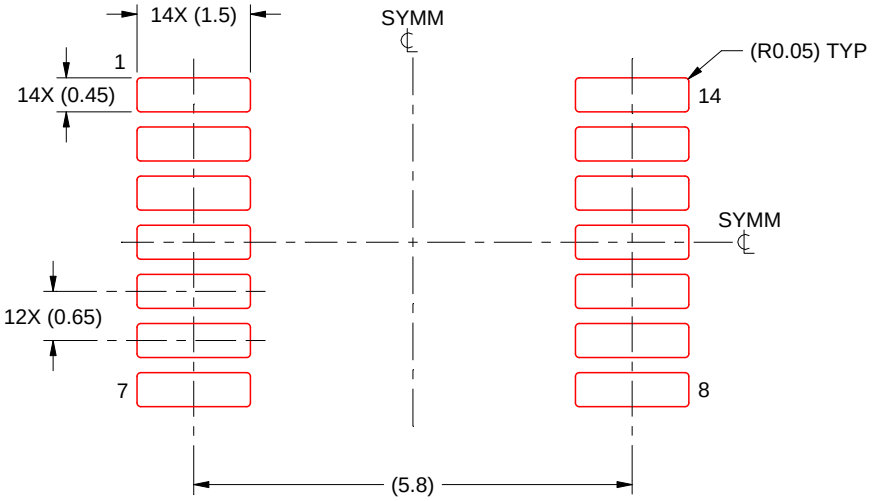
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

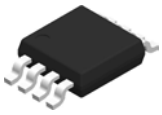
4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

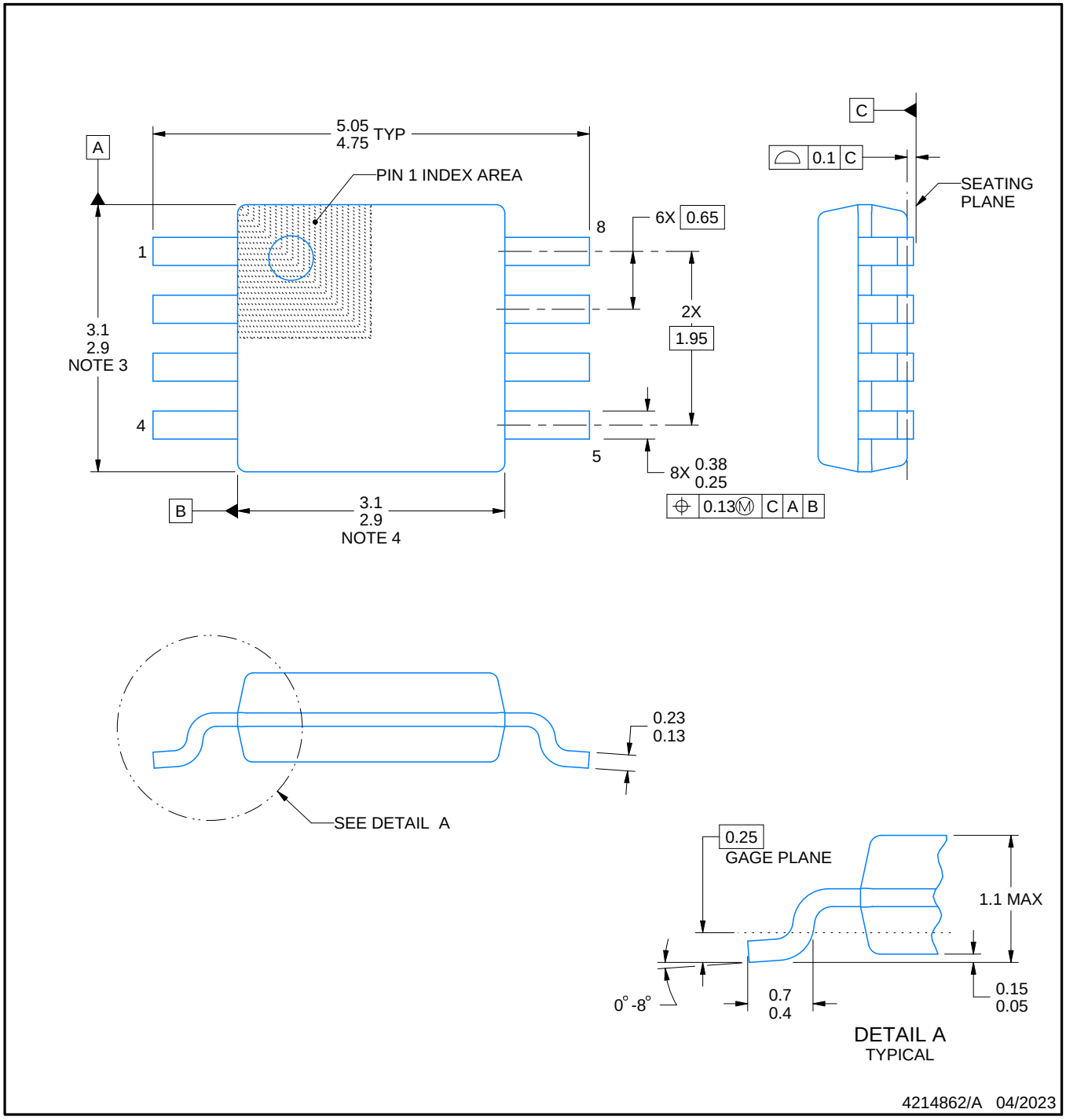
PACKAGE OUTLINE

DGK0008A



VSSOP - 1.1 mm max height

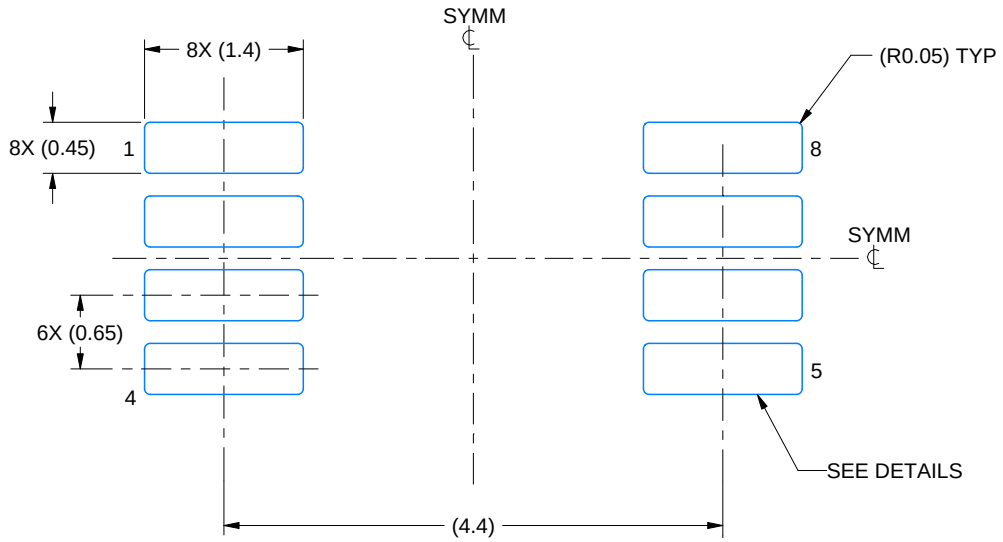
SMALL OUTLINE PACKAGE



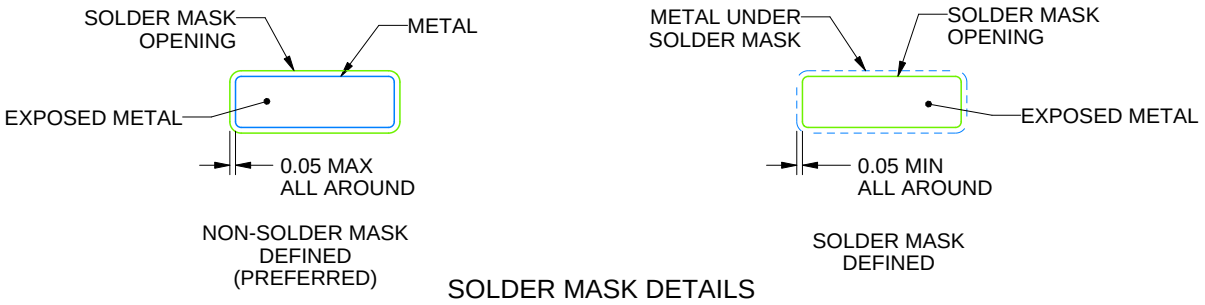
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

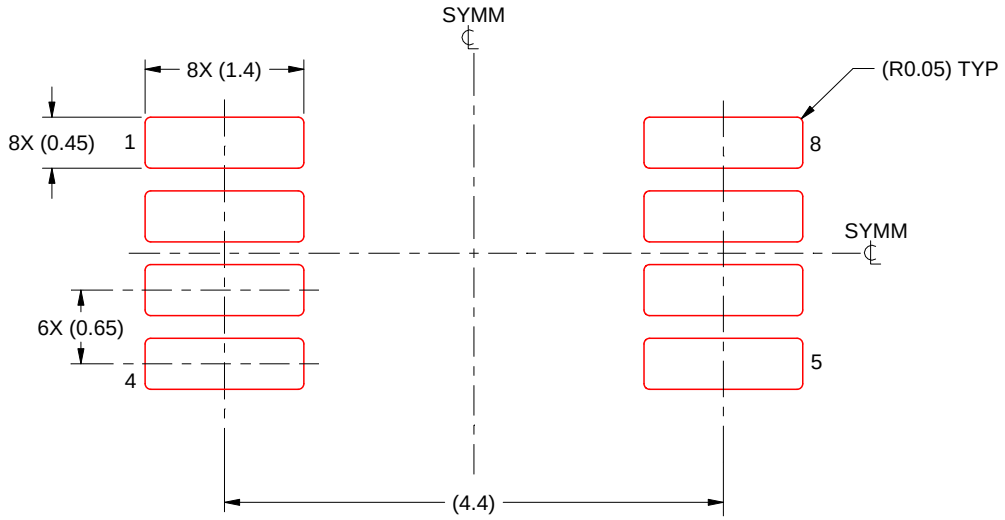


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

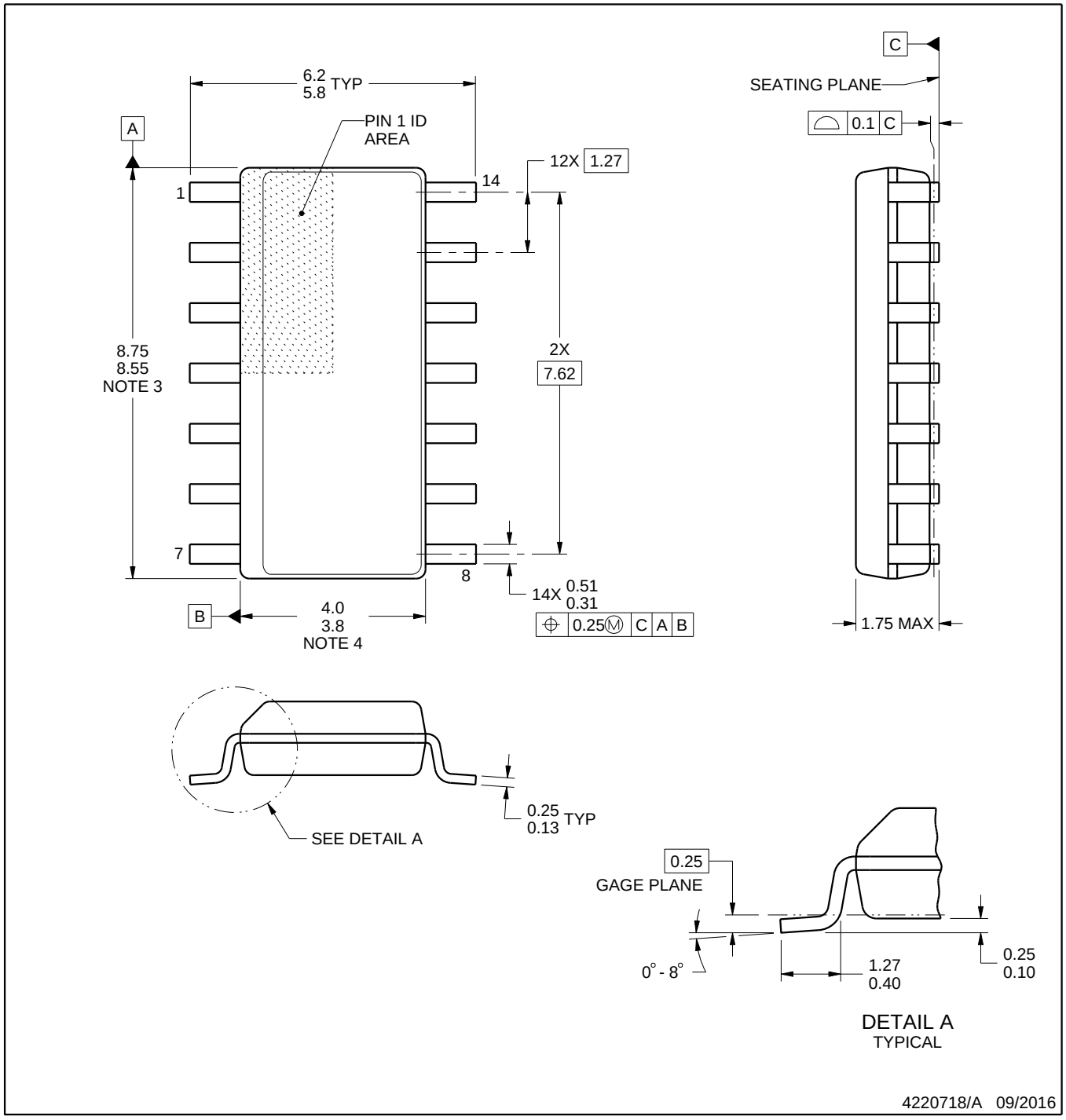


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

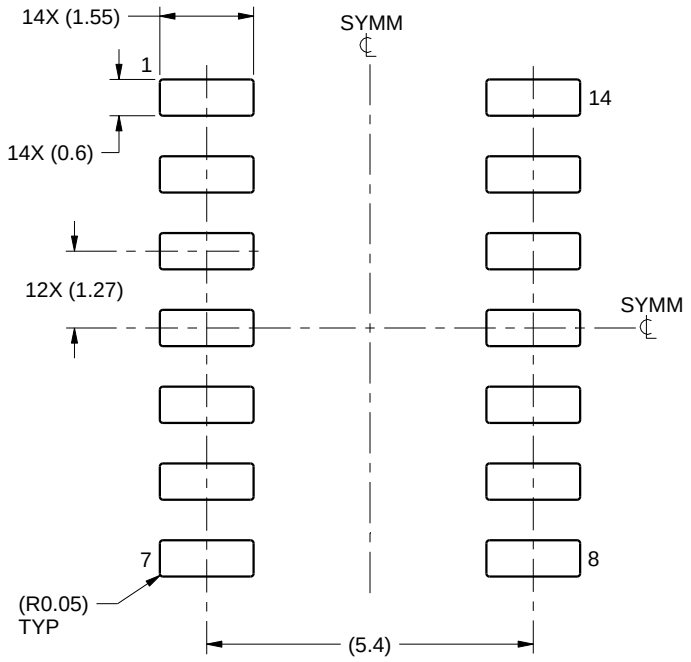
NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

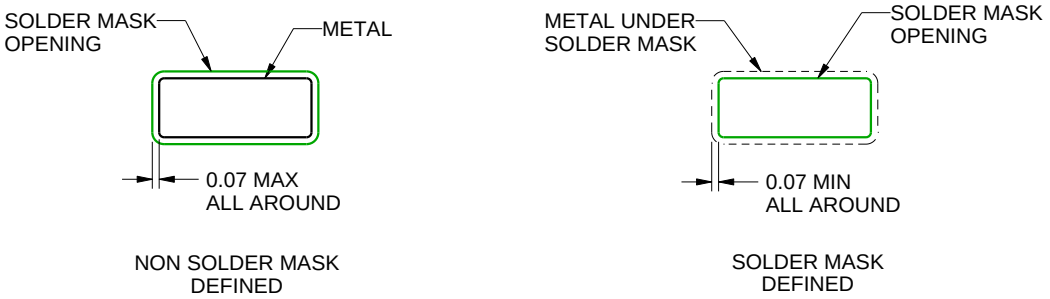


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X

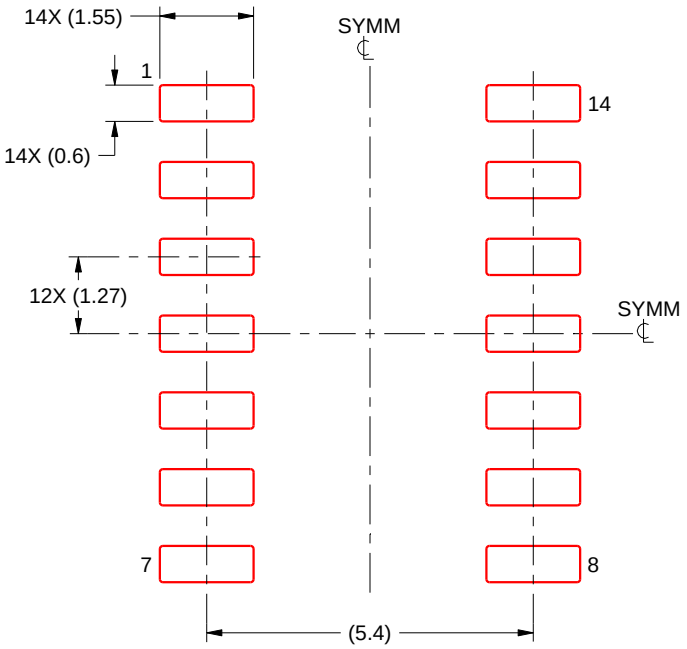


SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月