OPAx180 ドリフト 0.1µV/°C、低ノイズ、レール ツー レール出力、36V、ゼロドリフト オペアンプ

1 特長

- 低いオフセット電圧：75µV (最大値)
- ゼロドリフト：0.1µV/°C
- 低ノイズ：10nV/√Hz
- 非常に小さい 1/f ノイズ
- 非常に優れた DC 精度：
  - PSRR：126dB
  - CMRR：114dB
  - 開ループ ゲイン (A_{OL})：120dB
- 静止電流：525µA (最大値)
- 幅広い電源電圧範囲：±2V～±18V
- レール ツー レール出力：
  入力は負のレールも含む
- 低いバイアス電流：250pA (標準値)
- RFI フィルタ付きの入力
- MicroSIZE パッケージ

2 アプリケーション

- ブリッジ アンプ
- ひずみゲージ
- 試験装置
- トランスデューサ アプリケーション
- 温度測定
- 電子スケール
- 医療用計測装置
- 測温抵抗体
- 高精度アクティブ フィルタ

3 説明

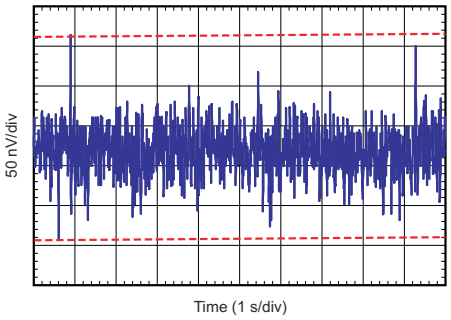
シングル OPA180、デュアル OPA2180、クワッド OPA4180 (OPAx180) オペアンプは、TI 独自のゼロドリフト技法を使用して、低いオフセット電圧 (75µV) と、時間や温度に対してほぼゼロのドリフトを同時に実現しています。これらの小型、高精度、低静止電流オペアンプは、高い入力インピーダンスと、レールから 18mV 以内のレール ツー レール出力を提供します。同相入力範囲には負のレールが含まれます。これらのデバイスでは、4V ～ 36V (±2V ～ ±18V) のシングルまたはデュアル電源を使用します。

デュアル チャネル バージョンは、VSSOP-8 パッケージおよび SOIC-8 パッケージで供給されます。クワッド チャネル バージョンは、SOIC-14 および TSSOP-14 パッケージで供給されます。シングルおよびクワッド パッケージ製品 (OPA180 と OPA4180) は -40°C ～ +125°C で、デュアル パッケージ製品 (OPA2180) は -40°C ～ +105°C で動作が規定されています。

製品情報

部品番号	チャネル数	パッケージ (1)
OPA180	シングル	D (SOIC、8)
		DBV (SOT-23、5)
		DGK (VSSOP、8)
OPA2180	デュアル	D (SOIC、8)
		DGK (VSSOP、8)
OPA4180	クワッド	D (SOIC、14)
		PW (TSSOP、14)

(1) 詳細については、セクション 11 を参照してください。



低ノイズ (ピーク ツー ピークノイズ = 250nV)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 デバイス比較表 ... 3
5 ピン構成および機能 ... 4
6 仕様 ... 7
6.1 絶対最大定格 ... 7
6.2 ESD 定格 ... 7
6.3 推奨動作条件 ... 7
6.4 熱に関する情報：OPA180 ... 8
6.5 熱に関する情報：OPA2180 ... 8
6.6 熱に関する情報：OPA4180 ... 8
6.7 電気的特性：V_S = ±2V～±18V (V_S = 4V～36V) ... 9
6.8 代表的特性：グラフ一覧 ... 11
6.9 代表的特性 ... 12
7 詳細説明 ... 16
7.1 概要 ... 16
7.2 機能ブロック図 ... 16
7.3 機能説明 ... 17
7.4 デバイスの機能モード ... 19
8 アプリケーションと実装 ... 20
8.1 使用上の注意 ... 20
8.2 代表的なアプリケーション ... 20
8.3 電源に関する推奨事項 ... 24
8.4 レイアウト ... 24
9 デバイスおよびドキュメントのサポート ... 26
9.1 ドキュメントの更新通知を受け取る方法 ... 26
9.2 サポート・リソース ... 26
9.3 商標 ... 26
9.4 静電気放電に関する注意事項 ... 26
9.5 用語集 ... 26
10 改訂履歴 ... 26
11 メカニカル、パッケージ、および注文情報 ... 28

Copyright © 2026 Texas Instruments Incorporated

4 デバイス比較表

表 4-1. ゼロドリフト アンプのポートフォリオ

バージョン	製品名	オフセット電圧 (µV)	オフセット電圧ドリフト (µV/℃)	帯域幅 (MHz)
シングル	OPA188 (4V ～ 36V)	25	0.085	2
	OPA180 (4V ～ 36V)	75	0.35	2
	OPA333 (5V)	10	0.05	0.35
	OPA378 (5V)	50	0.25	0.9
	OPA735 (12V)	5	0.05	1.6
デュアル	OPA2188 (4V ～ 36V)	25	0.085	2
	OPA2180 (4V ～ 36V)	75	0.35	2
	OPA2333 (5V)	10	0.05	0.35
	OPA2378 (5V)	50	0.25	0.9
	OPA2735 (12V)	5	0.05	1.6
クワッド	OPA4188 (4V ～ 36V)	25	0.085	2
	OPA4180 (4V ～ 36V)	75	0.35	2
	OPA4330 (5V)	50	0.25	0.35

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

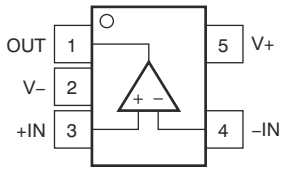


図 5-1. OPA180 DBV (5 ピン SOT-23) パッケージ、上面図

表 5-1. ピンの機能：OPA180

ピン		I/O	説明
名称	DBV		
–IN	4	I	反転入力
+IN	3	I	非反転入力
OUT	1	O	出力
V-	2	—	負電源またはグランド (単一電源動作の場合)
V+	5	—	正電源またはグランド (単一電源動作の場合)

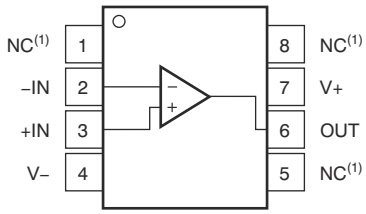


図 5-2. OPA180D (8 ピン SOIC) および DGK パッケージ (8 ピン VSSOP) パッケージ、上面図

表 5-2. ピンの機能：OPA180

ピン		説明
名称	番号	
–IN	2	反転入力
+IN	3	非反転入力
NC	1、5、8	内部接続なし。
OUT	6	出力
V-	4	負電源
V+	7	正電源

Copyright © 2026 Texas Instruments Incorporated

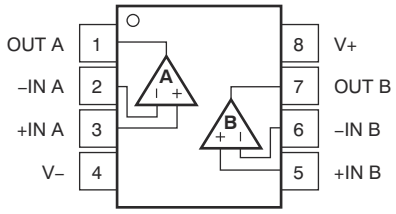


図 5-3. OPA2180D (8 ピン SOIC) および DGK パッケージ (8 ピン VSSOP) パッケージ、上面図

表 5-3. ピンの機能：OPA2180

ピン		説明
名称	番号	
-IN A	2	反転入力、チャネル A
+IN A	3	非反転入力、チャネル A
-IN B	6	反転入力、チャネル B
+IN B	5	非反転入力、チャネル B
OUT A	1	出力、チャネル A
OUT B	7	出力、チャネル B
V-	4	負電源
V+	8	正電源

Copyright © 2026 Texas Instruments Incorporated

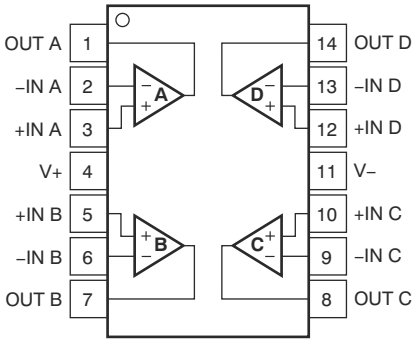


図 5-4. OPA4180D (14 ピン SOIC) および PW (14 ピン TSSOP) パッケージ、上面図

表 5-4. ピンの機能：OPA4180

ピン		説明
名称	番号	
-IN A	2	反転入力、チャネル A
+IN A	3	非反転入力、チャネル A
-IN B	6	反転入力、チャネル B
+IN B	5	非反転入力、チャネル B
–IN C	9	反転入力、チャネル C
+IN C	10	非反転入力、チャネル C
–IN D	13	反転入力、チャネル D
+IN D	12	非反転入力、チャネル D
OUT A	1	出力、チャネル A
OUT B	7	出力、チャネル B
OUT C	8	出力、チャネル C
OUT D	14	出力、チャネル D
V-	11	負電源またはグランド (単一電源動作の場合)
V+	4	正電源またはグランド (単一電源動作の場合)

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
	電源電圧			±20、±40 (単一電源)	V
	信号入力端子	電圧	(V-) - 0.5	(V+) + 0.5	V
		電流		±10	mA
	出力短絡(2)		連続		
	動作温度		-55	125	℃
T_J	接合部温度			150	℃
T_{stg}	保存温度		-65	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) グランドへの短絡、パッケージあたり 1 台のアンプ。

6.2 ESD 定格

			最小値	最大値	単位
T_{stg}	保管温度範囲		-65	150	°C
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	-1.5	1.5	kV
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	-1	1	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

動作周囲温度範囲全体 (特に記述のない限り)、R_L = 10kΩ を V_S /2 に接続、V_{COM} = V_{OUT} = V_S /2 (特に記述のない限り)

		最小値	公称値	最大値	単位
電源電圧 [(V+) - (V-)]	単電源	4.5		36	V
	バイポーラ電源	±2.25		±18	V
動作温度		-40		125	℃

6.4 熱に関する情報：OPA180

熱評価基準(1)		OPA180			単位
		D (SOIC)	DBV (SOT-23)	DGK (MSOP)	
		8 ピン	5 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	115.8	158.8	180.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	60.1	60.7	67.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	56.4	44.8	102.1	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	12.8	1.6	10.4	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	55.9	4.2	100.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

6.5 熱に関する情報：OPA2180

熱評価基準(1)		OPA2180		単位
		D (SOIC)	DGK (MSOP)	
		8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	111	159.3	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	54.9	37.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	51.7	48.5	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	9.3	1.2	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	51.1	77.1	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

6.6 熱に関する情報：OPA4180

熱評価基準(1)		OPA4180		単位
		D (SOIC)	PW (TSSOP)	
		14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	93.2	106.9	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	51.8	24.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	49.4	59.3	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	13.5	0.6	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	42.2	54.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.7 電気的特性：V_S = ±2V～±18V (V_S = 4V～36V)

T_A = 25℃、R_L = 10kΩ を V_S / 2 に接続、V_{COM} = V_{OUT} = V_S / 2 (特に記述のない限り)。

パラメータ			条件	最小値	標準値	最大値	単位
オフセット電圧							
V_{IO}	入力オフセット電圧				15	75	µV
dV_{IO}/dT	入力オフセット電圧ドリフト		T_A = –40°C ～ +125°C		0.1	0.35	µV/°C
PSRR	電源除去比		V_S = 4V ～ 36V、 V_{CM} = V_S / 2		0.1	0.5	µV/V
			T_A = -40℃ ～ 125℃、 V_S = 4V ～ 36V、V_{CM} = V_S / 2			0.5	µV/V
	長期安定性				4(1)		µV
	チャネル セパレーション、DC				1		µV/V
入力バイアス電流							
I_{IB}	入力バイアス電流		OPA2180		±0.25	±1.5	nA
			OPA2180：T_A = -40℃ ～ +105℃			±18	nA
			OPA180、OPA4180		±0.25	±1.7	nA
			OPA180、OPA4180：T_A = -40℃ ～ +125℃			±18	nA
I_{IO}	入力オフセット電流		OPA2180		±0.5	±3	nA
			OPA2180：T_A = -40℃ ～ +105℃			±6	nA
			OPA180、OPA4180			±3.4	nA
			OPA180、OPA4180：T_A = -40℃ ～ +125℃			±6	nA
ノイズ							
	入力電圧ノイズ		f = 0.1Hz～10Hz		0.25		μV_{PP}
e_n	入力電圧ノイズ密度		f = 1kHz		10		nV/√Hz
i_n	入力電流ノイズ密度		f = 1kHz		10		fA/√Hz
入力電圧範囲							
V_{CM}	同相電圧範囲			V-		(V+) – 1.5	V
CMRR	同相信号除去比		(V-) < V_{CM} < (V+) - 1.5V	104	114		dB
			T_A = -40℃ ～ +125℃、 (V-) + 0.5V < V_{CM} < (V+) - 1.5V	100	104		dB
入力インピーダンス							
z_{id}	差動				100 || 6		MΩ || pF
z_{ic}	同相				6 || 9.5		10^{12}Ω || pF
開ループ ゲイン							
A_{OL}	開ループ電圧ゲイン		(V-) + 500mV < V_O < (V+) - 500mV、 R_L = 10kΩ	110	120		dB
			T_A = -40℃ ～ +125℃ (V-) + 500mV < V_O < (V+) - 500mV、 R_L = 10kΩ	104	114		dB
周波数応答							
GBW	ゲイン帯域幅積				2		MHz
SR	スルーレート		G = 1		0.8		V/µs
t_s	セトリング タイム	0.1%	V_S = 18V、G = 1、10V ステップ		22		µs
		0.01%	V_S = 18V、G = 1、10V ステップ		30		µs
t_{or}	過負荷回復時間		V_{IN} × G = V_S		1		µs
THD+N	全高調波歪み + ノイズ		f = 1kHz, G = 1、V_{OUT} = $1V_{RMS}$		0.0001%		

Copyright © 2026 Texas Instruments Incorporated

T_A = 25℃、R_L = 10kΩ を V_S / 2 に接続、V_{COM} = V_{OUT} = V_S / 2 (特に記述のない限り)。

パラメータ		条件	最小値	標準値	最大値	単位
出力						
	電圧出力スイング (レールから)	無負荷		8	18	mV
		R_L = 10kΩ		250	300	mV
		T_A = -40℃ ～ +125℃ R_L = 10kΩ		325	360	mV
I_{OS}	短絡電流			±18		mA
r_o	出力抵抗 (開ループ)	f = 2MHz、I_O = 0mA		120		Ω
C_{LOAD}	容量性負荷駆動能力			1		nF
電源						
V_S	動作電圧範囲		±2 (または 4)		±18 (または 36)	V
I_Q	静止電流 (アンプ 1 個あたり)			450	525	µA
		T_A = -40℃ ～ +125℃ I_O = 0mA			600	µA
温度						
	仕様範囲		-40		105	℃
	動作範囲		-40		105	℃

(1) 125℃ での 1,000 時間の寿命試験では、測定限界の範囲でランダムに分布した変動 (約 4µV) が確認されました。

Copyright © 2026 Texas Instruments Incorporated

6.8 代表的特性：グラフ一覧

表 6-1. 特性性能測定

説明	図
I_B および I_{OS} と同相電圧との関係	図 6-1
入力バイアス電流と温度との関係	図 6-2
出力電圧スイングと出力電流との関係 (最大供給能力)	図 6-3
CMRR と温度との関係	図 6-4
0.1Hz～10Hz のノイズ	図 6-5
入力電圧ノイズ スペクトル密度と周波数との関係	図 6-6
開ループ ゲインおよび位相と周波数との関係	図 6-7
開ループ ゲインと温度との関係	図 6-8
開ループ出力インピーダンスと周波数との関係	図 6-9
小信号オーバーシュートと容量性負荷との関係 (100mV 出力ステップ)	図 6-10、図 6-11
位相反転が発生しない	図 6-12
正の過負荷からの回復	図 6-13
負の過負荷からの回復	図 6-14
小信号ステップ応答 (100mV)	図 6-15、図 6-16
大信号ステップ応答	図 6-17、図 6-18
大信号セトリング タイム (10V 正ステップ)	図 6-19
大信号セトリング タイム (10V 負ステップ)	図 6-20
短絡電流と温度との関係	図 6-21
最大出力電圧と周波数との関係	図 6-22
チャネル セパレーションと周波数との関係	図 6-23
EMIRR IN+ と周波数との関係	図 6-24

Copyright © 2026 Texas Instruments Incorporated

6.9 代表的特性

V_S = ±18V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 100pF (特に記述のない限り)。

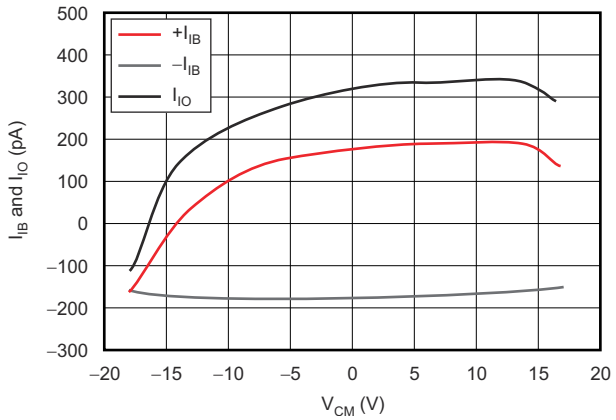


図 6-1. I_{IB} および I_{IO} と同相電圧との関係

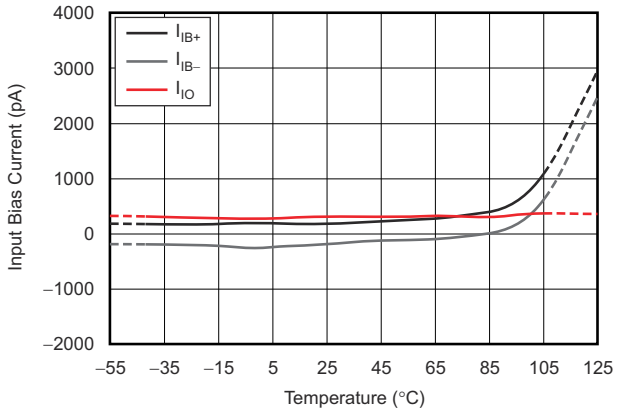


図 6-2. 入力バイアス電流と温度との関係

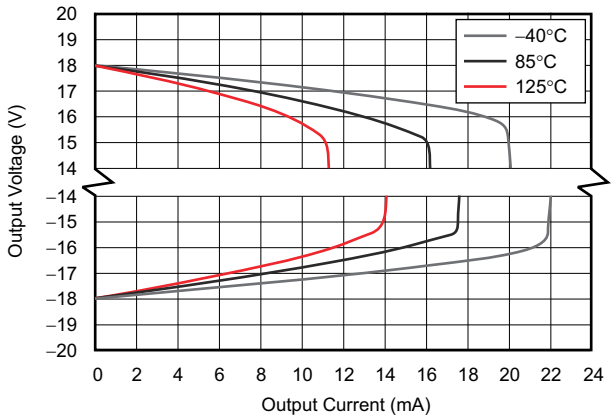
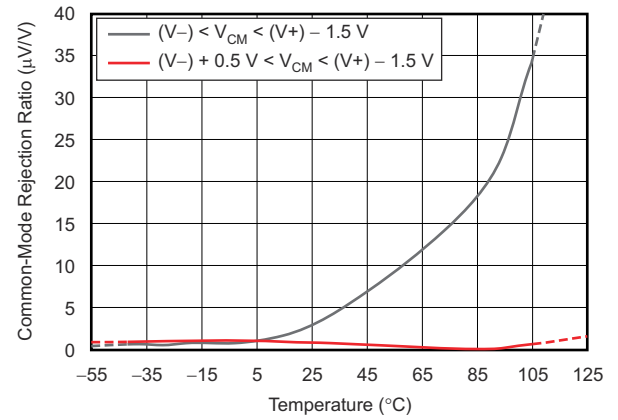
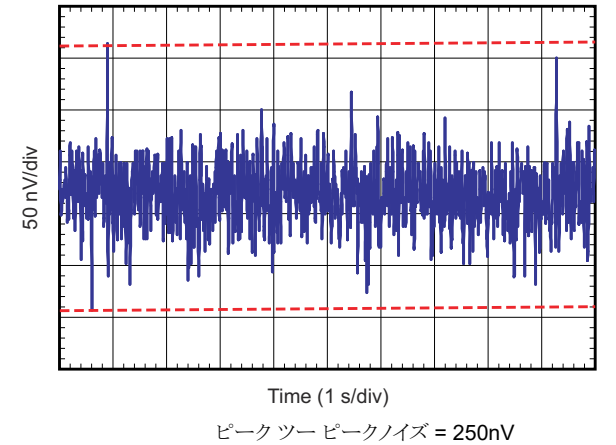


図 6-3. 出力電圧スイングと出力電流との関係 (最大供給能力)



V_{SUPPLY} = ±2V

図 6-4. CMRR と温度との関係



ピーク ツー ピークノイズ = 250nV

図 6-5. 0.1Hz～10Hz のノイズ

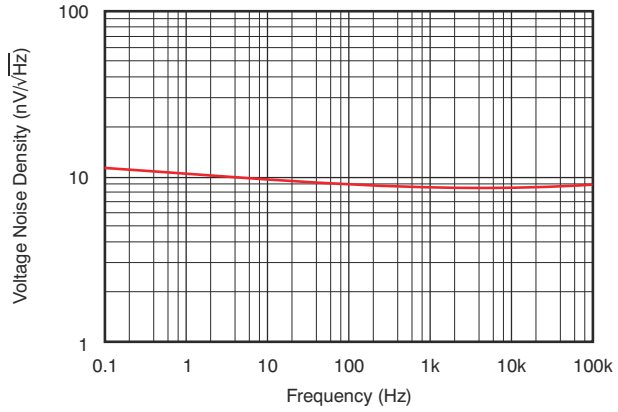


図 6-6. 入力電圧ノイズ スペクトル密度と周波数との関係

Copyright © 2026 Texas Instruments Incorporated

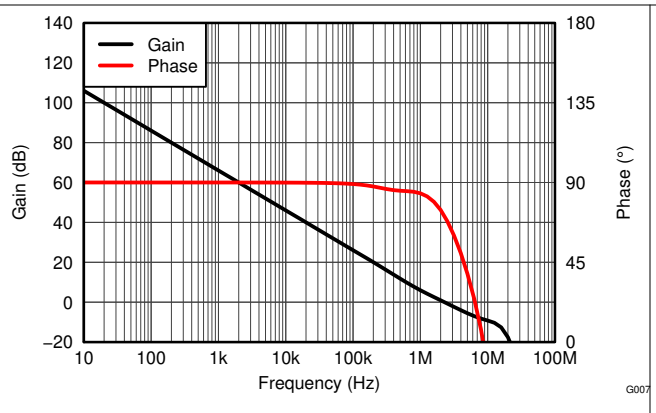


図 6-7. 開ループ ゲインおよび位相と周波数との関係

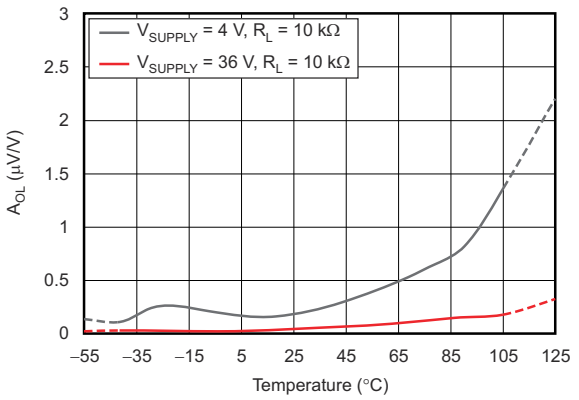


図 6-8. 開ループ ゲインと温度との関係

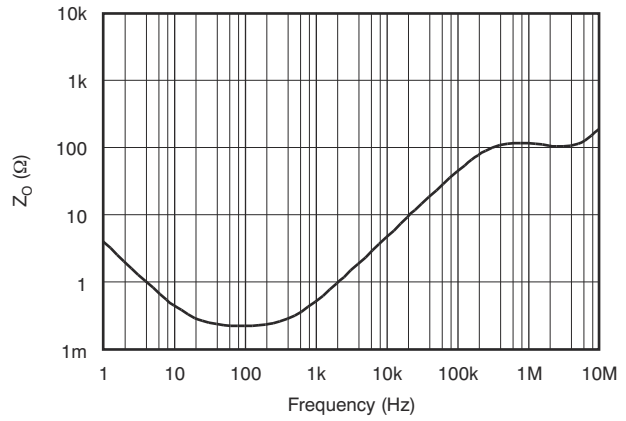
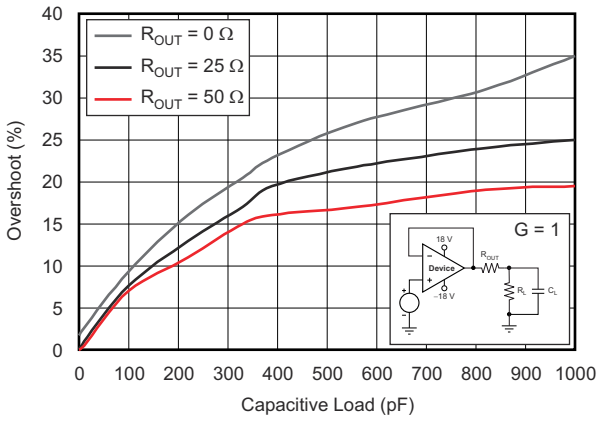
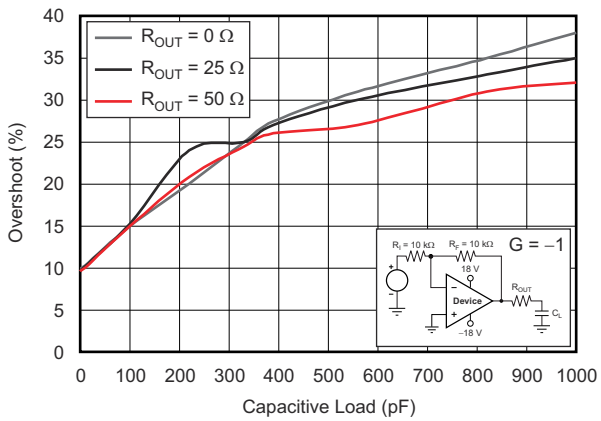


図 6-9. 開ループ出力インピーダンスと周波数との関係



RL = 10kΩ

図 6-10. 小信号オーバーシュートと容量性負荷との関係 (100mV 出力ステップ)



RL = 10kΩ

図 6-11. 小信号オーバーシュートと容量性負荷との関係 (100mV 出力ステップ)

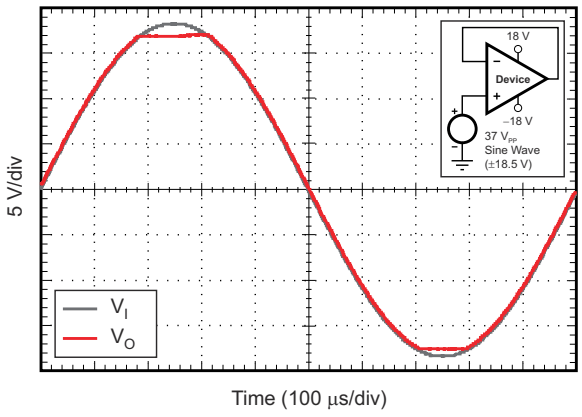


図 6-12. 位相反転が発生しない

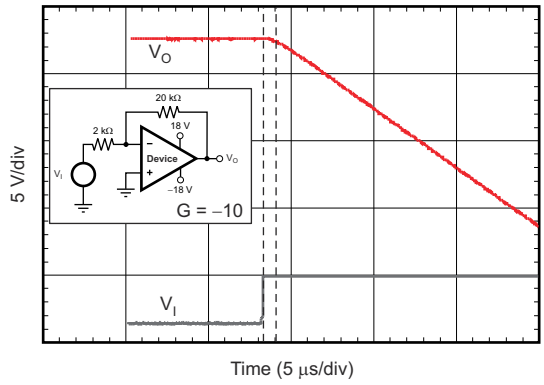


図 6-13. 正の過負荷からの回復

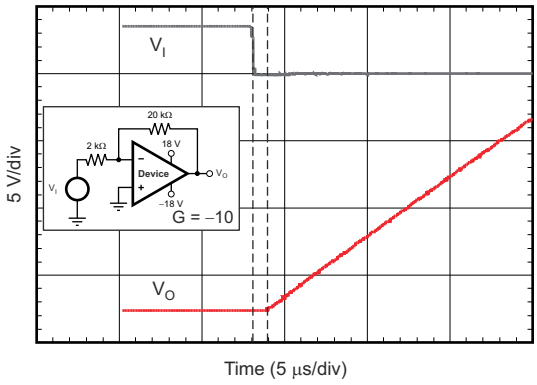
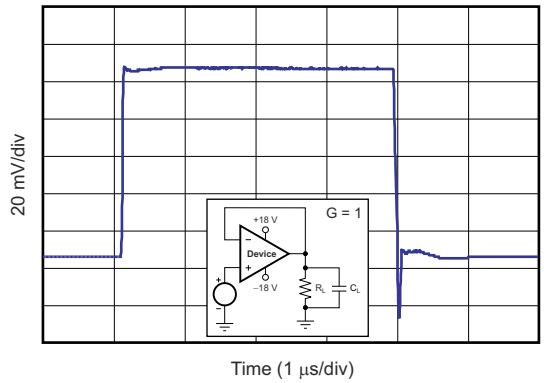
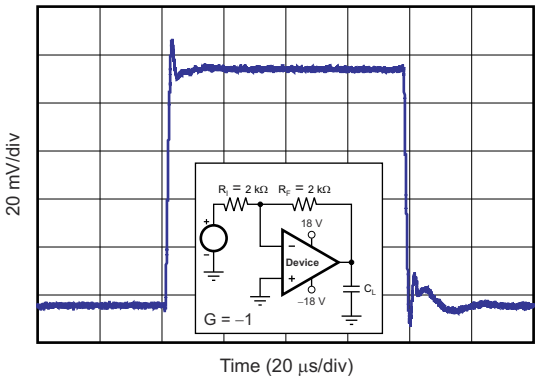


図 6-14. 負の過負荷からの回復



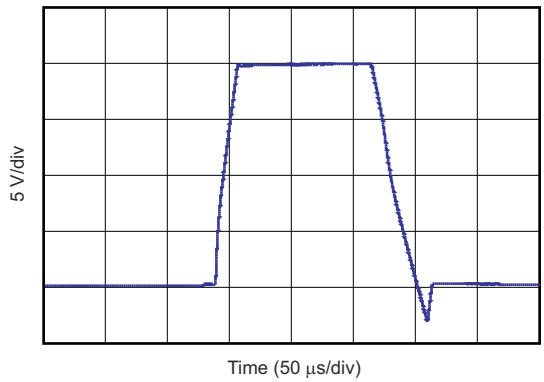
R_L = 10kΩ C_L = 10pF

図 6-15. 小信号ステップ応答 (100mV)



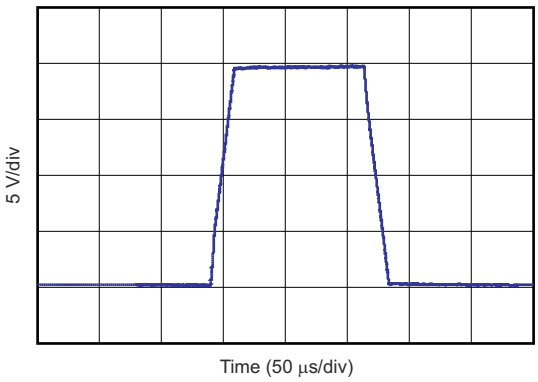
R_L = 10kΩ C_L = 10pF

図 6-16. 小信号ステップ応答 (100mV)



G = 1 R_L = 10kΩ C_L = 10pF

図 6-17. 大信号ステップ応答



G = -1 R_L = 10kΩ C_L = 10pF

図 6-18. 大信号ステップ応答

Copyright © 2026 Texas Instruments Incorporated

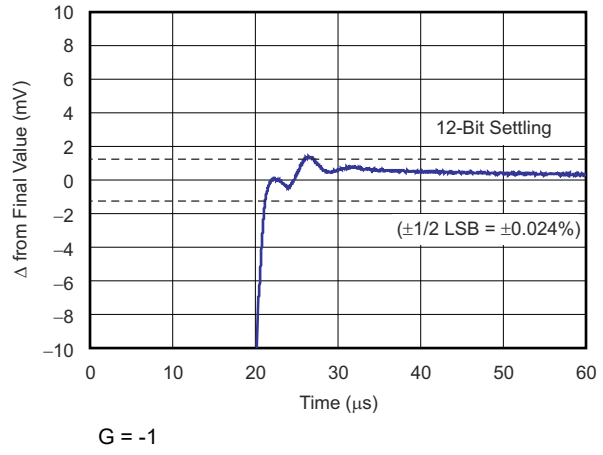


図 6-19. 大信号セトリング タイム (10V 正ステップ)

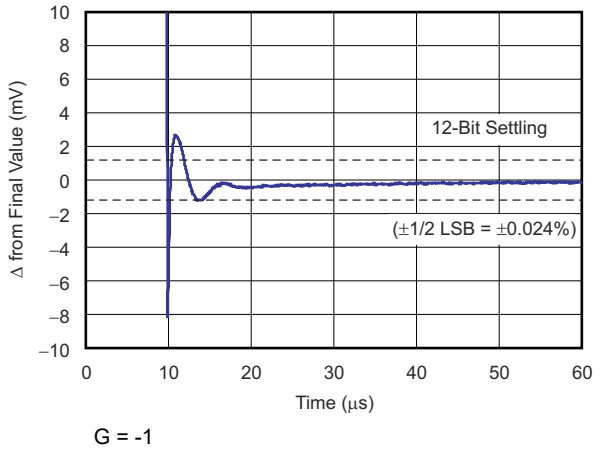


図 6-20. 大信号セトリング タイム (10V 負ステップ)

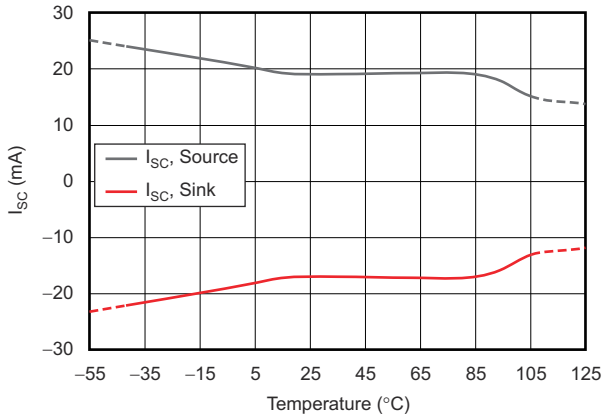


図 6-21. 短絡電流と温度との関係

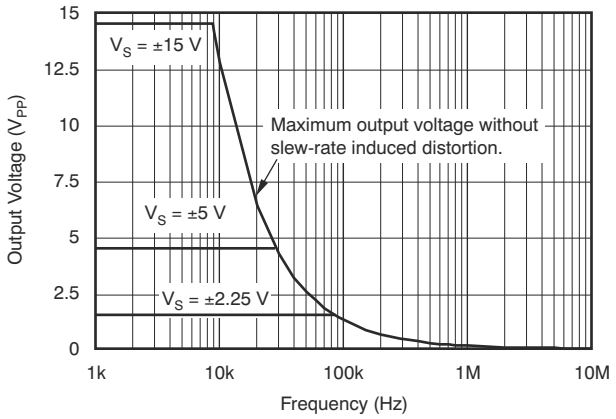


図 6-22. 最大出力電圧と周波数との関係

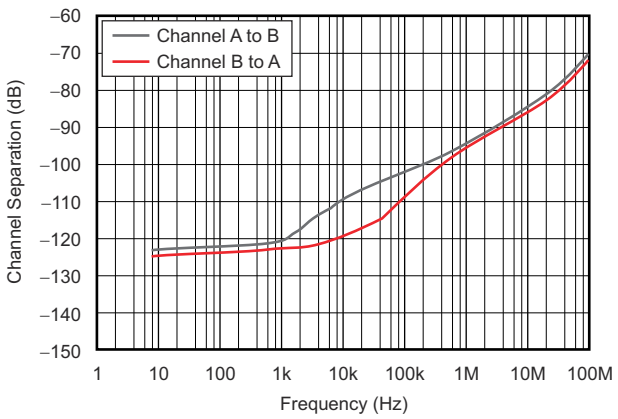


図 6-23. チャネル セパレーションと周波数との関係

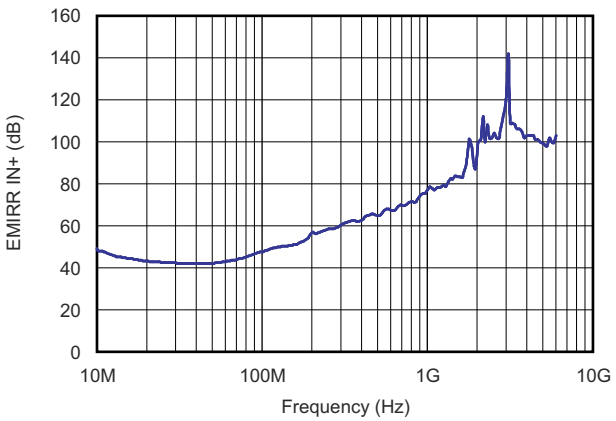


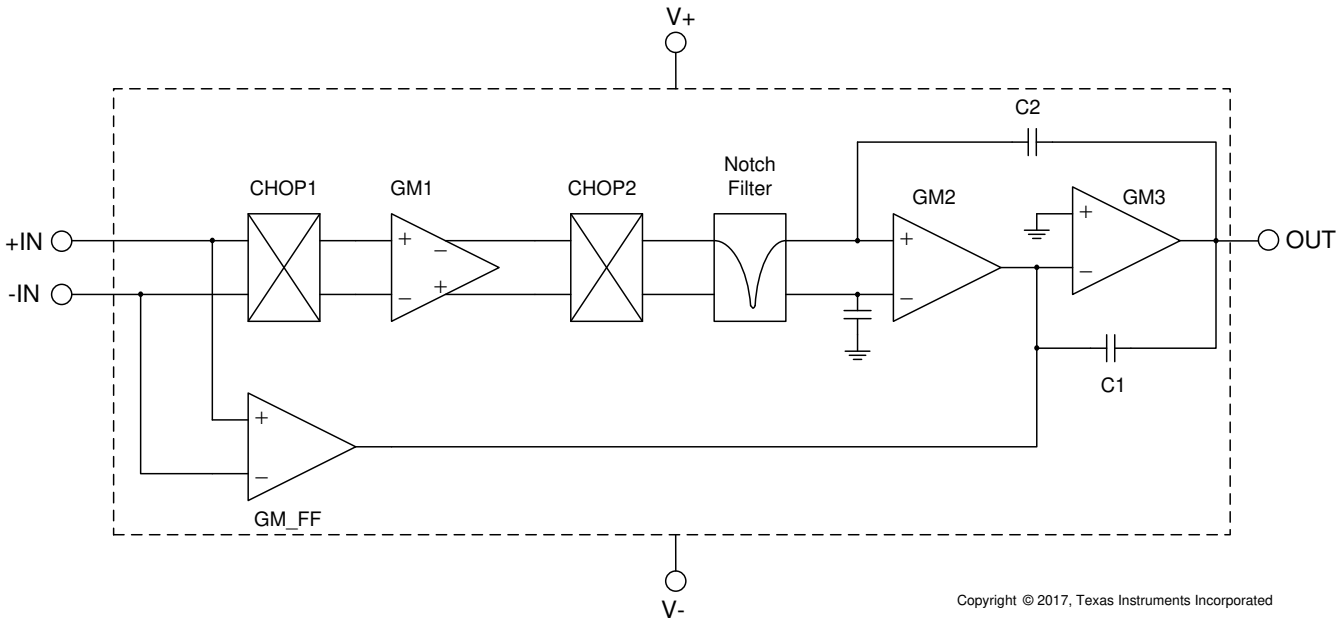
図 6-24. EMIRR IN+ と周波数との関係

7 詳細説明

7.1 概要

OPAx180 ファミリのオペアンプは、高精度のオフセットとドリフト、優れた全体的性能を兼ね備えているため、さまざまな高精度アプリケーションに適しています。わずか 0.1µV/℃ の高精度なオフセット ドリフトにより、温度範囲全体にわたって安定性が得られます。さらに、このデバイスは、同相信号除去比、PSRR、A_{OL} が高く、優れた総合性能を実現します。すべてのアンプと同様に、ノイズの多い電源や
ハイ インピーダンスの電源を使用するアプリケーションでは、デバイスのピンの近くにデカップリング コンデンサが必要です。通常は、0.1µF のコンデンサが適しています。

7.2 機能ブロック図



Copyright © 2026 Texas Instruments Incorporated

7.3 機能説明

7.3.1 動作特性

OPAx180 ファミリのアンプは、4V ～ 36V (±2V ～ ±18V) での動作用に規定されていま。多くの仕様は、-40℃ ～ +125℃の範囲で適用されます。動作電圧または温度により大きく変動する可能性のあるパラメータについては、「代表的特性」を参照してください。

7.3.2 EMI 除去

OPAx180 ファミリは、内蔵の電磁干渉 (EMI) フィルタリングを使用して、ワイヤレス通信や、アナログ信号チェーンとデジタル部品が混在する高密度実装の基板などのソースによる EMI 干渉の影響を低減します。EMI 耐性は回路設計手法により改善可能で、OPAx180 ファミリはこのような設計上の改善によるメリットを得ています。テキサス インスツルメンツは、10MHz ～ 6GHz の幅広い周波数スペクトルにわたって、オペアンプの耐性を正確に測定および数量化しています。OPAx180 ファミリでこのテストを行った結果を、図 7-1 に示します。詳細については、『オペアンプの EMI 除去比』アプリケーション レポートを参照してください。www.ti.com からダウンロードできます。

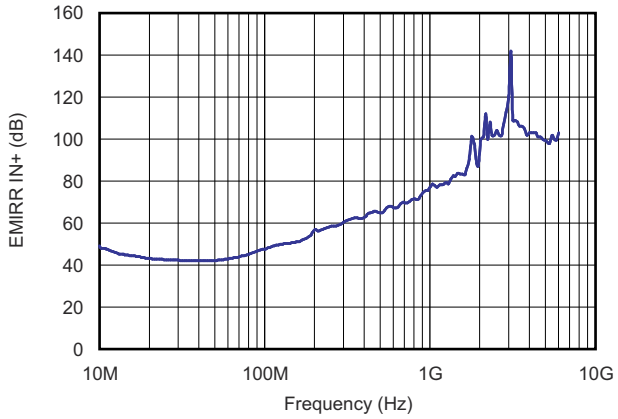


図 7-1. OPAx180 の EMIRR テスト

7.3.3 位相反転保護

OPAx180 ファミリには、位相反転保護機能が搭載されています。多くのオペアンプでは、入力がリニア同相範囲を超えて駆動されると、位相反転が発生します。この条件が最も多く発生するのは非反転回路で、規定された同相電圧範囲を超えて入力を駆動すると、出力は逆のレールに反転します。OPAx180 の入力は、過大な同相電圧による位相反転を防止します。代わりに、出力は適切なレールに制限されます。この特性を 図 7-2 に示します。

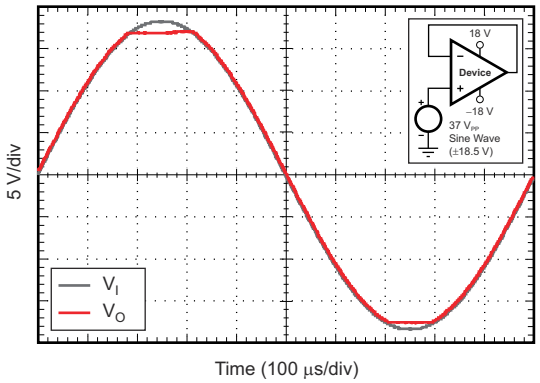


図 7-2. 位相反転が発生しない

7.3.4 容量性負荷および安定度

OPAx180 のダイナミック特性は、一般的な動作条件の範囲に合わせて最適化されています。閉ループ ゲインが低く、容量性負荷が高いと、アンプの位相マージンが減少し、ゲインのピークや発振が発生する可能性があります。そのため、容量性負荷が大きい場合は、出力から絶縁する必要があります。この絶縁を実現する最も簡単な方法は、出力に小さな抵抗 (R_{OUT} が 50Ω など) を直列に追加することです。図 7-3 および図 7-4 に、いくつかの R_{OUT} の値について、小信号オーバーシュートと容量性負荷との関係のグラフを示します。解析手法とアプリケーション回路の詳細については、TI の Web サイトからダウンロードできる『フィードバック プロットによるオペアンプ AC 性能の定義』アプリケーション レポートを参照してください。

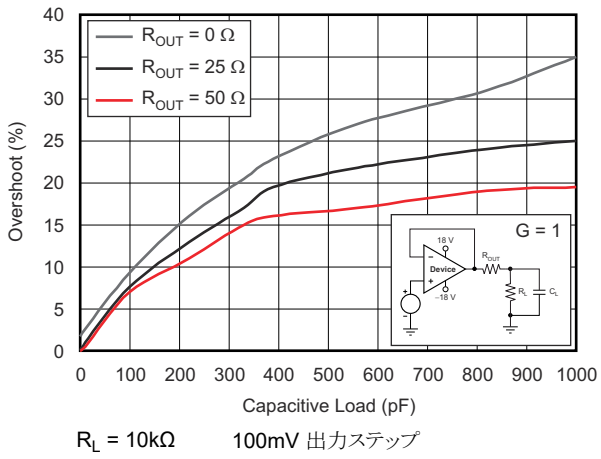


図 7-3. 小信号オーバーシュートと容量性負荷との関係

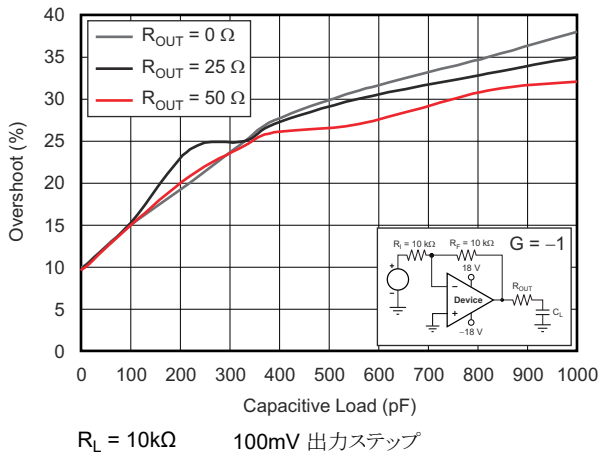


図 7-4. 小信号オーバーシュートと容量性負荷との関係

7.3.5 電気的オーバーストレス

設計者は、オペアンプが電気的オーバーストレスにどの程度耐えられるのかという質問をすることがよくあります。これらの質問は、主にデバイスの入力に関するものですが、電源電圧ピンや、さらに出力ピンにも関係する場合があります。これらの各ピンの機能には、特定の半導体製造プロセスの電圧ブレークダウン特性と、ピンに接続された特定の回路とで決まる電気的ストレスの制限値があります。また、これらの回路には内部静電気放電 (ESD) 保護機能が組み込まれており、製品の組み立て前と組み立て中の両方で、偶発的な ESD イベントから保護します。

これらの ESD 保護ダイオードは、「絶対最大定格」表に示すように、電流が 10mA に制限されている限り、回路内で入力オーバードライブ保護も行います。駆動入力に直列入力抵抗を追加して入力電流を制限する方法を、図 7-5 に示します。追加された抵抗はアンプの入力で熱ノイズを引き起こすため、ノイズに敏感なアプリケーションでは値を最小限に抑える必要があります。

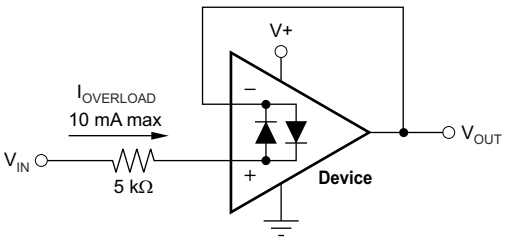


図 7-5. 入力電流保護

ESD イベントがあると、短時間の高電圧パルスが発生し、そのパルスが半導体デバイスを通って放電する際に、短時間の大電流パルスに変わります。ESD 保護回路は、オペアンプ コアを迂回する電流経路を提供して、コアが損傷から保護されるように設計されています。保護回路によって吸収されたエネルギーは、熱として放散されます。

Copyright © 2026 Texas Instruments Incorporated

オペアンプを回路に接続したとき、ESD 保護部品は非アクティブのままであり、アプリケーション回路の動作に関与しません。印加される電圧が特定のピンの動作電圧範囲を超える状況が発生することがあります。この状況が発生した場合、一部の内部 ESD 保護回路がバイアスされてオンになり、電流が流れるリスクがあります。このような電流の流れは、ESD セルを経由して発生し、吸収デバイスが関係することはほとんどありません。

電源がこの電流を吸収できるか不確実である場合は、外部ツェナー ダイオードを電源ピンに追加できます。ツェナー電圧は、通常動作中にダイオードがオンにならないように選択する必要があります。

ただし、電源ピンが安全な動作電源電圧レベルを超えて上昇し始めた場合にツェナー ダイオードが導通するよう、ツェナー電圧は十分低い値にする必要があります。

7.4 デバイスの機能モード

OPAx180、OPA2180、および OPA4180 デバイスは、電源が接続されたときに電源投入されます。これらのデバイスは、用途に応じて、単一電源オペアンプまたはデュアル電源アンプとして動作できます。V- がグランド (0V) の単一電源動作では、V+ は 4V ～ 36V の任意の値に設定できます。デュアル電源動作では、V- と V+ の電源電圧差は 4V ～ 36V です。デュアル電源構成の代表的な例は、±5V、±10V、±15V、±18V です。ただし、電源は対称である必要はありません。あまり一般的でない例として、V- が -3V、V+ が 9V、または V- が -16V、V+ が 5V の場合があります。V- と V+ の差が 4V 以上 36V 以下となる組み合わせであれば、これらのデバイスは通常動作できます。

Copyright © 2026 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

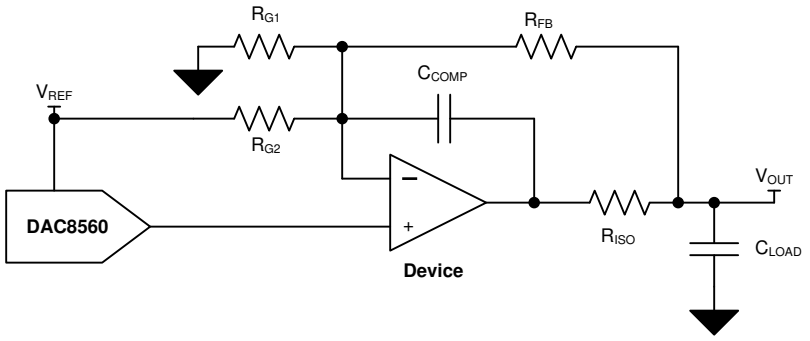
OPAx180 ファミリは、DC 精度と AC 性能が優れています。これらのデバイスは、最高 36V の電源レールで動作し、レール ツー レール出力、超低オフセット電圧、オフセット電圧ドリフト、および 2MHz の帯域幅を実現しています。これらの特長から、OPAx180 は高電圧の産業用アプリケーションに適した、堅牢で高性能なアンプとなっています。

8.2 代表的なアプリケーション

これらのアプリケーション例は、OPAx180 ファミリを使用できる回路の一部を示しています。

8.2.1 ユニポーラ電圧出力 DAC からのバイポーラ ±10V アナログ出力

この設計は、OPAx180 ファミリと 3 つの抵抗を使用して、ユニポーラのデジタル / アナログ コンバータ (DAC) を高精度のバイポーラ信号源に調整するために使用されます。この回路はリアクティブな負荷安定性を念頭に置いて設計されており、長いケーブル長に伴う通常のほぼすべての容量性負荷を駆動できるように補償されています。



Copyright © 2017, Texas Instruments Incorporated

図 8-1. 回路図

8.2.1.1 設計要件

設計要件は次のとおりです。

- DAC 電源電圧 : +5Vdc
- アンプ電源電圧 : ±15Vdc
- 入力 : 3 線式、24 ビット SPI
- 出力 : ±10Vdc

Copyright © 2026 Texas Instruments Incorporated

8.2.1.2 詳細な設計手順

8.2.1.2.1 部品選定

DAC : 便宜上、このアプリケーションでは基準電圧を使用してオフセットを生成するため、外部リファレンス オプションを備えたデバイス、または内部リファレンスにアクセス可能なデバイスが適しています。この設計では、主に DC 誤差の要因 (通常、オフセット誤差、ゲイン誤差、および積分非直線性誤差として表される) に基づいて DAC を選択する必要があります。DAC のエンドポイント誤差 (通常、ゼロコード誤差およびフルスケール誤差と呼ばれます) をまとめた追加の仕様が提供される場合もあります。AC アプリケーションでは、スルーレートとセトリング タイムについても追加の検討が必要になる場合があります。

アンプ : アンプの入力オフセット電圧 (V_{IO}) は、この設計の主要な考慮事項です。オペアンプの V_{IO} は、一般的なデータシートの仕様ですが、回路内での実際の性能は、温度によるドリフト、同相信号除去比 (CMRR)、電源除去比 (PSRR) の影響も受けるため、これらのパラメータも同様に考慮する必要があります。AC 動作の場合は、スルーレートとセトリング タイムについても考慮する必要があります。入力バイアス電流 (I_{IB}) も影響を与える可能性がありますが、通常は抵抗ネットワークは十分に小さい抵抗値で実装されているため、入力バイアス電流の影響は無視できます。

パッシブ : オペアンプの抵抗ネットワークの抵抗マッチングは、この設計を成功させるうえで非常に重要です。許容誤差の小さい部品を選択する必要があります。この設計では、許容誤差 0.1% の抵抗値が実装されていますが、この制約は特定用途向けの設計目標に応じて調整できます。抵抗マッチングは、この設計のオフセット誤差とゲイン誤差に寄与しています。詳細については、『ユニポーラ電圧出力 DAC からのバイポーラ ±10V アナログ出力』を参照してください。安定化部品 R_{ISO} および C_{COMP} の許容誤差は重要ではなく、1% の部品を使用できます。

8.2.1.3 アプリケーション曲線

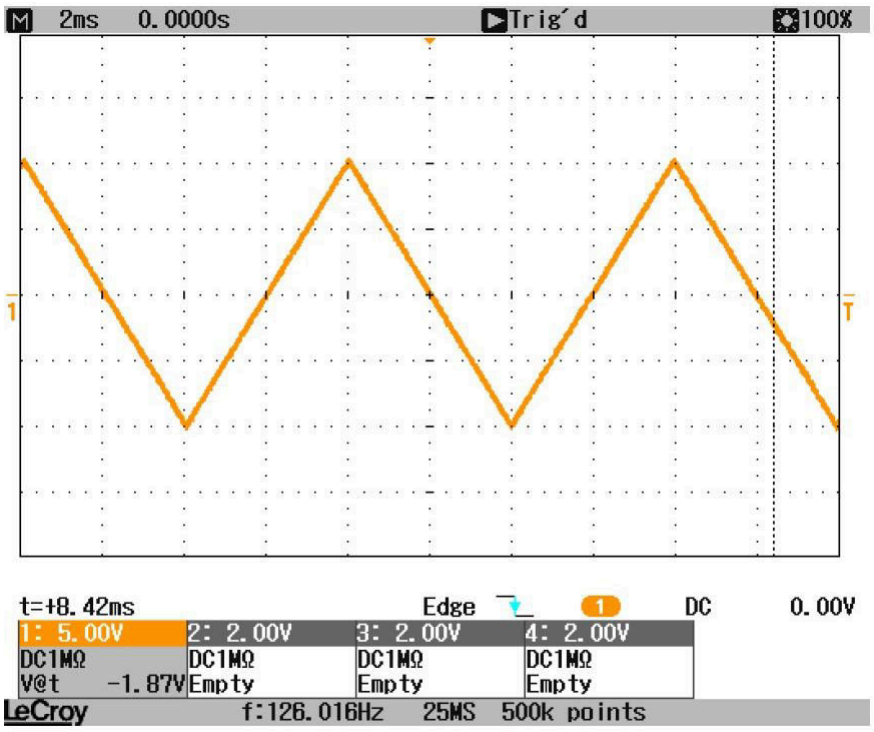


図 8-2. フルスケール出力波形

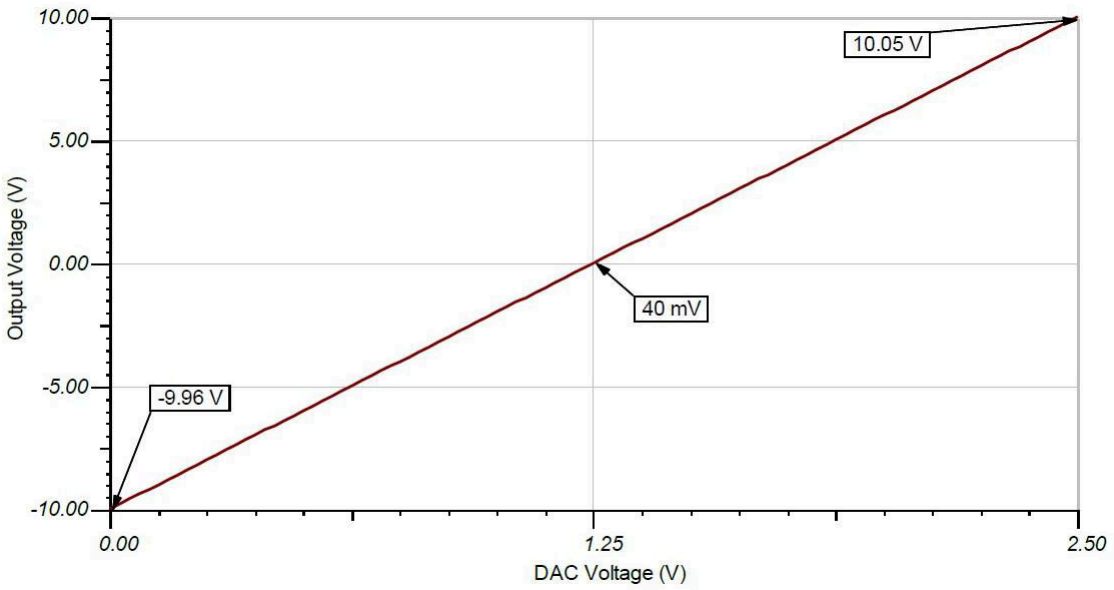


図 8-3. DC 伝達特性

詳細な設計手順、回路図、部品表、PCB ファイル、シミュレーション結果、テスト結果については、TI Precision Design TIPD125、『ユニポーラ電圧出力 DAC からのバイポーラ ±10V アナログ出力』を参照してください。

Copyright © 2026 Texas Instruments Incorporated

8.2.2 ディスクリート INA + 減衰

OPAx180 ファミリは、減衰機能を備えた高精度のディスクリート計測アンプ用の高電圧、ハイ インピーダンスのフロント エンドとして使用できます。図 8-4 における INA159 の減衰機能により、この回路を 3.3V または 5V のアナログ / デジタル コンバータ (ADC) と簡単に接続することができます。

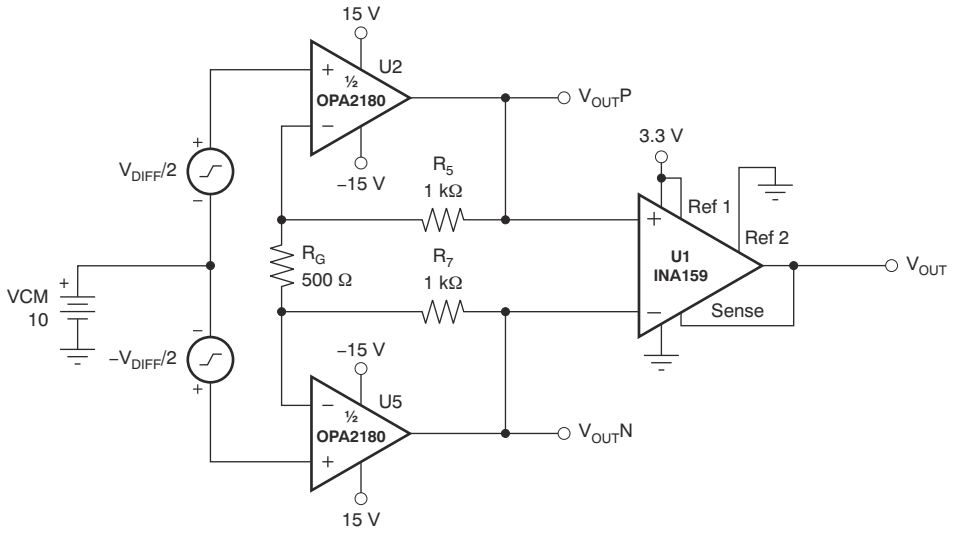
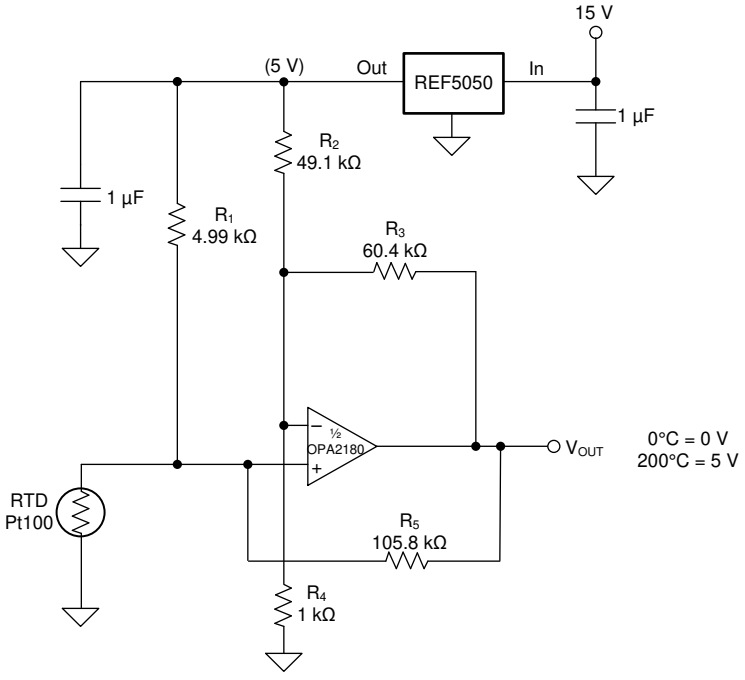


図 8-4. 3.3V 電源の ADC 向けディスクリート INA + 減衰

8.2.3 RTD アンプ

OPAx180 は、抵抗温度検出器 (RTD) のアナログ線形化での使用に最適です。図 8-5 の回路は、OPAx180 アンプの精密性と REF5050 の高精度リファレンスを組み合わせて、Pt100 RTD を線形化します。



Copyright © 2017, Texas Instruments Incorporated

注：R_5 は、正方向に変化する励起を発生させて出力を線形化します。

図 8-5. 線形化機能付き RTD アンプ

8.3 電源に関する推奨事項

OPAx180 ファミリは 4V ～ 36V (±2V ～ ±18V) で動作が規定されており、多くの仕様は -40℃ ～ +125℃ で適用されます。動作電圧または温度によって大きく変動する可能性があるパラメータについては、セクション 8.4 を参照してください。 *セクション 8.4*

注意

40V を超える電源電圧を印加すると、デバイスに永続的な損傷を与える可能性があります。「絶対最大定格」を参照してください。

電源ピンの近くに 0.1µF のバイパス コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源からの誤差を低減できます。バイパス コンデンサの配置の詳細については、セクション 8.4 を参照してください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を使用してください。

- ノイズは、回路全体の電源ピンやオペアンプの電源ピンを介してアナログ回路に伝播する可能性があります。バイパス コンデンサを使用することで、アナログ回路の近傍に低インピーダンスの電源が供給され、結合ノイズが低減します。
  - 各電源ピンとグランドとの間に、低 ESR の 0.1µF セラミック バイパス コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、V+ からグランドに対して 1 つのバイパス コンデンサを接続します。
- 回路のアナログ部とデジタル部を別々に接地することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランド プレーン専用です。グランド プレーンは熱の分散に役立つとともに、EMI ノイズを拾う可能性を低減します。デジタル グランドとアナログ グランドを物理的に分離し、グランド電流の流れに注意を払います。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの入力配線を離して配置できない場合、影響を受けやすい配線をノイズの多い配線と平行にするのではなく、直角に交差させる方が良い結果が得られます。
- 外付け部品は、可能な限りデバイスに近く配置します。図 8-6 に示すように、寄生容量を最小限に抑えるため、RF と RG は反転入力の近くに配置します。
- 入力配線は、できる限り短くしてください。入力配線は、回路の中で最も影響を受けやすい部分であることを常に意識してください。
- 重要な配線の周囲では、駆動型の低インピーダンス ガード リングを配置することを検討してください。ガード リングを使用すると、付近のさまざまな電位にある配線からのリーク電流を大幅に低減できます。

Copyright © 2026 Texas Instruments Incorporated

8.4.2 レイアウト例

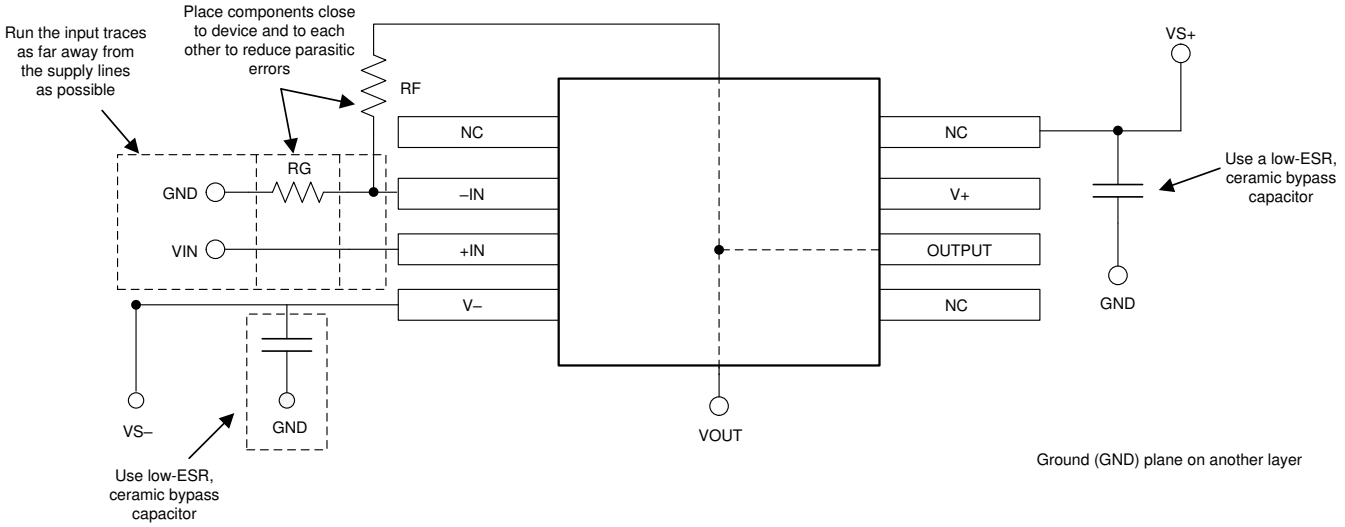


図 8-6. 非反転構成のオペアンプ基板のレイアウト

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (June 2018) to Revision F (September 2026)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• 「電気的特性」表の I_{IB} および I_{IO} から最小値を削除	9
• OPA2180 の I_{IB} の最大値を ±1nA から ±1.5nA に変更	9
• OPA2180 の I_{IO} の最大値を ±2nA から ±3nA に変更	9
• I_{IB} の最大値を ±5nA (T_A = -40℃ ～ 105℃) および ±6nA (T_A = -40℃ ～ 125℃) から ±18nA に変更	9
• I_{IO} の最大値を ±2.5nA (T_A = -40℃ ～ 105℃) および ±3nA (T_A = -40℃ ～ 125℃) から ±6nA に変更	9

Changes from Revision D (May 2014) to Revision E (June 2018)	Page
• 「概要」セクションの OPA180 および OPA4180 の動作温度を「-40℃ ～ +105℃」から「-40℃ ～ +125℃」に変更	1
• 「絶対最大定格」表の最終行に保管温度パラメータを追加	7
• 「絶対最大定格」表で最大動作温度値を 105℃ から 125℃ に変更	7
• 「推奨動作条件」表で、最大動作温度を 105℃ から 125℃ に変更	7
• 「電気的特性」表で、入力オフセット電圧ドリフトの温度範囲を「T_A = -40℃ ～ 105℃」から「T_A = -40℃ ～ +125℃」に変更	9
• 「電気的特性」表で、電源除去比の温度範囲を「T_A = -40℃ ～ 105℃」から「T_A = -40℃ ～ +125℃」に変更	9

Copyright © 2026 Texas Instruments Incorporated

- 「電気的特性」表で、OPA180 の入力バイアス電流の温度範囲を「T_A = -40℃ ～ 105℃」から「T_A = -40℃ ～ +125℃」に変更 9
- 「電気的特性」表に OPA2180 の最小入力バイアス電流値 18nA を追加 9
- 「電気的特性」表に OPA180 の最小入力バイアス電流値 18nA を追加 9
- 「電気的特性」表で、OPA180 の入力オフセット電流の温度範囲を「T_A = -40℃ ～ 105℃」から「T_A = -40℃ ～ +125℃」に変更 9
- 「電気的特性」表に OPA2180 の最小入力オフセット電流値 6nA を追加 9
- 「電気的特性」表に OPA180 の最小入力オフセット電流値 6nA を追加 9
- 「電気的特性」表で、同相信号除去比の温度範囲を「T_A = -40℃ ～ 105℃」から「T_A = -40℃ ～ +125℃」に変更 9
- 「電気的特性」表で、開ループ電圧ゲインの温度範囲を「T_A = -40℃ ～ 105℃」から「T_A = -40℃ ～ +125℃」に変更 9
- 「電気的特性」表で、電圧出力スイング (レールから) の温度範囲を「T_A = -40℃ ～ 105℃」から「T_A = -40℃ ～ +125℃」に変更 9
- 「電気的特性」表で、静止電流の温度範囲を「T_A = -40℃ ～ 105℃」から「T_A = -40℃ ～ +125℃」に変更 9
- 「機能説明」セクションで動作温度を「-40℃ ～ 105℃」から「-40℃ ～ 125℃」に変更 17
- 図 8-5 を更新 23
- 「電源に関する推奨事項」セクションの動作温度を「-40℃ ～ +105℃」から「-40℃ ～ +125℃」に変更 24

Changes from Revision C (December 2012) to Revision D (May 2014) **Page**

- 最新のデータシートの標準に合わせてフォーマットを変更、「デバイスの機能モード」、「アプリケーションと実装」、「電源に関する推奨事項」の各セクションを追加、既存のセクションを移動 1
- ドキュメントに OPA180 を追加 1
- 「製品情報」表を追加 1
- 「ピンの機能」表を追加 4
- 「パッケージ情報」表を削除 4
- OPA180 のピン配置図 4
- 「推奨動作条件」表を追加 7
- 熱に関する情報を追加：OPA180 の表 8
- 「電気的特性」表で、オフセット電圧の長期安定性パラメータの標準仕様を変更 9
- 「EMI 除去」セクションの最後の文を変更 17

Changes from Revision B (December 2011) to Revision C (June 2012) **Page**

- 製品ステータスを「混在ステータス」から「量産データ」に変更 1
- OPA4180 のステータスを「量産データ」に変更 1
- 「パッケージ情報」表の OPA2180 VSSOP-8 の行にパッケージ マーキングを追加 4
- 「パッケージ情報」表から注文番号と供給時の状態の列を削除 4
- 「電気的特性 (V_S = +4V ～ +36V)」表の「入力バイアス電流」セクションを変更 9

Changes from Revision A (November 2011) to Revision B (December 2011) **Page**

- 「電気的特性」表の脚注 1 を変更 9
- 図 6-7 を更新 12

Copyright © 2026 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA180ID	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA180
OPA180ID.B	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA180
OPA180IDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SHJ
OPA180IDBVR.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SHJ
OPA180IDBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SHJ
OPA180IDBVT.B	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SHJ
OPA180IDBVTG4	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SHJ
OPA180IDBVTG4.B	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SHJ
OPA180IDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SHK
OPA180IDGKR.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SHK
OPA180IDGKT	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SHK
OPA180IDGKT.B	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SHK
OPA180IDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA180
OPA180IDR.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA180
OPA180IDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA180
OPA180IDRG4.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA180
OPA2180ID	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180ID.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180ID.B	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180IDGK	Active	Production	VSSOP (DGK) | 8	80 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180IDGK.A	Active	Production	VSSOP (DGK) | 8	80 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180IDGK.B	Active	Production	VSSOP (DGK) | 8	80 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180IDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180IDGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180IDGKR.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180IDGKRG4	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180IDGKRG4.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180IDGKRG4.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180IDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2180

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2180IDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180IDR.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180IDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180IDRG4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2180
OPA2180IDRG4.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2180
OPA4180ID	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4180
OPA4180ID.B	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4180
OPA4180IDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4180
OPA4180IDR.B	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4180
OPA4180IPW	Active	Production	TSSOP (PW) | 14	90 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4180
OPA4180IPW.B	Active	Production	TSSOP (PW) | 14	90 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4180
OPA4180IPWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4180
OPA4180IPWR.B	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4180
OPA4180IPWRG4	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4180
OPA4180IPWRG4.B	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4180

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF OPA180, OPA2180 :

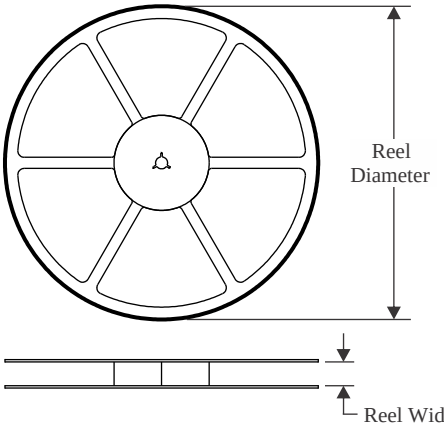
- Automotive : OPA180-Q1, OPA2180-Q1

NOTE: Qualified Version Definitions:

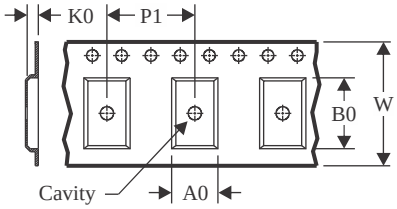
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

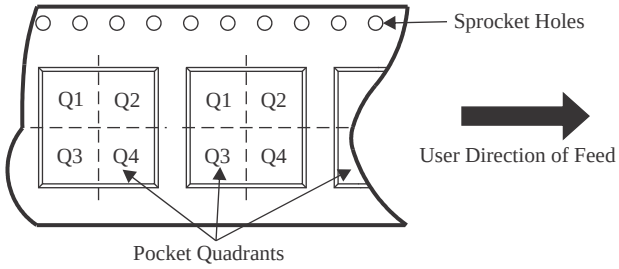


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

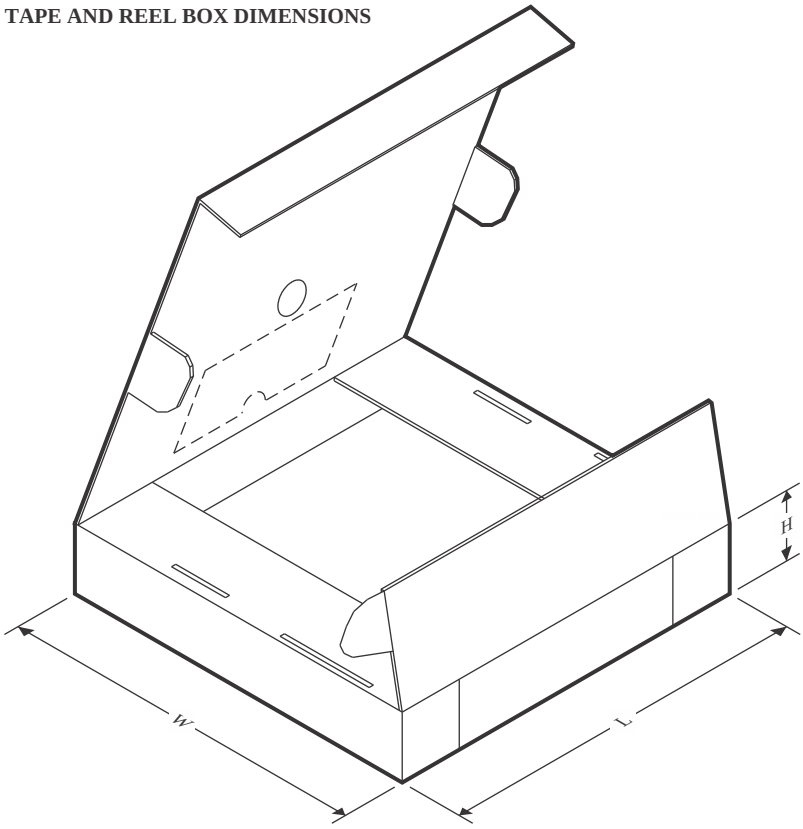
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA180IDBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
OPA180IDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA180IDBVT	SOT-23	DBV	5	250	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA180IDBVTG4	SOT-23	DBV	5	250	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA180IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA180IDGKT	VSSOP	DGK	8	250	177.8	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA180IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA180IDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2180IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2180IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
OPA2180IDGKRG4	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2180IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2180IDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA4180IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
OPA4180IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
OPA4180IPWRG4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

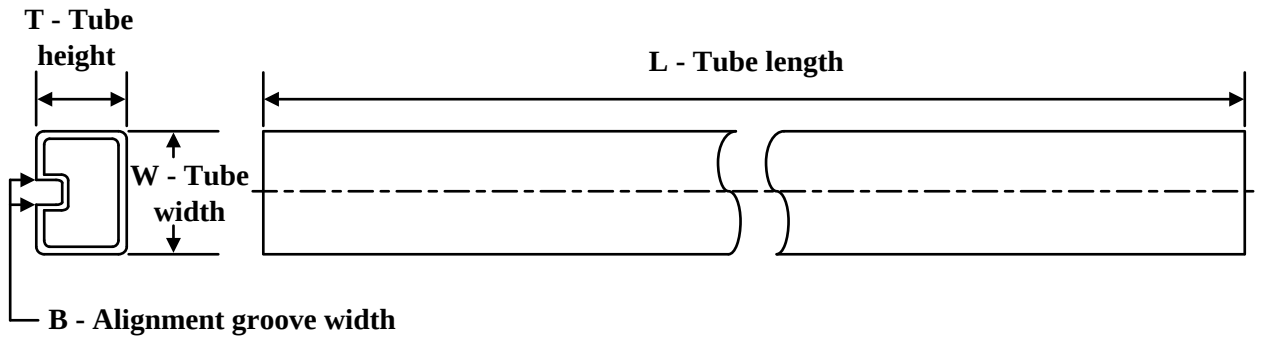
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

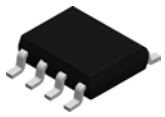
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA180IDBVR	SOT-23	DBV	5	3000	190.0	190.0	30.0
OPA180IDBVR	SOT-23	DBV	5	3000	223.0	270.0	35.0
OPA180IDBVT	SOT-23	DBV	5	250	223.0	270.0	35.0
OPA180IDBVTG4	SOT-23	DBV	5	250	223.0	270.0	35.0
OPA180IDGKR	VSSOP	DGK	8	2500	346.0	346.0	29.0
OPA180IDGKT	VSSOP	DGK	8	250	223.0	270.0	35.0
OPA180IDR	SOIC	D	8	2500	353.0	353.0	32.0
OPA180IDRG4	SOIC	D	8	2500	353.0	353.0	32.0
OPA2180IDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA2180IDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
OPA2180IDGKRG4	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA2180IDR	SOIC	D	8	2500	353.0	353.0	32.0
OPA2180IDRG4	SOIC	D	8	2500	353.0	353.0	32.0
OPA4180IDR	SOIC	D	14	2500	353.0	353.0	32.0
OPA4180IPWR	TSSOP	PW	14	2000	353.0	353.0	32.0
OPA4180IPWRG4	TSSOP	PW	14	2000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
OPA180ID	D	SOIC	8	75	506.6	8	3940	4.32
OPA180ID.B	D	SOIC	8	75	506.6	8	3940	4.32
OPA2180ID	D	SOIC	8	75	506.6	8	3940	4.32
OPA2180ID.A	D	SOIC	8	75	506.6	8	3940	4.32
OPA2180ID.B	D	SOIC	8	75	506.6	8	3940	4.32
OPA2180IDGK	DGK	VSSOP	8	80	330	6.55	500	2.88
OPA2180IDGK.A	DGK	VSSOP	8	80	330	6.55	500	2.88
OPA2180IDGK.B	DGK	VSSOP	8	80	330	6.55	500	2.88
OPA4180ID	D	SOIC	14	50	506.6	8	3940	4.32
OPA4180ID.B	D	SOIC	14	50	506.6	8	3940	4.32
OPA4180IPW	PW	TSSOP	14	90	508	8.5	3250	2.8
OPA4180IPW.B	PW	TSSOP	14	90	508	8.5	3250	2.8

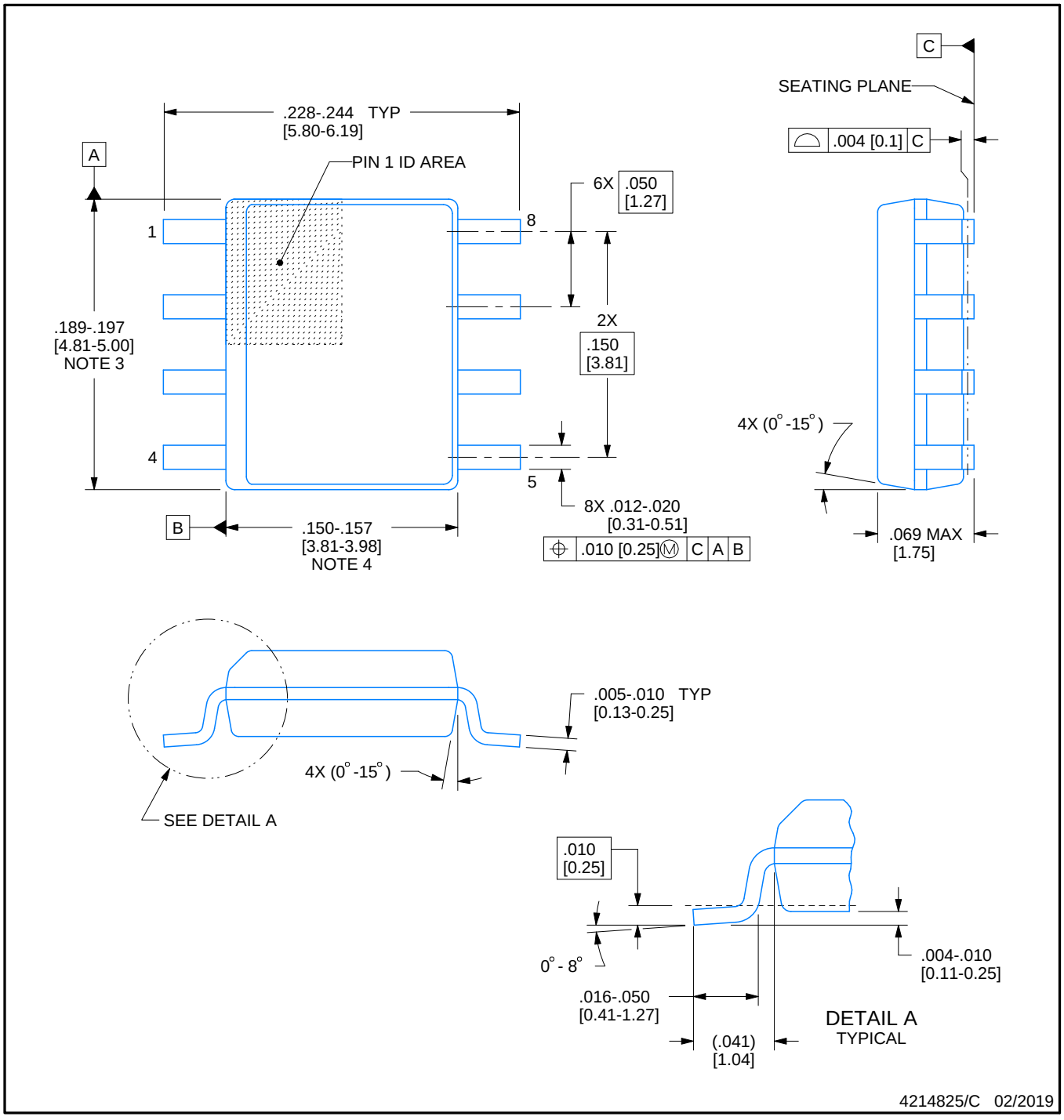


PACKAGE OUTLINE

D0008A

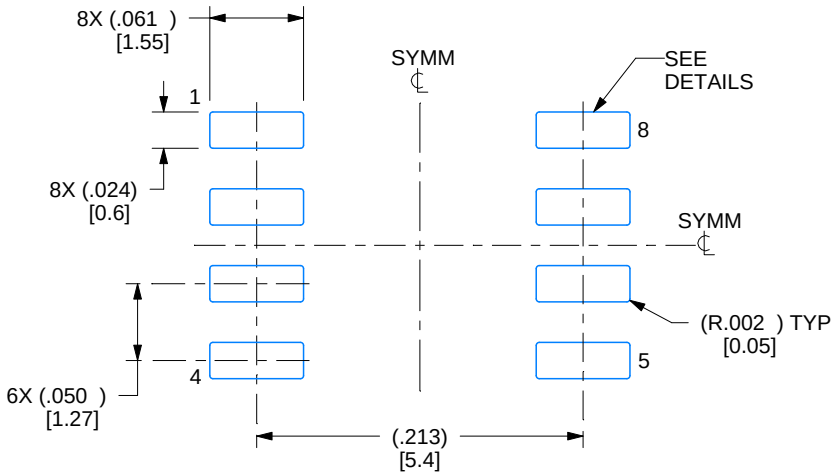
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

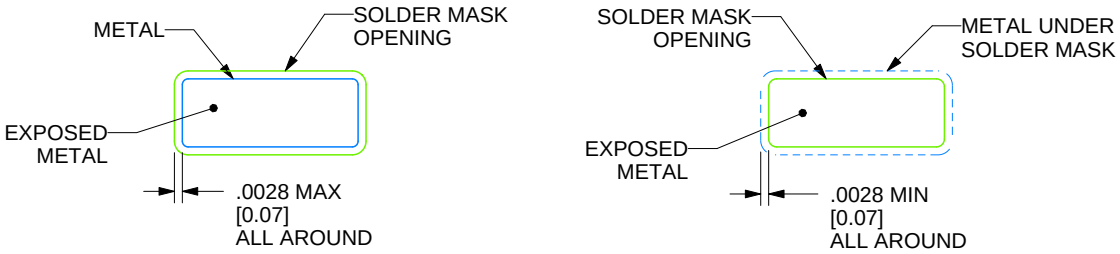


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

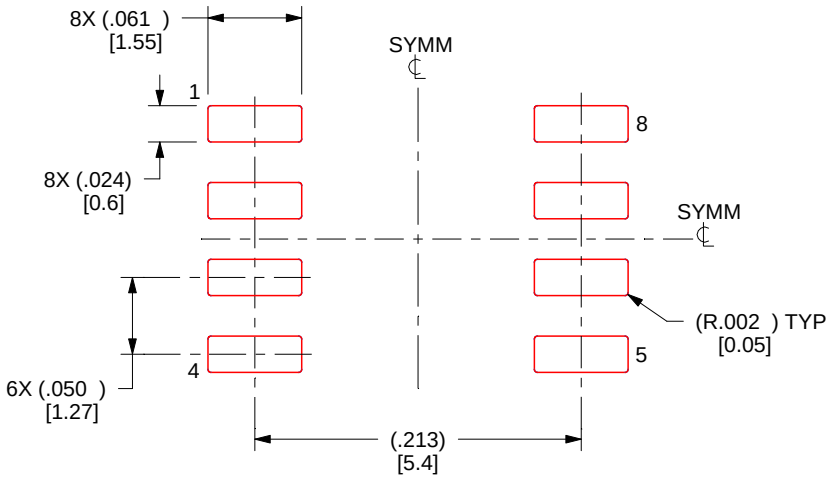
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

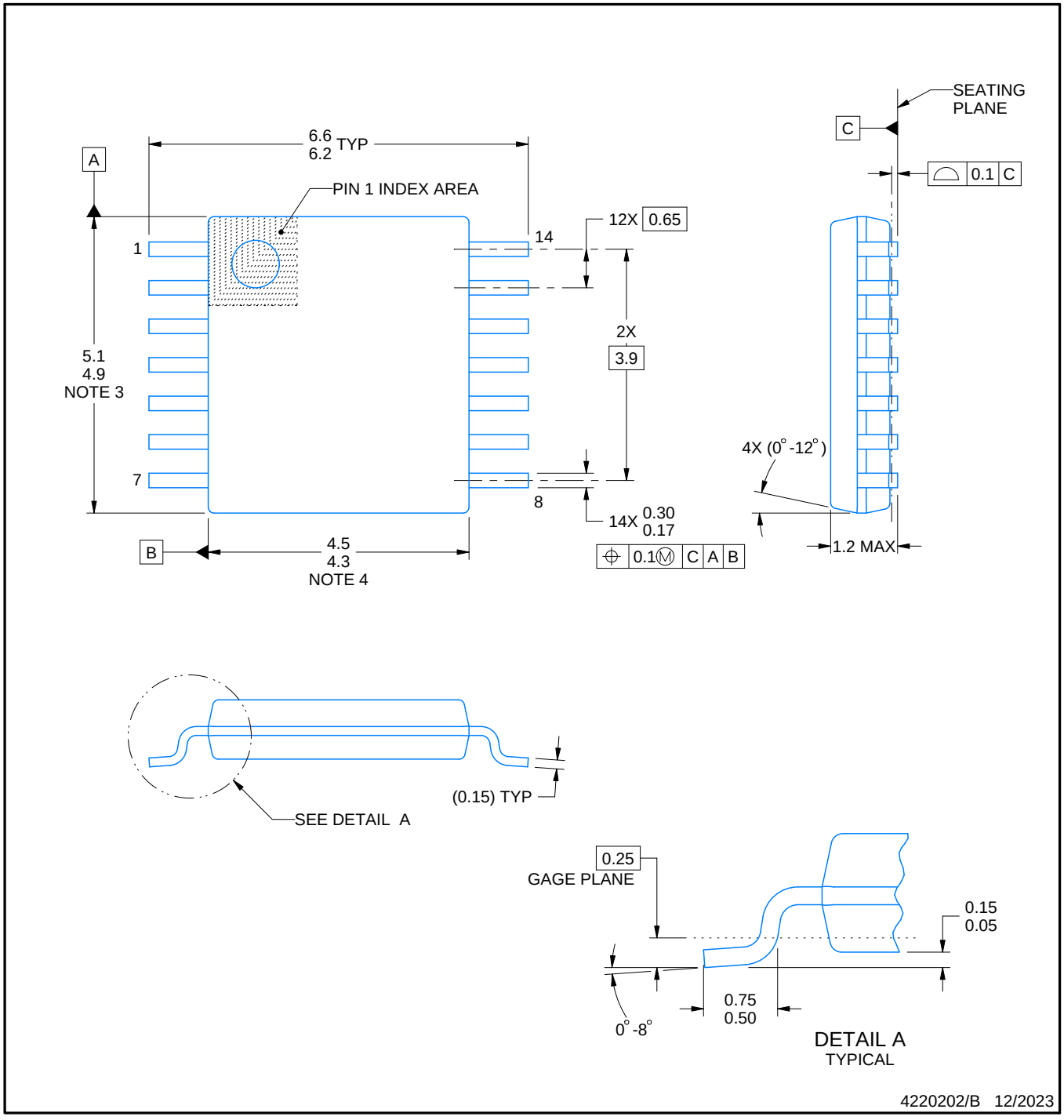
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0014A

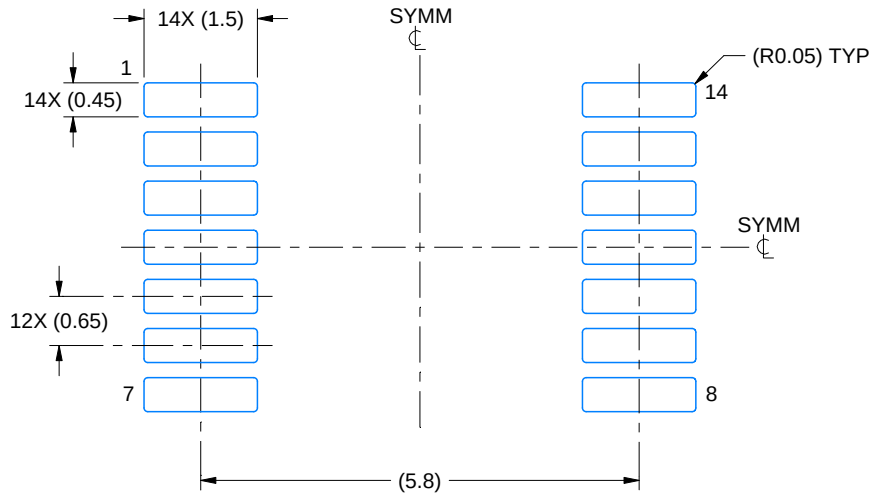
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

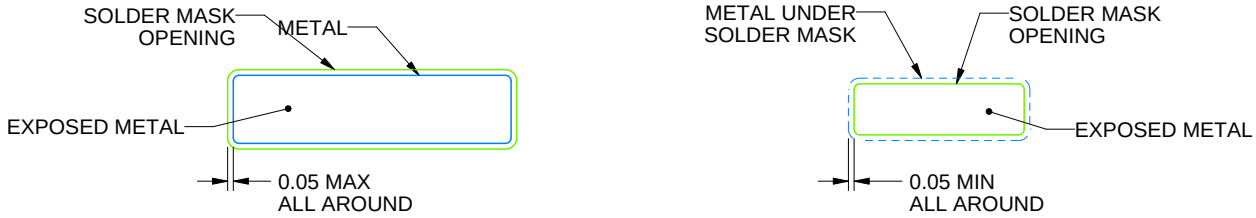


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

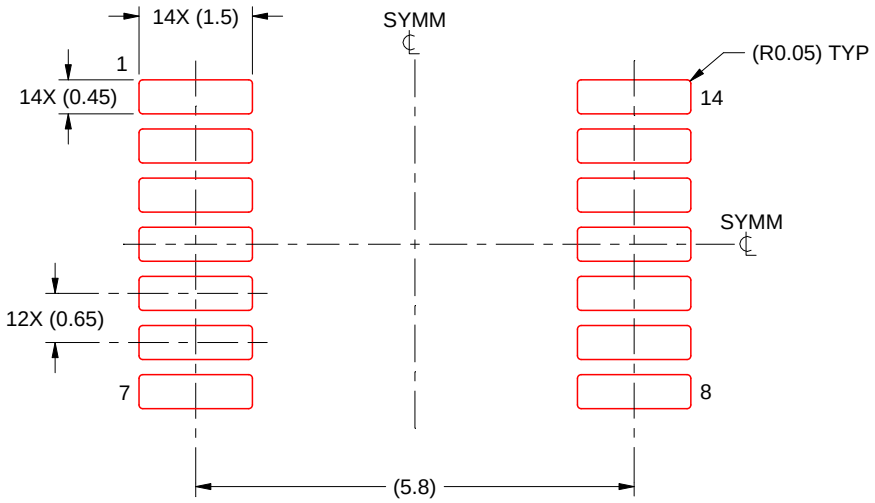


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

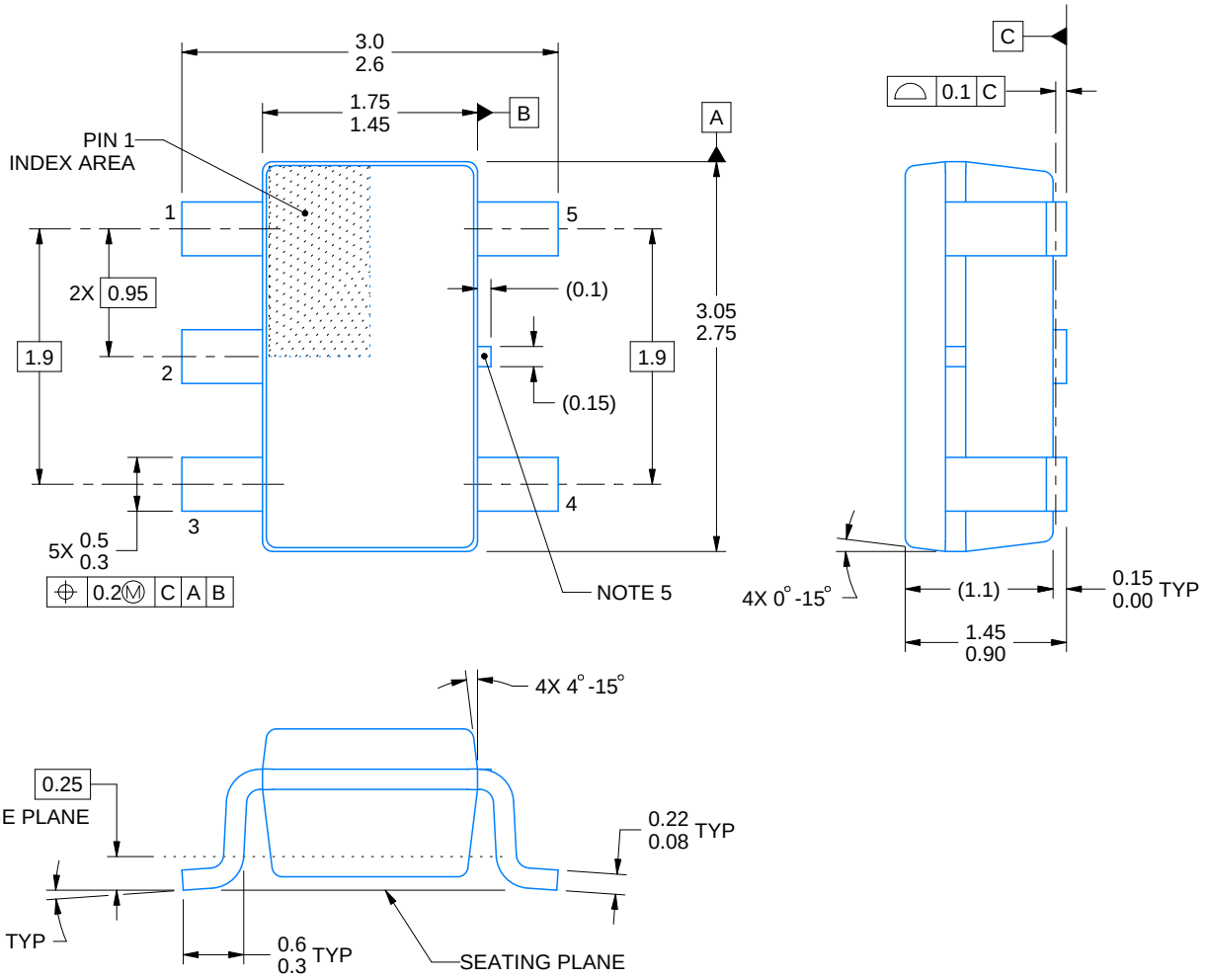
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

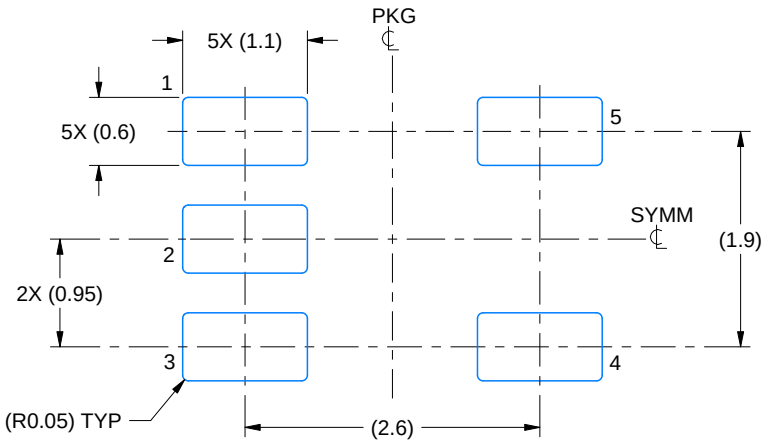
SMALL OUTLINE TRANSISTOR



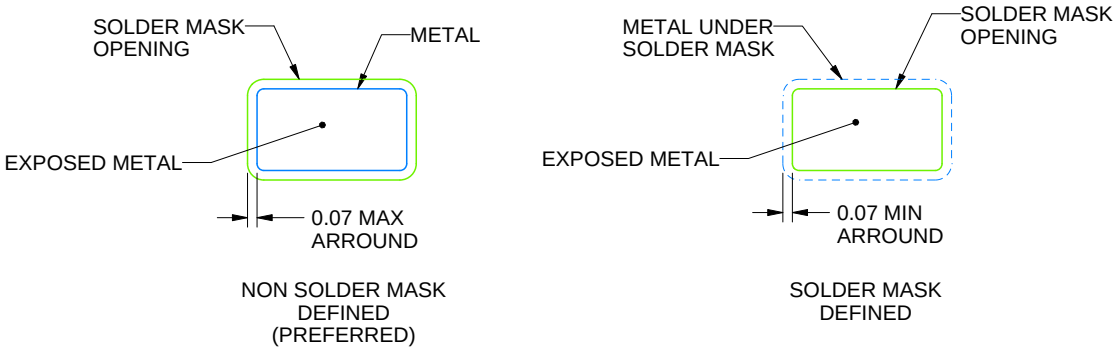
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

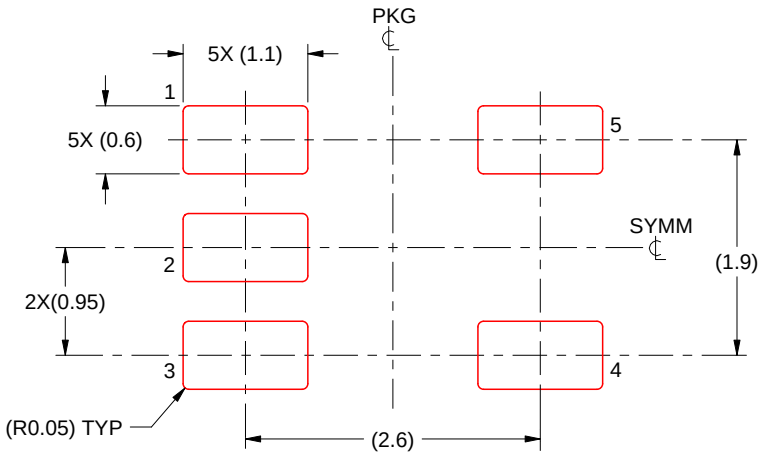


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

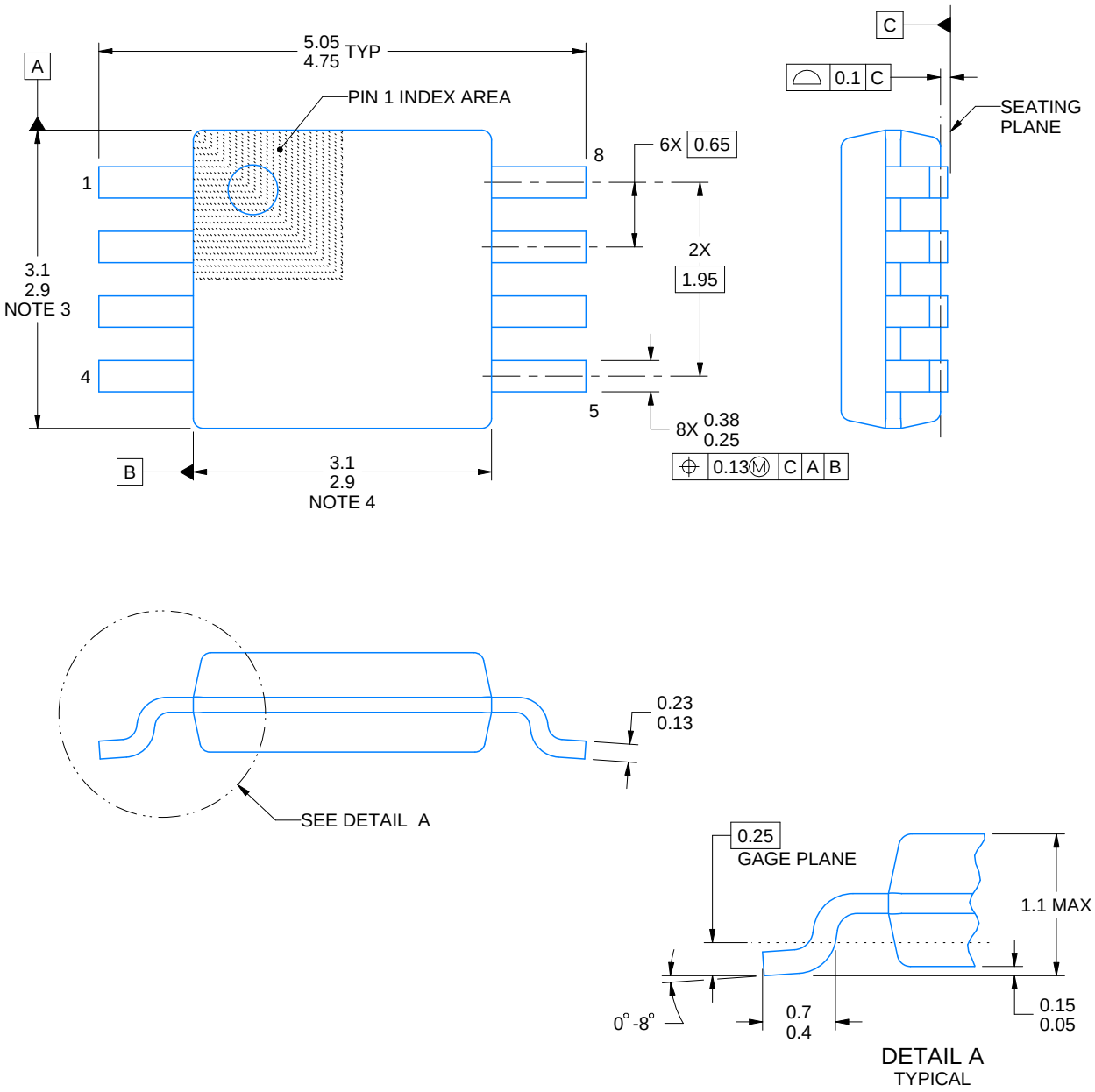
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

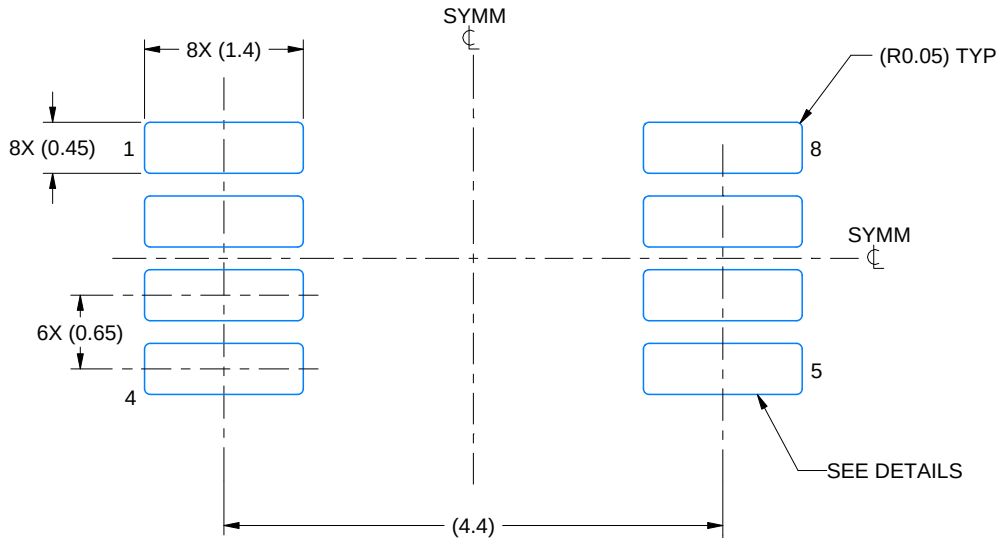
SMALL OUTLINE PACKAGE



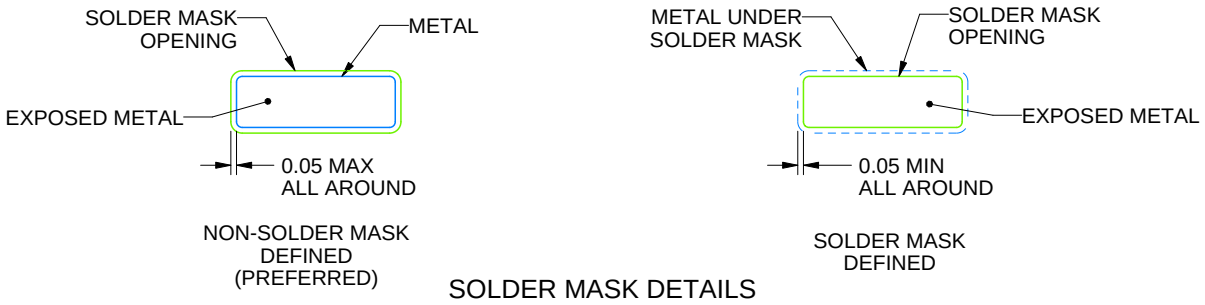
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

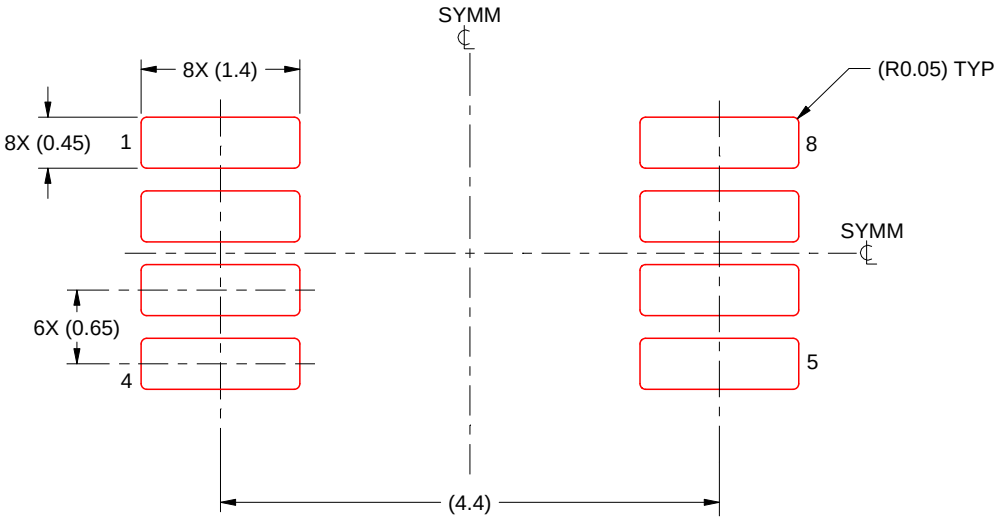


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

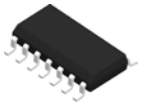


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

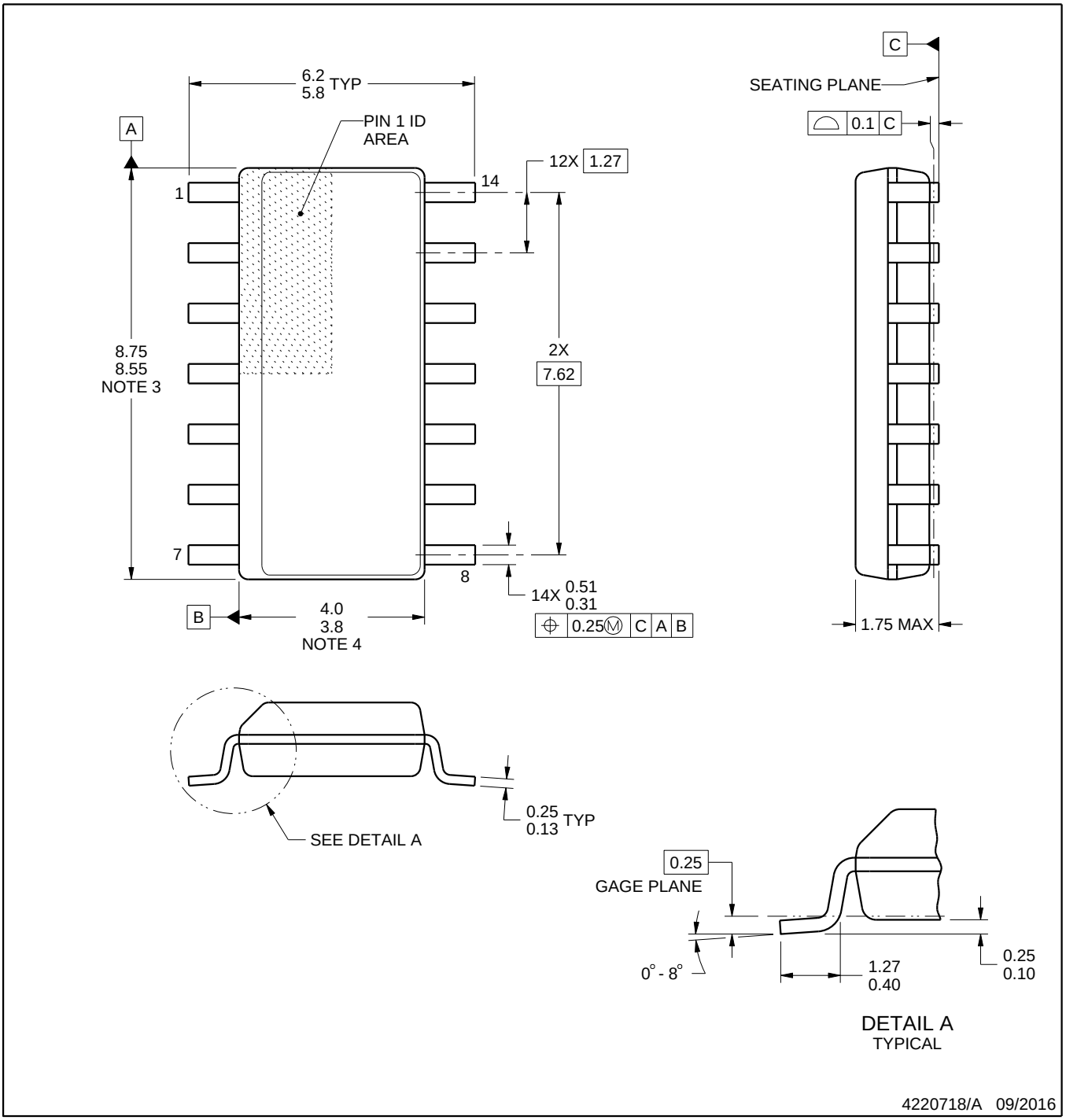


PACKAGE OUTLINE

D0014A

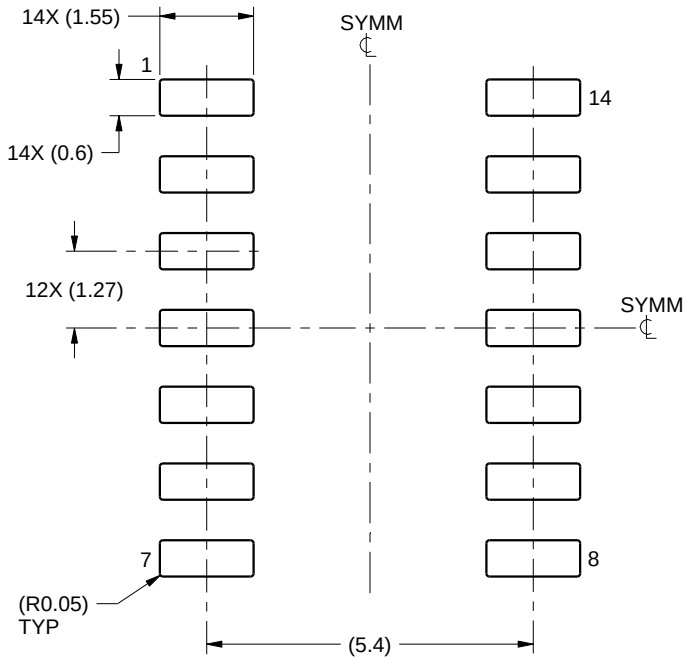
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

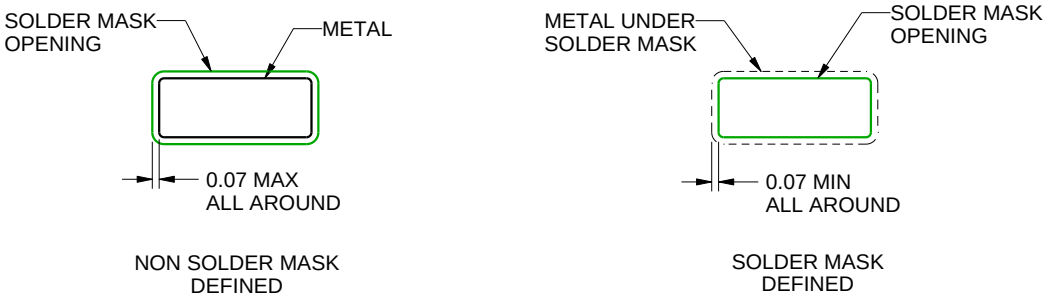


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

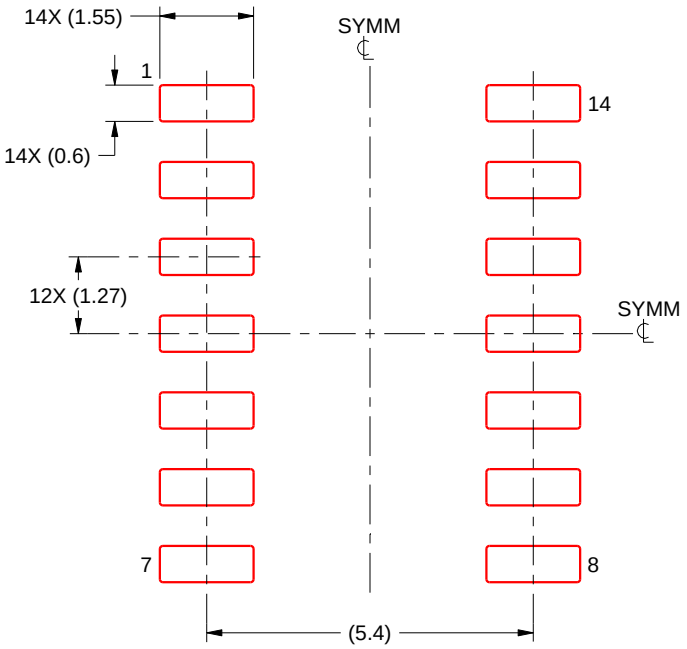
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月