OPAx237 単一電源オペアンプ MicroAmplifier シリーズ

1 特長

- 超小型、小型パッケージ:
  - シングル:SOT23-5、SO-8
  - デュアル:VSSOP-8、SO-8
  - クワッド:SSOP-16 (生産中止)
- 低いオフセット電圧:750μV 最大 (V_S=5V)
- 幅広い電源電圧範囲:
  - シングル電源:2.7V ～ 36V
  - デュアル電源:±1.35V～±18V
- 低い静止電流:350μA 以下
- 広い帯域幅:1.5MHz

2 アプリケーション

- バッテリ駆動計測器
- 携帯機器
- PCMCIA カード
- 医療機器
- 試験用機器

3 説明

OPAx237 オペアンプ ファミリは、テキサス インスツルメンツ社の MicroAmplifier シリーズの小型製品のひとつです。これらのデバイスは小型サイズに加えて、低オフセット電圧、低静止電流、低バイアス電流、広い電源電圧範囲を特長としています。シングルおよびデュアル バージョンは仕様が同一なため、設計を最大限に柔軟に行えます。これらのデバイスは、PCMCIA カードやその他の携帯機器など、単電源、バッテリ駆動、スペースの制約がある用途に適しています。

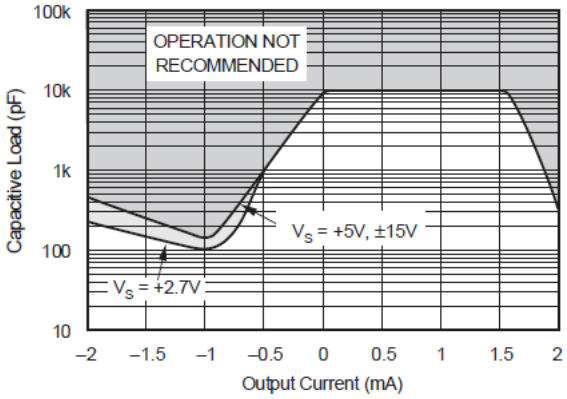
OPAx237 シリーズ オペアンプは、単一またはデュアルの電源で動作します。単一電源で動作している場合、入力同相範囲はグランドを下回り、出力はグランドから 10mV 以内で変動します。デュアルおよびクワッドの設計は完全に独立した回路を特徴としており、クロストークが最小限に抑えられ、相互作用が発生しません。

シングル、デュアル、クワッドの各バージョンが、省スペースの表面実装パッケージで提供されています。シングル バージョンは、超小型の 5 ピン SOT23-5 および SOIC-8 表面実装パッケージで提供されています。デュアル バージョンは、小型の VSSOP-8 および SO-8 表面実装パッケージで提供されています。クワッド バージョンは生産中止になっています。VSSOP-8 は SO-8 とリード数が同じですが、サイズが半分です。SOT23-5 は、SOIC-8 の 1/4 のサイズで、さらに小型です。すべてのデバイスは -40℃～+85℃で動作が規定されています。設計解析用のマクロモデルが利用できます。

製品情報

製品名	チャネル	パッケージ (1)
OPA237	シングル	D (SOIC、8)
		DBV (SOT-23、5)
OPA2237	デュアル	D (SOIC、8)
		DGK (VSSOP、8)

(1) 詳細については、セクション 9 を参照してください。



安定性 - 容量性負荷と出力電流との関係

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 1
2 アプリケーション 1
3 説明 1
4 ピン構成および機能 3
5 仕様 4
5.1 絶対最大定格 4
5.2 推奨動作条件 4
5.3 熱に関する情報 (OPA237) 4
5.4 熱に関する情報 (OPA2237) 4
5.5 電気的特性:V_S = 2.7V 5
5.6 電気的特性:V_S = 5V 6
5.7 電気的特性:V_S = 30V 7
5.8 代表的特性 8
6 アプリケーションと実装 12
6.1 アプリケーション情報 12
6.2 代表的なアプリケーション 13
7 デバイスおよびドキュメントのサポート 14
7.1 ドキュメントの更新通知を受け取る方法 14
7.2 サポート・リソース 14
7.3 商標 14
7.4 静電気放電に関する注意事項 14
7.5 用語集 14
8 改訂履歴 14
9 メカニカル、パッケージ、および注文情報 16

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

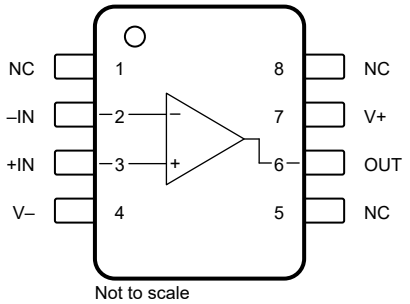


図 4-1. OPA237：D パッケージ、8 ピン SOIC (上面図)

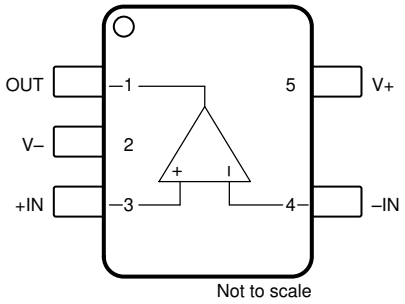


図 4-2. OPA237：DBV パッケージ、5 ピン SOT-23 (上面図)

表 4-1. ピンの機能：OPA237

ピン			タイプ	説明
名称	番号			
	D (SOIC)	DBV (SOT-23)		
–IN	2	4	入力	反転入力
+IN	3	3	入力	非反転入力
OUT	6	1	出力	出力
V-	4	2	電源	負 (最低) 電源
V+	7	5	電源	正 (最高) 電源

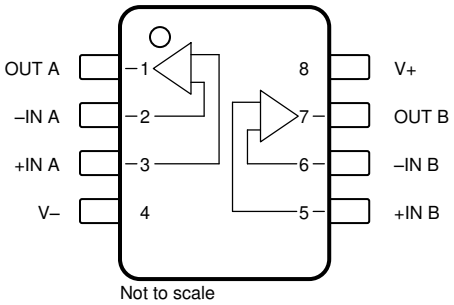


図 4-3. OPA2237：D パッケージ、8 ピン SOIC および DGK パッケージ、8 ピン VSSOP (上面図)

表 4-2. ピンの機能：OPA2237

ピン		タイプ	説明
名称	番号		
-IN A	2	入力	反転入力、チャネル A
+IN A	3	入力	非反転入力、チャネル A
-IN B	6	入力	反転入力、チャネル B
+IN B	5	入力	非反転入力、チャネル B
OUT A	1	出力	出力、チャネル A
OUT B	7	出力	出力、チャネル B
V-	4	電源	負 (最低) 電源
V+	8	電源	正 (最高) 電源

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) [(1)]

				最小値	最大値	単位
V_S	電源電圧、V_S = (V+) - (V-)				36	V
	信号入力ピン	電圧	同相	(V-) - 0.7	(V+) + 0.7	V
			差動	-0.7	+0.7	
		電流			±10	mA
I_{SC}	出力短絡 [(2)]			連続		
T_A	動作温度			-55	125	℃
T_J	接合部温度				150	℃
T_{stg}	保存温度			-55	125	℃

(1) 「絶対最大定格」の範囲を超える動作は、デバイスの永続的な損傷の原因となる可能性があります。「*絶対最大定格*」は、これらの条件において、または「*推奨動作条件*」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「*絶対最大定格*」の範囲内であっても「*推奨動作条件*」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) グランドへの短絡、パッケージあたり 1 台のアンプ。

5.2 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_S	電源電圧、V_S = (V+) - (V-)	2.7		36	V
T_A	動作温度	-40		85	℃

5.3 熱に関する情報 (OPA237)

熱評価基準[(1)]		OPA237		単位
		DBV (SOT-23)	D (SOIC)	
		5 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	115.8	180.4	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	56.4	67.9	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	56.4	102.1	℃/W
ψ_{JT}	接合部から上面への特性パラメータ	12.8	10.4	℃/W
ψ_{JB}	接合部から基板への特性パラメータ	55.9	100.3	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』*アプリケーション ノートを参照してください。

5.4 熱に関する情報 (OPA2237)

熱評価基準[(1)]		OPA2237		単位
		D (SOIC)	DGK (VSSOP)	
		8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	126.9	175.6	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	67.1	63.1	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	70.3	97.2	℃/W
ψ_{JT}	接合部から上面への特性パラメータ	18.8	7.8	℃/W
ψ_{JB}	接合部から基板への特性パラメータ	69.5	95.5	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』*アプリケーション ノートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性：V_S = 2.7V

T_A = 25°C、V_O = V_S / 2、および R_L = 10kΩ を V_S / 2 に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V_{OS}	入力オフセット電圧	V_{CM} = 1V			±250	±950	μV
dV_{OS}/dT	入力オフセット電圧ドリフト	T_A = –40°C～+85°C			±2	±7.5	μV/°C
PSRR	電源除去比	2.7V < V_S < 36V			10	30	μV/V
	チャネル セパレーション (デュアル)				0.5		μV/V
入力バイアス電流							
I_B	入力バイアス電流(1)	V_{CM} = 1V			-10	-40	nA
I_{OS}	入力オフセット電流 (1)	V_{CM} = 1V			±0.5	±10	nA
ノイズ							
	入力電圧ノイズ	f = 0.1Hz～10Hz			1		$μV_{PP}$
e_n	入力電圧ノイズ密度	f = 1kHz			28		nV/√Hz
i_n	入力電流ノイズ密度	f = 1kHz			60		pA/√Hz
入力電圧							
V_{CM}	同相電圧			(V-) - 0.2		(V+) – 1.5	V
CMRR	同相除去比	V_{CM} = (V–) – 0.2V to (V+) – 1.5V		71	85		dB
入力インピーダンス							
Z_{IN}	入力インピーダンス	差動			5 || 4		MΩ || pF
		同相			5 || 2		TΩ || pF
開ループ ゲイン							
A_{OL}	開ループ電圧ゲイン	V_O = 0.55V～1.7V		75	88		dB
周波数応答							
GBW	ゲイン帯域幅積				1.2		MHz
SR	スルー レート	G = 1			0.45		V/μs
t_S	セトリング時間	G = –1、C_L = 100pF、1V ステップ	0.1%		5		μs
			0.01%		8		
出力							
V_O	電圧出力	R_L = 100kΩ to V–	正電圧レール	(V+) – 1	(V+) – 0.75		V
			負電圧レール		(V-) + 0.001	(V-) + 0.05	
		R_L = 100kΩ	正電圧レール	(V+) – 1	(V+) – 0.75		
			負電圧レール		(V-) + 0.02	(V-) + 0.06	
		R_L = 10kΩ	正電圧レール	(V+) – 1	(V+) – 0.75		
			負電圧レール		(V-) + 0.2	(V-) + 0.3	
I_{SC}	短絡電流	ソース			7		mA
		シンク			-10		
C_L	容量性負荷駆動能力			「代表的特性」を参照			
電源							
I_Q	アンプごとの静止電流				150	350	μA

(1) 設計および処理によって指定された入力バイアス電流。

5.6 電気的特性：V_S = 5V

T_A = 25°C、V_O = V_S / 2、および R_L = 10kΩ を V_S / 2 に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V_{OS}	入力オフセット電圧	V_{CM} = 2.5V			±250	±750	μV
dV_{OS}/dT	入力オフセット電圧ドリフト	T_A = –40°C～+85°C			±2	±5	μV/°C
PSRR	電源除去比	2.7V < V_S < 36V			10	30	μV/V
	チャネル セパレーション (デュアル)				1		μV/V
入力バイアス電流							
I_B	入力バイアス電流(1)	V_{CM} = 2.5V			-10	-40	nA
I_{OS}	入力オフセット電流 (1)	V_{CM} = 2.5V			±0.5	±10	nA
ノイズ							
	入力電圧ノイズ	f = 0.1Hz～10Hz			1		$μV_{PP}$
e_n	入力電圧ノイズ密度	f = 1kHz			28		nV/√Hz
i_n	入力電流ノイズ密度	f = 1kHz			60		fA/√Hz
入力電圧							
V_{CM}	同相電圧			(V-) - 0.2		(V+) – 1.5	V
CMRR	同相除去比	V_{CM} = (V–) – 0.2V to (V+) – 1.5V		76	86		dB
入力インピーダンス							
Z_{IN}	入力インピーダンス	差動			5 || 4		MΩ || pF
		同相			5 || 2		TΩ || pF
開ループ ゲイン							
A_{OL}	開ループ電圧ゲイン	V_O = 0.5V～4V		75	88		dB
周波数応答							
GBW	ゲイン帯域幅積				1.4		MHz
SR	スルー レート	G = 1			0.45		V/μs
t_S	セトリング時間	G = –1、C_L = 100pF、3V ステップ	0.1%		11		μs
			0.01%		16		
出力							
V_O	電圧出力	R_L = 100kΩ to V–	正電圧レール	(V+) – 1.5	(V+) – 0.75		V
			負電圧レール		(V-) + 0.001	(V-) + 0.1	
		R_L = 100kΩ	正電圧レール	(V+) – 1.5	(V+) – 0.75		
			負電圧レール		(V-) + 0.04	(V-) + 0.12	
		R_L =10kΩ	正電圧レール	(V+) – 1.5	(V+) – 0.75		
			負電圧レール		(V-) + 0.35	(V-) + 0.6	
I_{SC}	短絡電流	ソース			8		mA
		シンク			-10		
C_L	容量性負荷駆動能力			「代表的特性」を参照			
電源							
I_Q	アンプごとの静止電流				170	350	μA

(1) 設計および処理によって指定された入力バイアス電流。

Copyright © 2025 Texas Instruments Incorporated

5.7 電気的特性：V_S = 30V

T_A = 25°C、V_O = V_S / 2、および R_L = 10kΩ を V_S / 2 に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V_{OS}	入力オフセット電圧	V_{CM} = V_S/2			±350	±950	µV
dV_{OS}/dT	入力オフセット電圧ドリフト	T_A = –40°C～+85°C			±2.5	±7	µV/°C
PSRR	電源除去比	2.7V < V_S < 36V			10	30	µV/V
	チャネル セパレーション (デュアル)				1		µV/V
入力バイアス電流							
I_B	入力バイアス電流(1)	V_{CM} = V_S/2			-8.5	-40	nA
I_{OS}	入力オフセット電流 (1)	V_{CM} = V_S/2			±0.5	±10	nA
ノイズ							
	入力電圧ノイズ	f = 0.1Hz～10Hz			1		$µV_{PP}$
e_n	入力電圧ノイズ密度	f = 1kHz			28		nV/√Hz
i_n	入力電流ノイズ密度	f = 1kHz			80		fA/√Hz
入力電圧							
V_{CM}	同相電圧			(V-) - 0.2		(V+) – 1.5	V
CMRR	同相除去比	V_{CM} = (V–) ～ (V+) – 1.5V		80	90		dB
入力インピーダンス							
Z_{IN}	入力インピーダンス	差動			5 || 4		MΩ || pF
		同相			5 || 2		TΩ || pF
開ループ ゲイン							
A_{OL}	開ループ電圧ゲイン	V_O = (V–) + 1V ～ (V+) – 1.2V		80	88		dB
周波数応答							
GBW	ゲイン帯域幅積				1.5		MHz
SR	スルー レート	G = 1			0.44		V/µs
t_S	セトリング時間	G = –1、C_L = 100pF、10V ステップ	0.1%		20		µs
			0.01%		24		
出力							
V_O	電圧出力	R_L = 100kΩ	正電圧レール	(V+) – 1.2	(V+) – 0.9		V
			負電圧レール		(V-) + 0.3	(V-) + 0.5	
		R_L = 10kΩ	正電圧レール	(V+) – 1.2	(V+) – 0.9		
			負電圧レール		(V-) + 0.85	(V-) + 1	
I_{SC}	短絡電流	ソース			9.5		mA
		シンク			-10		
C_L	容量性負荷駆動能力				*「代表的特性」を参照*		
電源							
I_Q	アンプごとの静止電流				200	475	µA

(1) 設計および処理によって指定された入力バイアス電流。

5.8 代表的特性

T_A = 25°C および R_L = 10kΩ (特に記述のない限り)

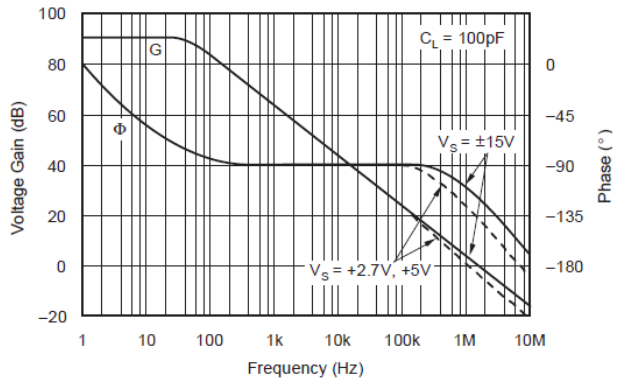


図 5-1. 開ループ ゲインおよび位相と周波数との関係

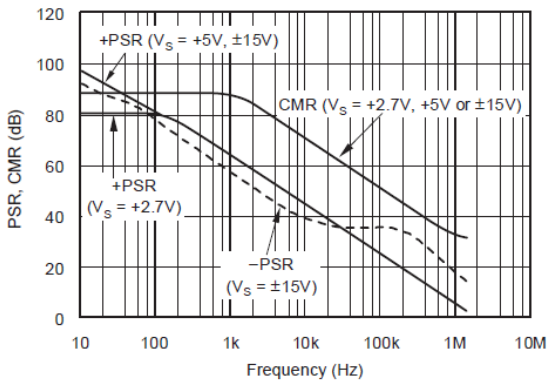


図 5-2. 電源および同相除去比と周波数との関係

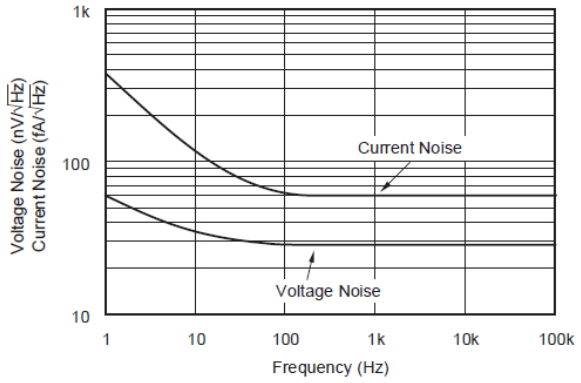


図 5-3. 入力ノイズおよび電流のノイズ スペクトラム密度と周波数との関係

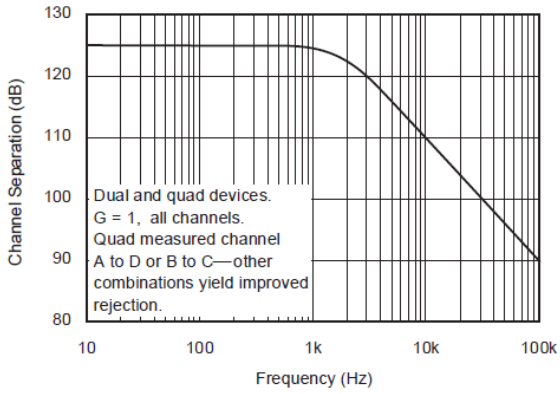


図 5-4. チャネル セパレーションと周波数との関係

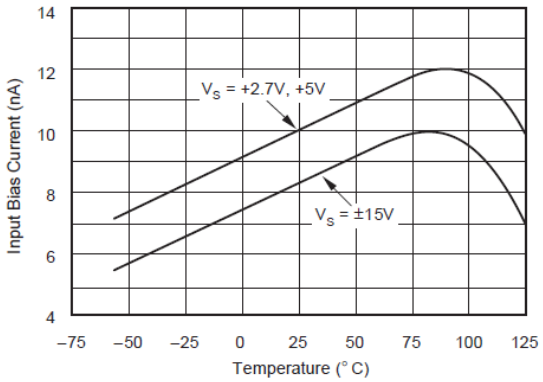


図 5-5. 入力バイアス電流と温度との関係

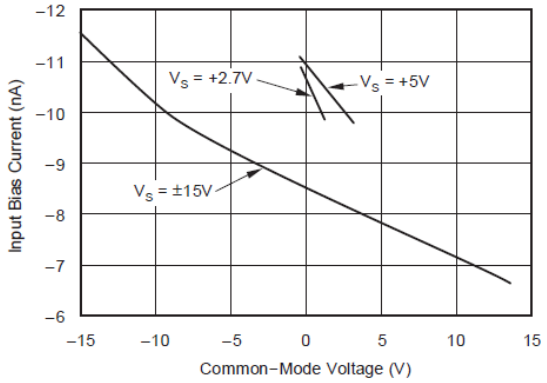


図 5-6. 入力バイアス電流と入力同相電圧との関係

Copyright © 2025 Texas Instruments Incorporated

5.8 代表的特性 (続き)

T_A = 25°C および R_L = 10kΩ (特に記述のない限り)

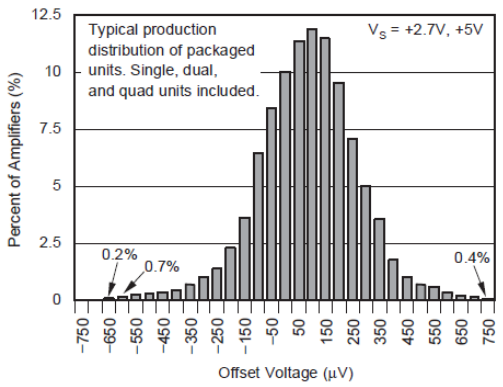


図 5-7. オフセット電圧の生産分布

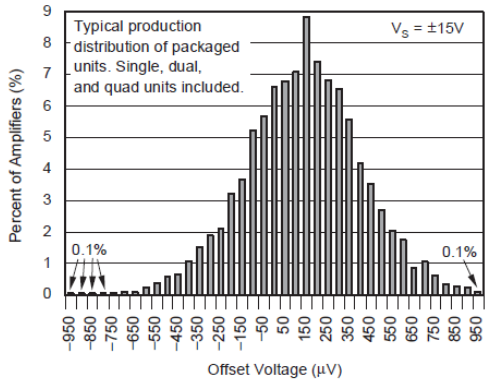


図 5-8. オフセット電圧の生産分布

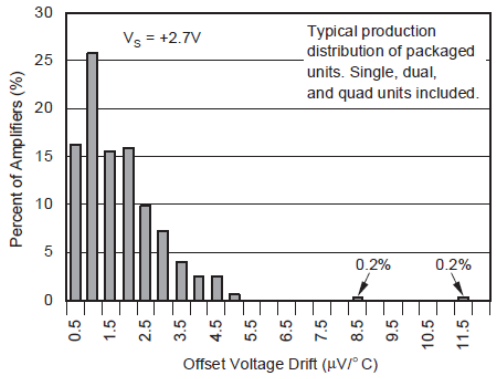


図 5-9. オフセット電圧ドリフトの製造分布

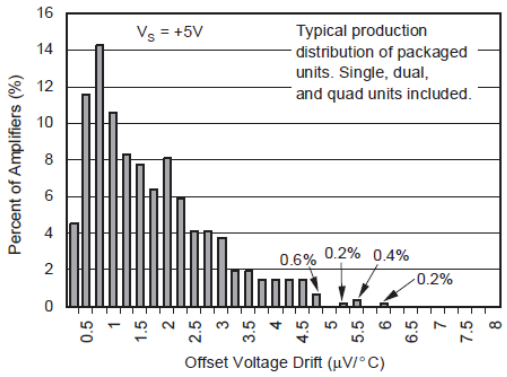


図 5-10. オフセット電圧ドリフトの製造分布

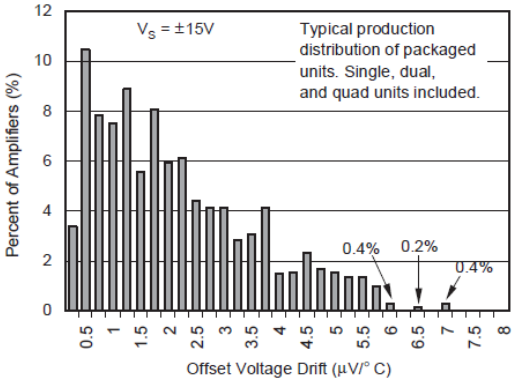


図 5-11. オフセット電圧ドリフトの製造分布

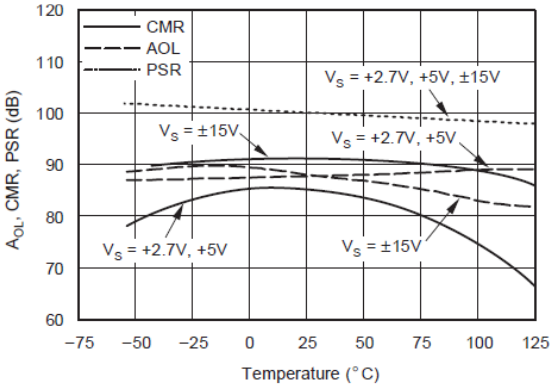
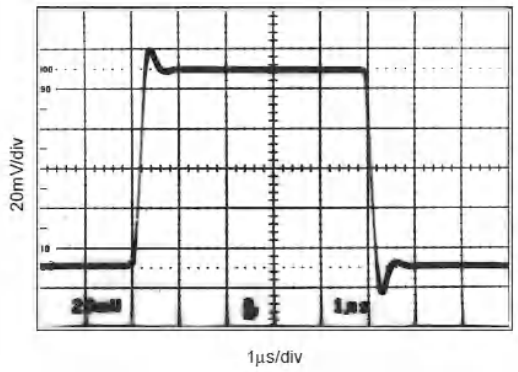


図 5-12. A_{OL}、CMR、PSR と温度との関係

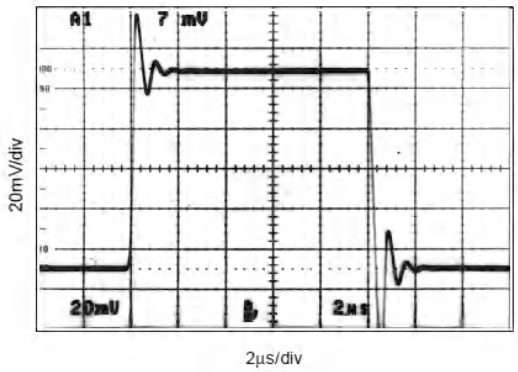
5.8 代表的特性 (続き)

T_A = 25°C および R_L = 10kΩ (特に記述のない限り)



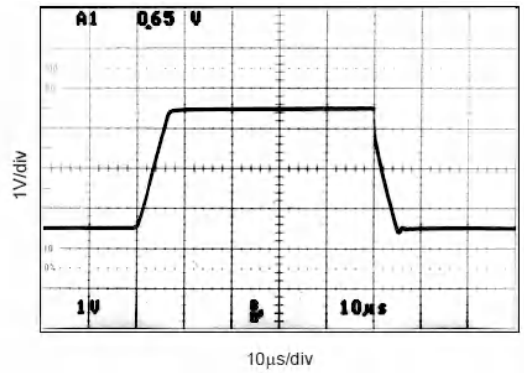
G = 1　　C_L = 100pF　　V_S = 5V

図 5-13. 小信号ステップ応答



G = 1　　C_L = 220pF　　V_S = 5V

図 5-14. 小信号ステップ応答



G = 1　　C_L = 100pF　　V_S = 5V

図 5-15. 大信号ステップ応答

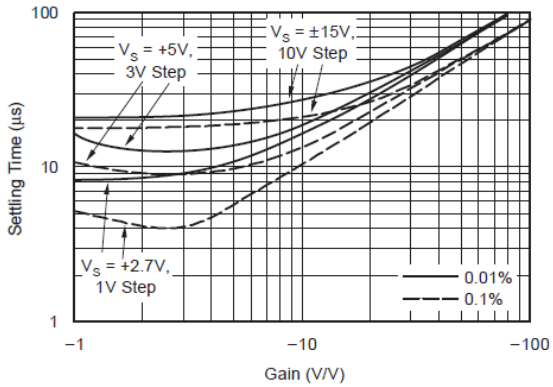


図 5-16. セトリング タイムとゲインとの関係

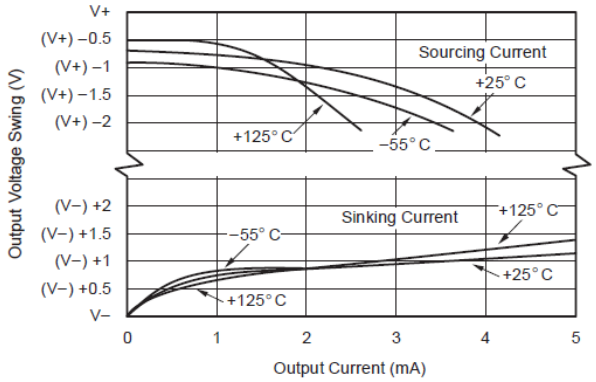


図 5-17. 出力電圧スイングと出力電流との関係

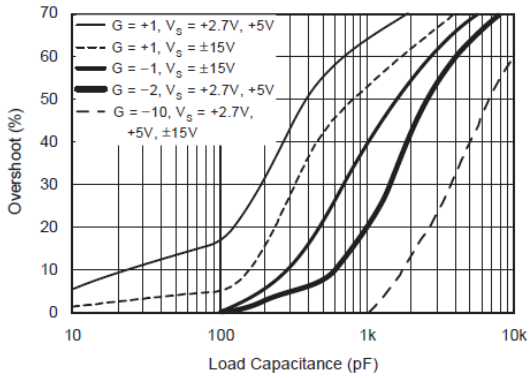


図 5-18. 小信号のオーバーシュートと負荷容量との関係

Copyright © 2025 Texas Instruments Incorporated

5.8 代表的特性 (続き)

T_A = 25°C および R_L = 10kΩ (特に記述のない限り)

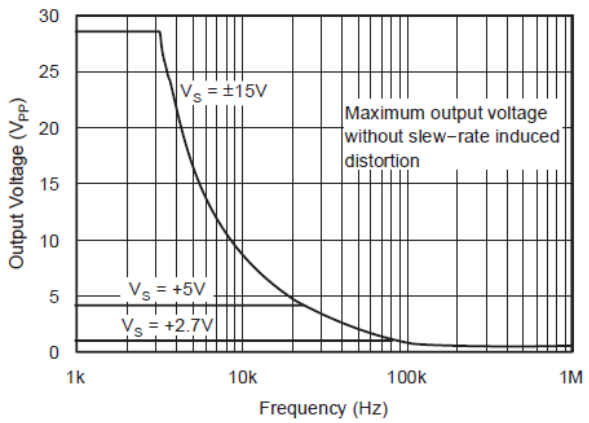


図 5-19. 最大出力電圧と周波数との関係

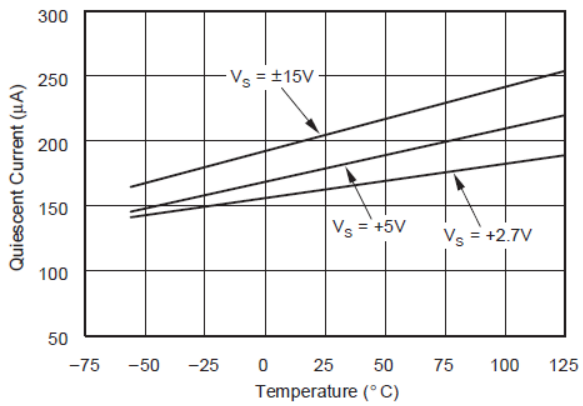


図 5-20. 静止電流と温度との関係

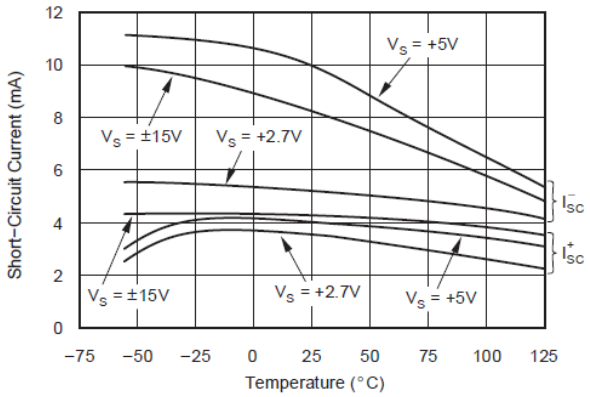


図 5-21. 短絡電流と温度との関係

6 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

6.1 アプリケーション情報

OPA237 シリーズ オペアンプは、ユニティゲインで安定しているため、幅広い汎用アプリケーションに適しています。10nF のセラミック コンデンサを使用して電源ピンをバイパスします。

6.1.1 動作電圧

OPA237 シリーズ オペアンプは、優れた性能で、単一 (2.7V ～ 36V) またはデュアル (±1.35V ～ ±18V) の電源で動作します。ほとんどの特性は、動作電圧範囲内で変化しません。動作電圧によって大きく変化するパラメータは、*代表特性* セクションに示されています。仕様は、2.7V、5V、および ±15V の電源で量産時にテストされています。

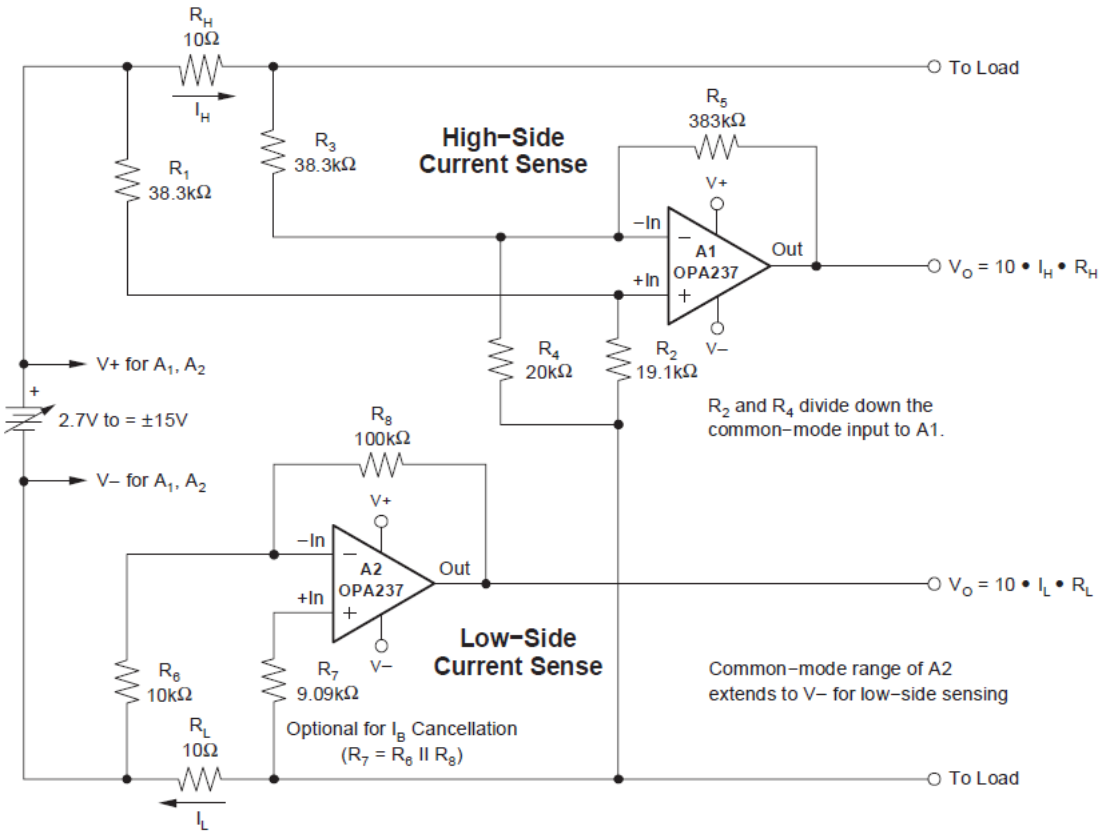
6.1.2 出力電流と安定性

OPA237 シリーズ オペアンプは、大きな容量性負荷を駆動できます。ただし、特定の制限された出力条件では、どんなオペアンプも不安定になることがあります。図 6-2 に、OPA237 が不安定になる可能性がある領域を示します。特に単一電源アプリケーションの場合、このような負荷条件が発生することはほとんどありません。たとえば、5V 電源、V_S /2 へ 10kΩ 負荷を使用する場合などです。

OPA237 シリーズ オペアンプは、シンク電流の場合は最大 4,000pF の容量性負荷で安定した状態を維持し、ソース電流の場合は最大 10,000pF までの容量性負荷で安定して動作します。さらに、負荷がグランドに接続されている単一電源アプリケーションではオペアンプが電流のみを供給し、図 6-2 に示すように、オペアンプは 1.5mA までの出力電流で 10,000pF を駆動できます。

Copyright © 2025 Texas Instruments Incorporated

6.2 代表的なアプリケーション



注:ローサイドとハイサイドの検出回路は独立して使用できます。

図 6-1. ローサイドおよびハイサイドのバッテリ電流検出

6.2.1 アプリケーション曲線

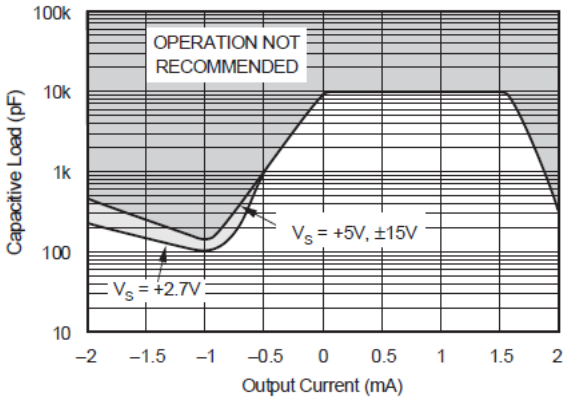


図 6-2. 安定性 - 容量性負荷と出力電流との関係

7 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

7.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

7.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

7.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

7.4 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

7.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

8 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (February 2007) to Revision B (April 2025) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- *特長* の静止電流単位を µV から µA に変更 1
- *ピンの構成と機能* を最新の規格に更新し、*ピン機能* 表を追加 3
- *絶対最大定格* に入力電流 を追加 4
- *推奨動作条件* を参照 4
- 「熱に関する情報」を追加 4
- OPA237 パッケージの接合部から周囲への熱抵抗を更新 4
- OPA2237 パッケージの接合部から周囲への熱抵抗を更新 4
- すべての *電気的特性* 表を最新の形式に更新 5
- テスト条件 $V_O = V_S /2$ を追加 5
- 最大入力オフセット電圧 を ±750µV から ±950µV に変更 5
- 表の注「95% 信頼区間ウェハー レベルのテストにより規定」を削除 5
- 最大入力オフセット電圧ドリフトを 5µV/°C から 7.5µV/°C に変更 5
- 表の注 1 を更新 5
- レールを参照するように V_{CM} 範囲形式を更新 5

Copyright © 2025 Texas Instruments Incorporated

- 同相信号除去比の最小値を 75dB から 71dB に変更 5
- 差動入力インピーダンスを $5 \cdot 10^6 \Omega$ から 5MΩ に変更 5
- 同相入力インピーダンスを $5 \cdot 10^9 \Omega$ から 5TΩ に変更 5
- 開ループ電圧ゲインの最小値を 80dB から 75dB に変更 5
- 開ループ電圧ゲインのテスト条件を 0.5V から 0.55V に変更 5
- 標準スルーレートを 0.5V/µs から 0.45V/µs に変更 5
- 電圧出力の条件をテストするため、V– を負のレール列に追加し、正と負のラベルを移動 5
- R_L = 100kΩ の電圧出力のテスト条件を「グランド」から V– に変更 5
- R_L = 100kΩ の最大電圧出力を負のレール 0.01V から (V–) + 0.05V に変更 5
- 短絡電流を更新し、ソースとシンクの列が別々になっていることを表示 5
- 短絡ソース電流を 3.5mA から 7mA に変更 5
- 短絡シンク電流を -5mA から -10mA に変更 5
- 標準静止電流を 160µA から 150µA に変更 5
- テスト条件 $V_O = V_S /2$ を追加 6
- 表の注「95% 信頼区間ウェハー レベルのテストにより規定」を削除 6
- チャネル セパレーションを 0.5µV/V から 1µV/V に変更 6
- 表の注 1 を更新 6
- レールを参照するように V_{CM} 範囲形式を更新 6
- 同相信号除去比の最小値を 78dB から 76dB に変更 6
- 差動入力インピーダンスを $5 \cdot 10^6 \Omega$ から 5MΩ に変更 6
- 同相入力インピーダンスを $5 \cdot 10^9 \Omega$ から 5TΩ に変更 6
- 標準スルーレートを 0.5V/µs から 0.45V/µs に変更 6
- 電圧出力の条件をテストするため、V– を負のレール列に追加し、正と負のラベルを移動 6
- RL = 100kΩ の電圧出力のテスト条件を「グランド」から V– に変更 6
- 正レールの最小電圧出力を (V+) – 1V から (V+) – 1.5V に変更 6
- 負レールの最小電圧出力を (V–) + 0.01V から (V–) + 0.1V に変更 6
- 正レールの最小電圧出力を (V+) – 1V から (V+) – 1.5V に変更 6
- 負レールの最大電圧出力を (V+) – 0.5V から (V+) – 0.6V に変更 6
- 短絡電流を更新し、ソースとシンクの列が別々になっていることを表示 6
- 短絡ソース電流を 4mA から 8mA に変更 6
- テスト条件 $V_O = V_S /2$ を追加 7
- 入力オフセット電圧のテスト条件を V_{CM} = 0V から $V_{CM} = V_S /2$ に変更 7
- 表の注「95% 信頼区間ウェハー レベルのテストにより規定」を削除 7
- チャネル セパレーションを 0.5µV/V から 1µV/V に変更 7
- 表の注 1 を更新 7
- 入力バイアス電流のテスト条件を V_{CM} = 0V から $V_{CM} = V_S /2$ に変更 7
- 入力オフセット電流のテスト条件を V_{CM} = 0V から $V_{CM} = V_S /2$ に変更 7
- 入力電流ノイズ密度を 60fA/√Hz から 80fA/√Hz に変更 7
- レールを参照するように V_{CM} 範囲形式を更新 7
- 差動入力インピーダンスを $5 \cdot 10^6 \Omega$ から 5MΩ に変更 7
- 同相入力インピーダンスを $5 \cdot 10^9 \Omega$ から 5TΩ に変更 7
- スルーレートを 0.5V/µs から 0.44V/µs に変更しました 7
- 0.1% のセトリング時間を 18µs から 20µs に変更 7
- 0.01% のセトリング時間を 21µs から 24µs に変更 7
- 電圧出力の条件をテストするため、V- を負のレール列に追加し、正と負のラベルを移動 7
- 短絡電流を更新し、ソースとシンクの列が別々になっていることを表示 7
- 短絡ソース電流を 4.5mA から 9.5mA に変更 7
- 短絡シンク電流を -8mA から -10mA に変更 7

• 静止電流の仕様から±符号を削除.....7

9 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2237EA/2K5	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	-	Call TI	Level-2-260C-1 YEAR	-40 to 85	B37A
OPA2237EA/2K5.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	-	Call TI	Level-2-260C-1 YEAR	-40 to 85	B37A
OPA2237EA/2K5.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	-	Call TI	Level-2-260C-1 YEAR	-40 to 85	B37A
OPA2237UA/2K5	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-	(OP2237, OPA) 2237UA
OPA2237UA/2K5.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	(OP2237, OPA) 2237UA
OPA2237UA/2K5.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	(OP2237, OPA) 2237UA
OPA2237UAE4	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Call TI	See OPA2237UA	
OPA237NA/3K	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 70	A37A
OPA237NA/3K.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 70	A37A
OPA237NA/3K.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 70	A37A
OPA237NA/3K1G4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 70	A37A
OPA237NA/3K1G4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 70	A37A
OPA237UA/2K5	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 70	(OP237, OPA) 237UA
OPA237UA/2K5.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 70	(OP237, OPA) 237UA
OPA237UA/2K5.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 70	(OP237, OPA) 237UA

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

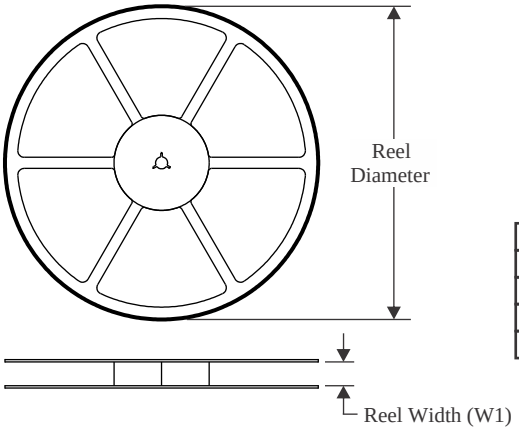
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

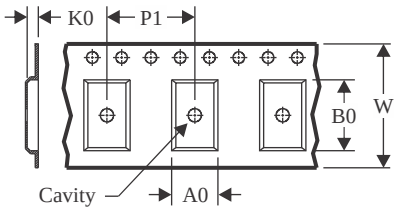
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

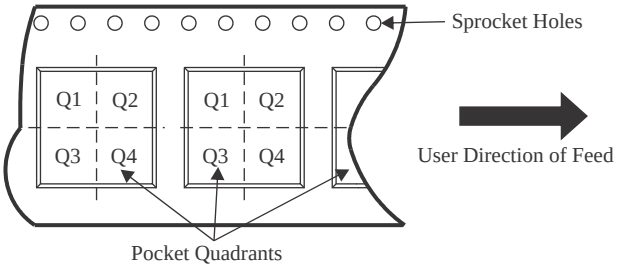


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

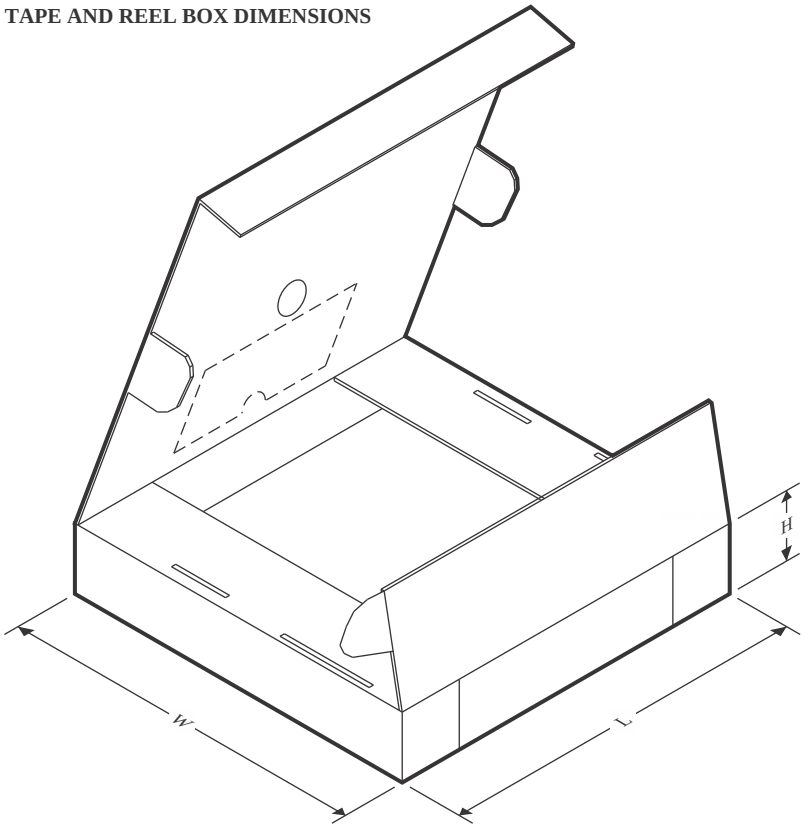
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

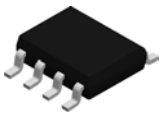
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2237EA/2K5	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2237UA/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA237NA/3K	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
OPA237NA/3K	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA237NA/3K1G4	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
OPA237UA/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2237EA/2K5	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA2237UA/2K5	SOIC	D	8	2500	353.0	353.0	32.0
OPA237NA/3K	SOT-23	DBV	5	3000	180.0	180.0	18.0
OPA237NA/3K	SOT-23	DBV	5	3000	210.0	185.0	35.0
OPA237NA/3K1G4	SOT-23	DBV	5	3000	180.0	180.0	18.0
OPA237UA/2K5	SOIC	D	8	2500	353.0	353.0	32.0

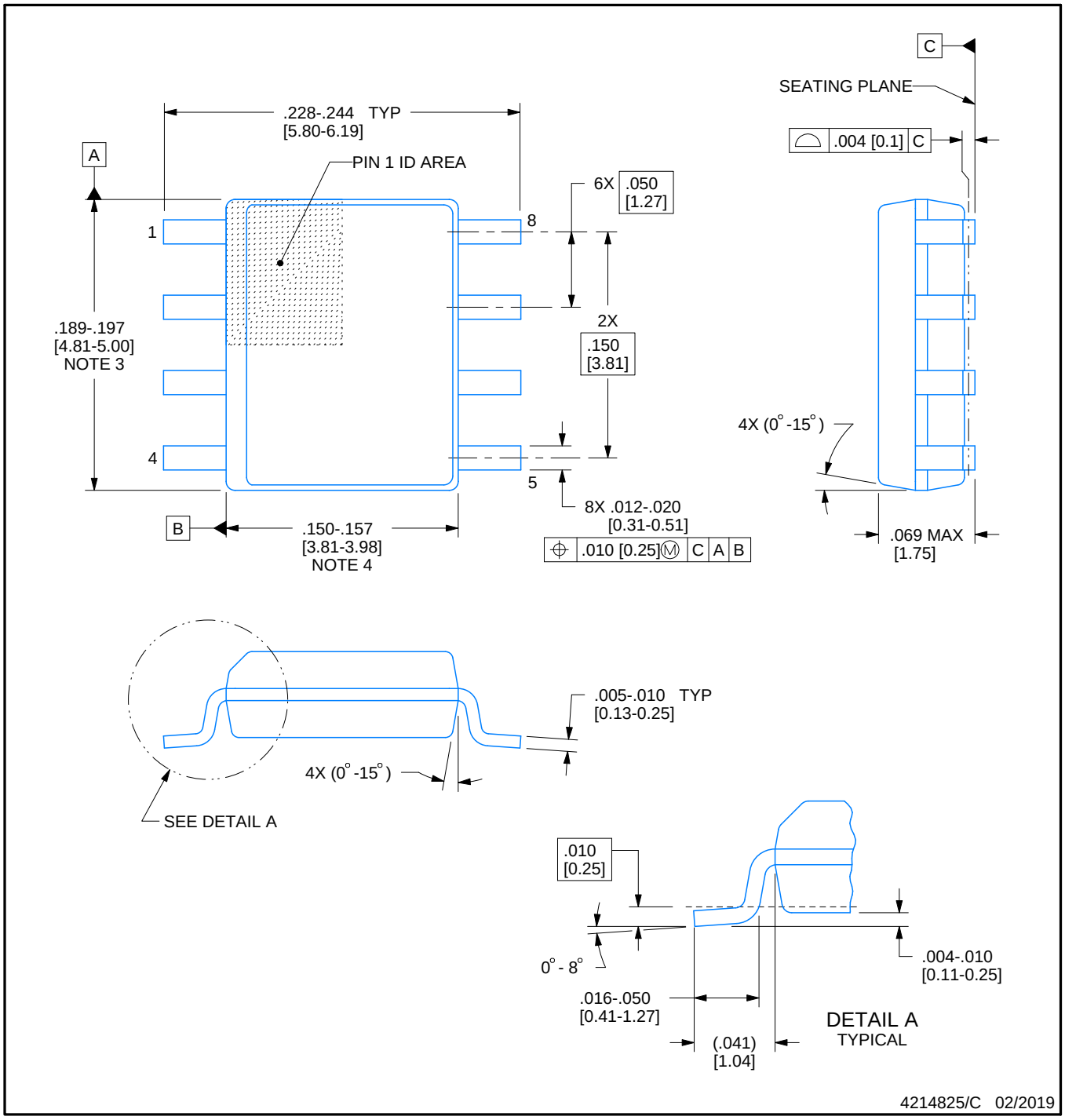


PACKAGE OUTLINE

D0008A

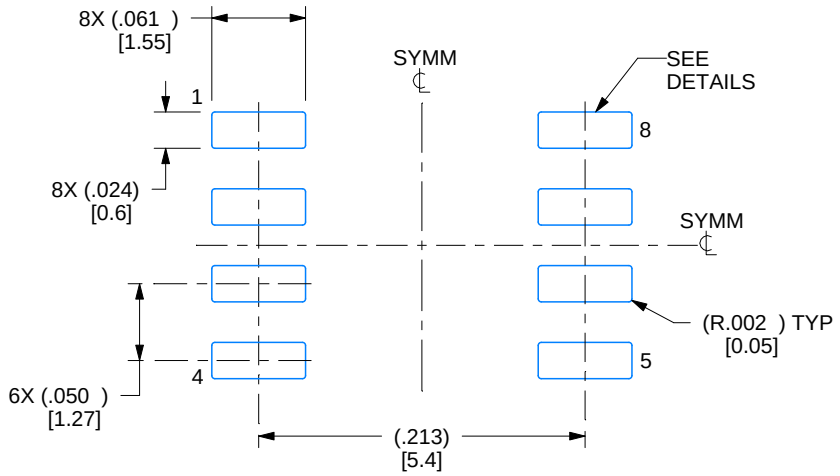
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

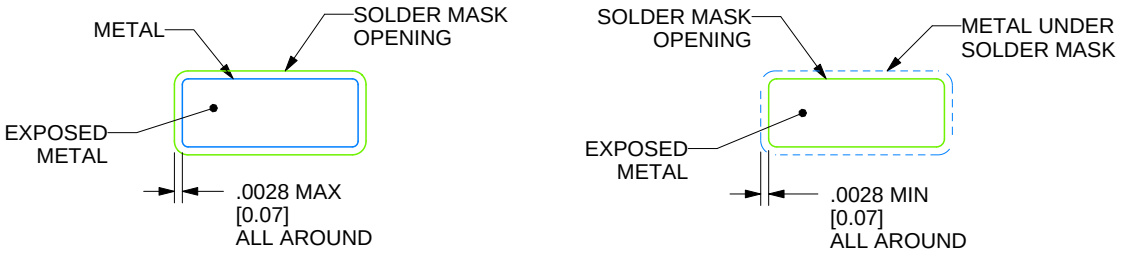


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

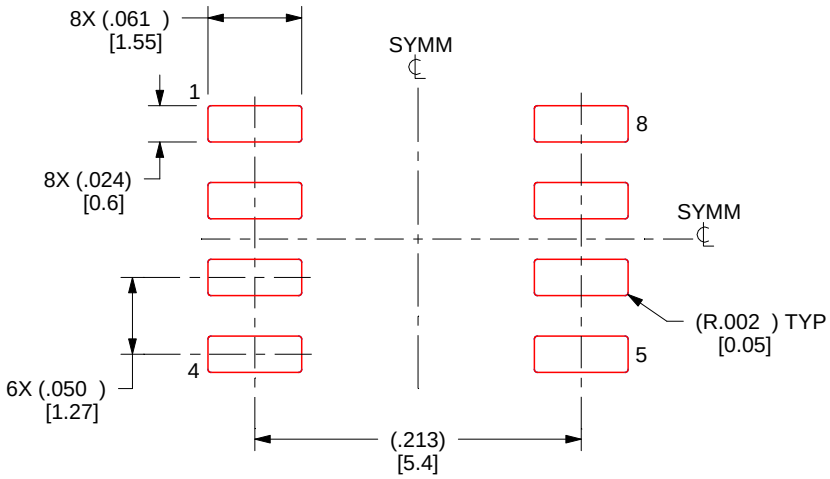


SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

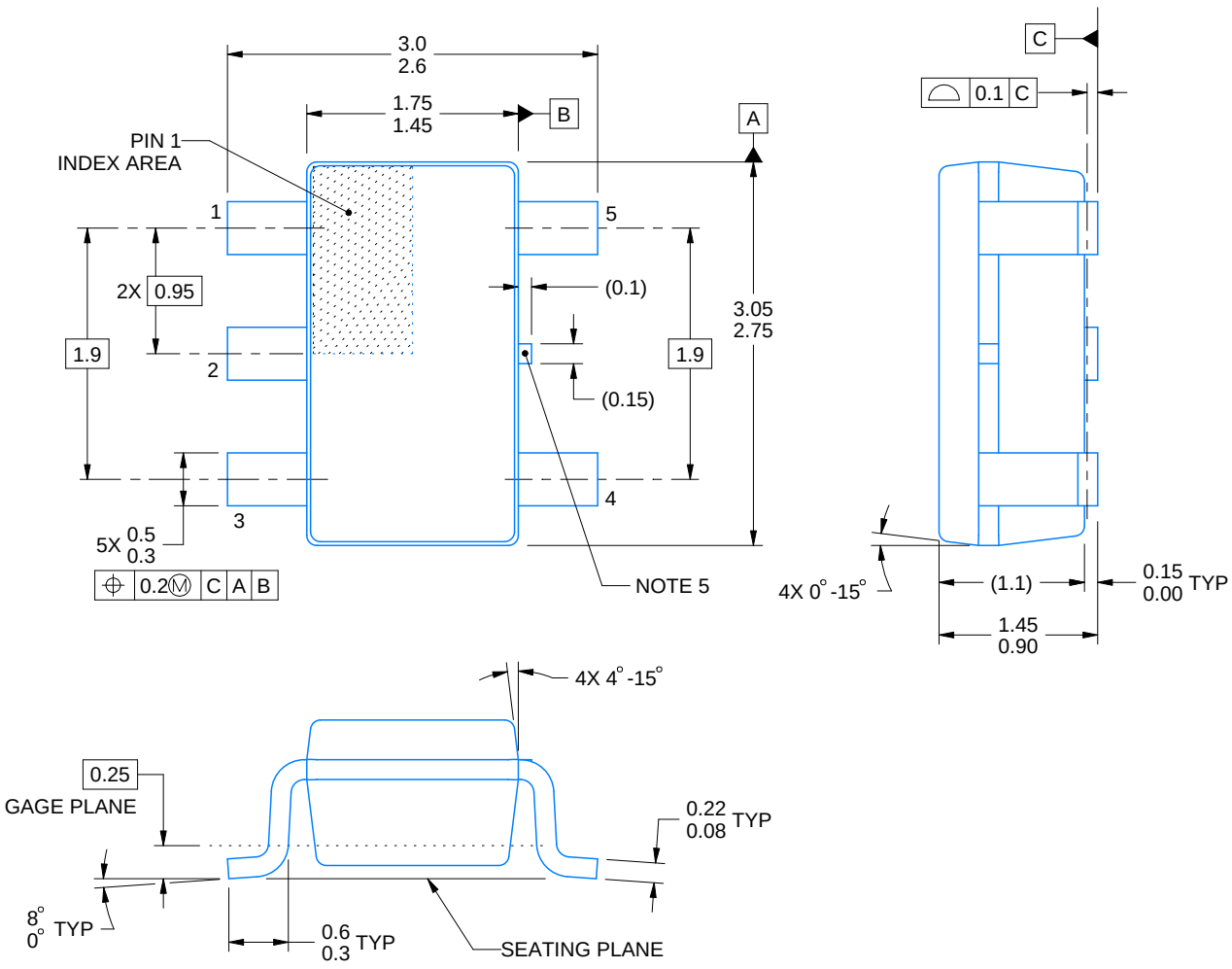


SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

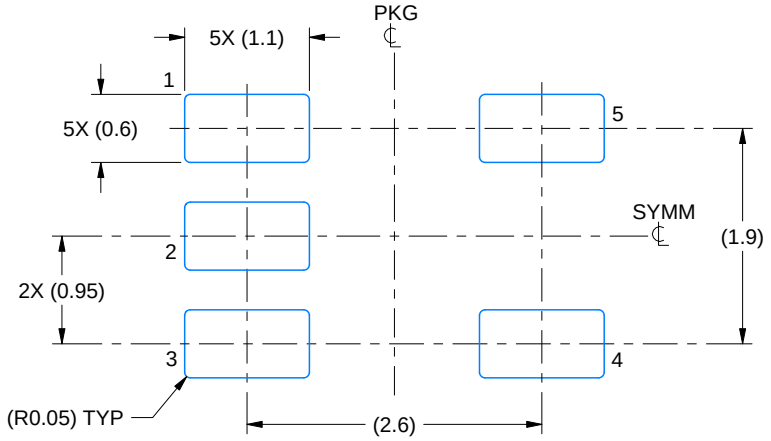
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



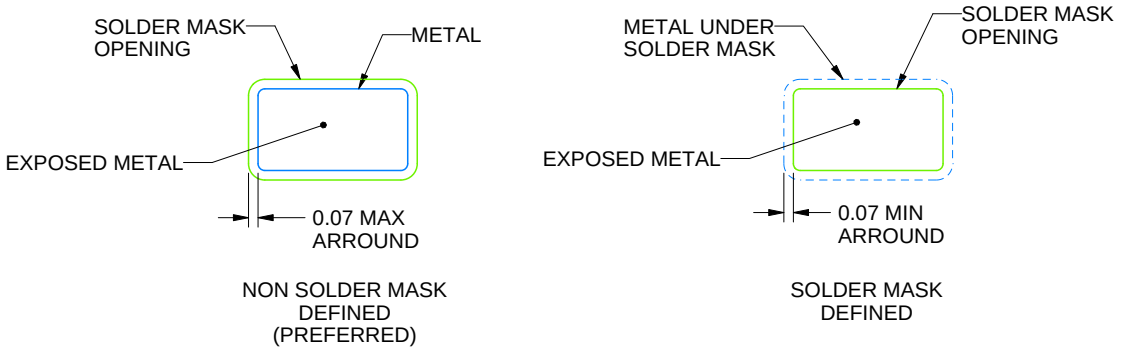
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

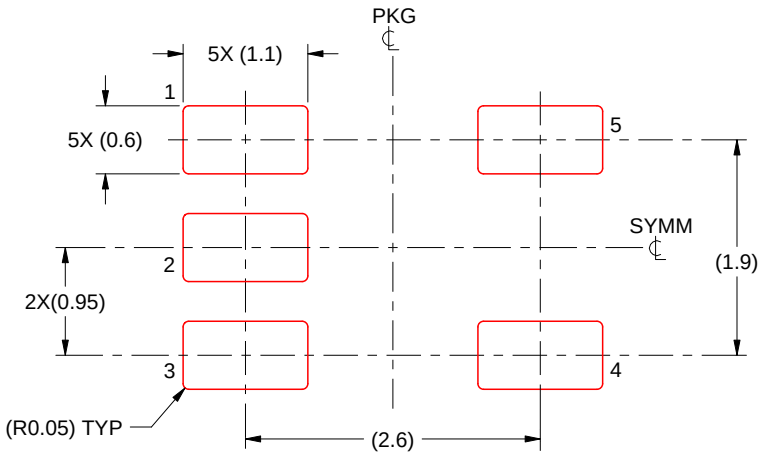


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

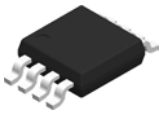
4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

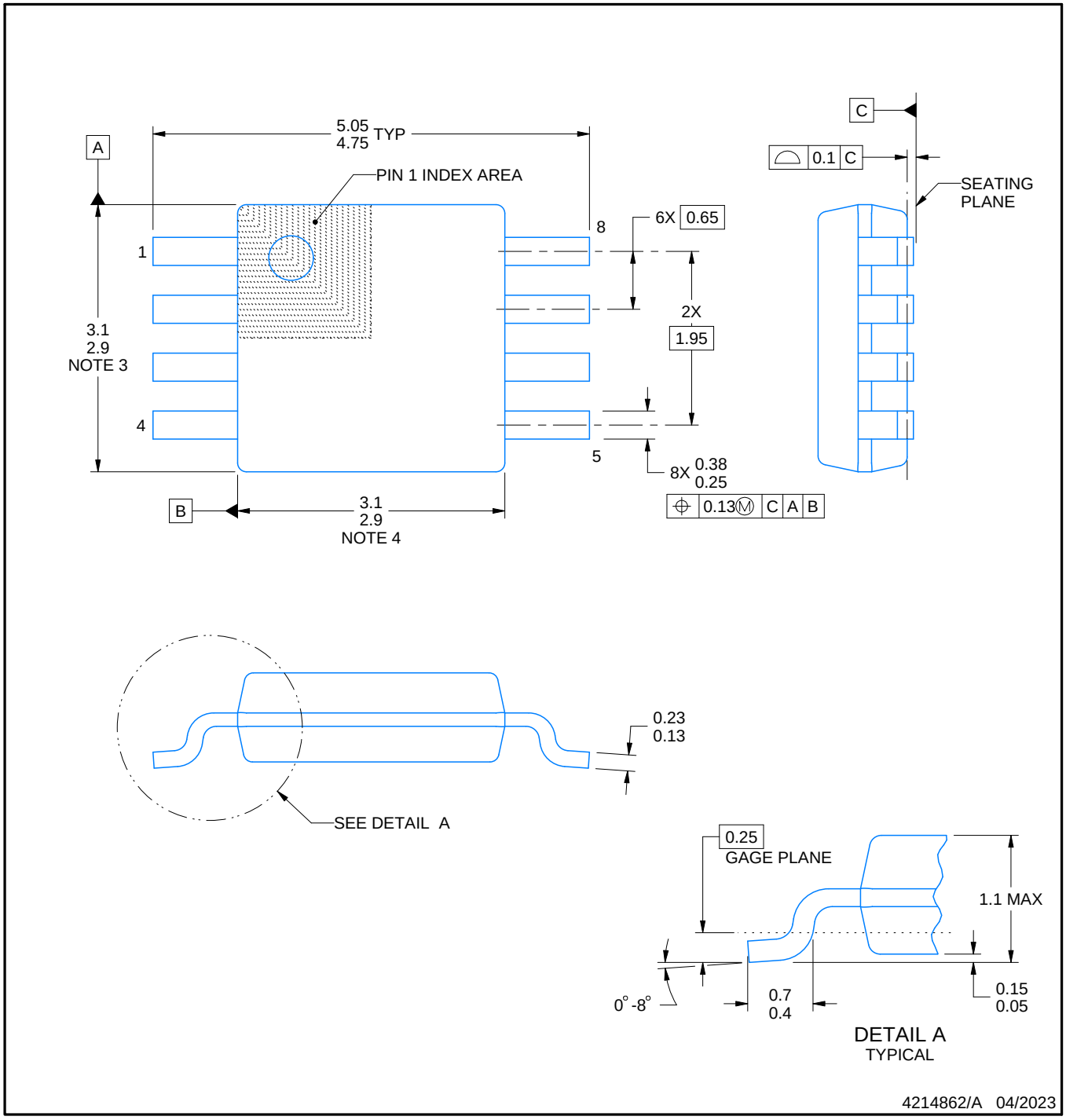
PACKAGE OUTLINE

DGK0008A



VSSOP - 1.1 mm max height

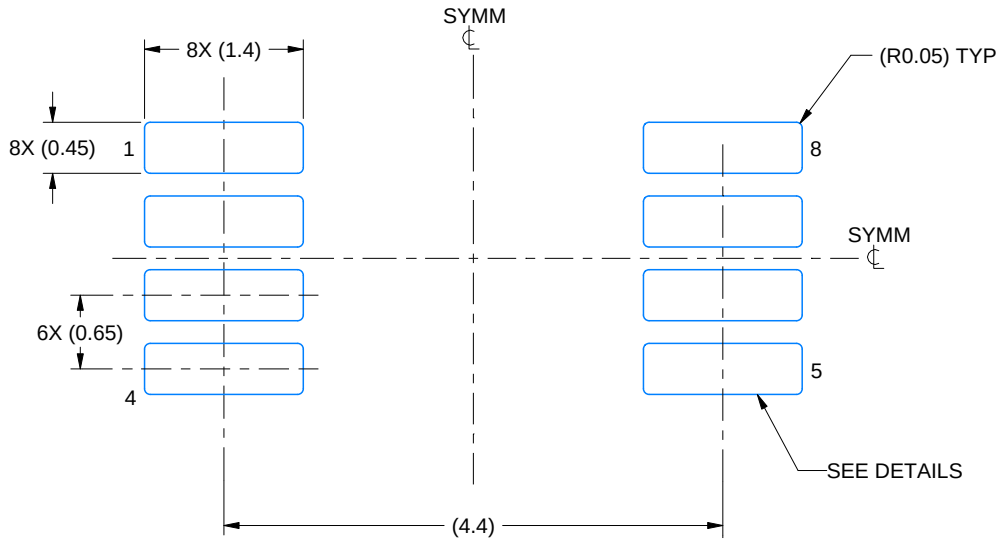
SMALL OUTLINE PACKAGE



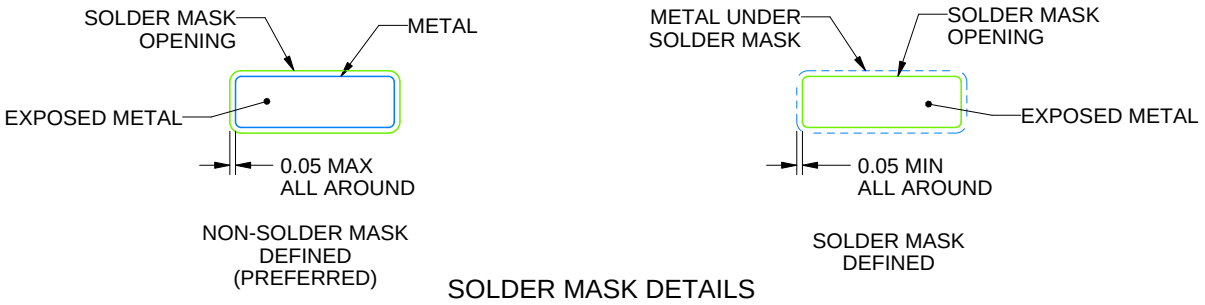
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

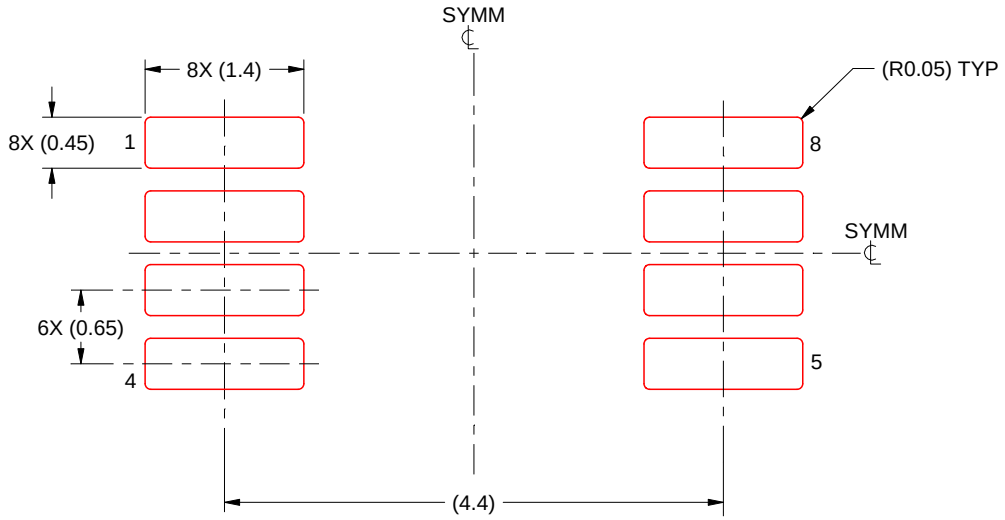


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月