

OPAx354-Q1 250MHz、レール ツー レール I/O、CMOS オペアンプ

1 特長

- 車載アプリケーション用に認定済み
- 下記内容で AEC-Q100 認定済み:
 - デバイス温度グレード: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ の周囲動作温度範囲
- ユニティゲイン帯域幅: 250MHz
- 広帯域幅: 100MHz の GBW
- 高スlewレート: 150V/ μs
- 低ノイズ: $6.5\text{nV}/\sqrt{\text{Hz}}$
- レール ツー レール I/O
- 大きな出力電流: $>100\text{mA}$
- 非常に優れたビデオ性能
 - 微分ゲイン誤差: 0.02%
 - 微分位相誤差: 0.09°
 - 0.1dB のゲイン フラットネス: 40MHz
- 低入力バイアス電流: 3pA
- 静止電流: 5mA
- サーマル シャットダウン
- 電源電圧範囲: 2.5V $\sim$ 5.5V

2 アプリケーション

- ナビゲーションおよびラジオ システム
- 死角検出
- 短距離から中距離のレーダー
- ビデオ処理
- 超音波
- 光学ネットワーク、波長可変レーザー
- フォトダイオードトランスインピーダンス アンプ
- アクティブ フィルタ
- 高速積分器
- A/D コンバータ (ADC) の入力バッファ
- D/A コンバータ (DAC) の出力アンプ
- バーコード スキャナ
- 通信

3 説明

OPAx354-Q1 ファミリの高速、電圧帰還型 CMOS オペアンプは、ビデオや、広帯域幅を必要とするその他のアプリケーション用に設計されています。いずれもユニティゲイン安定で、大きな出力電流を駆動できます。差動ゲインは 0.02%、差動位相は 0.09° です。静止電流はチャンネルあたりわずか 5mA です。

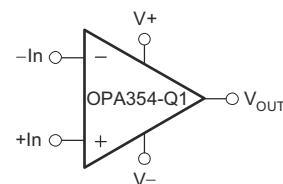
OPAx354-Q1 ファミリのオペアンプは、最低 2.5V ($\pm 1.25\text{V}$)、最高 5.5V ($\pm 2.75\text{V}$) のシングルまたはデュアル電源で動作するよう最適化されています。同相モード入力範囲は電源電圧を超えて拡張されています。出力スイングはレールから 100mV 以内で、広いダイナミックレンジに対応しています。

単一電源バージョン (OPA354A-Q1) は、超小型の SOT-23-5 (DBV) パッケージで供給されます。デュアル電源バージョン (OPA2354A-Q1) は、小型の VSSOP-8 (DGK) パッケージで供給され、完全に独立した回路によりクロストークを最小限に抑え、干渉の発生を防止しています。クワッド電源バージョン (OPA4354-Q1) は、TSSOP-14 (PW) パッケージで供給されます。デバイス仕様は、車載用温度範囲 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ の動作を想定しています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
OPA354A-Q1	DBV (SOT-23 5)	2.90mm $\times$ 1.60mm
OPA2354A-Q1	DGK (VSSOP 8)	3.00mm $\times$ 3.00mm
OPA4354-Q1	PW (TSSOP 14)	5.00mm $\times$ 4.40mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- (2) パッケージ サイズ (長さ $\times$ 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図



目次

1 特長	1	6.4 デバイスの機能モード.....	19
2 アプリケーション	1	7 アプリケーションと実装	20
3 説明	1	7.1 使用上の注意.....	20
4 ピン構成および機能	3	7.2 代表的なアプリケーション.....	20
5 仕様	5	7.3 電源に関する推奨事項.....	24
5.1 絶対最大定格.....	5	7.4 レイアウト.....	25
5.2 ESD 定格.....	5	8 デバイスおよびドキュメントのサポート	27
5.3 推奨動作条件.....	5	8.1 ドキュメントのサポート.....	27
5.4 熱に関する情報.....	5	8.2 ドキュメントの更新通知を受け取る方法.....	27
5.5 電気的特性.....	7	8.3 サポート・リソース.....	27
5.6 代表的特性.....	9	8.4 商標.....	27
6 詳細説明	14	8.5 静電気放電に関する注意事項.....	27
6.1 概要.....	14	8.6 用語集.....	27
6.2 機能ブロック図.....	14	9 改訂履歴	28
6.3 機能説明.....	14	10 メカニカル、パッケージ、および注文情報	28

4 ピン構成および機能

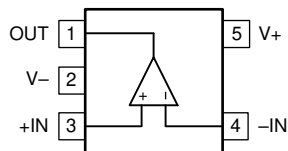


図 4-1. OPA354A-Q1 DBV パッケージ 5 ピン SOT-23 上面図

表 4-1. ピンの機能 : OPA354A-Q1

ピン		I/O	説明
名称	番号		
+IN	3	I	非反転入力
-IN	4	I	反転入力
OUT	1	O	出力
V+	5	—	正 (最高) 電源
V-	2	—	負 (最低) 電源

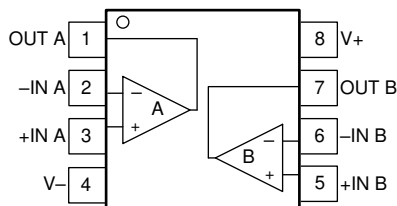


図 4-2. OPA2354A-Q1 DGK パッケージ 8 ピン VSSOP 上面図

表 4-2. ピンの機能 : OPA2354A-Q1

ピン		I/O	説明
名称	番号		
+IN A	3	I	非反転入力、チャンネル A
+IN B	5	I	非反転入力、チャンネル B
-IN A	2	I	反転入力、チャンネル A
-IN B	6	I	反転入力、チャンネル B
OUT A	1	O	出力、チャンネル A
OUT B	7	O	出力、チャンネル B
V+	8	—	正 (最高) 電源
V-	4	—	負 (最低) 電源

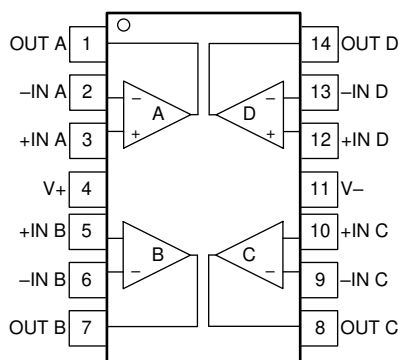


図 4-3. OPA4354-Q1 PW パッケージ 14 ピン TSSOP 上面図

表 4-3. ピンの機能 : OPA4354-Q1

ピン		I/O	説明
名称	番号		
+IN A	3	I	非反転入力、チャンネル A
+IN B	5	I	非反転入力、チャンネル B
+IN C	10	I	非反転入力、チャンネル C
+IN D	12	I	非反転入力、チャンネル D
-IN A	2	I	反転入力、チャンネル A
-IN B	6	I	反転入力、チャンネル B
-IN C	9	I	反転入力、チャンネル C
-IN D	13	I	反転入力、チャンネル D
OUT A	1	O	出力、チャンネル A
OUT B	7	O	出力、チャンネル B
OUT C	8	O	出力、チャンネル C
OUT D	14	O	出力、チャンネル D
V+	4	—	正 (最高) 電源
V-	11	—	負 (最低) 電源

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V _S	電源電圧、V _S = (V+) - (V-)		7.5	V
V _I	信号入力端子	(V-) - 0.5	(V+) + 0.5	V
I _{SC}	出力短絡 ⁽²⁾	連続		
T _A	動作温度	-55	125	°C
T _J	接合部温度		150	°C
T _{stg}	保管温度	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) グランドへの短絡、パッケージあたり 1 台のアンプ。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 ⁽¹⁾ 人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽²⁾	±2000	V
		OPA354A-Q1 および OPA2354A-Q1 の場合、荷電デバイス モデル (CDM)、AEC Q100-011 荷電デバイス モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽³⁾	±1000	
V _(ESD)	静電放電	OPA4354-Q1 の場合、荷電デバイス モデル (CDM)、AEC Q100-011 準拠	±250	V

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。
- (2) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (3) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V _S	電源電圧、V _S = (V+) - (V-)	2.5		5.5	V
T _A	規定温度	-40	25	125	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		OPA354A-Q1	OPA2354A-Q1	OPA4354-Q1	単位
		DBV (SOT-23)	DGK (VSSOP)	PW (TSSOP)	
		5 ピン	8 ピン	14 ピン	
R _{θJA}	接合部から周囲への熱抵抗	216.3	175.9	92.6	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	115.0	67.8	27.5	°C/W
R _{θJB}	接合部から基板への熱抵抗	83.2	97.1	33.6	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	50.3	9.3	1.9	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	82.7	95.5	33.1	°C/W

熱評価基準 ⁽¹⁾		OPA354A-Q1	OPA2354A-Q1	OPA4354-Q1	単位
		DBV (SOT-23)	DGK (VSSOP)	PW (TSSOP)	
		5 ピン	8 ピン	14 ピン	
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

5.5 電気的特性

$T_A = 25^\circ\text{C}$, $R_F = 0\Omega$, $R_L = 1\text{k}\Omega$, $V_S/2$ に接続 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
オフセット電圧						
V _{OS}	入力オフセット電圧	V _S = 5V、T _A = 25°C	±2	±8		mV
		V _S = 5V、T _A = −40°C ∼ +125°C		±10		mV
dV _{OS} /dT	入力オフセット電圧ドリフト	V _S = 5V、T _A = −40°C ∼ +125°C	±4			μV/°C
PSRR	電源除去比	V _S = 2.7V ∼ 5.5V、V _{CM} = (V _S /2) − 0.55V	±200	±800		μV/V
		V _S = 2.7V ∼ 5.5V、V _{CM} = (V _S /2) − 0.55V、 T _A = −40°C ∼ +125°C		±900		
入力バイアス電流						
I _B	入力バイアス電流 ⁽²⁾		3	±50		pA
I _{OS}	入力オフセット電流 ⁽²⁾		±1	±50		
ノイズ						
e _n	入力電圧ノイズ密度	f = 1MHz	6.5			nV/√Hz
i _n	入力電流ノイズ密度	f = 1MHz、(OPA2354A-Q1、OPA4354-Q1 の場合)	50			fA/√Hz
		f = 1MHz、(OPA354A-Q1 の場合)	300			
入力電圧範囲						
V _{CM}	同相電圧		(V-) - 0.1	(V+) + 0.1		V
CMRR	同相信号除去比	V _S = 5.5V、−0.1V < V _{CM} < 3.5V、T _A = 25°C	66	80		dB
		V _S = 5.5V、−0.1V < V _{CM} < 3.5V、 T _A = −40°C ∼ +125°C	64			
		V _S = 5.5V、−0.1V < V _{CM} < 5.6V、T _A = 25°C	56	68		
		V _S = 5.5V、−0.1V < V _{CM} < 5.6V、 T _A = −40°C ∼ +125°C	55			
入力インピーダンス						
C _{IN}	差動		10 ¹³ 2			Ω pF
	同相		10 ¹³ 2			
開ループ ゲイン						
A _{OL}	開ループ ゲイン	V _S = 5.5V、0.3V < V _O < 4.7V、 T _A = 25°C	94	110		dB
		V _S = 5.5V、0.4V < V _O < 4.6V、 T _A = −40 ∼ +125°C	90			
周波数応答						
f _{3dB}	ゲイン帯域幅積	G = +1、V _O = 100mV _{PP} 、R _F = 25Ω	250			MHz
		G = +2、V _O = 100mV _{PP}	90			
GBW	ゲイン帯域幅積	G = +10	100			MHz
f _{0.1dB}	0.1dB のゲインの平坦度に対する帯域幅	G = +2、V _O = 100 mV _{PP}	40			MHz
SR	スルーレート	V _S = 5V、G = +1、4V ステップ	150			V/μs
		V _S = 5V、G = +1、2V ステップ	130			
		V _S = 3V、G = +1、2V ステップ	110			

5.5 電気的特性 (続き)

$T_A = 25^\circ\text{C}$, $R_F = 0\Omega$, $R_L = 1\text{k}\Omega$, $V_S/2$ に接続 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
	立ち上がりおよび立ち下がり時間	G = +1、V _O = 200mV _{PP} 、10% ～ 90%、 (OPA2354A-Q1、OPA4354-Q1 の場合)		2		ns
		G = +1、V _O = 200mV _{PP} 、10% ～ 90%、 (OPA354A-Q1 の場合)		3		
		G = +1、V _O = 2V _{PP} 、10% ～ 90%		11		
t _s	セトリング タイム	0.1%、V _S = 5V、G = +1、2V 出力ステップ		30		ns
		0.01%、V _S = 5V、G = +1、2V 出力ステップ		60		
	過負荷回復時間	V _{IN} × G = V _S		5		ns
HD2	2 次高調波歪	G = +1、f = 1MHz、V _O = 2V _{PP} 、R _L = 200Ω、V _{CM} = (V ₋) + 1.5V		-75		dBc
HD3	3 次高調波歪	G = +1、f = 1MHz、V _O = 2V _{PP} 、R _L = 200Ω、V _{CM} = (V ₋) + 1.5V		-83		dBc
	微分ゲイン誤差	NTSC、R _L = 150Ω		0.02%		
	微分位相誤差	NTSC、R _L = 150Ω		0.09		°
	チャンネル間クロストーク	OPA2354 A-Q1、f = 5MHz		-100		dB
	チャンネル間クロストーク	OPA4354-Q1、f = 5MHz		-84		dB
出力						
	電源レールからの出力電圧スイング	V _S = 5V、A _{OL} > 94dB		0.1	0.3	V
		V _S = 5V、R _L = 1kΩ、A _{OL} > 90dB、 T _A = -40°C ～ +125°C			0.4	
I _O	出力電流、シングル、デュアル、クワッド (1) (2)	V _S = 5V	100			mA
		V _S = 3V		50		
	閉ループ出力インピーダンス	f < 100kHz		0.05		Ω
R _O	開ループ出力抵抗	OPA2354A-Q1、OPA4354-Q1 の場合		35		Ω
		OPA354A-Q1 の場合		39		Ω
電源						
I _Q	静止電流 (アンプ 1 個あたり)	T _A = 25°C、V _S = 5V (イネーブル)、I _O = 0A、(OPA2354A-Q1、OPA4354-Q1 の場 合)		4.9	6	mA
		T _A = 25°C、V _S = 5V(イネーブル)、I _O = 0A、 (OPA354A-Q1 の場合)		5	6.3	
		T _A = -40°C ～ +125°C、(OPA2354A-Q1、 OPA4354-Q1 の場合)			7.5	
		T _A = -40°C ～ +125°C、(OPA354A-Q1 の 場合)			7.7	
サーマル シャットダウン: 接合部温度						
	シャットダウン			160		°C
	シャットダウンからのリセット			140		°C

(1) 出力電圧スイングと出力電流との関係の代表的特性曲線を参照してください。

(2) 設計により規定されています。

5.6 代表的特性

$T_A = 25^\circ\text{C}$, $V_S = 5\text{V}$, $G = +1$, $R_F = 0\Omega$, $R_L = 1\text{k}\Omega$, $V_S/2$ に接続、特に記述のない限り。

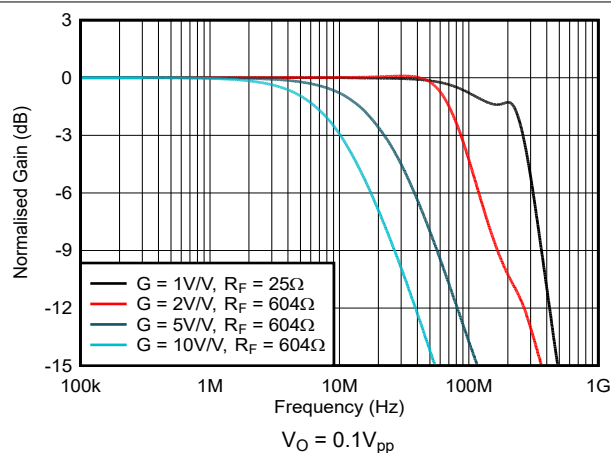


図 5-1. 非反転型の小信号周波数応答

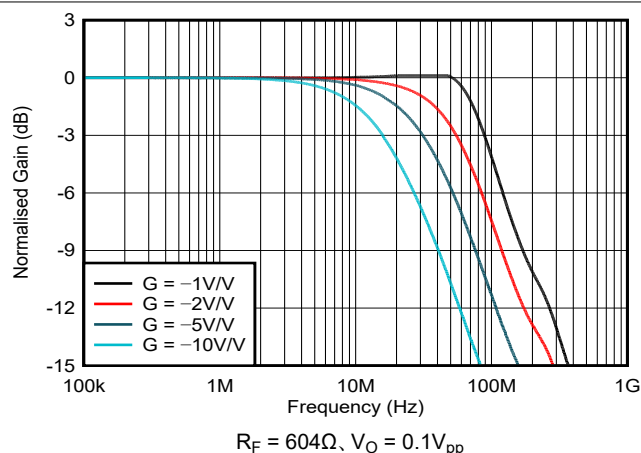


図 5-2. 反転型の小信号周波数応答

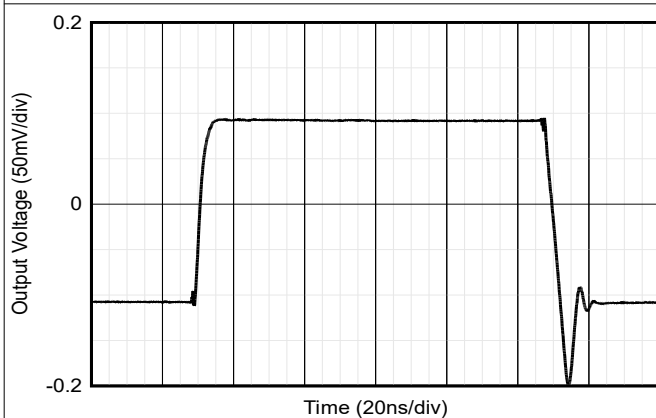


図 5-3. 非反転型の小信号ステップ応答

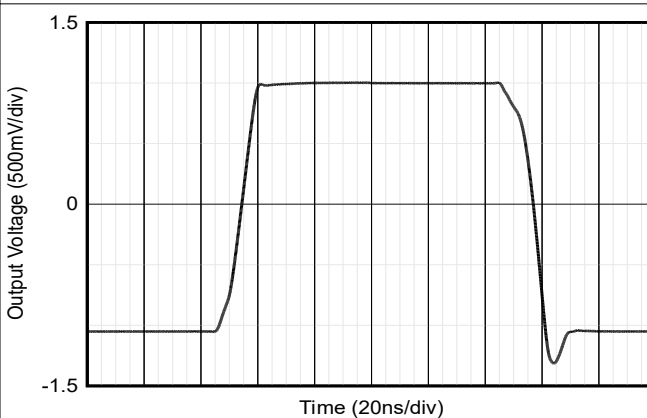


図 5-4. 非反転型の大信号ステップ応答

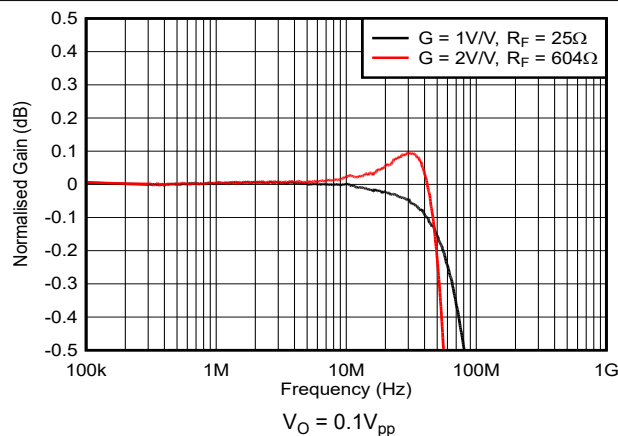


図 5-5. 0.1dB のゲイン フラットネス

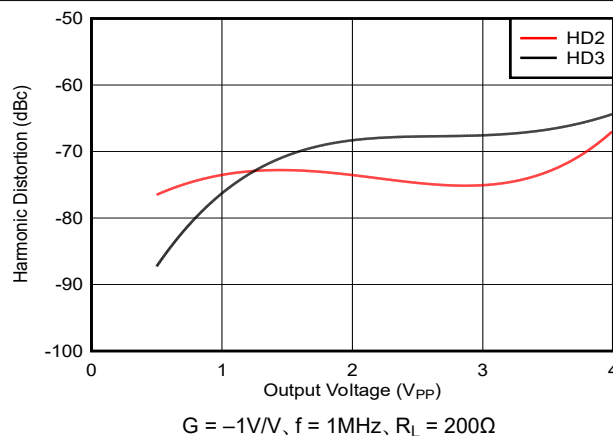


図 5-6. 高調波歪みと出力電圧との関係

5.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_S = 5\text{V}$, $G = +1$, $R_F = 0\Omega$, $R_L = 1\text{k}\Omega$, $V_S/2$ に接続、特に記述のない限り。

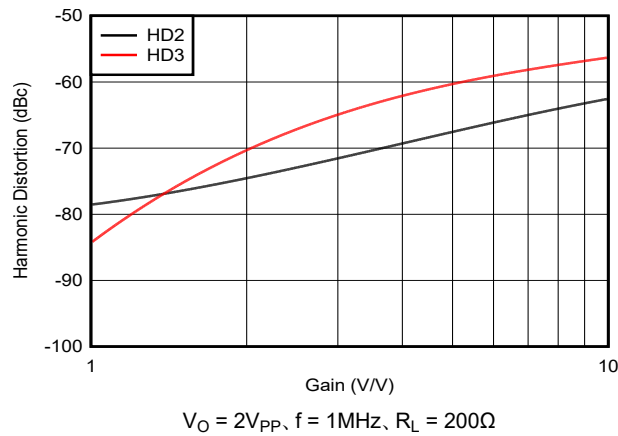


図 5-7. 高調波歪みと非反転ゲインとの関係

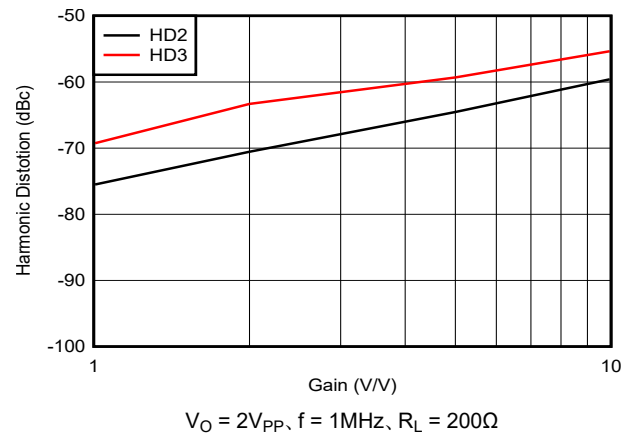


図 5-8. 高調波歪みと反転ゲインとの関係

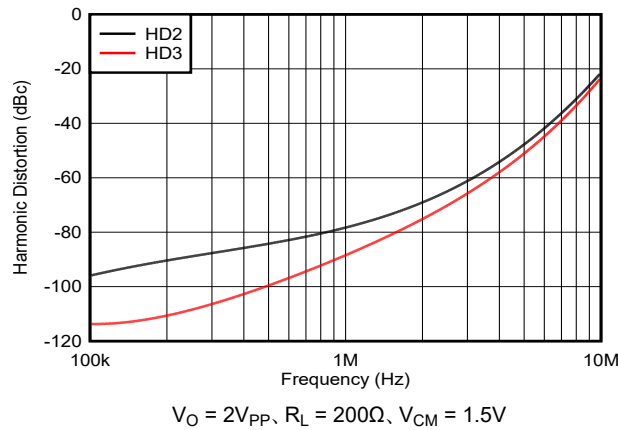


図 5-9. 高調波歪みと周波数との関係

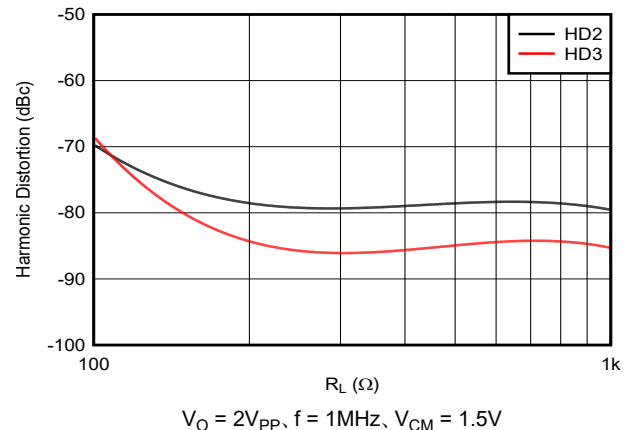


図 5-10. 高調波歪みと負荷抵抗との関係

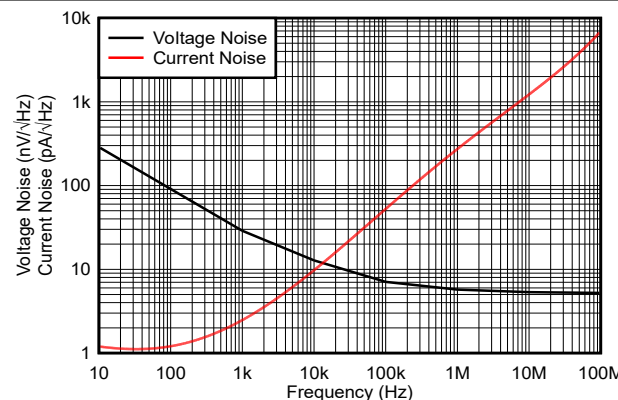


図 5-11. 入力の電圧および電流ノイズのスペクトラム密度と周波数との関係

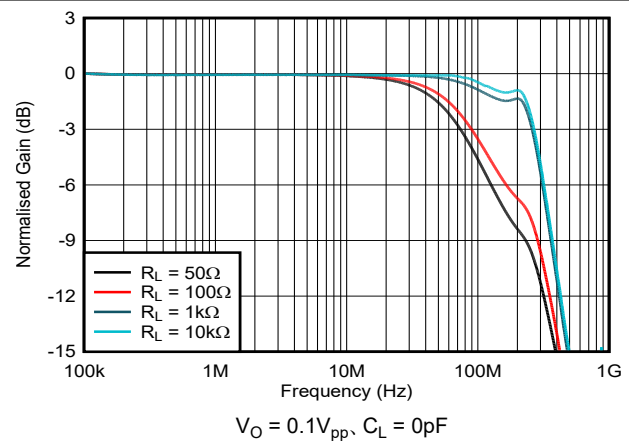


図 5-12. 周波数応答と各種 R_L 値との関係

5.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_S = 5\text{V}$, $G = +1$, $R_F = 0\Omega$, $R_L = 1\text{k}\Omega$, $V_S/2$ に接続、特に記述のない限り。

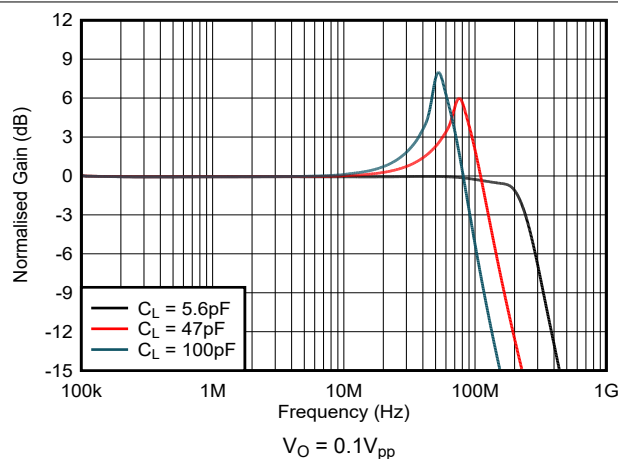


図 5-13. 各種 C_L 値の周波数応答

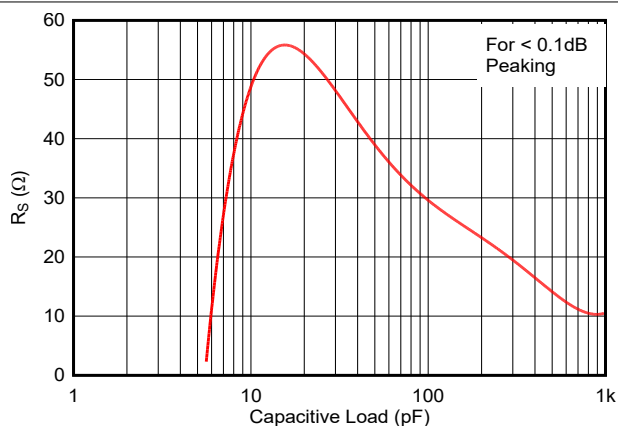


図 5-14. 推奨 R_S と容量性負荷との関係

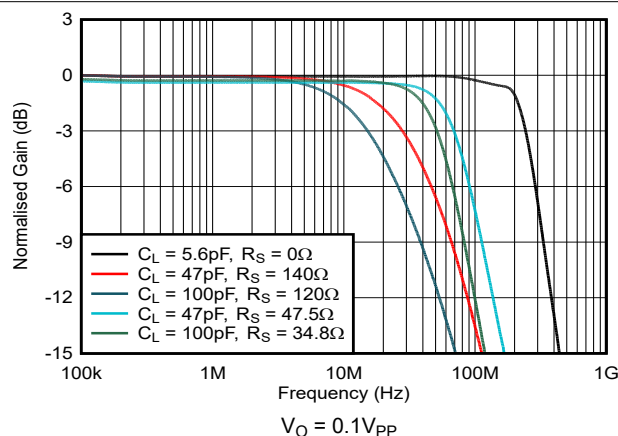


図 5-15. 周波数応答と容量性負荷との関係

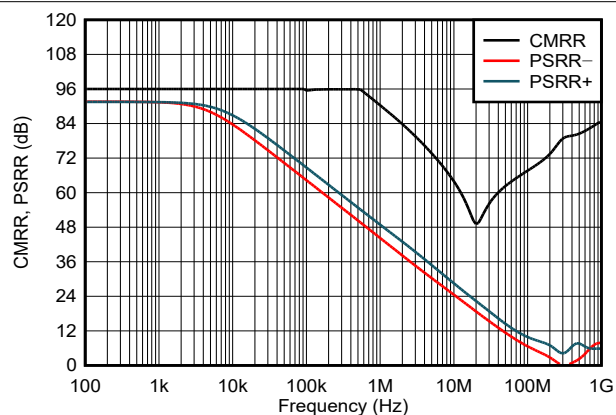


図 5-16. 同相信号除去比および電源除去比と周波数との関係

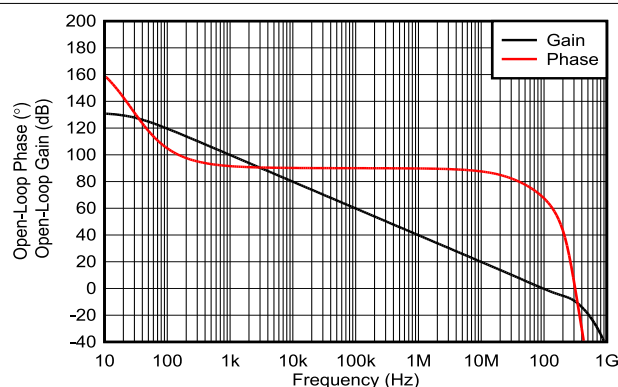


図 5-17. 開ループのゲインおよび位相

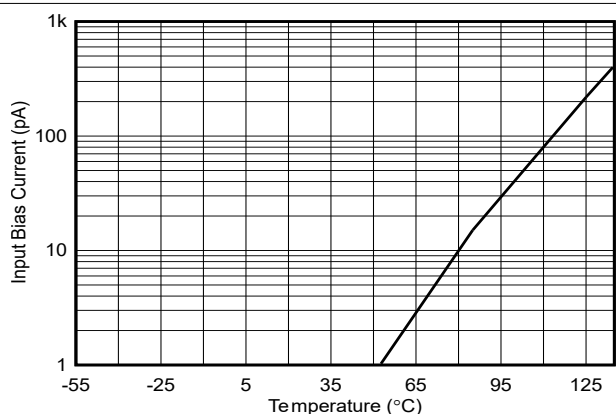


図 5-18. 入力バイアス電流と温度との関係

5.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{V}$ 、 $G = +1$ 、 $R_F = 0\Omega$ 、 $R_L = 1\text{k}\Omega$ 、 $V_S/2$ に接続、特に記述のない限り。

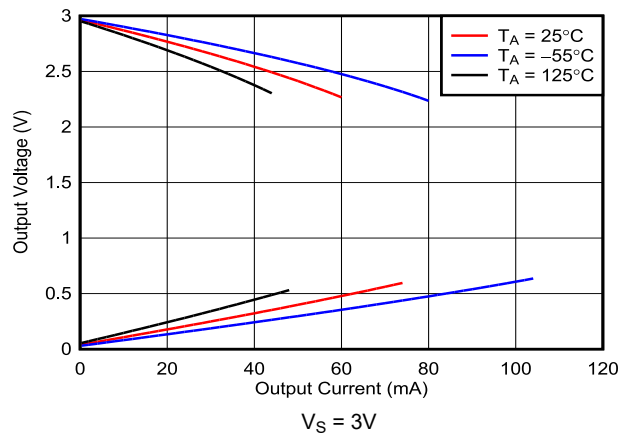


図 5-19. 出力電圧スイングと出力電流との関係

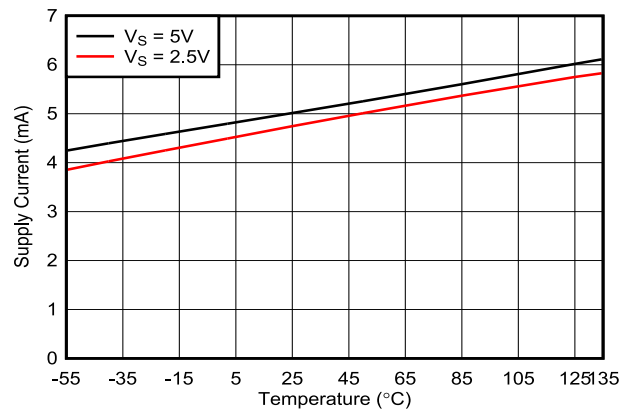


図 5-20. 電源電流と温度との関係

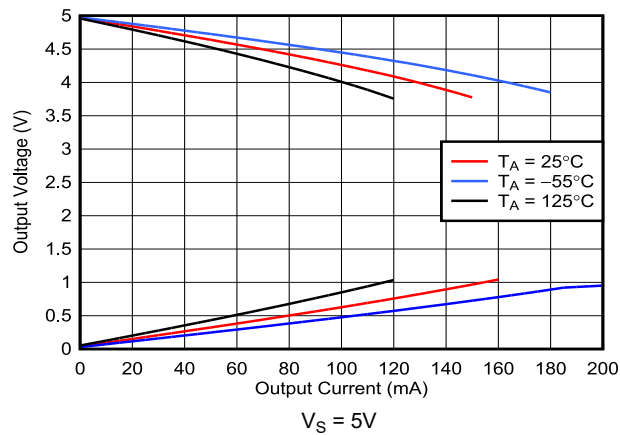


図 5-21. 出力電圧スイングと出力電流との関係

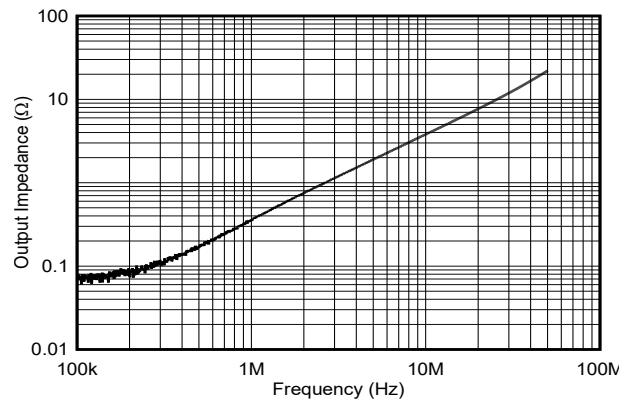


図 5-22. 閉ループ出力インピーダンスと周波数との関係

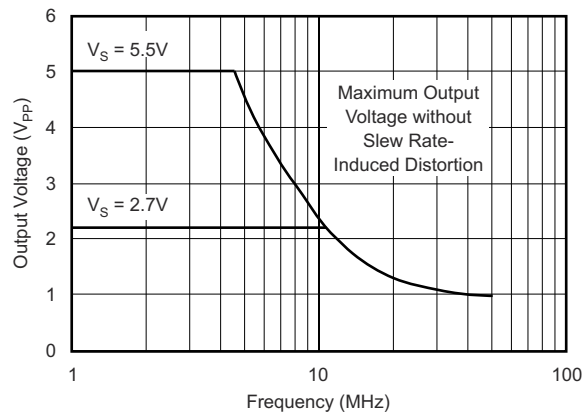


図 5-23. 最大出力電圧と周波数との関係

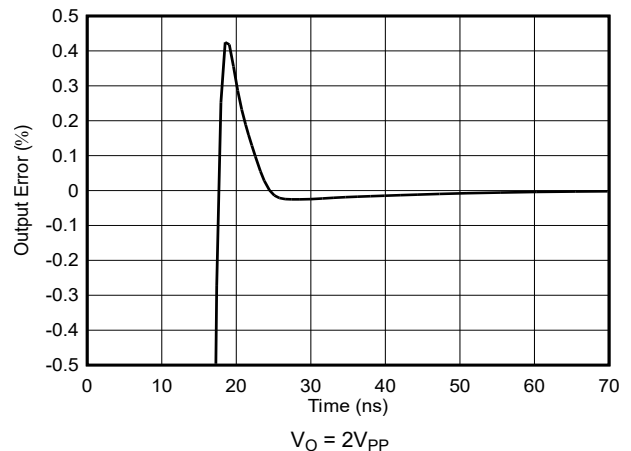


図 5-24. 0.1% までの出力セトリング タイム

5.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_S = 5\text{V}$, $G = +1$, $R_F = 0\Omega$, $R_L = 1\text{k}\Omega$, $V_S/2$ に接続、特に記述のない限り。

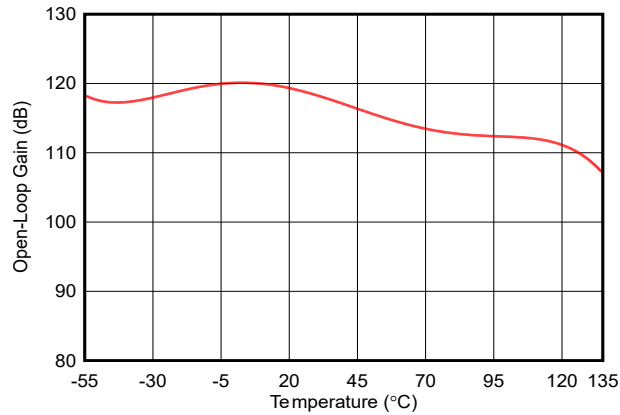


図 5-25. 開ループゲインと温度との関係

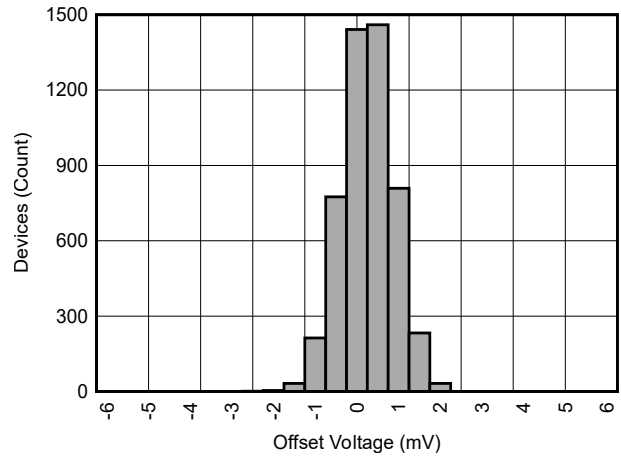


図 5-26. オフセット電圧の生産分布

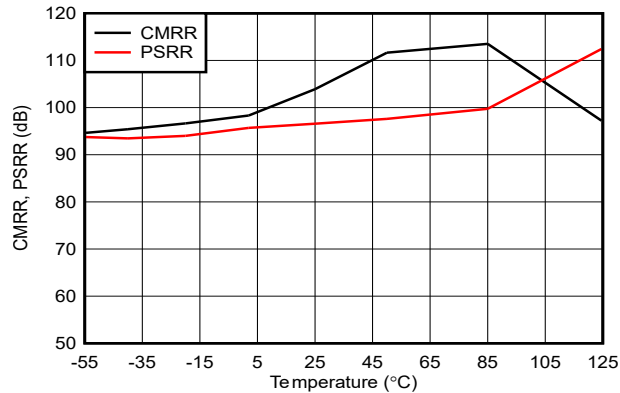


図 5-27. 同相信号除去比および電源除去比と温度との関係

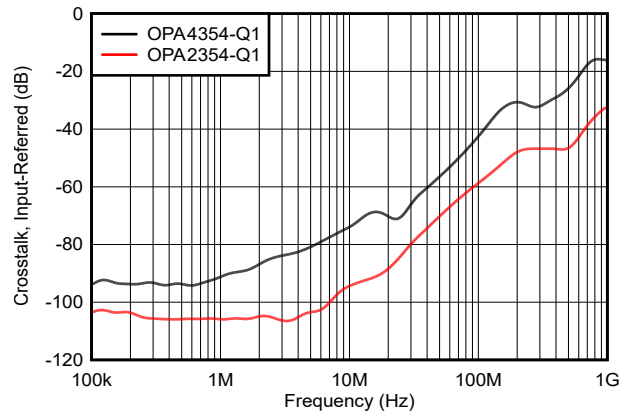


図 5-28. チャネル間クロストーク

6 詳細説明

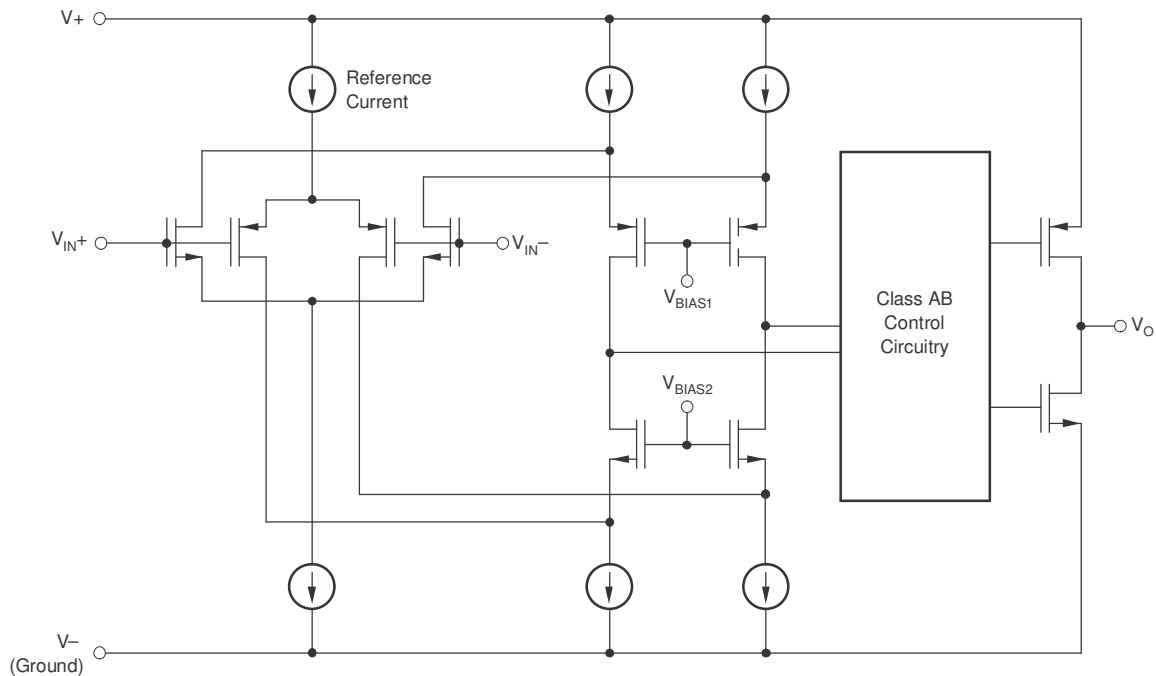
6.1 概要

OPAx354-Q1 オペアンプは、高速 ($150\text{V}/\mu\text{s}$) で、トランスインピーダンス アプリケーションに最適なアンプです。デバイスはユニティゲインで安定しており、単一電源電圧 ($2.5\text{V} \sim 5.5\text{V}$) または分割電源電圧 ($\pm 1.25\text{V} \sim \pm 2.75\text{V}$) で動作できるため、多様性が高く使いやすい製品です。OPAx354A-Q1 アンプは、 $2.5\text{V} \sim 5.5\text{V}$ での動作が規定されており、車載用温度範囲の $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ で動作します。

表 6-1. OPAx354-Q1 関連製品

特長	製品名
OPA354 ファミリのシャットダウン バージョン	OPAx357
200MHz GBW、レール ツー レール出力、CMOS、シャットダウン	OPAx355
200MHz GBW、レール ツー レール出力、CMOS	OPAx356
38MHz GBW、レール ツー レール入出力、CMOS	OPAx350/3
75MHz BW、 $G = 2$ 、レール ツー レール出力	OPAx631
150MHz BW、 $G = 2$ 、レール ツー レール出力	OPAx634
100MHz BW、差動入出力、3.3V 電源	THS412x

6.2 機能ブロック図



6.3 機能説明

6.3.1 動作電圧

OPAx354-Q1 ファミリ デバイスの仕様は、 $2.5\text{V} \sim 5.5\text{V}$ ($\pm 1.25\text{V} \sim \pm 2.75\text{V}$) の電源電圧範囲に適用されています。 7.5V (絶対最大値) を超える電源電圧は、アンプに永続的な損傷を与えます。

このデータシートの [セクション 5.6](#) では、電源電圧または温度によって変化するパラメータが示されています。

6.3.2 レール ツー レール入力

OPAx354-Q1 ファミリー デバイスの規定入力同相電圧範囲は、電源レールよりも 100mV 拡張されています。この拡張は、相補型入力段 (P チャネル差動ペアと並列の N チャネル入力差動ペア) により達成されます。N チャネル ペアは、正のレールに近い入力電圧に対してアクティブになります。通常は $(V+) - 1.2V$ から、正の電源電圧よりも 100mV 高い電圧までです。一方、P チャネル ペアは負の電源電圧より 100mV 下から、 $(V+) - 1.2V$ 程度までの入力に対してオンになります。両方のペアが動作する小さな遷移領域が存在し、通常は $(V+) - 1.5V \sim (V+) - 0.9V$ の範囲です。この 600mV の遷移領域は、プロセスのバラツキにより、 $\pm 500mV$ 変動する可能性があります。その結果、遷移領域 (両方の入力段がオン) は、Low では $(V+) - 2V \sim (V+) - 1.5V$ まで、High 側では最大 $(V+) - 0.9V \sim (V+) - 0.4V$ の範囲になる可能性があります。

二重折りたたみカスコードは 2 組の入力ペアから信号を追加し、Class AB 出力段に差動信号を提示します。

6.3.3 レール ツー レール出力

デバイスでは、共通ソーストランジスタを使用した Class-AB 出力段を使用しており、レール ツー レールの出力を実現できます。ハイインピーダンス負荷 (200 Ω 超) の場合、出力電圧スイングは通常、電源レールから 100mV です。10 Ω 負荷では、高い開ループ ゲインを維持しながら、有用な出力スイングを実現できます。図 5-19 (出力電圧スイングと出力電流との関係) を参照してください。

6.3.4 出力駆動能力

OPAx354-Q1 の出力段は $\pm 100mA$ の連続出力電流を供給しながら、5V 電源で約 2.7V の出力スイングを供給します (図 6-1 を参照)。

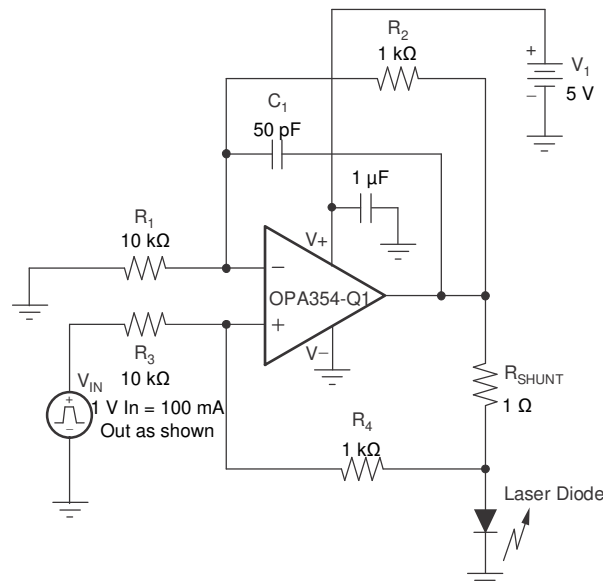


図 6-1. レーザー ダイオード ドライバ

最大限の信頼性を確保するため、テキサス インスツルメンツでは $\pm 100mA$ を超える連続 DC 電流で動作させることは推奨していません。図 5-19 (出力電圧スイングと出力電流との関係) を参照してください。図 6-2 に示すように、OPAx354-Q1 ファミリー デバイスを並列に動作させ、 $\pm 100mA$ を超える連続出力電流を供給します。

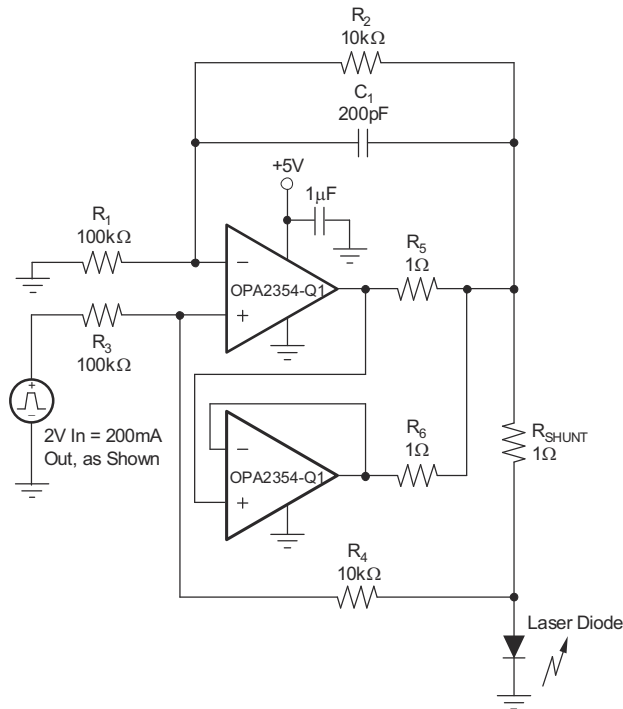


図 6-2. 並列動作

OPAx354-Q1 ファミリー デバイスは、最大 200mA のピーク電流を供給します。これは、一般的な短絡電流に相当します。このため、オンチップのサーマル シャットダウン回路により、OPAx354-Q1 ファミリー デバイスを危険なほど高い接合部温度から保護します。160°C では、保護回路によりアンプがシャットダウンされます。接合部温度が 140°C を下回ると、通常動作に復帰します。

6.3.5 動画

OPAx354-Q1 の出力段は、標準のバック終端された 75Ω ビデオ ケーブルを駆動できます (図 6-3 を参照)。バック終端のは、ドライバに対する容量性負荷を示しません。適切にバック終端された 75Ω ケーブルは容量として現れません。このケーブルは OPAx354-Q1 出力に 150Ω の抵抗性負荷を供給します。

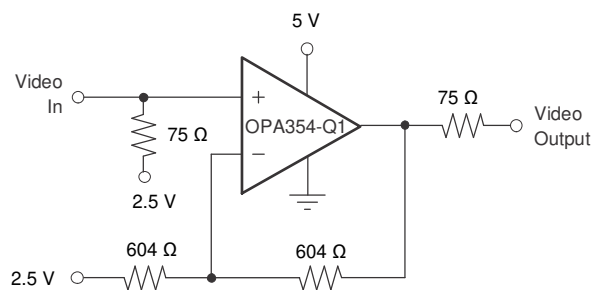
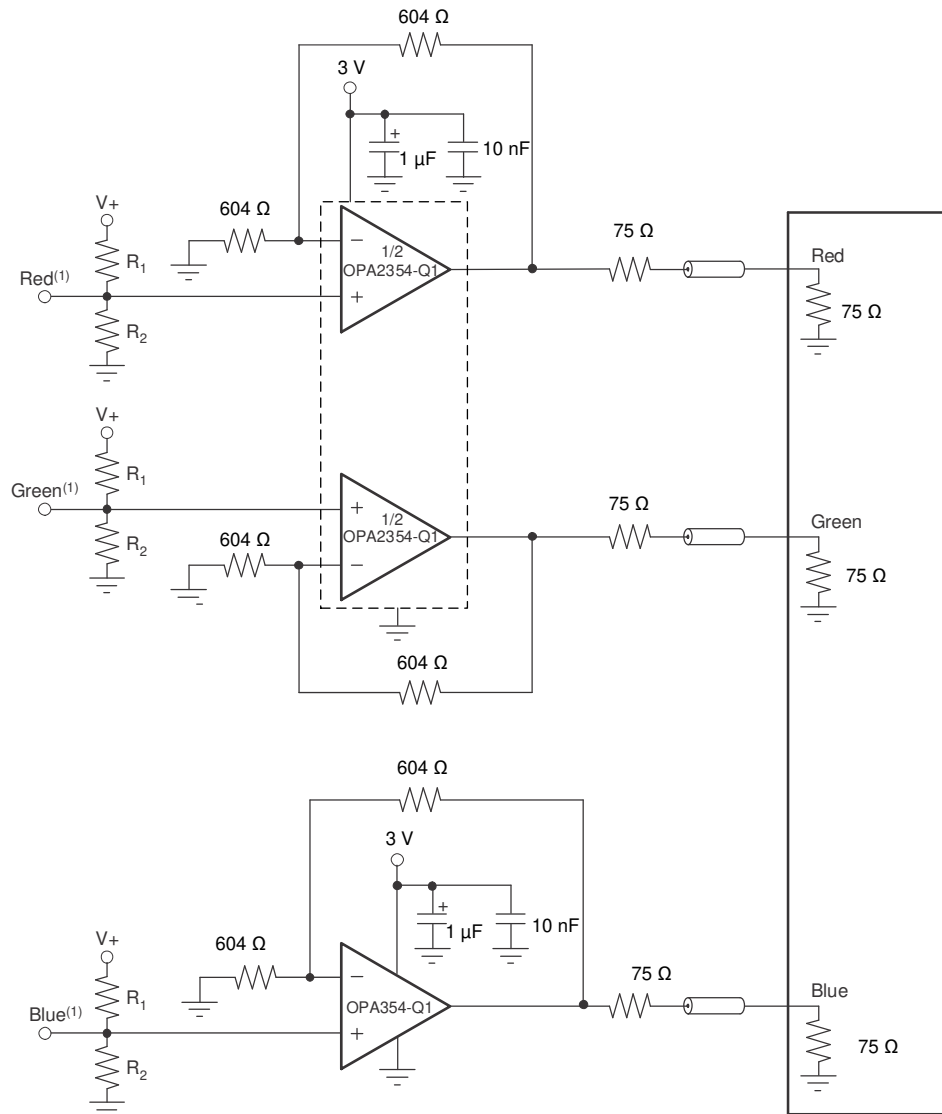


図 6-3. 単一電源ビデオ ライン ドライバ

このシリーズのアンプは、信号をオフセットし AC 結合することで、ビデオのブラック レベルで電圧がゼロとなる RGB グラフィック信号のアンプとして使用できます (図 6-4 を参照)。



A. オペアンプのグラウンドへのスイング能力に対応するため、ソースビデオ信号はグラウンドより 300mV 高いオフセットに設定されます。

図 6-4. RGB ケーブル ドライバ

6.3.6 A/D コンバータの駆動

OPAx354-Q1 ファミリのオペアンプは、60ns のセトリング タイムを 0.01% まで実現し、高速および中速度サンプリング ADC およびリファレンス回路を駆動するための有効な選択肢です。OPAx354-Q1 ファミリ デバイスは、信号ゲインを提供しながら、入力容量とそれに伴う ADC のチャージ インジェクションをバッファする効果的な手段となります。OPAx354-Q1 デバイス ファミリは、高い DC 精度を必要とするアプリケーション向けに設計されています。

図 6-5 に、ADC を駆動する OPAx354-Q1 ファミリ デバイスを示します。OPAx354-Q1 は反転構成の場合、帰還抵抗の両端に接続したコンデンサを使用して、信号内の高周波ノイズをフィルタリングできます。

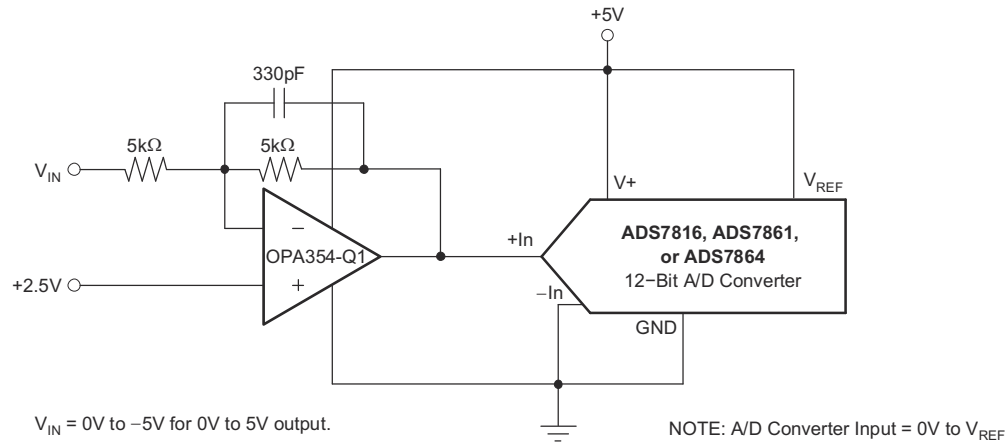


図 6-5. ADS7816 を駆動する OPA354A-Q1 の反転構成

6.3.7 容量性負荷および安定度

OPAx354-Q1 ファミリのオペアンプは、幅広い容量性負荷を駆動できます。ただし、特定の条件下ではすべてのオペアンプが不安定になる可能性があります。オペアンプの構成、ゲイン、負荷値は、安定性を決定する際に考慮する必要がある要素の一部にすぎません。ユニティ ゲイン構成のオペアンプは、容量性負荷の影響を最も受けやすくなります。容量性負荷は、オペアンプの出力抵抗とともに追加の負荷抵抗と反応して、位相マージンを劣化させる小信号応答に極を形成します。詳細については、[図 5-15](#) (周波数応答と容量性負荷との関係) を参照してください。

OPAx354-Q1 トポロジは、容量性負荷を駆動するデバイスの能力を向上させます。ユニティ ゲインでは、これらのオペアンプは大きな容量性負荷で適切に動作します。詳細については、[図 5-14](#)「推奨 R_S と容量性負荷との関係」、[図 5-15](#)「周波数応答と容量性負荷との関係」を参照してください。

[図 6-6](#) に示すように、ユニティ ゲイン構成での容量性負荷の駆動を向上させるため、出力で直列の $10\Omega \sim 20\Omega$ の抵抗を挿入します。この構成は、大きな容量性負荷でのリングングを大幅に低減します。[図 5-15](#) (周波数応答と容量性負荷との関係) を参照してください。ただし、抵抗性負荷が容量性負荷と並列にある場合、 R_S で分圧器を構成します。この構成は、出力に DC 誤差が発生し、出力スイングをわずかに減少させます。この誤差は重要ではない場合があります。たとえば、 $R_L = 10k\Omega$ 、 $R_S = 20\Omega$ の場合、出力の誤差は約 0.2% です。

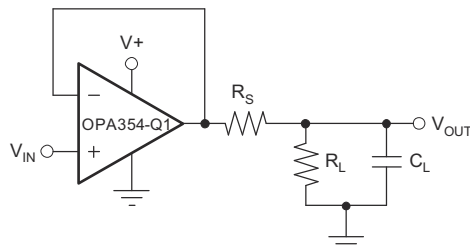


図 6-6. ユニティ ゲイン構成の直列抵抗により、容量性負荷駆動能力が向上

6.3.8 広帯域トランスインピーダンス アンプ

OPAx354-Q1 ファミリー デバイスは、広帯域幅、低入力バイアス電流、低入力電圧、電流ノイズを備えており、低電圧単一電源アプリケーションに適した広帯域フォトダイオード トランスインピーダンス アンプとして設計されています。フォトダイオード容量によって、回路の実効ノイズ ゲインが高周波で大きくなるため、低電圧ノイズは重要です。

トランスインピーダンス設計の主要要素 ([図 6-7](#) を参照) は、想定されるダイオード容量 (OPAx354-Q1 の場合、寄生入力同相モードと差動モードの入力容量 (2 + 2) pF を含む)、目的のトランスインピーダンス ゲイン (R_F)、および OPAx354-Q1 ファミリー デバイス (100MHz) のゲイン帯域幅積 (GBW) です。これらの 3 つの変数セットを使用して、帰還コンデンサの値 (C_F) を設定し、周波数応答を制御します。

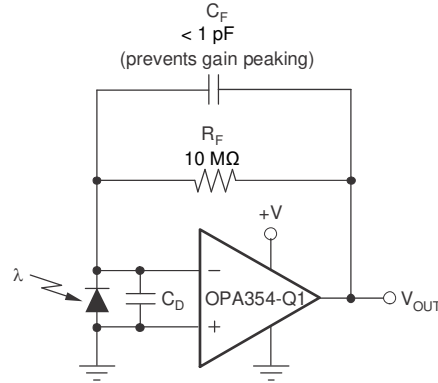


図 6-7. トランスインピーダンス アンプ

2 次バターワース周波数応答が最大限平坦になるように、式 1 に示されているように帰還極を設定します。

$$\frac{1}{2\pi R_F C_F} = \sqrt{\frac{\text{GBP}}{4\pi R_F C_D}} \quad (1)$$

標準的な表面実装抵抗の寄生容量は約 0.2pF で、帰還容量の計算値から推定する必要があります。

式 2 を使用して帯域幅を計算します。

$$f_{-3\text{dB}} = \sqrt{\frac{\text{GBP}}{2\pi R_F C_D}} \text{ Hz} \quad (2)$$

より高いトランスインピーダンス帯域幅を得るには、高速 CMOS OPA355-Q1 (200MHz GBW) または OPA655-Q1 (400MHz GBW) を使用してください。

6.4 デバイスの機能モード

OPAx354-Q1 ファミリ デバイスは、電源が接続されると電源投入されます。デバイスは、アプリケーションに応じて、単一電源オペアンプまたはデュアル電源アンプとして動作します。差動電圧 ($V_- \sim V_+$) が 1.8V 以上、5.5V を超えていない限り、非対称電源で使用されます (例: V_- を -3.5V に、 V_+ を 1.5V に設定)。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

OPAx354-Q1 ファミリー デバイスは、ビデオ、高速、その他のアプリケーション用に設計された CMOS、レール ツー レール I/O、高速、電圧帰還型のオペアンプです。OPAx354-Q1 ファミリー デバイスは、シングル、デュアル、クワッドのオペアンプとして利用できます。

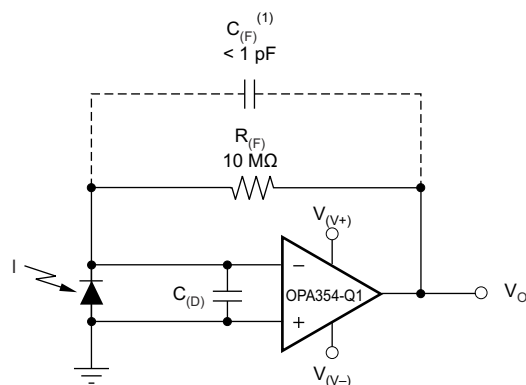
アンプは 100MHz のゲイン帯域幅と 150V/μs のスルーレートを特長としていますが、デバイスはユニティ ゲインで安定しており、1V/V の電圧フォロワとして動作します。

7.2 代表的なアプリケーション

7.2.1 トランスインピーダンス アンプ

広ゲイン帯域幅、低入力バイアス電流、低入力電圧、電流ノイズによって、OPAx354-Q1 ファミリー デバイスは優れた広帯域フォトダイオードトランスインピーダンス アンプとなっています。フォトダイオード容量によって、回路の実効ノイズ ゲインが高周波で大きくなるため、低電圧ノイズは重要です。

トランスインピーダンス設計の主要要素 (図 7-1 を参照) は、寄生入力同相モードと差動モードの入力容量 ($4\text{pF} + 5\text{pF}$) を含んだ想定されるダイオード容量 ($C_{(D)}$)、必要なトランスインピーダンス ゲイン ($R_{(F)}$)、および OPAx354-Q1 ファミリー デバイス (20MHz) のゲイン帯域幅 (GBW) です。これらの 3 つの変数セットを使用して、帰還コンデンサの値 ($C_{(FB)}$) を設定し、周波数応答を制御します。 $C_{(FB)}$ には、標準的な表面実装抵抗で 0.2pF となる $R_{(FB)}$ の浮遊容量が含まれます。



A. $C_{(FB)}$ はゲインのピークを防ぐためのオプションです。 $C_{(FB)}$ には、 $R_{(FB)}$ の浮遊容量が含まれます。

図 7-1. デュアル電源のトランスインピーダンス アンプ

7.2.1.1 設計要件

パラメータ	値
電源電圧、 $V_{(V+)}$	2.5V
電源電圧、 $V_{(V-)}$	-2.5V

7.2.1.2 詳細な設計手順

2 次バターワース周波数応答が最大限平坦になるように、次のように帰還極を設定する必要があります。

$$\frac{1}{2 \times \pi \times R_{(FB)} \times C_{(FB)}} = \sqrt{\frac{GBW}{4 \times \pi \times R_{(FB)} \times C_{(D)}}} \quad (3)$$

式 4 を使用して帯域幅を計算します。

$$f_{(-3 \text{ dB})} = \sqrt{\frac{GBW}{2 \times \pi \times R_{(FB)} \times C_{(D)}}} \quad (4)$$

他のトランスインピーダンス帯域幅については、高速 CMOS **OPA380** (90MHz GBW)、**OPA354** (100MHz GBW)、**OPA300** (180MHz GBW)、**OPA355** (200MHz GBW)、または **OPA656** と **OPA657** (400MHz GBW) を検討してください。

単一電源アプリケーションの場合は、+INx 入力を正 DC 電圧でバイアスをかけて、フォトダイオードが光に露出していなければ出力を正確に 0 にし、負のレールから生じる遅延を追加せずに応答させることができます。この構成については、[図 7-2](#) を参照してください。このバイアス電圧は、フォトダイオード全体に見られ、高速動作では逆バイアスがかかります。

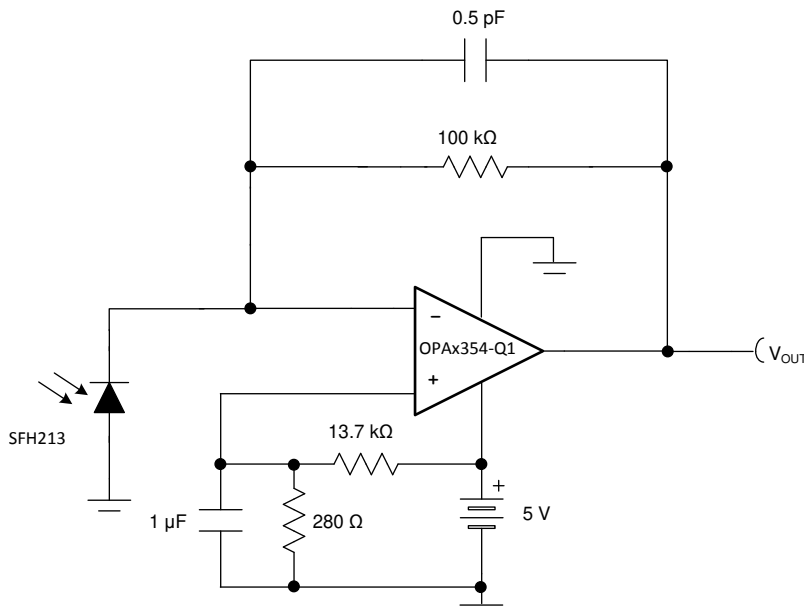


図 7-2. 単一電源のトランスインピーダンスアンプ

詳細については、『[トランスインピーダンスアンプの直感的な補償方法](#)』アプリケーション速報を参照してください。

7.2.1.2.1 トランスインピーダンス回路の最適化

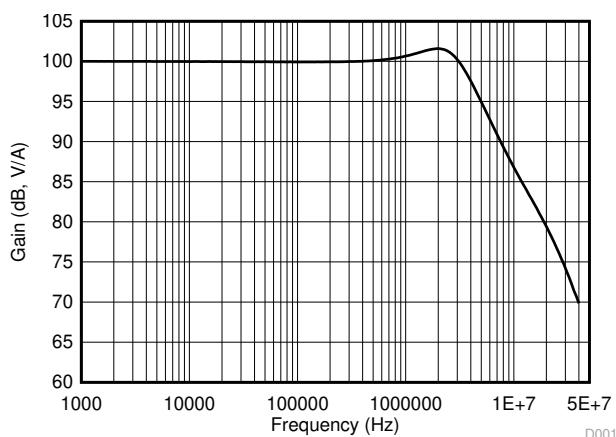
最高の性能を引き出すためには、次のガイドラインに従ってコンポーネントを選択する必要があります。

1. ノイズを最小限に抑える場合は、 $R_{(FB)}$ を選択して必要な総ゲインを作成します。 $R_{(FB)}$ の値を低くして、トランスインピーダンスアンプの後にゲインを加えると、通常はノイズ性能が低下します。 $R_{(FB)}$ によって生成されたノイズは、 $R_{(FB)}$ の二乗に比例して大きくなりますが、信号は直線的に増加します。そのため、必要なすべてのゲインをトランスインピーダンス段に配置すると、信号ノイズ比が改善されます。
2. ジャンクションのミクシング (反転入力) 時に、フォトダイオード容量と浮遊容量を最小限に抑えてください。この容量によって、オペアンプの電圧ノイズが増幅されます (高周波で増幅分が増加します)。低ノイズ電圧ソースを使用して逆

- バイアスをかけると、フォトダイオードの容量を大幅に低減できます。フォトダイオードが小さいほど、その容量も少なくなります。光学素子を使用して小さなフォトダイオードに光を集めます。
3. 帯域幅を大きくすると、ノイズも大きくなります。回路の帯域幅は、必要な分だけに制限してください。安定させるために必要のない場合でも、帯域幅を制限するために、 $R_{(FB)}$ 全体にコンデンサを使用してください。
 4. 優れた設計のアンプでなければ、回路基板の漏れによって性能が落ちる場合があります。回路基板を慎重に清掃してください。接合部のミクシングを囲んで同じ電圧で駆動する回路基板ガードトレースを取り付けることで、漏れを制御できるようになります。

詳細については、『FET トランスインピーダンス アンプのノイズ解析』および『高速オペアンプのノイズ解析』アプリケーション速報を参照してください。

7.2.1.3 アプリケーション曲線



-3dB の帯域幅は 4.56MHz です

図 7-3. AC の伝達関数

7.2.2 高インピーダンスのセンサ インターフェイス

多くのセンサには、最大 10MΩ、またはそれ以上の範囲に達する可能性のある高いソース インピーダンスがあります。多くの場合、センサの出力信号はアンプによって増幅または調整する必要があります。このアンプの入力バイアス電流は、図 7-4 に示すように、センサ出力を負荷し、ソース抵抗の両端で電圧降下を発生させることができます ($V_{(+INx)} = V_S - I_{(BIAS)} \times R_{(S)}$)。最後の部分 $I_{(BIAS)} \times R_{(S)}$ は、 $R_{(S)}$ における電圧降下を示しています。この電圧の結果としてシステムに生じる誤差を防止するには、入力バイアス電流が小さいオペアンプとハイ インピーダンス センサを使用します。この低電流により、 $I_{(BIAS)} \times R_{(S)}$ による誤差の発生がアンプの入力電圧ノイズよりも低く保たれるため、アンプは支配的なノイズ係数になりません。OPAx354-Q1 ファミリー デバイス シリーズのオペアンプは、低い入力バイアス電流 (代表値は 200fA) を特長としているため、このようなアプリケーションに最適です。

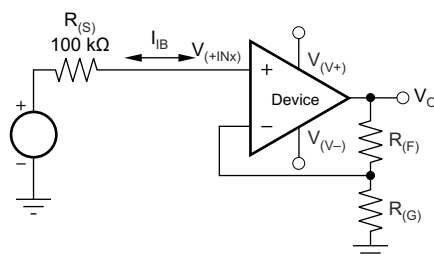
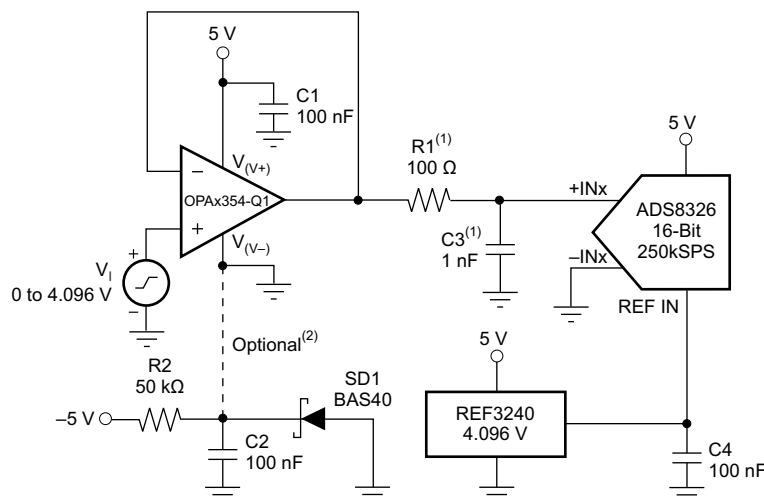


図 7-4. $I_{(BIAS)}$ の結果生じるノイズ

7.2.3 ADC の駆動

OPAx354-Q1 オペアンプは、最大 1MSPS のサンプリング速度でサンプリング A/D コンバータ (ADC) を駆動することを想定して設計されています。ゼロ クロスオーバー歪の入力段トポロジにより、OPAx354-Q1 ファミリー デバイスは微分直線性や THD の劣化なしに ADC を駆動できます。

OPAx354-Q1 ファミリー デバイスを使用すると、信号ゲインを提供しながら、ADC のスイッチング入力容量とその結果のチャージ インжекションをバッファできます。図 7-5 に、ADS8326 を駆動するように構成された OPAx354-Q1 デバイスファミリを示します。



- A. 推奨値。特定のアプリケーションに基づいて調整が必要な場合があります。
- B. 単一電源アプリケーションでは、オペアンプの出力スイング制限の結果、グランド付近で少数の ADC コードが失われます。負の電源が利用可能な場合、この単純な回路により -0.3V 電源が生成され、出力スイングが正確なグランド電位に達します。

図 7-5. ADS8326 の駆動

7.2.4 アクティブフィルタ

OPAx354-Q1 ファミリー デバイスは、広帯域幅、高速スルーレート、低ノイズ、単一電源オペアンプを必要とするアクティブフィルタ アプリケーション向けに設計されています。図 7-6 に、マルチ フィードバック (MFB) トポロジを使用した 500kHz、2 次、ローパス フィルタを示します。これらのコンポーネントは、バターワース応答を最大限フラットにするよう選択されています。カットオフ周波数を超えると、ロールオフは -40dB/dec になります。バターワース応答は、ADC の前で使用されるアンチエイリアシング フィルタなど、予測可能なゲイン特性を必要とするアプリケーション向けに設計されています。

MFB フィルタを検討するときに観測する点として、入力に対して出力が反転していることがあります。この反転が必要ない場合や不要な場合は、次のいずれかのオプションを使用して非反転出力を実現できます。

1. 反転アンプの追加
2. さらなる 2 次 MFB 段の追加
3. サレンキーなどの非反転フィルタトポロジの使用 (図 7-7 を参照)。

MFB およびサレンキー、ローパス、ハイパス フィルタの合成は、テキサス インストルメンツの FilterPro™ プログラムを使用して達成できます。このソフトウェアは、www.ti.com から無償でダウンロードできます。

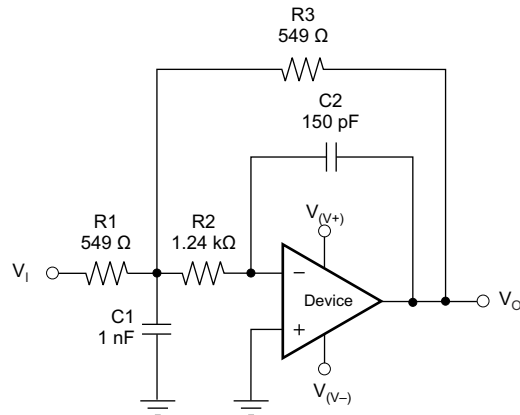


図 7-6. 2 次バターワース 500kHz ローパス フィルタ

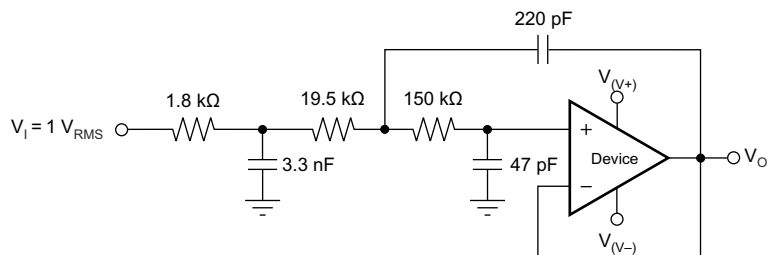


図 7-7. 3 極、20kHz のサレンキー フィルタとして構成された OPAx354-Q1

7.3 電源に関する推奨事項

OPA_x354-Q1 ファミリー デバイスは 2.5V ~ 5.5V ($\pm 1.25\text{V}$ ~ $\pm 2.75\text{V}$) での動作が規定されており、多くの仕様は -40°C ~ $+125^{\circ}\text{C}$ に適用されています。動作電圧または温度に関して大きな変動を示す可能性があるパラメータについては、[セクション 5.6](#) を参照してください。

注意

電源電圧が 7.5V を超えると、デバイスに恒久的な損傷を与える可能性があります ([セクション 5.1](#) を参照)。

電源ピンの近くに 0.1 μF のバイパス コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源からの誤差を低減できます。バイパス コンデンサの配置の詳細については、[セクション 7.4.1](#) を参照してください。

7.3.1 消費電力

消費電力は、電源電圧、信号、負荷条件によって異なります。DC 信号では、消費電力は、出力電流と導通型出力トランジスタの両端の電圧 ($V_S - V_O$) の積に等しくなります。必要な出力電圧スイングを確保するために、できる限り低い電源電圧を使用して、消費電力を最小限に抑えます。

抵抗性負荷の場合、DC 出力電圧が電源電圧の半分のとき、最大消費電力が発生します。AC 信号での消費電力は低くなります。www.ti.com の『[パワー アンプのストレスと電力処理の制限](#)』アプリケーション速報では、異常な信号および負荷で消費電力を計算または測定する方法について説明しています。

過熱保護回路が作動する傾向にある場合、消費電力が過剰であるか、ヒート シンクが不十分であることを示しています。信頼性の高い動作を実現するには、接合部温度を最大 **150°C** に制限してください。完全な設計での安全率を推定するには、周囲温度を上げて **160°C** での過熱保護をトリガします。過熱保護は、アプリケーションの予測最大周囲条件を **35°C** 以上超える温度でトリガする必要があります。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

OPAx354-Q1 ファミリー デバイスは、良好な高周波プリント基板 (PCB) レイアウト手法を使用しています。グランド プレーン、短い信号パターン、直接の信号パターンを豊富に使用し、V+ ピンにある適切なバイパス コンデンサにより、クリーンで安定した動作を確保します。銅の面積が大きいほど、通常動作で発生する熱を放散する手段が提供されます。ソケットの高速アンプでの使用は推奨されません。**10nF** のセラミック バイパス コンデンサは最小推奨値です。低抵抗性負荷を駆動する際には、**1μF** またはそれ以上のタンタル コンデンサを並列に追加すると効果的な場合があります。高調波および相互変調歪みを大きく低減するには、十分なバイパス キャパシタンスを確保することが不可欠です。

デバイスで最高の動作性能を実現するには、以下のような適切な PCB レイアウト手法を使用してください。

- ノイズが回路全体とオペアンプの電源ピンを経由して、アナログ回路に伝播することがあります。バイパス コンデンサは、アナログ回路に対してローカルに低インピーダンスの電源を供給し、結合ノイズを低減するために使用されます。
 - 各電源ピンとグランドとの間に、低 ESR の **0.1μF** セラミック バイパス コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、V+ からグランドに対して **1** つのバイパス コンデンサを接続します。
- 回路のアナログ部分とデジタル部分のグランドを分離することは、ノイズを抑制する最も簡単かつ効果的な方法の **1** つです。通常、多層 PCB のうち **1** つ以上の層はグランド プレーン専用です。グランド プレーンは熱の分散に役立つとともに、EMI ノイズを拾う可能性を低減します。グランド電流の流れに注意しながら、デジタル グランドとアナログ グランドを物理的に分離してください。詳細については、『[回路基板のレイアウト技法](#)』を参照してください。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの配線を離しておけない場合、敏感な配線をノイズの多い配線と平行に配線するのではなく、**90 度** で交差させる方がはるかに良い結果が得られます。
- 外付け部品は、可能な限りデバイスに近く配置します。[図 7-8](#) に示すように、RF と RG を反転入力に近づけて配置すると、寄生容量が最小化されます。
- 入力配線は、できる限り短くしてください。入力配線は、回路の中で最も影響を受けやすい部分であることを常に意識してください。
- 重要な配線の周囲では、駆動型の低インピーダンス ガードリングを配置することを検討してください。ガードリングを使用すると、付近のさまざまな電位にある配線からのリーク電流を大幅に低減できます。

7.4.2 レイアウト例

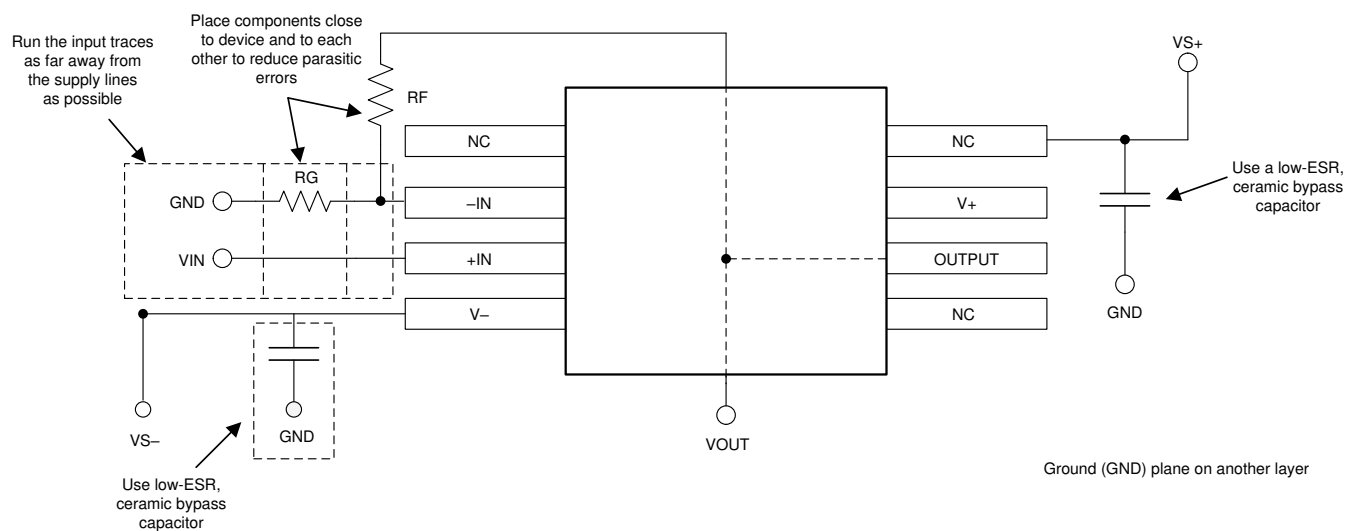


図 7-8. 非反転構成のオペアンプ基板のレイアウト

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『[ADS8326 16 ビット、高速、2.7V ~ 5.5V マイクロパワー サンプリングの A/D コンバータ](#)』
- テキサス インスツルメンツ、『[回路基板のレイアウト技法](#)』
- テキサス インスツルメンツ、『[トランスインピーダンス アンプの直感的な補償](#)』
- テキサス インスツルメンツ、『[FilterPro™ ユーザー ガイド](#)』
- テキサス インスツルメンツ、『[FET トランスインピーダンス アンプのノイズ解析](#)』
- テキサス インスツルメンツ、『[高速オペアンプのノイズ解析](#)』
- テキサス インスツルメンツ、『[OPA380 および OPA2380、高精度、高速トランスインピーダンス アンプ](#)』
- テキサス インスツルメンツ、『[OPA354, OPA2354, OPA4354, 250MHz、レール ツー レール I/O、CMOS オペアンプ](#)』
- テキサス インスツルメンツ、『[OPA355, OPA2355, OPA3355、シャットダウン機能付き 200MHz、CMOS オペアンプ](#)』
- テキサス インスツルメンツ、『[OPA656、広帯域、ユニティ ゲイン安定、FET 入力オペアンプ](#)』
- テキサス インスツルメンツ、『[パワー アンプのストレスと電力処理の制限](#)』

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 商標

FilterPro™ is a trademark of Texas Instruments Incorporated.

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision F (May 2018) to Revision G (August 2026) Page

• 「特長」の ESD 情報を削除.....	1
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• OPA354A-Q1 DBV パッケージの「熱に関する情報」を更新.....	5
• OPA354A-Q1 の「電気的特性」で、入力電流ノイズ、立ち上がりおよび立ち下がり時間、開ループ出力抵抗、静止電流を更新.....	7
• 「代表的特性」のプロットを更新.....	9

Changes from Revision E (August 2016) to Revision F (May 2018) Page

• 「絶対最大定格」の表から、入力端子と入力信号に関する表の注記を削除.....	5
--	---

Changes from Revision D (July 2016) to Revision E (August 2016) Page

• 「電気的特性」の表で、ゲイン帯域幅積の標準値を 10MHz から 100MHz に再変更.....	7
---	---

Changes from Revision C (June 2016) to Revision D (July 2016) Page

• 「電気的特性」の表で、ゲイン帯域幅積の標準値を 100MHz から 10MHz に変更.....	7
--	---

Changes from Revision B (December 2014) to Revision C (June 2016) Page

• 「アプリケーション」セクションに 3 つのアプリケーションを追加	1
• OPA354A-Q1 と OPA2354A-Q1 の CDM の値を示すように「ESD 定格」の表を更新.....	5

Changes from Revision A (August 2009) to Revision B (December 2014) Page

• 「取り扱い定格」の表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加	1
• データシートに OPA4354-Q1 デバイスを追加.....	1
• 仕様表で、チャンネル間クロストークを更新.....	7

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2354AQDGKRQ1	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	Call TI Nipdauag Nipdau	Level-2-260C-1 YEAR	-40 to 125	OSLQ
OPA2354AQDGKRQ1.B	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 125	OSLQ
OPA354AQDBVRQ1	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OSFQ
OPA354AQDBVRQ1.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OSFQ
OPA354AQDBVRQ1.B	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OSFQ
OPA4354AQPWRQ1	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	4354Q1
OPA4354AQPWRQ1.A	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	4354Q1
OPA4354AQPWRQ1.B	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	4354Q1

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

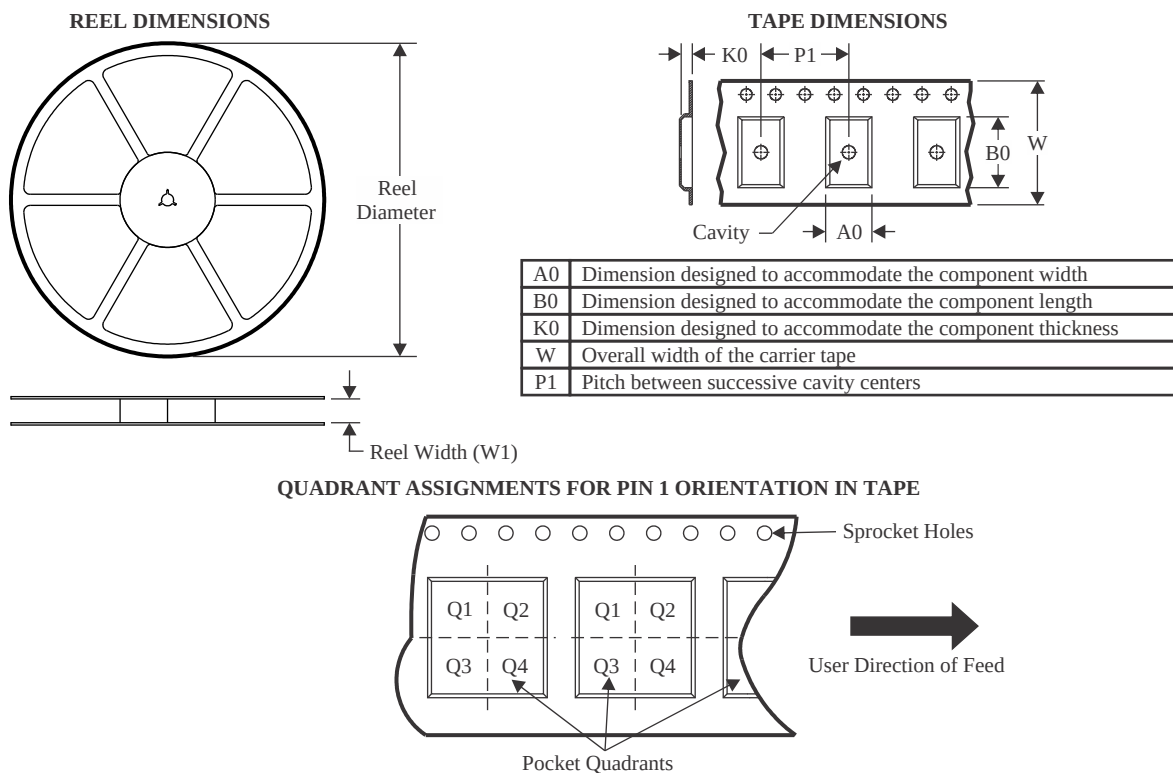
OTHER QUALIFIED VERSIONS OF OPA4354-Q1 :

- Catalog : [OPA4354](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

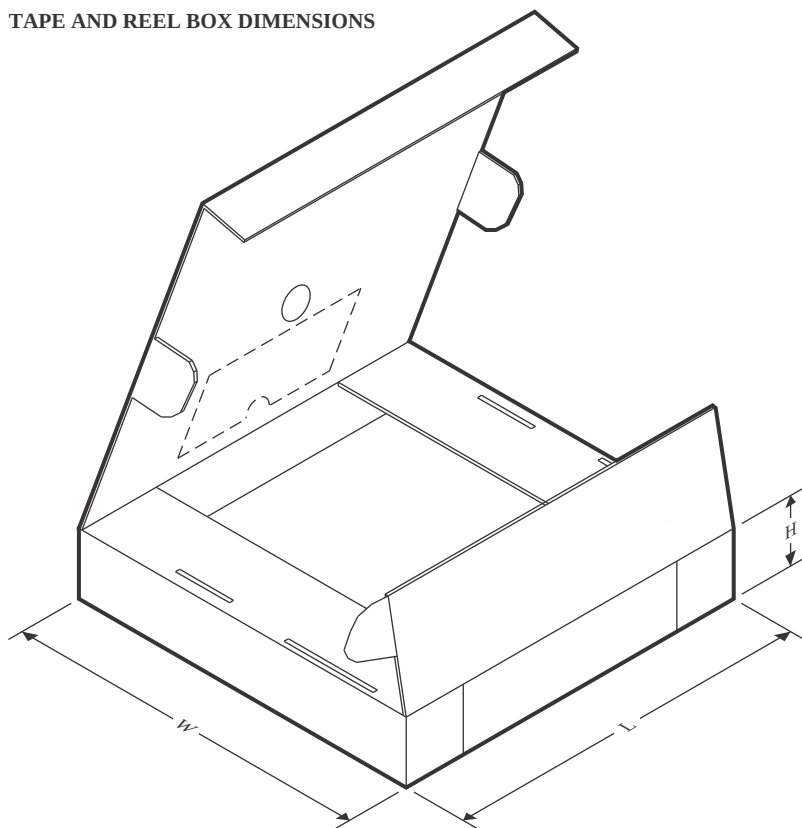
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2354AQDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2354AQDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA354AQDBVRQ1	SOT-23	DBV	5	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA4354AQPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

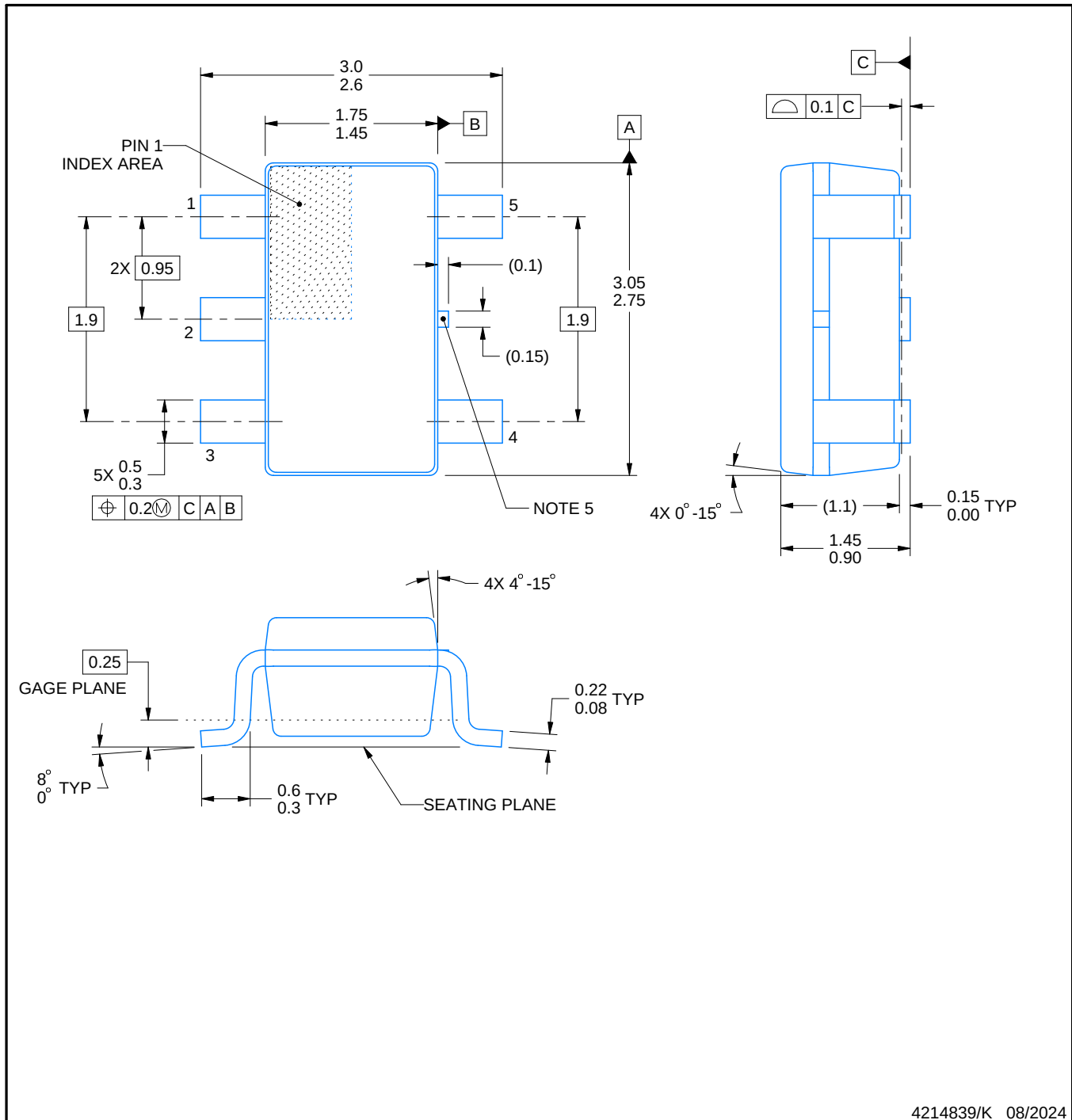


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2354AQDGKRQ1	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA2354AQDGKRQ1	VSSOP	DGK	8	2500	367.0	367.0	35.0
OPA354AQDBVRQ1	SOT-23	DBV	5	3000	213.0	191.0	35.0
OPA4354AQPWRQ1	TSSOP	PW	14	2000	353.0	353.0	32.0

DBV0005A**PACKAGE OUTLINE****SOT-23 - 1.45 mm max height**

SMALL OUTLINE TRANSISTOR



4214839/K 08/2024

NOTES:

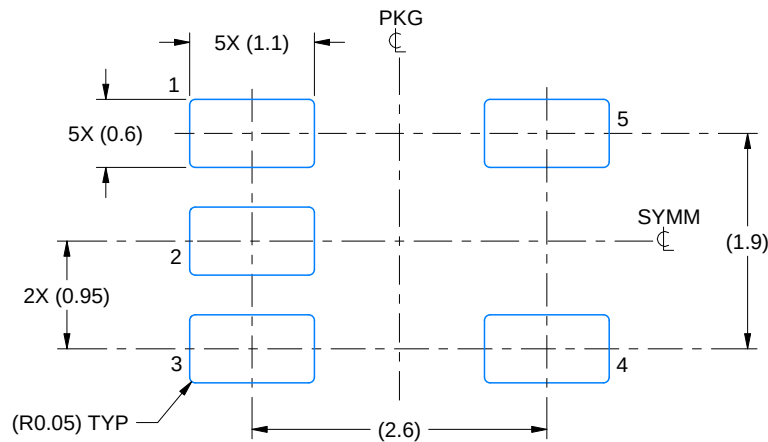
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

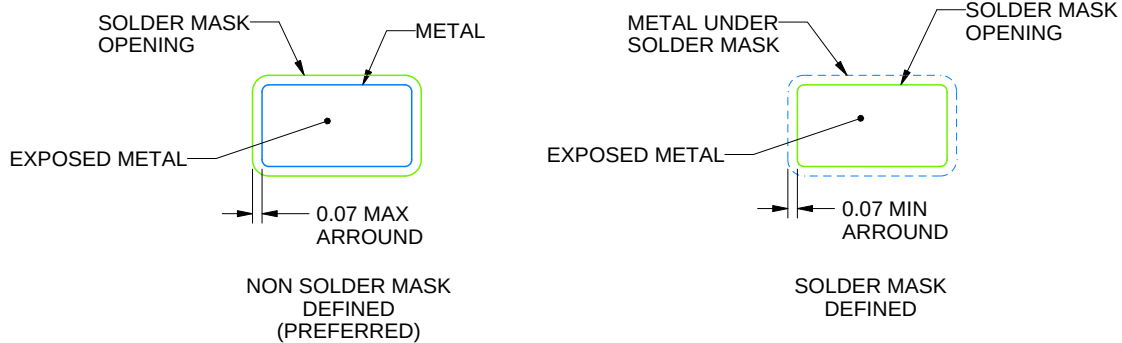
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

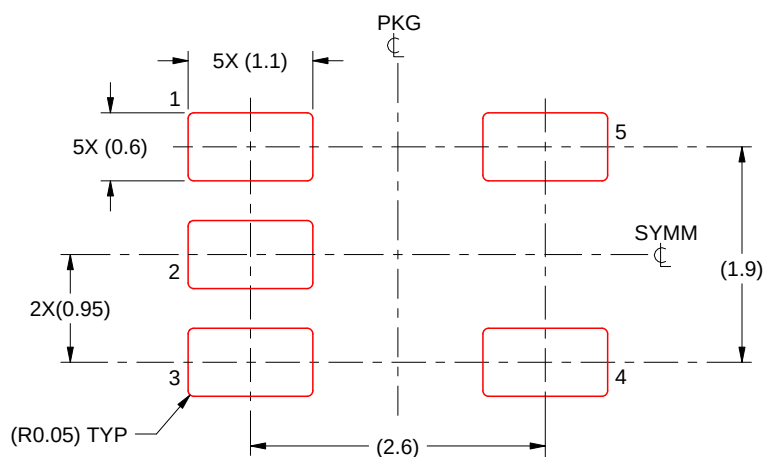
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



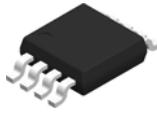
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

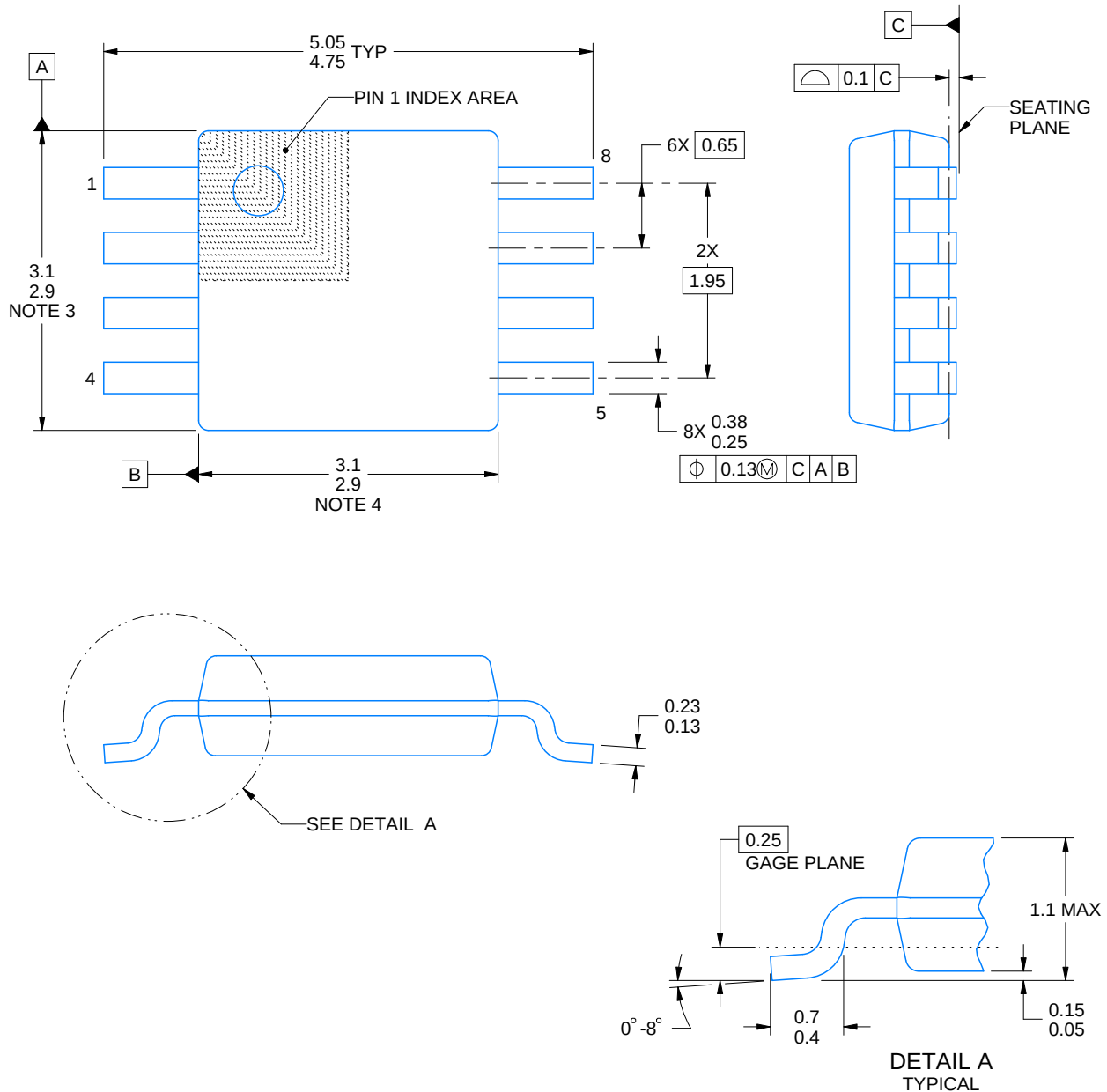
DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

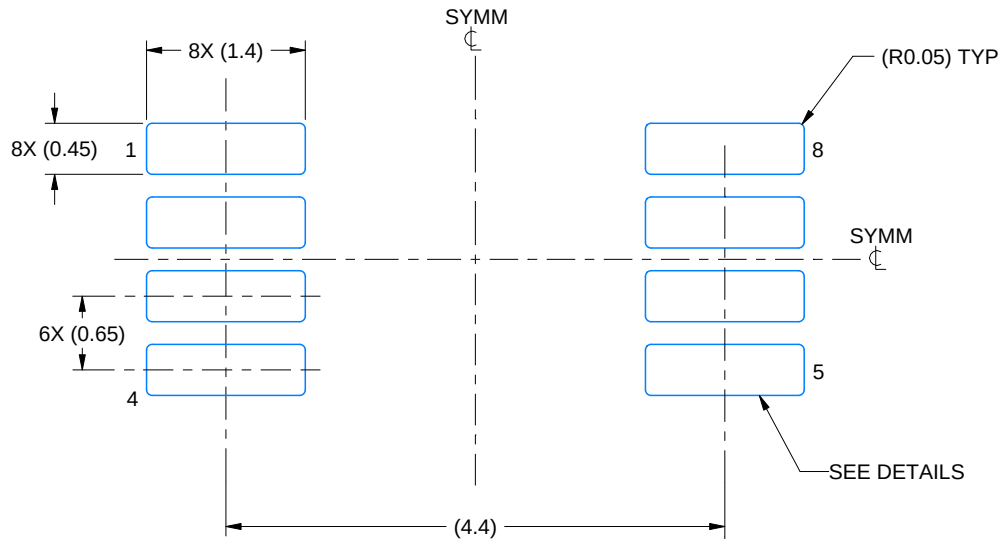
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

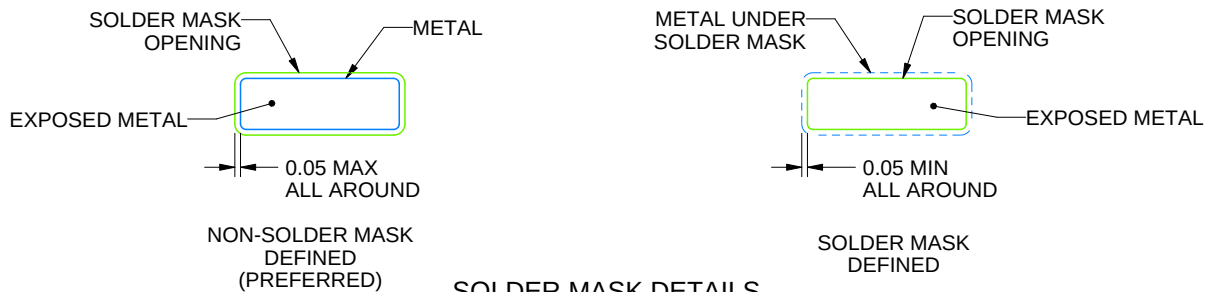
DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

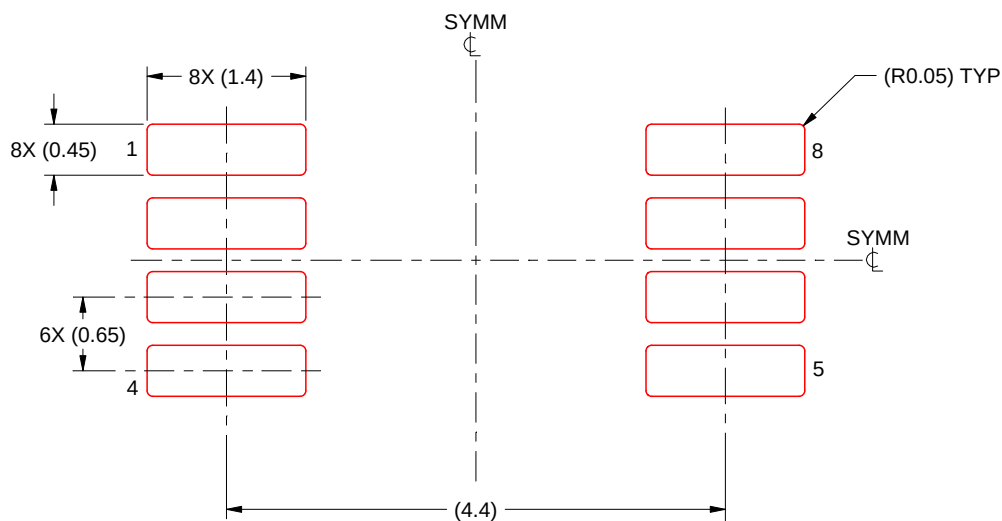
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

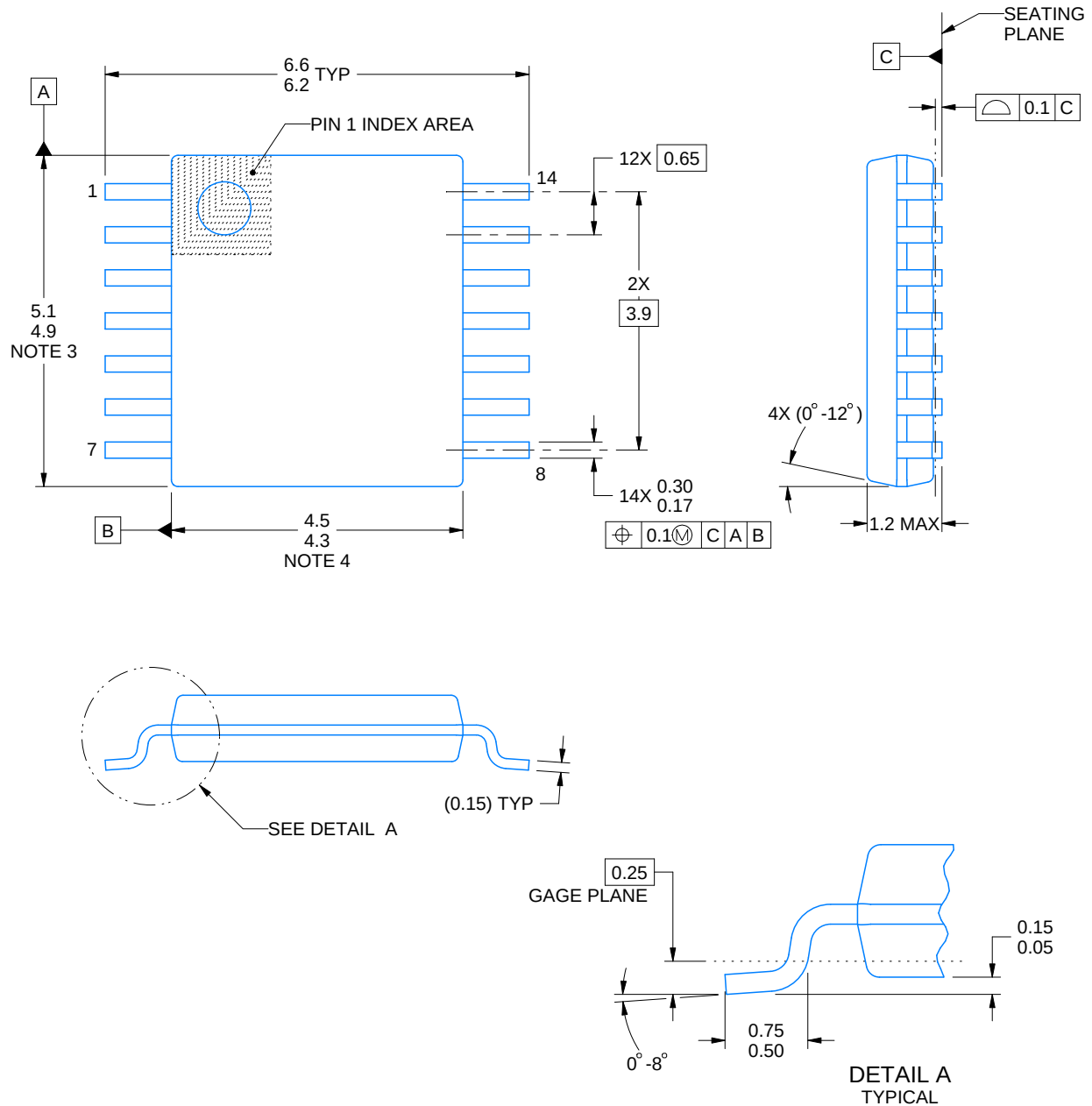
11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PW0014A

PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

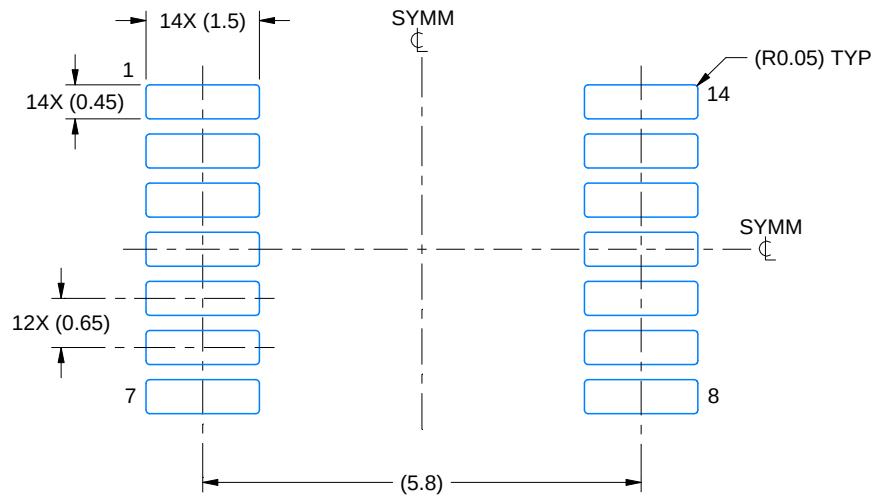
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

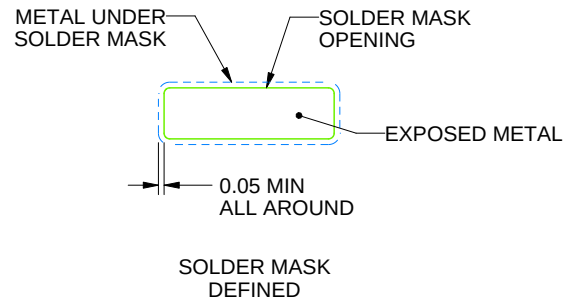
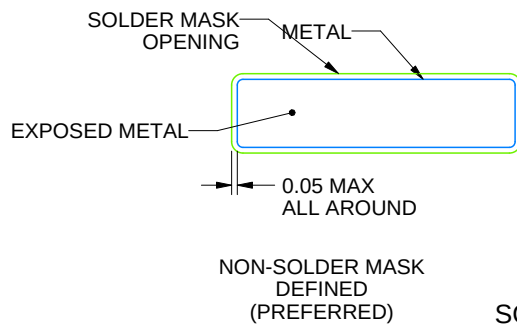
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

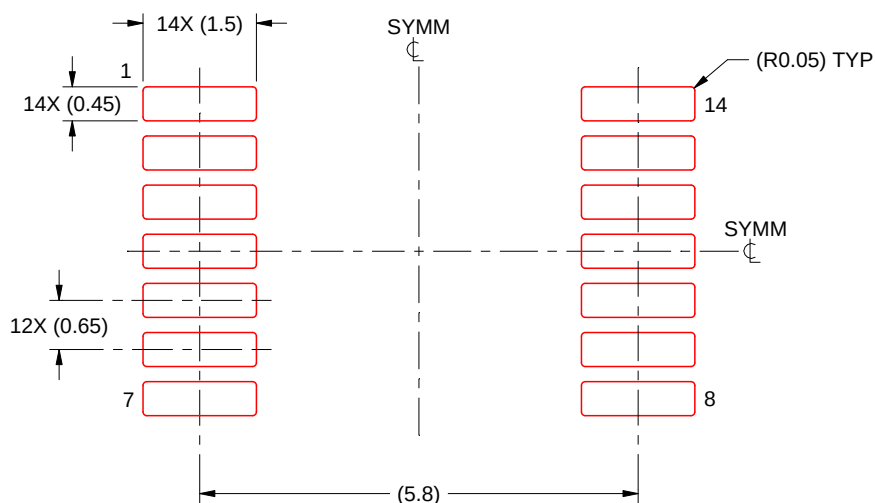
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月