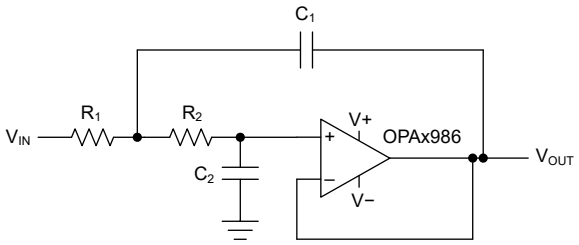
OPAx986 高電圧 (48V)、広帯域 (14MHz)、高精度 (1.2µV/°C)、CMOS オペアンプ

1 特長

- 広い電源電圧動作:
  - 4.5V～48V (±2.25V～±24V)
- レール ツー レール入出力
- 高精度と精密性:
  - 入力オフセット電圧:±50µV、最大値
  - 入力オフセット電圧ドリフト:±1.2µV/°C、最大値
  - 同相信号除去比:120dB、最小値
- 非常に小さいノイズ:
  - 入力電圧ノイズ密度:10kHz で 7.5nV/√Hz
  - 入力電流ノイズ密度:1kHz で 4fA/√Hz
- 高いゲイン帯域幅:G = 100V/V で 14MHz
- ユニティ ゲイン帯域幅:12MHz
- 高いスルー レート: 40V/µs
- 低消費電力:1.6mA
- MUX 対応入力
- 低い入力バイアス電流:±10pA、最大値
- 規定の広い温度範囲全体:
  - -40°C ～ +125°C

2 アプリケーション

- プログラマブル DC 電源
- AC/DC 電源ユニット (PSU) - 12V DC および 48V/54V DC 出力
- アナログ入力モジュール
- 光学モジュール
- 複数パラメータ患者モニタ



サレンキー型ローパス フィルタ

3 説明

OPA986 および OPA2986 (OPAx986) は、テキサス インスツルメンツの最新プロセス技術で使用された 48V 対応、低ノイズ、高精度、レール ツー レール CMOS オペアンプです。

OPAx986 は、より広い入出力ダイナミック レンジをサポートする次世代プラットフォームを実現します。これらのシステムは、シグナル インテグリティと精度の向上が役に立つことがあります。高い入力インピーダンス、レール ツー レール入力、低いノイズ、広い帯域幅を併せ持つこれらのデバイスは、広範なセンサと接続するデータ アクイジション システムに理想的です。これらのオペアンプのマルチプレクサ対応技術は、多重化アプリケーションでセトリング動作を改善できる堅牢な入力段を提供します。

OPAx986 は業界標準パッケージで供給され、既存のレガシー ソケットへのドロップイン アップグレードが可能です。また、これらのオペアンプは業界をリードする超小型パッケージで供給されており、スペースに制約のあるさまざまなアプリケーションに適しています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
OPA986	D (SOIC、8)(3)	4.90mm × 6.00mm
	DBV (SOT-23、5)(3)	2.90mm × 2.80mm
	DRL (SOT-23、5)(3)	1.60mm × 1.60mm
OPA2986	D (SOIC-8)(3)	4.90mm × 6.00mm
	DGK (VSSOP-8)(3)(4)	3.00mm × 4.90mm
	DSG (WSON)(3)	2.00mm × 2.00mm
OPA4986	D (SOIC-14)(3)	8.65mm × 6.00mm
	PW (TSSOP-14)(3)	5.00mm × 6.40mm

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。
(3) プレビュー情報 (量産データではありません)。
(4) サンプルが提供されています。

ADVANCE INFORMATION

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

ADVANCE INFORMATION

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....6
5.1 絶対最大定格.....6
5.2 ESD 定格.....6
5.3 推奨動作条件.....6
5.4 OPA986 の熱に関する情報.....7
5.5 OPA2986 の熱に関する情報.....7
5.6 OPA4986 の熱に関する情報.....7
5.7 電気的特性:V_S = 8V ～ 48V.....8
5.8 電気的特性:V_S = 4.5V ～ 8V.....10
6 詳細説明.....12
6.1 概要.....12
6.2 機能ブロック図.....12
6.3 機能説明.....13
6.4 デバイスの機能モード.....15
7 アプリケーションと実装.....16
7.1 使用上の注意.....16
7.2 代表的なアプリケーション.....16
7.3 電源に関する推奨事項.....20
7.4 レイアウト.....20
8 デバイスおよびドキュメントのサポート.....22
8.1 ドキュメントの更新通知を受け取る方法.....22
8.2 サポート・リソース.....22
8.3 商標.....22
8.4 静電気放電に関する注意事項.....22
8.5 用語集.....22
9 改訂履歴.....22
10 メカニカル、パッケージ、および注文情報.....22

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

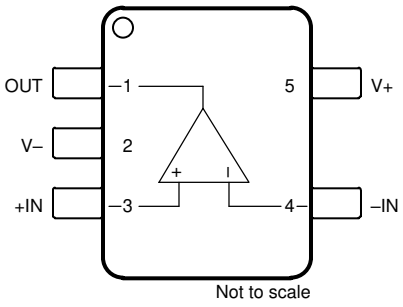


図 4-1. OPA986 DBV パッケージ、5 ピン SOT-23 (上面図)

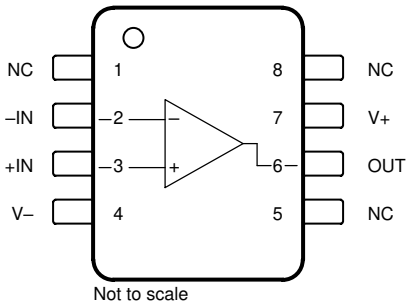


図 4-2. OPA986 D パッケージ、8 ピン SOIC (上面図)

表 4-1. ピン機能：OPA986

ピン		タイプ	説明
名称	番号		
+IN	3	入力	非反転入力
–IN	4	入力	反転入力
OUT	1	出力	出力
V+	5	電源	正 (最高) 電源
V-	2	電源	負 (最低) 電源

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

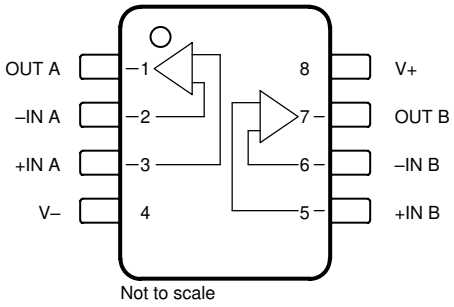


図 4-3. OPA2986 D (プレビュー) パッケージ、8 ピン SOIC および DGK (プレビュー) パッケージ、8 ピン VSSOP (上面図)

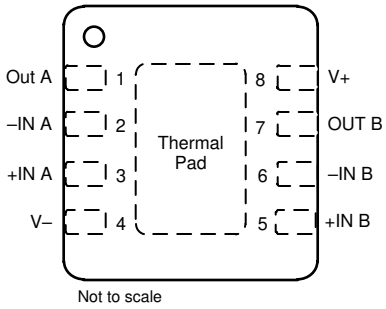


図 4-4. OPA2596 DSG (プレビュー) パッケージ、8 ピン WSON (上面図)

ADVANCE INFORMATION

表 4-2. ピン機能：OPA2986

ピン		タイプ	説明
名称	番号		
+IN A	3	入力	非反転入力、チャネル A
+IN B	5	入力	非反転入力、チャネル B
-IN A	2	入力	反転入力、チャネル A
-IN B	6	入力	反転入力、チャネル B
OUT A	1	出力	出力、チャネル A
OUT B	7	出力	出力、チャネル B
V+	8	電源	正 (最高) 電源
V-	4	電源	負 (最低) 電源
サーマル パッド	-	-	サーマル パッドを負電源 (V-) に接続します。詳細については、「露出サーマル パッド付きパッケージ」も参照してください

Copyright © 2026 Texas Instruments Incorporated

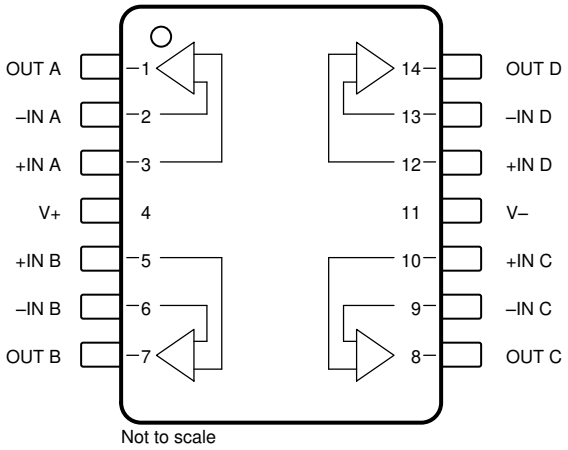


図 4-5. OPA4986：D パッケージ、14 ピン SOIC および PW パッケージ、14 ピン TSSOP (上面図)

表 4-3. ピン機能：OPA4986

ピン		タイプ	説明
名称	番号		
-IN A	2	入力	反転入力、チャネル A
-IN B	6	入力	反転入力、チャネル B
–IN C	9	入力	反転入力、チャネル C
–IN D	13	入力	反転入力、チャネル D
+IN A	3	入力	非反転入力、チャネル A
+IN B	5	入力	非反転入力、チャネル B
+IN C	10	入力	非反転入力、チャネル C
+IN D	12	入力	非反転入力、チャネル D
OUT A	1	出力	出力チャネル A
OUT B	7	出力	出力チャネル B
OUT C	8	出力	出力チャネル C
OUT D	14	出力	出力チャネル D
V-	11	電源	負電源
V+	4	電源	正電源

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
電源電圧、V_S = (V+) - (V-)				60	V
信号入力ピン	電圧	同相	(V–) – 0.5	(V+) + 0.5	V
		差動		(V+) - (V-) + 0.2	
	電流			±10	mA
出力短絡 (2)			連続	連続	連続
温度	動作		-40	150	°C
	接合部			150	
	保存、T_{stg}		-65	150	

(1) 「絶対最大定格」で示す値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはストレスの定格のみについてであり、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示す値を超える他のいかなる条件でも、このデバイスが正しく動作することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) グランドへの短絡、パッケージあたり 1 台のアンプ。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±4000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±250	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

	最小値	公称値	最大値	単位
電源電圧、V_S = (V+) - (V-)	4.5 (±2.25)		48 (±24)	V
規定温度	-40		125	°C

Copyright © 2026 Texas Instruments Incorporated

5.4 OPA986 の熱に関する情報

熱評価基準(1)		OPA986		単位
		D (SOIC)	DBV (SOT)	
		8 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	115.8	158.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	60.1	60.7	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	56.4	44.8	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	12.8	1.6	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	55.9	4.2	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。SPRA953

5.5 OPA2986 の熱に関する情報

熱評価基準(1)		OPA2986			単位
		D (SOIC)	DGK (VSSOP)	DSG (SON)	
		8 ピン	8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	107.9	107.9	158	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	53.9	53.9	48.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	48.9	48.9	78.7	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	6.6	6.6	3.9	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	48.3	48.3	77.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。SPRA953

5.6 OPA4986 の熱に関する情報

熱評価基準(1)		OPA4986		単位
		D (SOIC)	PW (TSSOP)	
		14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	86.4	33.0	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	46.3	25.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	41.0	11.6	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	11.3	0.2	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	40.7	11.5	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	2.6	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。SPRA953

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

5.7 電気的特性：V_S = 8V ～ 48V

T_A = +25°C、V_S = 8V ～ 48V、V_{CM} = V_{OUT} = V_S/2、R_L = 10kΩ を V_S/2 に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V_{OS}	入力オフセット電圧				±10	±50	μV
		T_A = –40°C ～ +125°C				±170	
		V_{CM} = (V+) - 1V			±30	±150	μV
			T_A = –40°C ～ +125°C			±1050	
		(V+) - 3.0V < V_{CM} < (V+) - 1V		「代表的特性」を参照			
dV_{OS}/dT	入力オフセット電圧ドリフト	T_A = –40°C ～ +125°C			±0.2	±1.2	μV/°C
			V_{CM} = (V+) - 1V			±9	
PSRR	電源除去比				±0.3	±1.0	μV/V
		T_A = –40°C ～ +125°C				±1.0	
入力バイアス電流							
I_B	入力バイアス電流				±2	±10	pA
		T_A = –40°C ～ +125°C				±1	nA
I_{OS}	入力オフセット電流				±1	±10	pA
		T_A = –40°C ～ +125°C				1	nA
ノイズ							
E_n	入力電圧ノイズ	f = 0.1Hz～10Hz	(V-) < V_{CM} < (V+) - 3V		4		μV_{PP}
			(V+) – 1V < V_{CM} < (V+)		9		
e_n	入力電圧ノイズ密度	(V-) < V_{CM} < (V+) - 3V	f = 1kHz		14		nV/√Hz
			f = 10kHz		7.5		
		(V+) – 1V < V_{CM} < (V+)	f = 1kHz		26		
			f = 10kHz		14		
i_n	入力電流ノイズ密度	f = 1kHz			4		fA/√Hz
入力電圧							
V_{CM}	同相電圧			V-		V+	V
CMRR	同相信号除去比	V_S = 48V、(V–) + 0.1V < V_{CM} < (V+) – 3V		120	140		dB
			T_A = –40°C ～ +125°C	114			
		V_S = 48V、(V+) – 1V < V_{CM} < (V+)		100	120		
			T_A = –40°C ～ +125°C	96			
入力インピーダンス							
Z_{ID}	差動				100 || 未定		MΩ || pF
Z_{IC}	同相				10 || 未定		TΩ || pF
開ループ ゲイン							
A_{OL}	開ループ電圧ゲイン	V_S = 48V、(V–) + 0.4V < V_O < (V+) – 0.4V、R_L = 10kΩ		124	134		dB
			T_A = –40°C ～ +125°C	120			
		V_S = 48V、(V–) + 1.5V < V_O < (V+) – 1.5V、R_L = 2kΩ		120	130		
			T_A = –40°C ～ +125°C	110			

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

5.7 電気的特性：V_S = 8V ～ 48V (続き)

T_A = +25°C、V_S = 8V ～ 48V、V_{CM} = V_{OUT} = V_S/2、R_L = 10kΩ を V_S/2 に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
周波数応答							
GBW	ゲイン帯域幅	G = 1V/V			12		MHz
		G = 100V/V			14		
		T_A = –40°C ～ +125°C			10		
SR	スルーレート	V_S = 48V、G = 1、10V ステップ			40		V/µs
出力							
V_O	電圧出力スイング (レールから)	正電圧レール	無負荷			25	mV
			R_L = 10kΩ			150	
			R_L = 2kΩ			800	
		負電圧レール	無負荷			10	
			R_L = 10kΩ			150	
			R_L = 2kΩ			800	
I_{SC}	短絡電流	シンク			50		mA
		ソース			50		
C_L	容量性負荷駆動能力				「代表的特性」を参照		
I_Q	アンプごとの静止電流	I_O = 0A			1.6	1.8	mA
			T_A = –40°C ～ +125°C			1.9	
電源							
温度							
	過熱保護				180		°C
	熱ヒステリシス				20		°C

ADVANCE INFORMATION

5.8 電気的特性：V_S = 4.5V ～ 8V

T_A = +25°C、V_S = 4.5V ～ 8V、V_{CM} = V_{OUT} = V_S/2、R_L = 10kΩ を V_S/2 に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V_{OS}	入力オフセット電圧	V_{CM} = (V+) – 3V			±10	±50	μV
			T_A = –40°C ～ +125°C			±170	
		V_{CM} = (V+) - 1V			±30	±150	
			T_A = –40°C ～ +125°C			±1050	
		(V+) - 3.0V < V_{CM} < (V+) - 1V			*「代表的特性」を参照*		
dV_{OS}/dT	入力オフセット電圧ドリフト	T_A = –40°C ～ +125°C	V_{CM} = (V+) - 3V		±0.2	±1.2	μV/°C
			V_{CM} = (V+) - 1V			±9	
PSRR	電源除去比	V_{CM} = (V+) - 3V			±0.3	±1.0	μV/V
		T_A = –40°C ～ +125°C				±1.0	
入力バイアス電流							
I_B	入力バイアス電流				±2	±10	pA
		T_A = –40°C ～ +125°C				±1	nA
I_{OS}	入力オフセット電流				±2	±10	pA
		T_A = –40°C ～ +125°C				±1	nA
ノイズ							
E_n	入力電圧ノイズ	f = 0.1Hz～10Hz	(V-) < V_{CM} < (V+) - 3V		4		μV_{PP}
			(V+) – 1V < V_{CM} < (V+)		9		
e_n	入力電圧ノイズ密度	(V-) < V_{CM} < (V+) - 3V	f = 1kHz		14		nV/√Hz
			f = 10kHz		7.5		
		(V+) – 1V < V_{CM} < (V+)	f = 1kHz		26		
			f = 10kHz		14		
i_n	入力電流ノイズ密度	f = 1kHz			4		fA/√Hz
入力電圧							
V_{CM}	同相電圧			V-		V+	V
CMRR	同相信号除去比	(V-) < V_{CM} < (V+) - 3V		120	140		dB
		(V–) < V_{CM} < (V+) – 3V、T_A = –40°C ～ +125°C		114			
		(V+) – 1V < V_{CM} < (V+)		100	120		
			T_A = –40°C ～ +125°C	94			
入力インピーダンス							
Z_{ID}	差動				100 || 未定		MΩ || pF
Z_{IC}	同相				10 || 未定		TΩ || pF

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

5.8 電気的特性：V_S = 4.5V ～ 8V (続き)

T_A = +25°C、V_S = 4.5V ～ 8V、V_{CM} = V_{OUT} = V_S/2、R_L = 10kΩ を V_S/2 に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
開ループ ゲイン							
A_{OL}	開ループ電圧ゲイン	V_S = 5V、R_L = 10kΩ (V–) + 0.2V < V_O < (V+) – 0.2V		124	134		dB
			T_A = –40°C ～ +125°C	118			
		V_S = 5V、R_L = 2kΩ (V–) + 0.8V < V_O < (V+) – 0.8V		110	120		dB
			T_A = –40°C ～ +125°C	104			dB
周波数応答							
GBW	ゲイン帯域幅	G = 1V/V			12		MHz
		G = 100V/V			14		
SR	スルーレート	V_S = 5V、G = 1、1V ステップ			40		V/µs
出力							
V_O	電圧出力スイング (レールから)	正電圧レール	無負荷			15	mV
			R_L = 10kΩ			100	
			R_L = 2kΩ			500	
		負電圧レール	無負荷			15	
			R_L = 10kΩ			100	
			R_L = 2kΩ			500	
I_{SC}	短絡電流	シンク			±50		mA
		ソース			±50		
電源							
I_Q	アンプごとの静止電流	I_O = 0A			1.6	1.8	mA
			T_A = –40°C ～ +125°C			1.9	
温度							

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

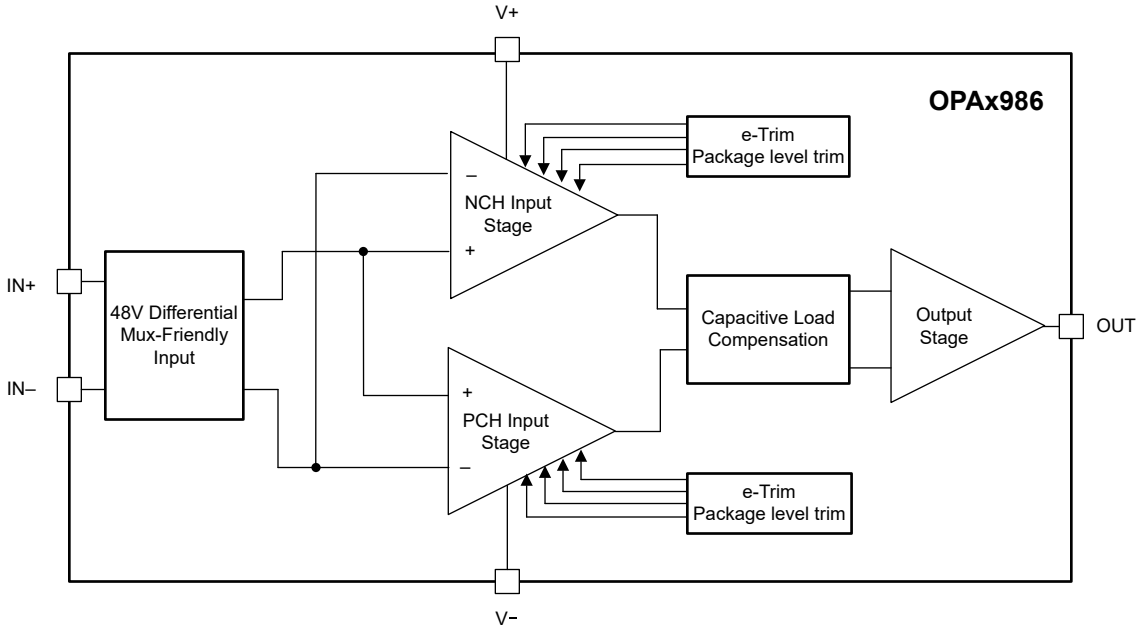
6 詳細説明

6.1 概要

OPAx986 は、広帯域幅 (14MHz)、高スルーレート (40V/µs)、高精度 (1.2µV/°C、最大値) 48V オペアンプです。これらのオペアンプは、独自のパッケージ後オフセット トリミング技術である e-Trim を採用して設計されており、広範に及ぶ動作条件下で非常に低いオフセットを実現しています。レール ツー レール入出力動作、低入力バイアス電流、超小型パッケージを実現する最新の CMOS 技術を採用しています。

OPAx986 は、優れた dc 性能に加えて、卓越した ac 性能を実現します。OPAx986 の長所には、14MHz の帯域幅、40V/µs のスルーレート、7.5nV/√Hz の広帯域電圧ノイズ、4fA/√Hz の電流ノイズも含まれます。ac および dc 性能の組み合わせにより、これらのアンプをさまざまなアプリケーションで簡単に設計できます。OPAx986 は、高性能アクティブ フィルタ、トランスインピーダンス アンプ (TIA)、高精度の電流モニタ、またはハイ インピーダンスのセンサ インターフェイス アンプの設計に最適です。

6.2 機能ブロック図



ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6.3 機能説明

6.3.1 MUX 対応入力

OPAx986 は、入力保護ダイオードが不要な独自の入力アーキテクチャを採用していますが、過渡条件下でも確実に入力を保護します。図 6-1 に示す従来型入力ダイオード保護方式は、高速な過渡ステップ応答によって活性化される可能性があり、AC 経路のせいで信号歪みとセトリング時間遅延を引き起こす可能性があります (図 6-2 を参照)。低ゲイン回路の場合、これらの高速ランプ入力信号は、入力電流を増やすバック ツー バック ダイオードを順バイアスし、セトリング時間が延びます。

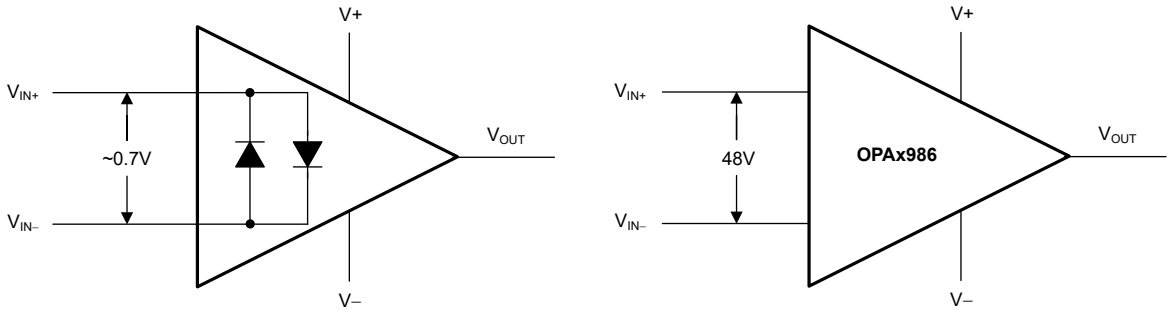


図 6-1. OPAx986 の入力保護機能は、差動入力能力を制限しない

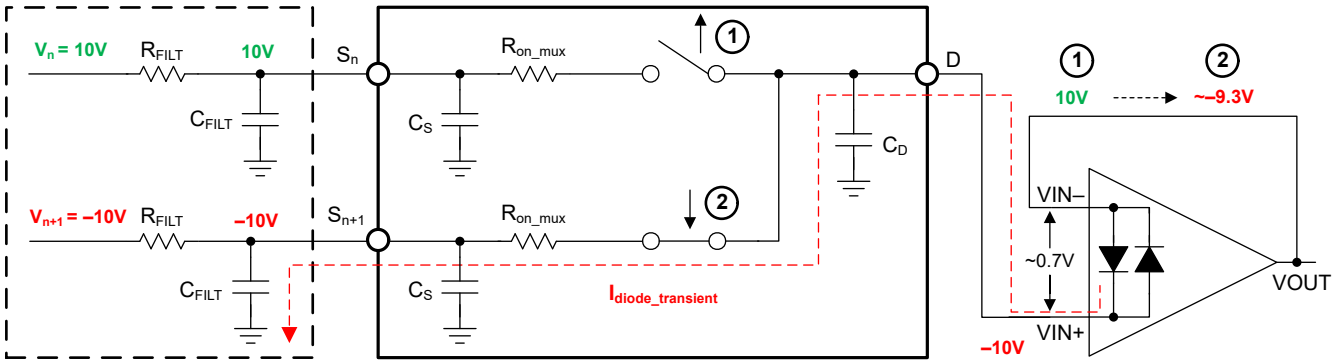


図 6-2. バック ツー バック ダイオードではセトリングの問題が発生する

OPAx986 は、高電圧アプリケーション向けに真の高インピーダンス差動入力を特徴としています。この特許取得済みの入力保護アーキテクチャは、信号歪みの増加やセトリング タイムの遅延を引き起こさないため、このデバイスはマルチチャネルの高スイッチ入力アプリケーションに最適な選択肢となります。OPAx986 は最大 48V の差動スイング (オペアンプの反転ピンと非反転ピンとの間の電圧) を許容できるため、コンパレータに、または高速ランプまたは切り替えられた入力信号を使用する優れた選択肢となります。

ADVANCE INFORMATION

6.3.2 過熱保護

OPAx986 には過熱保護機能があり、自己発熱による損傷を低減できます。接合部温度 (T_J) が約 175ºC に達すると、オペアンプの出力段は無効化されます。この過熱保護機能は、出力段の温度を監視し、オペアンプの出力駆動をオフにすることで機能します。過熱保護機能により、出力が強制的に高インピーダンス状態になります。OPAx986 は、熱ヒステリシスが約 20°C で設計されており、出力段の温度が約 155°C を下回ると通常動作に戻ります。

この過熱保護機能の目的は、このデバイスが絶対最大定格を超えないようにすることではなく、このデバイスに過剰な熱的過負荷が掛からないようにすることです。

6.3.3 過負荷回復

過負荷からの回復は、オペアンプの出力が飽和状態から線形状態に回復するために必要な時間として定義されます。高い入力電圧または高いゲインのいずれかが原因で、出力電圧が定格動作電圧を超えると、オペアンプの出力デバイスは飽和領域に入ります。デバイスが飽和領域に入った後、出力デバイスのチャージ キャリアは線形状態に回復するための時間を必要とします。チャージ キャリアが線形状態に戻ると、デバイスは指定されたスルーレートでスルーを開始します。したがって、過負荷状態の場合の伝搬遅延は、過負荷復帰時間とスルー時間の合計になります。

6.3.4 スルーレート

スルーレートは、時間に対する出力電圧変化の最大変化率を測定した値であり、一般に V/マイクロ秒 (V/µs) 単位で表されます。入力に大きい急速に変化する信号が印加されると、オペアンプがスルー状態に移行する可能性があります。スルーイングの間、オペアンプは開ループ状態に入り、スルーに起因する大きな歪みが出力信号に見られます。

式 1 は、オペアンプのスルーレート SR が一般に入力段の飽和電流 I_{TAIL}、および補償コンデンサ C_C によって決定されることを示しています。

$$SR = \frac{I_{TAIL}}{C_C} \tag{1}$$

スルーレートは通常、オペアンプの静止電流 (I_Q) によってスケーリングされます。スルーレートの制限を克服する方法はいくつか存在します。たとえば、逆補償とも呼ばれる C_C を小さくすると、安定性が犠牲になりスルーレートが向上します。不完全補償型オペアンプには、最小ゲインが必要であり、ユニティゲインで安定ではありません。より一般的に見た最新のオペアンプには、スルーレートを改善するため、I_{SAT} を増加させるスルーブースト技術が搭載されています。スルーブースト回路の実装方法は異なりますが、設計者は通常、同等の非昇圧オペアンプに比べて約 4 倍の改善を期待することができます。スルー ブーストには欠点もあるため、多くの場合、消費電流の増加や予期しない歪みが明らかになります。

OPAx986 は、独自の設計回路を使用して、スルー ブースト回路を使用せずに非常に高いスルーレートと I_Q 比を実現します。OPAx986 はユニティ ゲインで安定しています。スルーレートと歪みの詳細については、『フルパワー帯域幅とオペアンプ歪み』アプリケーション ノートを参照してください。

表 6-1 に、さまざまなオペアンプのスルーレートと静止電流の比較を示します。

表 6-1. オペアンプのスルーレート

部品番号	スルー レート	静止時電流	スルー ブースト
OPAx986	40V/µs	1.8mA	無
LMP7707	5.9V/µs	1.1mA	無、非補償型
LMP7701	1.1V/µs	1.1mA	無
OPAx192	20V/µs	1mA	有

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6.3.5 フルパワー帯域幅

フルパワー帯域幅の曲線は、数十年にわたってデータシートで重要な役割を果たしてきました。オペアンプのフルパワー帯域幅から、特定の振幅および周波数の信号でスルーに起因する歪みがどこに設計者が予想できるかをいくつか示します。フルパワー帯域幅曲線は、式 2 を使用して生成されます。

$$FPBW = \frac{SR}{2\pi V_{OUT_MAX}} \quad (2)$$

OPAx986 のフルパワー帯域幅を、図 6-3 に示します。この曲線は、歪み性能の懸念がほとんどなく、高電圧かつ高周波の出力スイングを達成する必要がある設計者に最適なリファレンスになります。残念ながら、この曲線は曲線上の任意の点での真の歪みを示すものではありません。フルパワー帯域幅の曲線は、結局のところ、出力が最大変化率に近づくにつれて理論値とスルーに起因する歪みのみが徐々に現れます。曲線の解釈は、最新のオペアンプではこれまで一般的に使用されていた異なるスルー ブースト回路を使用することで、さらに複雑になります。また、スルーに起因する歪みは、オペアンプ歪みのいくつかの原因の 1 つにすぎません。したがって、曲線はまともな出発点ですが、歪み性能の信頼できるソースではありません。

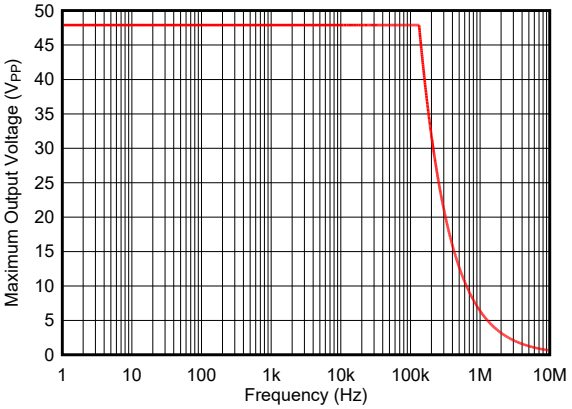


図 6-3. フルパワー帯域幅

6.3.6 e-Trim™

OPAx986 オペアンプは、テキサス インスツルメンツ (TI) の e-trim™ 技術を用いて製造されています。各アンプの入力オフセット電圧と入力オフセット電圧ドリフトは製造時に調整されるため、入力オフセット電圧と入力オフセット電圧ドリフトに関連する誤差を最小限に抑えることができます。e-trim 技術は、最終テスト中にデバイス内部のパラメータを調整するための TI 独自の技術です。このトリミング方式により、他のトリムされたオペアンプによってパッケージ ストレスに関連するオフセット電圧の影響を回避できます。入力オフセット電圧ドリフトを調整すると、各デバイスの系統的 (線形的) ドリフト誤差がゼロに調整されます。入力オフセットのドリフトに関連する残りの誤差は最小限であり、これは非線形の誤差発生源のみによるものです。e-Trim™ 技術の詳細については、『オフセット補正方式：レーザー トリミング、e-Trim™、およびチョッパ』アプリケーション概要を参照してください。

6.4 デバイスの機能モード

OPAx986 は単一機能モードがあり、電源電圧が 4.5V (±2.25V) から 48V (±42.5V) の範囲内で動作します。

ADVANCE INFORMATION

7 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

OPAx986 は、広帯域幅 (14MHz)、高スルーレート (40V/µs)、高精度 (1.2µV/°C) オペアンプです。これらのオペアンプは最新の CMOS プロセス技術で設計されており、e-Trim™、マルチプレクサ対応、新しい補償回路など、非常に高い dc および ac 性能を実現するため、さまざまな独自の設計手法を搭載しています。

7.2 代表的なアプリケーション

7.2.1 2 次ローパス フィルタ

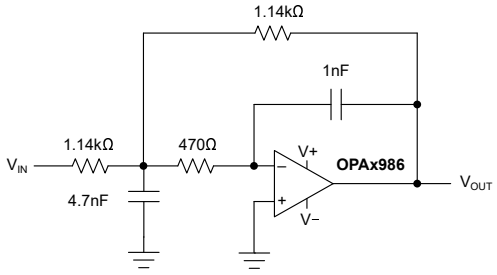


図 7-1. 2 次、マルチ フィードバック ベッセル応答ローパス フィルタ

7.2.1.1 設計要件

ローパス フィルタは、ほぼすべてのアナログ シグナル チェーンの設計で重要な回路です。ローパス フィルタは、目的の信号周波数成分を、ノイズやエイリアスされた信号といった望ましくない高周波成分から分離します。要求の厳しい一部のアプリケーションでは、–40dB/dec 以上の急なロールオフが必要です。

表 7-1. 設計パラメータ

パラメータ	値
電源電圧	±24V
応答	ベッセル
-3dB のカットオフ周波数	100kHz

7.2.1.2 詳細な設計手順

OPAx986 は、アクティブ フィルタ設計に最適です。OPAx986 には、十分なゲイン帯域幅とスルーレート、低ノイズ、レール ツー レール入力、低い入力バイアス電流、低い入力オフセット電圧など、既存のアンプに比べて、いくつかの利点があります。

他のトポロジに比べて高周波性能を向上させるには、マルチ フィードバック フィルタ (MFB) トポロジを使用します。選択肢としてさまざまなフィルタ応答オプションがありますが、ここでは位相直線性を維持するためベッセル応答を選択しています。MFB トポロジでは、–40dB/dec のロールオフと反転ゲインを使用します。伝達関数は式 3 で与えられます。

$$H\left(s\right) = -\frac{R_2}{R_1} \times \left(\frac{1}{s^2\left(R_2C_1R_3C_2\right) + s\left(R_2C_2 + R_3C_2 + \frac{R_2R_3C_2}{R_1}\right) + 1} \right) \tag{3}$$

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

R_2 と R_1 の比率によってフィルタの反転ゲインが決まります。周波数応答は、抵抗とフィルタ内のコンデンサの組み合わせによって決まります。式 4 で計算される伝達関数を標準形式に変換することで、フィルタ応答の分析がより容易になります。

$$H\left(s\right) = \left(\frac{K\omega_0^2}{s^2 + s\frac{\omega_0}{Q} + \omega_0^2}\right) \tag{4}$$

伝達関数の標準形式から、次の式が得られます。

$$K = -\frac{R_2}{R_1} \tag{5}$$

$$Q = \frac{\sqrt{R_2 C_1 R_3 C_2}}{R_2 C_2 + R_3 C_2 + \frac{R_2 R_3 C_2}{R_1}} \tag{6}$$

$$\omega_0 = \frac{1}{\sqrt{R_2 C_1 R_3 C_2}} \tag{7}$$

最善のアプローチは、伝達関数のルートが実際の抵抗値を得るように、コンデンサの値を選択することです。式 5、式 6、式 7、および二次方程式の解の公式を用いると、C_1 に関する不等式を導出できます。C_2 に標準コンデンサ値を選択すると、コンデンサ C_1 は 式 8 を使用して計算されます。

$$C_1 \geq C_2 \times 4Q^2\left(1 + K\right) \tag{8}$$

C_2 を 1nF に設定することは、C_1 が ≥ 2.66nF である必要があることを意味します。C_2 には標準値 4.7nF のコンデンサが選択されます。2 次ベッセル フィルタの応答は、品質係数 (Q) が 0.577 で達成されていることを思い出してください。C_1、C_2、Q、K が固定されている場合、抵抗 R_2 は 式 9 を用いて求めることができます。

$$R_2 = \frac{1}{4\pi f_c Q C_2 (1 + K)} \times \left(1 + \sqrt{1 - \frac{4C_2 Q^2 (1 + K)}{C_1}}\right) \tag{9}$$

既知の値を 式 9 に代入すると、抵抗値は 1.143kΩ となります。標準値 1.14kΩ が選択されます。反転ゲイン 1 の場合、$R_1 = R_2$ であることに注意します。R_3 を求めるには、式 7 と前の手順で得られた部品の値を使用します。R_3 の計算値は 471Ω であるため、標準値が 470Ω の抵抗を使用します。

次に、TI の TINA-Spice を使用して回路を検証します。ゲインと過渡応答をそれぞれ 図 7-2 および 図 7-3 に示します。カットオフ周波数は約 100.3kHz と計算された部品の値によって、シミュレーションした曲線とよく一致しています。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.2.1.3 アプリケーション曲線

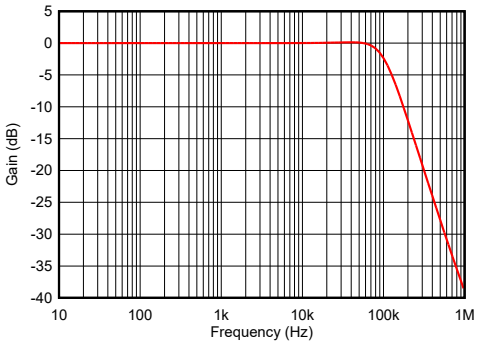


図 7-2. 全周波数帯域ゲイン応答

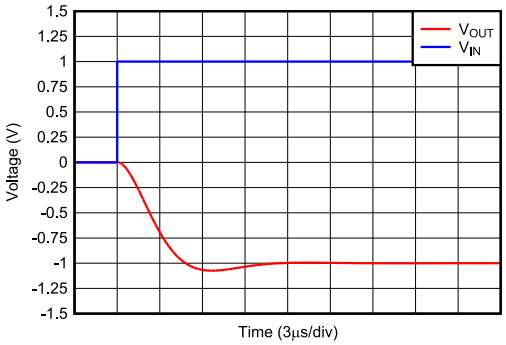


図 7-3. 過渡応答

7.2.2 ハイサイド電流センス

OPAx986 は、高電圧電流センスの測定が可能です。OPAx986 を使用すると、48V のハイサイド電圧測定を簡単に実装できます。この電圧能力は、検出回路のゲインとアンプの入力同相電圧範囲に比例します。図 7-4 に、36V バッテリのハイサイド電流測定用に構成された OPA986 と、3V のフルスケール出力を生成するための 40V/V のゲインを示します。この設計では、高精度アンプのゲイン ステージは不要です。

負荷に関連する誤差を避けるため、入力抵抗は十分に大きくします。OPAx986 は入力バイアス電流が低いため、他のパワー・アンプと比較して大きな抵抗を使用でき、このアプリケーションの総合誤差に大きく寄与しません。この設計に使用する抵抗を選択する際には、入力バイアス電流、熱ノイズ、入力同相範囲について特別な考慮が保証されています。

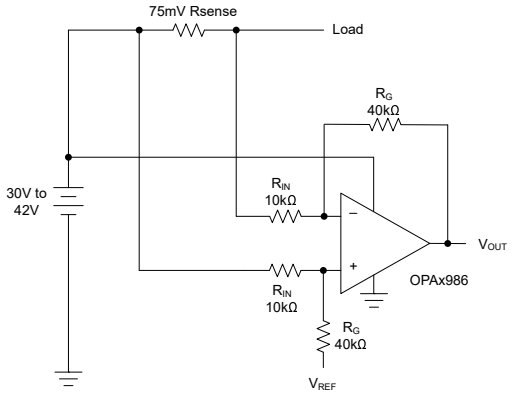


図 7-4. 36V バッテリ ハイサイド電流センス

すぐに使用できるパッケージで高い同相信号除去比 (CMRR) を実現するため、RES21A マッチング抵抗ペアを使用することを検討してください。

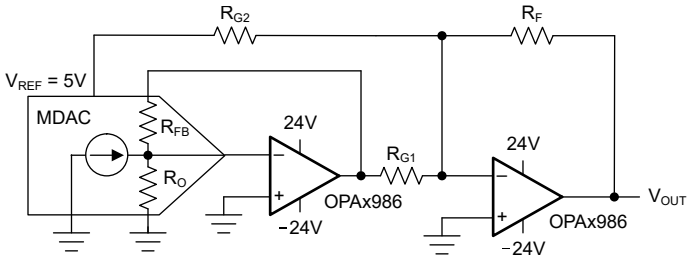
7.2.3 MDAC 出力ゲインおよびバッファ

D/A コンバータ (DAC) は、さまざまな電子システムで使用されています。乗算型 DAC や MDAC などの特定の DAC アーキテクチャは、多くの場合、出力電流を電圧に変換するアンプを必要とします。基本的に、アンプはトランスインピーダンス アンプとして接続されており、追加の電流が流れると MDAC の精度が低下します。誤差バジェットを小さくするには、入力バイアス電流を小さくするアンプが重要です。MDAC のもう 1 つの課題は、特定の出力コードによって出力インピーダンスが変化すること、アンプのノイズ ゲインが大きくなることです。高いノイズ ゲインにより、オペアンプの使用可能な帯域幅が低減されるだけでなく、オペアンプの入力オフセット電圧誤差も増幅されます。十分な帯域幅を持つ高精度オペアンプにより、MDAC の規定性能を維持できます。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

OPAx986 は、dc と ac 両方の性能特性を兼ね備えているため、優れた選択肢です。帯域幅とスルーレートが広いため、セトリングが高速化し、入力バイアス電流と入力オフセットのドリフトが小さいため、さまざまな動作条件で高い精度が維持されます。OPAx986 のもう 1 つの利点は、48V (±24V) 動作能力であり、他の従来型のアンプに比べて広い出力電圧を生成できることです。



ADVANCE INFORMATION

7.3 電源に関する推奨事項

OPAx986 は、最大 48V (±24V)、わずか 4.5V (±2.25V) の電源で動作し、優れた性能で動作します。ほとんどの動作は動作電圧範囲全体にわたって変化しませんが、「代表的特性」セクションに、動作電圧によって変化するパラメータが示されています。電源バイパス コンデンサには、最低でも 0.1µF の容量を推奨します。OPAx986 には、非対称電源で電力を供給することにより、正と負の出力電圧スイングを等しくする必要がないアプリケーションでの消費電力を最適化できます。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を使用してください。

- ノイズは、オペアンプの電源ピンや回路全体を通じてアナログ回路に伝播する可能性があります。各電源ピンとグランド間に、低 ESR の 0.1µF セラミックバイパスコンデンサを接続します。これらのコンデンサは、本デバイスのできるだけ近くに配置します。単一電源アプリケーションでは、V+ からグランドへのバイパス コンデンサ 1 つで十分です。
- 回路のアナログ部分とデジタル部分のグランドを分離することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランド プレーン専用です。グランド プレーンは熱の分散に役立つとともに、EMI ノイズを拾う可能性を低減します。グランド電流の流れに注意して、デジタル グランドとアナログ グランドを物理的に分離します。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの配線を分離して配置できない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに良い結果が得られます。
- 外付け部品は、可能な限りデバイスに近く配置します。
- 入力配線は、できる限り短くしてください。入力配線は、回路の中で最も影響を受けやすい部分であることを常に意識してください。
- 重要な配線の周囲では、駆動型の低インピーダンス ガード リングを配置することを検討してください。ガード リングを使用すると、付近のさまざまな電位にある配線からのリーク電流を大幅に低減できます。
- 最高の性能を得るために、基板組み立ての後で PCB をクリーニングします。
- 高精度の集積回路では、プラスチック パッケージへの水分の侵入により性能が変化する場合があります。PCB を水で洗浄した後で、PCB アセンブリをベーキングして、洗浄中にデバイスのパッケージに取り込まれた水分を除去します。ほとんどの場合、洗浄後に 85℃で 30 分間の低温ベーキングを行えば十分です。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.4.2 レイアウト例

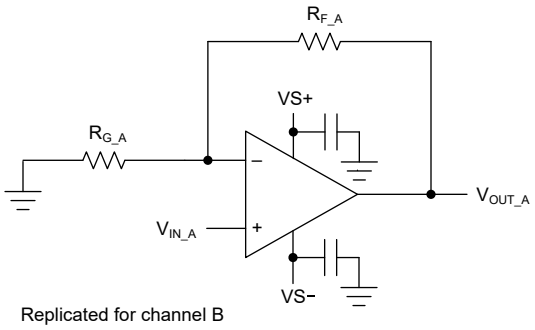


図 7-5. 非反転構成の回路図

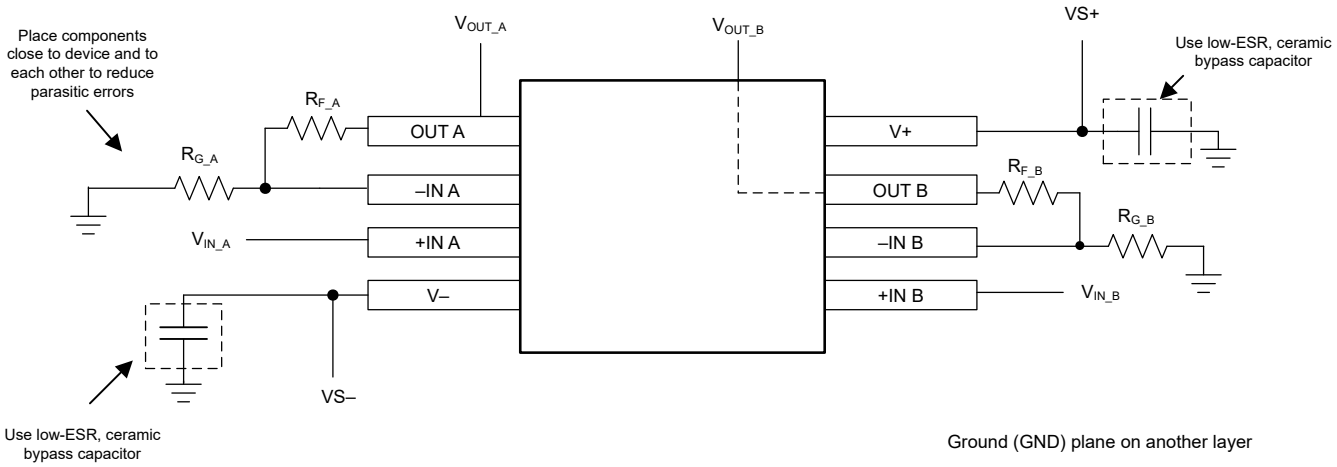


図 7-6. VSSOP-8 パッケージの非反転構成の基板レイアウト

ADVANCE INFORMATION

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.3 商標

e-Trim™, e-trim™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
October 2026	*	初版リリース

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
POPA2986DGKR	Active	Preproduction	VSSOP (DGK) | 8	3500 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

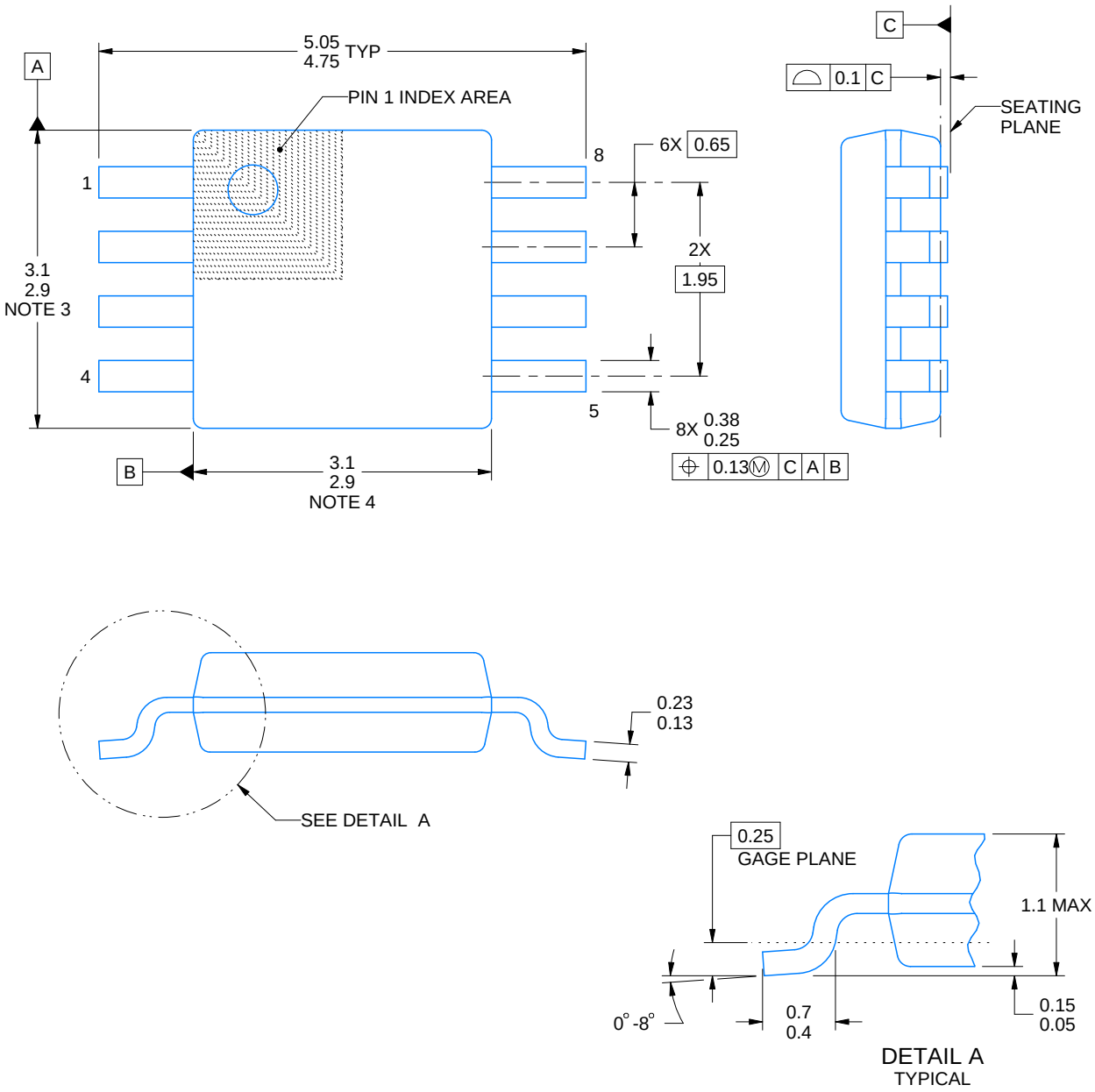
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

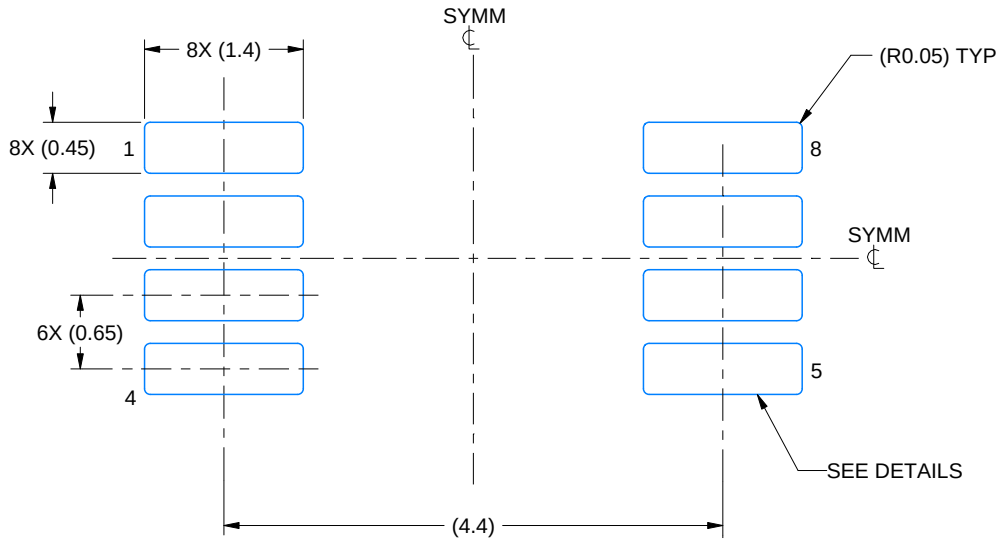
SMALL OUTLINE PACKAGE



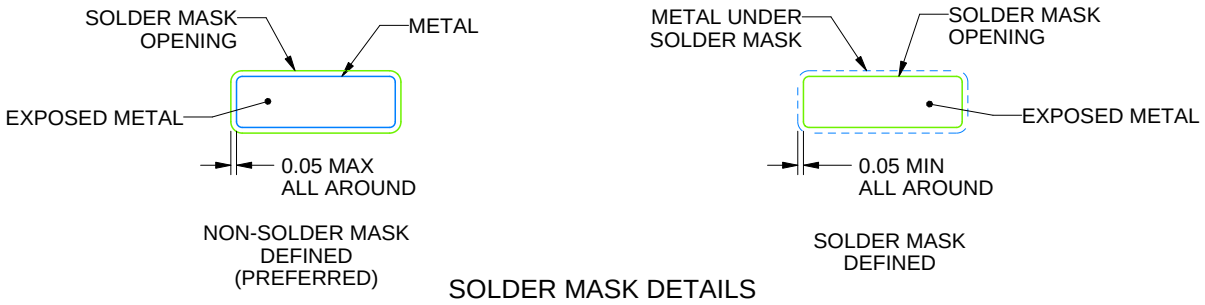
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

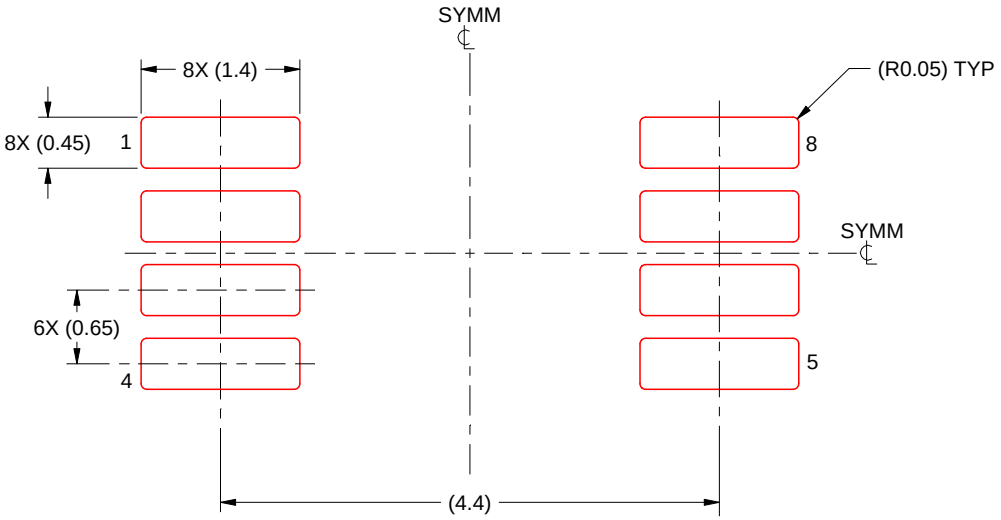


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月