

OPAx30x 低ノイズ、高速セトリング、150MHz CMOS オペアンプ

1 特長

- 広い帯域幅: 150MHz
- 16 ビット セトリング (150ns)
- 低ノイズ: 3nV/√Hz
- 低歪: 0.003%
- 低消費電力: 5.5V で 9.5mA (標準値)
- 5μA でシャットダウン
- ユニティゲイン安定
- 非常に優れた出力スイング:
 - (V+) – 100mV ~ (V-) + 100mV
- シングル電源: +2.7V ~ +5.5V
- 小型パッケージ: VSSOP および SOT23

2 アプリケーション

- 16 ビット ADC 入力ドライバ
- 低ノイズ プリアンプ
- IF/RF アンプ
- アクティブ フィルタリング

3 説明

OPA300、OPA301、OPA2300、OPA2301 (OPAx30x) シリーズの高速、電圧帰還型 CMOS オペアンプは、16 ビット分解能システム用に設計されています。OPAx30x シリーズはユニティゲインで安定しており、セトリングおよび高調波歪みの仕様が非常に優れています。低消費電力アプリケーションでは、低静止電流による利点があります。OPA300 および OPA2300 は、デジタル シャットダウン

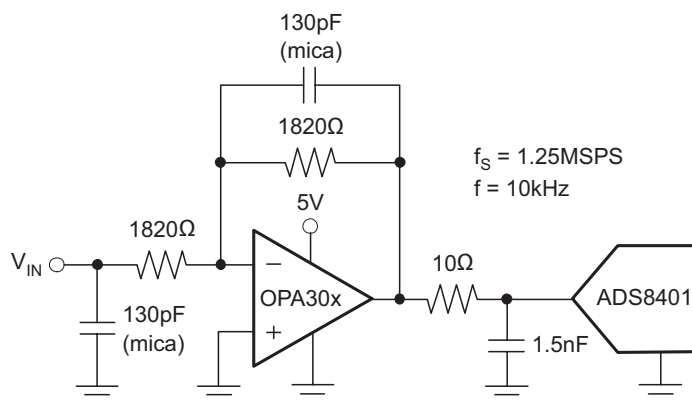
(有効) 機能を備えており、アイドル期間中にさらに消費電力を削減できます。単一電源動作に最適化された OPA30x シリーズは、高い出力振幅と優れた同相範囲を実現します。

OPAx30x シリーズ オペアンプは、ユニティゲイン帯域幅の 150MHz、3nV/√Hz の低い電圧ノイズ、30ns 以内の 0.1% セトリングを備えています。2.7V (±1.35V) ~ 5.5V (±2.75V) の単一電源動作と、5μA に消費電流を低減するシャットダウン機能を利用可能な低消費電力アプリケーションに有用です。OPAx30x は、SO-8 および SOT-23 パッケージで供給されます。OPA2300 は VSSOP-10、OPA2301 は SO-8 および VSSOP-8 で供給されます。すべてのバージョンは、産業用温度範囲 (-40°C ~ +125°C) で仕様が規定されています。

パッケージ情報

部品番号	チャネル数	パッケージ (1)
OPA2300	デュアル	DGS (VSSOP, 10)
OPA300	シングル	D (SOIC, 8)
		DBV (SOT23, 6)
OPA301	シングル	D (SOIC, 8)
		DBV (SOT23, 5)
OPA2301	デュアル	D (SOIC, 8)
		DGK (VSSOP, 8)

- (1) 供給されているすべてのパッケージについては、[セクション 10](#) を参照してください。



代表的なアプリケーション



目次

1 特長.....	1	6.5 入力および ESD 保護.....	12
2 アプリケーション.....	1	6.6 イネーブル機能.....	13
3 説明.....	1	7 アプリケーションと実装.....	14
4 ピン構成および機能.....	3	7.1 アプリケーション情報.....	14
5 仕様.....	4	7.2 代表的なアプリケーション.....	14
5.1 絶対最大定格.....	4	7.3 レイアウト.....	15
5.2 ESD 定格.....	4	8 デバイスおよびドキュメントのサポート.....	16
5.3 推奨動作条件.....	4	8.1 ドキュメントの更新通知を受け取る方法.....	16
5.4 電気的特性.....	4	8.2 サポート・リソース.....	16
5.5 代表的特性.....	6	8.3 商標.....	16
6 詳細説明.....	12	8.4 静電気放電に関する注意事項.....	16
6.1 概要.....	12	8.5 用語集.....	16
6.2 機能ブロック図.....	12	9 改訂履歴.....	16
6.3 機能説明.....	12	10 メカニカル、パッケージ、および注文情報.....	17
6.4 動作電圧.....	12		

4 ピン構成および機能

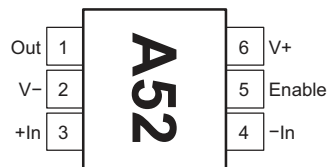


図 4-1. OPA300 SOT-23 パッケージ、6 ピン (上面図)

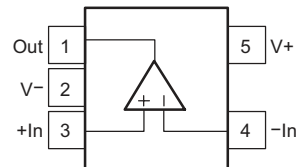


図 4-2. OPA301、SOT23-5 パッケージ、5 ピン (上面図)

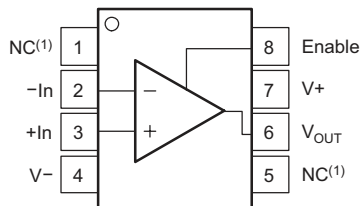


図 4-3. OPA300、SO-8 パッケージ、8 ピン (上面図)

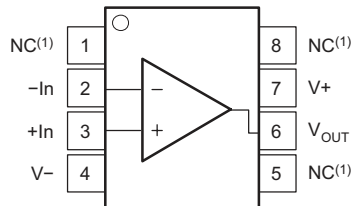


図 4-4. OPA301、SO-8 パッケージ、8 ピン (上面図)

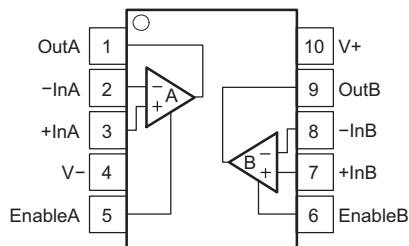


図 4-5. OPA2300、VSSOP-10 パッケージ、10 ピン (上面図)

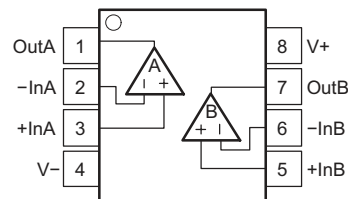


図 4-6. OPA2301、SO-8、VSSOP-8 パッケージ、8 ピン (上面図)

表 4-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
+In	3	I	正の入力電圧
イネーブル	8	I	Enable ピン
-In	2	I	負の入力電圧
NC	1,5	-	内部接続なし。
V-	4	P	負電源電圧
V+	7	P	正電源電圧
V _{OUT}	6	O	出力電圧

(1) I = 入力、O = 出力、P = 電源

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
	電源		7	V
V _S	動作電圧範囲	2.7	5.5	V
	信号入力端子電圧 ⁽²⁾	0.5	(V _S) + 0.5	V
	信号入力端子、電流		±10	mA
	オープン短絡電流 ⁽³⁾		連続	
	動作温度範囲	-55	125	°C
T _J	接合部温度		150	°C
T _{stg}	保存温度	-60	150	°C

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用了場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
- (2) 入力端子は、電源レールに対してダイオード クランプされています。入力信号のスイングが 0.5V より大きく電源レールを超えることが想定される場合は、電流を 10mA 以下に制限する必要があります。
- (3) グランドへの短絡、パッケージあたり 1 台のアンプ。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	4000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠 ⁽²⁾	500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
	電源電圧	2.7		5.5	V
T _A	周囲温度	-40	25	125	°C

5.4 電気的特性

T_A = 25°C、R_L = 2kΩ を V_S/2 に接続、V_{OUT} = V_S/2、および V_{CM} = V_S/2 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
オフセット電圧					
V _{OS}	入力オフセット電圧	V _S = 5V	1	5	mV
		T _A = -40°C ~ +125°C		7	
dV _{OS} /dT	入力オフセット電圧		2.5		μV/°C
PSRR	オフセット電圧と電源電圧との関係	V _S = 2.7V ~ 5.5V、V _{CM} < (V _S) - 0.9V	50	200	μV/V
	チャネル セパレーション、DC		140		dB
		f = 5MHz	100		dB
入力電圧範囲					
V _{CM}	同相電圧	(V _S) - 0.2		(V _S) - 0.9	V

5.4 電気的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $R_L = 2\text{k}\Omega$ を $V_S/2$ に接続、 $V_{\text{OUT}} = V_S/2$ 、および $V_{\text{CM}} = V_S/2$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
CMRR	同相除去比	(V-) -0.2V < V _{CM} < (V+) - 0.9V	66	80		dB
入力バイアス電流						
I _B	入力バイアス電流			±0.1	±5	pA
I _{OS}	入力オフセット電流			±0.5	±5	pA
入力インピーダンス						
	差動			10 ¹³ 3		Ω pF
	同相			10 ¹³ 3		Ω pF
ノイズ						
	入力電圧ノイズ	f = 0.1Hz~1MHz		40		μV _{PP}
e _n	入力電圧ノイズ密度	f > 1MHz		3		nV/√Hz
i _n	入力電流ノイズ密度	f < 1kHz		1.5		fA/√Hz
	微分ゲイン誤差	NTSC、R _L = 150Ω		0.01		%
	微分位相誤差	NTSC、R _L = 150Ω		0.1		°
開ループ ゲイン						
A _{OL}	開ループ電圧ゲイン	V _S = 5V、R _L = 2kΩ、 0.1V < V _O < 4.9V		95	106	dB
			T _A = -40℃~+125℃	90		
		V _S = 5V、R _L = 100Ω、0.5V < V _O < 4.5V		95	106	
			T _A = -40℃~+125℃	90		
出力						
	電圧出力スイング (レールから)	R _L = 2kΩ、A _{OL} > 95dB		75	100	mV
		R _L = 100Ω、A _{OL} > 95dB		300	500	
I _{SC}	短絡電流			70		mA
R _O	オープン ループ出力インピーダンス	I _O = 0、f = 1MHz		20		Ω
C _{LOAD}	容量性負荷駆動能力			「代表的特性」を参照		
周波数応答						
GBW	ゲイン帯域幅積			150		MHz
SR	スルーレート	G = +1		80		V/μs
t _s	セトリング タイム	V _S = 5V、2V 刻み、G = +1、0.01%		90		ns
		V _S = 5V、2V 刻み、G = +1、0.1%		30		
	過負荷回復時間	ゲイン = -1		30		ns
THD+N	全高調波歪み + ノイズ	V _S = 5V、V _O = 3V _{PP} 、G = +1、f = 1kHz		0.003		%
電源						
V _S	規定電圧範囲		2.7		5.5	V
I _Q	静止電流 (アンプ 1 個あたり)	I _O = 0mA		9.5	12	mA
			T _A = -40℃~+125℃		13	
シャットダウン						
t _{OFF}	ターンオフ時間			40		ns
t _{ON}	ターンオフ時間			5		μs
	V _L (シャットダウン)		(V-) - 0.2		(V-) + 0.8	V
	V _H (アンプがアクティブ)		(V-) + 2.5		(V+) + 0.2	V
	I _{QSD} (アンプ 1 個あたり)			3	10	μA

5.5 代表的特性

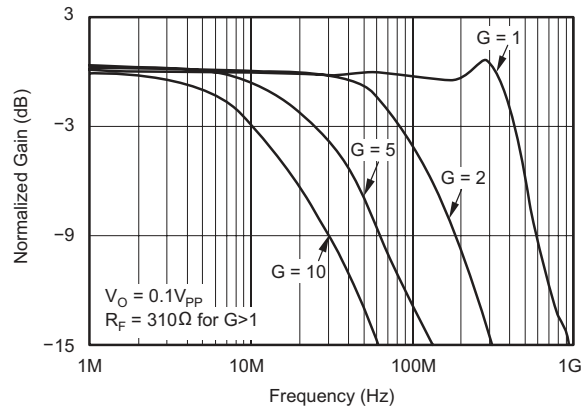


図 5-1. 非反転型ゲインの小信号周波数応答

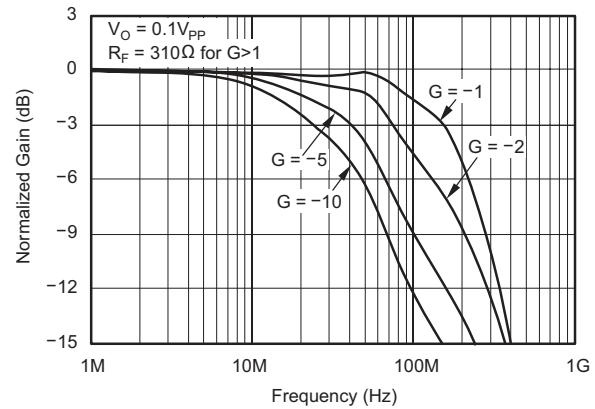


図 5-2. 反転型ゲインの小信号周波数パルス応答

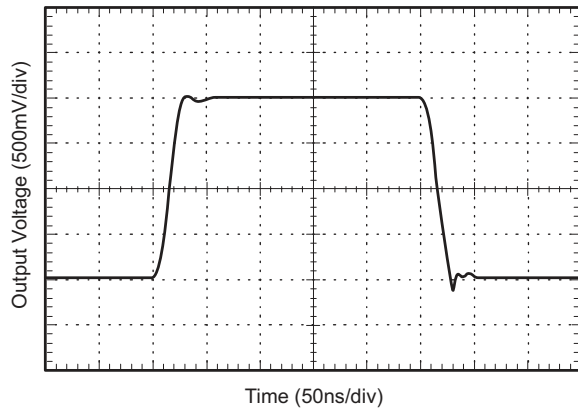


図 5-3. 大信号ステップ応答

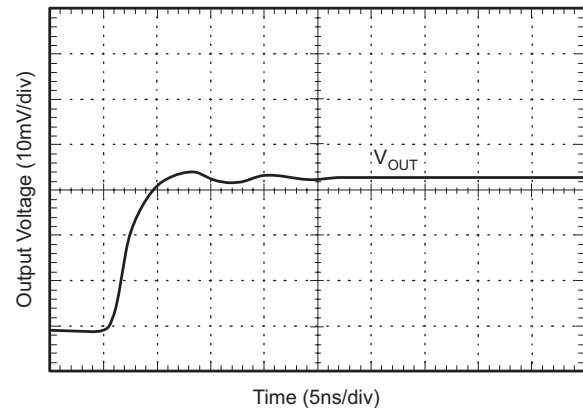


図 5-4. 小信号ステップ応答

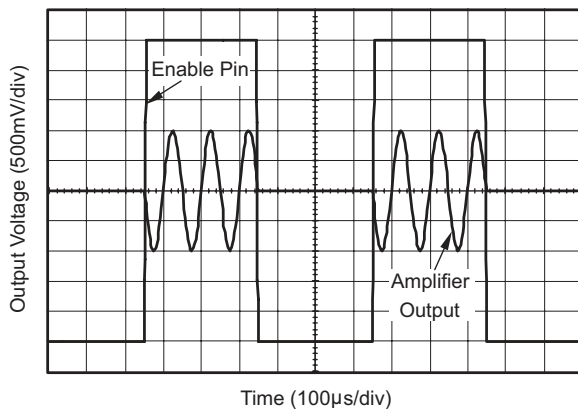


図 5-5. 大信号有効/無効応答

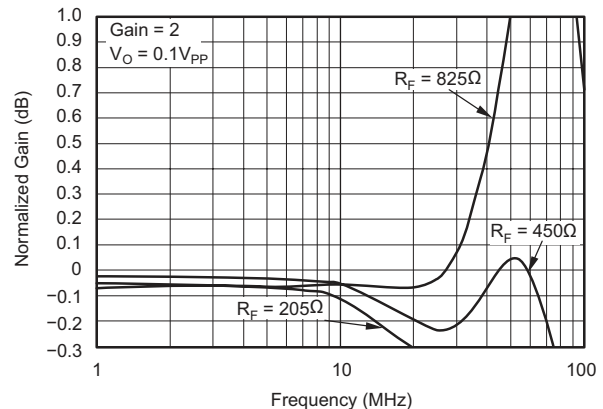


図 5-6. 各種 R_F で 0.1dB のゲイン平坦性

5.5 代表的特性 (続き)

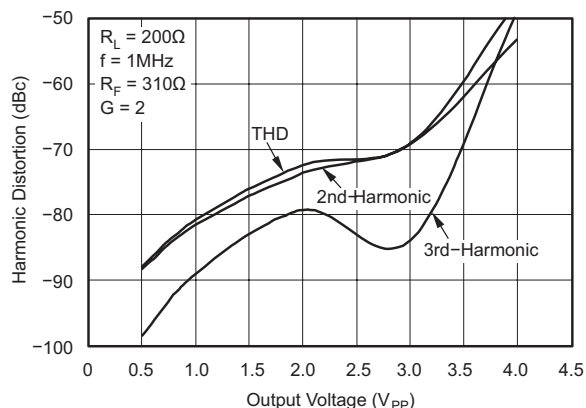


図 5-7. 高調波歪みと出力電圧との関係

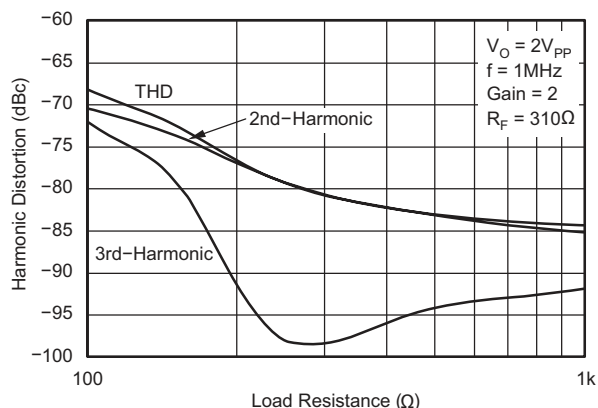


図 5-8. 高調波歪みと負荷抵抗との関係

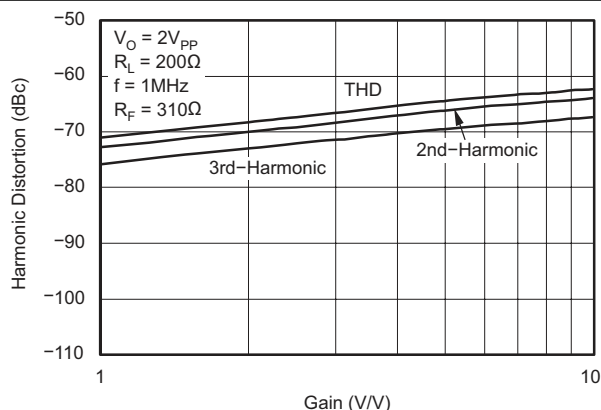


図 5-9. 高調波歪みと反転ゲインとの関係

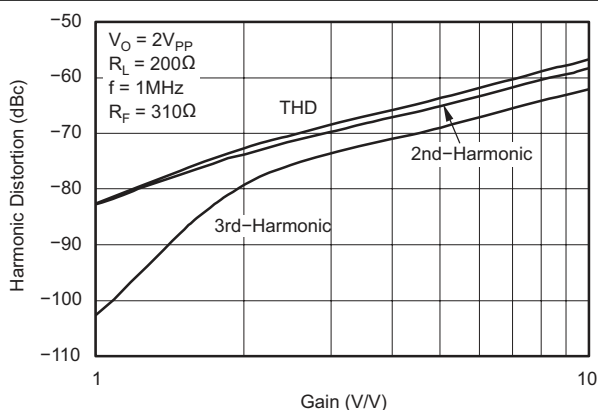


図 5-10. 高調波歪みと非反転ゲインとの関係

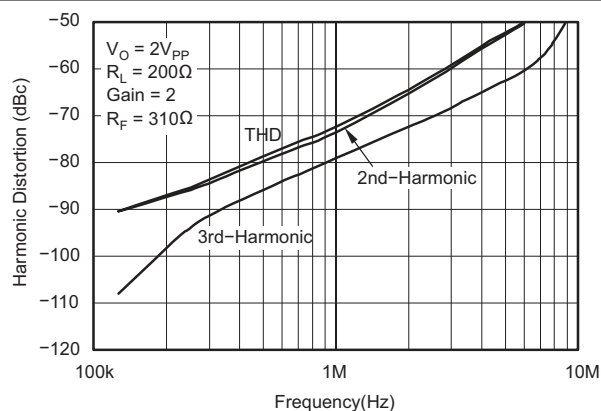


図 5-11. 高調波歪みと周波数との関係

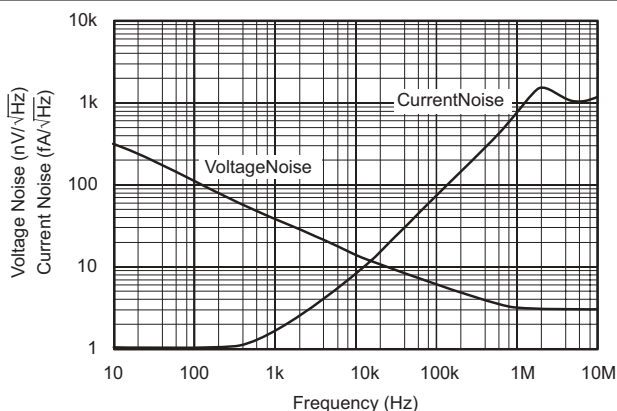


図 5-12. 入力の電圧および電流ノイズのスペクトラム密度と周波数との関係

5.5 代表的特性 (続き)

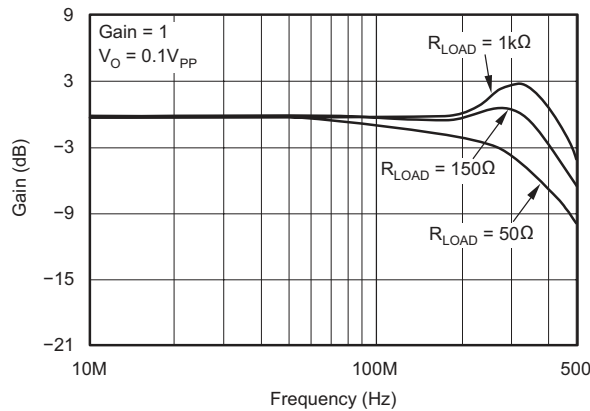


図 5-13. 周波数応答と各種 R_L との関係

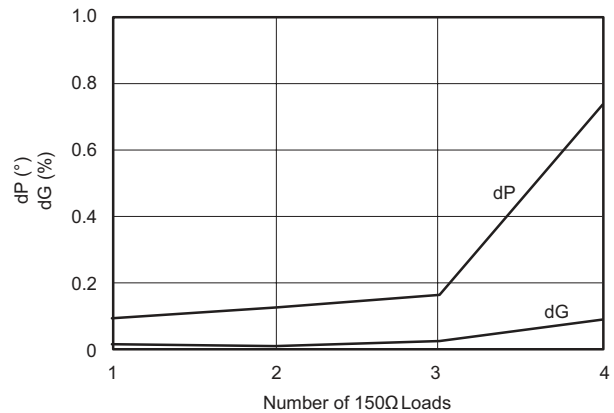


図 5-14. コンポジット ビデオ差動ゲインおよび位相

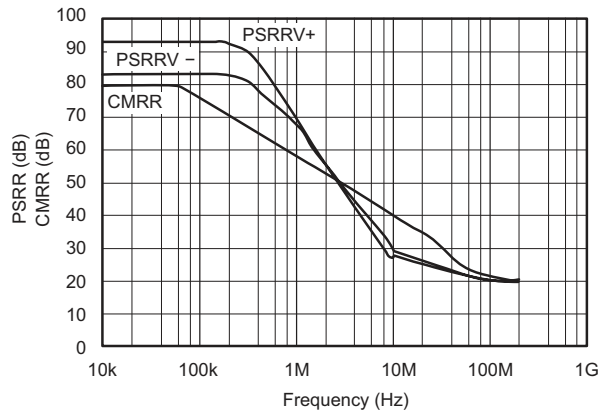


図 5-15. 同相信号除去比および電源除去比と周波数との関係

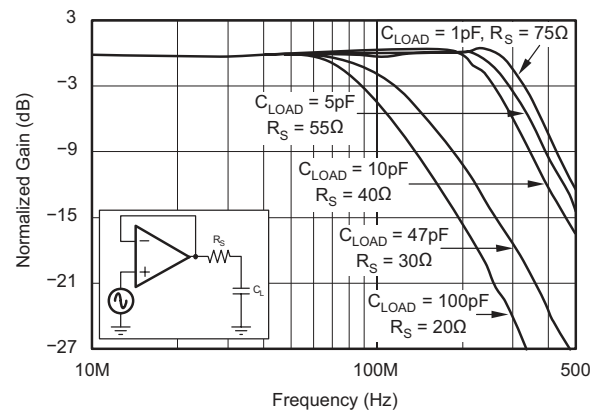


図 5-16. 周波数応答と容量性負荷との関係

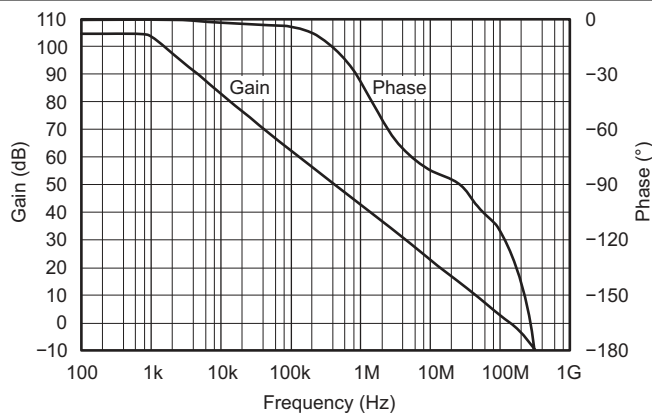


図 5-17. 開ループゲインおよび位相と周波数との関係

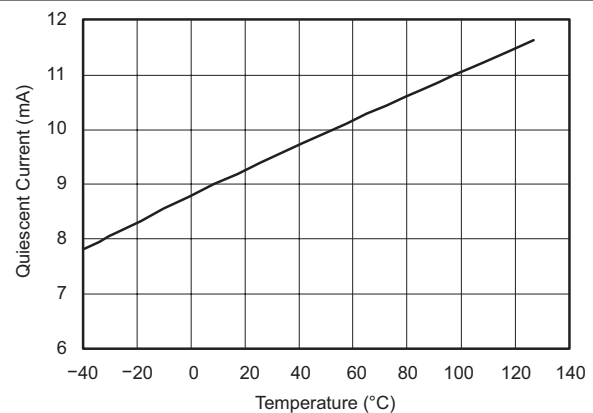


図 5-18. 静止電流と温度との関係

5.5 代表的特性 (続き)

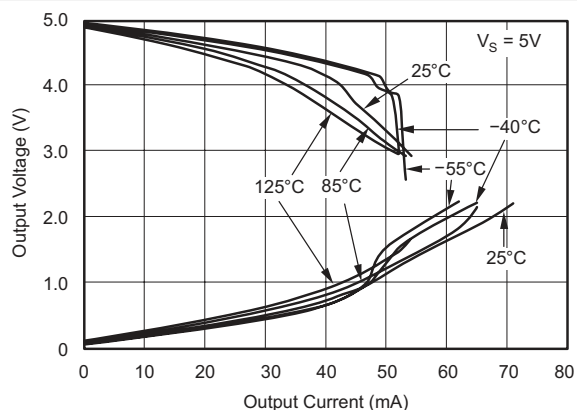


図 5-19. 出力電圧スイングと出力電流との関係

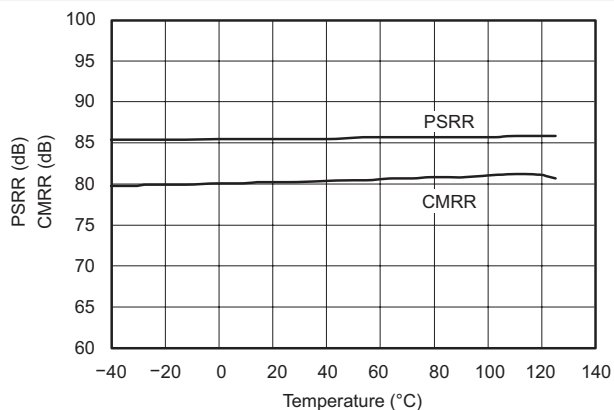


図 5-20. 開ループゲインおよび位相と周波数との関係

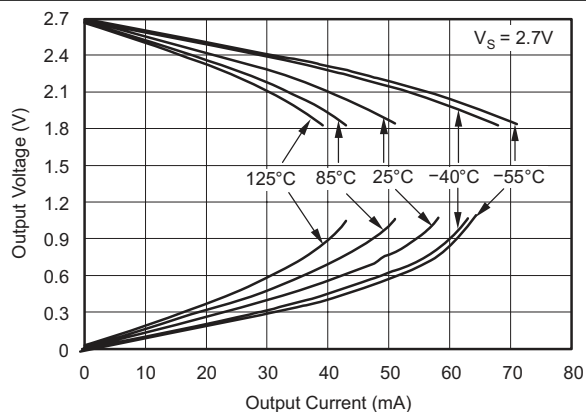


図 5-21. 出力電圧スイングと出力電流との関係

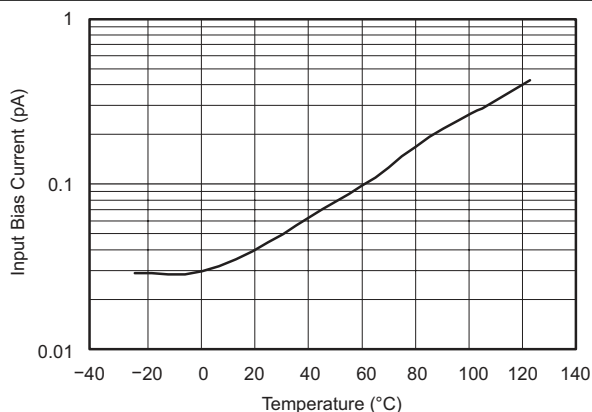


図 5-22. 入力バイアス電流と温度との関係

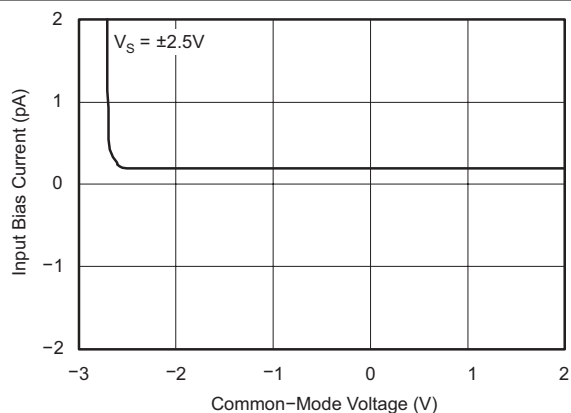


図 5-23. 入力バイアス電流と同相電圧との関係

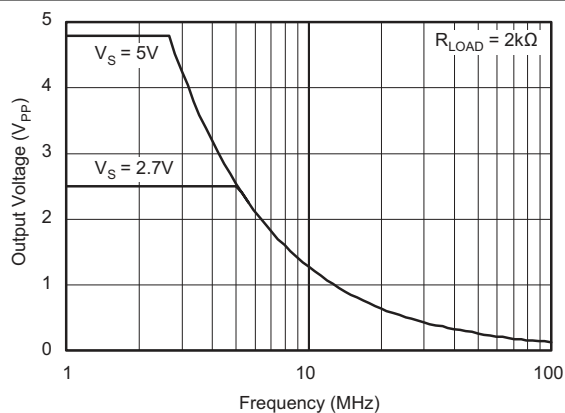


図 5-24. 最大出力電圧と周波数との関係

5.5 代表的特性 (続き)

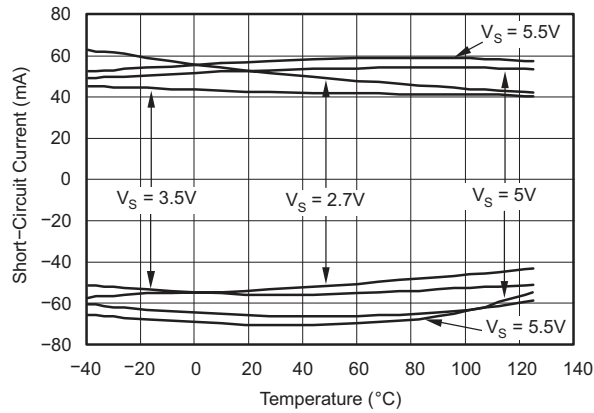


図 5-25. 短絡電流と温度との関係

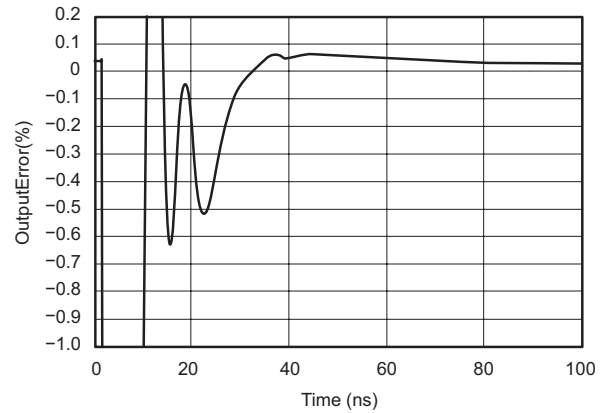


図 5-26. 出力セトリング タイム 0.1%

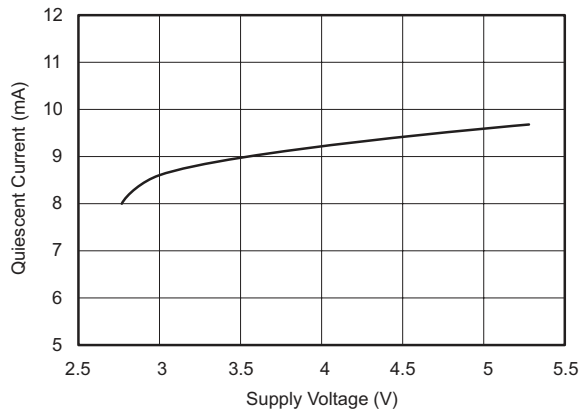


図 5-27. 静止電流と電源電圧との関係

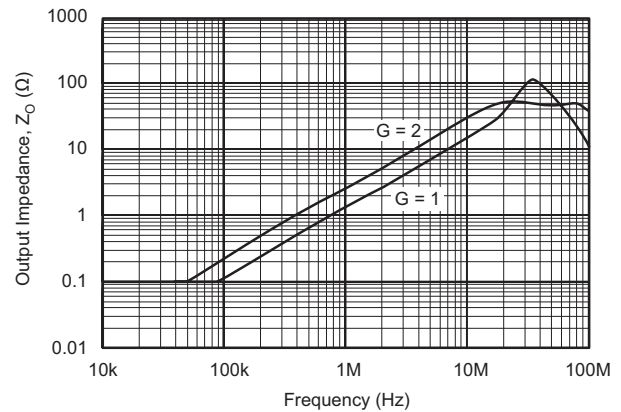


図 5-28. 出力インピーダンス 対 周波数

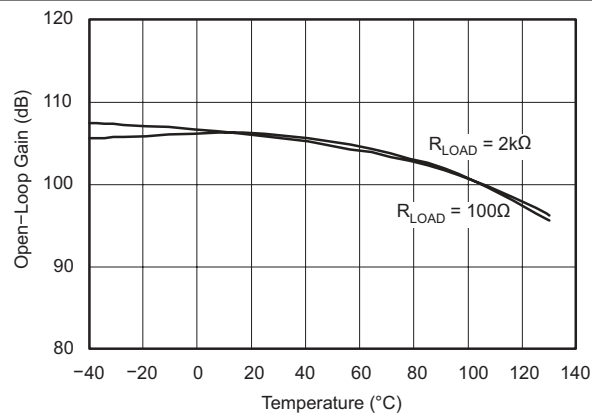


図 5-29. 開ゲイン ループと温度との関係

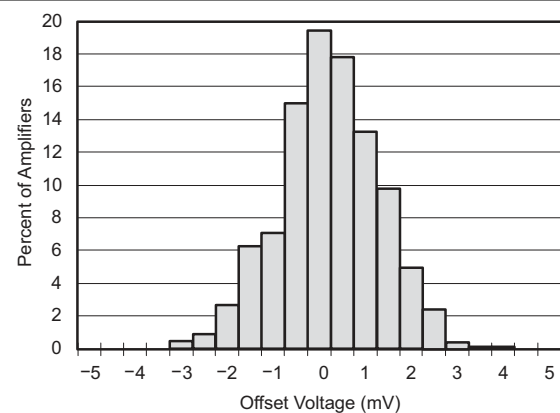


図 5-30. オフセット電圧の生産分布

5.5 代表的特性 (続き)

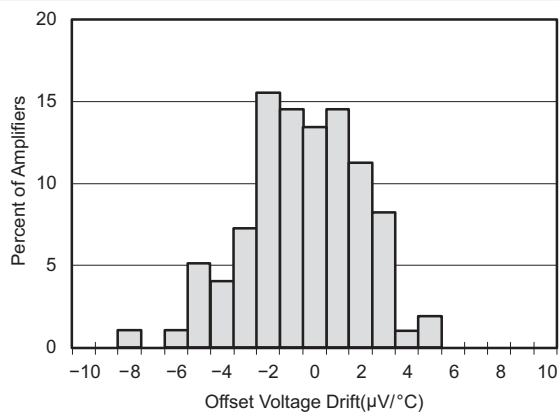


図 5-31. オフセット電圧ドリフトの製造分布

6 詳細説明

6.1 概要

OPAx30x シリーズのオペアンプは、図 6-1 に示す従来型の 2 段トポロジを使用しています。安定性や帯域幅を犠牲にせずにスルーレートを最大化するため、差動入力ペアはバイアスされています。折りたたみカスコードは入力ペアから信号を追加し、Class AB 出力段に差動信号を提示します。Class-AB 出力段によりレール ツー レール出力スイングが可能で、ハイインピーダンス負荷 ($> 2\text{k}\Omega$) で、電源レールから標準 100mV が得られます。 10Ω 負荷では、有用な出力スイングが得られますが、依然として高い開ループゲインが維持されます。代表的な特性曲線は、セクション 5.5 を参照してください。

6.2 機能ブロック図

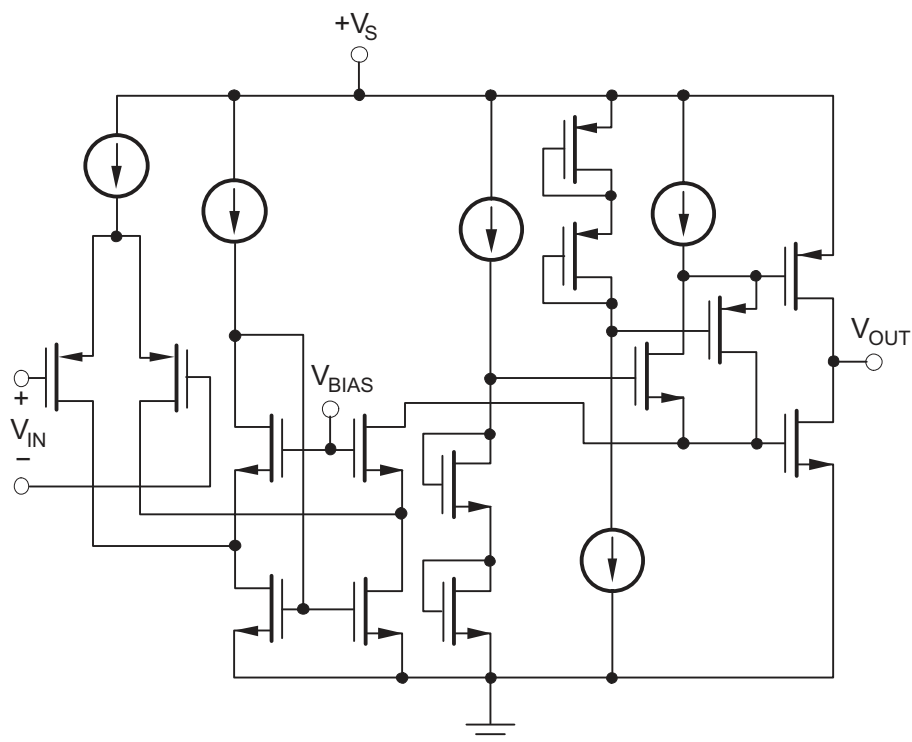


図 6-1. OPA30x クラシック 2 段トポロジ

6.3 機能説明

6.4 動作電圧

OPAx30x シリーズのオペアンプのパラメータは、すべて $+2.7\text{V} \sim +5.5\text{V}$ に規定されています。 5.5V (絶対最大定格) を超える電源電圧は、アンプに永続的な損傷を与えます。多くの仕様は -40°C から $+125^{\circ}\text{C}$ まで適用されます。動作電圧または温度によって大きく変化するパラメータについては、代表的特性 に示します。

6.5 入力および ESD 保護

OPAx30x シリーズのすべてのオペアンプ ピンは、電源に接続された内部 ESD 保護ダイオードで静的保護されています。図 6-2 を参照してください。これらのダイオードは、セクション 5.1 に規定されているように、電流が外部的に 10mA に制限された場合にオーバードライブ保護機能を提供します。入力電流が絶対最大定格を超え、最大定格で長期動作すると、アンプの寿命が短くなります。

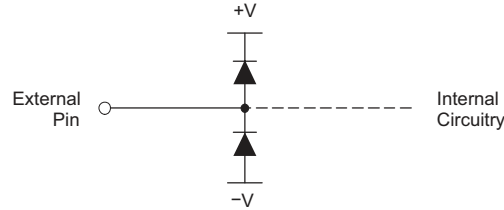


図 6-2. ESD 保護ダイオード

6.6 イネーブル機能

OPA300 および OPA2300 のシャットダウン機能は、オペアンプの負電源電圧を基準としています。ロジック レベルが High になると、オペアンプはイネーブル (有効) になります。有効なロジック high は、イネーブルピンに印加される負電源より 2.5V 高い値と定義されます。有効なロジック low は、負の電源ピンよりも 0.8V 未満高いと定義されます。デュアル電源または分割電源を使用する場合は、ロジック入力信号が負の電源電圧を適切に基準としていることを確認してください。このピンが有効な high または low の電圧に接続されていない場合、内部回路によってノードが high にプルされ、デバイスが機能可能になります。

ロジック入力、ハイインピーダンスの CMOS 入力です。バッテリー駆動のアプリケーションでは、この機能を使用することによって平均電流を大幅に低下させ、バッテリー駆動時間を延長できます。イネーブル時間は 10μs、ディセーブル時間は 1μs です。ディセーブル状態のとき、出力は高インピーダンス状態です。この状態により、OPA300 をゲートで開閉可能なアンプとして動作させる、または本デバイスの出力を 1 つのコモン アナログ出力バスにマルチプレクスすることができます。

7 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

OPA300 および OPA301 シリーズの単一電源 CMOS オペアンプは、高速 16 ビット アナログ/デジタル コンバータ (ADC) と接続するよう設計されています。広い 150MHz 帯域幅、150ns から 16 ビットへの高速セトリング時間、高い開ループゲインを特長とするこのシリーズは、小型の SO-8 および小型の SOT23 パッケージで優れた性能を発揮します。

7.2 代表的なアプリケーション

7.2.1 容量性負荷の駆動

高速オペアンプを使用する場合、容量性負荷がアンプの安定性に及ぼす影響を考慮することは非常に重要です。容量性負荷は、オペアンプの出力インピーダンスと相互作用し、コンデンサの値によってはゲイン帯域幅が大幅に減少し、ピークを発生させる可能性があります。容量性負荷の影響を低減し、追加の容量性負荷駆動を可能にするため、出力と負荷の間に直列抵抗を配置します。これにより、利用可能な帯域幅が減少しますが、容量性負荷で安定した動作が可能になります。図 7-1 に、抵抗とコンデンサの値の推奨関係を示します。

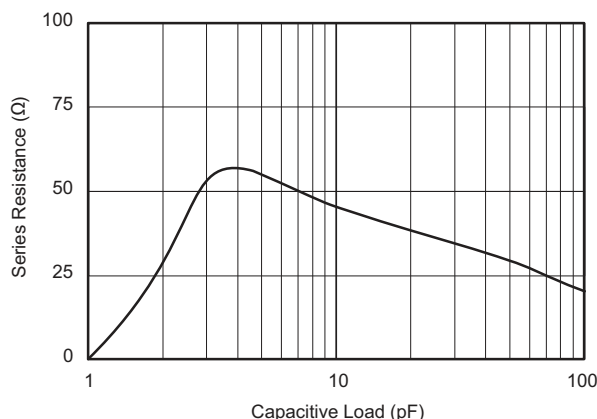


図 7-1. 推奨される RS と CL の組み合わせ

ユニティ ゲインに構成されているアンプは、安定性の問題の影響を最も受けやすくなります。代表的特性については、図 5-16 に、OPA300/OPA301 シリーズの容量性負荷と安定性との関係を示します。ユニティ ゲインでは、OPA300/OPA301 シリーズは安定性を損なうことなく、数 pF の容量性負荷を駆動できます。多くの場合、基板レベルの寄生容量はピコファラド以上の範囲に入るため、OPA300/OPA301 の安定性を損なわないように、適切な回路基板レイアウト手法によって最小化する必要があります。テスト中の寄生容量の詳細については、TI の Web サイト (www.ti.com) にある [Measuring Board Parasitics in High-Speed Analog Design](#) (高速アナログ設計基板の寄生容量測定) アプリケーションノートを参照してください。

7.2.2 16 ビット ADC 駆動

OPA300/OPA301 シリーズは、1MHz より高い周波数であっても優れた THD + ノイズ特性を特長としており、16 ビットのセトリングタイムは 150ns です。図 7-2 に、高速データ アクイジションの合計単一電源オプションを示します。OPA300/OPA301 は、1.25 メガサンプル / 秒 (MSPS) の 16 ビットデータコンバータである ADS8401 を直接駆動します。

OPA300/OPA301 は、5V 単一電源で 1 の反転ゲインに構成されています。表 7-1 に、OPA300/OPA301 のパフォーマンス結果がまとめられています

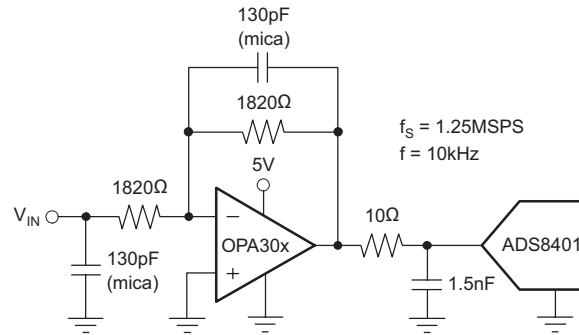


図 7-2. OPA30x は 16 ビット ADS8401 を駆動します

表 7-1. 1.25MSPS ADS8401 を駆動する OPA30x のパフォーマンス結果

パラメータ	結果 $f = 10\text{kHz}$
THD	-99.3dB
SFDR	101.2dB
THS+N	84.2dB
SNR	84.3dB

7.3 レイアウト

7.3.1 レイアウトのガイドライン

ほとんどの高速オペアンプと同様に、基板レイアウトでは、AC および DC の性能を最大化するために特に注意を必要とします。グランドプレーン、短いリード長、高品質のバイパス キャパシタンスを豊富に使用することで、信号品質を損なう可能性のあるリークが最小限に抑えられます。ガード リングを入力ピンにできるだけ近付けて電位に適用すると、基板のリーケージを最小限に抑えることができます。

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (January 2026) to Revision F (February 2026)	Page
--	------

- | | |
|--|---|
| • 図 4-5 および 図 4-6 を更新..... | 3 |
|--|---|

Changes from Revision D (June 2007) to Revision E (January 2026)	Page
--	------

- | | |
|--------------------------------|---|
| • データシートを新しいフォーマットに合わせて更新..... | 1 |
|--------------------------------|---|

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2300AIDGSR	Active	Production	VSSOP (DGS) 10	2500 LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	C01
OPA2300AIDGSR.A	Active	Production	VSSOP (DGS) 10	2500 LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	C01
OPA2300AIDGST	Active	Production	VSSOP (DGS) 10	250 SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	C01
OPA2300AIDGST.A	Active	Production	VSSOP (DGS) 10	250 SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	C01
OPA2301AID	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 2301A
OPA2301AID.A	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 2301A
OPA2301AIDGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	Call TI Nipdauag	Level-2-260C-1 YEAR	-40 to 125	OAWM
OPA2301AIDGKR.A	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 125	OAWM
OPA2301AIDGKT	Active	Production	VSSOP (DGK) 8	250 SMALL T&R	Yes	Call TI Nipdauag	Level-2-260C-1 YEAR	-40 to 125	OAWM
OPA2301AIDGKT.A	Active	Production	VSSOP (DGK) 8	250 SMALL T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 125	OAWM
OPA2301AIDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 2301A
OPA2301AIDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 2301A
OPA300AID	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 300A
OPA300AID.A	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 300A
OPA300AIDBVR	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A52
OPA300AIDBVR.A	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A52
OPA300AIDBVT	Active	Production	SOT-23 (DBV) 6	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A52
OPA300AIDBVT.A	Active	Production	SOT-23 (DBV) 6	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	A52
OPA301AID	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 301A
OPA301AID.A	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 301A
OPA301AIDBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	AUP
OPA301AIDBVR.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	AUP
OPA301AIDBVRG4	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	AUP

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA301AIDBVRG4.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	AUP
OPA301AIDBVT	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	AUP
OPA301AIDBVT.A	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	AUP
OPA301AIDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 301A
OPA301AIDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 301A

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

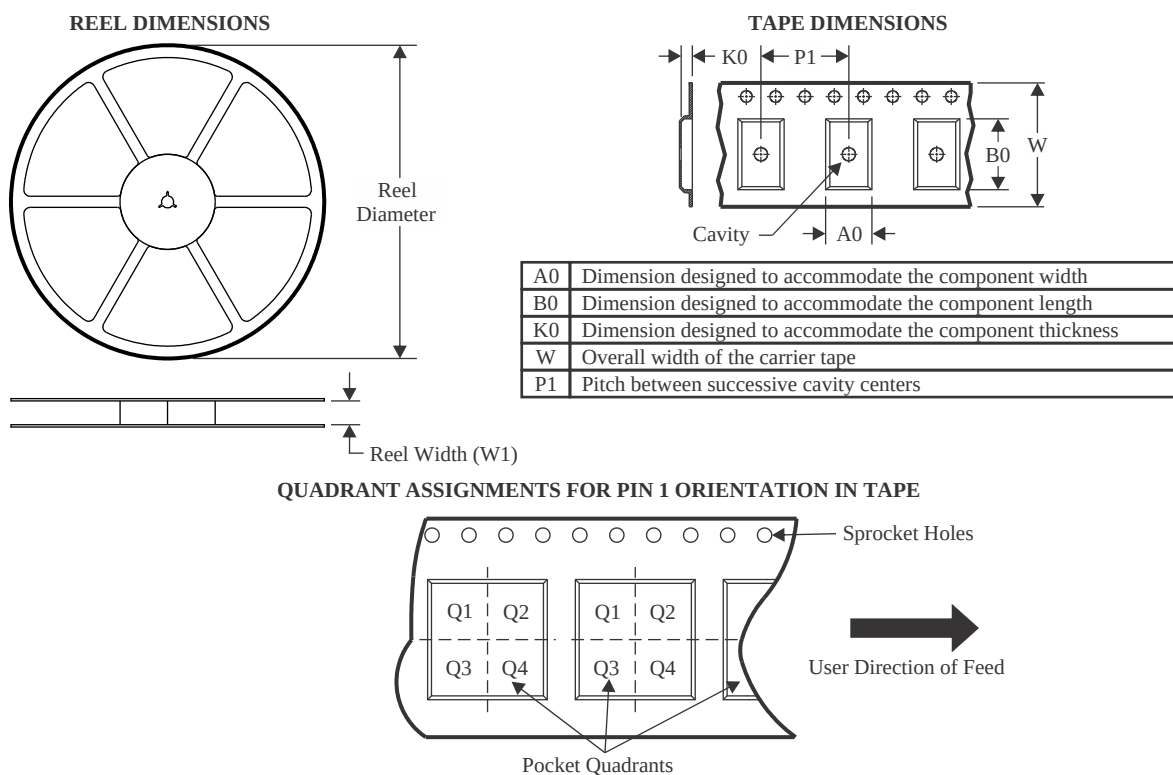
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

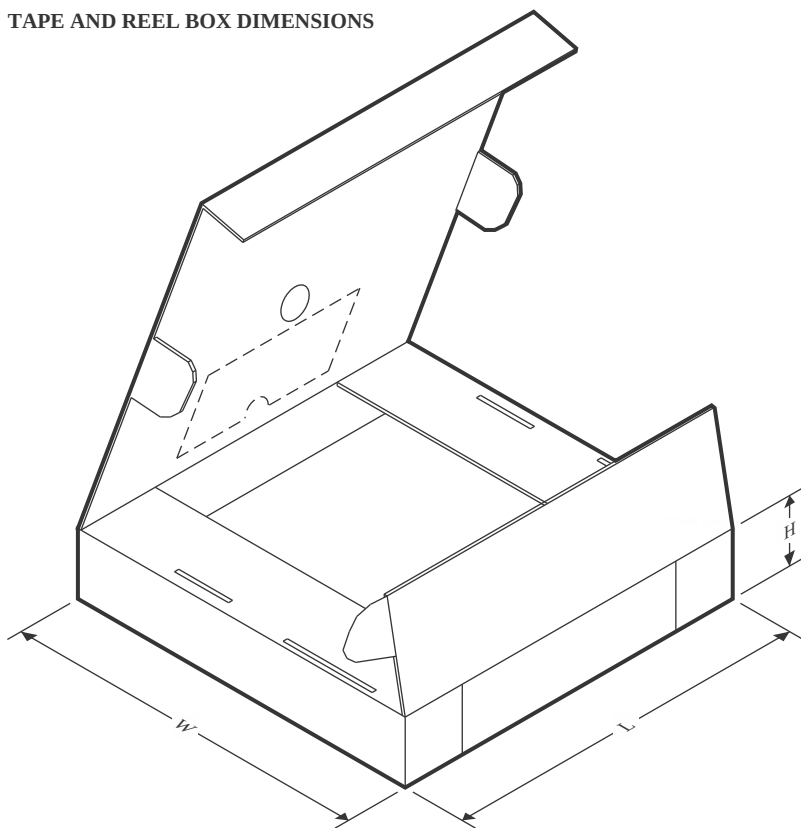
TAPE AND REEL INFORMATION



*All dimensions are nominal

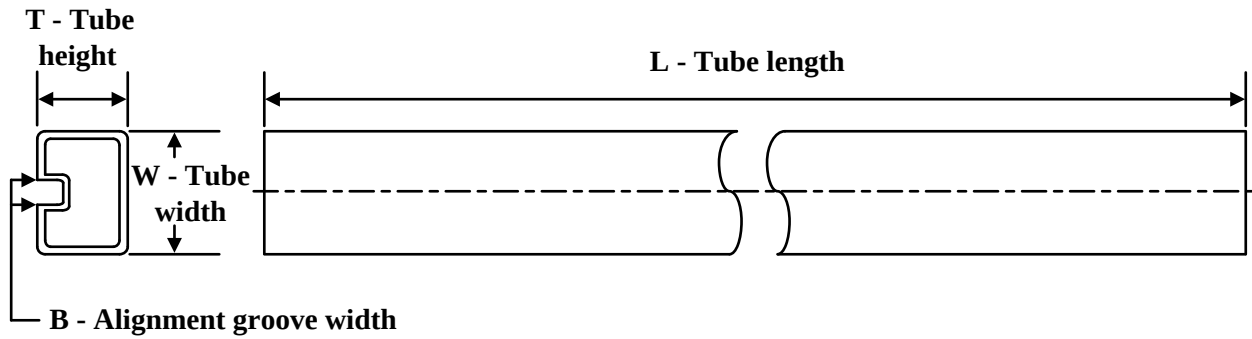
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2300AIDGSR	VSSOP	DGS	10	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2300AIDGST	VSSOP	DGS	10	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2301AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2301AIDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2301AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA300AIDBVR	SOT-23	DBV	6	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
OPA300AIDBVT	SOT-23	DBV	6	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
OPA301AIDBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
OPA301AIDBVRG4	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
OPA301AIDBVT	SOT-23	DBV	5	250	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
OPA301AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2300AIDGSR	VSSOP	DGS	10	2500	353.0	353.0	32.0
OPA2300AIDGST	VSSOP	DGS	10	250	213.0	191.0	35.0
OPA2301AIDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA2301AIDGKT	VSSOP	DGK	8	250	213.0	191.0	35.0
OPA2301AIDR	SOIC	D	8	2500	353.0	353.0	32.0
OPA300AIDBVR	SOT-23	DBV	6	3000	445.0	220.0	345.0
OPA300AIDBVT	SOT-23	DBV	6	250	445.0	220.0	345.0
OPA301AIDBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
OPA301AIDBVRG4	SOT-23	DBV	5	3000	180.0	180.0	18.0
OPA301AIDBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
OPA301AIDR	SOIC	D	8	2500	353.0	353.0	32.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
OPA2301AID	D	SOIC	8	75	506.6	8	3940	4.32
OPA2301AID.A	D	SOIC	8	75	506.6	8	3940	4.32
OPA300AID	D	SOIC	8	75	506.6	8	3940	4.32
OPA300AID.A	D	SOIC	8	75	506.6	8	3940	4.32
OPA301AID	D	SOIC	8	75	506.6	8	3940	4.32
OPA301AID.A	D	SOIC	8	75	506.6	8	3940	4.32



SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



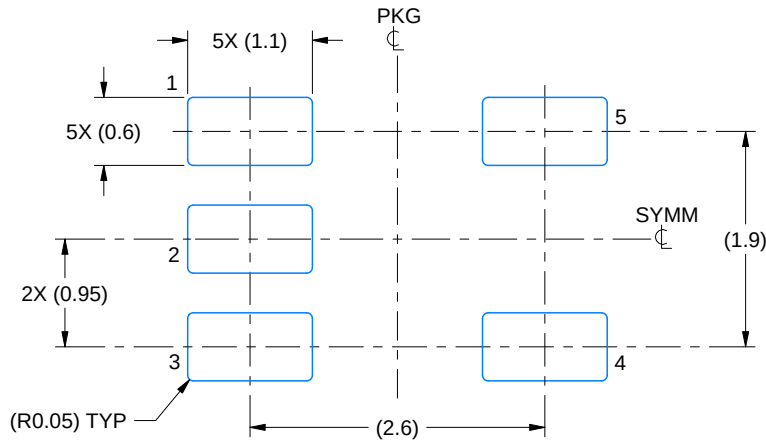
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

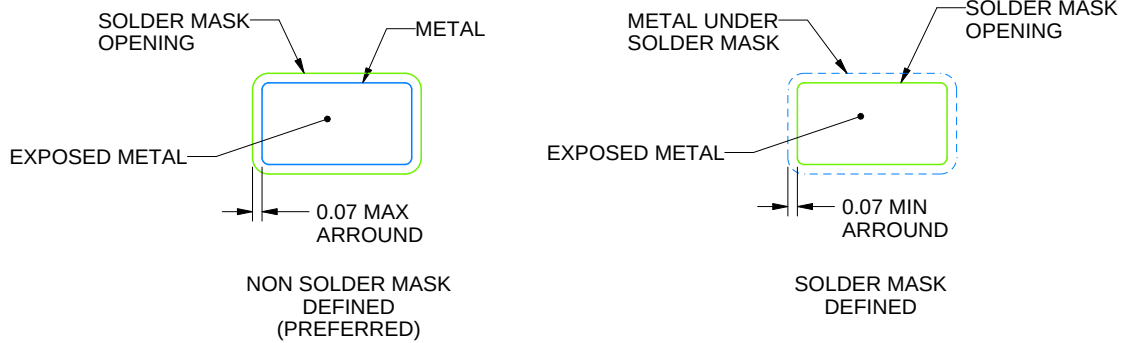
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

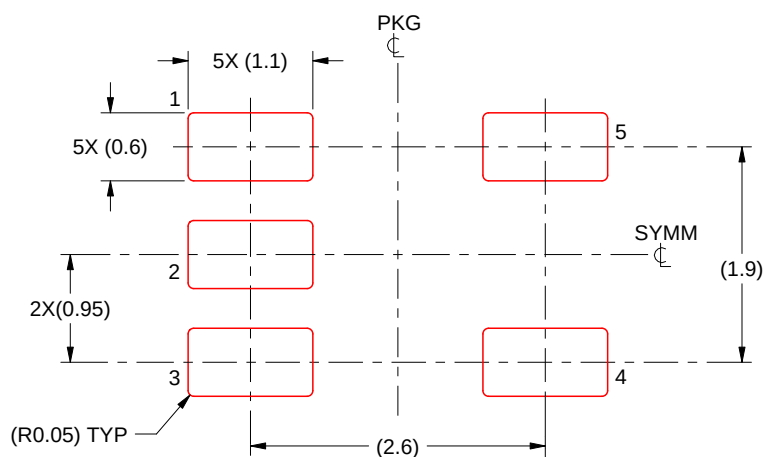
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

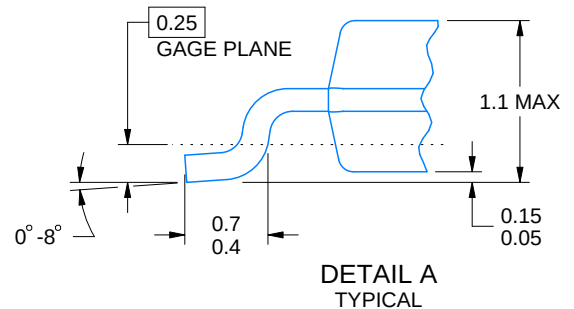
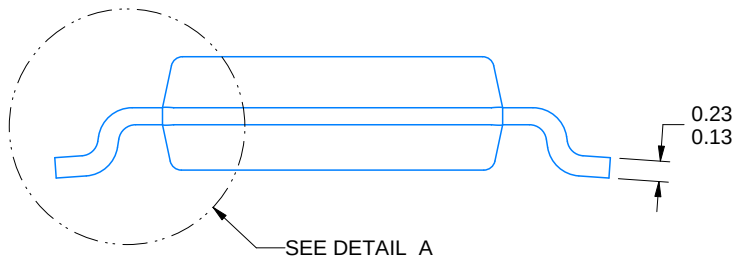
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



VSSOP - 1.1 mm max height

Technical drawing of a 6-pin connector. The drawing includes a top view and a side view. The top view shows a rectangular component with six pins on the right side. Dimensions include a total width of 5.05 (typical) and 4.75, a pin pitch of 1.95 (2X), and a pin width of 0.65 (6X). A circular feature is labeled "PIN 1 INDEX AREA". The side view shows the component's profile with a height of 3.1 (typical) and 2.9, and a pin height of 0.38 (typical) and 0.25. A "SEATING PLANE" is indicated. Callouts A, B, and C are present. A table of values is provided at the bottom right:

⊕	0.13	Ⓜ	C	A	B
---	------	---	---	---	---



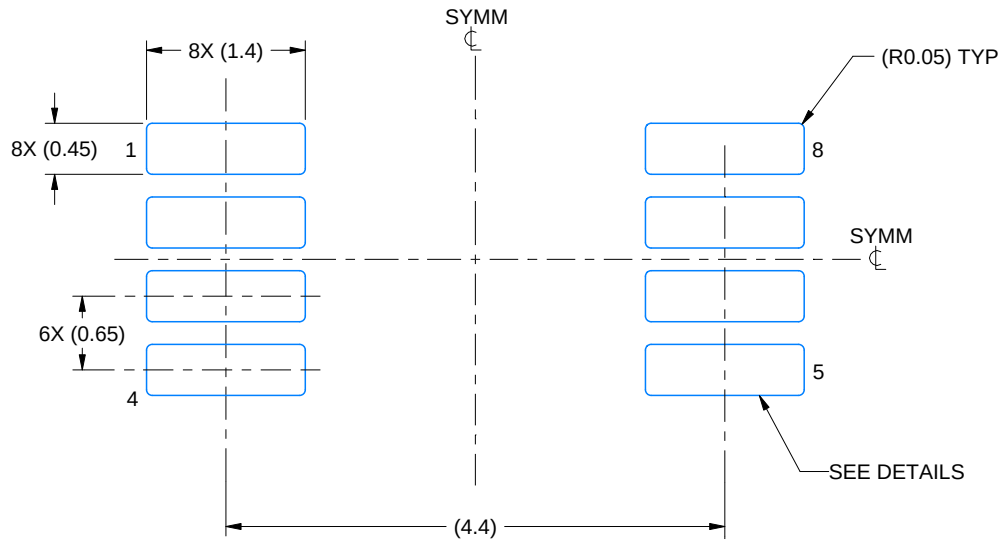
TEXAS
INSTRUMENTS
www.ti.com

EXAMPLE BOARD LAYOUT

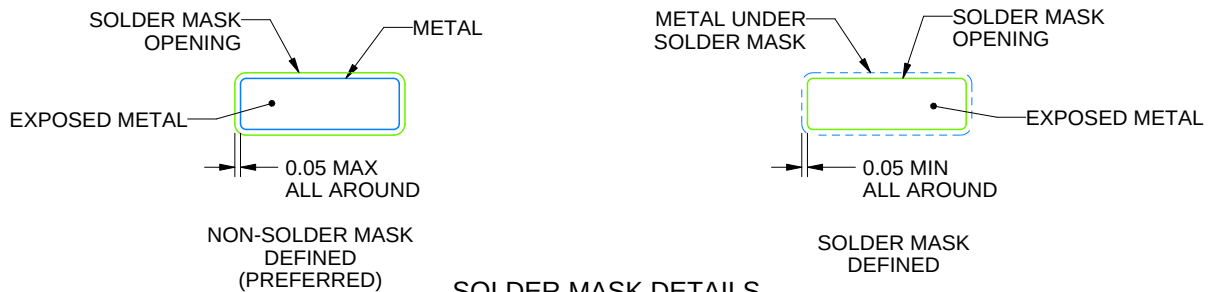
DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



4214862/A 04/2023

NOTES: (continued)

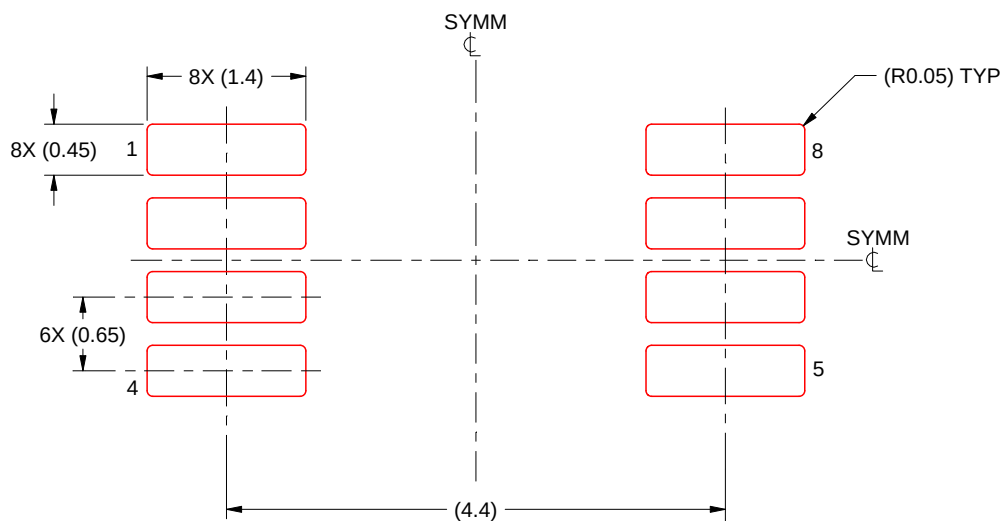
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

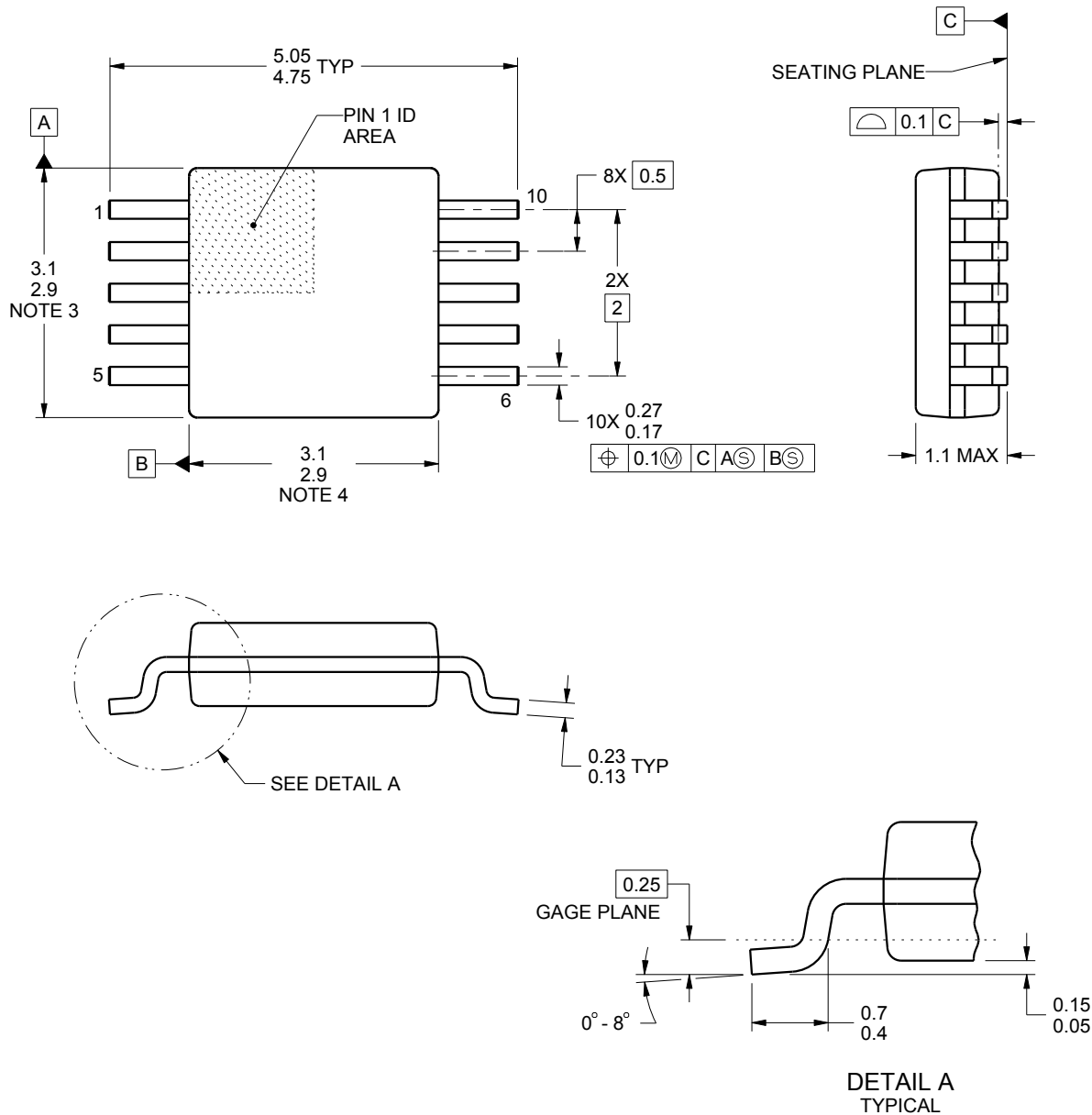


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.



4221984/A 05/2015

NOTES:

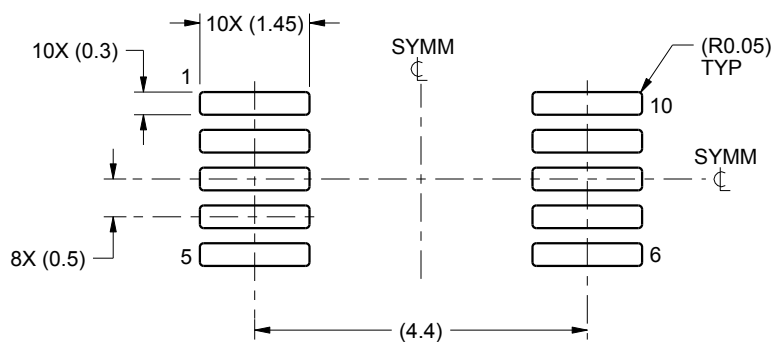
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187, variation BA.

EXAMPLE BOARD LAYOUT

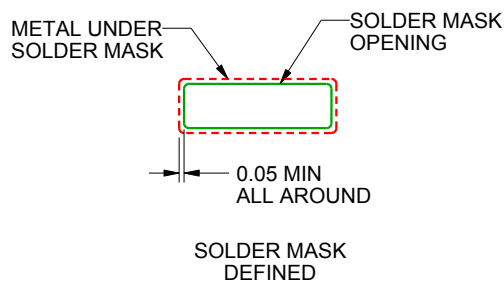
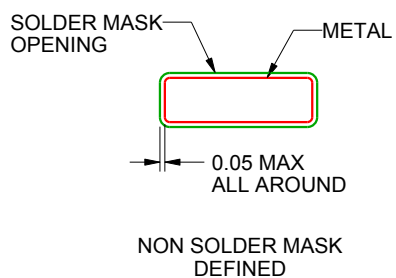
DGS0010A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
NOT TO SCALE

4221984/A 05/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

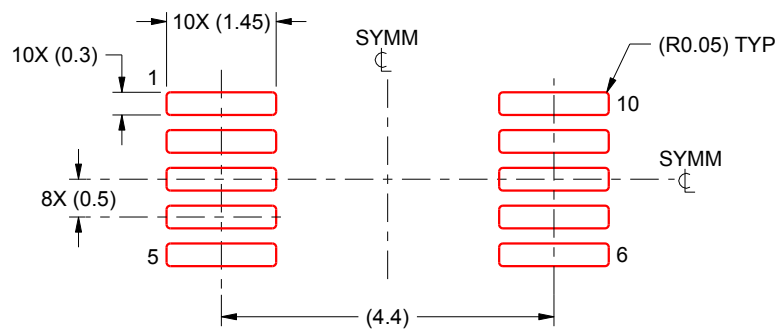
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DGS0010A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221984/A 05/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



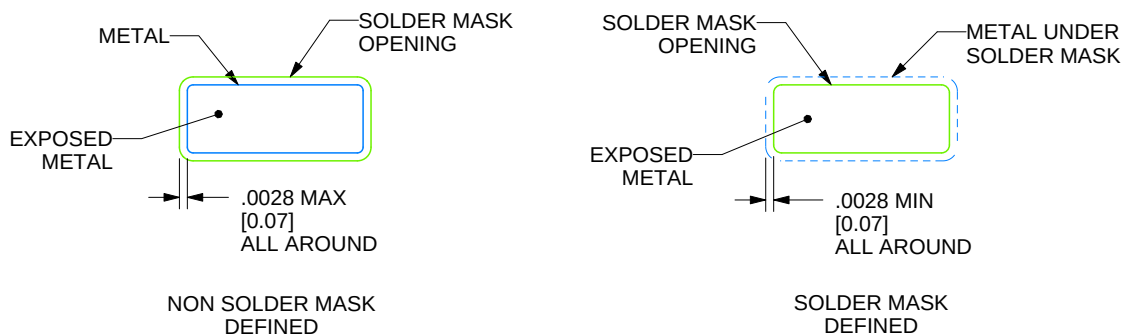
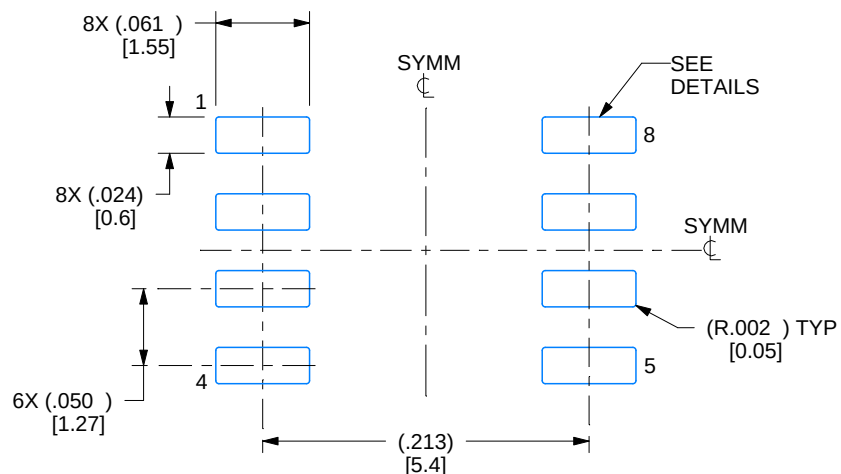
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

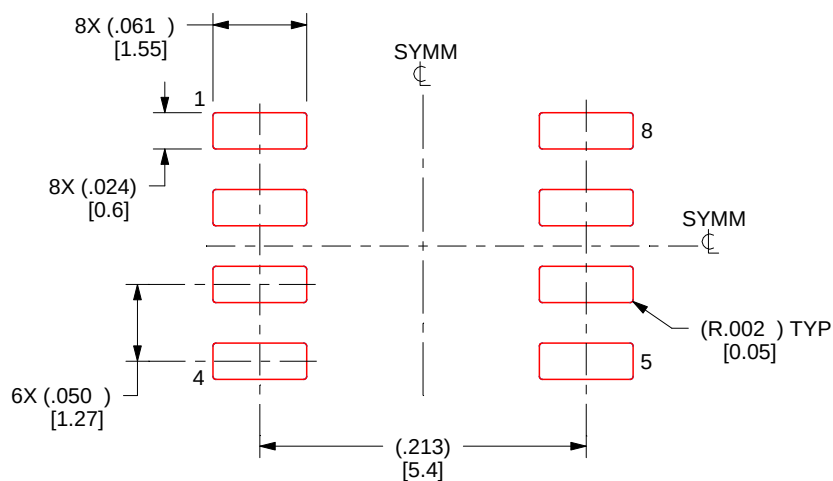
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



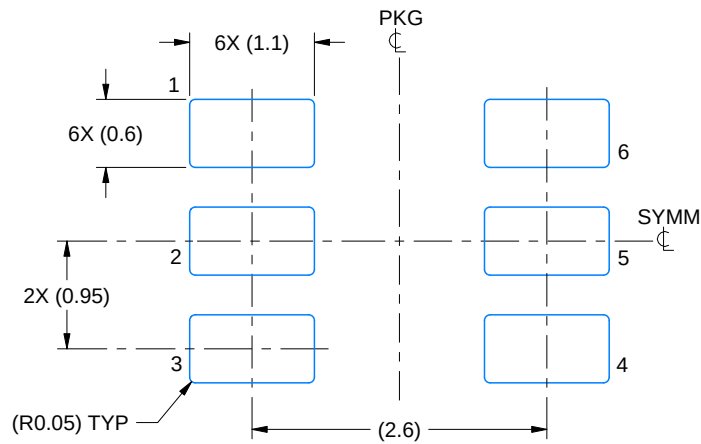
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Reference JEDEC MO-178.

EXAMPLE BOARD LAYOUT

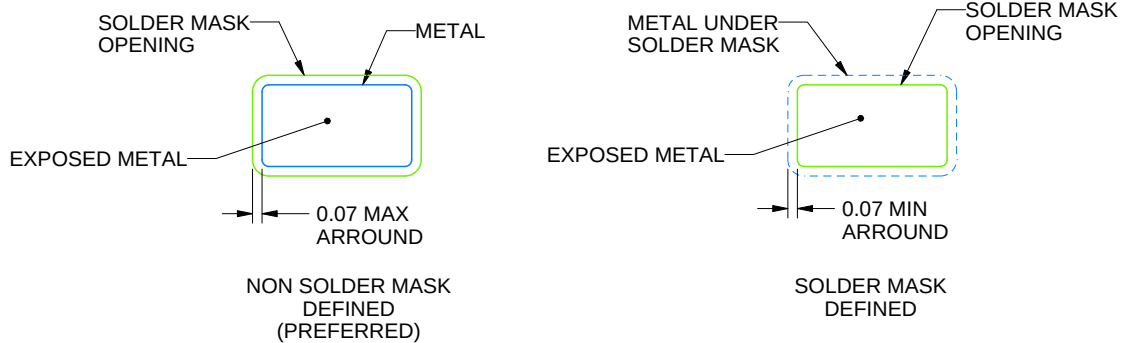
DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

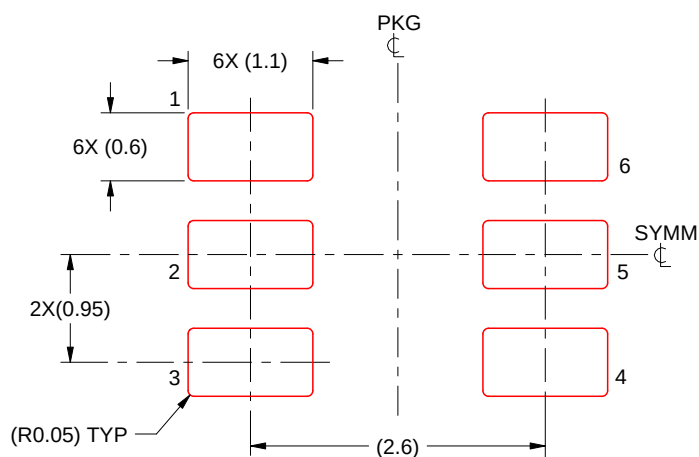
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月