TEXAS INSTRUMENTS
OPA371D, OPA2371D, OPA4371D
JADS309A – JUNE 2026 – REVISED AUGUST 2026

OPAx371D 125kHz、650nA NanoPower、1.5V 低電圧、電力の制約が厳しいアプリケーション向けの非補償型アンプ

1 特長

- 広ゲイン帯域幅積:125kHz
- 低い静止電流:650nA/Ch
- 最低 1.5V の電源電圧で動作
- 低い統合ノイズ (0.1Hz ～ 10Hz):3.9μV_{p-p}
- 低い入力オフセット電圧:±0.3mV
- 低い入力バイアス電流:500fA
- レール ツー レール入出力
- 不完全補償型、ゲイン 10V/V 以上 (安定)
- 統合 RFI および EMI フィルタ
- 拡張産業用温度範囲に対応:–40°C ～ 125°C

2 アプリケーション

- ポータブル エレクトロニクス
- 医療用センサ パッチ
- CO 検知器
- アクティブ フィルタ
- オーディオ マイク プリアンプ
- ローサイド電流センシング
- モーション検出器 (PIR、uWave など)
- パルス オキシメータ (血中酸素飽和度計)

3 説明

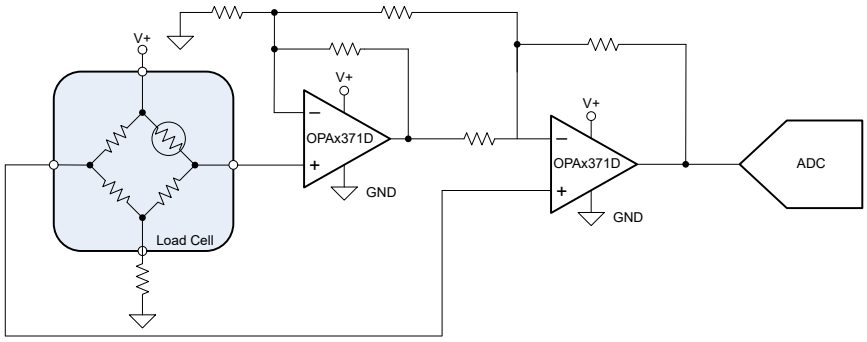
OPAx371D ファミリには、超低電圧アプリケーションで高い効率を実現するよう最適化されたシングル (OPA371D)、デュアル (OPA2371D)、クワッド (OPA4317D) の非補償オペアンプがあります。1.5V ～ 5.5V で動作し、レール ツー レールの入出力スイングを実現するこのファミリのアンプは、静止電流がわずか 650nA であるだけで、125kHz の非常に優れたゲイン帯域幅を実現します。OPAx371D を使用すると、高ゲインの回路構成とバッテリ駆動システムの長寿命を実現できます。小型パッケージが利用可能なため、このアンプファミリは高密度の基板アプリケーションで効果的に使用できます。

OPAx371D はゲイン帯域幅が高いため、ECG パッチ、モーション検出器、パーソナル エレクトロニクスなどのシグナル コンディショニングおよびフィルタリング アプリケーションでカスケード接続されたアンプ段が不要になり、設計を簡素化すると同時に、基板面積とシステム全体の消費電力を削減できます。

製品情報

部品番号	チャネル数	パッケージ (2)	パッケージ サイズ(3)
OPA371D	シングル	DBV (SOT-23、5)	2.9mm × 2.8mm
		DCK (SC70、5)	2mm × 2.1mm
		DQN (SOT-5X3、5)(1)	1mm × 1mm
OPA2371D	デュアル	D (SOIC、8)(1)	4.9mm × 6mm
		DSG (WSON、8)(1)	2mm × 2mm
		DGK (VSSOP、8)(1)	3mm × 4.9mm
OPA4371D	クワッド	PW (TSSOP、14)(1)	5mm × 6.4mm

(1) 製品プレビュー (量産データではありません)。
(2) 詳細については、セクション 10 を参照してください。
(3) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



ブリッジ アンプ回路

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....6
5.1 絶対最大定格.....6
5.2 ESD 定格.....6
5.3 推奨動作条件.....6
5.4 シングル チャネルの熱に関する情報.....6
5.5 電気的特性：OPAx371D.....8
5.6 代表的特性.....10
6 詳細説明.....17
6.1 概要.....17
6.2 機能ブロック図.....17
6.3 機能説明.....18
6.4 デバイスの機能モード.....22
7 アプリケーションと実装.....23
7.1 使用上の注意.....23
7.2 代表的なアプリケーション.....23
7.3 電源に関する推奨事項.....25
7.4 レイアウト.....26
8 デバイスおよびドキュメントのサポート.....28
8.1 ドキュメントのサポート.....28
8.2 ドキュメントの更新通知を受け取る方法.....28
8.3 サポート・リソース.....28
8.4 静電気放電に関する注意事項.....28
8.5 用語集.....28
9 改訂履歴.....28
10 メカニカル、パッケージ、および注文情報.....29

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

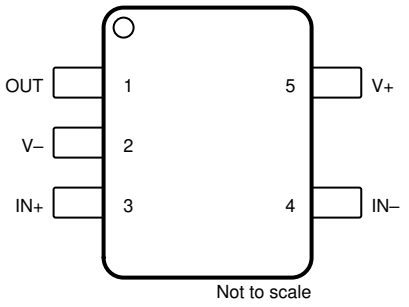


図 4-1. OPA371D DBV パッケージ
5 ピン SOT-23
上面図

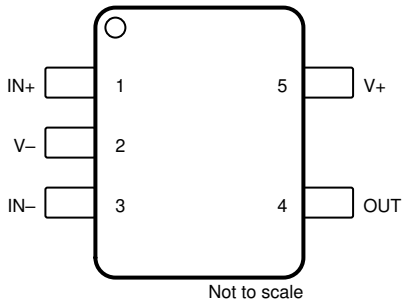


図 4-2. OPA371D DCK パッケージ
5 ピン SC70
上面図

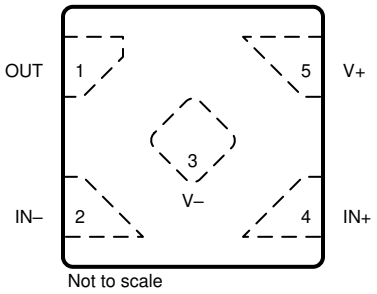


図 4-3. OPA371D DQN パッケージ
5 ピン SOT-5X3
上面図

表 4-1. ピンの機能：OPA371D

ピン				タイプ (1)	説明
名称	番号				
	SOT-23	SC70	SOT-5X3		
IN-	4	3	2	I	反転入力
IN+	3	1	2	I	非反転入力
OUT	1	4	1	O	出力
V-	2	2	3	I	負 (低) 電源またはグランド (単電源動作の場合)
V+	5	5	5	I	正 (高) 電源

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

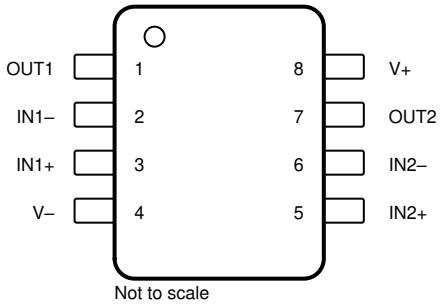
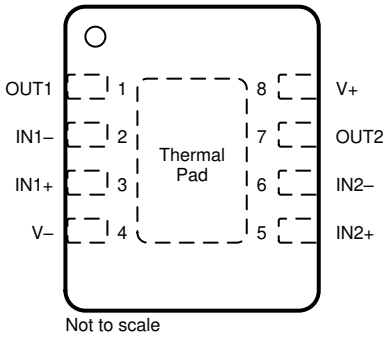


図 4-4. OPA2371D D および DGK パッケージ
8 ピン SOIC および VSSOP
上面図



露出サーマル パッドを V- に接続。詳細については、図 4-5 を参照してください。

図 4-5. OPA2371D DSG パッケージ
8 ピン WSON (露出サーマル パッド付き)
上面図

表 4-2. ピンの機能：OPA2371D

ピン		タイプ(1)	説明
名称	番号		
IN1–	2	I	反転入力、チャネル 1
IN1+	3	I	非反転入力、チャネル 1
IN2–	6	I	反転入力、チャネル 2
IN2+	5	I	非反転入力、チャネル 2
OUT1	1	O	出力、チャネル 1
OUT2	7	O	出力、チャネル 2
V-	4	I	負 (低) 電源またはグランド (単電源動作の場合)
V+	8	I	正 (高) 電源

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

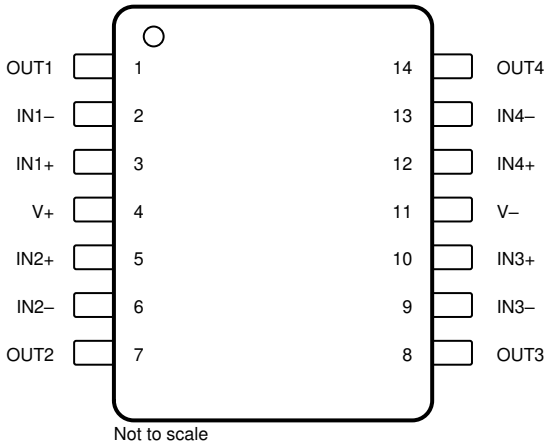


図 4-6. OPA4371D PW パッケージ
14 ピン TSSOP
上面図

表 4-3. ピンの機能：OPA4371D

ピン		タイプ(1)	説明
名称	TSSOP		
IN1–	2	I	反転入力、チャネル 1
IN1+	3	I	非反転入力、チャネル 1
IN2–	6	I	反転入力、チャネル 2
IN2+	5	I	非反転入力、チャネル 2
IN3–	9	I	反転入力、チャネル 3
IN3+	10	I	非反転入力、チャネル 3
IN4–	13	I	反転入力、チャネル 4
IN4+	12	I	非反転入力、チャネル 4
NC	—	—	内部接続なし
OUT1	1	O	出力、チャネル 1
OUT2	7	O	出力、チャネル 2
OUT3	8	O	出力、チャネル 3
OUT4	14	O	出力、チャネル 4
V-	11	I または —	負 (低) 電源またはグランド (単電源動作の場合)
V+	4	I	正 (高) 電源

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
電源電圧、V_S = (V+) - (V-)	電源電圧、V_S = (V+) - (V-)	0	6.0	V
信号入力ピン	同相電圧(1) (2)	(V-) - 0.5	(V+) + 0.5	V
	差動電圧(1) (2)		(V+) + 0.2	V
	電流(2)	-10	10	mA
出力短絡 (3)		連続		
動作時周囲温度、T_A		-55	150	°C
接合部温度、T_J			150	°C
保管温度、T_{stg}		-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。絶対最大定格は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本デバイスが動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 入力ピンは、電源レールに対してダイオード クランプされています。入力信号のスイングが 0.5V より大きく電源レールを超える可能性がある場合は、電流を 10mA 以下に制限する必要があります。
(3) グランドへの短絡、パッケージあたり 1 台のアンプ。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)	±4000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠 (2)	±1500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

動作時周囲温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V_S	電源電圧、(V+) - (V-)	1.5	5.5	V
C_{BYP}	電源ピンのバイパス コンデンサ(1)	0.1		µF
T_A	規定温度	-40	125	°C

(1) C_{BYP} には、各電源ピンとグランド間に低 ESR のセラミック コンデンサを使用します。単一電源での動作には、1 つの C_{BYP} のみで十分です。C_{BYP} がデバイスのできるだけ近くに配置され、電源トレースが C_{BYP} を経由してルーティングされてから、電源ピンに到達するようにしてください。

5.4 シングル チャネルの熱に関する情報

熱評価基準(1)		OPA371x			単位
		DBV (2) (SOT-23)	DCK (2) (SC70)	DQN(2) (SOT-5X3)	
		5 ピン	5 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	211.9	272.7	–	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	103.4	123.6	–	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	79.4	95.3	–	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	38	36.6	–	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	78.5	94.8	–	°C/W

Copyright © 2026 Texas Instruments Incorporated

熱評価基準(1)		OPA371x			単位
		DBV (2) (SOT-23)	DCK (2) (SC70)	DQN(2) (SOT-5X3)	
		5 ピン	5 ピン	5 ピン	
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	–	°C/W

(1) 従来および最新の熱測定基準の詳細については、アプリケーション レポート『半導体および IC パッケージの熱評価基準』、SPRA953 を参照してください。
(2) このパッケージ オプションは開発中製品です。

5.5 電気的特性：OPAx371D

特に指定がない限り、T_A = 25°C で、V_S = 1.5V ～ 5.5V (±0.75V ～ ±2.75V)、G = 10V/V、R_F = 1.8MΩ、R_L = 1MΩ を V_S/2 に接続し、V_{CM} = V_S/2 および $V_{O\ UT}$ = V_S/2 の条件とします。

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V_{OS}	入力オフセット電圧				±0.3	±1.75	mV
			T_A = 0°C ～ 85°C			±1.8	
dV_{OS}/dT	入力オフセット電圧ドリフト(1)		T_A = 0°C ～ 85°C		±0.58		µV/°C
PSRR	入力オフセット電圧と電源との関係			79	95		dB
			T_A = –40°C ～ 125°C	79			
入力バイアス電流							
I_B	入力バイアス電流 (1)				±0.5	±2	pA
			T_A = 0°C ～ 85°C			±80	
			T_A = –40°C ～ 125°C			±560	
I_{OS}	入力オフセット電流 (1)				±0.3	±1.5	pA
			T_A = 0°C ～ 85°C			±30	
			T_A = –40°C ～ 125°C			±150	
ノイズ							
E_N	入力電圧ノイズ	V_S = 5.5V、f = 0.1Hz ～ 10Hz			3.9		μV_{PP}
e_N	入力電圧ノイズ密度	V_S = 5.5V、f = 1kHz	V_S = 5.5V、f = 1kHz		155		nV/√Hz
i_N	入力電流ノイズ密度(2)	f = 1kHz			5		fA/√Hz
入力電圧範囲							
V_I	入力電圧範囲(2)			(V-) - 0.1		(V+) + 0.2	V
			T_A = –40°C ～ 125°C	(V–)		(V+)	
CMRR	同相信号除去比	V_S = 5.5V、(V–) ≦ V_{CM} ≦ (V+) – 0.7V		78	94		dB
		V_S = 5.5 V、(V–) ≤ V_{CM} ≤ (V+) – 0.7 V (1)	T_A = 0°C ～ 85°C	76			
		V_S = 5.5V、(V–) ≤ V_{CM} ≤ (V+) – 0.7V (1)	T_A = –40°C ～ 125°C	74			
		V_S = 1.5V、(V–) ≤ V_{CM} ≤ (V+) – 0.7V (1)		68	90		
		V_S = 1.5 V、(V–) ≤ V_{CM} ≤ (V+) – 0.7 V (1)	T_A = 0°C ～ 85°C	68			
		V_S = 1.5 V、(V–) ≤ V_{CM} ≤ (V+) – 0.7 V (1)	T_A = –40°C ～ 125°C	67			
		V_S = 5.5V、(V–) ≦ V_{CM} ≦ (V+)		65	83		
		V_S = 5.5V、(V–) ≦ V_{CM} ≦ (V+)	T_A = 0°C ～ 85°C	63			
		V_S = 5.5V、(V–) ≦ V_{CM} ≦ (V+)	T_A = –40°C ～ 125°C	63			
入力インピーダンス							
Z_{ID}	差動				80 || 0.3		GΩ || pF
Z_{ICM}	同相				100 || 2.2		
開ループ ゲイン							
A_{OL}	開ループ電圧ゲイン	V_S = 5.5V、(V–) + 0.10V < V_O < (V+) – 0.10V、R_L = 100kΩ to V_S / 2		110	133		dB
		V_S = 5.5V、(V–) + 0.10V < V_O < (V+) - 0.10V、R_L = 100kΩ を V_S/2 に接続	T_A = 0°C ～ 85°C	108			
		V_S = 5.5V、(V–) + 0.10V < V_O < (V+) - 0.10V、R_L = 100kΩ を V_S/2 に接続	T_A = –40°C ～ 125°C	96			
		V_S = 1.5V、(V–) + 0.10V < V_O < (V+) – 0.10V、R_L = 100kΩ to V_S / 2		94	122		
		V_S = 5.5V、(V–) + 0.25V < V_O < (V+) - 0.25V、R_L = 10kΩ を V_S/2 に接続(1)		116	130		
		V_S = 1.5V、(V–) + 0.25V < V_O < (V+) - 0.25V、R_L = 10kΩ を V_S/2 に接続(1)		103	118		

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性：OPAx371D (続き)

特に指定がない限り、T_A = 25°C で、V_S = 1.5V ～ 5.5V (±0.75V ～ ±2.75V)、G = 10V/V、R_F = 1.8MΩ、R_L = 1MΩ を V_S/2 に接続し、V_{CM} = V_S/2 および $V_{O\ UT}$ = V_S/2 の条件とします。

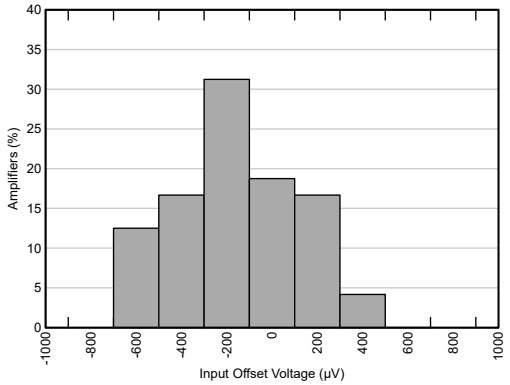
パラメータ		テスト条件		最小値	標準値	最大値	単位
周波数応答							
GBW	ゲイン帯域幅積	V_S = 5.5 V、G = 100 V/V、C_L= 10pF			125		kHz
SR	スルーレート	V_S = 5.5 V、G = +1、V_{STEP} = 4V_{PP}、C_L= 10pF			70		mV/µs
t_S	セトリング タイム	0.1% まで、V_S = 5.5V、V_{STEP} = 2V、C_L = 20pF	0.1% まで、V_S = 5.5V、V_{STEP} = 2V		330		µs
PM	位相マージン	V_S = 5.5V、C_L = 30pF			63		°
C_L の駆動	容量性負荷駆動能力	位相マージン = 45°			80		pF
$t_{overload}$	過負荷回復時間	V_{IN} × ゲイン > V_S			50		µs
EMIRR	電磁干渉除去比	f = 1.8GHz、V_{IN_EMIRR} = 100mV			91		dB
出力							
V_o	電圧出力スイング (レールから)	V_S = 5.5V、R_L = 100kΩ を V_S/2 に接続	V_S = 5.5V、R_L = 100kΩ を V_S/2 に接続		2.5	10	mV
		V_S = 5.5V、R_L = 100kΩ を V_S/2 に接続	T_A = –40°C ～ 125°C			15	
		V_S = 1.5V、R_L = 100kΩ を V_S/2 に接続	V_S = 1.5V、R_L = 100kΩ を V_S/2 に接続		1	12	
		V_S = 1.5V、R_L = 100kΩ を V_S/2 に接続	T_A = –40°C ～ 125°C			17	
I_{SC}	短絡電流 (3)	V_S = 5.5V		±11.5	±18		mA
			T_A = –40°C ～ 125°C	±5.5			
Z_O	オープン ループ出力インピーダンス	f = 100Hz	f = 100Hz		93		kΩ
	パワーオン時間	V_S = 0 ～ 5.5V、1% セトリング			0.7		ms
電源							
I_Q	アンプごとの静止電流	V_S = 1.5V、I_O = 0A、OPA371D			665	900	nA
			T_A = –40°C ～ 125°C			1000	
		V_S = 1.5V、I_O = 0A、OPA2371D/OPA4371D			630	900	
			T_A = –40°C ～ 125°C			1000	
		V_S = 5.5V、I_O = 0A、OPA371D			680	905	
			T_A = –40°C ～ 125°C			1030	
		V_S = 5.5V、I_O = 0A、OPA2371D/OPA4371D			650	905	
			T_A = –40°C ～ 125°C			1030	
シャットダウン							

(1) 最大 / 最小制限データは特性評価結果に基づいて規定されています。
(2) 設計シミュレーションの結果に基づいて規定されています
(3) ここで規定されている短絡電流は、短絡電流のソースとシンクの平均値です。

Copyright © 2026 Texas Instruments Incorporated

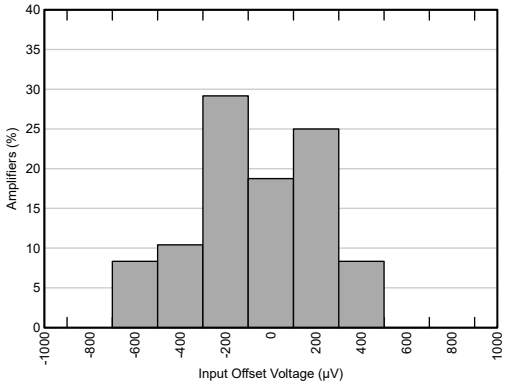
5.6 代表的特性

T_A = 25°C、V+ = 2.75V、V– = –2.75V、G = 10V/V、R_F= 1.8MΩ、R_L = 1MΩ を V_S / 2、V_{CM} = V_S / 2、および V_{OUT} = V_S / 2 に接続 (特に記述のない限り)



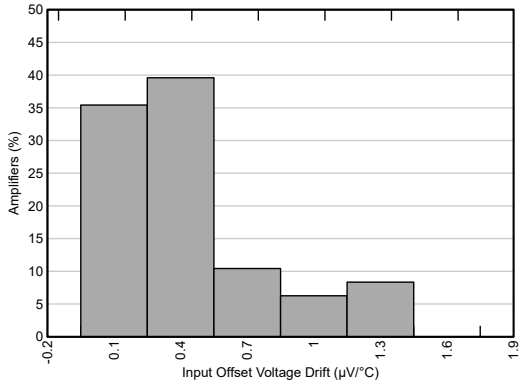
48 ユニット　　平均 = –3.5µV　　シグマ = 290µV

図 5-1. オフセット電圧のヒストグラム



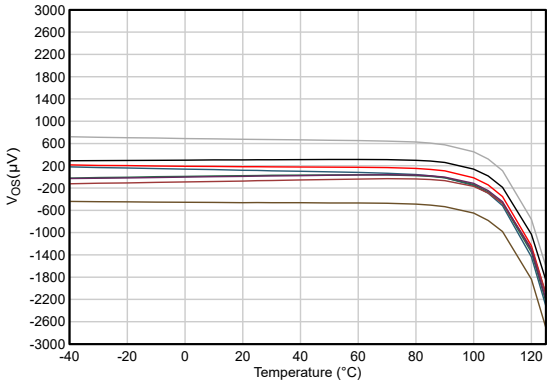
48 ユニット　　平均 = -0.4µV　　シグマ = 275µV

図 5-2. オフセット電圧ヒストグラム (VS = 1.5V)



48 ユニット　　平均 = 0.5µV/°C　　シグマ = 0.33µV/°C

図 5-3. オフセット電圧ドリフト ヒストグラム (0℃ ～ 85℃)



V_{CM} = V-

図 5-4. 入力オフセット電圧と温度との関係

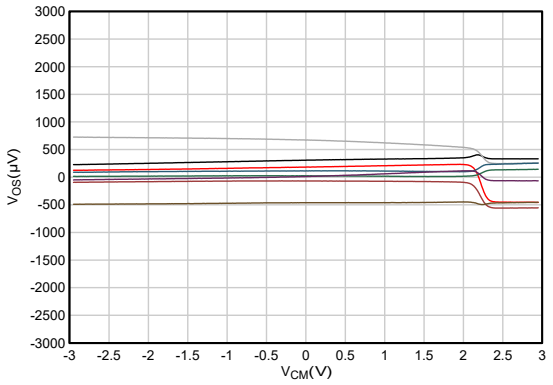


図 5-5. オフセット電圧と同相電圧との関係

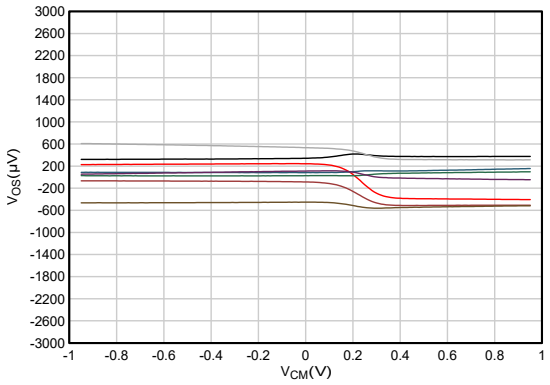
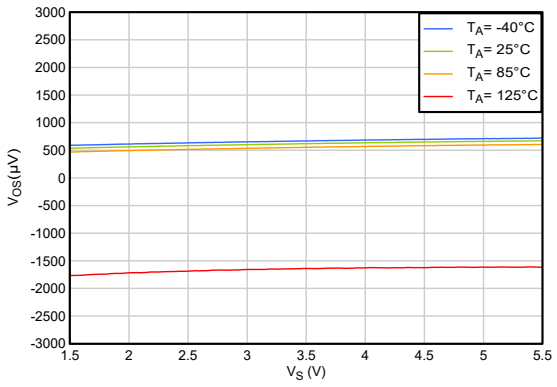


図 5-6. オフセット電圧と同相モード (V_S = 1.5V) との関係

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性 (続き)

T_A = 25°C、V+ = 2.75V、V– = –2.75V、G = 10V/V、R_F= 1.8MΩ、R_L = 1MΩ を V_S / 2、V_{CM} = V_S / 2、および V_{OUT} = V_S / 2 に接続 (特に記述のない限り)



V_{CM} = (V-)

図 5-7. オフセット電圧と電源電圧との関係

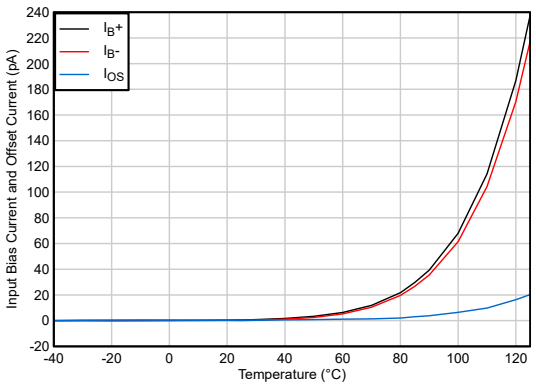


図 5-8. I_B および I_{OS} と温度との関係

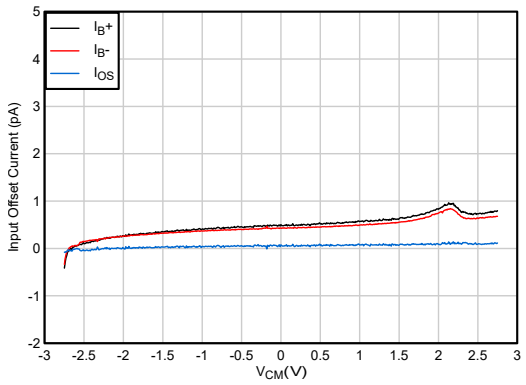
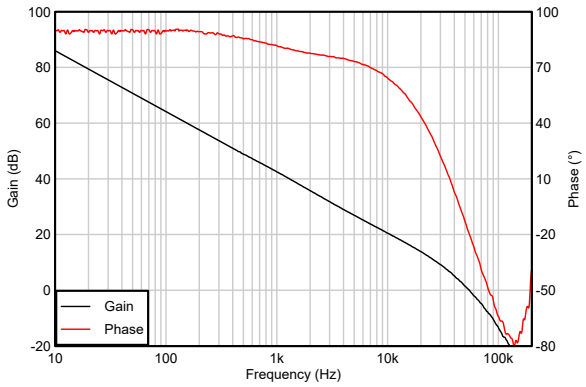


図 5-9. I_B および I_{OS} と同相電圧との関係



R_L = 1MΩ、C_L = 20pF

図 5-10. 開ループ ゲインおよび位相と周波数との関係

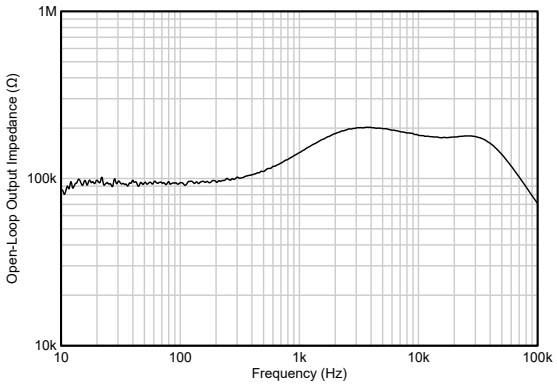
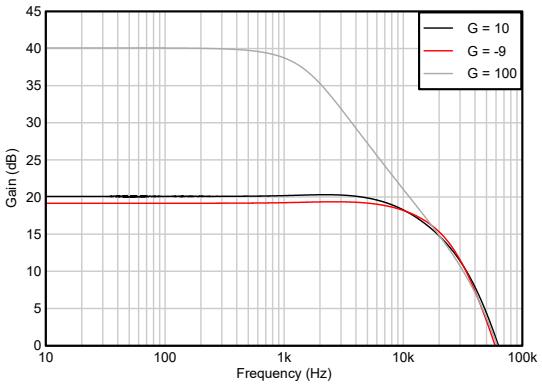


図 5-11. 開ループ出力インピーダンスと周波数との関係



C_L = 20pF

図 5-12. 閉ループ ゲインと周波数との関係

5.6 代表的特性 (続き)

T_A = 25°C、V+ = 2.75V、V– = –2.75V、G = 10V/V、R_F= 1.8MΩ、R_L = 1MΩ を V_S / 2、V_{CM} = V_S / 2、および V_{OUT} = V_S / 2 に接続 (特に記述のない限り)

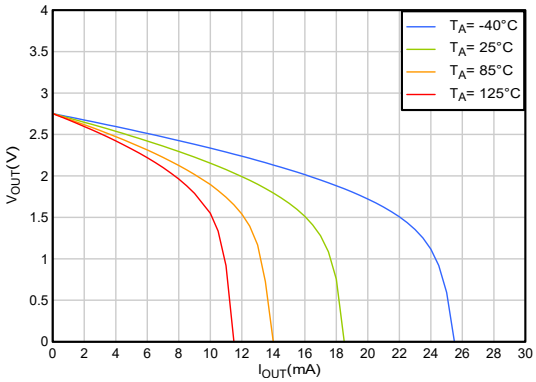


図 5-13. 出力電圧と出力電流との関係 (ソース)

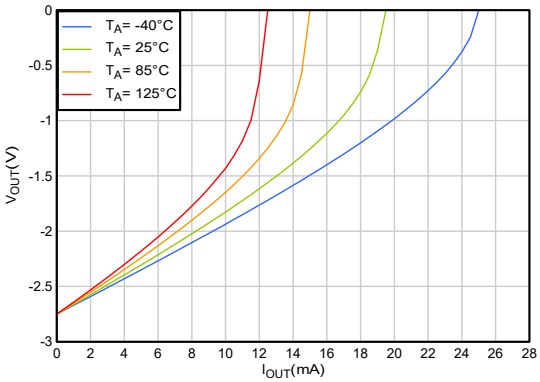


図 5-14. 出力電圧と出力電流との関係 (シンク)

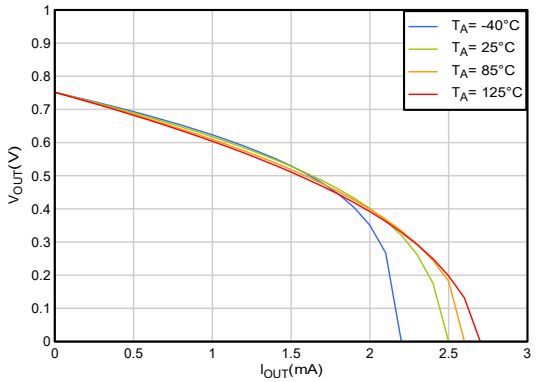


図 5-15. 出力電圧と出力電流との関係 (V_S = 1.5V)

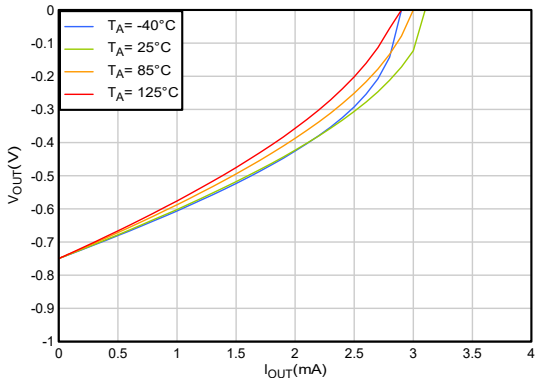


図 5-16. 出力電圧と出力電流との関係 (V_S = 1.5V)

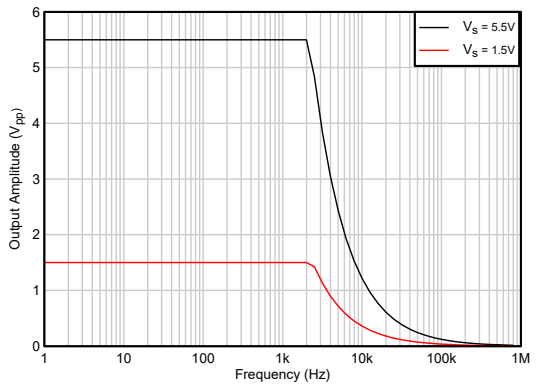


図 5-17. 最大出力電圧と周波数との関係

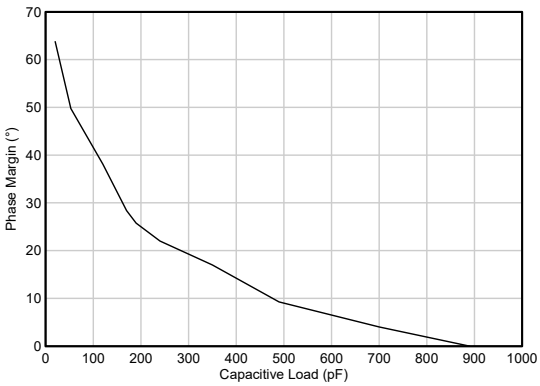


図 5-18. 位相マージンと容量性負荷との関係

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性 (続き)

T_A = 25°C、V+ = 2.75V、V– = –2.75V、G = 10V/V、R_F= 1.8MΩ、R_L = 1MΩ を V_S / 2、V_{CM} = V_S / 2、および V_{OUT} = V_S / 2 に接続 (特に記述のない限り)

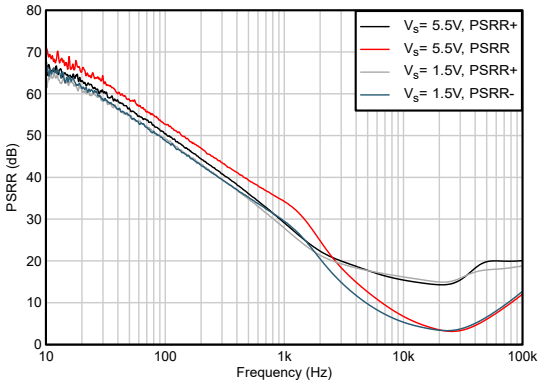


図 5-19. PSRR と周波数との関係

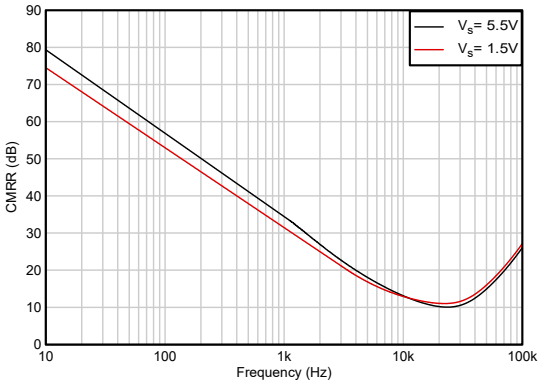
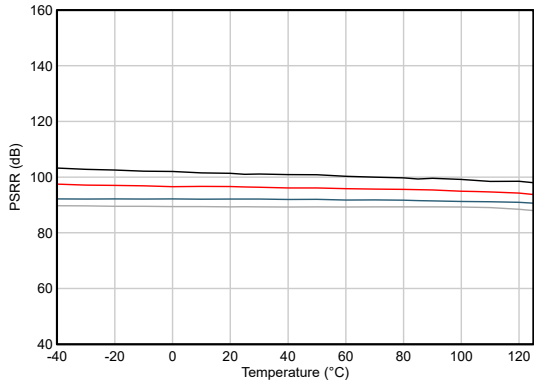


図 5-20. CMRR と周波数との関係



3 個、V_S = 1.5V ～ 5.5V

図 5-21. DC PSRR と温度との関係

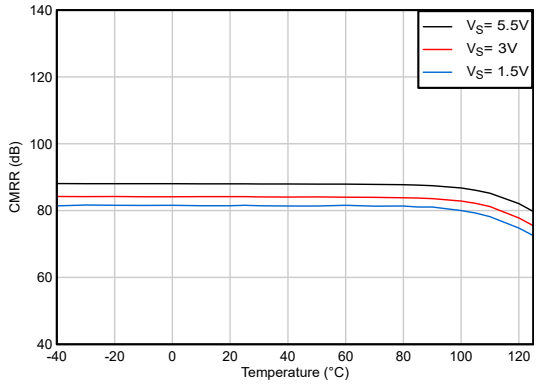


図 5-22. DC CMRR と温度との関係 ((V–) ≥ VCM ≥ (V+) - 0.7V)

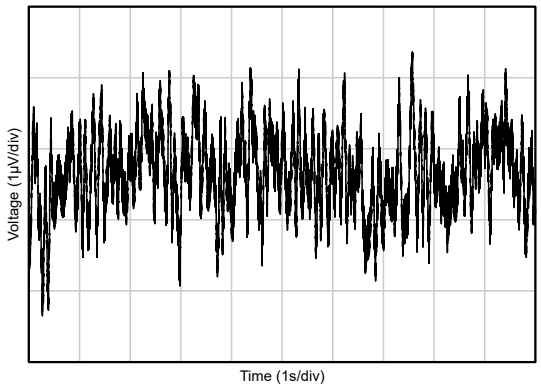


図 5-23. 時間領域での 0.1Hz～10Hz の電圧ノイズ

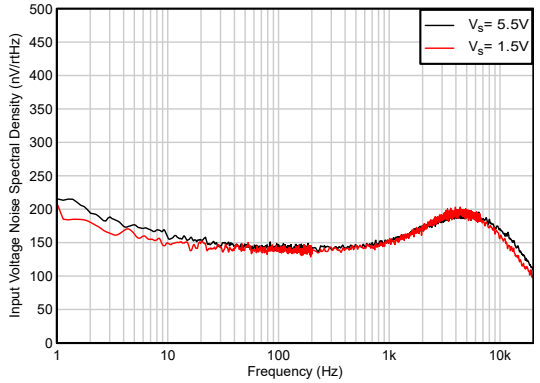
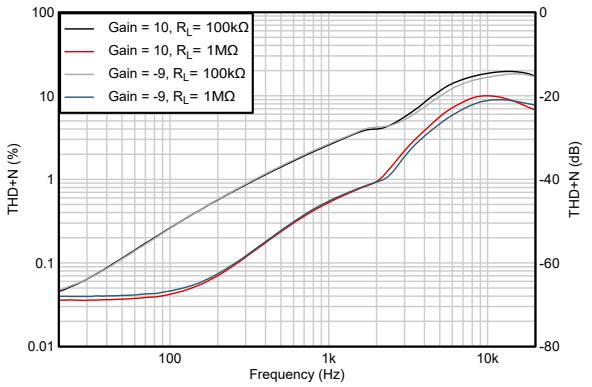


図 5-24. 入力電圧ノイズ スペクトル密度

Copyright © 2026 Texas Instruments Incorporated

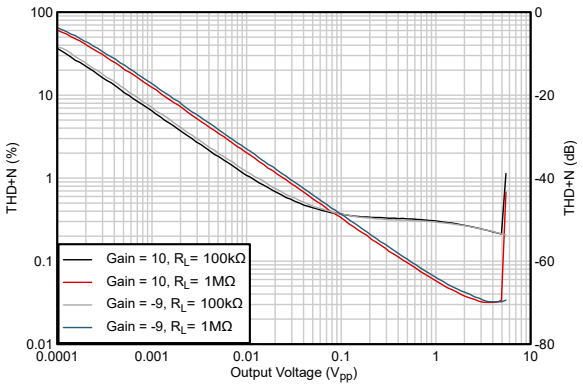
5.6 代表的特性 (続き)

T_A = 25°C、V+ = 2.75V、V– = –2.75V、G = 10V/V、R_F= 1.8MΩ、R_L = 1MΩ を V_S / 2、V_{CM} = V_S / 2、および V_{OUT} = V_S / 2 に接続 (特に記述のない限り)



BW = 80kHz　　V_{OUT} = 1V_{RMS}

図 5-25. THD + N と周波数との関係



BW = 80kHz　　f = 1kHz

図 5-26. THD + N と振幅との関係

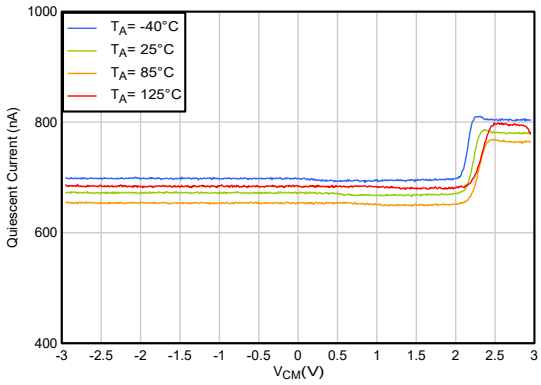


図 5-27. 静止電流と同相との関係

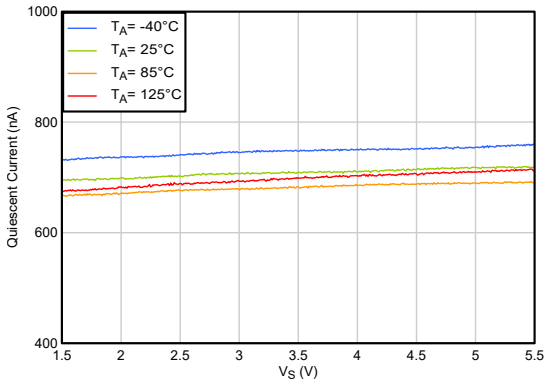


図 5-28. 静止電流と電源電圧との関係

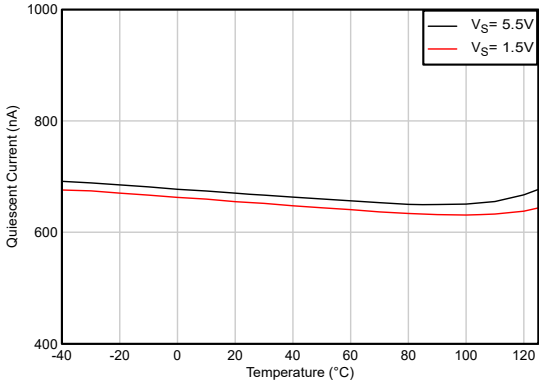
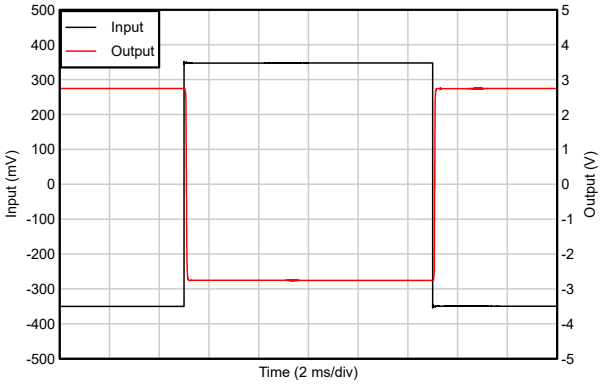


図 5-29. 静止電流と温度との関係



G = -9　　V_{IN} = 700mV_{PP}

図 5-30. 過負荷回復

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性 (続き)

T_A = 25°C、V+ = 2.75V、V– = –2.75V、G = 10V/V、R_F= 1.8MΩ、R_L = 1MΩ を V_S / 2、V_{CM} = V_S / 2、および V_{OUT} = V_S / 2 に接続 (特に記述のない限り)

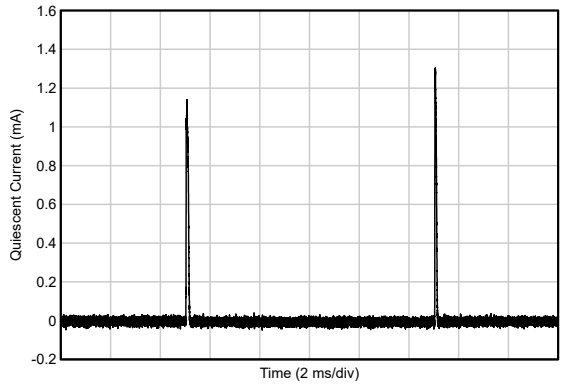
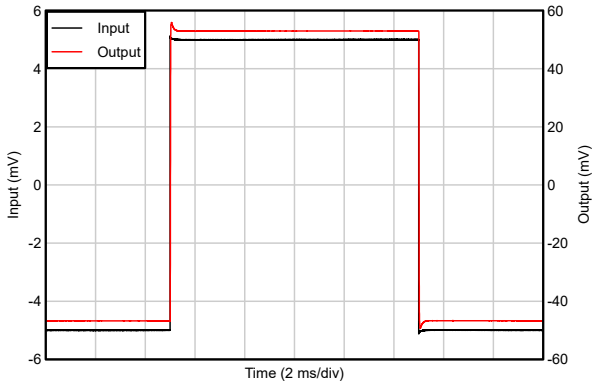
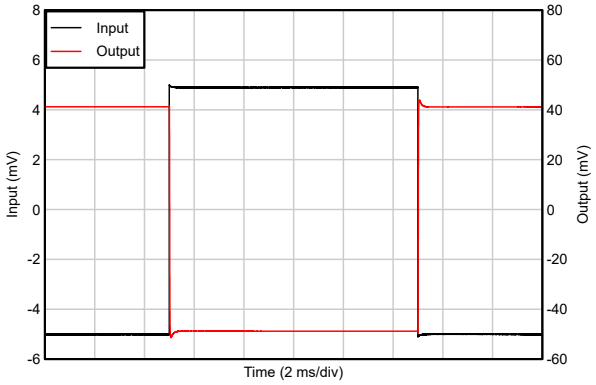


図 5-31. 過負荷時の静止電流



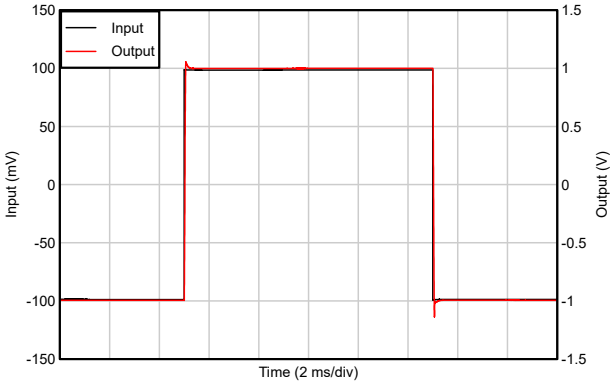
G = 10、V_{IN} = 10mV_{PP}、C_L = 20pF

図 5-32. 小信号ステップ応答



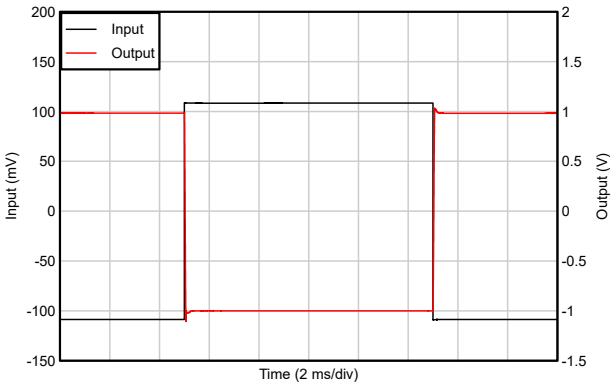
G = -9、V_{IN} = 10mV_{PP}、C_L = 20pF

図 5-33. 小信号ステップ応答



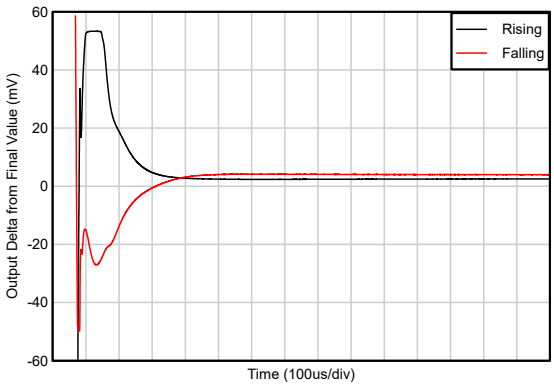
G = 10、V_{OUT} = 2V_{PP}、C_L = 20pF

図 5-34. 大信号ステップ応答



G = -9、V_{OUT} = 2V_{PP}、C_L = 20pF

図 5-35. 大信号ステップ応答

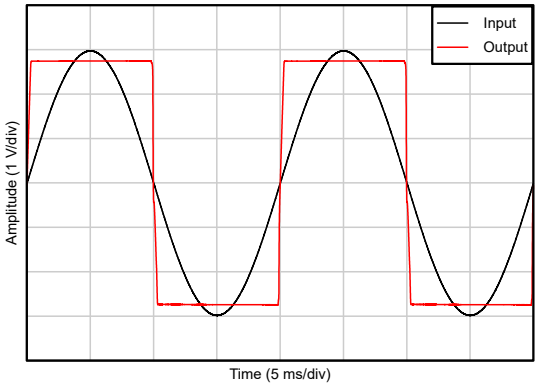


G = 10 V_{IN} = 2V_{PP}

図 5-36. セトリング タイム

5.6 代表的特性 (続き)

T_A = 25°C、V+ = 2.75V、V– = –2.75V、G = 10V/V、R_F= 1.8MΩ、R_L = 1MΩ を V_S / 2、V_{CM} = V_S / 2、および V_{OUT} = V_S / 2 に接続 (特に記述のない限り)



G = 10 V_{IN} = 6V_{PP}

図 5-37. 位相反転が発生しない

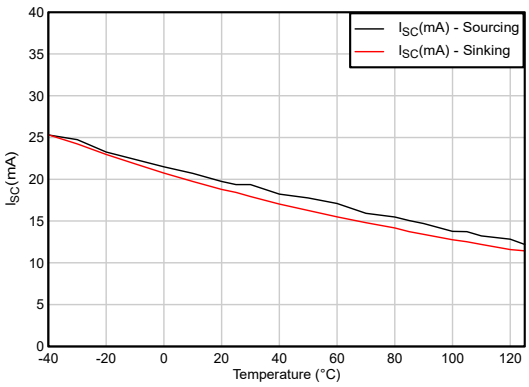


図 5-38. 短絡電流と温度との関係 (VS = 5.5V)

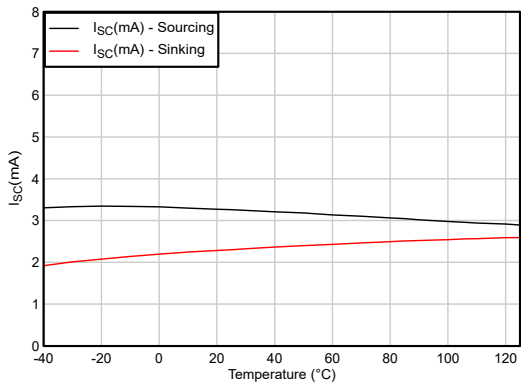


図 5-39. 短絡電流と温度との関係 (VS = 1.5V)

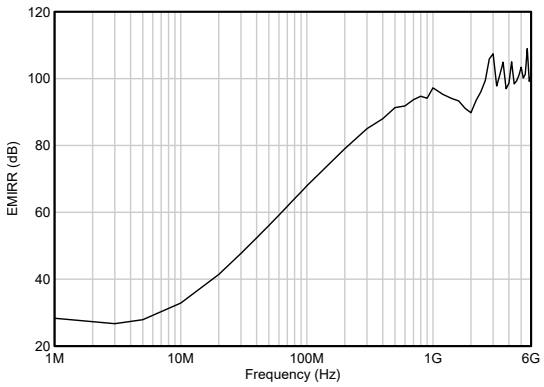


図 5-40. EMIRR と周波数との関係

Copyright © 2026 Texas Instruments Incorporated

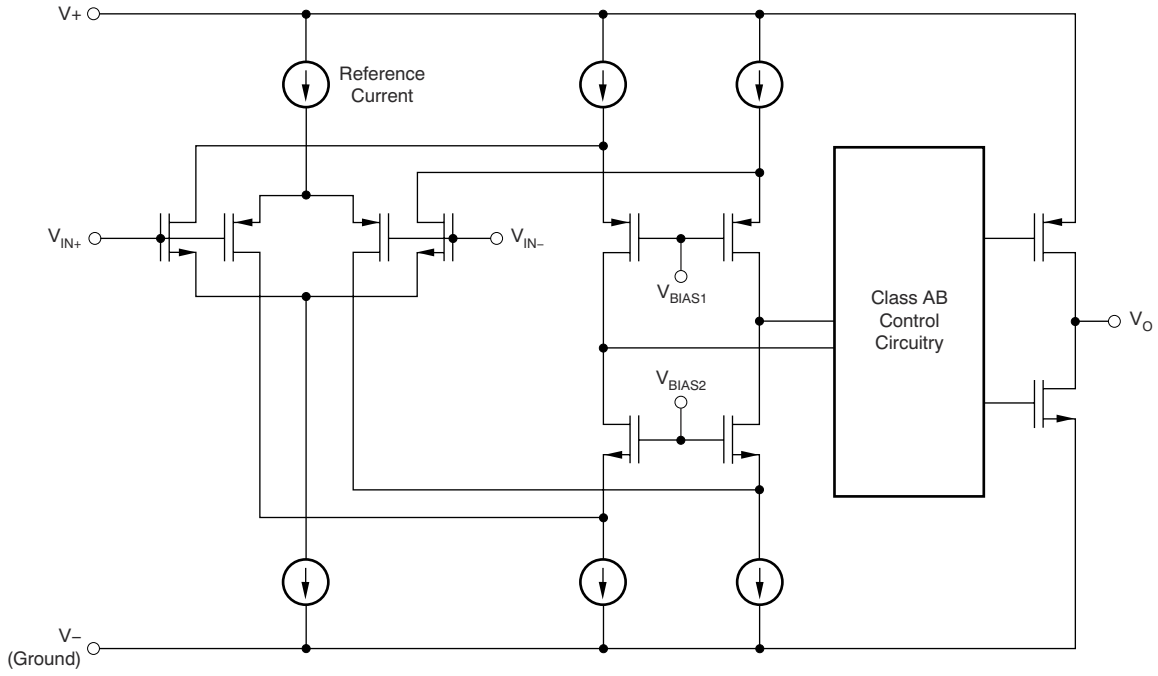
6 詳細説明

6.1 概要

OPAx371D ファミリの低消費電力、レールツーレール入力および出力オペアンプは、高ゲイン、バッテリー駆動アプリケーションに特化して設計されています。このアンプファミリは、1.5V の非常に低い電源電圧から 5.5V の標準電源電圧まで動作できる非補償型アーキテクチャを利用しており、10V/V 以上のノイズゲインでの使用に最適化されています。不完全補償型アーキテクチャにより、ゲイン帯域幅積の 125kHz と、チャネルあたりの静止電流 650nA が最大 70mV/µs のスルーレートを実現し、同様の消費電力を持つユニティゲイン安定アーキテクチャよりも優れた AC 性能を実現します。このため、センサ シグナル コンディショニングやフィルタリングアプリケーションで複数のカスケード接続したアンプ段が不要になり、部品点数とシステム全体の消費電力の低減が可能になります。

入力同相電圧範囲には両方のレールが含まれているため、OPAx371D シリーズは多くの単電源または両電源構成で使用できます。OPAx371D は、10V/V のゲインで最大 100pF の容量性負荷を駆動でき、3.9µVp-p の積分ノイズ (0.1Hz ～ 10Hz) を実現しているため、AC 特性の向上と消費電力の低減を可能にします。また、この設計は、0.3mV の入力オフセット電圧 (標準値) と 500fA の入力バイアス電流 (標準値) で優れた DC 性能を備え、優れた PSRR、CMRR、AOL を提供し、RFI および EMI 除去フィルタを内蔵しているため、電気的ノイズの多い環境でも信頼性の高い動作を実現します。

6.2 機能ブロック図



6.3 機能説明

6.3.1 動作電圧

OPAx371D シリーズのオペアンプは 1.5V ～ 5.5V での動作が完全に規定されており、確保されています。また、仕様の多くは -40℃～125℃で適用されます。電源ピンは、0.1µF 以上のセラミック コンデンサでグランドにバイパスします。

6.3.2 レール ツー レール入出力

OPAx371D の入力同相電圧範囲は、最低 1.5V の非常に低い電源電圧で動作している場合でも、両方の電源レールまで広がります。この性能は、コンプリメンタリ入力段 (P チャネル差動ペアと並んで配置された N チャネル入力差動ペア) により達成されています。詳細については、を参照してください。セクション 6.2

相補入力段を持つほとんどのアンプでは、P チャネル入力ペアは、入力オフセット電圧、オフセット ドリフトにおいて、N チャネル ペアよりも入力オフセット電圧とオフセット ドリフトに関して優れたパフォーマンスを発揮するように設計されています。この遷移領域内では、この領域の外側でデバイスが動作しているときと比較して、PSRR、CMRR、オフセット電圧、オフセット ドリフト、THD が劣化する可能性があります。OPAx371D は、正のレールから 0.7V まで P チャネルペアでの動作を規定し、ほとんどの相補型入力アンプに比べて、P チャネル入力範囲がはるかに広くなります。この拡張範囲は、より低い電源電圧 (1.5V、1.8V など) で動作する場合に特に有用で、遷移領域を回避して直線性を維持しながら、入力信号の広い同相スイングを P チャネル入力ペア内に対応できます。

ナノパワー、低ノイズのオペアンプとして設計された OPAx371D は強力な出力駆動能力も備えています。共通ソース トランジスタを使用した Class AB 出力段を使用して、100kΩ までの抵抗負荷において完全なレール ツー レールの出力スイングを実現できます。アンプがレールのどれだけ近くまでスイングできるかは、負荷条件によって変化します。

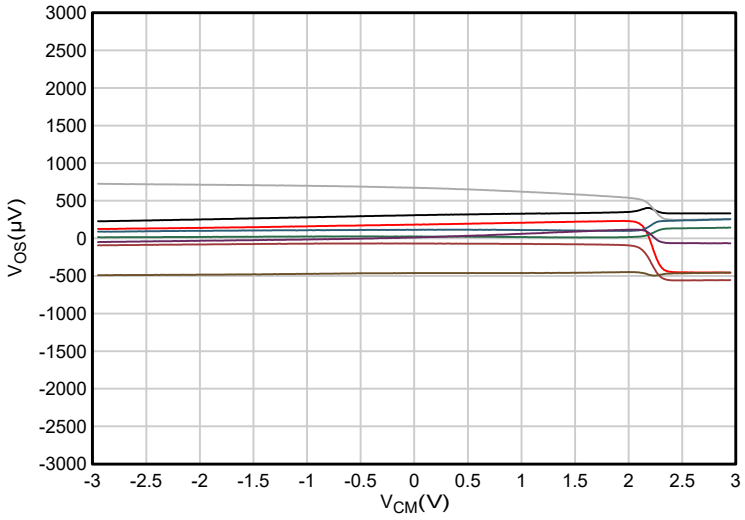


図 6-1. オフセット電圧と同相電圧との関係

Copyright © 2026 Texas Instruments Incorporated

6.3.3 広いゲイン帯域幅積を持つ不完全補償型アーキテクチャ

OPAx371D ファミリなどのアンプは、ユニティゲイン安定ではなく、*非補償型アンプ*と呼ばれます。非補償型アーキテクチャにより、類似の静止電流を持つユニティゲイン安定アンプに比べて、より高い GBW、高いスルーレート、より低いノイズを実現できます。帯域幅を広くすると、オペアンプの立ち上がり時間とセトリングタイムが短縮され、ADC ベースのシグナルチェーンでより高速なレートでサンプリングできるようになります。

図 6-2 に示すように、ユニティゲイン安定アンプの支配的な極 f_d は、非補償型オペアンプの場合、周波数 f_1 に移動します。実線の A_{OL} プロットは、従来のユニティゲイン安定オペアンプの開ループ ゲイン プロットです。OPAx371D などの非補償型アンプの内部補償の変化により、同じ電力量の帯域幅が増加します。上記のパラメータにおける利点に加えて、対応するユニティゲインと比較して利用可能なループゲインが高いため、スルーレートが高くなり、歪み値が小さくなることもあります。考慮すべき最も重要な要素は、オペアンプが G_{min} を上回るノイズゲイン (NG) になることを確認することです。G_{min} より小さい NG の値は、1/ß 曲線は 40dB/decade の A_{OL} 曲線と交差するため、図 6-2 に示すように不安定になります。この安定性解析手法を、閉鎖速度法と呼ばれます。TI プレシジョンラボを参照して、デバイスの安定性をよりよく理解し、安定性を確保するさまざまな手法をご確認ください。

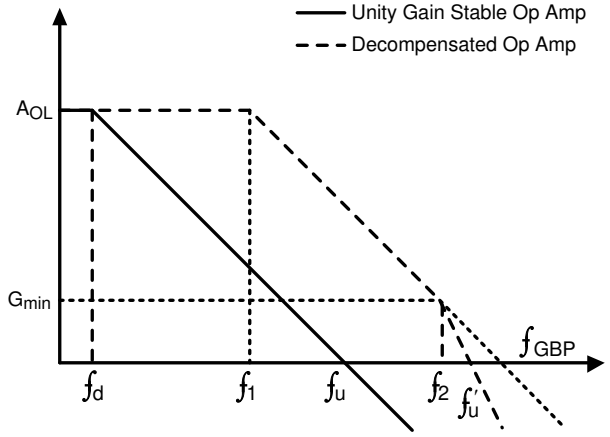


図 6-2. ユニティゲイン安定オペアンプと非補償型オペアンプのゲインと周波数の特性との関係

OPAx371D ファミリは、従来のゲイン回路で 10V/V (20dB) 以上のノイズゲインで安定します。このゲイン構成では、このデバイスには小信号帯域幅 (SSBW) の 120kHz があり、約 65° の位相マージンがあります。OPAx371D デバイスは GBW が高く、低消費電力であるため、消費電力の制約が厳しい高ゲインのアプリケーションに適しています。

6.3.4 容量性負荷および安定度

OPAx371D は、容量性負荷の駆動が必要なアプリケーションで使用するように設計されています。すべてのオペアンプと同様に、OPAx371D シリーズが不安定になる特定の状況があり得ます。アンプが動作時に安定するかどうかを判断するには、そのオペアンプの回路構成、レイアウト、ゲイン、出力負荷などの要因を考慮します。容量性負荷は、オペアンプの開ループ出力インピーダンスと相まって、位相マージンを劣化させる極を帰還ループ内に形成します。容量性負荷が大きくなると、位相マージンの劣化が大きくなります。10V/V のゲインで動作している場合、OPAx371D は最大約 100pF の純粋な容量性負荷で安定した状態を維持し、標準値 42°の良好な位相マージンを確保しています。一部の大容量コンデンサ (1µF よりも大きい値の C_L) の等価直列抵抗 (ESR) は、アンプが安定した状態を維持するように帰還ループの位相特性を変えるのに十分です。アンプの閉ループ ゲインを大きくすると、アンプはさらに大きな容量を駆動できます。より高い電圧ゲインでのアンプのオーバーシュート応答を測定すると、この能力の向上は明らかです。

アンプの容量性負荷駆動能力を向上する 1 つの手法は、図 6-3 に示すように、出力と直列に小さな抵抗 (標準的には 10Ω ～ 20Ω) を挿入することです。この抵抗は、大きな容量性負荷に伴うオーバーシュートとリンギングを大幅に低減します。ただし、この手法によって起こりうる 1 つの問題は、追加された直列抵抗と、容量性負荷と並列に接続されたあらゆる抵抗負荷によって分圧器が形成されることです。この分圧器は、出力スイングを低減させる出力ゲイン誤差を生じさせます。

Copyright © 2026 Texas Instruments Incorporated

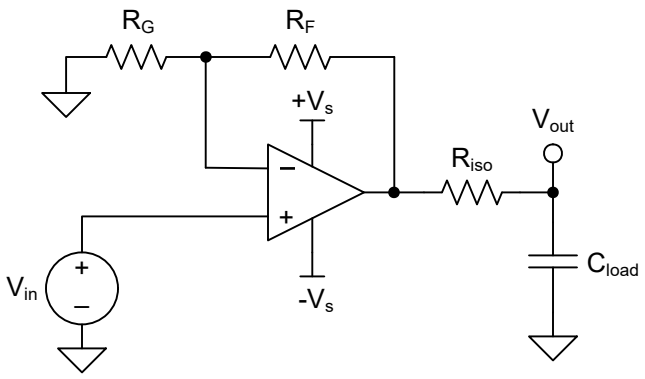


図 6-3. 容量性負荷駆動の向上

6.3.5 過負荷回復

過負荷からの回復は、オペアンプの出力が飽和状態から線形状態に回復するために必要な時間として定義されます。高い入力電圧または高いゲインが原因で、出力電圧が定格動作電圧を超えると、オペアンプの出力デバイスは飽和領域に入ります。いずれかの出力デバイスが飽和領域に入った後、出力段はリニア動作状態に戻るために追加の時間を必要とし、これは過負荷復帰時間と呼ばれます。出力段が線形状態に戻ると、アンプは指定されたスルーレートでスルーを開始します。したがって、過負荷状態の場合の伝搬遅延は、過負荷復帰時間とスルー時間の合計になります。OPAx371D の過負荷復帰時間は約 50µs です。

6.3.6 EMI 除去

OPAx371D は、内蔵の電磁干渉 (EMI) フィルタリングを使用して、ワイヤレス通信や、アナログ信号チェーンとデジタルコンポーネントを組み合わせた高密度実装の基板などのソースから引き起こされる EMI の影響を低減します。EMI 耐性は回路設計手法により改善可能で、OPAx371D はこのような設計の改善を活用しています。テキサス インスツルメンツは、10MHz ～ 6GHz の幅広い周波数スペクトルにわたって、オペアンプの耐性を正確に測定および数量化しています。OPAx371D でこのテストを行った結果を、図 6-4 に示します。実際のアプリケーションで一般的に発生する、特定の周波数における OPAx371D の EMIRR IN+ 値を、表 6-1 に示します。『オペアンプの EMI 除去率』アプリケーション レポートには、オペアンプに関連する EMIRR 性能の詳細情報が記載されており、www.ti.com からダウンロードできます。

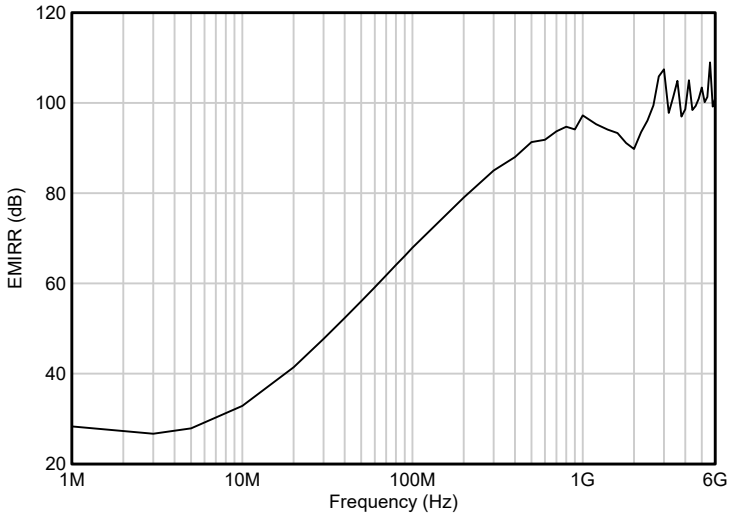


図 6-4. EMIRR テスト

表 6-1. 対象周波数における TLV904xD の EMIRR IN+

FREQUENCY	アプリケーションまたは割り当て	EMIRR IN+
400MHz	モバイル無線、モバイル衛星、宇宙での運用、気象、レーダー、極超短波 (UHF) アプリケーション	88dB

Copyright © 2026 Texas Instruments Incorporated

表 6-1. 対象周波数における TLV904xD の EMIRR IN+ (続き)

FREQUENCY	アプリケーションまたは割り当て	EMIRR IN+
900MHz	GSM (モバイル通信) アプリケーション向けのグローバル システム、無線通信、ナビゲーション、GPS (最高 1.6GHz まで)、GSM、航空モバイル、UHF アプリケーション	95dB
1.8GHz	GSM アプリケーション、モバイル パーソナル通信、ブロードバンド、衛星、L バンド (1GHz～2GHz)	90dB
2.4GHz	802.11b、802.11g、802.11n、Bluetooth®、モバイル パーソナル通信、産業用、科学用および医療用 (ISM) 無線帯域、アマチュア無線および衛星、S バンド (2GHz～4GHz)	95dB
3.6GHz	無線測位、航空通信およびナビゲーション、衛星、モバイル、S バンド	98dB
5GHz	802.11a、802.11n、航空通信とナビゲーション、モバイル通信、宇宙と衛星での運用、C バンド (4GHz～8GHz)	100dB

6.3.7 電気的オーバーストレス

設計者は、オペアンプが電気的オーバーストレスにどの程度耐えられるのかという質問をすることがよくあります。これらの質問は、主にデバイスの入力に関するものですが、電源電圧ピンや、さらに出力ピンにも関係する場合があります。これらの各ピンの機能には、特定の半導体製造プロセスの電圧ブレークダウン特性と、ピンに接続された特定の回路とで決まる電気的ストレスの制限値があります。また、これらの回路には内部静電気放電 (ESD) 保護機能が組み込まれており、製品の組み立て前と組み立て中の両方で、偶発的な ESD イベントから保護します。

この基本的な ESD 回路と、電気的オーバーストレス イベントとの関連性を十分に理解しておくと役に立ちます。OPAx371D デバイスに搭載されている ESD 回路を、図 6-5 に示します。ESD 保護回路には、いくつかの電流ステアリング ダイオードが含まれており、入力や出力のピンから、内部の電源ラインに戻るよう配線され、オペアンプ内部の吸収デバイスと接続されます。この保護回路は、通常の回路動作中は非アクティブに保たれるよう設計されます。

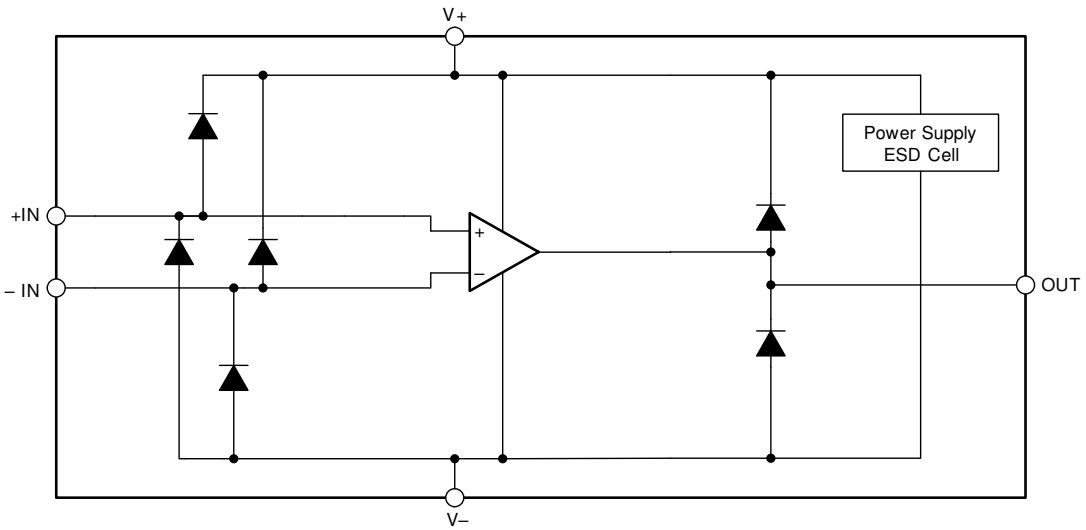


図 6-5. 内部 ESD 等価回路

6.3.8 入力および ESD 保護

OPAx371D ファミリには、すべてのピンに内部 ESD 保護回路が組み込まれています。入力ピンと出力ピンの場合、この保護は主に入力ピンと電源ピンとの間に接続された電流ステアリング ダイオードで構成されます。これらの ESD 保護ダイオードは、電流が 10mA に制限されている限り、回路内で入力オーバードライブの保護を行います。駆動入力に直列入力抵抗を追加して入力電流を制限する方法を、図 6-6 に示します。追加された抵抗はアンプの入力で熱ノイズを引き起こすため、ノイズに敏感なアプリケーションでは値を最小限に抑える必要があります。

Copyright © 2026 Texas Instruments Incorporated

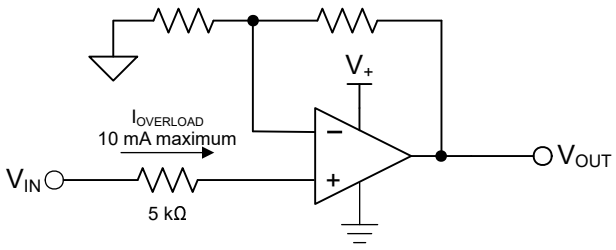


図 6-6. 入力電流保護

6.4 デバイスの機能モード

OPAx371D ファミリには、単一の機能モードがあります。電源電圧が 1.5V (±0.75V) と 5.5V (±2.75V) の間にある限り、これらのデバイスは機能します。

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI コンポーネントの仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

OPAx371D ファミリの低消費電力、レールツーレール入力および出力オペアンプは、ポータブル高ゲインアプリケーションに特化して設計されています。本デバイスは 1.5V ～ 5.5V で動作し、10V/V 以上で安定しているため、幅広い汎用アプリケーションに適しています。クラス AB の出力段は、V+ と V- との間の任意のポイントに接続される 100kΩ を上回る抵抗負荷を駆動できます。入力同相電圧範囲には両方のレールが含まれているため、OPAx371D シリーズは多くの単一電源またはデュアル電源構成で使用できます。

7.2 代表的なアプリケーション

7.2.1 ローサイド電流センシング アプリケーション

図 7-1 に、ローサイド電流センシング アプリケーション用に構成された OPAx371D を示します。

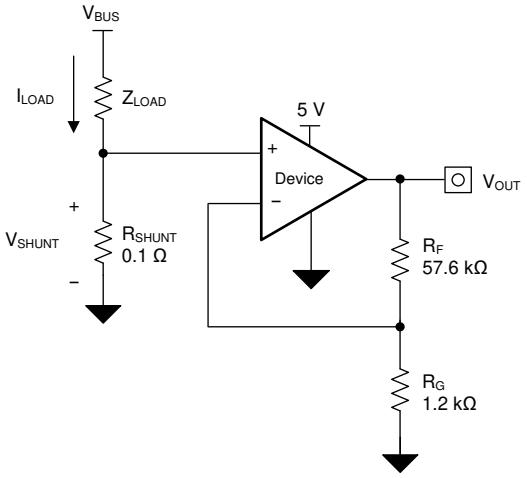


図 7-1. ローサイド電流センシング アプリケーション

7.2.1.1 設計要件

この設計の設計要件は次のとおりです。

- 負荷電流:0A ～ 1A
- 最大出力電圧:4.9V
- 最大シャント電圧:100mV

7.2.1.2 詳細な設計手順

図 7-1 の回路の伝達関数は、式 1 に示すとおりです。

$$V_{OUT} = I_{LOAD} \times R_{SHUNT} \times Gain \quad (1)$$

負荷電流 (I_{LOAD}) により、シャント抵抗 (R_{SHUNT}) の両端で電圧降下が発生します。負荷電流は 0A～1A の範囲で設定されます。最大負荷電流時のシャント電圧を 100mV 未満に維持するために、最大シャント抵抗は 式 2 を使用して表示されます。

$$R_{SHUNT} = \frac{V_{SHUNT_MAX}}{I_{LOAD_MAX}} = \frac{100mV}{1A} = 100m\Omega \quad (2)$$

式 2 を使用して計算すると、R_{SHUNT} は 100mΩ となります。I_{LOAD} と R_{SHUNT} によって生成される電圧降下は OPAx371D によって増幅され、約 0V ～ 4.9V の出力電圧を生成します。OPAx371D が必要な出力電圧を生成するために必要なゲインは、式 3 を使用して計算されます。

$$Gain = \frac{V_{OUT_MAX} - V_{OUT_MIN}}{V_{IN_MAX} - V_{IN_MIN}} \quad (3)$$

式 3 を使用して計算すると、必要なゲインは 49V/V となります。これは抵抗 R_F と R_G で設定します。式 4 OPAx371D デバイスのゲインを 49V/V に設定するための抵抗 R_F および R_G のサイズを計算します。

$$Gain = 1 + \frac{R_F}{R_G} \quad (4)$$

R_F に 57.6kΩ、R_G に 1.2kΩ を選択すると、組み合わせで 49V/V に等しくなります。図 7-1 に示す回路で測定された伝達関数を、図 7-2 に示します。ゲインは、帰還抵抗とゲイン抵抗のみの関数であることに注意します。このゲインは抵抗の比を変化させることで調整され、実際の抵抗値は設計者が設定しようとするインピーダンス レベルによって決定されます。インピーダンス レベルによって、電流ドレイン、浮遊容量の影響、その他いくつかの動作が決まります。すべてのシステムで機能するような最適インピーダンス選択というものは存在しません。お使いのシステム パラメータに合わせて理想的なインピーダンスを選択する必要があります。

Copyright © 2026 Texas Instruments Incorporated

7.2.1.3 アプリケーション曲線

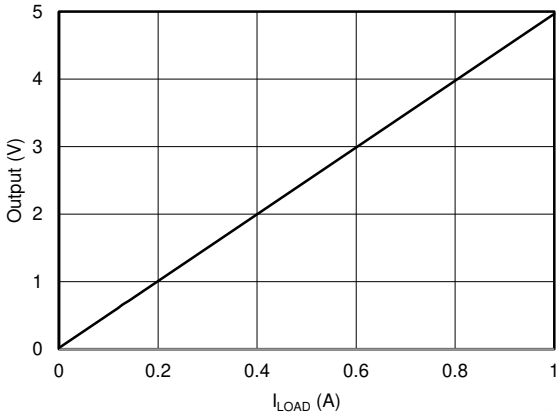


図 7-2. ローサイド、電流センス、伝達関数

7.3 電源に関する推奨事項

OPAx371D ファミリは、1.5V ～ 5.5V (±0.75V ～ ±2.75V) で動作することが規定されています。また、多くの仕様は -40℃ ～ 125℃で適用されます。動作電圧または温度によって大きく変動する可能性があるパラメータを「セクション 5.5」に示します。

> **注意**
>
> 電源電圧が 6V を超えると、デバイスに恒久的な損傷を与える可能性があります。セクション 5.1 の表を参照してください。

電源ピンの近くに 0.1µF のバイパス コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源からの結合による誤差を低減できます。バイパス コンデンサの配置の詳細については、セクション 7.4.1 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

7.4 レイアウト

7.4.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を使用してください。

- ノイズは、基板の電源接続を通じてアナログ回路に伝播し、オペアンプの電源ピンにまで達する可能性があります。バイパスコンデンサは、結合ノイズを低減するために使用され、低インピーダンスの経路を介してグランドへ逃がす役割を果たします。
  - 各電源ピンとグランドとの間に、低 ESR の 0.1µF セラミック バイパス コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、V+ からグランドに対して単一のバイパス コンデンサを接続すれば十分です。
- 回路のアナログ部分とデジタル部分のグランドを分離することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランド プレーン専用です。グランド プレーンは熱の分散に役立ち、EMI (電磁干渉) ノイズを拾いにくくなります。デジタル グランドとアナログ グランドを物理的に分離し、グランド電流の流れに注意を払います。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの配線を分離しておけない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに良い結果が得られます。
- 外付け部品は、可能な限りデバイスに近く配置します (図 7-4 を参照)。R_F と R_G を反転入力に近付けて配置すると、寄生容量を最小化できます。
- 入力配線は、できる限り短くします。入力配線は回路の最も敏感な部分であることに注意します。
- 重要な配線の周囲に、駆動される低インピーダンスのガード リングを配置することを検討します。ガード リングを使用すると、付近に存在する、さまざまな電位の配線からのリーク電流を大幅に低減できます。
- 最高の性能を実現するため、基板組み立ての後で PCB を清掃することを推奨します。
- 高精度の集積回路では、プラスチック パッケージへの水分の侵入により性能が変化する場合があります。PCB を水で洗浄してから、PCB アセンブリをベーキングして、清掃プロセス中にデバイスのパッケージに侵入した水分を除去することを推奨します。ほとんどの状況では、クリーニング後に 85℃で 30 分間の低温ベーキングを行えば十分です。

7.4.2 レイアウト例

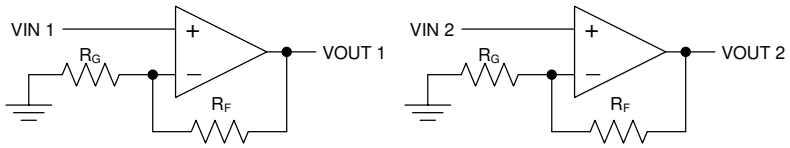


図 7-3. 回路図

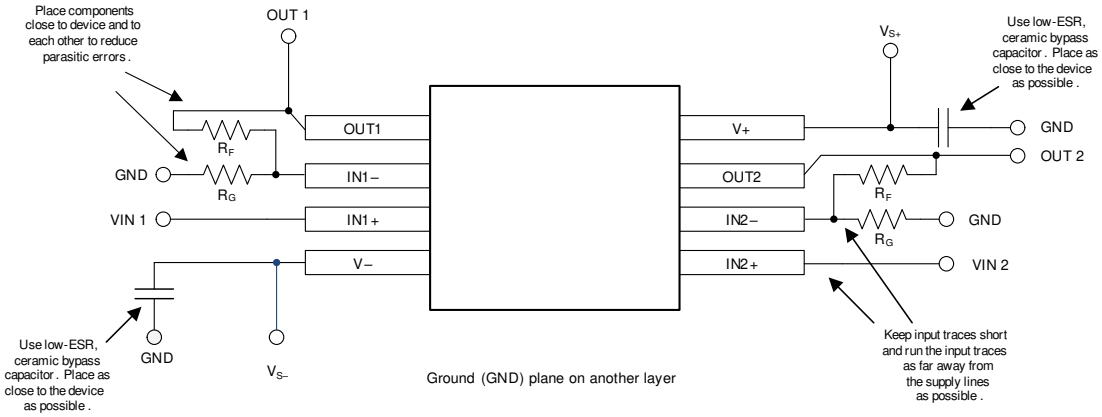


図 7-4. レイアウト例

Copyright © 2026 Texas Instruments Incorporated

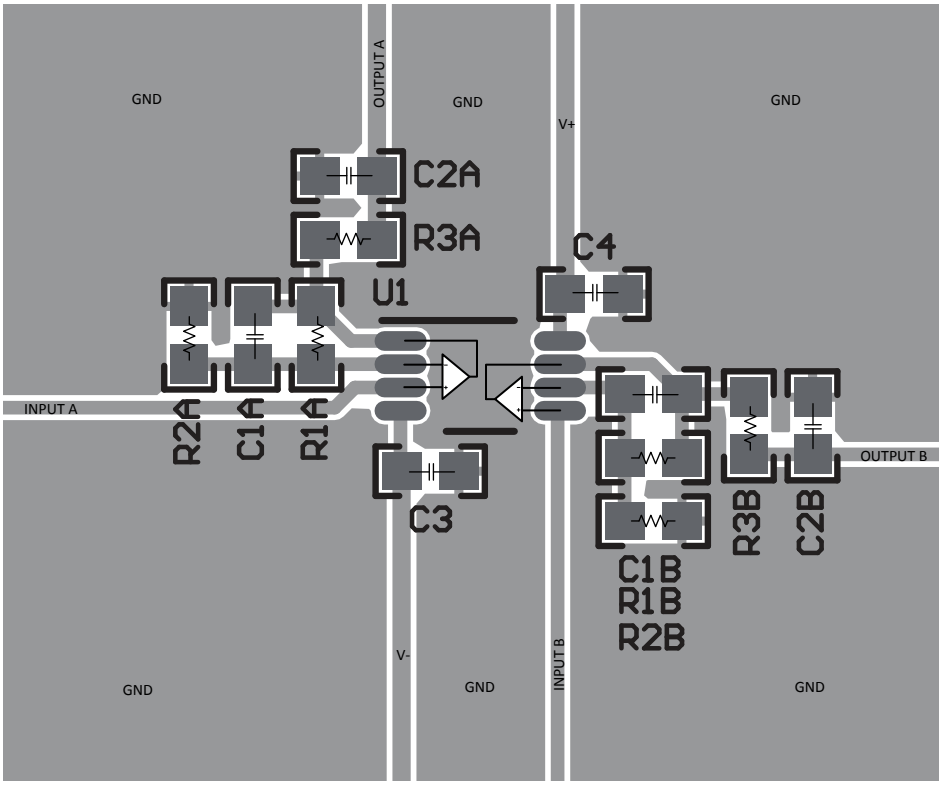


図 7-5. VSSOP-8 (DGK) パッケージのレイアウト例

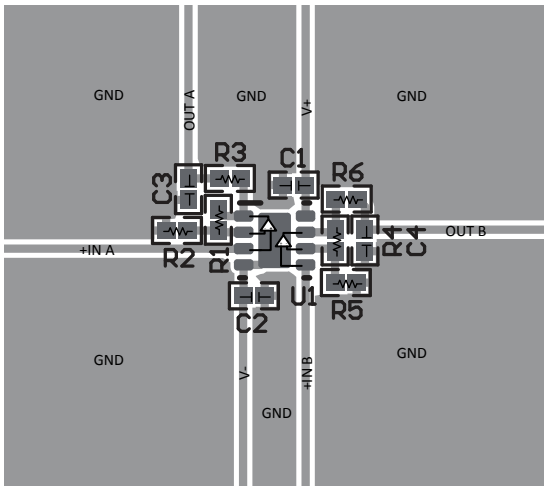


図 7-6. WSON-8 (DSG) パッケージのレイアウト例

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『オペアンプの EMI 除去率』アプリケーション ノート
- テキサス・インスツルメンツ、『QFN/SON の PCB 実装』アプリケーション ノート
- テキサス インスツルメンツ、『クワッド フラットパック リード端子なしロジック パッケージ』アプリケーション ノート

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
Bluetooth® is a registered trademark of Bluetooth SIG, Inc.
すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (June 2026) to Revision A (August 2026)	Page
• ドキュメントのステータスを「高度な混合」から「量産データ」に変更	1
• 「アプリケーション」セクションを更新	1
• ESD HBM 定格を 2000V から 4000V に更新	6
• ESD CDM 定格を 1000V から 1500V に更新	6
• 「シングル チャネルの熱に関する情報」表を更新	6
• TA = 0°C ～ 85°C における最大入力バイアス電流を 100pA から 80pA に更新	8
• TA = –40°C ～ 125°C における最大入力バイアス電流を 600pA から 560pA に更新	8
• TA = 0°C ～ 85°C における最大入力オフセット電流を 45pA から 30pA に更新	8

Copyright © 2026 Texas Instruments Incorporated

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA371DDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	48CH
OPA371DDCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	POST-PLAT AG SPOT	Level-1-260C-UNLIM	-40 to 125	48BH

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

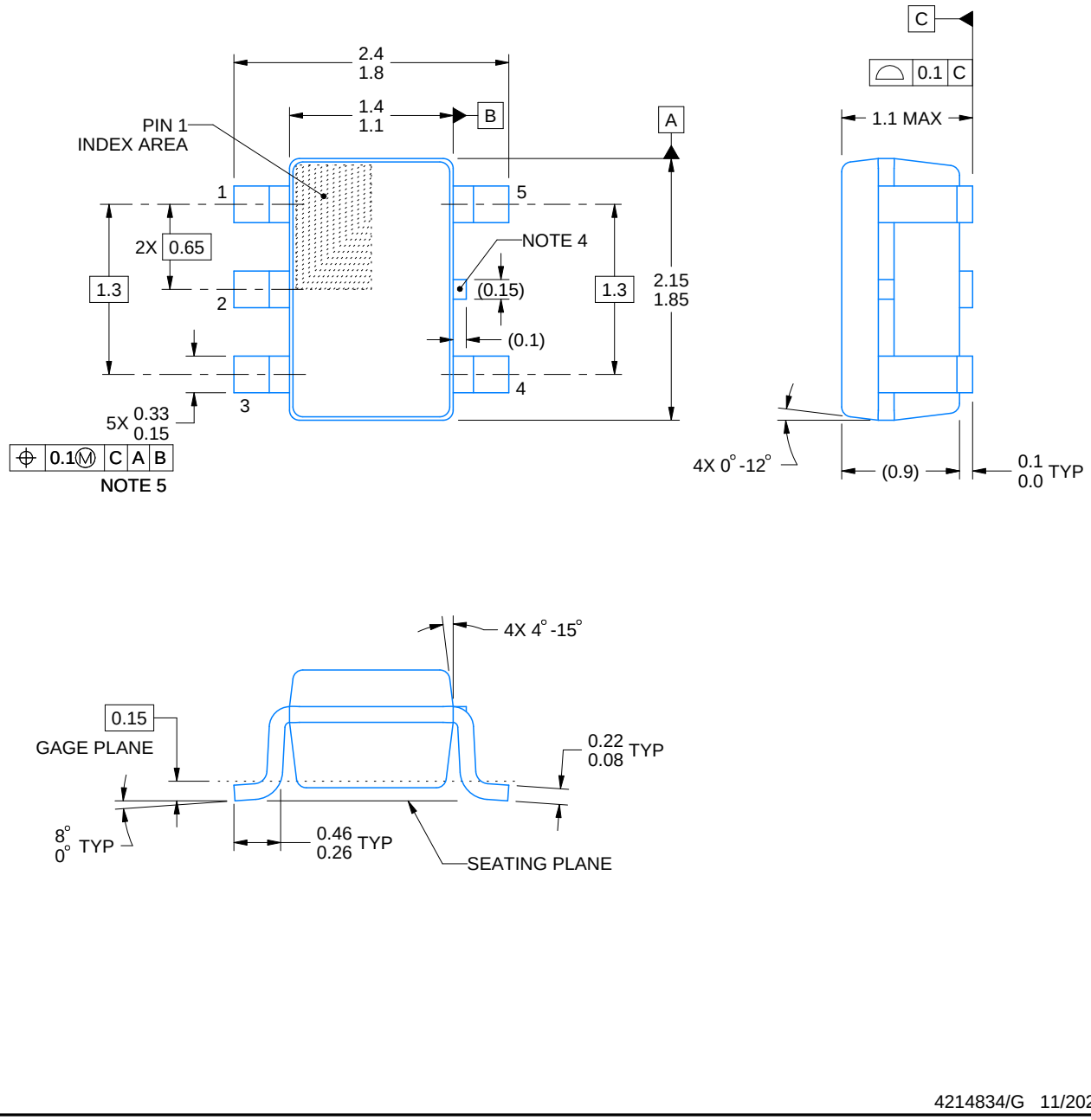
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

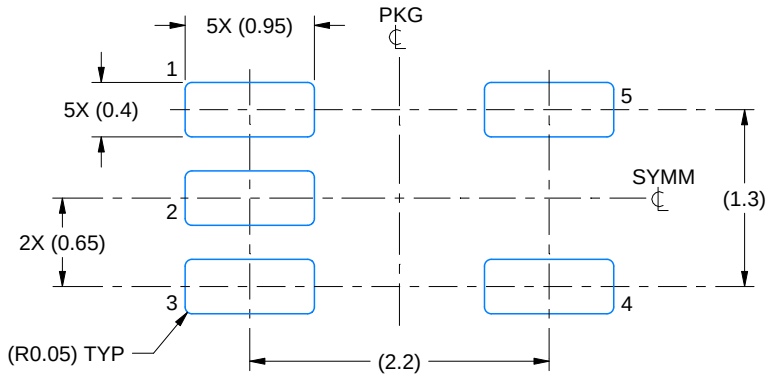
SMALL OUTLINE TRANSISTOR



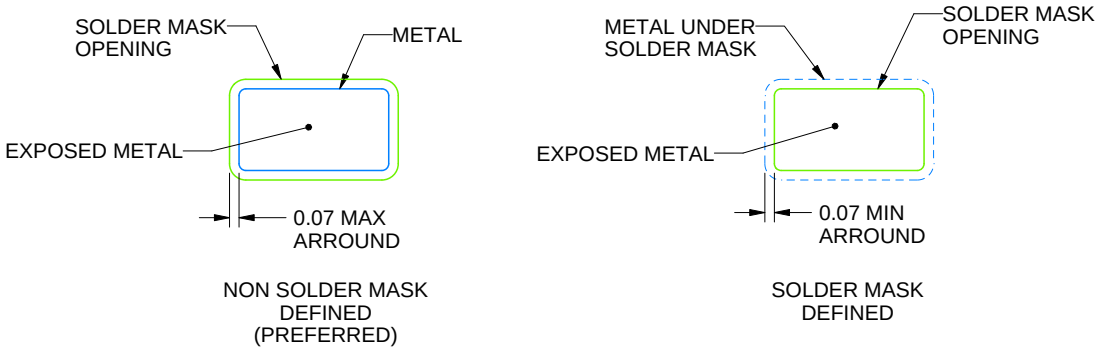
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

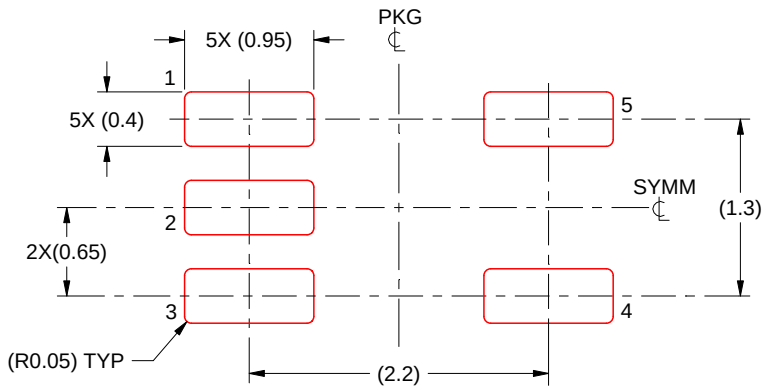


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

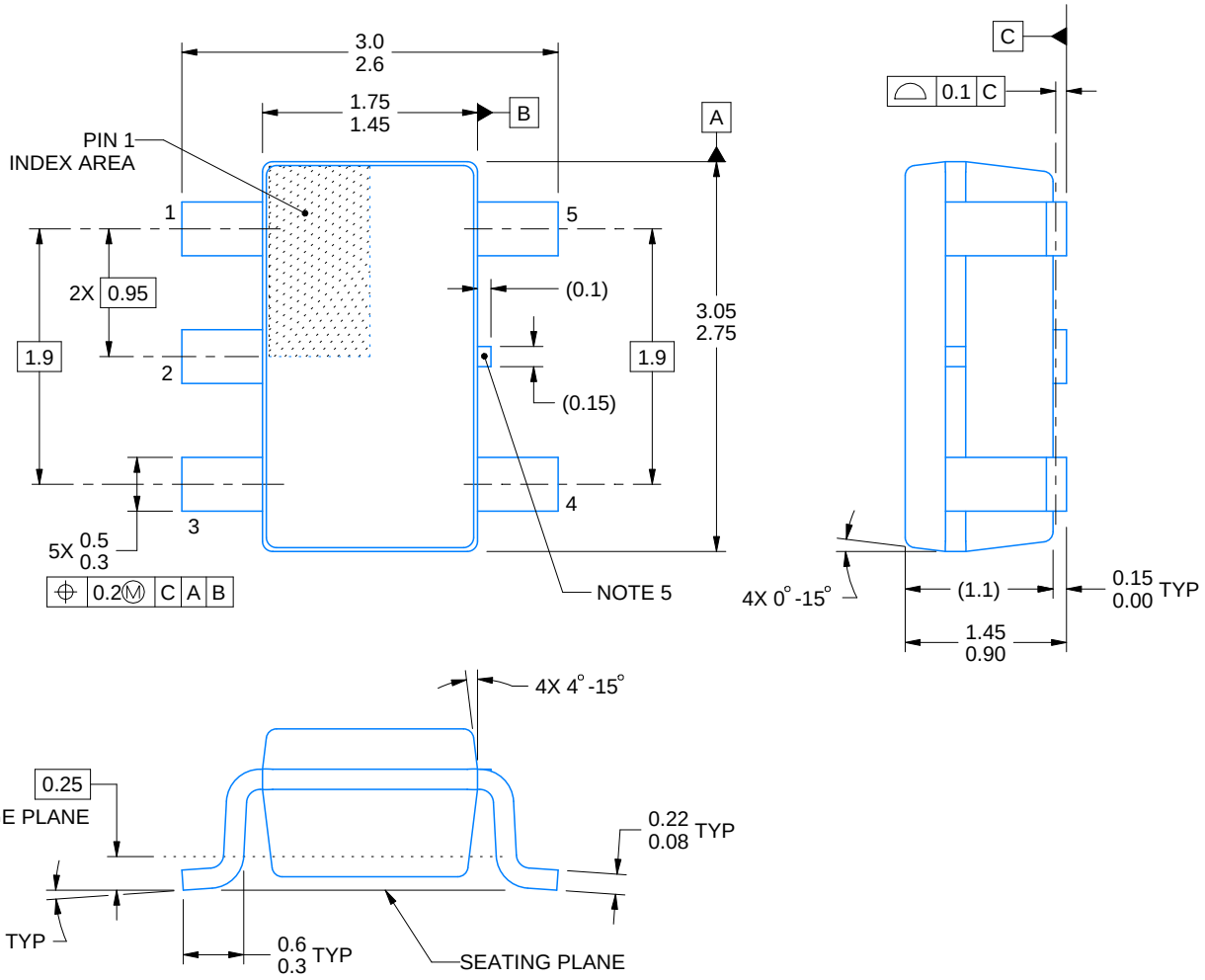
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

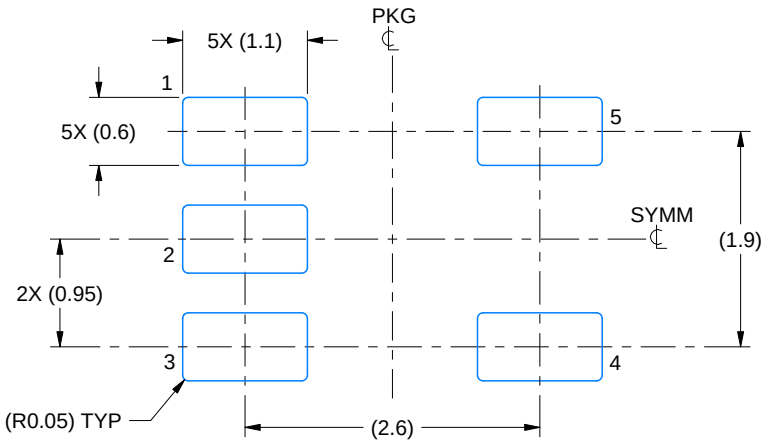
SMALL OUTLINE TRANSISTOR



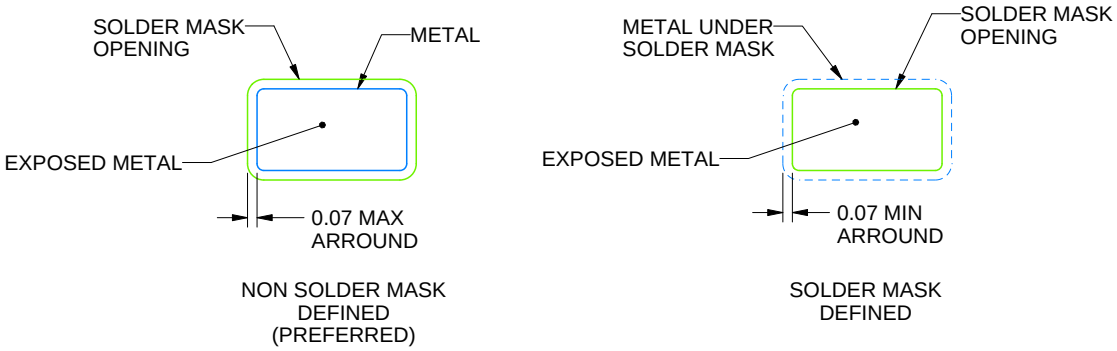
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

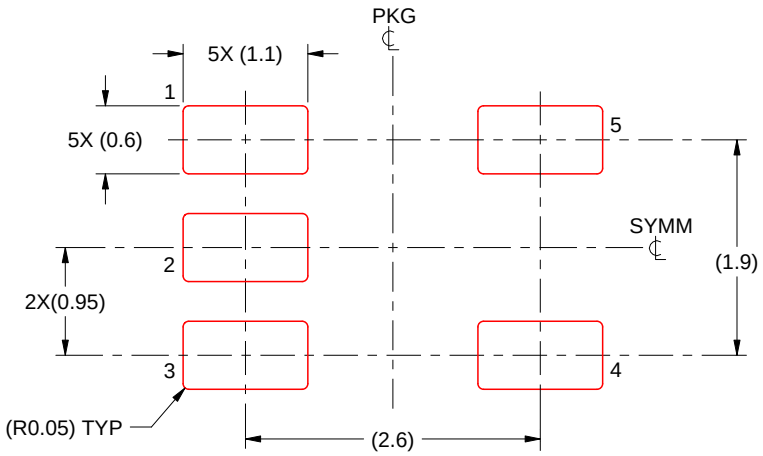


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月