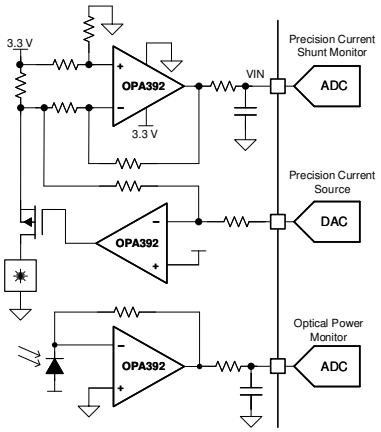
OPAx392 高精度、低オフセット電圧、低ノイズ、低入力バイアス電流、レール・ツー・レール I/O、 e-trim™ オペアンプ

1 特長

- 低いオフセット電圧:±10µV (最大値)
- 低いドリフト:±0.18µV/℃
- 低い入力バイアス電流:10fA
- 低ノイズ:10kHz で 4.4nV/√Hz
- 低い 1/f ノイズ:2µV$_{PP}$ (0.1Hz～10Hz)
- 低い電源電圧範囲:1.7V～5.5V
- 低い静止電流:1.22mA
- 高速セトリング:0.75µs (1V ステップ、0.1% まで)
- 高スルーレート:4.5V/µs
- 大出力電流:短絡時 +65mA/-55mA
- ゲイン帯域幅:13MHz
- レール ツー レール入出力
- 仕様温度範囲:-40℃～+125℃
- 入力の EMI/RFI フィルタ処理

2 アプリケーション

- マルチパラメータ・メディカル・モニタ
- 心電図 (ECG)
- 化学およびガス分析器
- 光学モジュール
- アナログ入力モジュール
- プロセス分析 (pH、ガス、濃度、力、湿度)
- ガス検出器
- アナログ・セキュリティ・カメラ
- 商用 DC/DC
- パルス・オキシメータ (血中酸素飽和度計)
- DC (データセンター) 間の相互接続 (長距離、海底)
- データ・アクイジション (DAQ)



OPAx392 光学モジュールのアプリケーション

3 説明

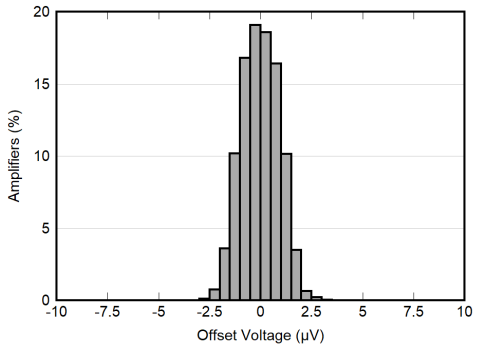
OPAx392 ファミリのオペアンプ (OPA392、OPA2392、OPA4392) は、非常に小さいオフセット、オフセット ドリフト、入力バイアス電流、およびレール ツー レールの入出力動作を特長としています。高い DC 精度に加えて、AC 性能は低ノイズで高速セトリングの過渡応答に最適化されています。これらの特長から、OPAx392 は高精度 A/D コンバータ (ADC) の駆動または高分解能 D/A コンバータ (DAC) の出力バッファリングに最適な選択肢です。

OPAx392 は、テキサス・インスツルメンツの e-trim™ オペアンプ技術を採用し、入力チョッピングやオートゼロ手法を使わずに、非常に小さいオフセット電圧とオフセット電圧ドリフトを実現しています。この技術により、センサ入力またはフォトダイオード電流 / 電圧測定向けに非常に低い入力バイアス電流を実現し、光モジュールまたは医療用計測機器向けに高性能トランスインピーダンス段を形成できます。

製品情報

部品番号 (1)	チャネル	パッケージ (2)
OPA392	シングル	DBV (SOT-23、5)
	シングル	DCK (SC70、5)
	シングル	YBJ (DSBGA、6)
OPA2392	デュアル	D (SOIC、8)
	デュアル	DGK (VSSOP、8)
	デュアル	DSG (WSON、8)
	デュアル	YBJ (DSBGA、9)
OPA4392	クワッド	PW (TSSOP、14)
	クワッド	RTE (WQFN、16)(3)

(1) セクション 4 を参照してください。
(2) 詳細については、セクション 11 を参照してください。
(3) 開発中製品情報 (量産データではありません)。



OPAx392 入力オフセット電圧の分布

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 デバイス比較表.....2
5 ピン構成および機能.....3
6 仕様.....6
6.1 絶対最大定格.....6
6.2 ESD 定格.....6
6.3 推奨動作条件.....6
6.4 熱に関する情報 (OPA392).....7
6.5 熱に関する情報 (OPA2392).....7
6.6 熱に関する情報 (OPA4392).....7
6.7 電気的特性.....8
6.8 代表的特性.....11
7 詳細説明.....19
7.1 概要.....19
7.2 機能ブロック図.....19
7.3 機能説明.....20
7.4 デバイスの機能モード.....20
8 アプリケーションと実装.....21
8.1 アプリケーション情報.....21
8.2 代表的なアプリケーション.....21
8.3 電源に関する推奨事項.....24
8.4 レイアウト.....24
9 デバイスおよびドキュメントのサポート.....25
9.1 デバイスのサポート.....25
9.2 ドキュメントのサポート.....25
9.3 ドキュメントの更新通知を受け取る方法.....25
9.4 サポート・リソース.....25
9.5 商標.....25
9.6 静電気放電に関する注意事項.....26
9.7 用語集.....26
10 改訂履歴.....26
11 メカニカル、パッケージ、および注文情報.....26

4 デバイス比較表

デバイス	チャネル	シャットダウン	パッケージ
OPA392	シングル	なし	DBV (SOT-23、5)
		なし	DCK (SC70、5)
		あり	YBJ (DSBGA、6)
OPA2392	デュアル	なし	D (SOIC、8)
		なし	DGK (VSSOP、8)
		なし	DSG (WSON、8)
		あり	YBJ (DSBGA、9)
OPA4392	クワッド	なし	PW (TSSOP、14)
		あり	RTE (WQFN、16)(1)

(1) 開発中製品情報 (量産データではありません)。

Copyright © 2025 Texas Instruments Incorporated

5 ピン構成および機能

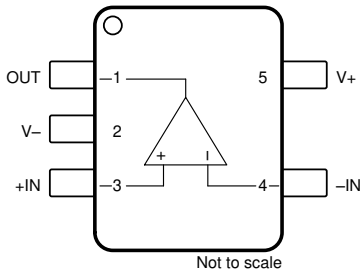


図 5-1. OPA392 DBV パッケージ、5 ピン SOT-23 (上面図)

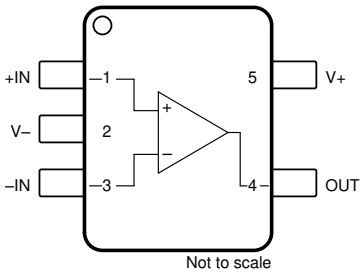


図 5-2. OPA392 DCK パッケージ、5 ピン SC70 (上面図)

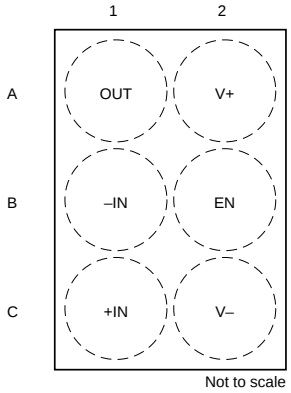


図 5-3. OPA392 YBJ パッケージ、6 ピン DSBGA (上面図)

表 5-1. ピンの機能：OPA392

ピン				タイプ	説明
名称	番号				
	DBV (SOT-23)	DCK (SC70)	YBJ (DSBGA)		
EN	—	—	B2	入力	イネーブル ピン。High = アンプがイネーブル。
–IN	4	3	B1	入力	反転入力
+IN	3	1	C1	入力	非反転入力
OUT	1	4	A1	出力	出力
V-	2	2	C2	電源	負 (最低) 電源
V+	5	5	A2	電源	正 (最高) 電源

Copyright © 2025 Texas Instruments Incorporated

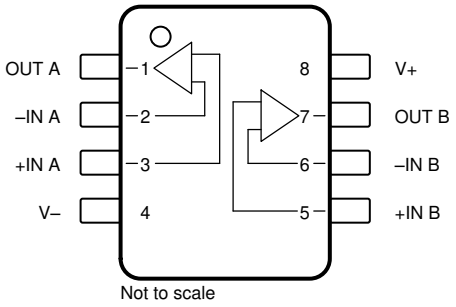


図 5-4. OPA2392 D パッケージ、8 ピン SOIC および DGK パッケージ、8 ピン VSSOP (上面図)

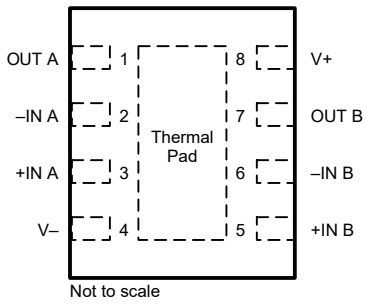


図 5-5. OPA2392 DSG パッケージ 8 ピン WSON (露出サーマル パッド付き) 上面図

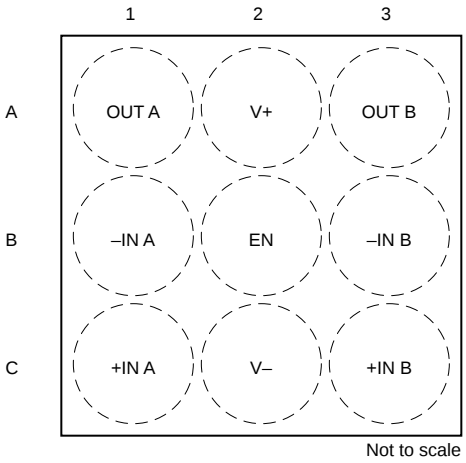


図 5-6. OPA2392 YBJ パッケージ、9 ピン DSBGA (上面図)

表 5-2. ピンの機能：OPA2392

ピン				タイプ	説明
名称	番号				
	D (SOIC)、DGK (VSSOP)	DSG (WSON)	YBJ (DSBGA)		
EN	—	—	B2	入力	イネーブル ピン。High = 両方のアンプがイネーブル。
-IN A	2	2	B1	入力	反転入力、チャネル A
+IN A	3	3	C1	入力	非反転入力、チャネル A
-IN B	6	6	B3	入力	反転入力、チャネル B
+IN B	5	5	C3	入力	非反転入力、チャネル B
OUT A	1	1	A1	出力	出力、チャネル A
OUT B	7	7	A3	出力	出力、チャネル B
V-	4	4	C2	電源	負 (最低) 電源
V+	8	8	A2	電源	正 (最高) 電源
サーマル パッド	—	サーマル・パッド	—	—	サーマル パッドを V- に接続

Copyright © 2025 Texas Instruments Incorporated

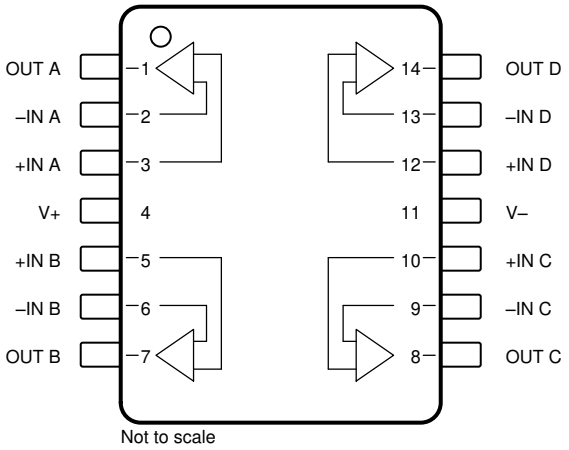


図 5-7. OPA4392 PW パッケージ、14 ピン TSSOP (上面図)

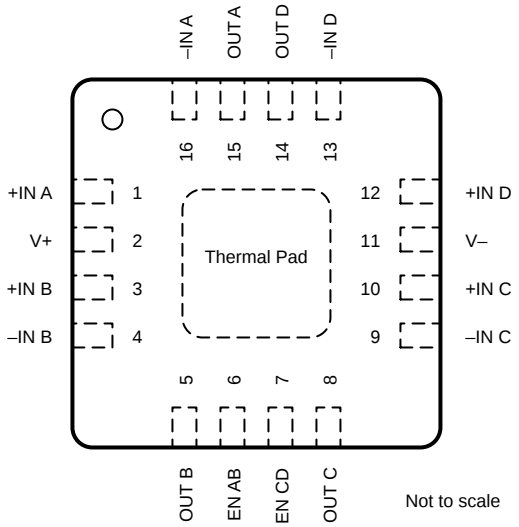


図 5-8. OPA4392 RTE プレビュー パッケージ、16 ピン WQFN (上面図)

表 5-3. ピンの機能：OPA4392

ピン			タイプ	説明
名称	番号			
	PW (TSSOP)	RTE (WQFN)		
EN AB	—	6	入力	A および B アンプのイネーブル ピン。High = アンプ A および B がイネーブル。
EN CD	—	7	入力	C および D アンプのイネーブル ピン。High = アンプ C および D がイネーブル。
-IN A	2	16	入力	反転入力、チャネル A
+IN A	3	1	入力	非反転入力、チャネル A
-IN B	6	4	入力	反転入力、チャネル B
+IN B	5	3	入力	非反転入力、チャネル B
–IN C	9	9	入力	反転入力、チャネル C
+IN C	10	10	入力	非反転入力、チャネル C
–IN D	13	13	入力	反転入力、チャネル D
+IN D	12	12	入力	非反転入力、チャネル D
OUT A	1	15	出力	出力、チャネル A
OUT B	7	5	出力	出力、チャネル B
OUT C	8	8	出力	出力、チャネル C
OUT D	14	14	出力	出力、チャネル D
サーマル パッド	—	サーマル パッド	電源	サーマル パッドを V- に接続
V-	11	11	電源	負 (最低) 電源
V+	4	2	電源	正 (最高) 電源

Copyright © 2025 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_S	電源電圧、V_S = (V+) - (V-)	単電源		6	V
		両電源		±3	
	入力電圧、すべてのピン	同相	(V-) - 0.5	(V+) + 0.5	V
		差動		(V+) - (V-) + 0.2	
	入力電流、すべてのピン			±10	mA
	出力短絡 (2)		連続	連続	
T_A	動作温度		-55	150	℃
T_J	接合部温度		-55	150	℃
T_{stg}	保管温度		-65	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) グランドへの短絡、パッケージあたり 1 台のアンプ。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠(2)	±500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_S	電源電圧	単電源	1.7		5.5	V
		両電源	±0.85		±2.75	
T_A	規定温度		-40		125	℃

Copyright © 2025 Texas Instruments Incorporated

6.4 熱に関する情報 (OPA392)

熱評価基準(1)		OPA392			単位
		DBV (SOT-23)	DCK (SC70)	YBJ (DSBGA)	
		5 ピン	5 ピン	6 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	187.1	220.8	135.0	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	107.4	124.4	1.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	57.5	72.9	38.8	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	33.5	46.1	0.4	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	57.1	72.6	38.8	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『*半導体および IC パッケージの熱評価基準*』アプリケーション レポートを参照してください。SPRA953

6.5 熱に関する情報 (OPA2392)

熱評価基準(1)		OPA2392				単位
		D (SOIC)	DGK (VSSOP)	DSG (WSON)	YBJ (DSBGA)	
		8 ピン	8 ピン	8 ピン	9 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	131.7	165	70.9	110.7	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	71.4	53	88.3	0.7	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	75.2	87	37.5	32.1	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	21.8	4.9	2.9	0.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	74.4	85	37.5	32.1	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	12.8	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

6.6 熱に関する情報 (OPA4392)

熱評価基準(1)		OPA4392	単位
		PW (TSSOP)	
		14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	109.6	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	27.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	56.1	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	1.5	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	54.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

6.7 電気的特性

T_A = 25℃、V_S = 1.7V～5.5V (単電源) または V_S = ±0.85V～±2.75V (両電源)、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 の場合 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V_{OS}	入力オフセット電圧	V_S = 5.0V			±1	±10	μV
			OPA2392D、OPA4392		±1	±20	
			OPA392YBJ、OPA2392YBJ		±1	±25	
		V_S = 5.0V、V_{CM} = (V+) - 200mV			±2	±30	
			OPA2392YBJ		±2	±85	
		V_S = 5.0V、T_A = -40℃～+125℃(1)				±100	
		V_{CM} = V-、T_A = -40℃～+125℃(1)	OPA392、OPA2392D、YBJ、OPA4392			±125	
			OPA2392DGK			±180	
dV_{OS}/dT	入力オフセット電圧ドリフト	V_S = 5.0V	T_A = 0℃～85℃		±0.16		μV/℃
			T_A = -40℃～+125℃ (1)			±0.6	
			V_{CM} = 5.0V、T_A = -40℃～+125℃(1)		±0.18	±0.9	
PSRR	電源除去比	V_{CM} = V-				±30	μV/V
			T_A = -40℃～+125℃ (1)			±80	
入力バイアス電流							
I_B	入力バイアス電流(1)				±0.01	±0.8	pA
		T_A = –40℃～+85℃				±5	
		T_A = –40℃～+125℃				±30	
I_{OS}	入力オフセット電流(1)				±0.01	±0.8	pA
		T_A = –40℃～+85℃				±5	
		T_A = –40℃～+125℃				±30	
ノイズ							
	入力電圧ノイズ	f = 0.1Hz～10Hz			2.0		$μV_{PP}$
			V_{CM} = (V+) - 0.3		3.2		
e_N	入力電圧ノイズ密度	f = 10Hz			42		nV/√Hz
			V_{CM} = (V+) - 0.3		80		
		f = 1kHz			6.5		
			V_{CM} = (V+) - 0.3		10.4		
		f = 10kHz			4.4		
			V_{CM} = (V+) - 0.3		5.8		
i_N	入力電流ノイズ密度	f = 1kHz	OPA392DBV		70		fA/√Hz
			OPA392YBJ、OPA2392、OPA4392		25		
入力電圧							
V_{CM}	同相電圧範囲			V-		V+	V
CMRR	同相除去比	(V-) < V_{CM} < (V+) - 1.5V		75	120		dB
			T_A = –40℃～+125℃		113		
		(V-) < V_{CM} < (V+)、T_A = -40℃～+125℃(1)		66	97		
			V_S = 5.5V	88	111		
入力容量							
Z_{ID}	差動				10^{13} || 2.8		Ω || pF
Z_{ICM}	同相				10^{13} || 3.5		Ω || pF

Copyright © 2025 Texas Instruments Incorporated

6.7 電気的特性 (続き)

T_A = 25℃、V_S = 1.7V～5.5V (単電源) または V_S = ±0.85V～±2.75V (両電源)、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 の場合 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
開ループ ゲイン							
A_{OL}	開ループ電圧ゲイン	V_S = 5.5V	(V-) + 50mV < V_{OUT} < (V+) - 50mV	115	132		dB
			(V-) + 100mV < V_O < (V+) - 100mV、R_L = 2kΩ	110	128		
			(V-) + 100mV < V_{OUT} < (V+) - 100mV、R_L = 2kΩ、T_A = -40℃～+125℃(1)	100			
		V_S = 1.7V	(V-) + 50mV < V_{OUT} < (V+) - 50mV、V_{CM} = (V+) - 1.15V	106	124		
			(V-) + 100mV < V_{OUT} < (V+) - 100mV、R_L = 2kΩ、V_{CM} = (V+) - 1.15V	106	124		
			(V-) + 100mV < V_{OUT} < (V+) - 100mV、R_L = 2kΩ、V_{CM} = (V+) - 1.15V、T_A = -40℃～+125℃(1)	100			
周波数応答							
GBW	ゲイン帯域幅積	A_V = 1000V/V			13		MHz
SR	スルー レート	4V ステップ、ゲイン = +1	立ち下がり		4.5		V/µs
			立ち上がり		3.5		
	位相マージン	C_L = 100pF	OPA392DBV、DCK、OPA2392DSG		45		°
			OPA392YBJ、OPA2392D、DGK、YBJ、OPA4392		35		
t_S	セトリング時間	0.1% まで、2-V ステップ、ゲイン = +1			0.75		µs
		0.01% まで、2-V ステップ、ゲイン = +1			1		
	過負荷回復時間	V_{IN} × ゲイン > V_S			0.45		µs
THD+N	全高調波歪み + ノイズ	V_{OUT} = 1V_{RMS}、ゲイン = +1、f = 1kHz、V_{CM} = (V-) + 1.5V			-112		dB
					0.00025		%
出力							
	両方のレールからの電圧出力スイング	V_S = 1.7V				20	mV
			R_L = 2kΩ			30	
		V_S = 5.5V				20	
			R_L = 2kΩ			35	
I_{SC}	短絡電流	シンク、V_S = 5.5V			-55		mA
		ソース、V_S = 5.5V			65		
R_O	オープン ループ出力インピーダンス	f = 1MHz			120		Ω
電源							
I_Q	アンプごとの静止電流	I_O = 0 mA			1.22	1.4	mA
			T_A = -40℃～+125℃ (1)			1.5	

6.7 電気的特性 (続き)

T_A = 25℃、V_S = 1.7V～5.5V (単電源) または V_S = ±0.85V～±2.75V (両電源)、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 の場合 (特に記述のない限り)

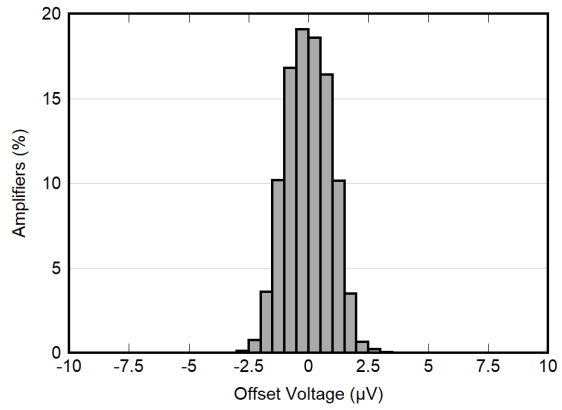
パラメータ		テスト条件	最小値	標準値	最大値	単位
シャットダウン (OPA392YBJ、OPA2392YBJ、OPA4392RTE のみ)						
I_{QSD}	アンプごとの静止電流	すべてのアンプがディセーブル、EN = V-		6		µA
V_{IH}	High レベル入力電圧	アンプがイネーブル	(V+) - 0.5			V
V_{IL}	Low レベル入力電圧	アンプがディセーブル			(V-) + 0.5	V
t_{ON}	アンプのイネーブル時間	G = 1、V_{OUT} = 0.9 × V_S/2、2 つのアンプがイネーブル		9.5		µs
t_{OFF}	アンプのディセーブル時間	G = 1、V_{OUT} = 0.1 × V_S/2、2 つのアンプがディセーブル		7.8		µs
	EN ピン入力リーク電流	V_{IH} = V+		0.02		µA
		V_{IL} = V-		1		

(1) 複数のロットにわたるデバイスの母集団ベンチ システムの測定から確立された仕様。

Copyright © 2025 Texas Instruments Incorporated

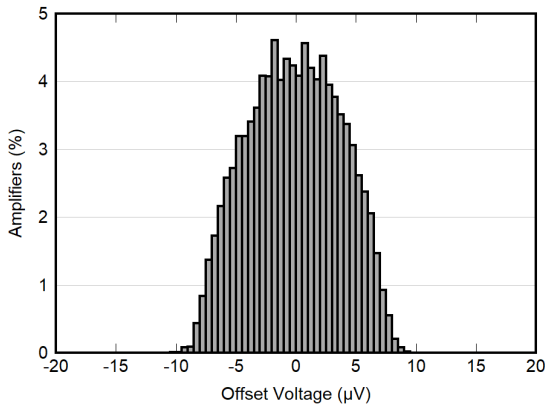
6.8 代表的特性

T_A = 25℃、V_S = 5.5V、V_{CM} = V_S/2、R_{LOAD} = 10kΩ を V_S/2 に接続、C_L = 100pF の場合 (特に記述のない限り)



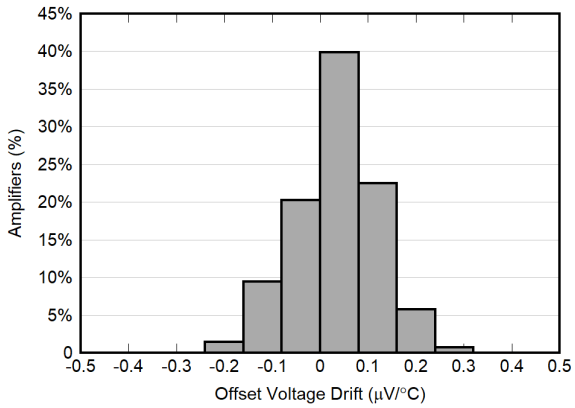
V_S = 5.0V

図 6-1. オフセット電圧の分布



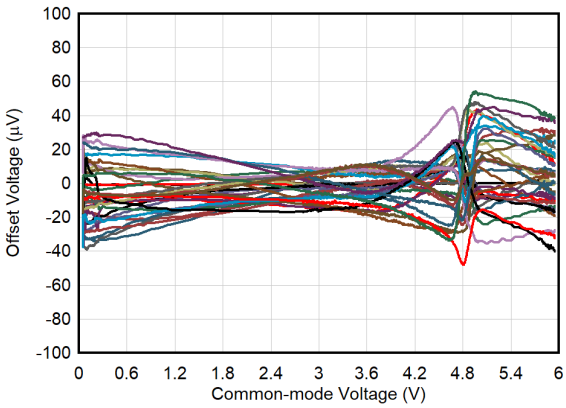
V_S = 5.0V、V_{CM} = 4.8V

図 6-2. オフセット電圧の分布



V_S = 5.0V

図 6-3. オフセット電圧の分布



T_A = -40℃

図 6-4. オフセット電圧と同相電圧との関係

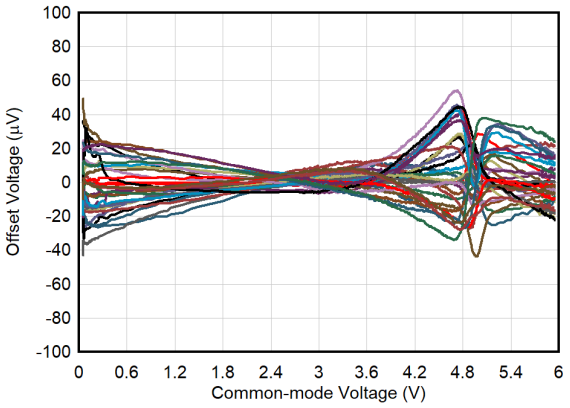
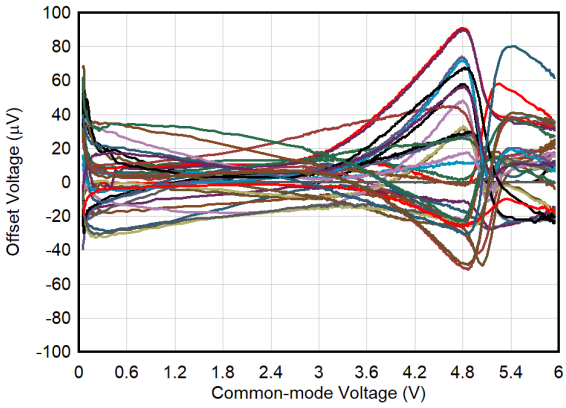


図 6-5. オフセット電圧と同相電圧との関係



T_A = +125℃

図 6-6. オフセット電圧と同相電圧との関係

Copyright © 2025 Texas Instruments Incorporated

6.8 代表的特性 (続き)

T_A = 25℃、V_S = 5.5V、V_{CM} = V_S/2、R_{LOAD} = 10kΩ を V_S/2 に接続、C_L = 100pF の場合 (特に記述のない限り)

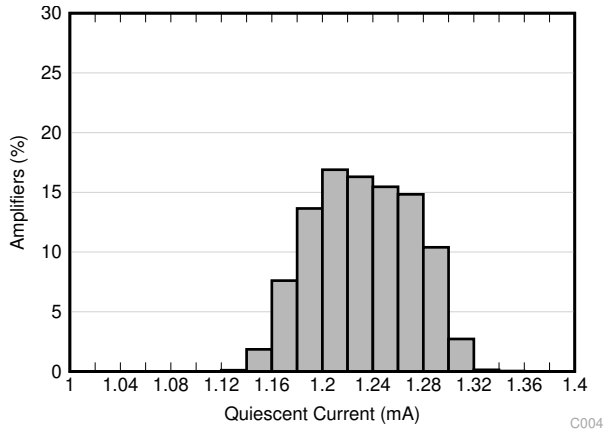
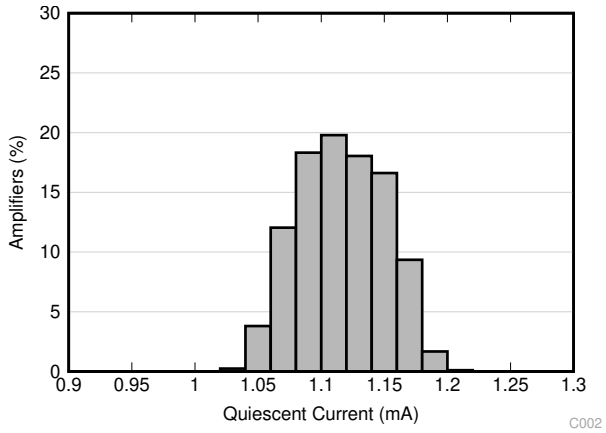


図 6-7. 静止時電流の分布



V_S = 1.7V

図 6-8. 静止時電流の分布

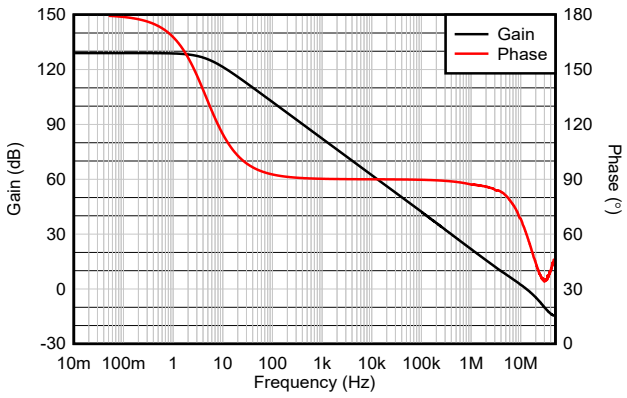


図 6-9. 開ループ ゲインおよび位相と周波数との関係

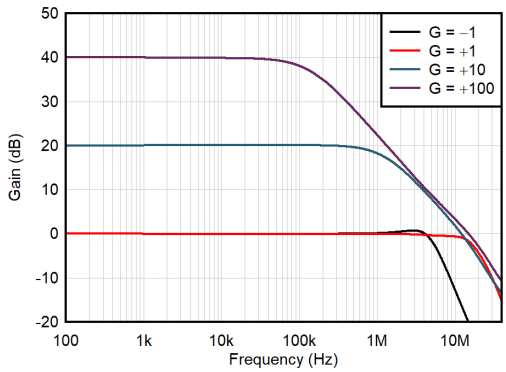
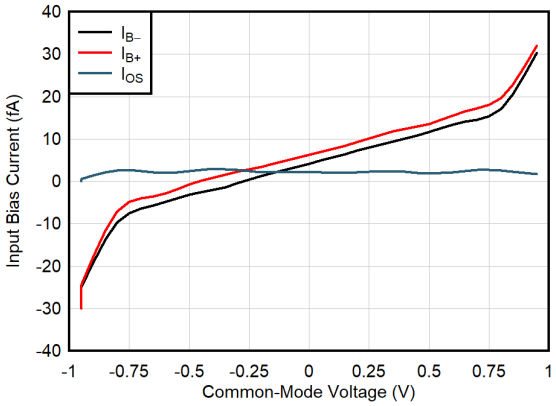


図 6-10. 閉ループ ゲインと周波数との関係

Copyright © 2025 Texas Instruments Incorporated

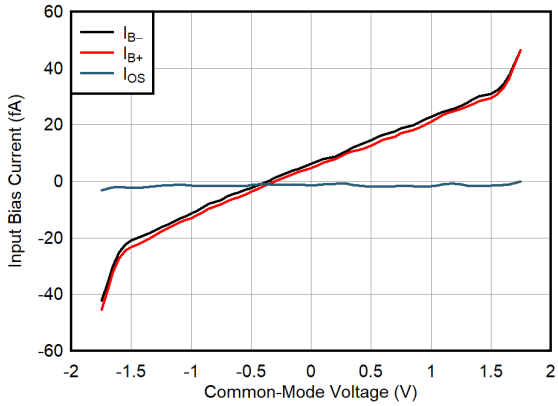
6.8 代表的特性 (続き)

T_A = 25°C、V_S = 5.5V、V_{CM} = V_S/2、R_{LOAD} = 10kΩ を V_S/2 に接続、C_L = 100pF の場合 (特に記述のない限り)



V_S = 1.7V

図 6-11. 入力バイアス電流と同相電圧との関係



V_S = 3.3V

図 6-12. 入力バイアス電流と同相電圧との関係

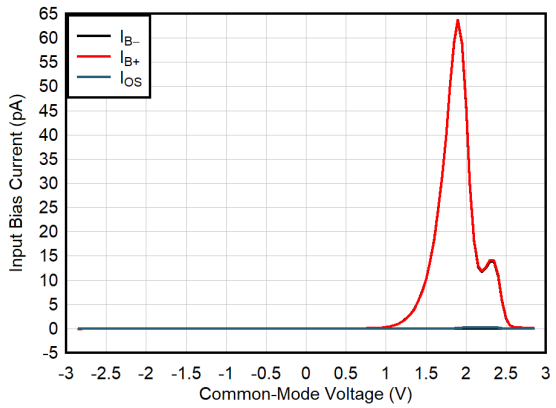


図 6-13. 入力バイアス電流と同相電圧との関係

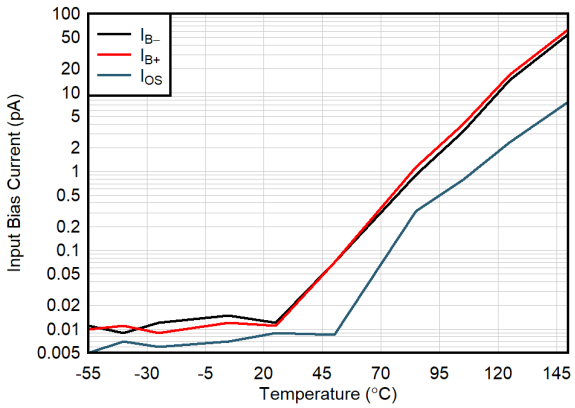


図 6-14. 入力バイアス電流と温度との関係

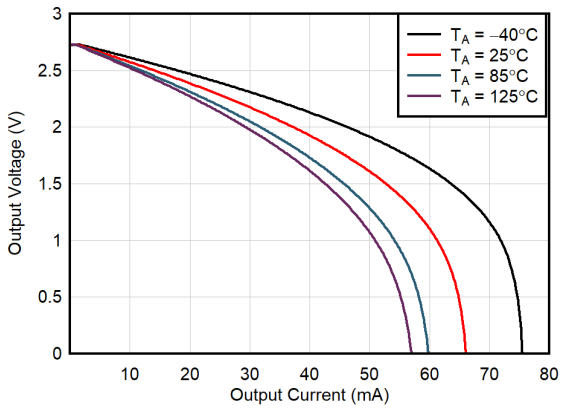


図 6-15. 出力電圧スイングと出力電流との関係 (ソース)

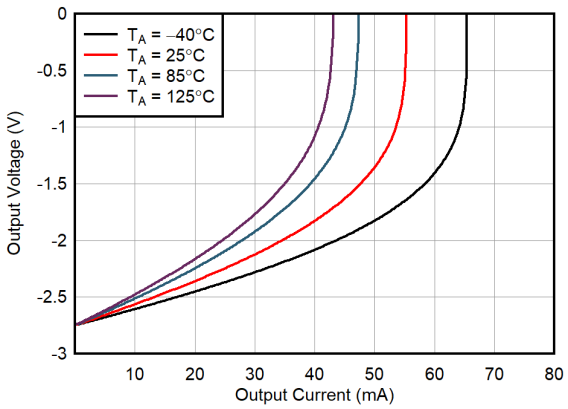
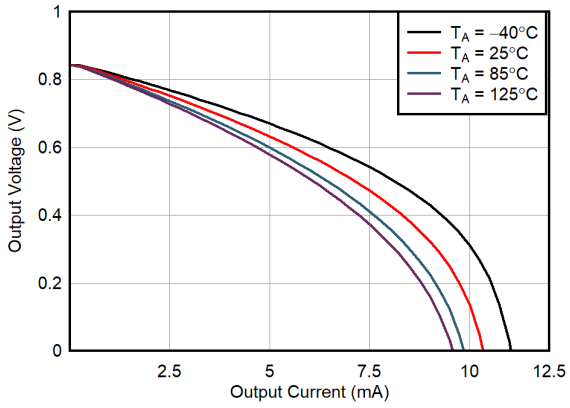


図 6-16. 出力電圧スイングと出力電流との関係 (シンク)

Copyright © 2025 Texas Instruments Incorporated

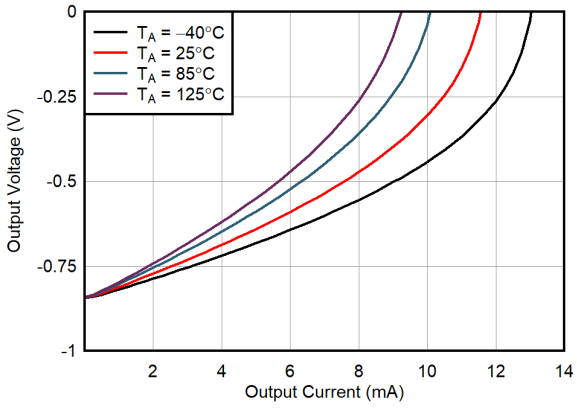
6.8 代表的特性 (続き)

T_A = 25°C、V_S = 5.5V、V_{CM} = V_S/2、R_{LOAD} = 10kΩ を V_S/2 に接続、C_L = 100pF の場合 (特に記述のない限り)



V_S = ±0.85V

図 6-17. 出力電圧スイングと出力電流との関係 (ソース)



V_S = ±0.85V

図 6-18. 出力電圧スイングと出力電流との関係 (シンク)

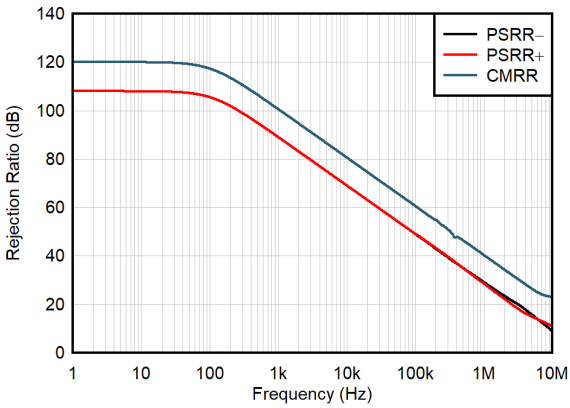
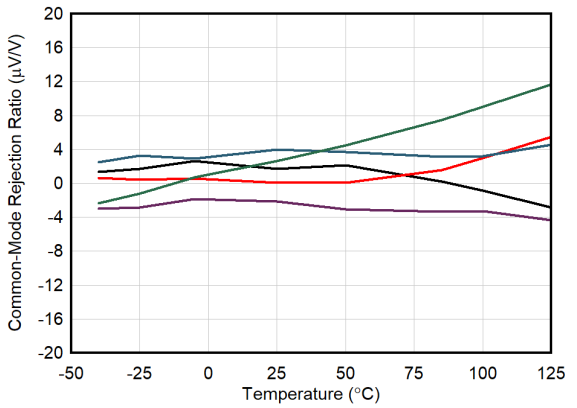
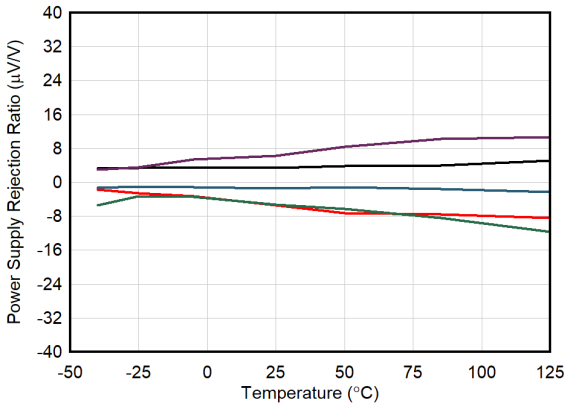


図 6-19. CMRR および PSRR と周波数との関係



5 個

図 6-20. CMRR と温度との関係



5 個

図 6-21. PSRR と温度との関係

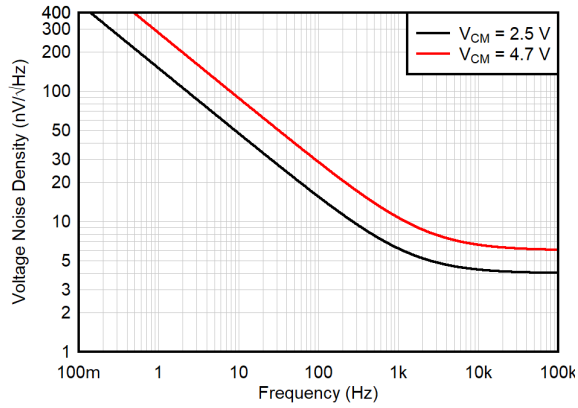
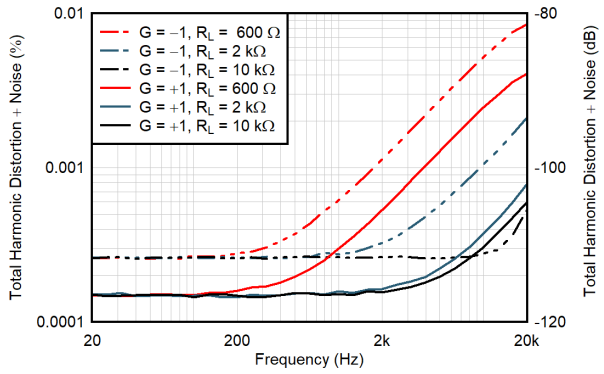


図 6-22. 電圧ノイズと周波数との関係

Copyright © 2025 Texas Instruments Incorporated

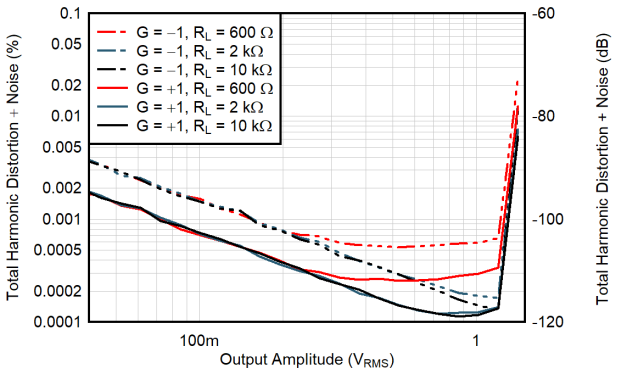
6.8 代表的特性 (続き)

T_A = 25°C、V_S = 5.5V、V_{CM} = V_S/2、R_{LOAD} = 10kΩ を V_S/2 に接続、C_L = 100pF の場合 (特に記述のない限り)



V_{OUT} = 1 V_{RMS}

図 6-23. THD+N 比と周波数との関係



f = 1kHz

図 6-24. THD+N と出力振幅との関係

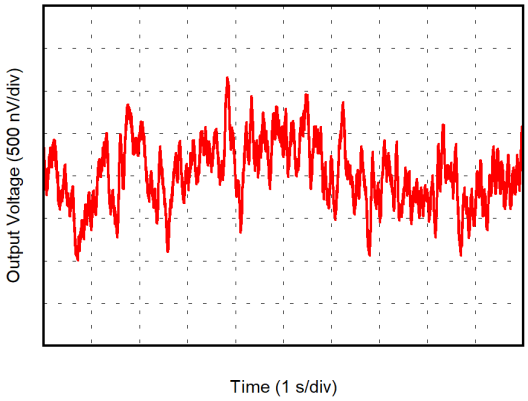
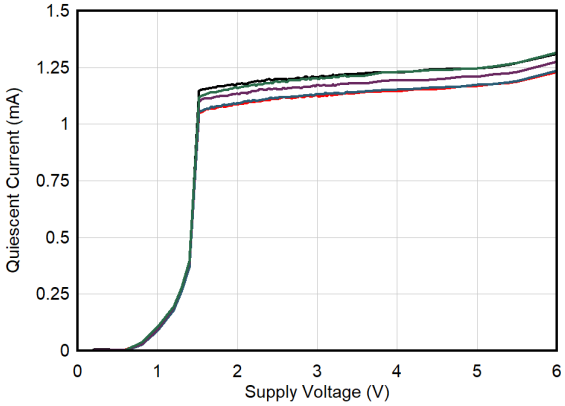
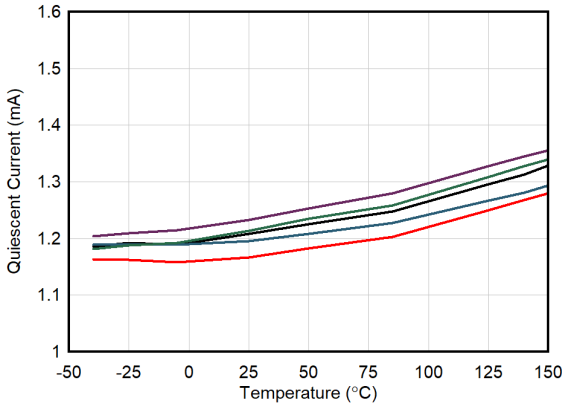


図 6-25. 0.1Hz～10Hz のノイズ



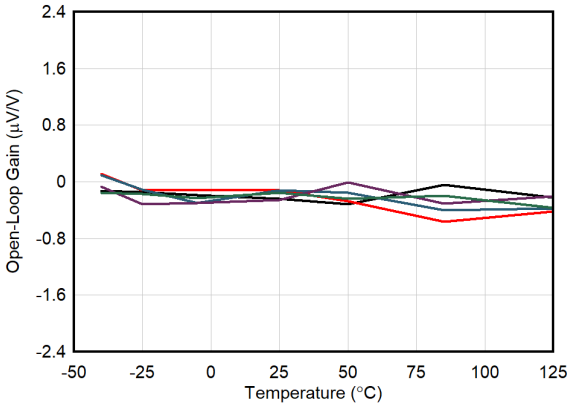
5 個

図 6-26. 静止電流と電源電圧との関係



5 個

図 6-27. 静止電流と温度との関係



5 個

図 6-28. 開ループ ゲインと温度との関係

6.8 代表的特性 (続き)

T_A = 25℃、V_S = 5.5V、V_{CM} = V_S/2、R_{LOAD} = 10kΩ を V_S/2 に接続、C_L = 100pF の場合 (特に記述のない限り)

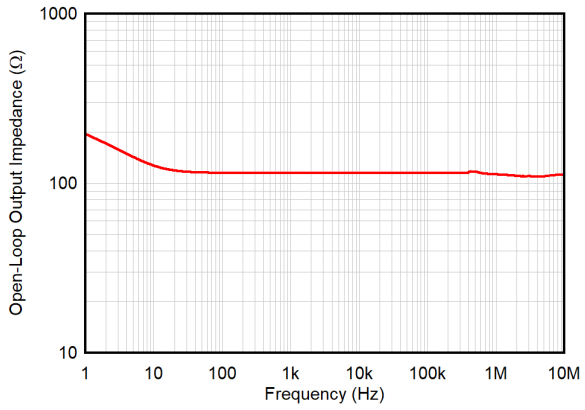


図 6-29. 開ループ出力インピーダンスと周波数との関係

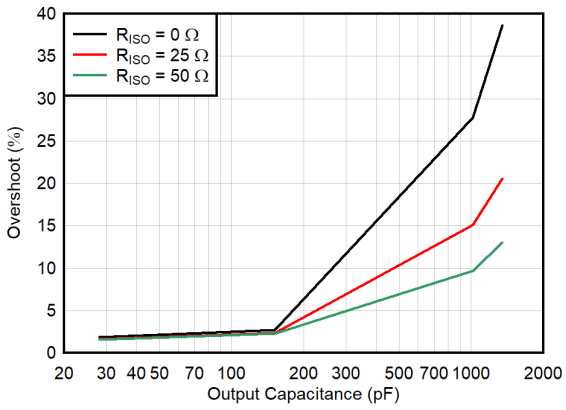


図 6-30. 小信号オーバーシュートと容量性負荷との関係 (10mV ステップ)

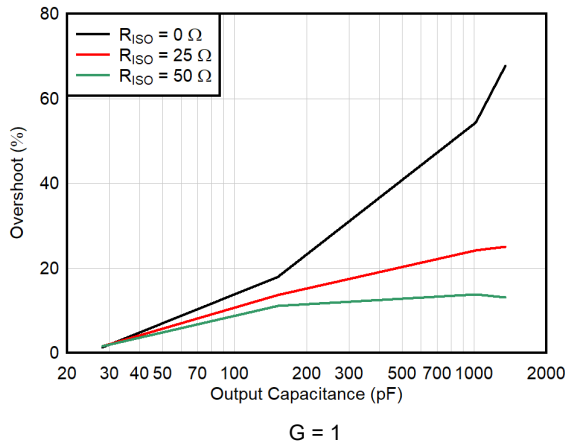


図 6-31. 小信号オーバーシュートと容量性負荷との関係 (10mV ステップ)

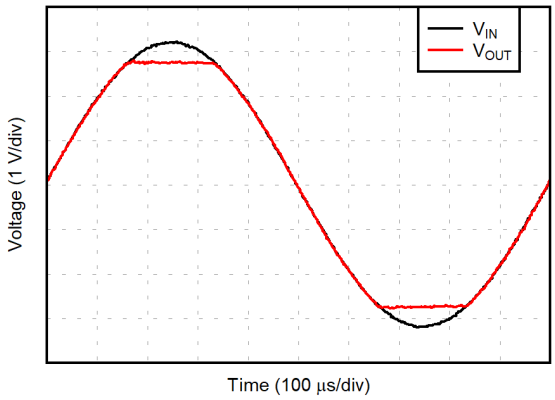


図 6-32. 位相反転が発生しない

Copyright © 2025 Texas Instruments Incorporated

6.8 代表的特性 (続き)

T_A = 25℃、V_S = 5.5V、V_{CM} = V_S/2、R_{LOAD} = 10kΩ を V_S/2 に接続、C_L = 100pF の場合 (特に記述のない限り)

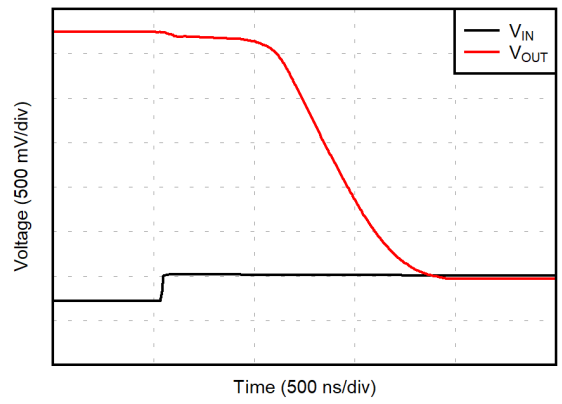


図 6-33. 正の過負荷からの回復

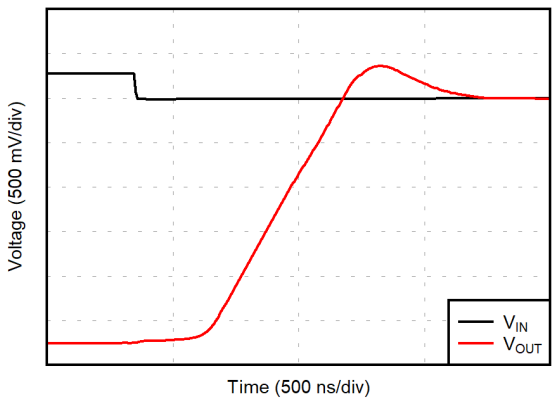
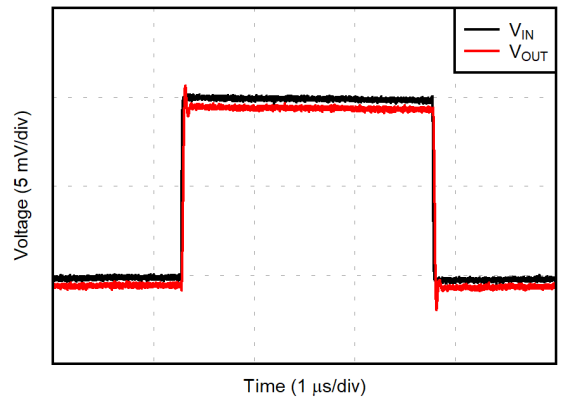
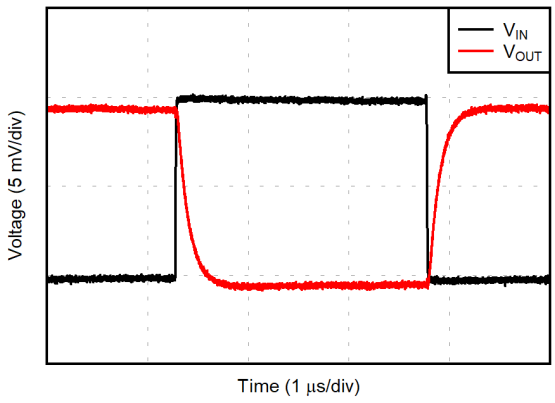


図 6-34. 負の過負荷からの回復



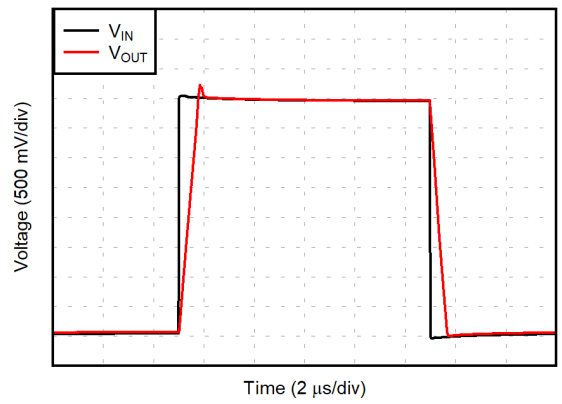
G = 1

図 6-35. 小信号ステップ応答 (10mV ステップ)



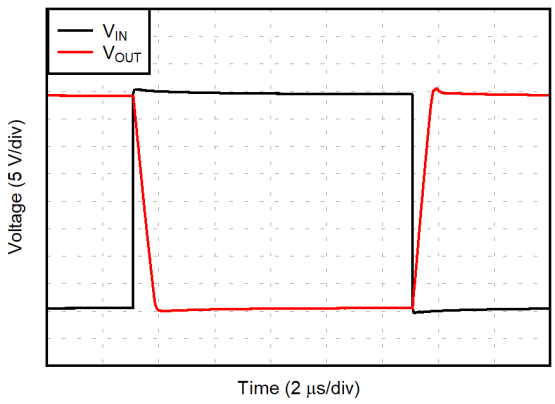
G = -1

図 6-36. 小信号ステップ応答 (10mV ステップ)



G = 1

図 6-37. 大信号ステップ応答 (4V ステップ)



G = -1

図 6-38. 大信号ステップ応答 (4V ステップ)

Copyright © 2025 Texas Instruments Incorporated

6.8 代表的特性 (続き)

T_A = 25℃、V_S = 5.5V、V_{CM} = V_S/2、R_{LOAD} = 10kΩ を V_S/2 に接続、C_L = 100pF の場合 (特に記述のない限り)

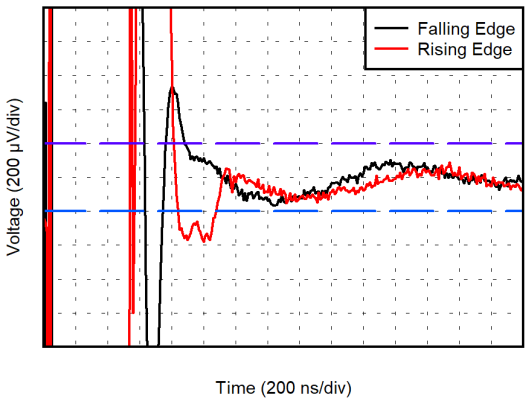
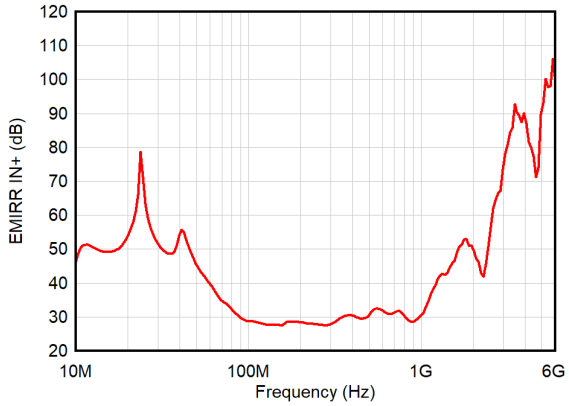


図 6-39. セトリング タイム



P_{RF} = -10dBm

図 6-40. EMIRR と周波数との関係

Copyright © 2025 Texas Instruments Incorporated

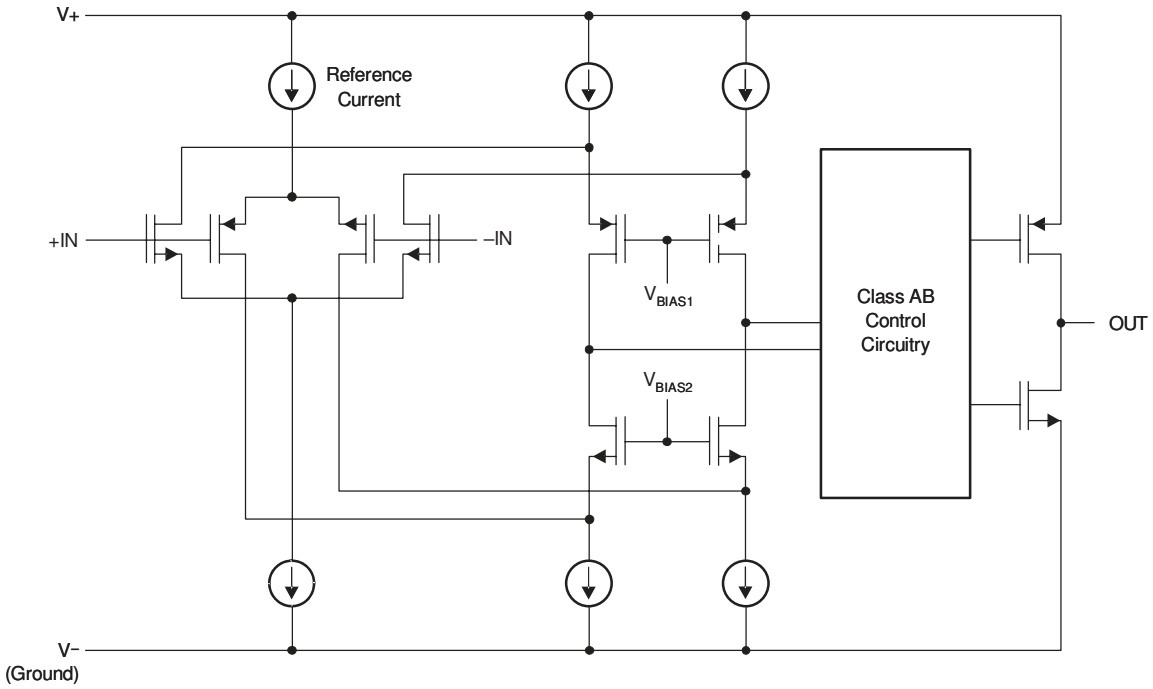
7 詳細説明

7.1 概要

OPAx392 は、独自のオフセット・トリム技法を使用した、低オフセット、低ノイズの e-trim オペアンプ・ファミリです。これらのオペアンプは、入力オフセット電圧とドリフトが非常に低く、入出力の優れた動的直線性を実現します。OPAx392 は 1.7V～5.5V で動作し、ユニティ・ゲインで安定しており、さまざまな汎用かつ高精度のアプリケーション向けに設計されています。

これらのアンプは最新の CMOS 技術と高度な設計機能を採用しており、小さいパッケージ・オプションで非常に低い入力バイアス電流、広い入出力電圧範囲、高いループ・ゲイン、低いフラット出力インピーダンスを実現します。OPAx392 の長所には、13MHz の帯域幅、4.4nV/√Hz のノイズ・スペクトル密度、低い 1/f ノイズも含まれます。これらの特長から、OPAx392 はセンサ、フォトダイオード、高性能 A/D コンバータ (ADC) とのインターフェイスとして非常に優れた選択肢です。

7.2 機能ブロック図



7.3 機能説明

7.3.1 低動作電圧

OPAx392 ファミリは、V_S = 1.7V (±0.85V)～5.5V (±2.75V) の単一またはデュアル電源で使用できます。オフセット電圧は 5.0V にトリムされますが、このデバイスは V_S = 1.7V までの非常に低いオフセット電圧を維持します

電源電圧または温度範囲によって異なるパラメータについては、「代表的特性」に示します。

7.3.2 低い入力バイアス電流

OPAx392 の代表的な入力バイアス電流は非常に低くなっています (代表値は 10fA)。入力バイアス電流は、ESD 保護ダイオードからのリーク電流 (ダイオードの面積に比例) によって支配されます。OPAx392 は、最新のプロセス技術と、ダイオードの面積を最小化する先進の静電気放電 (ESD) 保護設計により、超低入力バイアス電流を実現できます。

オーバードライブ状態では、バイアス電流が大幅に増加する可能性があります。オーバードライブ状態の最も一般的な原因は、オペアンプが線形動作範囲外になることです。オペアンプの出力がいずれかの電源レールに駆動されると、フィードバック・ループ要件を満たすことができず、入力ピンの両端に差動入力電圧が発生します。この差動入力電圧により、ESD セルの順方向バイアスが発生します。図 7-1 に、等価回路を示します。

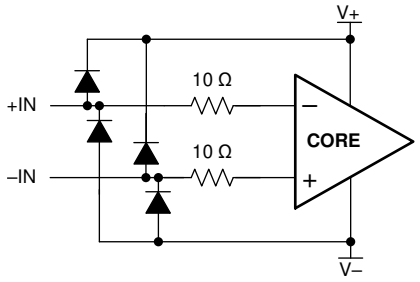


図 7-1. 等価入力回路

7.4 デバイスの機能モード

OPAx392 ファミリは、電源電圧が 1.7V (±0.85 V) を超えると動作します。EN 機能を使用するデバイスの場合 (セクション 5 を参照)、EN ピンが Low になるとデバイスはディセーブルされます。この状態では、静止電流が大幅に減少し、出力は高インピーダンスになります。OPAx392 の仕様上の最大電源電圧は 5.5 V (±2.75 V) です。

Copyright © 2025 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

OPAx392 はユニティ・ゲイン安定の高精度オペアンプ・ファミリで、予期しない出力および位相反転は発生しません。独自の e-trim オペアンプ技術を採用しており、時間の経過および全温度範囲における入力オフセット電圧が低く、入力バイアス電流も非常に低いという利点があります。OPAx392 は完全なレール・ツー・レール入力用に最適化されているため、低電圧、単一電源動作、または分割電源使用が可能です。これらの小型、高精度、低ノイズのアンプは、電源レールまでの同相範囲を持ち電源範囲全体にわたってオフセットが小さい高インピーダンス入力と、通常のテスト条件で電源から 5mV 以内でスイングするレール・ツー・レール出力を備えています。OPAx392 高精度アンプは、低ゲインまたは高ゲインのアップストリーム・アナログ・シグナル・チェーン・アプリケーションや、DAC バッファリングなどのダウンストリーム・シグナル・チェーン機能向けに設計されています。

8.2 代表的なアプリケーション

この単一電源、ローサイド、双方向電流センシングの設計例は、–1A～+1A の負荷電流を検出します。シングルエンド出力の範囲は 110mV～3.19V です。この設計では、オフセット電圧が低く、レール・ツー・レールの入出力が小さいため、OPA392 を使用します。一方のアンプは差動アンプとして構成され、もう一方のアンプは基準電圧を供給します。

図 8-1 に回路図を示します。

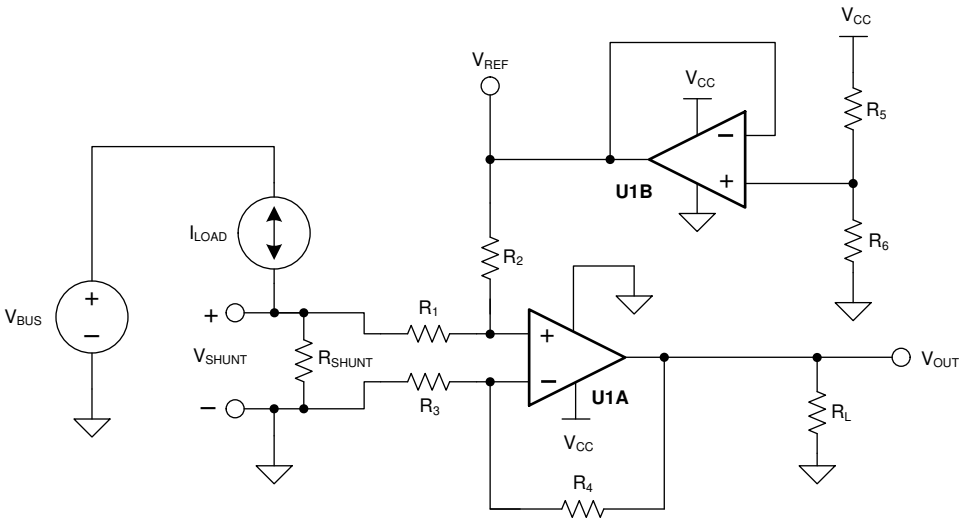


図 8-1. 双方向電流センシング回路図

8.2.1 設計要件

この設計例には、次の要件があります。

- 電源電圧:3.3V
- 入力:-1A～+1A
- 出力:1.65V±1.54V (110mV～3.19V)

8.2.2 詳細な設計手順

負荷電流、I_{LOAD} はシャント抵抗 R_{SHUNT} を通ってシャント電圧 V_{SHUNT} を発生させます。その後、シャント電圧は U1A と R_1～R_4 で構成される差動アンプによって増幅されます。この差動アンプのゲインは、R_4 と R_3 の比によって設定されます。誤差を最小化するため、$R_2 = R_4$ かつ $R_1 = R_3$ に設定します。リファレンス電圧 V_{REF} は、U1B を使用して抵抗デバイダをバッファリングすることで供給されます。伝達関数は式 1 で与えられます。

$$V_{OUT} = V_{SHUNT} \times Gain_{Diff_Amp} + V_{REF} \quad (1)$$

ここで、

- $V_{SHUNT} = I_{LOAD} \times R_{SHUNT}$
- $Gain_{Diff_Amp} = \frac{R_4}{R_3}$
- $V_{REF} = V_{CC} \times \left(\frac{R_6}{R_5 + R_6} \right)$

この設計には、オフセットとゲインという 2 種類の誤差があります。ゲイン誤差は、シャント抵抗の許容誤差と R_4 と R_3 の比、および同様に R_2 と R_1 の比によって発生します。分圧器 (R_5 と R_6) によってオフセット誤差が発生し、R_4/R_3 の比が R_2/R_1 とどの程度近いかがわかります。後者の値は差動アンプの CMRR に影響を及ぼし、最終的にオフセット誤差につながります。

V_{SHUNT} はローサイド測定であるため、V_{SHUNT} の値はシステム負荷のグランド電位です。したがって、最大値を V_{SHUNT} に配置する必要があります。この設計では、V_{SHUNT} の最大値を 100mV に設定します。式 2 では、最大シャント電圧が 100mV、最大負荷電流が 1A の場合のシャント抵抗の最大値を計算します。

$$R_{SHUNT(Max)} = \frac{V_{SHUNT(Max)}}{I_{LOAD(Max)}} = \frac{100\ mV}{1\ A} = 100\ m\Omega \quad (2)$$

R_{SHUNT} の許容誤差は、コストに正比例します。この設計では、許容誤差 0.5% のシャント抵抗を選択します。より高い精度が必要な場合は、0.1% 以下の抵抗を選択してください。

負荷電流は双方向であるため、シャント電圧範囲は -100mV～+100mV です。この電圧は、オペアンプ U1A に達する前に、R_1 と R_2 で分割されます。U1A の非反転ノードに存在する電圧が、デバイスの同相範囲内であることを確認します。そのため、OPA392 などのオペアンプを使用します。このオペアンプは、負の電源電圧を下回る同相範囲を備えています。最後に、オフセット誤差を最小限に抑えるため、OPA392 の標準オフセット電圧はわずか ±0.25μV (最大 ±5μV) です。

対称負荷電流が -1 A～+1 A の場合、分圧抵抗 (R_5 と R_6) は等しくする必要があります。シャント抵抗と整合するように、許容誤差 0.5% を選択します。消費電力を最小限に抑えるために、10kΩ の抵抗を使用します。

Copyright © 2025 Texas Instruments Incorporated

差動アンプのゲインを設定するには、OPA392 の同相範囲と出力スイングを考慮する必要があります。式 3 および 式 4 に、3.3V 電源での OPA392 の一般的な同相範囲と最大出力スイングをそれぞれ示します。

$$-100mV < V_{CM} < 3.4V \quad (3)$$

$$100mV < V_{OUT} < 3.2V \quad (4)$$

差動アンプのゲインは、式 5 に示すように計算できるようになりました。

$$Gain_{Diff_Amp} = \frac{V_{OUT_Max} - V_{OUT_Min}}{R_{SHUNT} \times (I_{MAX} - I_{MIN})} = \frac{3.2\ V - 100\ mV}{100\ m\Omega \times [1\ A - (-1A)]} = 15.5\ \frac{V}{V} \quad (5)$$

R_1 と R_3 に選択される抵抗値は 1kΩ です。R_2 と R_4 には 15.4kΩ を選択します。この値は最も近い標準値だからです。したがって、差動アンプの計算上のゲインは 15.4 V/V です。

回路のゲイン誤差は主に、R_1～R_4 に依存します。この依存性の結果、0.1% の抵抗が選択されます。この構成により、設計で 2 点較正が必要になる可能性が低くなります。必要に応じて、単純な 1 点較正により、0.5% の抵抗によって生じるオフセット誤差を除去します。

8.2.3 アプリケーション曲線

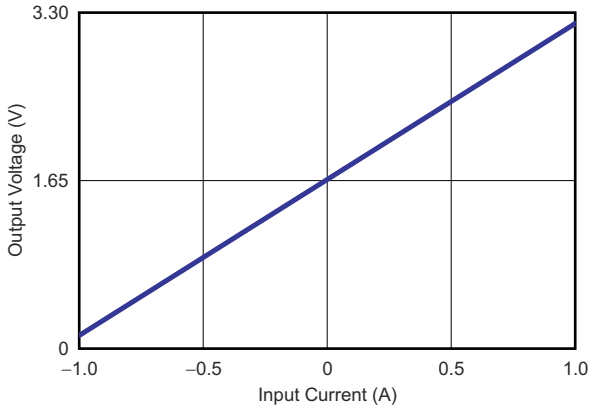


図 8-2. 双方向電流センシング回路の性能：出力電圧と入力電流との関係

8.3 電源に関する推奨事項

OPAx392 は、1.7V～5.5V (±0.85V～±2.75V) で動作することが規定されています。

注意
「絶対最大定格」表に記載されている電源電圧を超えると、デバイスに永続的な損傷を与える可能性があります。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

適切なレイアウトのガイドラインに従ってください。トレースを短くし、可能な場合はプリント基板 (PCB) のグランド・プレーンを使用し、表面実装部品をデバイス・ピンのできるだけ近くに配置します。電源ピンの両端に 0.1µF のコンデンサを配置します。これらのガイドラインは、性能を向上させ、電磁干渉 (EMI) の影響を低減するなどの利点を実現するために、アナログ回路全体に適用する必要があります。

最小のオフセット電圧と高精度性能を実現するには、回路レイアウトと機械的条件を最適化する必要があります。異なる導体の接続部に形成される熱電対接合部で熱電効果 (ゼーベック効果) が発生するような温度勾配を避けます。これらの熱発生電位は、両方の入力端子でこれらの電位を等しくすることで打ち消すことができます。レイアウトおよび設計に関するその他の考慮事項は以下のとおりです。

- 熱電係数の低い条件を使用します (異なる金属は避けてください)。
- 超低バイアス電流が必要な場合は、ガード・トレースを使用してリーク電流を最小限に抑えます。
- 電源や他の熱源から部品を熱的に絶縁します。
- オペアンプおよび入力回路を、冷却ファンなどの空気流から遮蔽します。

これらのガイドラインに従うと、接合部によって温度が異なるものになる可能性が低減します。接合部によって温度が異なると、使用する材料によっては熱電気電圧ドリフトが 0.1µV/℃以上になる可能性があります。

8.4.2 レイアウト例

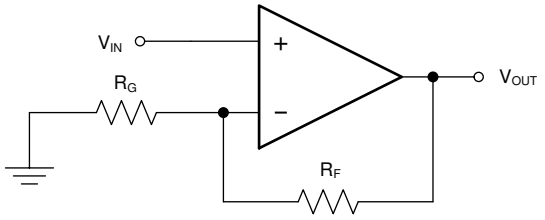


図 8-3. OPA392 のレイアウト回路図

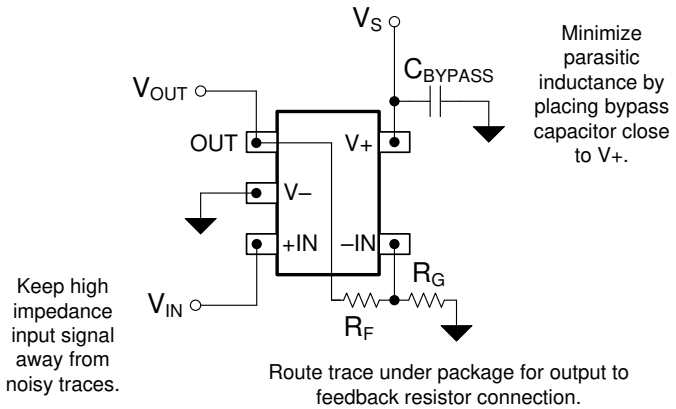


図 8-4. OPA392 レイアウト例

Copyright © 2025 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 デバイスのサポート

9.1.1 開発サポート

9.1.1.1 PSpice® for TI

PSpice® for TI は、アナログ回路の性能評価に役立つ設計およびシミュレーション環境です。レイアウトと製造に移る前に、サブシステムの設計とプロトタイプ・ソリューションを作成することで、開発コストを削減し、市場投入までの期間を短縮できます。

9.1.1.2 TINA-TI™シミュレーション ソフトウェア (無償ダウンロード)

TINA-TI™ シミュレーション ソフトウェアは、SPICE エンジンをベースにした単純かつ強力な、使いやすい回路シミュレーション プログラムです。TINA-TI シミュレーション ソフトウェアは、TINA™ ソフトウェアのすべての機能を持つ無償バージョンで、パッシブ モデルとアクティブ モデルに加えて、マクロモデルのライブラリがプリロードされています。TINA-TI シミュレーション ソフトウェアには、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI シミュレーション ソフトウェアは設計およびシミュレーション ツール Web ページから無料でダウンロードでき、ユーザーが結果をさまざまな形式で処理できる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイック スタート ツールを作成できます。

注

これらのファイルを使用するには、TINA ソフトウェアまたは TINA-TI ソフトウェアがインストールされている必要があります。TINA-TI™ ソフトウェア フォルダから、無償の TINA-TI シミュレーション ソフトウェアをダウンロードしてください。

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『アンプの入力同相および出力スイングの制限』アプリケーション・ノート
- テキサス・インスツルメンツ、『オフセット補正方法：レーザー・トリミング、e-Trim™、チョッパ』アプリケーション・ブリーフ

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

e-trim™, TINA-TI™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
TINA™ is a trademark of DesignSoft, Inc.
PSpice® is a registered trademark of Cadence Design Systems, Inc.
すべての商標は、それぞれの所有者に帰属します。

Copyright © 2025 Texas Instruments Incorporated

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision H (April 2024) to Revision I (March 2025) **Page**

- OPA4392 PW (TTSOP、14) ステータスをプレビューから量産データ (アクティブ) に変更し、関連コンテンツを追加. 1

Changes from Revision G (April 2024) to Revision H (November 2024) **Page**

- OPA392 DCK (SC70、5) および OPA2392 DSG (WSON、8) パッケージのステータスをプレビューから量産データ (アクティブ) に変更し、関連コンテンツを追加 1
- 最新の特性データに基づき、OPA2392DGK の過熱範囲の条件に対する最大 V_{OS} を ±125µV から ±180µV に変更 8
- 最新の特性データに基づいて、OPA392YBJ と OPA2392D、DGK、YBJ の標準位相マージン仕様を 45° から 35° に変更 8

Changes from Revision F (December 2023) to Revision G (April 2024) **Page**

- OPA2392 DGK (VSSOP、8) パッケージのステータスを事前情報 (サンプル付きプレビュー) から量産データ (アクティブ) に変更し、関連する内容を追加 1

Changes from Revision E (September 2023) to Revision F (December 2023) **Page**

- OPA392 YBJ (DSBGA、6) パッケージのステータスを事前情報 (サンプル付きプレビュー) から量産データ (アクティブ) に変更し、関連する内容を追加 1
- OPA2392 D (SOIC、8) パッケージのステータスをプレビューから量産データ (アクティブ) に変更し、関連する内容を追加 1
- OPA2392 DGK (VSSOP、8) パッケージのステータスをプレビューから事前情報 (サンプル付きプレビュー) に変更し、関連する内容を追加 1

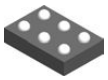
11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。.

Copyright © 2025 Texas Instruments Incorporated

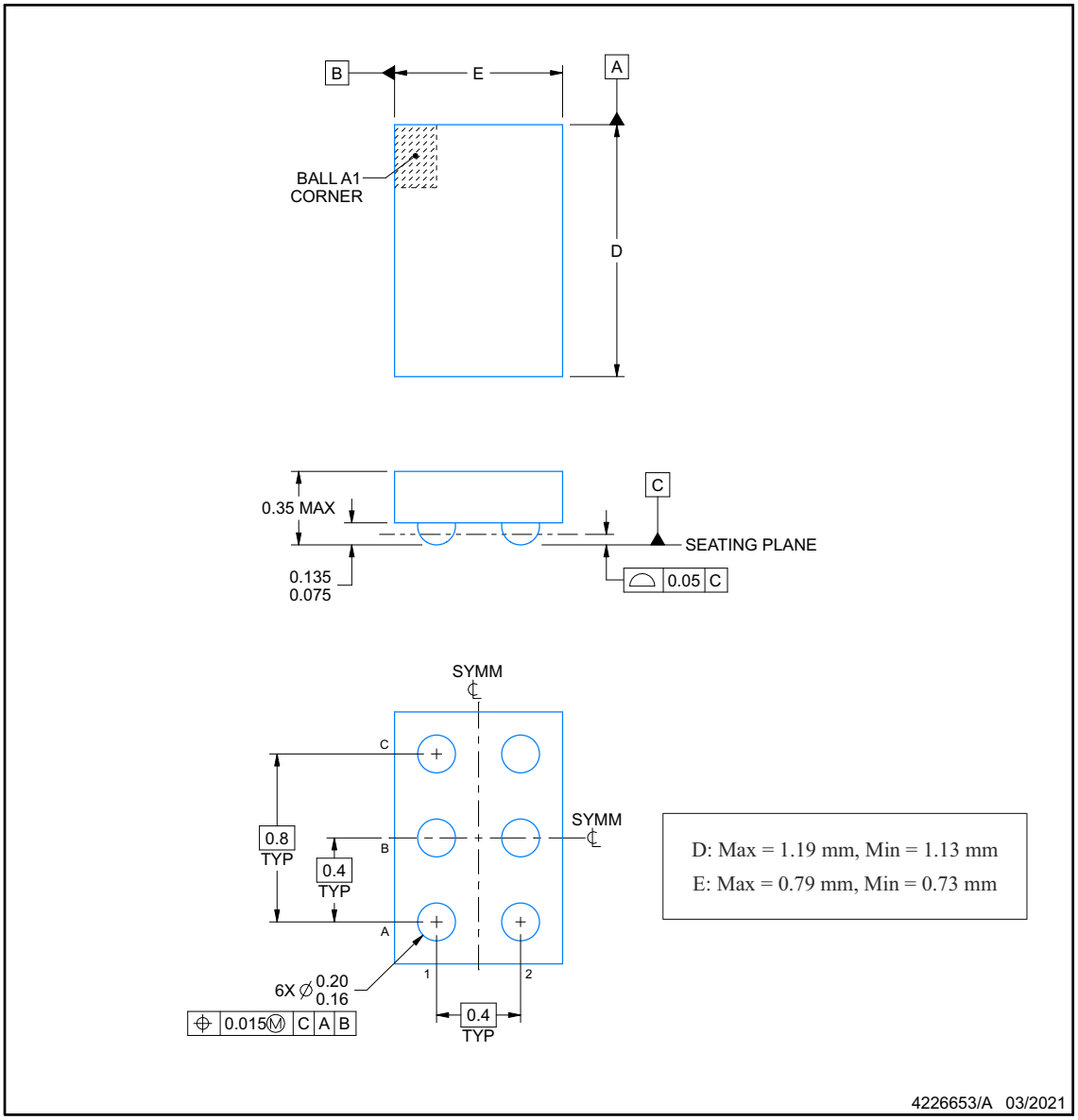
PACKAGE OUTLINE

YBJ0006



DSBGA - 0.35 mm max height

DIE SIZE BALL GRID ARRAY



NOTES:

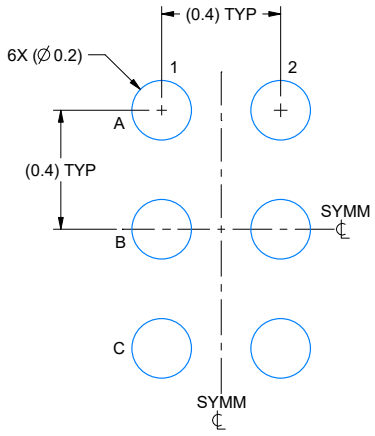
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

Copyright © 2025 Texas Instruments Incorporated

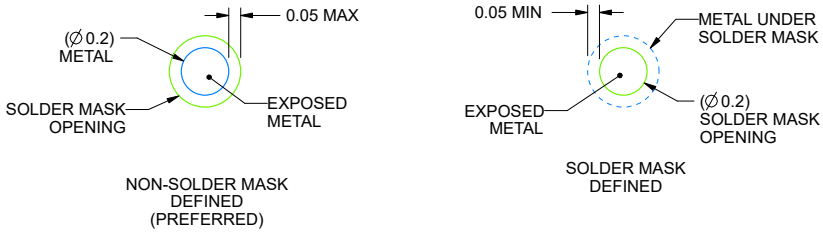
EXAMPLE BOARD LAYOUT

YBJ0006 — **DSBGA - 0.35 mm max height**

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 50X



SOLDER MASK DETAILS
NOT TO SCALE

4226653/A 03/2021

NOTES: (continued)

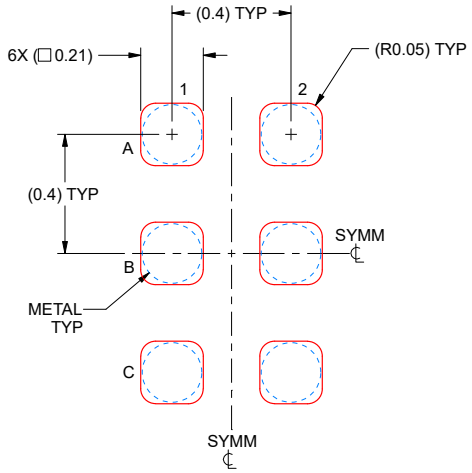
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

YBJ0006 **DSBGA - 0.35 mm max height**

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 50X

4226653/A 03/2021

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

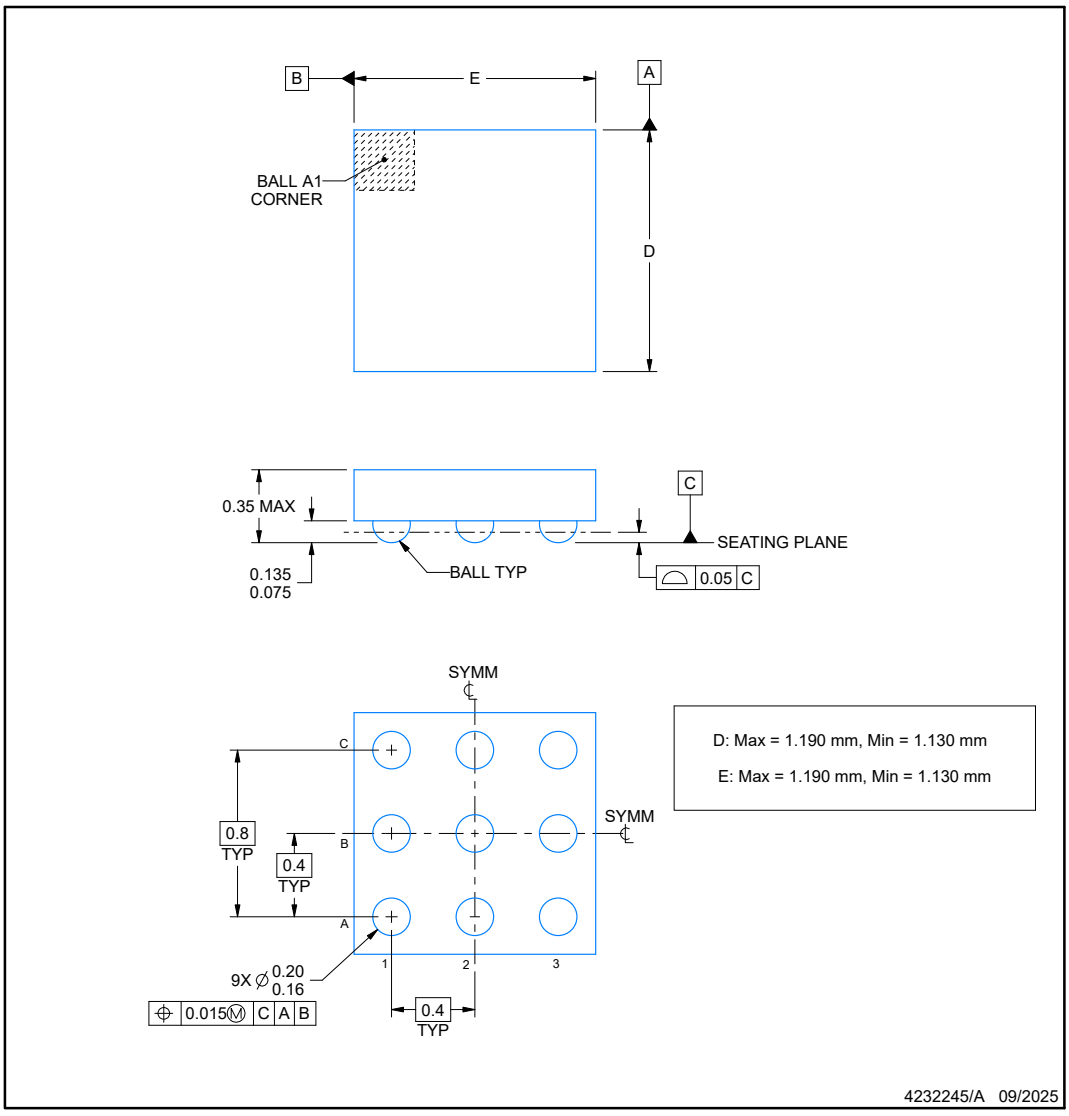
Copyright © 2025 Texas Instruments Incorporated

PACKAGE OUTLINE

YBJ0009-C02

DSBGA - 0.35 mm max height

DIE SIZE BALL GRID ARRAY



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

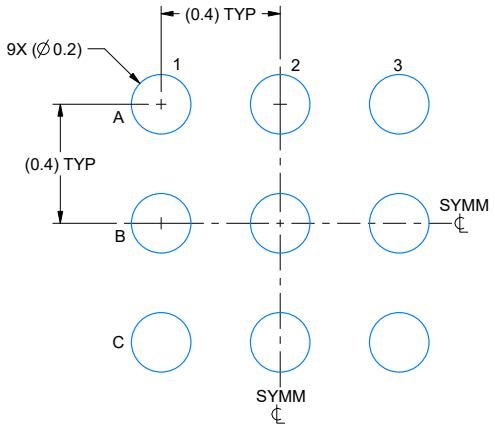
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

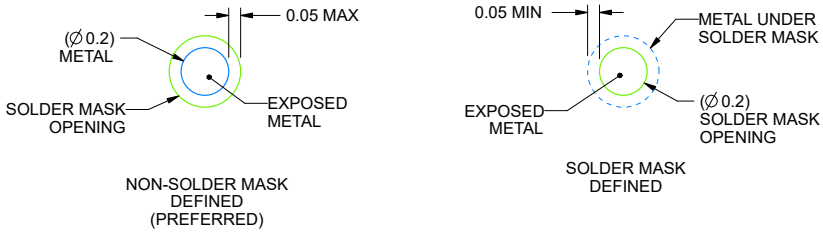
YBJ0009-C02

DSBGA - 0.35 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 50X



SOLDER MASK DETAILS
NOT TO SCALE

4232245/A 09/2025

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

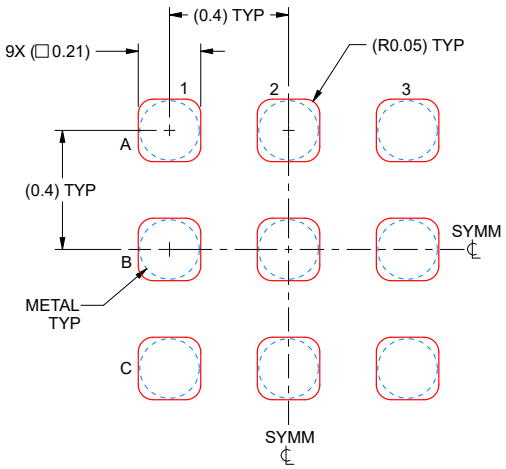
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

YBJ0009-C02

DSBGA - 0.35 mm max height

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 50X

4232245/A 09/2025

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2392DGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	3BJS
OPA2392DGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	3BJS
OPA2392DR	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O2392D
OPA2392DR.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O2392D
OPA2392DSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3B8H
OPA2392DSGR.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3B8H
OPA2392YBJR	Active	Production	DSBGA (YBJ) | 9	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	O23
OPA2392YBJR.A	Active	Production	DSBGA (YBJ) | 9	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	O23
OPA2392YBJT	Active	Production	DSBGA (YBJ) | 9	250 | SMALL T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	O23
OPA2392YBJT.A	Active	Production	DSBGA (YBJ) | 9	250 | SMALL T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	O23
OPA392DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	23GT
OPA392DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	23GT
OPA392DBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	23GT
OPA392DBVT.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	23GT
OPA392DCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1QL
OPA392DCKR.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1QL
OPA392YBJR	Active	Production	DSBGA (YBJ) | 6	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	PL
OPA392YBJR.A	Active	Production	DSBGA (YBJ) | 6	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	PL
OPA4392PWR	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4392
OPA4392PWR.A	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	See OPA4392PWR	OPA4392

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

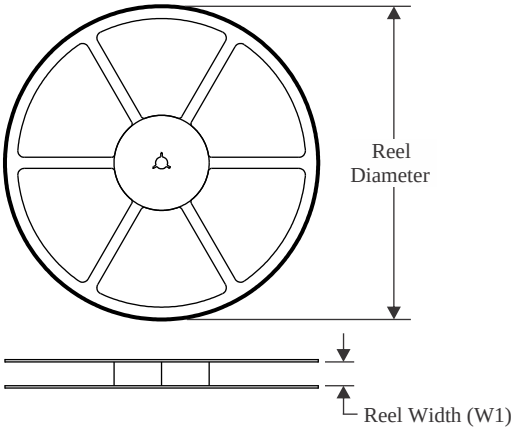
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

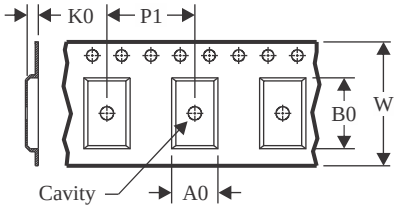
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

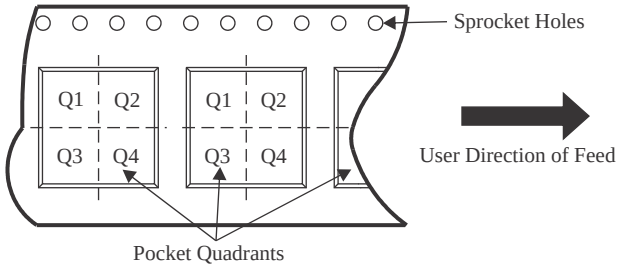


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

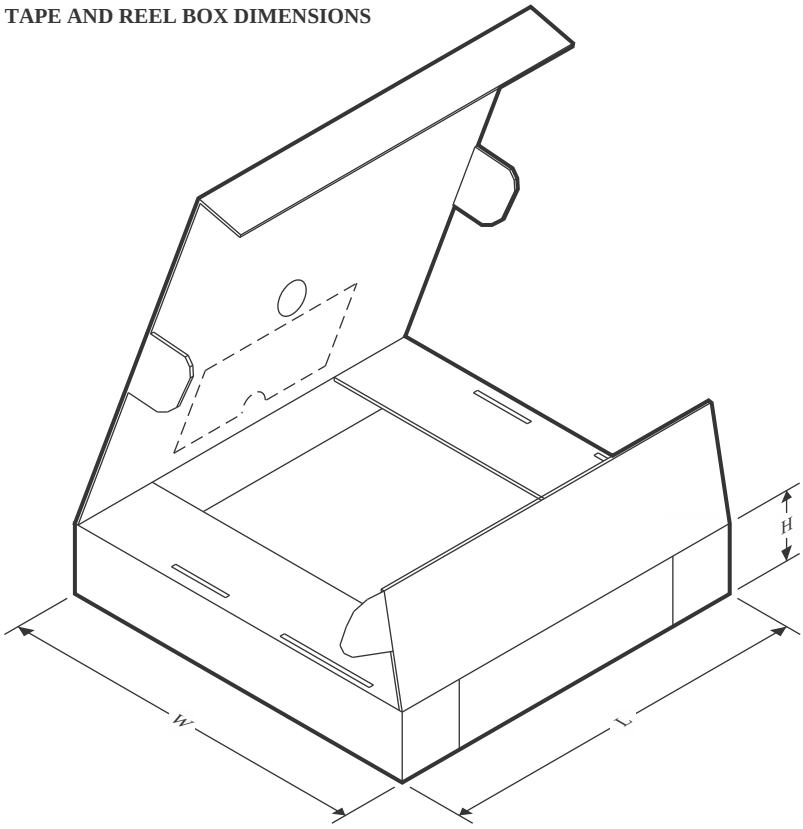
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2392DGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2392DR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2392DSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
OPA2392YBJR	DSBGA	YBJ	9	3000	180.0	8.4	1.26	1.26	0.43	4.0	8.0	Q1
OPA2392YBJT	DSBGA	YBJ	9	250	180.0	8.4	1.26	1.26	0.43	4.0	8.0	Q1
OPA392DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
OPA392DBVT	SOT-23	DBV	5	250	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
OPA392DCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
OPA392YBJR	DSBGA	YBJ	6	3000	180.0	8.4	0.85	1.27	0.43	2.0	8.0	Q1
OPA4392PWR	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

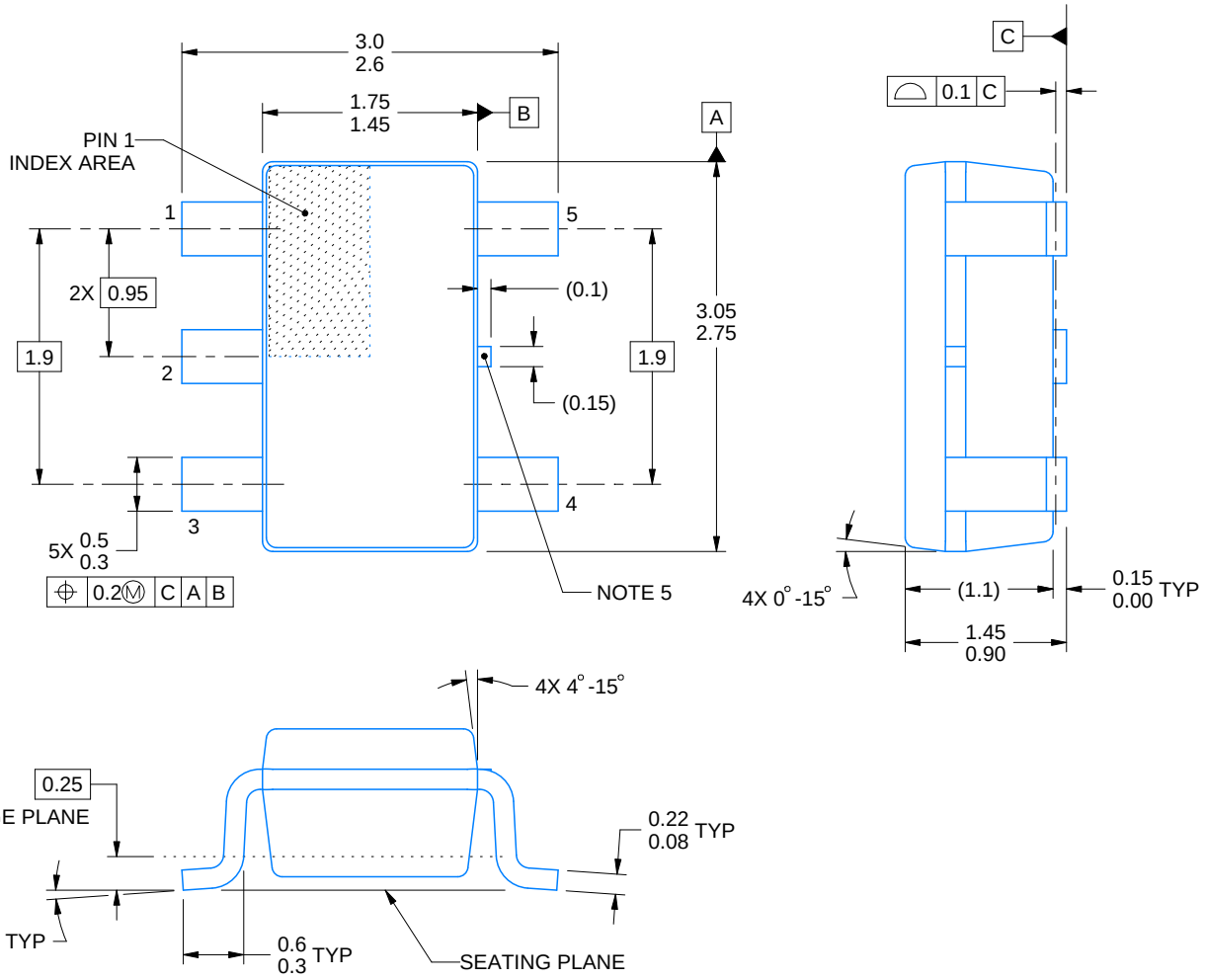
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2392DGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA2392DR	SOIC	D	8	3000	353.0	353.0	32.0
OPA2392DSGR	WSON	DSG	8	3000	210.0	185.0	35.0
OPA2392YBJR	DSBGA	YBJ	9	3000	182.0	182.0	20.0
OPA2392YBJT	DSBGA	YBJ	9	250	182.0	182.0	20.0
OPA392DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
OPA392DBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
OPA392DCKR	SC70	DCK	5	3000	180.0	180.0	18.0
OPA392YBJR	DSBGA	YBJ	6	3000	182.0	182.0	20.0
OPA4392PWR	TSSOP	PW	14	3000	353.0	353.0	32.0

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

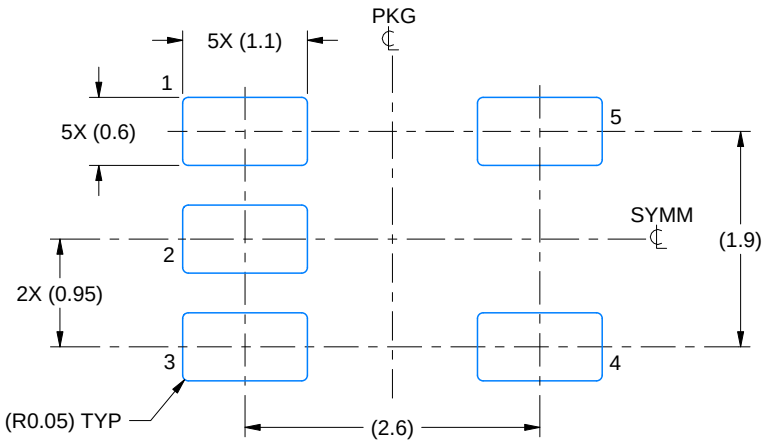
SMALL OUTLINE TRANSISTOR



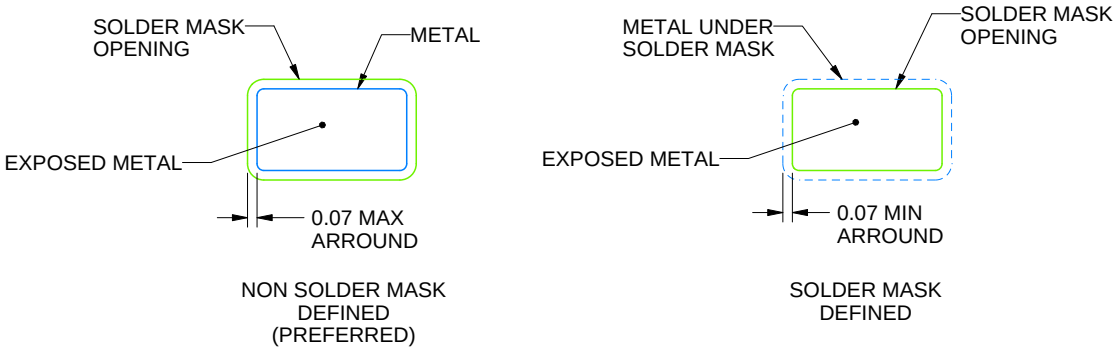
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

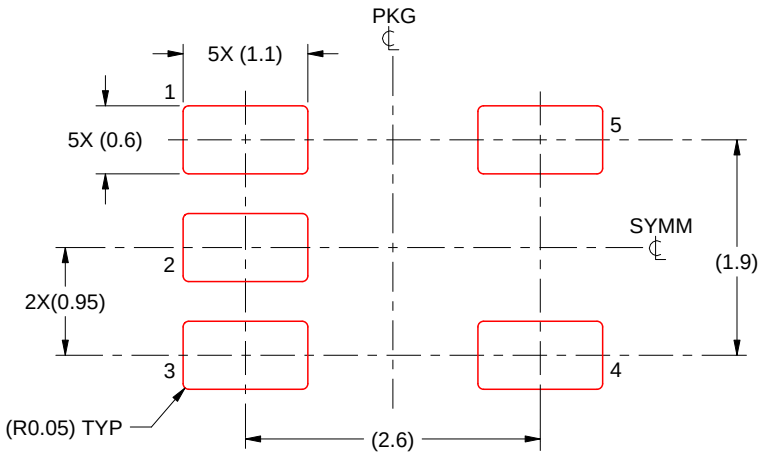


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

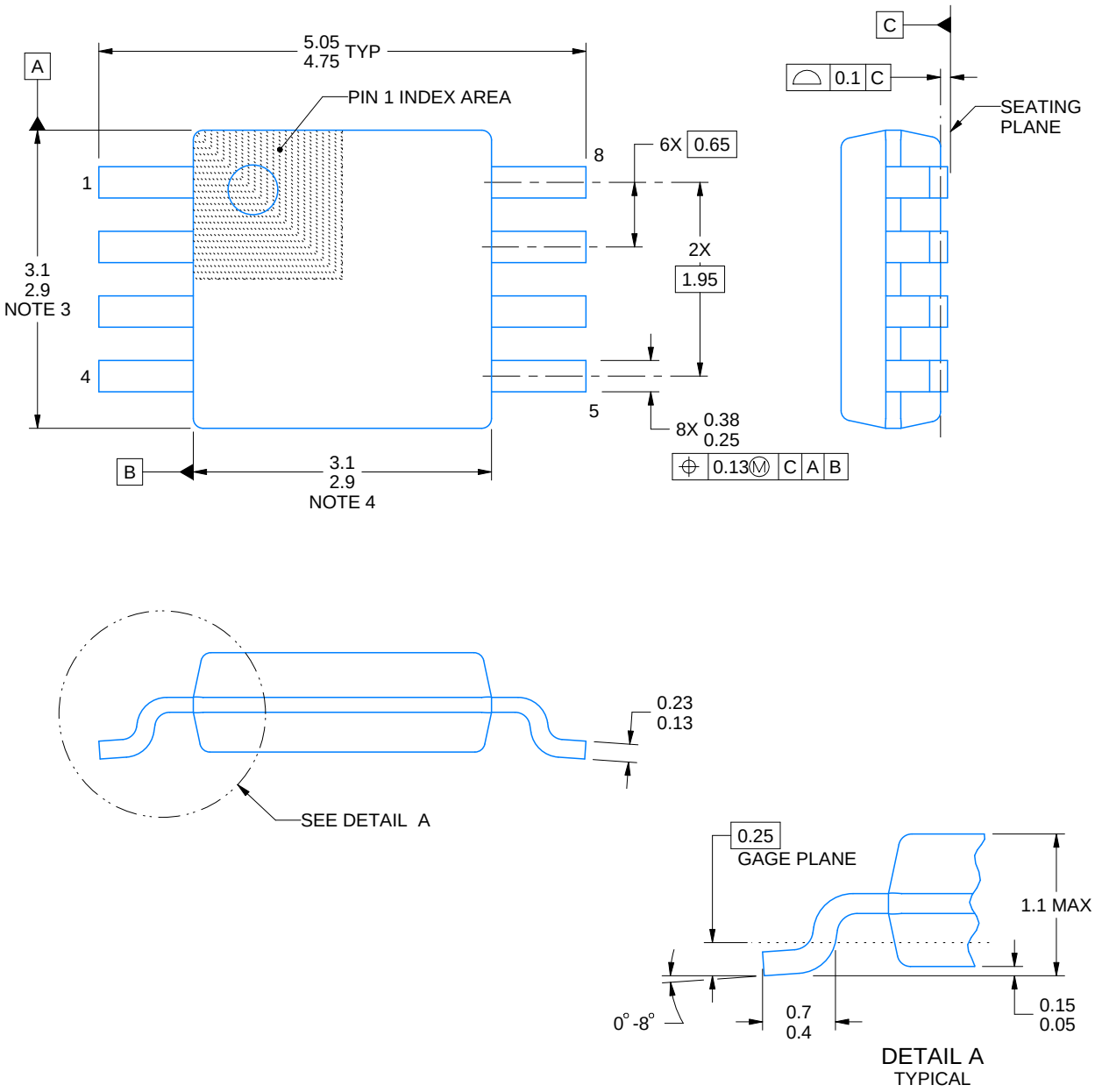
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

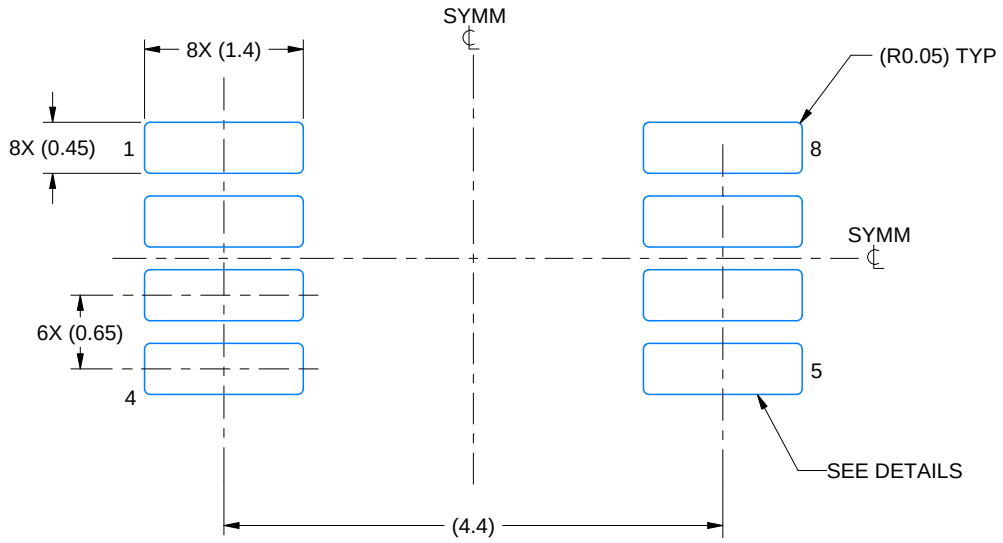
SMALL OUTLINE PACKAGE



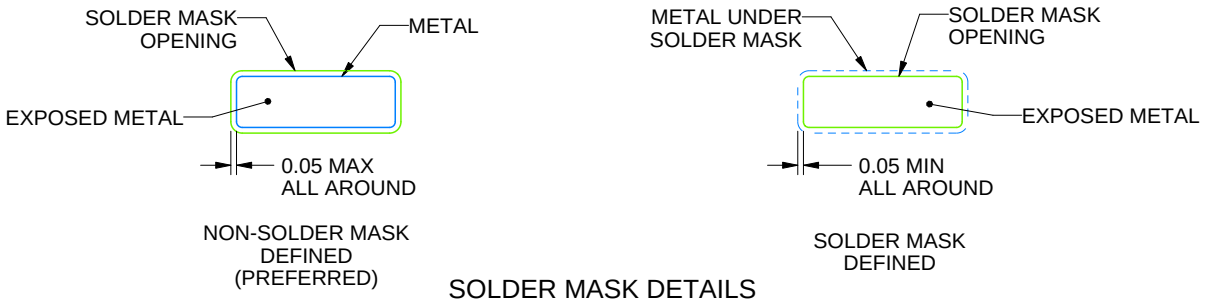
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

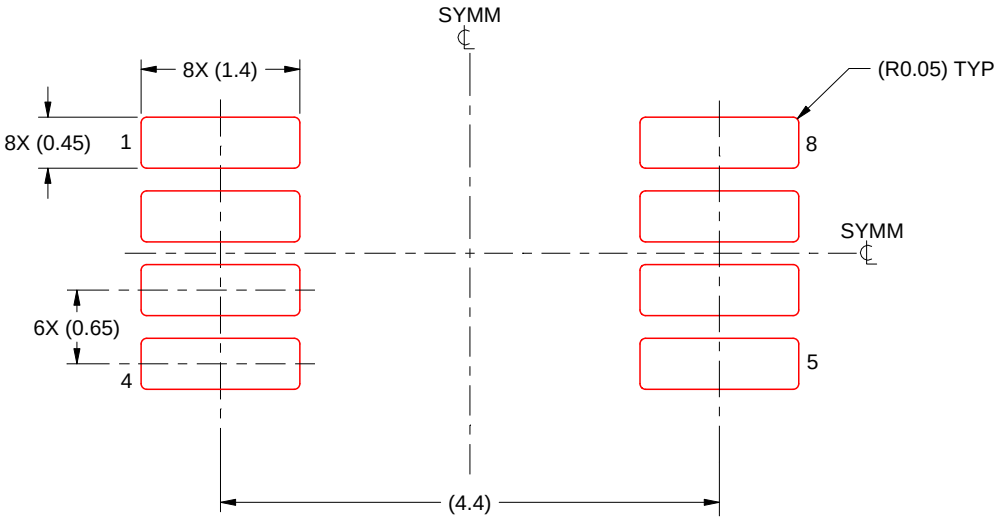


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

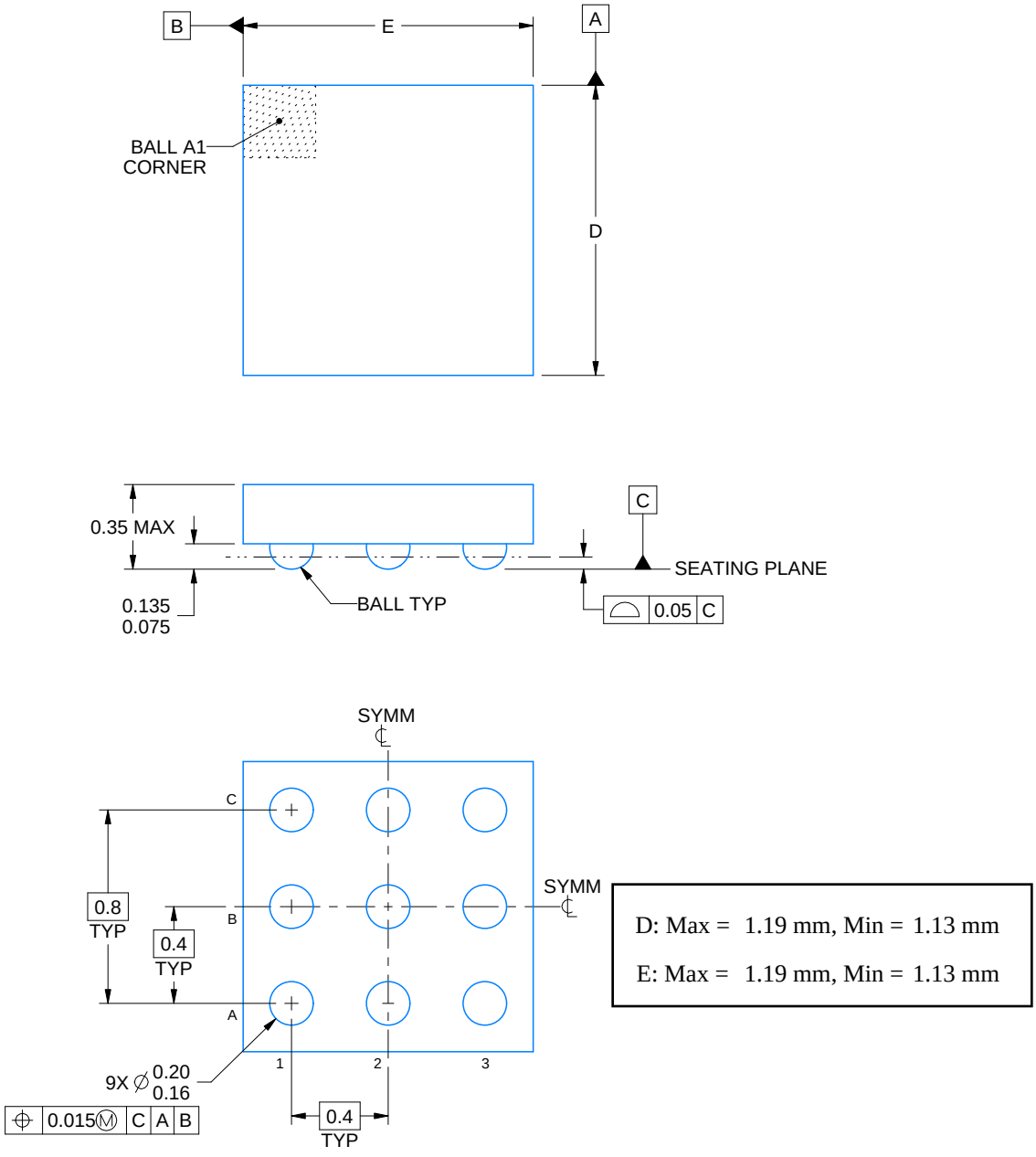
11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

YBJ0009

PACKAGE OUTLINE

DSBGA - 0.35 mm max height

DIE SIZE BALL GRID ARRAY



4225688/A 02/2020

NOTES:

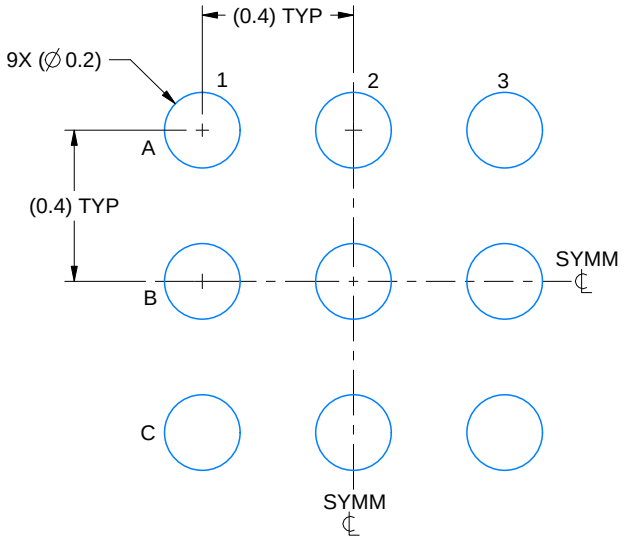
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

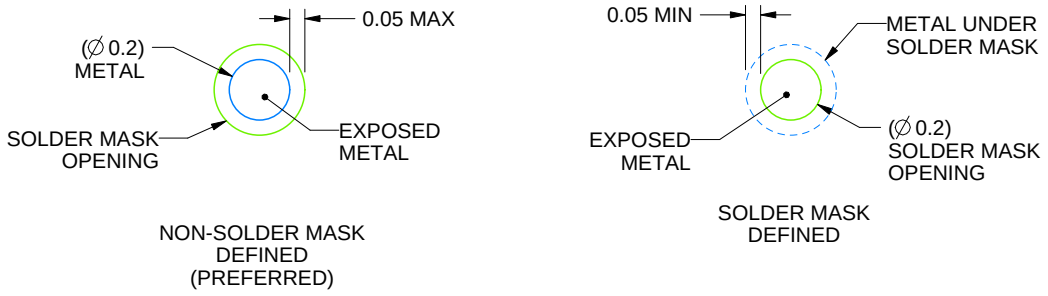
YBJ0009

DSBGA - 0.35 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 50X



SOLDER MASK DETAILS
NOT TO SCALE

4225688/A 02/2020

NOTES: (continued)

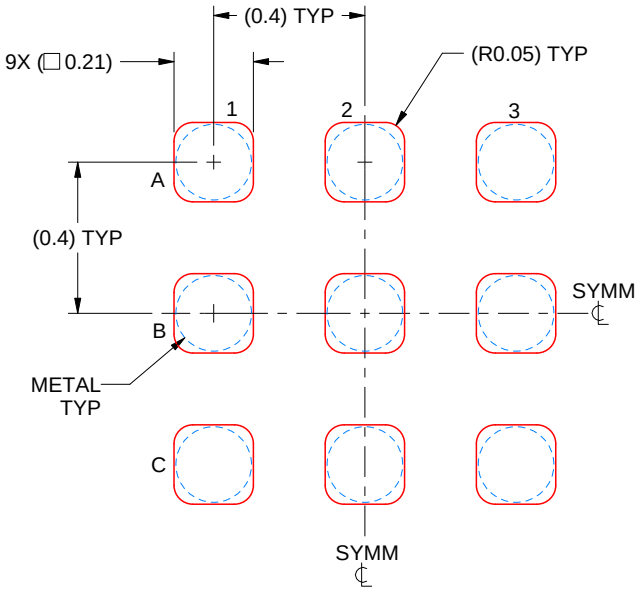
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
   See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

YBJ0009

DSBGA - 0.35 mm max height

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 50X

4225688/A 02/2020

NOTES: (continued)

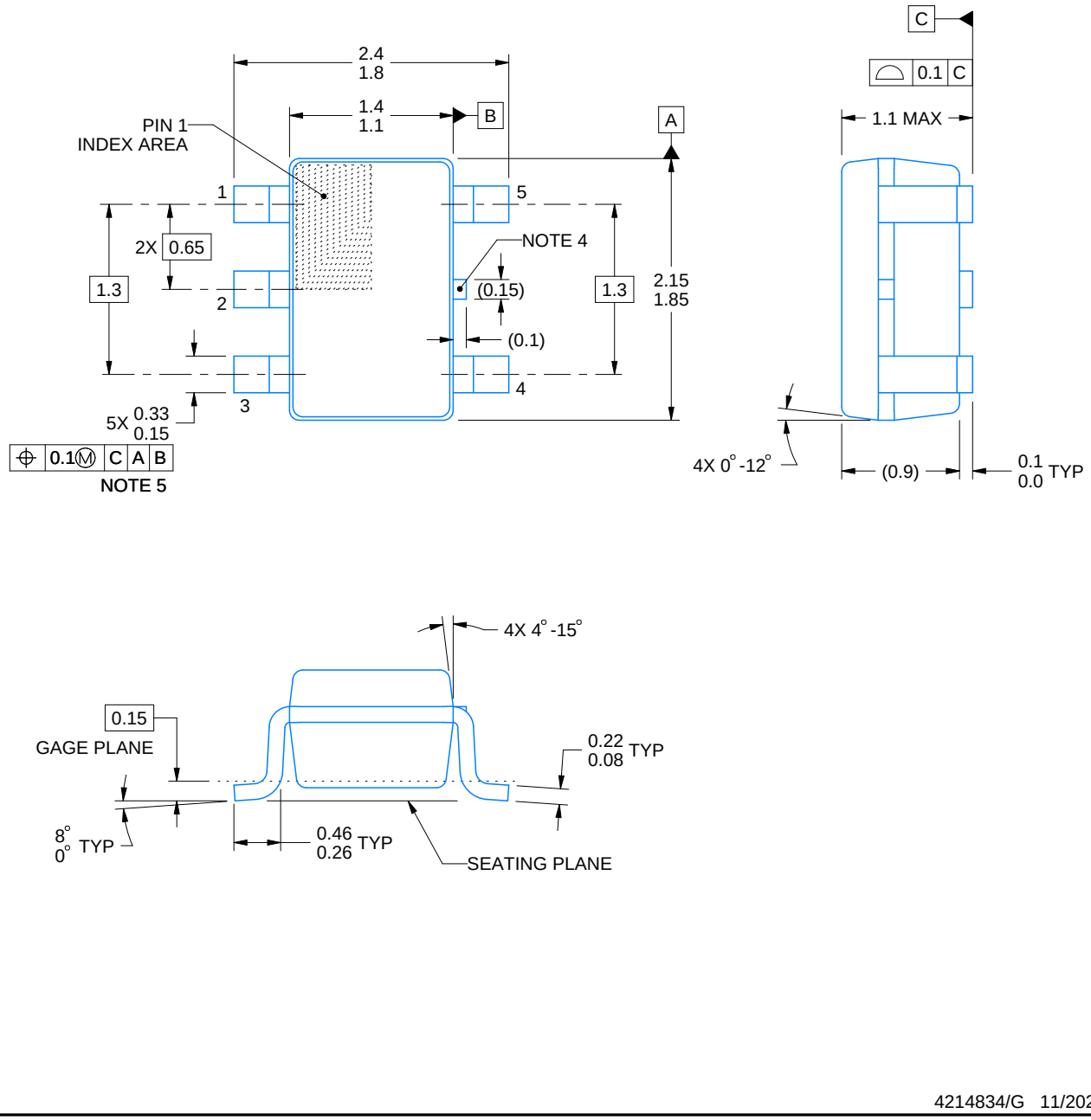
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

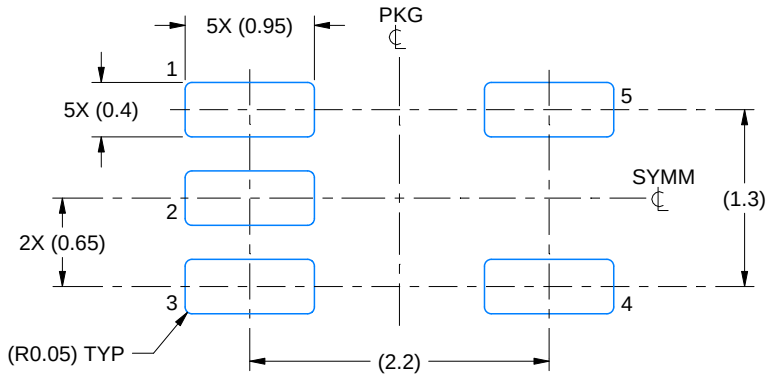
SMALL OUTLINE TRANSISTOR



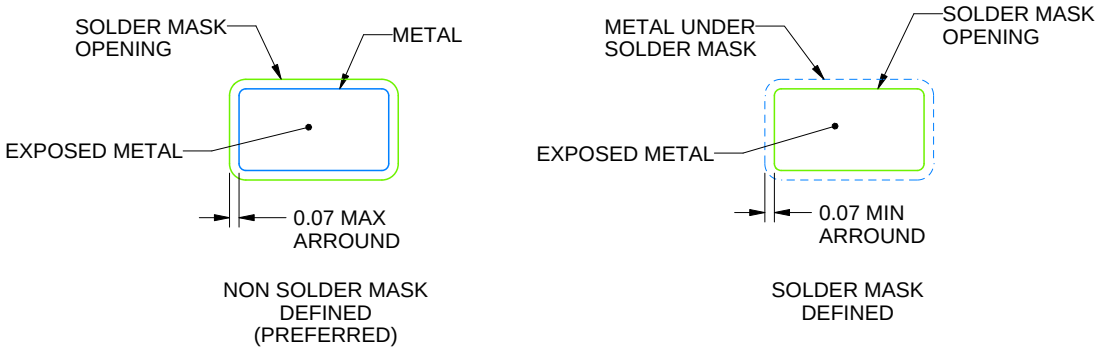
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

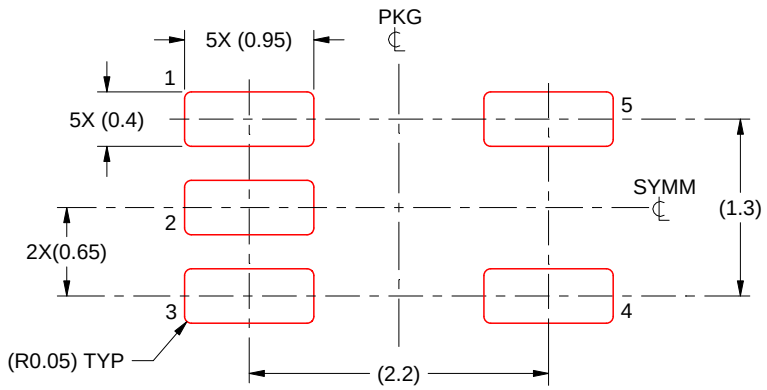


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

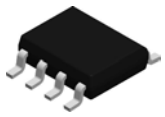


SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

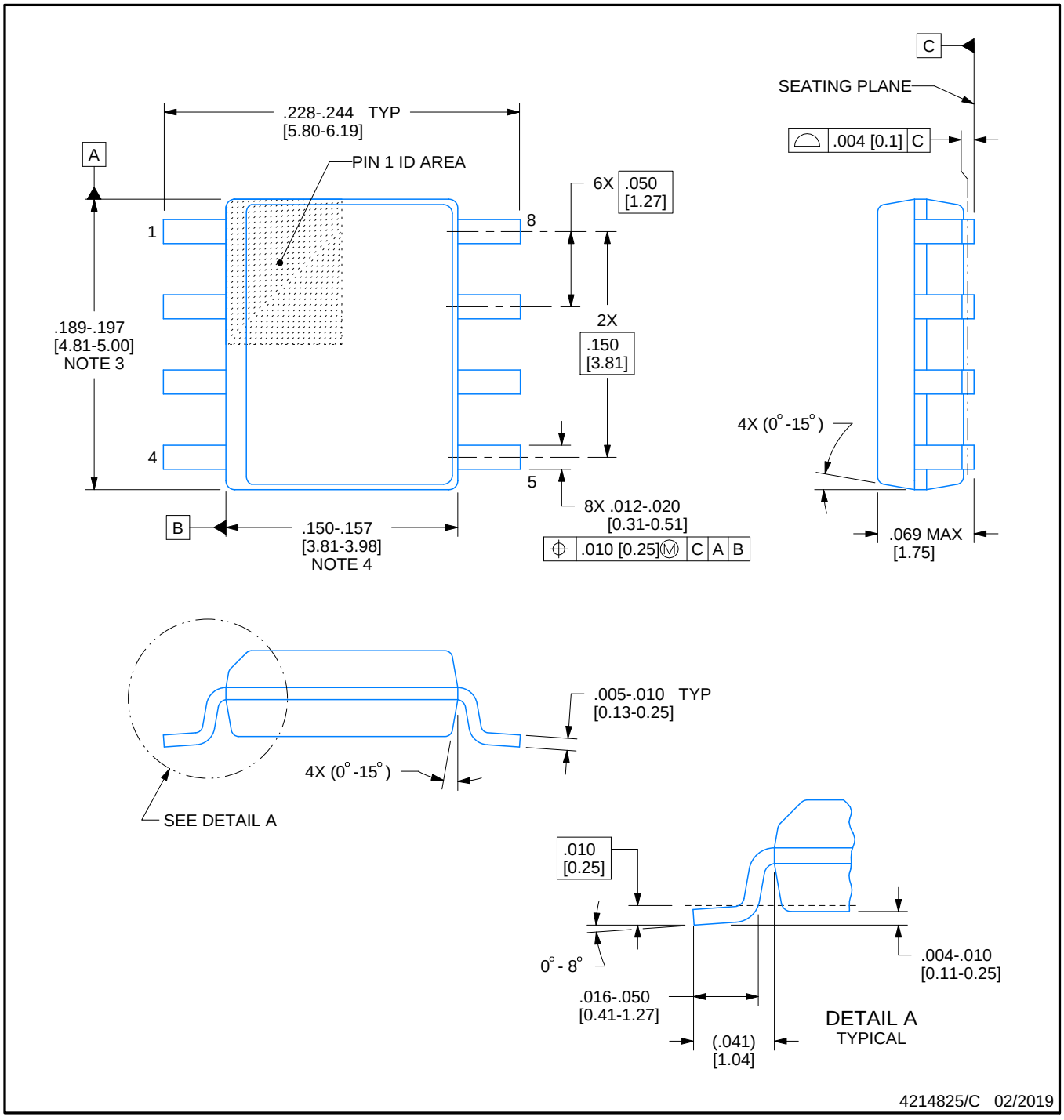


PACKAGE OUTLINE

D0008A

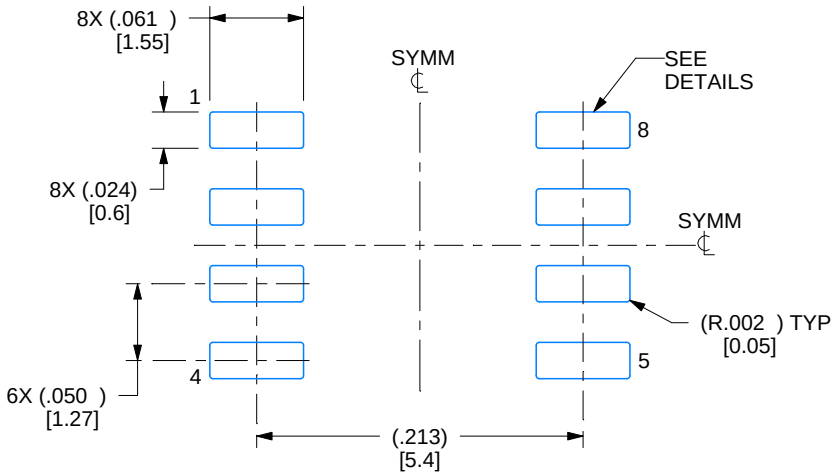
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

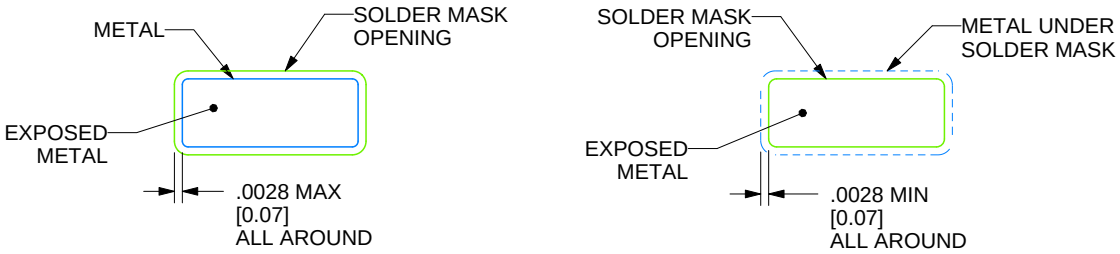


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

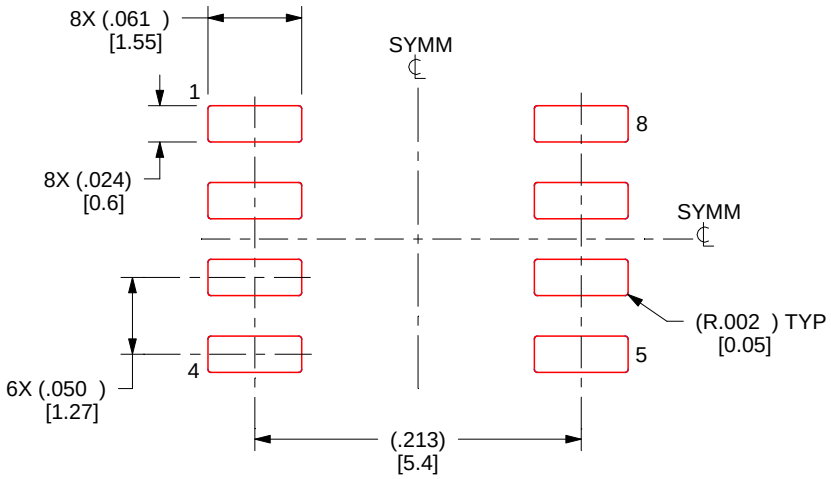
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

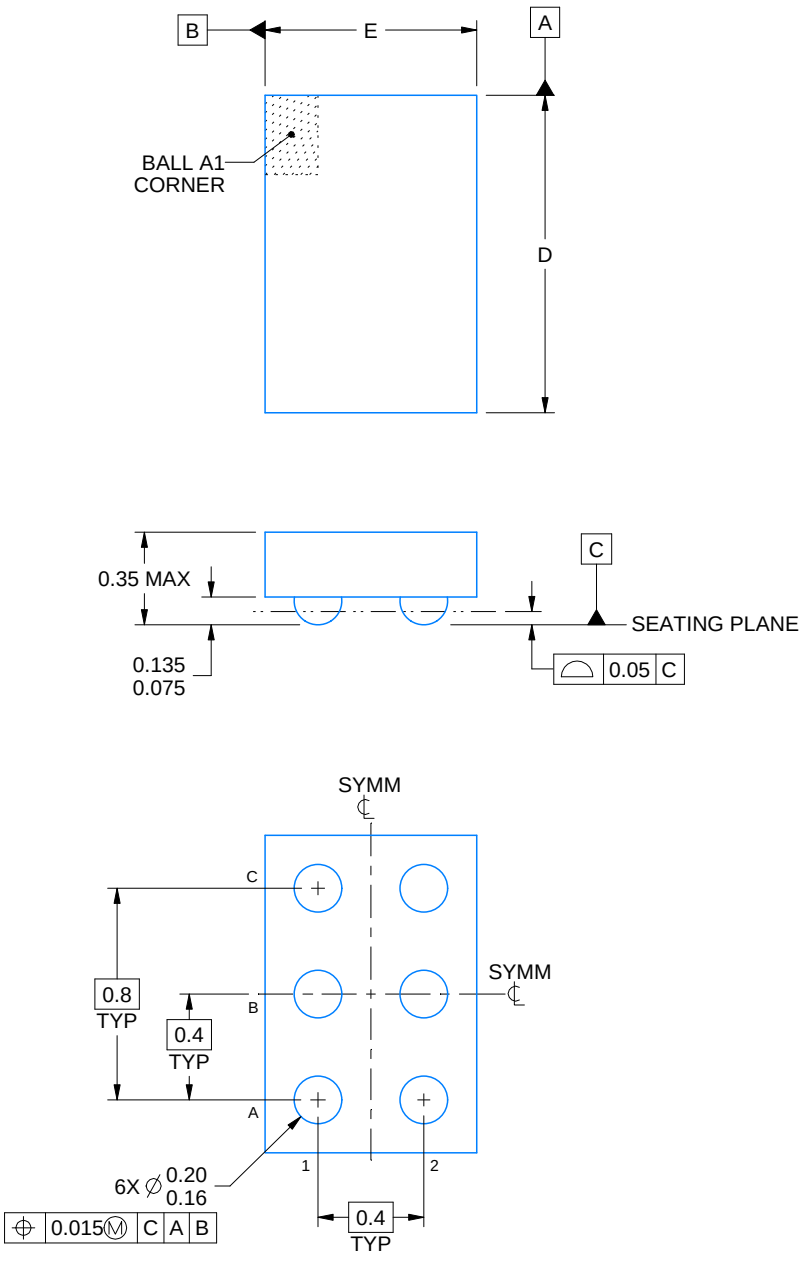
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

YBJ0006

DSBGA - 0.35 mm max height

DIE SIZE BALL GRID ARRAY



4226653/A 03/2021

NOTES:

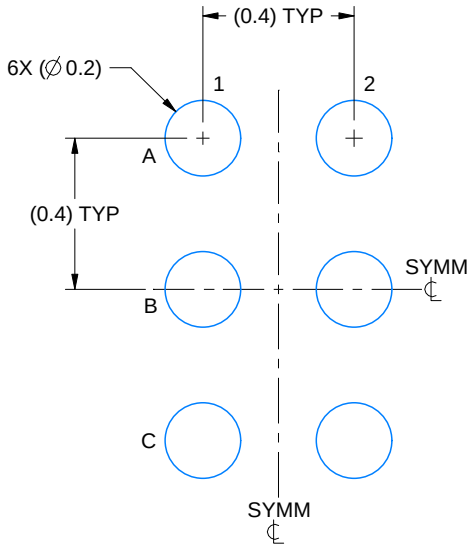
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

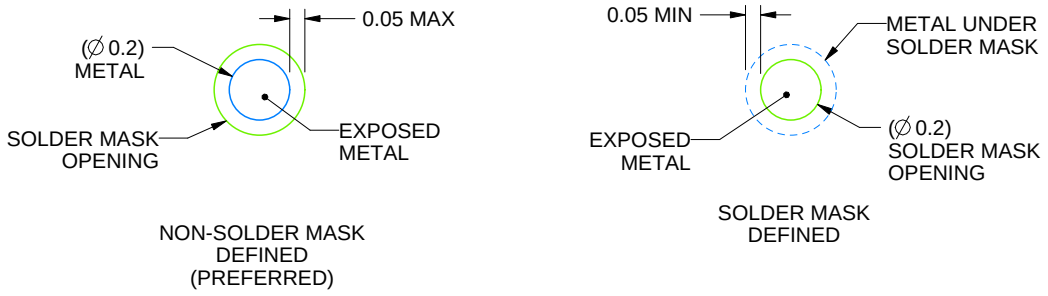
YBJ0006

DSBGA - 0.35 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 50X

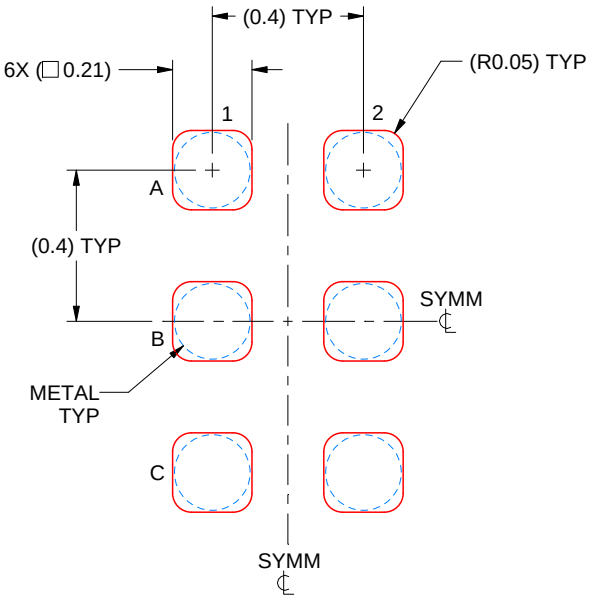


SOLDER MASK DETAILS
NOT TO SCALE

4226653/A 03/2021

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
   See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 50X

4226653/A 03/2021

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

GENERIC PACKAGE VIEW

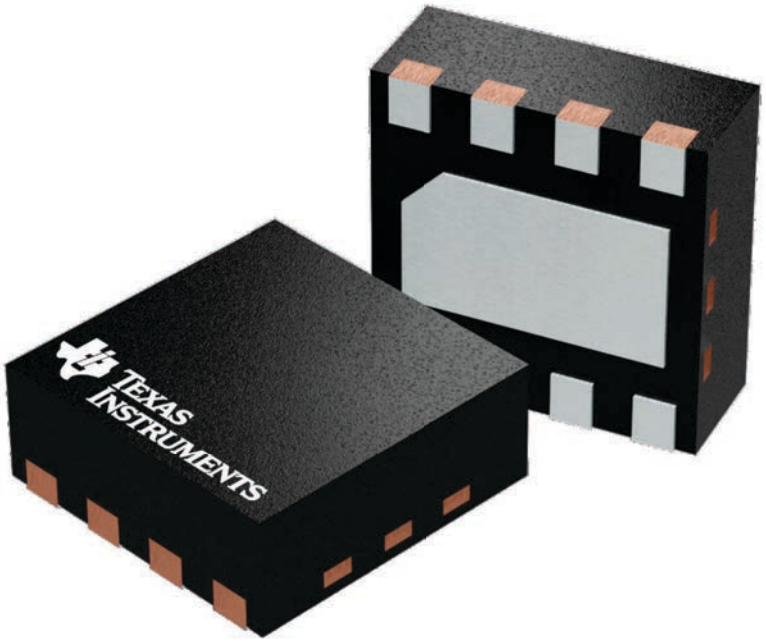
DSG 8

WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



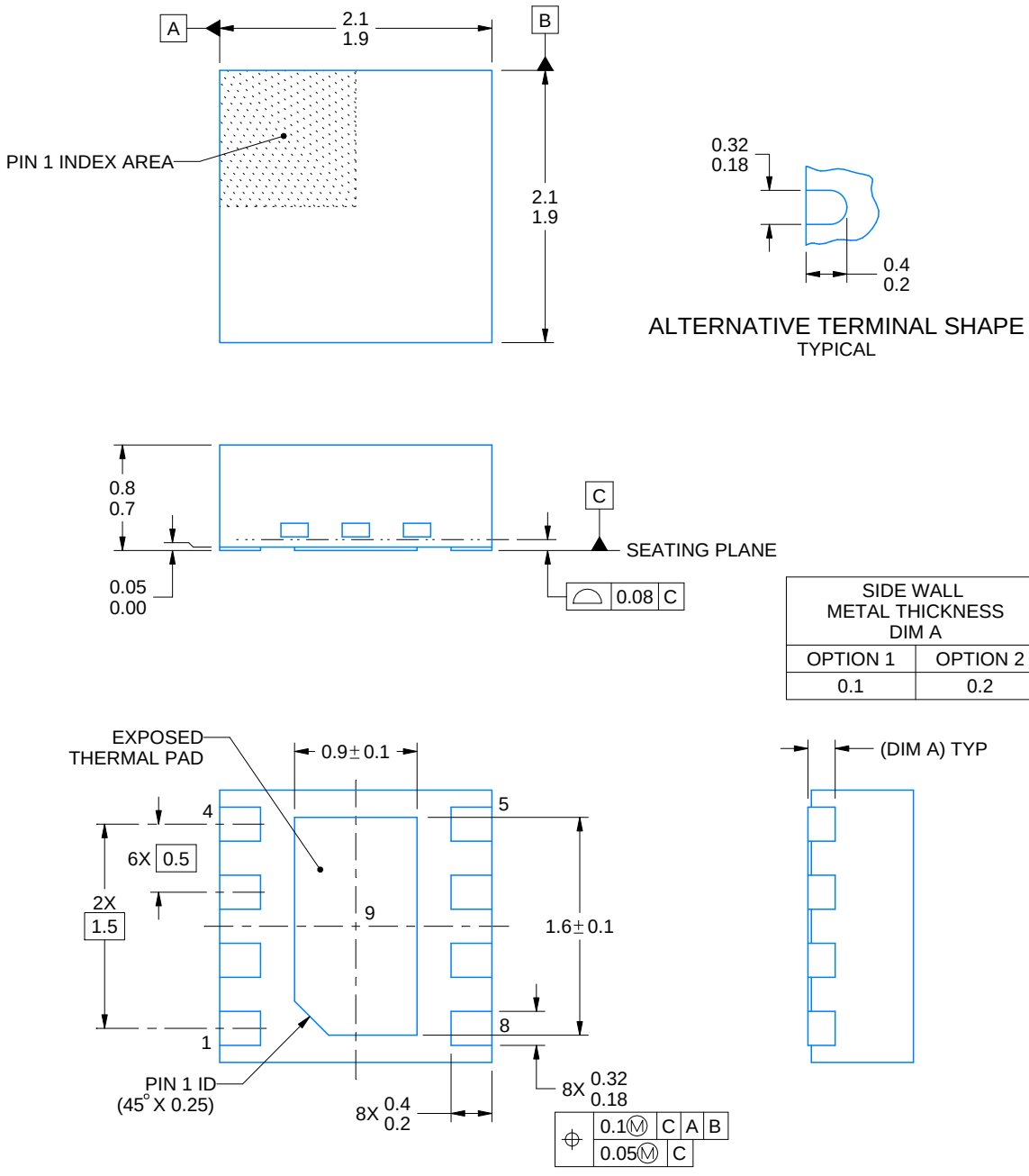
4224783/A

PACKAGE OUTLINE

DSG0008A

WSON - 0.8 mm max height

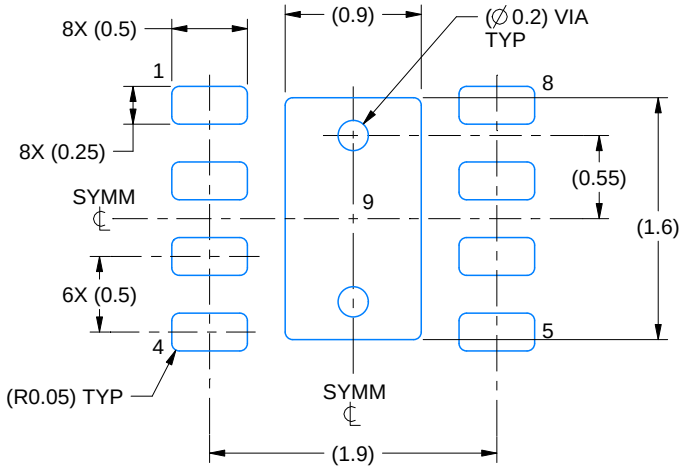
PLASTIC SMALL OUTLINE - NO LEAD



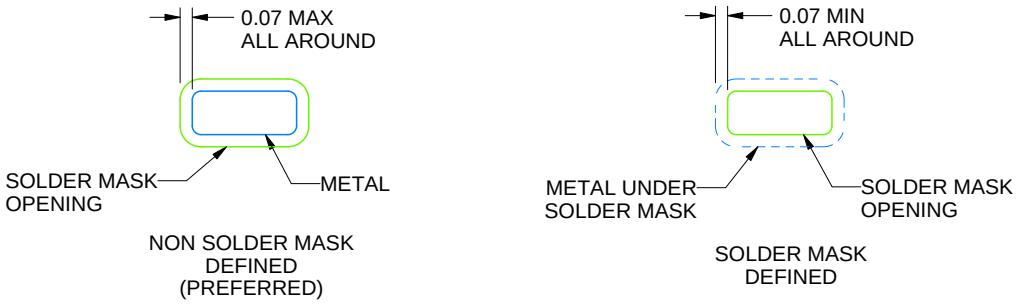
4218900/E 08/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

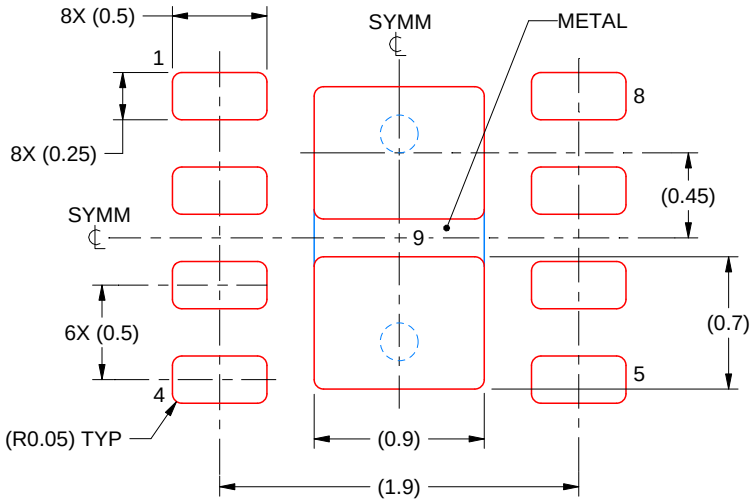


SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

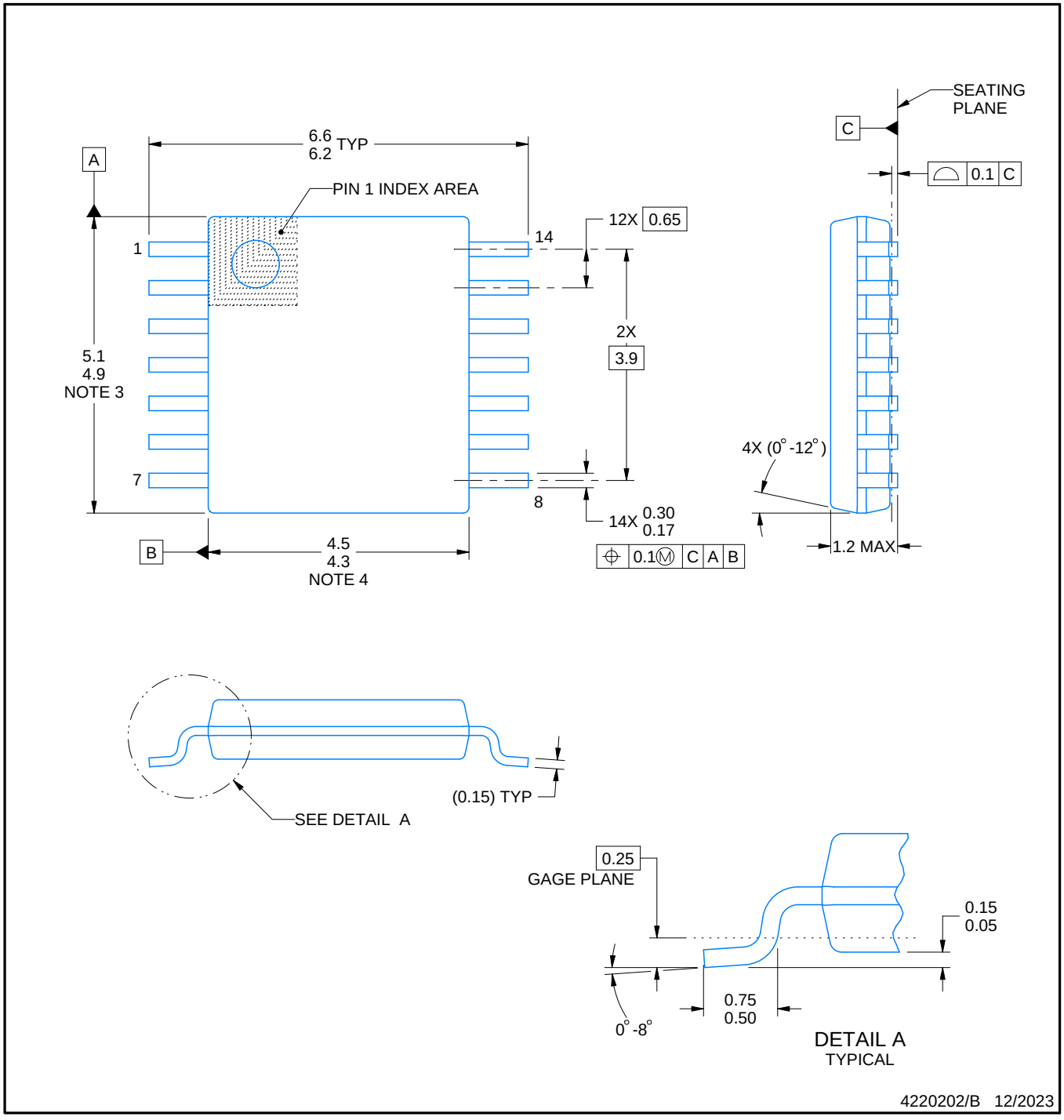
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

PW0014A

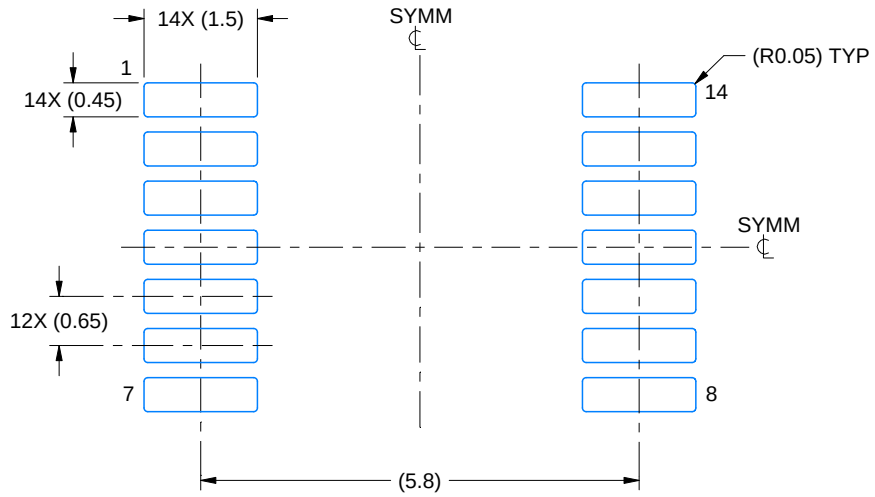
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

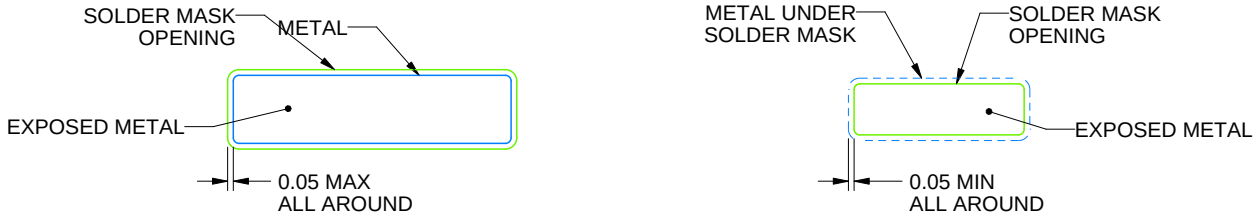


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

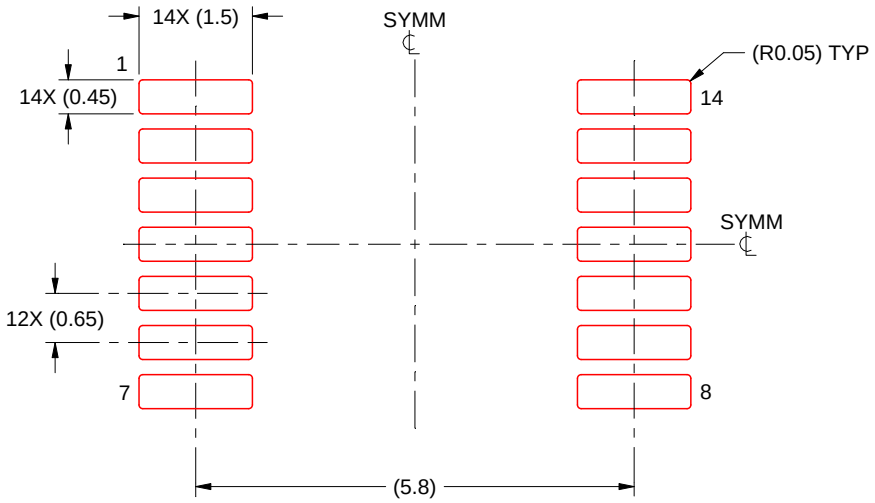


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月