OPAx171 36V、単一電源、SOT-553、汎用オペアンプ

1 特長

- 電源電圧範囲：2.7V (±1.35V)～36V (±18V)
- 低ノイズ：14nV/√Hz
- 小さいオフセットドリフト：±0.3μV/°C (標準値)
- RFI フィルタ付きの入力
- 入力範囲は負の電源電圧にも対応
- 入力範囲は正の電源電圧まで動作
- レール ツー レール出力
- ゲイン帯域幅：3MHz
- 低い静止電流：アンプ 1 個あたり 475μA
- 大きい同相除去：120dB (標準値)
- 小さい入力バイアス電流：8pA
- 業界標準パッケージ：
  - 5 ピン SOT-23
  - 8 ピン SOIC
  - 14 ピン TSSOP
- 小型パッケージ：
  - シングル：SOT-553
  - デュアルは VSSOP-8

2 アプリケーション

- 電源モジュールのトラッキング アンプ
- 商業施設の電源
- トランスデューサ アンプ
- ブリッジ アンプ
- 温度測定
- ひずみゲージ アンプ
- 高精度積分器
- バッテリ駆動計測器
- 試験用機器

3 概要

OPA171、OPA2171、OPA4171 (OPAx171) は、2.7V (±1.35V)～36V (±18V) の範囲の電源で動作可能な 36V 単電源低ノイズ オペアンプ ファミリです。micro パッケージで供給されるこれらのデバイスは、低オフセット、低ドリフト、必要な帯域幅を小さな静止電流で実現しています。シングル、デュアル、クワッドの各製品で同一の仕様を備え、設計の柔軟性を高めています。

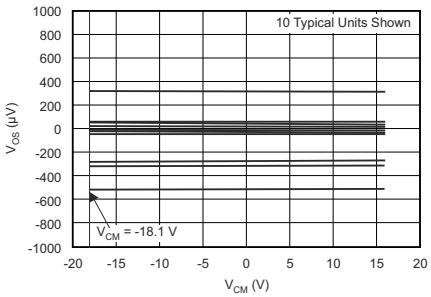
1 つの電源電圧でしか仕様が規定されていないほとんどのオペアンプとは異なり、OPAx171 ファミリは 2.7V～36V で仕様が規定されています。入力信号が電源レールを超えても、位相反転を起こしません。OPAx171 ファミリは、最大 300pF の容量性負荷で安定して動作します。通常の動作時に、入力は負のレールより 100mV 下まで、上限レールから 2V の範囲内で動作可能です。これらのデバイスは、上限レールより 100mV 上まで完全なレール ツー レール入力で動作できますが、上限レールから 2V 以内では性能が低下することに注意してください。

OPAx171 シリーズのオペアンプは、-40°C～+125°C での動作が規定されています。

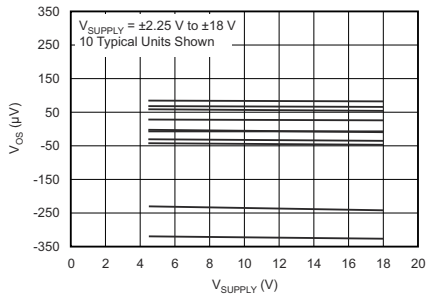
パッケージ情報

部品番号	チャネル数	パッケージ (1)	パッケージ サイズ (2)
OPA171	シングル	D (SOIC、8)	4.9mm × 6mm
		DBV (SOT-23、5)	2.9mm × 2.8mm
		DRL (SOT-5X3、5)	1.6mm × 1.6mm
OPA2171	デュアル	D (SOIC、8)	4.9mm × 6mm
		DCU (VSSOP、8)	2mm × 3.1mm
		DGK (VSSOP、8)	3mm × 4.9mm
OPA4171	クワッド	PW (TSSOP、14)	5mm × 6.4mm
		D (SOIC、14)	8.65mm × 6mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



オフセット電圧と同相電圧との関係



オフセット電圧と電源電圧との関係

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 ピン構成および機能.....3
5 仕様.....6
5.1 絶対最大定格.....6
5.2 ESD 定格.....6
5.3 推奨動作条件.....6
5.4 熱に関する情報：OPA171.....7
5.5 熱に関する情報：OPA2171.....7
5.6 熱に関する情報：OPA4171.....7
5.7 電気的特性.....8
5.8 代表的特性：グラフ一覧.....10
5.9 代表的特性.....11
6 詳細説明.....17
6.1 概要.....17
6.2 機能ブロック図.....17
6.3 機能説明.....17
6.4 デバイスの機能モード.....19
7 アプリケーションと実装.....20
7.1 アプリケーション情報.....20
7.2 代表的なアプリケーション.....22
7.3 電源に関する推奨事項.....25
7.4 レイアウト.....25
8 デバイスおよびドキュメントのサポート.....27
8.1 サポート・リソース.....27
8.2 サポート・リソース.....27
8.3 商標.....27
8.4 静電気放電に関する注意事項.....27
8.5 用語集.....27
9 改訂履歴.....27
10 メカニカル、パッケージ、および注文情報.....28

Copyright © 2024 Texas Instruments Incorporated

4 ピン構成および機能

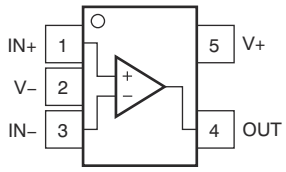


図 4-1. OPA171 DRL パッケージ： 5 ピン SOT-553 (上面図)

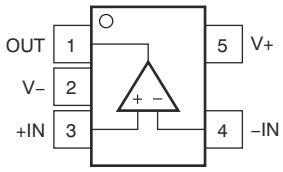
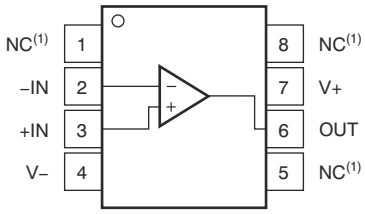


図 4-2. OPA171 DBV パッケージ： 5 ピン SOT-23 (上面図)



A. NC - 内部接続なし

図 4-3. OPA171 D パッケージ： 8 ピン SOIC (上面図)

ピンの機能：OPA171

ピン				タイプ	説明
名称	DRL	DBV	D		
+IN	1	3	3	I	非反転入力
–IN	3	4	2	I	反転入力
OUT	4	1	6	O	出力
V+	5	5	7	—	正 (最高) 電源
V-	2	2	4	—	負 (最低) 電源
NC	—	—	1、5、8	—	内部接続なし (フローティングのままでも可)

Copyright © 2024 Texas Instruments Incorporated

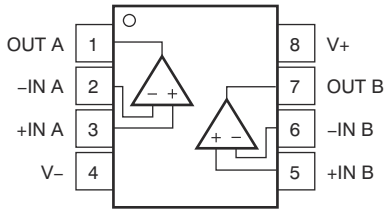


図 4-4. OPA2171 D、DCU、DCK パッケージ： 8 ピン SO および VSSOP (上面図)

表 4-1. ピンの機能：OPA2171

ピン		タイプ	説明
名称	番号		
+IN A	3	I	非反転入力
+IN B	5	I	非反転入力
-IN A	2	I	反転入力
-IN B	6	O	反転入力
OUT A	1	O	出力
OUT B	7	—	出力
V+	8	—	正 (最高) 電源
V-	4	—	負 (最低) 電源

Copyright © 2024 Texas Instruments Incorporated

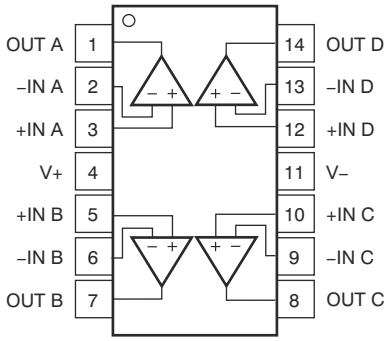


図 4-5. OPA4171 D および PW パッケージ： 14 ピン SO および TSSOP (上面図)

表 4-2. ピンの機能：OPA4171

ピン		タイプ	説明
名称	番号		
+IN A	3	I	非反転入力
+IN B	5	I	非反転入力
+IN C	10	I	非反転入力
+IN D	12	I	非反転入力
-IN A	2	I	反転入力
-IN B	6	I	反転入力
–IN C	9	I	反転入力
–IN D	13	I	反転入力
OUT A	1	O	出力
OUT B	7	O	出力
OUT C	8	O	出力
OUT D	14	O	出力
V+	4	—	正 (最高) 電源
V-	11	—	負 (最低) 電源

Copyright © 2024 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
電源電圧		0	40	V
信号入力端子	電圧	(V-) - 0.5	(V+) + 0.5	V
	電流	-10	10	mA
出力短絡 (2)		連続		
動作温度		-55	150	℃
接合部温度			150	℃
保存温度		-65	150	℃

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) グランドへの短絡、パッケージあたり 1 台のアンプ。

5.2 ESD 定格

		値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±4000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±750	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

	最小値	公称値	最大値	単位
電源電圧 (V+ – V–)	4.5 (±2.25)		36 (±18)	V
規定温度	-40		125	℃

Copyright © 2024 Texas Instruments Incorporated

5.4 熱に関する情報：OPA171

熱評価基準(1)		OPA171			単位
		D (SO)	DBV (SOT-23)	DRL (SOT-553)	
		8 ピン	5 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	149.5	245.8	208.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	97.9	133.9	0.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	87.7	83.6	42.4	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	35.5	18.2	0.5	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	89.5	83.1	42.2	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 熱に関する情報：OPA2171

熱評価基準(1)		OPA2171			単位
		D (SO)	DGK (VSSOP)	DCU (VSSOP)	
		8 ピン	8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	134.3	175.2	195.3	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	72.1	74.9	59.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	60.6	22.2	115.1	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	18.2	1.6	4.7	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	53.8	22.8	114.4	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.6 熱に関する情報：OPA4171

熱評価基準(1)		OPA4171		単位
		D (SOIC)	PW (TSSOP)	
		14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	93.2	106.9	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	51.8	24.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	49.4	59.3	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	13.5	0.6	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	42.2	54.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

Copyright © 2024 Texas Instruments Incorporated

5.7 電気的特性

T_A = 25℃、V_S = 2.7V～36V、V_{CM} = V_{OUT} = V_S/2、R_{LOAD} = 10kΩ を V_S/2 に接続 (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
オフセット電圧						
V_{OS}	入力オフセット電圧			0.25	±1.8	mV
	過熱	T_A = –40℃～+125℃		0.3	±2	mV
dV_{OS}/dT	ドリフト	T_A = –40℃～+125℃		0.3	±2	µV/℃
	電源電圧依存性	V_S = 4V～36V T_A = -40℃～+125℃		1	±3	µV/V
	チャネル セパレーション、DC	DC		5		µV/V
入力バイアス電流						
I_B	入力バイアス電流			±8	±15	pA
	過熱	T_A = –40℃～+125℃			±3.5	nA
I_{OS}	入力オフセット電流			±4		pA
	過熱	T_A = –40℃～+125℃			±3.5	nA
ノイズ						
	入力電圧ノイズ	f = 0.1Hz～10Hz		3		μV_{PP}
e_n	入力電圧ノイズ密度	f = 100 Hz		25		$nV/\sqrt{Hz}$
		f = 1 kHz		14		$nV/\sqrt{Hz}$
入力電圧						
V_{CM}	同相電圧範囲		(V-) - 0.1V		通常は (V+) - 2 V	V
CMRR	同相除去比	V_S = ±2V (V-) - 0.1V < V_{CM} < (V+) - 2V T_A = -40℃～+125℃	90	104		dB
		V_S = ±18V (V-) - 0.1V < V_{CM} < (V+) - 2V T_A = -40℃～+125℃	104	120		dB
入力インピーダンス						
	差動			100 || 3		MΩ || pF
	同相			6 || 3		10^{12}Ω || pF
開ループ ゲイン						
A_{OL}	開ループ電圧ゲイン	V_S = 4V～36V (V-) + 0.35V < V_O < (V+) - 0.35V T_A = -40℃～+125℃	110	130		dB
周波数応答						
GBP	ゲイン帯域幅積			3		MHz
SR	スルー レート	G = 1		1.5		V/µs
t_S	セトリング時間	0.1% まで V_S = ±18V、G = 1、 10V ステップ		6		µs
		0.01% まで (12 ビット) V_S = ±18V G = 1、10V ステップ		10		µs
	過負荷回復時間	V_{IN} × ゲイン > V_S		2		µs
THD+N	全高調波歪み + ノイズ	G = 1、f = 1kHz V_O = $3V_{RMS}$		0.0002%		
出力						

Copyright © 2024 Texas Instruments Incorporated

T_A = 25℃、V_S = 2.7V～36V、V_{CM} = V_{OUT} = V_S/2、R_{LOAD} = 10kΩ を V_S/2 に接続 (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
V_O	電圧出力スイング (レールから)	V_S = 5V R_L = 10kΩ		30		mV
	過熱	R_L = 10kΩ A_{OL} ≧ 110dB T_A = -40℃～+125℃	(V-) + 0.35		(V+) – 0.35	V
I_{SC}	短絡電流			+25/-35		mA
C_{LOAD}	容量性負荷駆動能力			*セクション 5.9* を参照してください。		pF
R_O	開ループ出力抵抗	f = 1MHz I_O = 0A		150		Ω
電源						
V_S	規定電圧範囲		2.7		36	V
I_Q	アンプごとの静止電流	I_O = 0 A		475	595	μA
	過熱	I_O = 0A T_A = -40℃～+125℃			650	μA
温度						
	仕様範囲		-40		125	℃
	動作範囲		-55		150	℃

Copyright © 2024 Texas Instruments Incorporated

5.8 代表的特性：グラフ一覧

表 5-1. 特性性能測定

説明	図
オフセット電圧の生産分布	図 5-1
オフセット電圧ドリフトの分布	図 5-2
オフセット電圧と温度との関係	図 5-3
オフセット電圧と同相電圧との関係	図 5-4
オフセット電圧と同相電圧との関係 (上段)	図 5-5
オフセット電圧と電源電圧との関係	図 5-6
I_B および I_{OS} と同相電圧との関係	図 5-7
入力バイアス電流と温度との関係	図 5-8
出力電圧スイングと出力電流との関係 (最大供給能力)	図 5-9
CMRR および PSRR と周波数との関係 (入力換算)	図 5-10
CMRR と温度との関係	図 5-11
PSRR と温度との関係	図 5-12
0.1Hz～10Hz のノイズ	図 5-13
入力電圧ノイズ スペクトル密度と周波数との関係	図 5-14
THD+N 比と周波数との関係	図 5-15
THD+N と出力振幅との関係	図 5-16
静止電流と温度との関係	図 5-17
静止電流と電源電圧との関係	図 5-18
開ループ ゲインおよび位相と周波数との関係	図 5-19
閉ループ ゲインと周波数との関係	図 5-20
開ループ ゲインと温度との関係	図 5-21
開ループ出力インピーダンスと周波数との関係	図 5-22
小信号オーバーシュートと容量性負荷との関係 (出力ステップ 100mV)	図 5-23、図 5-24
位相反転が発生しない	図 5-25
正の過負荷からの回復	図 5-26
負の過負荷からの回復	図 5-27
小信号ステップ応答 (100mV)	図 5-28、図 5-29
大信号ステップ応答	図 5-30、図 5-31
大信号セトリング タイム (10V 正ステップ)	図 5-32
大信号セトリング タイム (10V 負ステップ)	図 5-33
短絡電流と温度との関係	図 5-34
最大出力電圧と周波数との関係	図 5-35
チャネル セパレーションと周波数との関係	図 5-36

Copyright © 2024 Texas Instruments Incorporated

5.9 代表的特性

T_S = ±18V、V_{CM} = V_S/2、R_{LOAD} = 10kΩ を V_S/2 に接続、C_L = 100pF (特に記述のない限り)

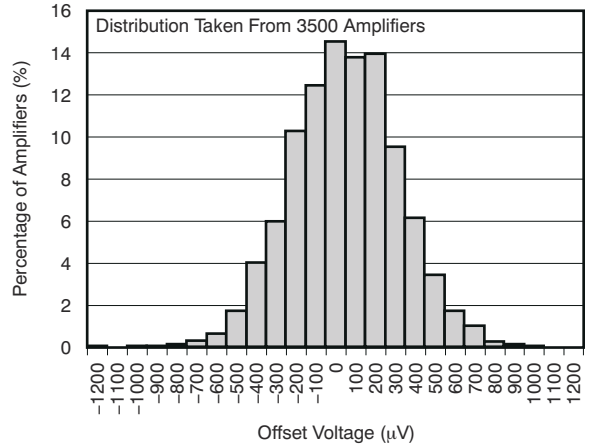


図 5-1. オフセット電圧の生産分布

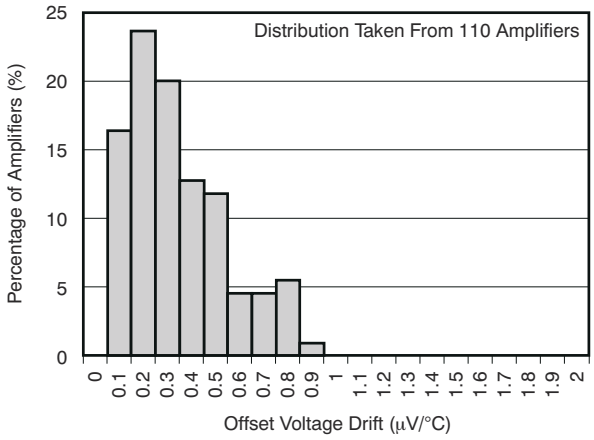


図 5-2. オフセット電圧ドリフトの分布

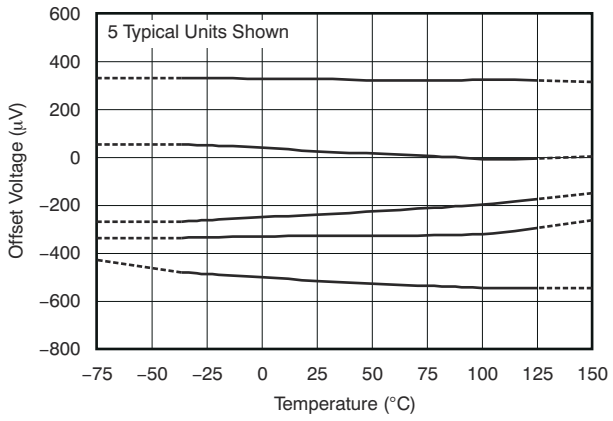


図 5-3. オフセット電圧と温度との関係

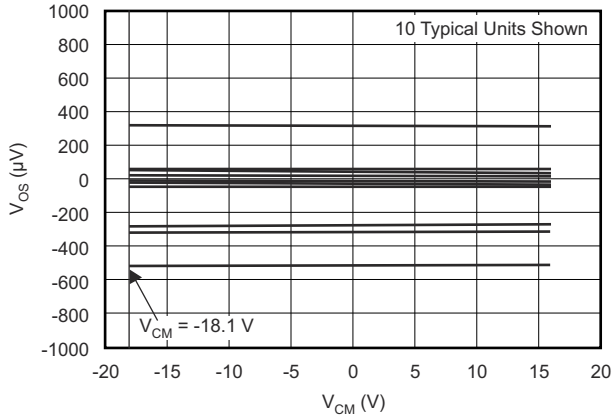


図 5-4. オフセット電圧と同相電圧との関係

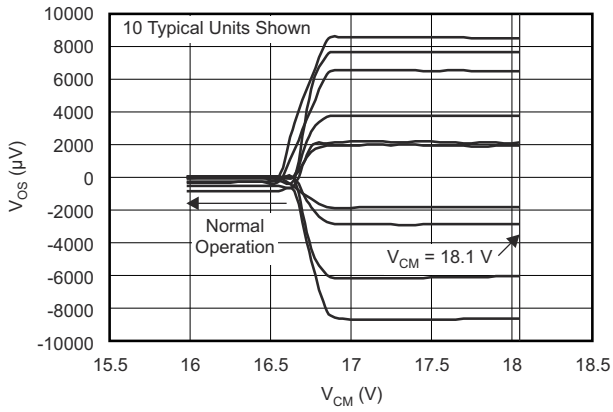


図 5-5. オフセット電圧と同相電圧との関係 (上段)

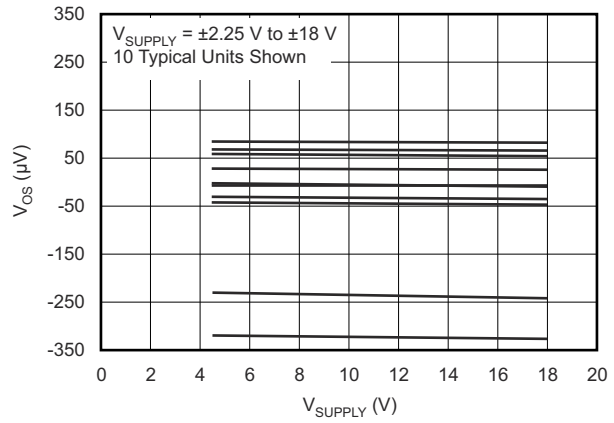


図 5-6. オフセット電圧と電源電圧との関係

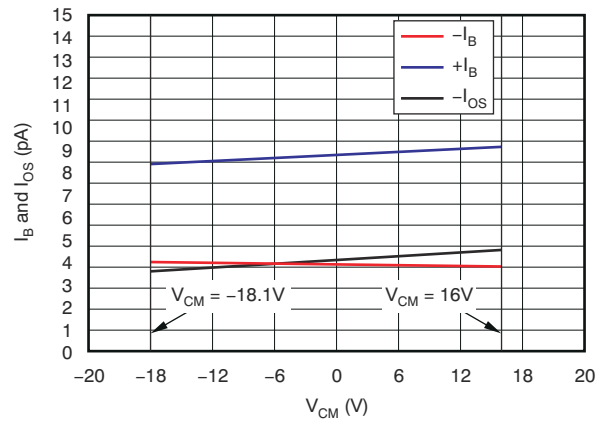


図 5-7. I_B および I_{OS} と同相電圧との関係

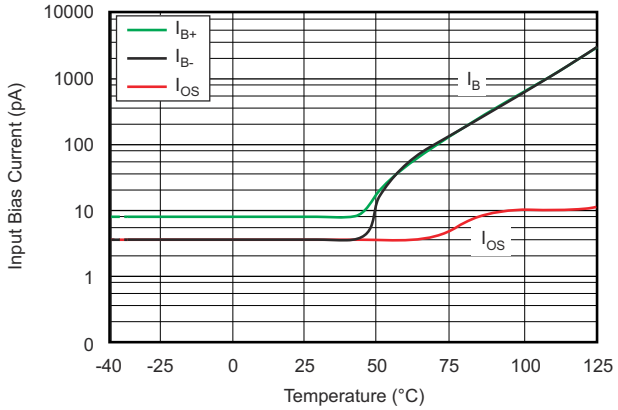


図 5-8. 入力バイアス電流と温度との関係

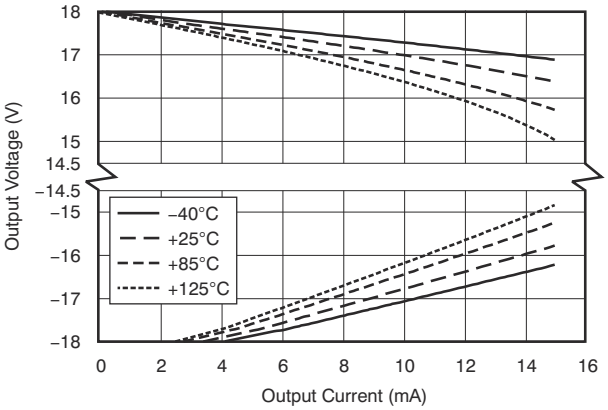


図 5-9. 出力電圧スイングと出力電流との関係 (最大供給能力)

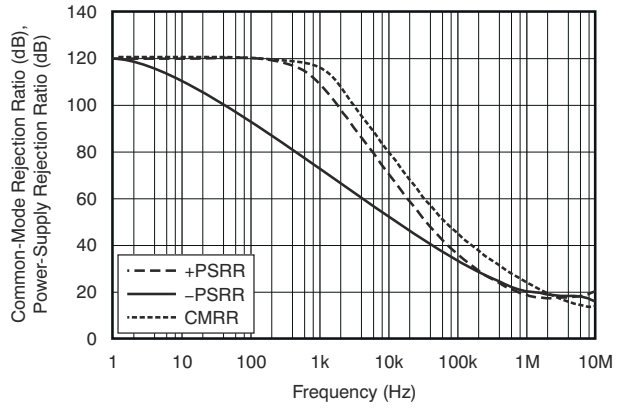


図 5-10. CMRR および PSRR と周波数との関係 (入力換算)

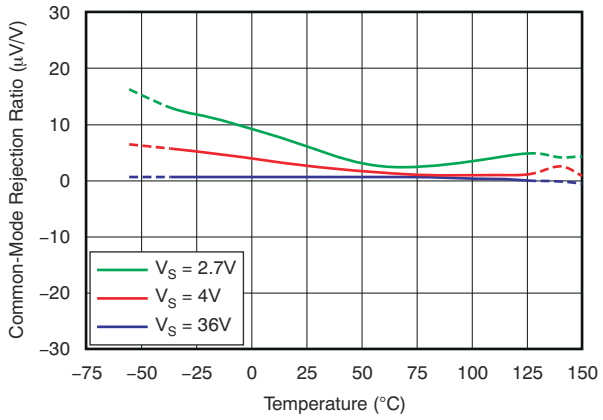


図 5-11. CMRR と温度との関係

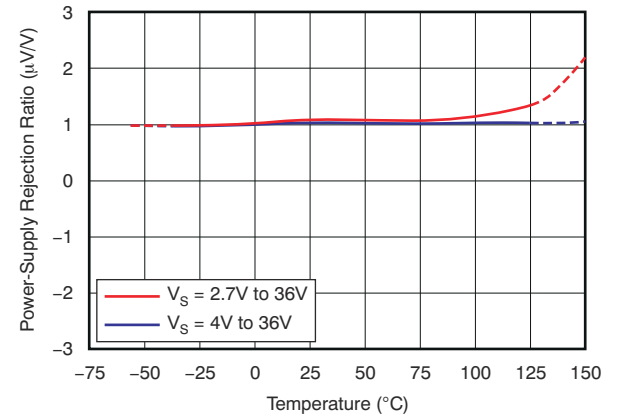


図 5-12. PSRR と温度との関係

Copyright © 2024 Texas Instruments Incorporated

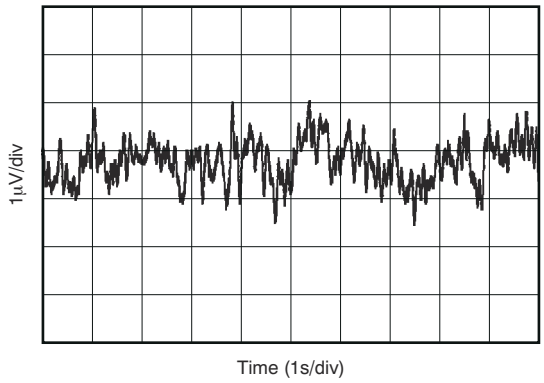


図 5-13. 0.1Hz～10Hz のノイズ

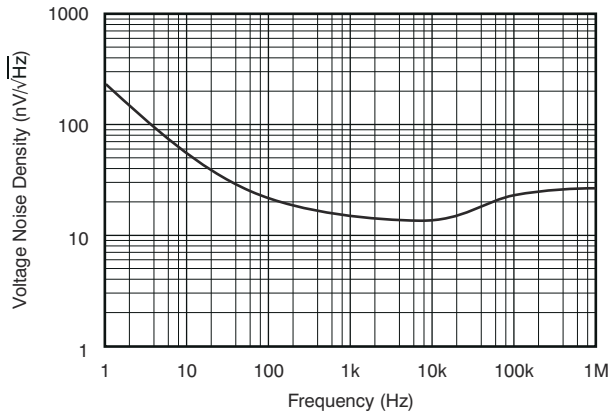


図 5-14. 入力電圧ノイズ スペクトル密度と周波数との関係

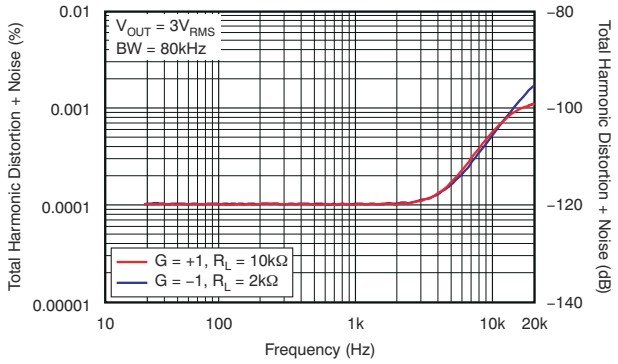


図 5-15. THD+N 比と周波数との関係

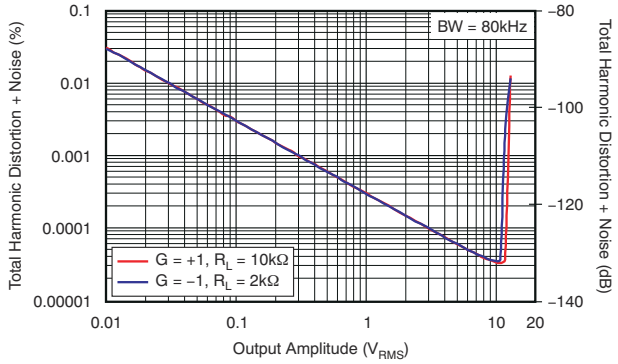


図 5-16. THD+N と出力振幅との関係

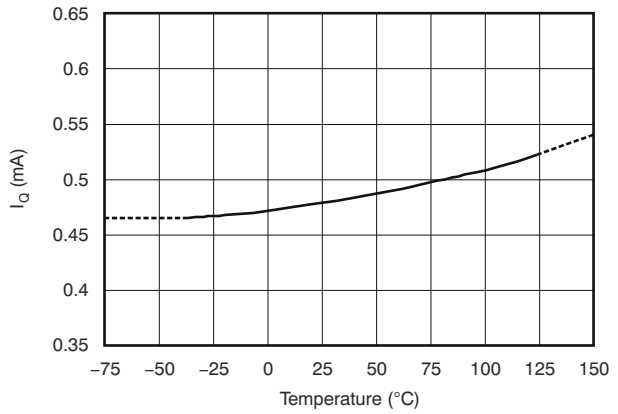


図 5-17. 静止電流と温度との関係

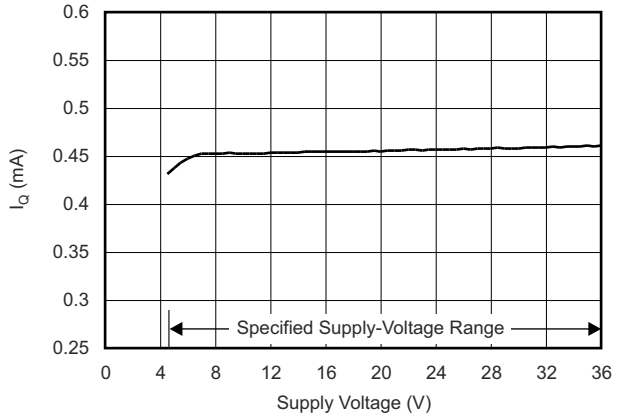


図 5-18. 静止電流と電源電圧との関係

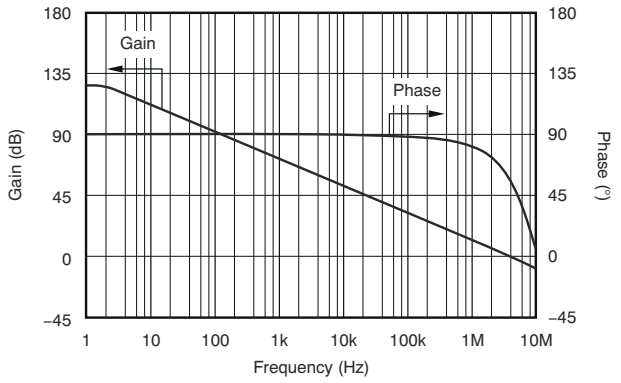


図 5-19. 開ループ ゲインおよび位相と周波数との関係

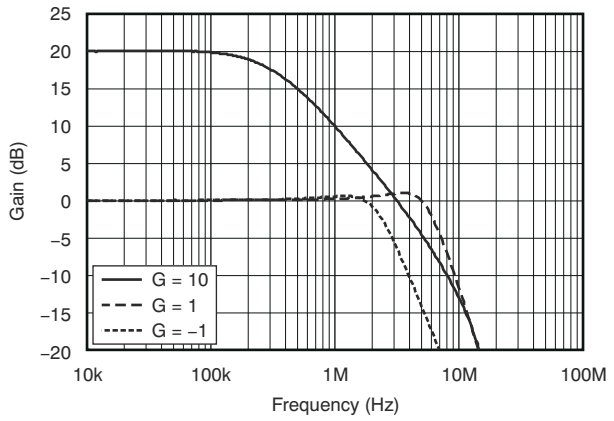


図 5-20. 閉ループ ゲインと周波数との関係

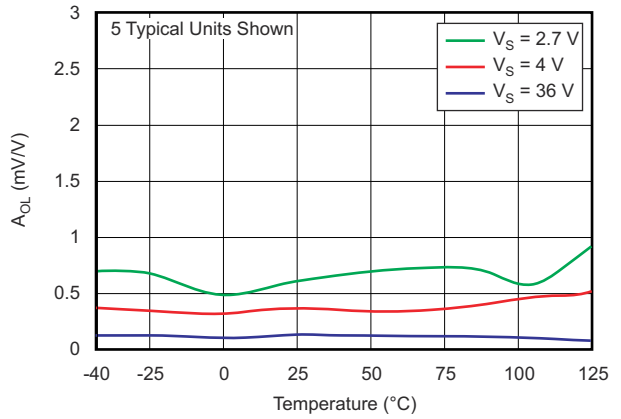


図 5-21. 開ループ ゲインと温度との関係

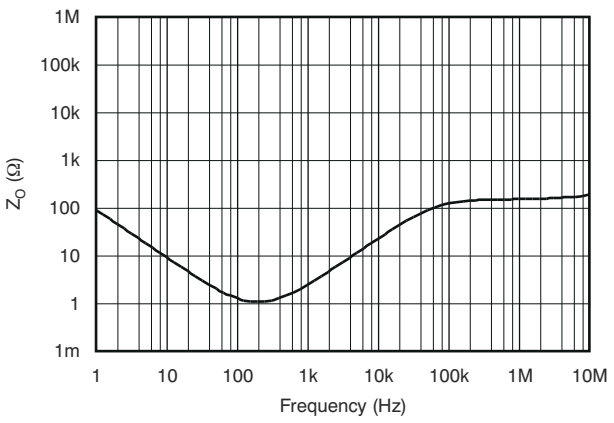


図 5-22. 開ループ出力インピーダンスと周波数との関係

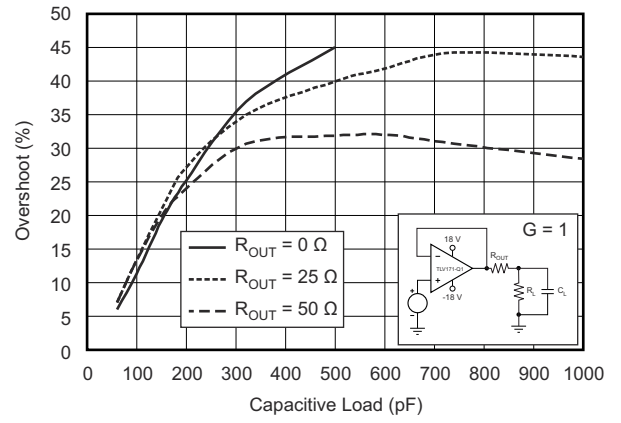


図 5-23. 小信号オーバーシュートと容量性負荷との関係 (出力ステップ 100mV)

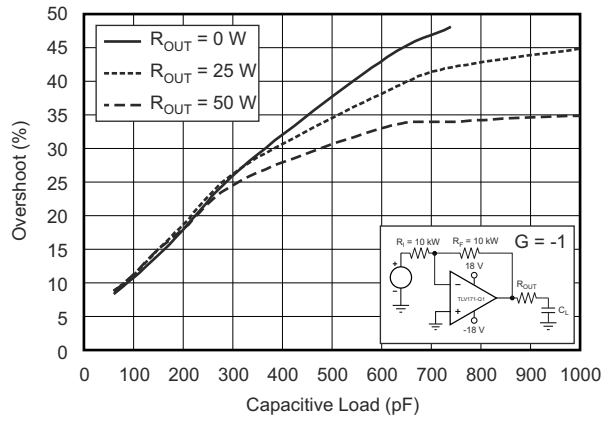


図 5-24. 小信号オーバーシュートと容量性負荷との関係 (出力ステップ 100mV)

Copyright © 2024 Texas Instruments Incorporated

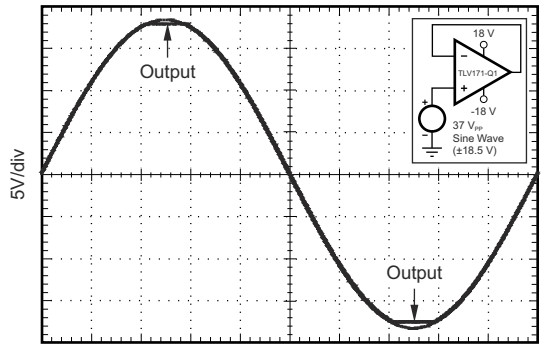


図 5-25. 位相反転が発生しない

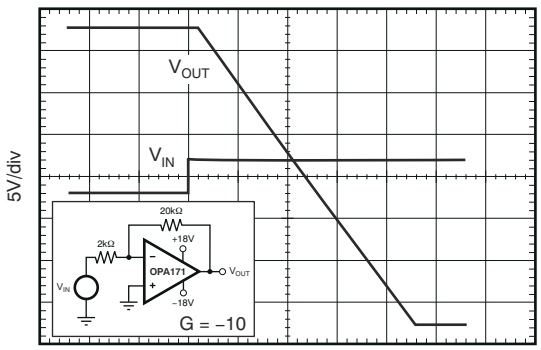


図 5-26. 正の過負荷からの回復

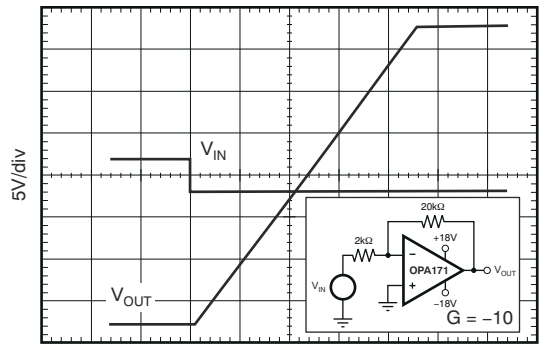


図 5-27. 負の過負荷からの回復

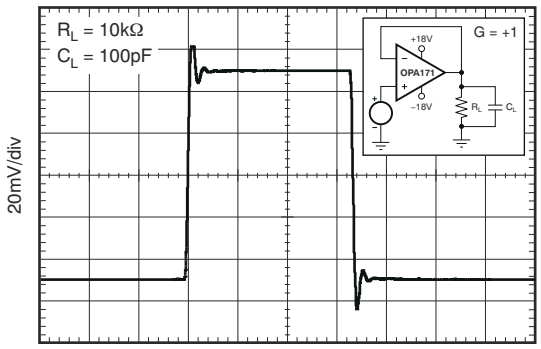


図 5-28. 小信号ステップ応答 (100mV)

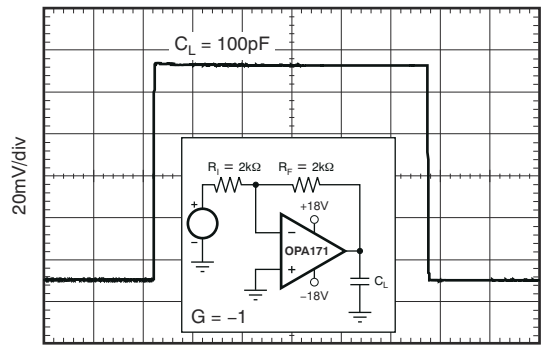


図 5-29. 小信号ステップ応答 (100mV)

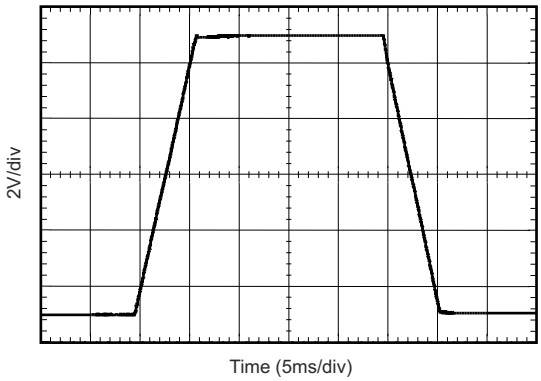


図 5-30. 大信号ステップ応答

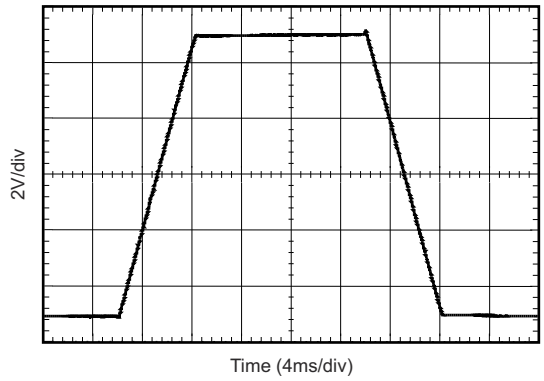


図 5-31. 大信号ステップ応答

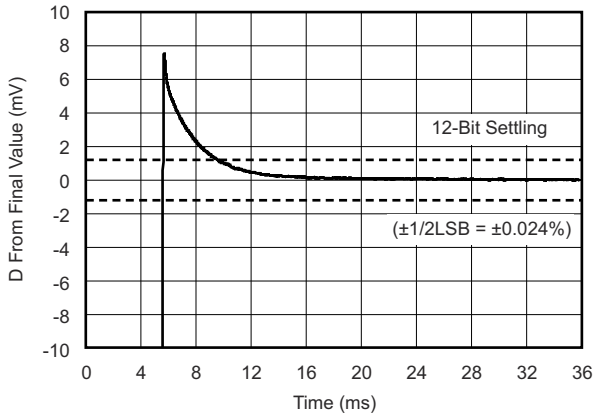


図 5-32. 大信号セトリング タイム (10V 正ステップ)

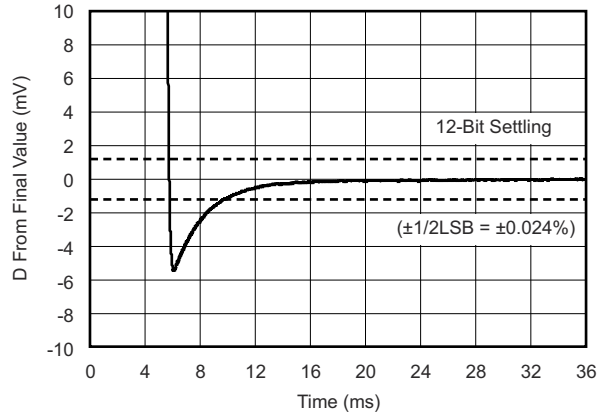


図 5-33. 大信号セトリング タイム (10V 負ステップ)

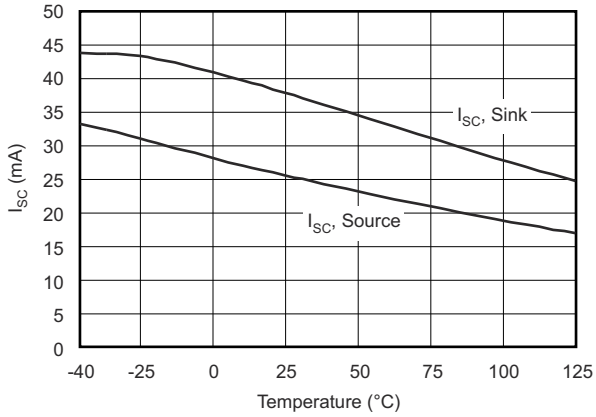


図 5-34. 短絡電流と温度との関係

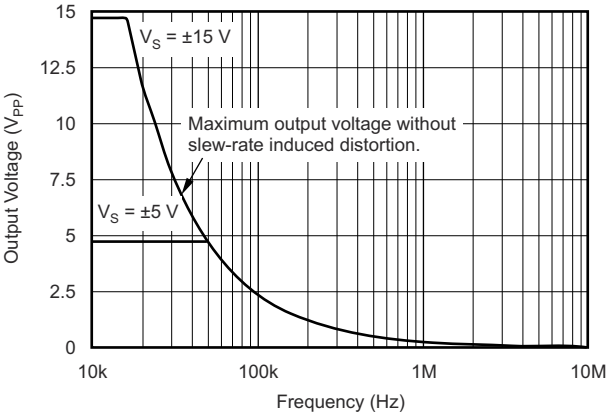


図 5-35. 最大出力電圧と周波数との関係

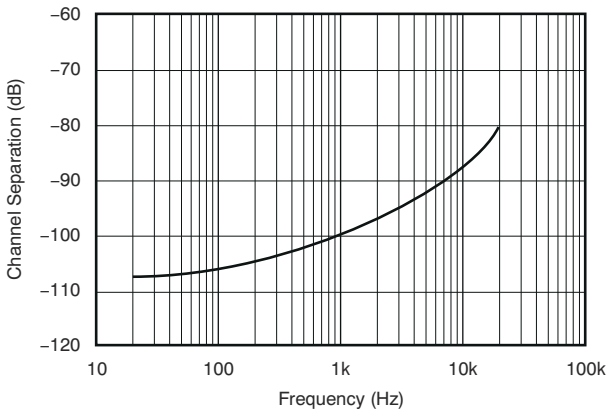


図 5-36. チャネル セパレーションと周波数との関係

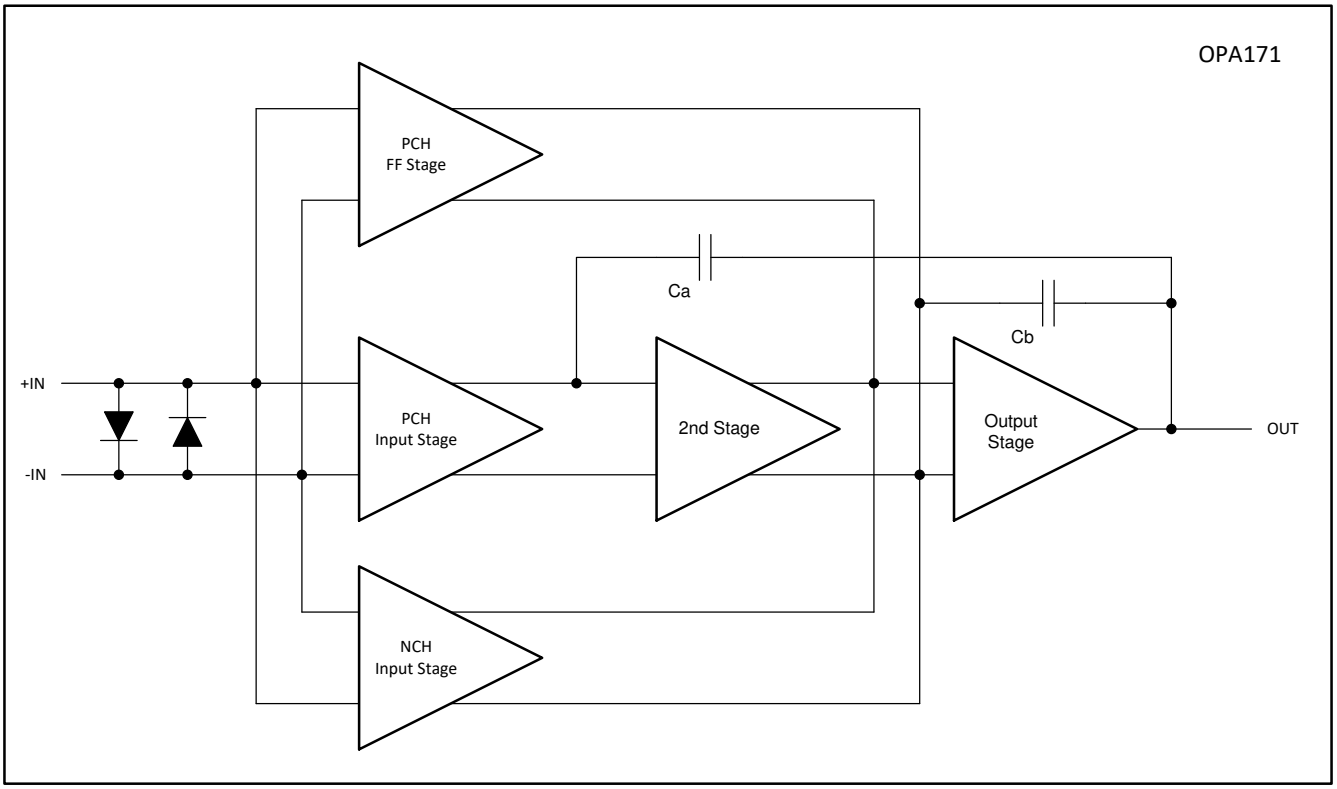
Copyright © 2024 Texas Instruments Incorporated

6 詳細説明

6.1 概要

OPAx171 オペアンプは、総合的な性能が高く、幅広い汎用アプリケーションに適しています。オフセット ドリフトはわずか 2μV/℃であり、温度範囲全体にわたって優れた安定性が得られます。さらに、本シリーズは CMRR、PSRR、A_{OL} が高く、総合性能が優れています。すべてのアンプと同様に、ノイズの多い、または高インピーダンスの電源を使用するアプリケーションでは、デバイスのピンの近くにデカップリング コンデンサが必要です。通常は、0.1μF のコンデンサが適しています。

6.2 機能ブロック図



6.3 機能説明

6.3.1 動作特性

OPAx171 アンプ ファミリは、2.7～36V (±1.35～±18V) での動作に対して仕様が規定されています。多くの仕様は -40℃～+125℃で適用されます。動作電圧または温度に関して大きな変動を示す可能性があるパラメータについては、セクション 5.9 を参照してください。

6.3.2 同相電圧範囲

OPAx171 シリーズの入力同相電圧範囲は、通常動作において負のレールより 100mV 下、および上限レールの 2V 以内です。

このファミリは、上限レールより 100mV 上まで完全なレール ツー レール入力で動作できますが、上限レールから 2V 以内では性能が低下することに注意してください。この範囲の代表的性能を表 6-1 に示します。

6.3.3 位相反転保護

OPAx171 ファミリには、位相反転の保護機能が搭載されています。多くのオペアンプでは、入力がリニア同相範囲を超えて駆動されると、位相反転が発生します。この条件が最も多く発生するのは非反転回路で、規定された同相電圧範囲を

超えて入力を駆動すると、出力は逆のレールに反転します。OPAx171 の入力は、過剰な同相電圧による位相反転を防止します。代わりに、出力は適切なレールに制限されます。図 6-1 に、その性能を示します。

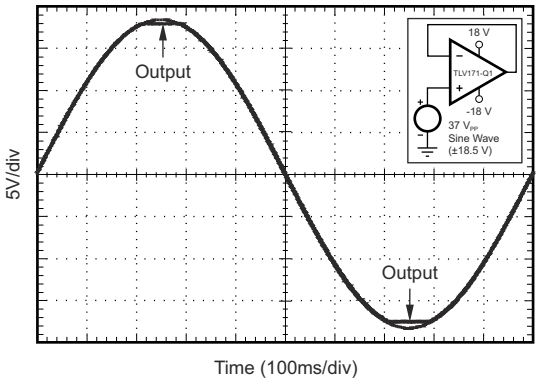


図 6-1. 位相反転が発生しない

表 6-1. 代表的性能範囲

パラメータ	最小値	代表値	最大値	単位
入力同相電圧	(V+) – 2		(V+) + 0.1	V
オフセット電圧		7		mV
温度依存性		12		µV/°C
同相除去		65		dB
開ループ ゲイン		60		dB
GBW		0.7		MHz
スルー レート		0.7		V/µs
f = 1 kHz でのノイズ		30		nV/√Hz

6.3.4 容量性負荷および安定度

OPAx171-Q1 デバイス ファミリのダイナミック特性は、一般的な動作条件に合わせて最適化されています。閉ループ ゲインが低く、容量性負荷が高いと、アンプの位相マージンが減少し、ゲインのピークや発振が発生する可能性があります。そのため、容量性負荷が大きい場合は、出力から絶縁する必要があります。この絶縁を実現する最も簡単な方法は、出力に小さな抵抗 (R_{OUT} が 50Ω など) を直列に追加することです。図 6-2 および図 6-3 に、いくつかの R_{OUT} の値について、小信号オーバーシュートと容量性負荷との関係を示します。解析手法とアプリケーション回路の詳細については、TI.com からダウンロードできるアプリケーション レポート AB-028 を参照してください。

Copyright © 2024 Texas Instruments Incorporated

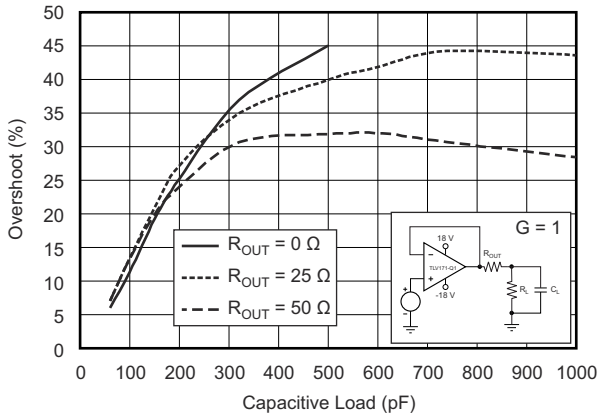


図 6-2. 小信号オーバーシュートと容量性負荷との関係 (出力ステップ 100mV)

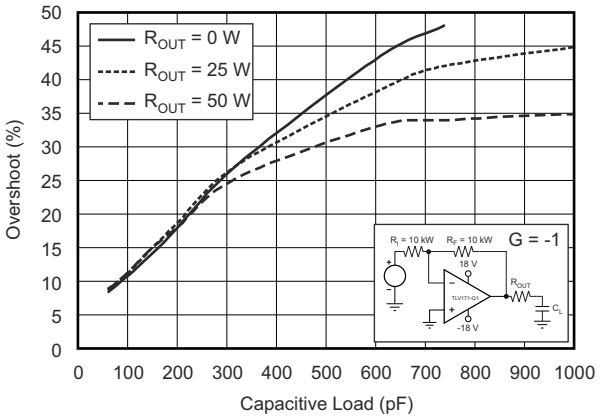


図 6-3. 小信号オーバーシュートと容量性負荷との関係 (出力ステップ 100mV)

6.4 デバイスの機能モード

6.4.1 同相電圧範囲

OPAx171 ファミリの入力同相電圧範囲は、通常動作において負のレールより 100mV 下、および上限レールの 2V 以内です。

これらのデバイスは、上限レールより 100mV 上まで完全なレール ツー レール入力で動作できますが、上限レールから 2V 以内では性能が低下することに注意してください。この範囲の代表的性能を表 6-1 に示します。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

OPAx171 オペアンプは、総合的な性能が高く、幅広い汎用アプリケーションに適しています。オフセット ドリフトはわずか 2μV/℃であり、温度範囲全体にわたって優れた安定性が得られます。さらに、本シリーズは CMRR、PSRR、A_{OL} が高く、総合性能が優れています。すべてのアンプと同様に、ノイズの多い、または高インピーダンスの電源を使用するアプリケーションでは、デバイスのピンの近くにデカップリング コンデンサが必要です。通常は、0.1μF のコンデンサが適しています。

7.1.1 電気的オーバーストレス

設計者は、オペアンプが電気的オーバーストレスにどの程度耐えられるのかという質問をすることがよくあります。これらの質問は、主にデバイスの入力に関するものですが、電源電圧ピンや、さらに出力ピンにも関係する場合があります。これらの各ピンの機能には、特定の半導体製造プロセスの電圧ブレークダウン特性と、ピンに接続された特定の回路とで決まる電気的ストレスの制限値があります。また、これらの回路には内部に静電気放電 (ESD) 保護機能が組み込まれており、製品の組み立て前にも組み立て中にも、偶発的な ESD イベントから保護します。

この基本的な ESD 回路と、電気的オーバーストレス イベントとの関連性を十分に理解しておくと役に立ちます。OPAx171 に含まれる ESD 回路を、図 7-1 に示します (破線で囲まれている部分)。ESD 保護回路には、いくつかの電流ステアリング ダイオードが含まれており、入力ピンや出力ピンから内部の電源ラインへ戻るように配線されています。さらに、これらのダイオードは、オペアンプ内部の吸収デバイスにも接続されます。この保護回路は、通常の回路動作中は非アクティブに保たれるよう設計されます。

Copyright © 2024 Texas Instruments Incorporated

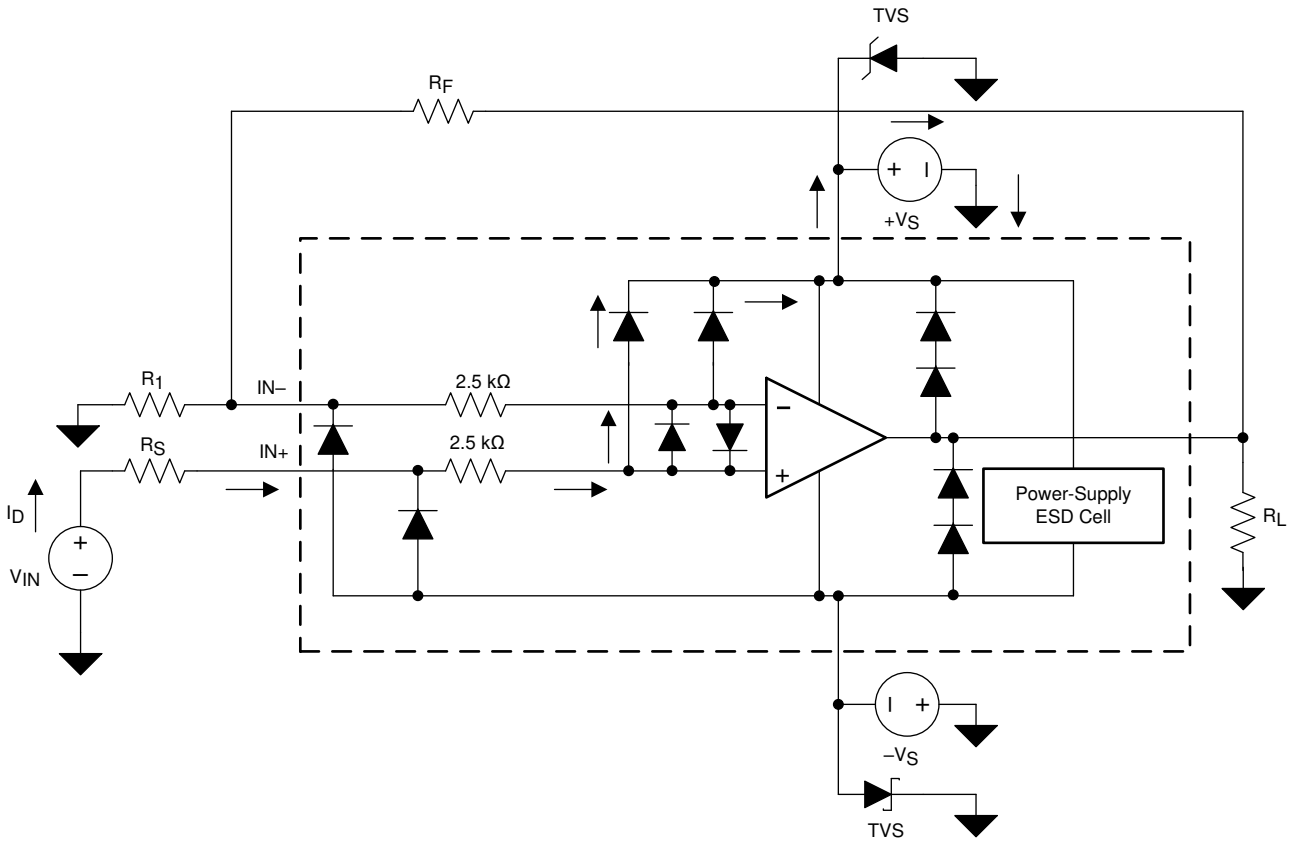


図 7-1. 代表的な回路アプリケーションと比較して等価な内部 ESD 回路

ESD イベントがあると、短時間の高電圧パルスが発生し、それが半導体デバイスを通って放電する際に、短時間の大電流パルスに変わります。ESD 保護回路は、オペアンプ コアを迂回する電流経路を提供して、損傷を防止するように設計されています。保護回路によって吸収されたエネルギーは、熱として放散されます。

2 つ以上のアンプ デバイス ピンの間に ESD 電圧が発生すると、電流は 1 つまたは複数のステアリング ダイオードを流れます。電流が流れる経路に応じて、吸収デバイスがアクティブになります。吸収デバイスのトリガ (スレッショルド電圧) は、OPAx171 の通常動作電圧より高く、デバイスのブレークダウン レベルよりも低くなっています。このスレッショルドを超えると、吸収デバイスが迅速にアクティブになり、電源レールの電圧を安全なレベルにクランプします。

オペアンプを回路に接続したとき (図 7-1 参照)、ESD 保護部品は非アクティブのままであり、アプリケーション回路の動作に関与しません。ただし、印加された電圧が特定のピンの動作電圧を超える状況が発生する可能性があります。この状況が発生した場合、一部の内部 ESD 保護回路がオンになって電流が流れるリスクがあります。このような電流の流れは、ステアリング ダイオード パスを経由して発生し、吸収デバイスが関係することはほとんどありません。

図 7-1 に、入力電圧 (V_{IN}) が正電源電圧 (V+) を 500mV 以上上回る具体的な例を示します。この回路で発生する現象の多くは、電源の特性によって異なります。V+ が電流をシンクできる場合、上側のステアリング ダイオードの 1 つが導通し、電流を V+ へ導きます。V_{IN} が高くなると、非常に高いレベルの電流が流れる可能性があります。その結果、データシートの仕様では、アプリケーションが入力電流を 10mA に制限することを推奨しています。

電源が電流をシンクできない場合、V_{IN} はオペアンプへの電流ソースを開始し、その後、正の電源電圧供給を引き継ぎます。この場合の危険は、電圧がオペアンプの絶対最大定格を超えるレベルまで上昇する可能性があることです。

もう 1 つのよくある質問は、電源電圧 (V+ または V-) が 0V のときに入力に入力信号が印加された場合、アンプがどのように動作するかです。この質問は、0V 時または入力信号振幅より低いレベルでの電源特性に依存します。電源が高インピーダンスに見える場合、オペアンプの電流は入力ソースから電流ステアリング ダイオードを経由して供給されます。この状態は正常なバイアス条件ではありません。ほとんどの場合、アンプは正常には動作しません。電源が低インピーダンス

Copyright © 2024 Texas Instruments Incorporated

である場合、ステアリング ダイオードを流れる電流が非常に大きくなる可能性があります。電流レベルは、入力ソースが電流を供給できる能力と、入力パスに存在する抵抗によって異なります。

この電流を吸収する電源の能力が不確実である場合は、外部ツェナー ダイオードを電源ピンに追加します (図 7-1 を参照)。通常動作中にダイオードがオンにならないようなツェナー電圧を選択します。ただし、電源ピンが安全な動作電源電圧レベルを超えそうになった場合にはツェナー ダイオードが導通する程度に、ツェナー電圧を低くする必要があります。

OPAx171 の入力ピンは、バック ツー バック ダイオードにより、過剰な差動電圧から保護されています (図 7-1 を参照)。ほとんどの回路アプリケーションでは、入力保護回路はアプリケーションに何の影響も及ぼしません。ただし、低ゲインまたは G = 1 の回路では、アンプの出力が入力ランプに十分な速さで応答できないため、これらのダイオードに高速ランプ入力信号によって順バイアスがかかる可能性があります。入力信号が十分に速く、この順バイアスの状況が発生する場合は、入力信号電流を 10mA 以下に制限してください。入力信号電流が本質的に制限されていない場合は、入力直列抵抗を使用して入力信号電流を制限できます。この入力直列抵抗は、OPAx171 の低ノイズ性能を低下させます。図 7-1 に、電流を制限する帰還抵抗を実装する構成例を示します。

7.2 代表的なアプリケーション

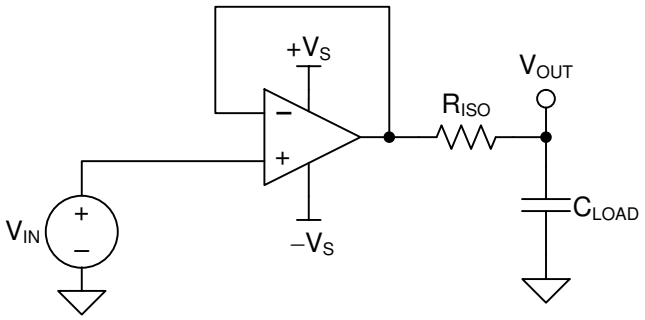


図 7-2. R_{ISO} 安定性補償機能を備えたユニティ ゲイン バッファ

7.2.1 設計要件

設計要件は次のとおりです。

- 電源電圧:30V (±15V)
- 容量性負荷:100pF、1000pF、0.01µF、0.1µF、1µF
- 位相マージン:45° および 60°

7.2.2 詳細な設計手順

図 7-3 は容量性負荷を駆動するユニティ ゲイン バッファを示したものです。式 1 は 図 7-3 の回路の伝達関数を示しています。図 7-3 には、オペアンプの開ループ出力抵抗 R_o は示されていません。

$$T(s) = \frac{1 + C_{LOAD} \times R_{ISO} \times s}{1 + (R_o + R_{ISO}) \times C_{LOAD} \times s} \quad (1)$$

式 1 の伝達関数には極と零点があります。極の周波数 (f_p) は、(R_o + R_{ISO}) と C_{LOAD} によって決まります。零点の周波数 (f_z) は、成分 R_{ISO} と C_{LOAD} によって決まります。システムを安定化するため、開ループ ゲイン (A_{OL}) と 1/β の間の ROC (Rate Of Closure) が 20dB/dec になるように、R_{ISO} を選択します。この概念を 図 7-3 に示します。ユニティ ゲイン バッファの 1/β 曲線は 0dB です。

Copyright © 2024 Texas Instruments Incorporated

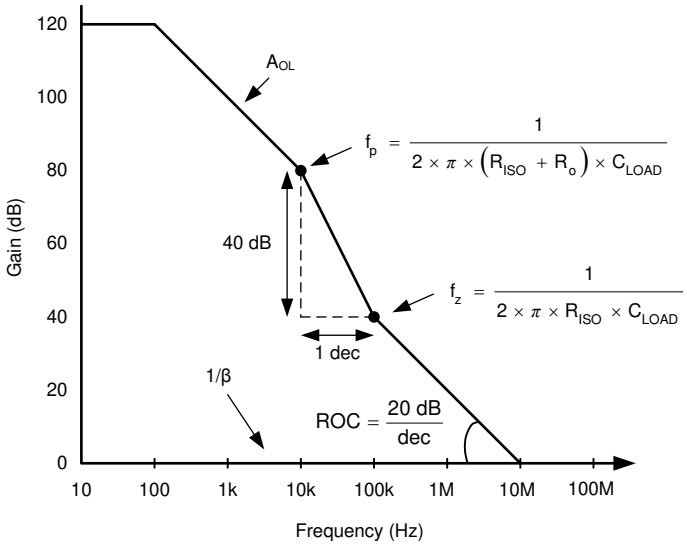


図 7-3. R_{ISO} 補償機能を備えたユニティ ゲイン アンプ

ROC の安定性解析をシミュレーションするのが一般的です。この解析の妥当性は複数の要因に依存し、特に R_o を正確にモデル化することが重要です。ROC のシミュレーションのほかに堅牢な安定性解析としては、ファンクション ジェネレータ、オシロスコープ、ゲイン / 位相アナライザを使用して回路のオーバーシュートの割合と AC ゲインのピークを測定する手法があります。その後、それらの測定値から位相マージンを計算します。表 7-1 に、45° と 60° の位相マージンに対応するオーバーシュートの割合と AC ゲインのピークを示します。この設計の詳細と OPAx171 の代わりに使用できるデバイスについては、絶縁抵抗を使った容量性負荷駆動ソリューションを参照してください。

表 7-1. 位相マージンとオーバーシュートおよび AC ゲインのピークとの関係

位相マージン	オーバーシュート	AC ゲインのピーク
45°	23.3%	2.35 dB
60°	8.8%	0.28 dB

7.2.2.1 容量性負荷および安定度

OPAx171 のダイナミック特性は、一般的な動作条件に合わせて最適化されています。閉ループ ゲインが低く、容量性負荷が高いと、アンプの位相マージンが減少し、ゲインのピークや発振が発生する可能性があります。そのため、容量性負荷が大きい場合は、出力から絶縁する必要があります。この絶縁を実現する最も簡単な方法は、出力に小さな抵抗 (R_{OUT} が 50Ω など) を直列に追加することです。図 6-2 および図 6-3 に、いくつかの R_{OUT} の値について、小信号オーバーシュートと容量性負荷との関係のグラフを示します。解析手法とアプリケーション回路の詳細については、テキサス・インスツルメンツの Web サイトからダウンロードできるアプリケーション レポート AB-028 を参照してください。

Copyright © 2024 Texas Instruments Incorporated

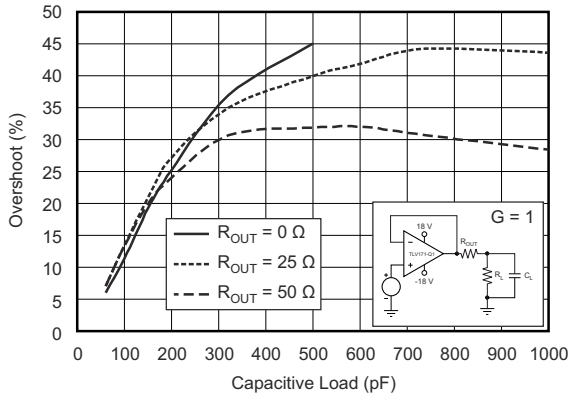


図 7-4. 小信号オーバーシュートと容量性負荷との関係 (出力ステップ 100mV)

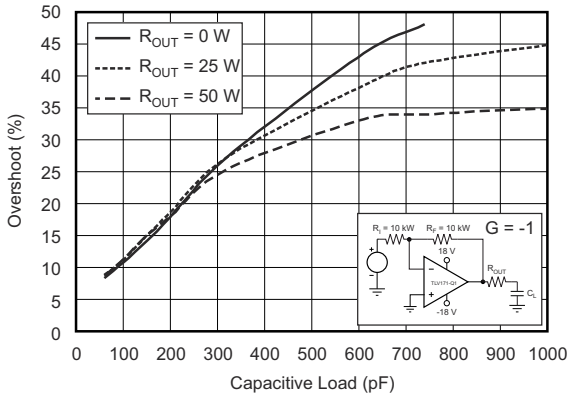


図 7-5. 小信号オーバーシュートと容量性負荷との関係 (出力ステップ 100mV)

Copyright © 2024 Texas Instruments Incorporated

7.2.3 アプリケーション曲線

OPAx171 は、30V の電源電圧要件を満たしています。OPAx171 は、さまざまな容量性負荷に対してテストされ、表 7-1 に対応するオーバーシュートが得られるように RISO が調整されています。これらのテストの結果を図 7-6 にまとめます。

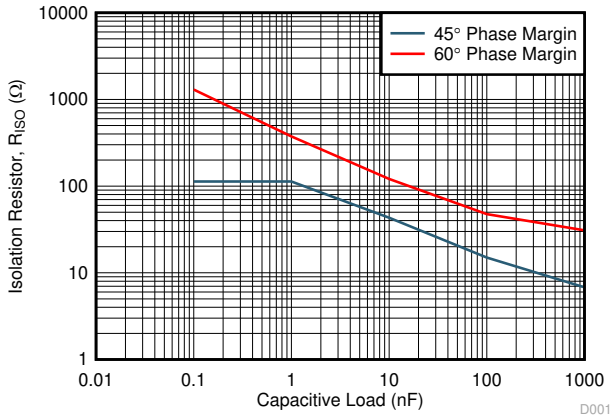


図 7-6. R_{ISO} と C_{LOAD} との関係

7.3 電源に関する推奨事項

OPAx171 ファミリは、4.5V～36V (±2.25V～±18V) での動作に対して仕様が規定されており、多くの仕様は -40℃～+125℃において適用されます。動作電圧または温度に関して大きな変動を示す可能性があるパラメータについては、セクション 5 セクションを参照してください。

注意

電源電圧が 40V を超えると、デバイスに恒久的な損傷を与える可能性があります。セクション 5.1 の表を参照してください。

電源ピンの近くに 0.1µF のバイパス コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源から混入する誤差を低減できます。バイパス コンデンサの配置の詳細については、セクション 7.4.1 セクションを参照してください。

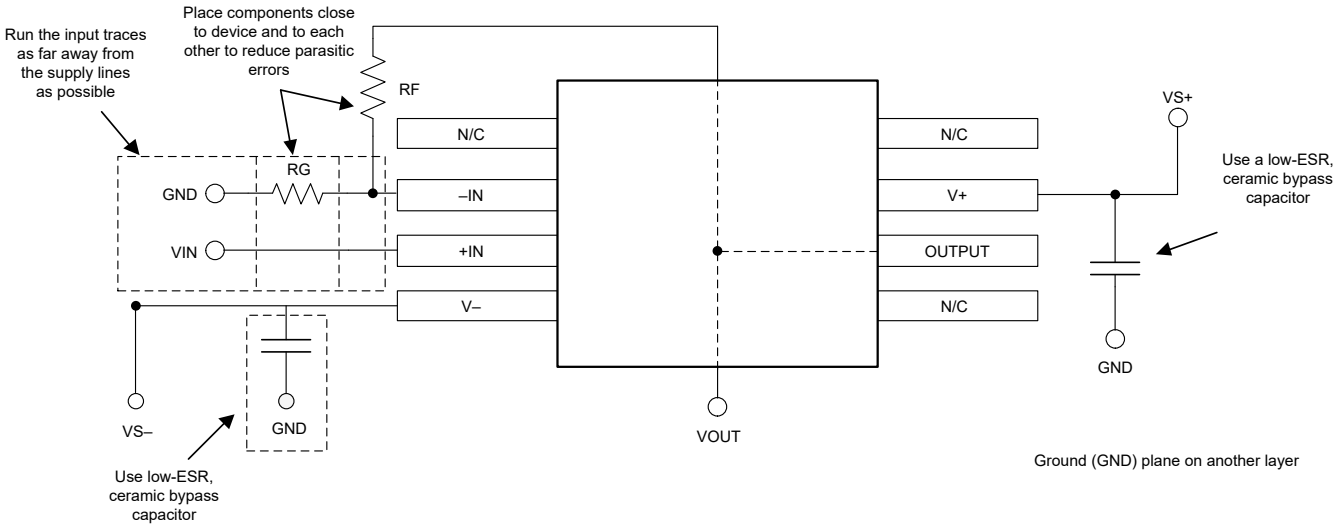
7.4 レイアウト

7.4.1 レイアウトのガイドライン

本デバイスで最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を推奨します。低損失の 0.1µF バイパス コンデンサは、各電源ピンとグランドの間に直接接続し、本デバイスにできる限り近づけて配置します。単一電源アプリケーションの場合は、V+ からグランドに対して 1 つのバイパス コンデンサを接続します。

Copyright © 2024 Texas Instruments Incorporated

7.4.2 レイアウト例



Copyright © 2019, Texas Instruments Incorporated

図 7-7. 非反転構成のオペアンプ基板のレイアウト

Copyright © 2024 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision G (May 2020) to Revision H (June 2024)	Page
• データシート全体にわたって MSOP-8 パッケージを VSSOP-8 パッケージに変更	1
• 「特長」の業界標準パッケージ一覧に 5 ピン SOT-23 パッケージを追加	1
• 「特長」の業界標準パッケージ一覧から 8 ピン MSOP パッケージを削除	1
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• 「製品情報」表を「パッケージ情報」に変更	1

Changes from Revision F (April 2018) to Revision G (May 2020)	Page
• 「アプリケーション」にリンクを追加	1
• 「代表的特性」セクションの不適切な単位のグラフを変更 (mV から µV)	11

Changes from Revision E (April 2015) to Revision F (April 2018)	Page
• 「絶対最大定格」表で、最小電源電圧の値を ±20V から 0V に変更	6

Copyright © 2024 Texas Instruments Incorporated

- 「絶対最大定格」表に 40V の最大電源電圧の値を追加 6
- 「アプリケーション情報」セクションの「電気的オーバーストレス」サブセクションの内容を更新..... 20

Changes from Revision D (September 2012) to Revision E (April 2015) **Page**

- デバイスのタイトルを変更 (「バリュー ライン シリーズ」を削除)..... 1
- 「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加..... 1

Changes from Revision C (June 2011) to Revision D (September 2012) **Page**

- タイトルに「バリュー ライン シリーズ」を追加..... 1

Changes from Revision B (November 2010) to Revision June 2011 C () **Page**

- デバイスの図に MSOP-8 パッケージを追加..... 1
- 「特長」の箇条書きに MSOP-8 パッケージを追加..... 1
- 「製品ファミリ」表に MSOP-8 パッケージを追加..... 1
- OPA2171 と OPA4171 のピン配置構成を更新..... 3
- OPA2171 の「熱に関する情報」の表に MSOP-8 パッケージを追加..... 7
- 「電気的特性」の「出力」サブセクションに「レールからの電圧出力スイング」パラメータの新しい行を追加 8
- 「電気的特性」の「出力」サブセクションの「レールからの電圧出力スイング」パラメータを全温度範囲に変更 8
- 図 5-9 を変更。..... 11

Changes from Revision A (November 2010) to Revision B (November 2010) **Page**

- 入力オフセット電圧の仕様を変更..... 8
- 入力オフセット電圧 (全温度範囲) の仕様を変更..... 8
- アンプごとの静止電流 (全温度範囲) の仕様を変更..... 8

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は指定したデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、左側のナビゲーションを参照してください。

Copyright © 2024 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA171AID	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	O171A
OPA171AID.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	O171A
OPA171AIDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	OSUI
OPA171AIDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OSUI
OPA171AIDBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OSUI
OPA171AIDBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OSUI
OPA171AIDBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	OSUI
OPA171AIDBVT.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OSUI
OPA171AIDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	O171A
OPA171AIDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	O171A
OPA171AIDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	O171A
OPA171AIDRG4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	O171A
OPA171AIDRLR	Active	Production	SOT-5X3 (DRL) | 5	4000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	DAP
OPA171AIDRLR.A	Active	Production	SOT-5X3 (DRL) | 5	4000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	DAP
OPA171AIDRLT	Active	Production	SOT-5X3 (DRL) | 5	250 | SMALL T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	DAP
OPA171AIDRLT.A	Active	Production	SOT-5X3 (DRL) | 5	250 | SMALL T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	DAP
OPA2171AID	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2171A
OPA2171AID.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2171A
OPA2171AIDCUR	Active	Production	VSSOP (DCU) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPOC
OPA2171AIDCUR.A	Active	Production	VSSOP (DCU) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPOC
OPA2171AIDCURG4	Active	Production	VSSOP (DCU) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPOC
OPA2171AIDCURG4.A	Active	Production	VSSOP (DCU) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPOC
OPA2171AIDCUT	Active	Production	VSSOP (DCU) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPOC
OPA2171AIDCUT.A	Active	Production	VSSOP (DCU) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPOC
OPA2171AIDGK	Active	Production	VSSOP (DGK) | 8	80 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	OPMI
OPA2171AIDGK.A	Active	Production	VSSOP (DGK) | 8	80 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	OPMI
OPA2171AIDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	OPMI
OPA2171AIDGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPMI

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2171AIDGKRG4	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPMI
OPA2171AIDGKRG4.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPMI
OPA2171AIDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2171A
OPA2171AIDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2171A
OPA2171AIDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2171A
OPA2171AIDRG4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2171A
OPA4171AID	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4171
OPA4171AID.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4171
OPA4171AIDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4171
OPA4171AIDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4171
OPA4171AIDRG4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4171
OPA4171AIDRG4.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4171
OPA4171AIPW	Active	Production	TSSOP (PW) | 14	90 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4171
OPA4171AIPW.A	Active	Production	TSSOP (PW) | 14	90 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4171
OPA4171AIPWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4171
OPA4171AIPWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4171
OPA4171AIPWRG4	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4171
OPA4171AIPWRG4.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4171

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF OPA171, OPA2171, OPA4171 :

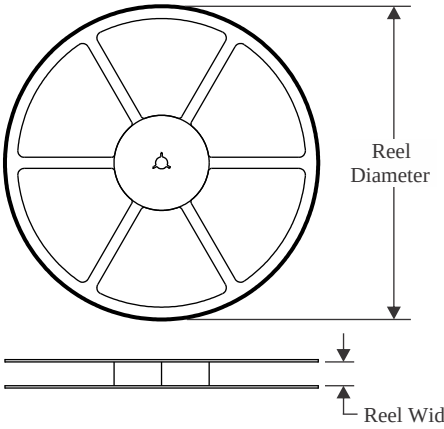
- Automotive : OPA171-Q1, OPA2171-Q1, OPA4171-Q1
- Enhanced Product : OPA2171-EP

NOTE: Qualified Version Definitions:

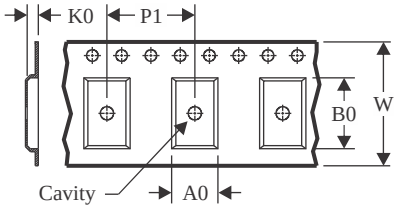
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

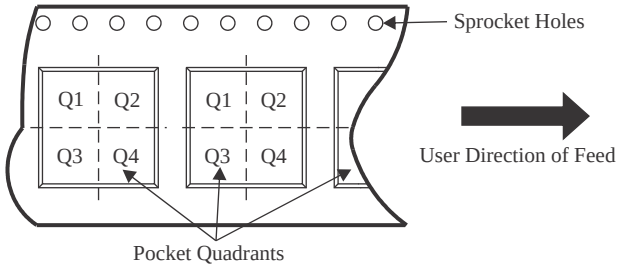


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

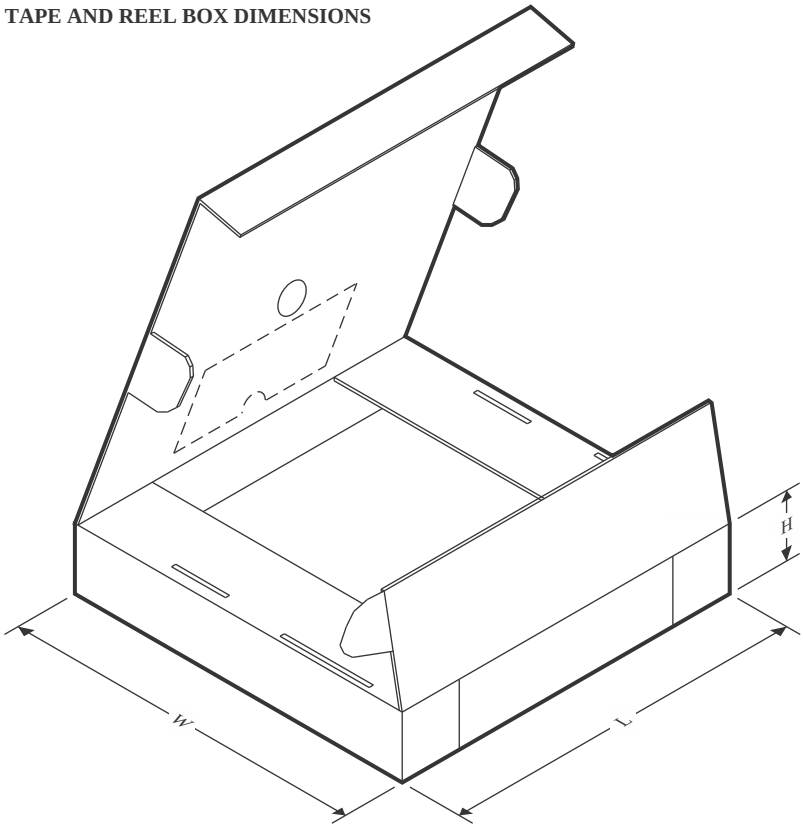


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA171AIDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA171AIDBVR	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA171AIDBVRG4	SOT-23	DBV	5	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA171AIDBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA171AIDBVT	SOT-23	DBV	5	250	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA171AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA171AIDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA171AIDRLR	SOT-5X3	DRL	5	4000	180.0	8.4	1.98	1.78	0.69	4.0	8.0	Q3
OPA171AIDRLT	SOT-5X3	DRL	5	250	180.0	8.4	1.98	1.78	0.69	4.0	8.0	Q3
OPA2171AIDCUR	VSSOP	DCU	8	3000	180.0	8.4	2.25	3.35	1.05	4.0	8.0	Q3
OPA2171AIDCURG4	VSSOP	DCU	8	3000	180.0	8.4	2.25	3.35	1.05	4.0	8.0	Q3
OPA2171AIDCUT	VSSOP	DCU	8	250	180.0	8.4	2.25	3.35	1.05	4.0	8.0	Q3
OPA2171AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2171AIDGKRG4	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2171AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2171AIDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA4171AIDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
OPA4171AIDRG4	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
OPA4171AIPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
OPA4171AIPWRG4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

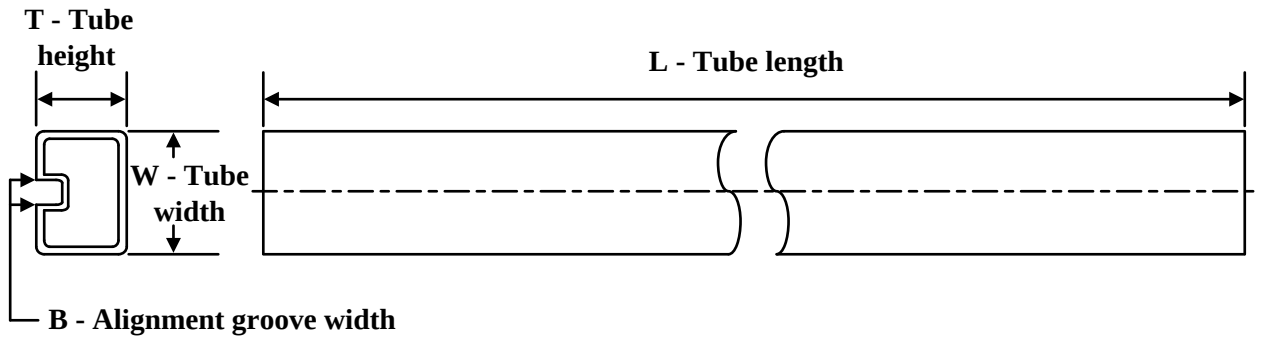


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA171AIDBVR	SOT-23	DBV	5	3000	213.0	191.0	35.0
OPA171AIDBVR	SOT-23	DBV	5	3000	208.0	191.0	35.0
OPA171AIDBVRG4	SOT-23	DBV	5	3000	213.0	191.0	35.0
OPA171AIDBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
OPA171AIDBVT	SOT-23	DBV	5	250	223.0	270.0	35.0
OPA171AIDR	SOIC	D	8	2500	353.0	353.0	32.0
OPA171AIDRG4	SOIC	D	8	2500	353.0	353.0	32.0
OPA171AIDRLR	SOT-5X3	DRL	5	4000	202.0	201.0	28.0
OPA171AIDRLT	SOT-5X3	DRL	5	250	202.0	201.0	28.0
OPA2171AIDCUR	VSSOP	DCU	8	3000	202.0	201.0	28.0
OPA2171AIDCURG4	VSSOP	DCU	8	3000	202.0	201.0	28.0
OPA2171AIDCUT	VSSOP	DCU	8	250	202.0	201.0	28.0
OPA2171AIDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA2171AIDGKRG4	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA2171AIDR	SOIC	D	8	2500	353.0	353.0	32.0
OPA2171AIDRG4	SOIC	D	8	2500	353.0	353.0	32.0
OPA4171AIDR	SOIC	D	14	2500	353.0	353.0	32.0
OPA4171AIDRG4	SOIC	D	14	2500	353.0	353.0	32.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA4171AIPWR	TSSOP	PW	14	2000	353.0	353.0	32.0
OPA4171AIPWRG4	TSSOP	PW	14	2000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

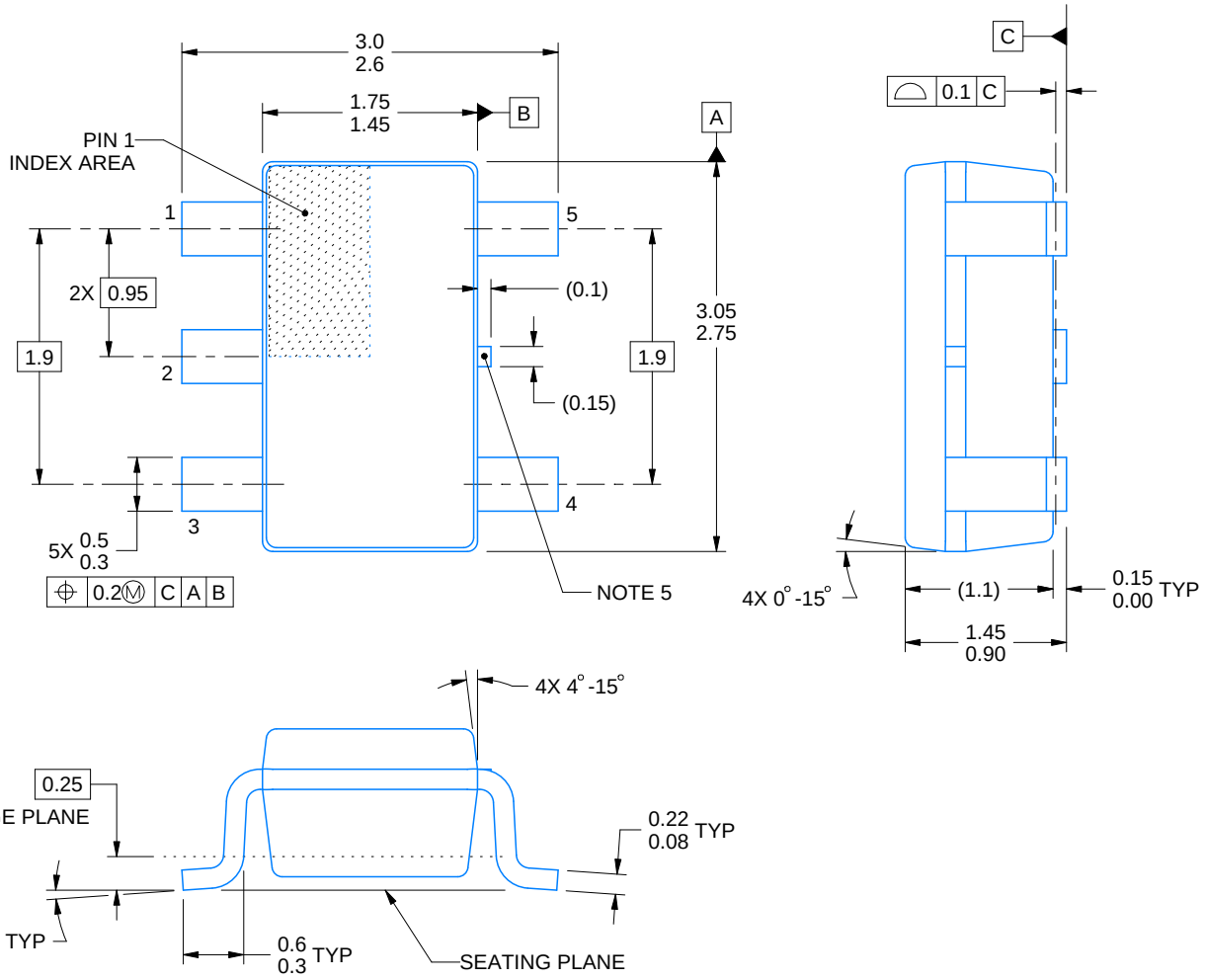
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
OPA171AID	D	SOIC	8	75	506.6	8	3940	4.32
OPA171AID.A	D	SOIC	8	75	506.6	8	3940	4.32
OPA2171AID	D	SOIC	8	75	506.6	8	3940	4.32
OPA2171AID.A	D	SOIC	8	75	506.6	8	3940	4.32
OPA2171AIDGK	DGK	VSSOP	8	80	330	6.55	500	2.88
OPA2171AIDGK.A	DGK	VSSOP	8	80	330	6.55	500	2.88
OPA4171AID	D	SOIC	14	50	506.6	8	3940	4.32
OPA4171AID.A	D	SOIC	14	50	506.6	8	3940	4.32
OPA4171AIPW	PW	TSSOP	14	90	530	10.2	3600	3.5
OPA4171AIPW.A	PW	TSSOP	14	90	530	10.2	3600	3.5

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

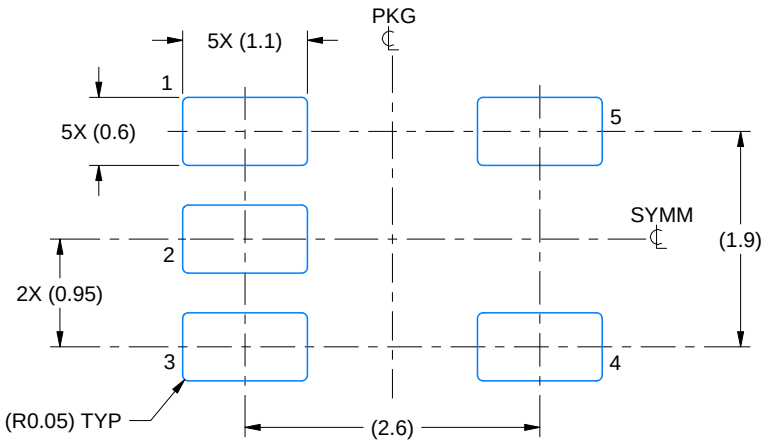
SMALL OUTLINE TRANSISTOR



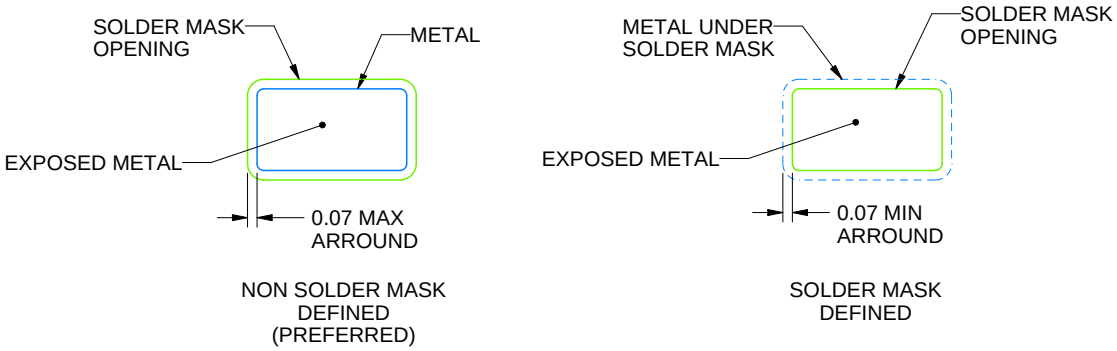
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

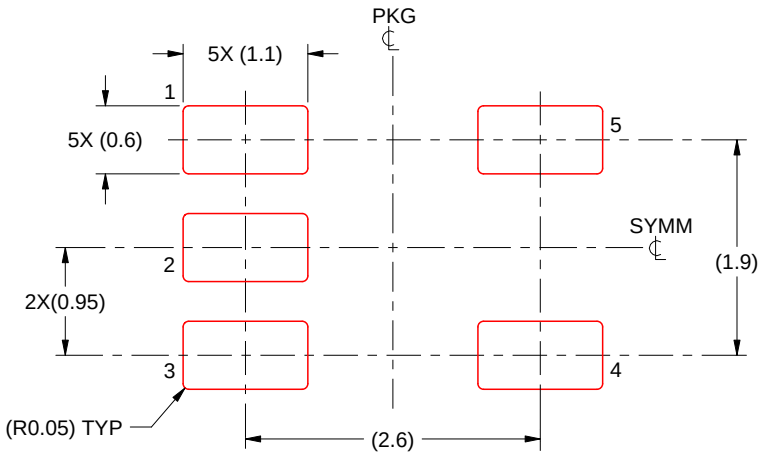


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

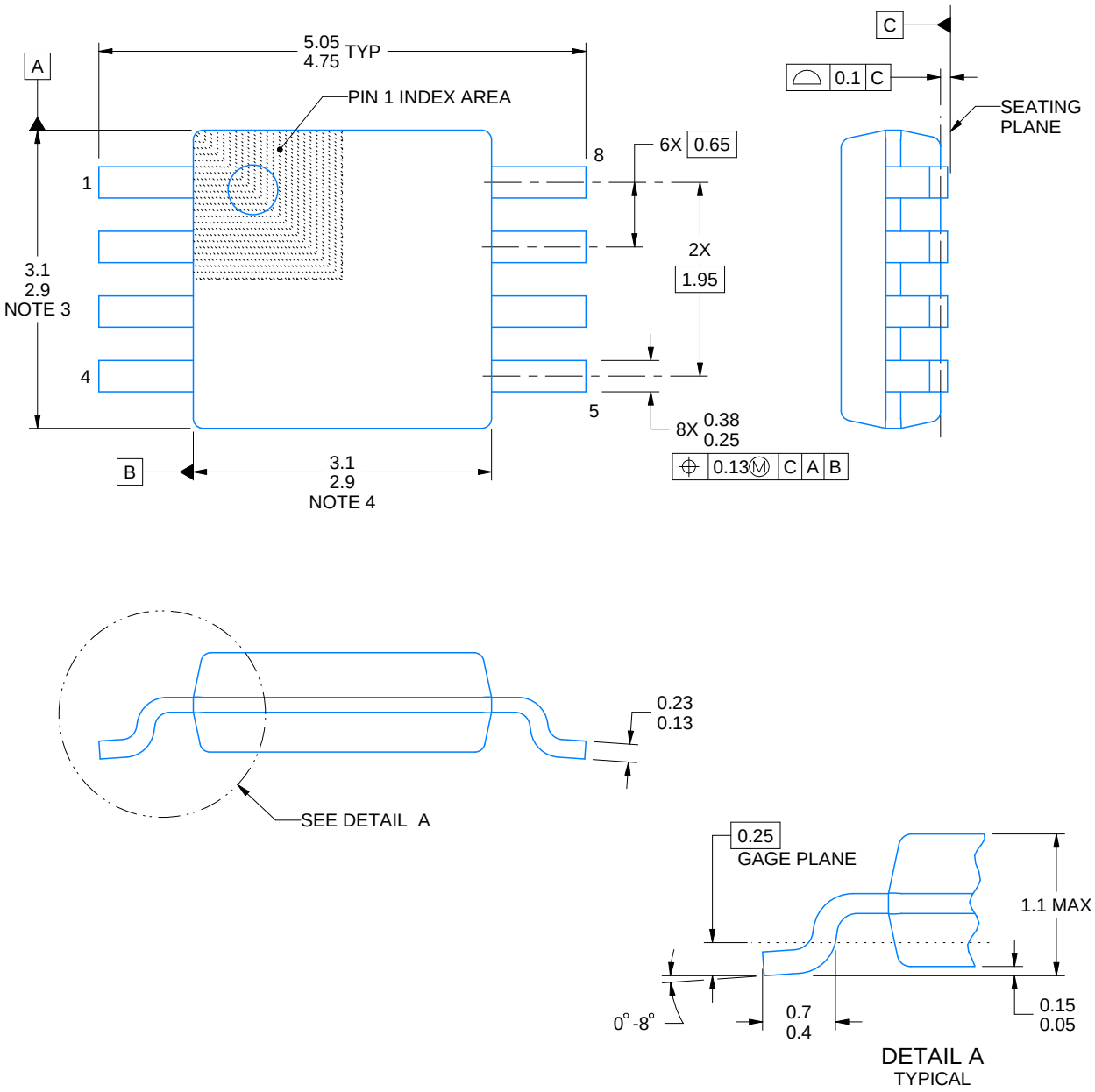
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

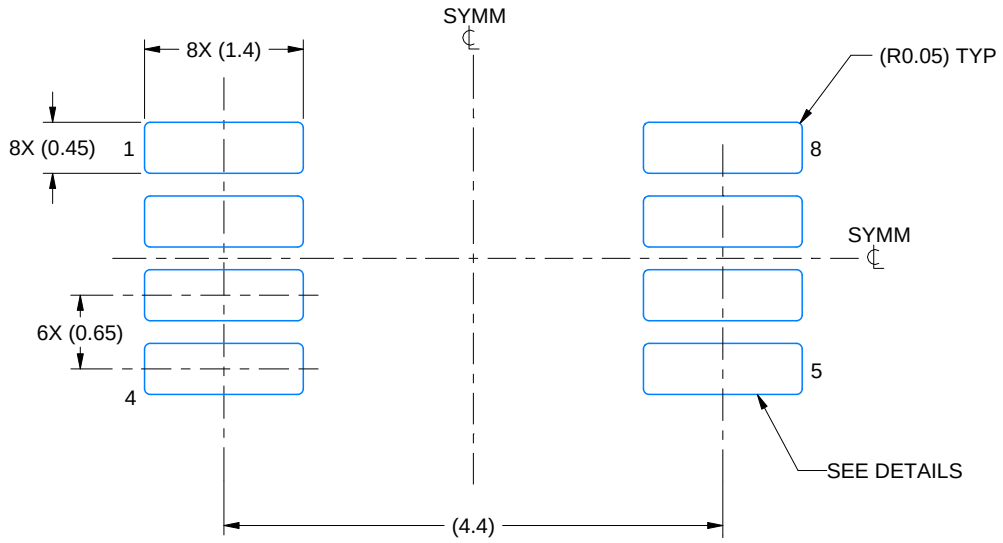
SMALL OUTLINE PACKAGE



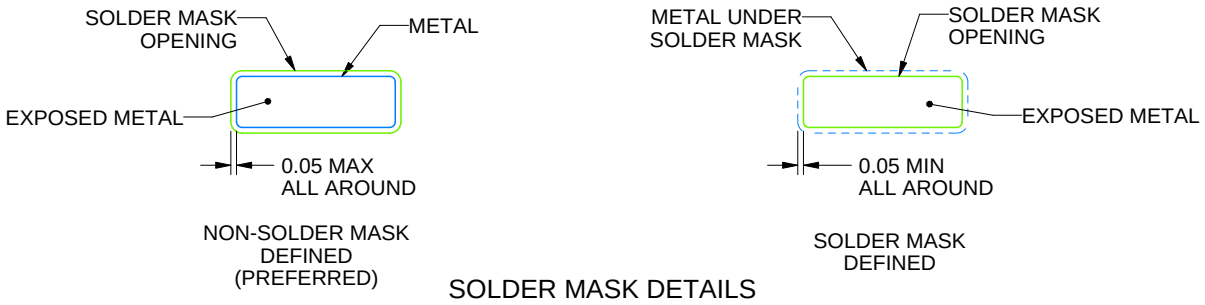
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

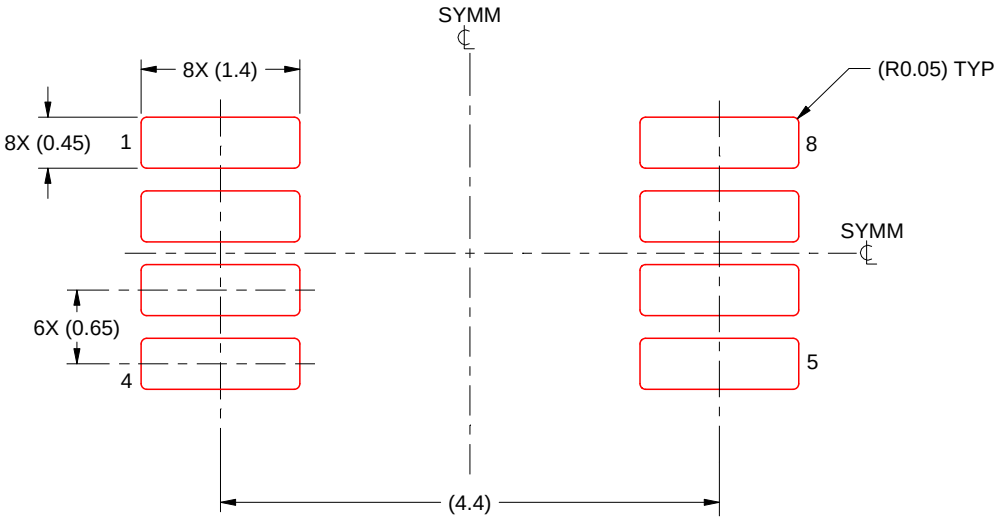


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

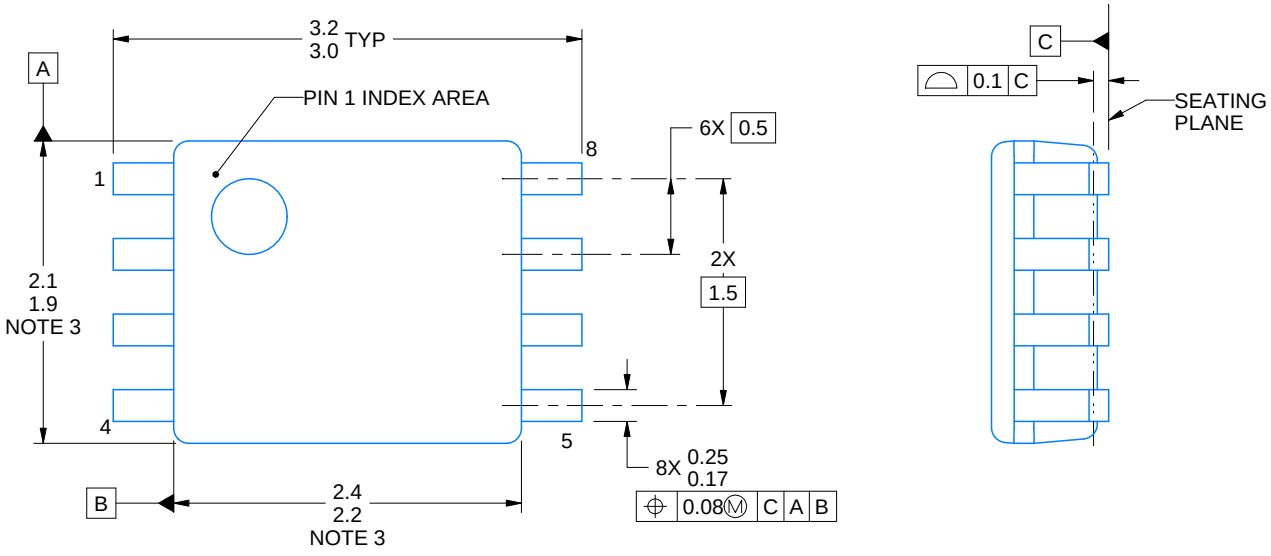
DCU0008A

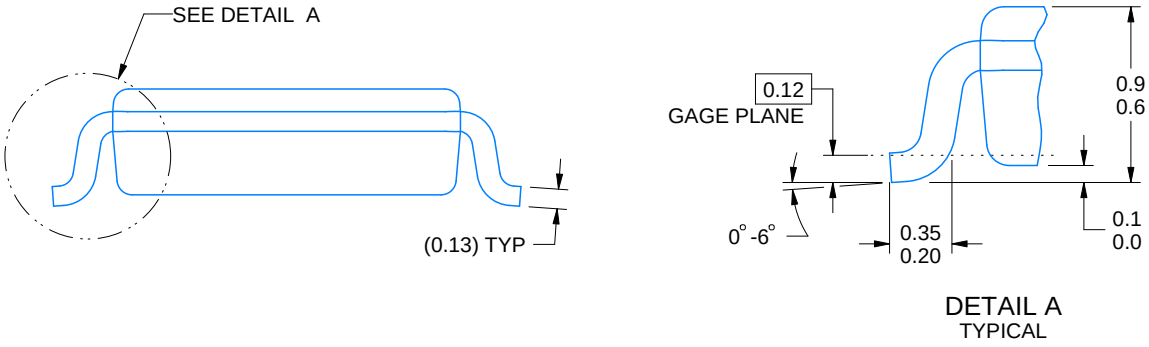


PACKAGE OUTLINE

VSSOP - 0.9 mm max height

SMALL OUTLINE PACKAGE

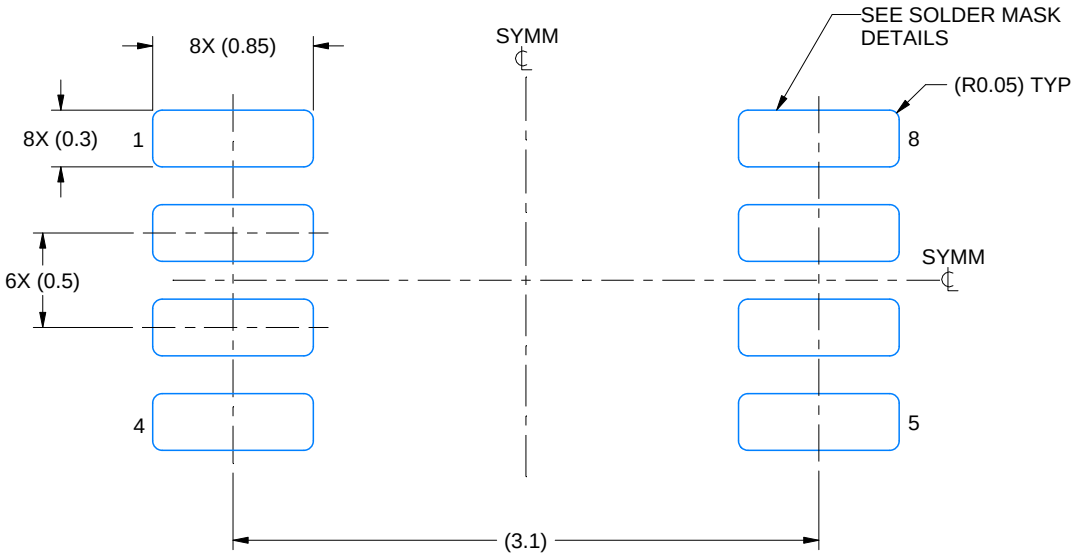




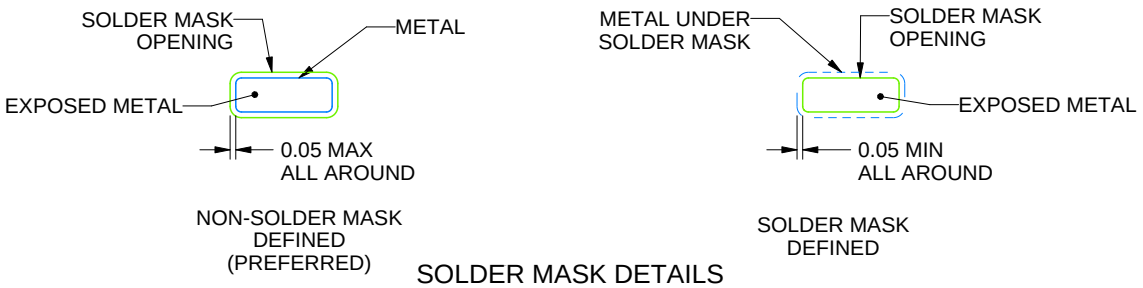
4225266/A 09/2014

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-187 variation CA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 25X

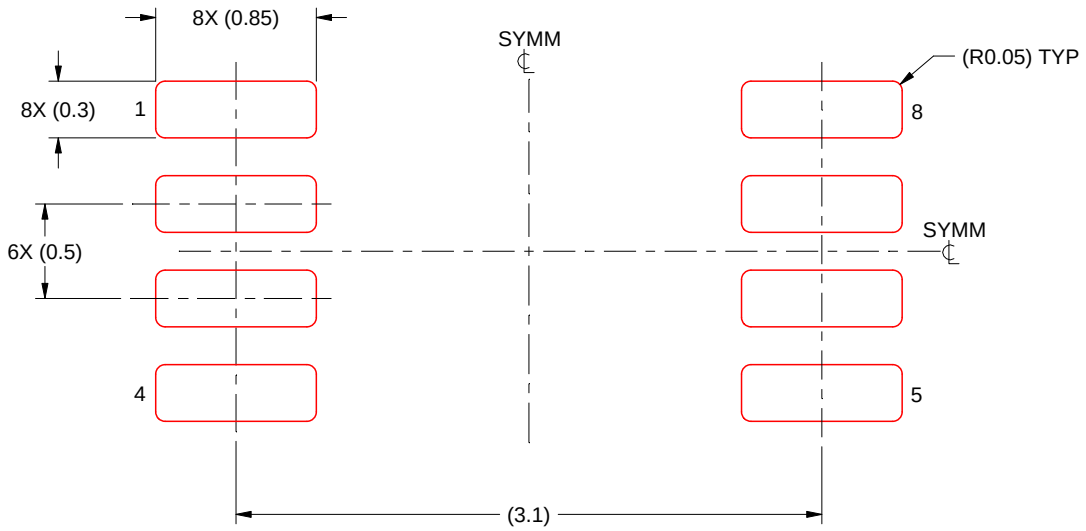


SOLDER MASK DETAILS

4225266/A 09/2014

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 25X

4225266/A 09/2014

NOTES: (continued)

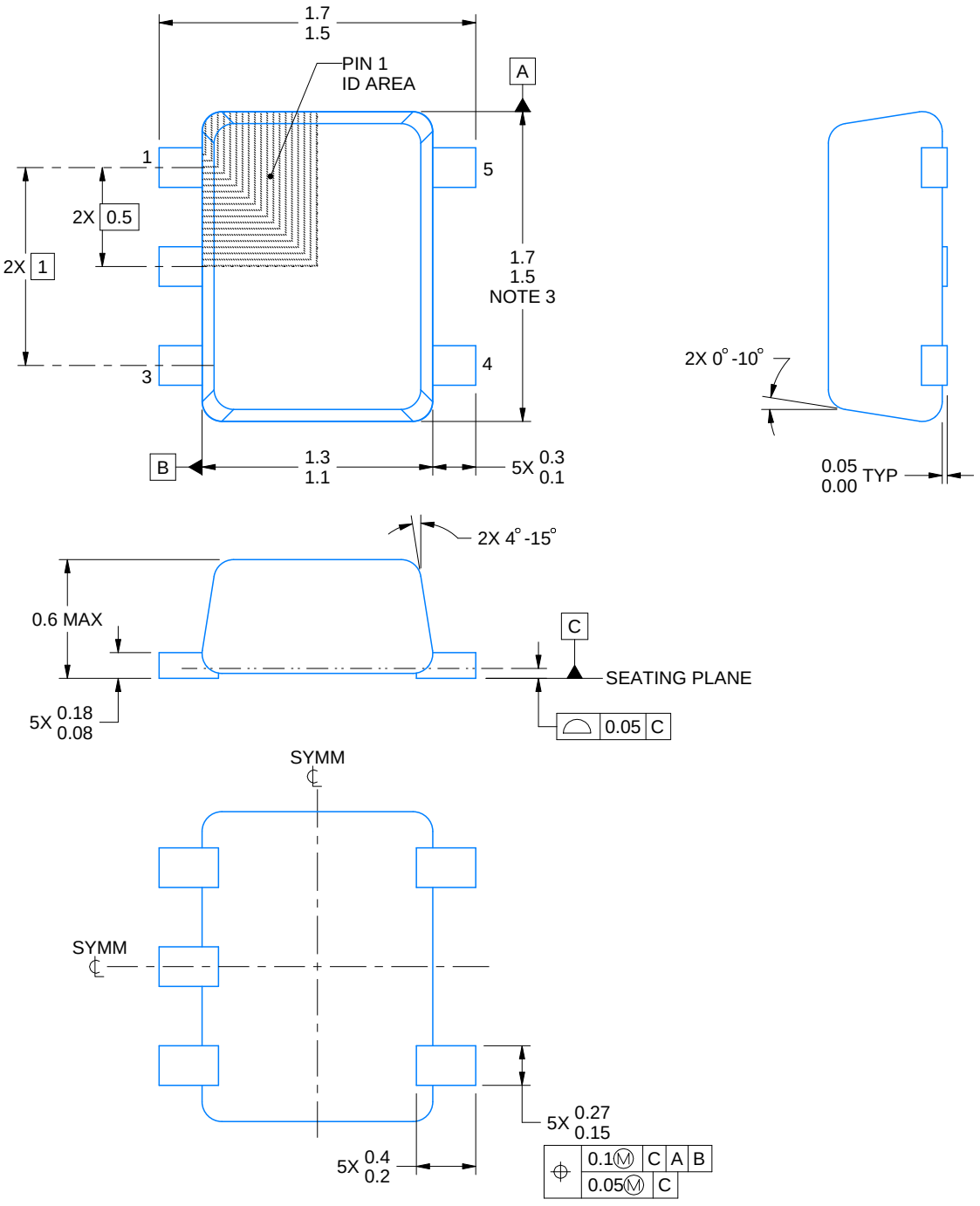
7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DRL0005A

SOT - 0.6 mm max height

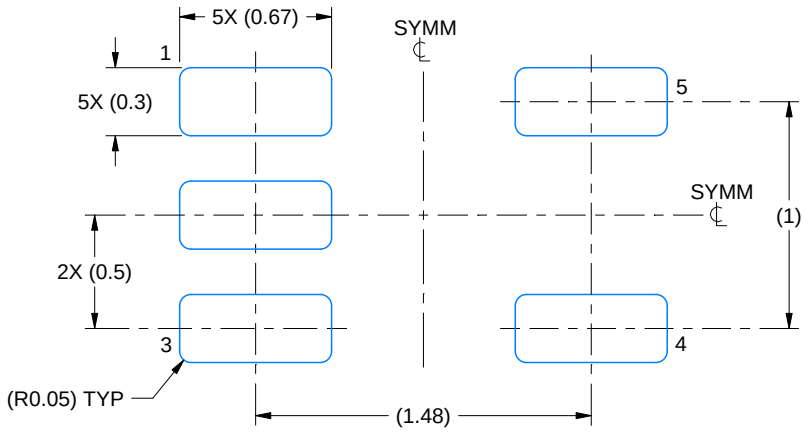
PLASTIC SMALL OUTLINE



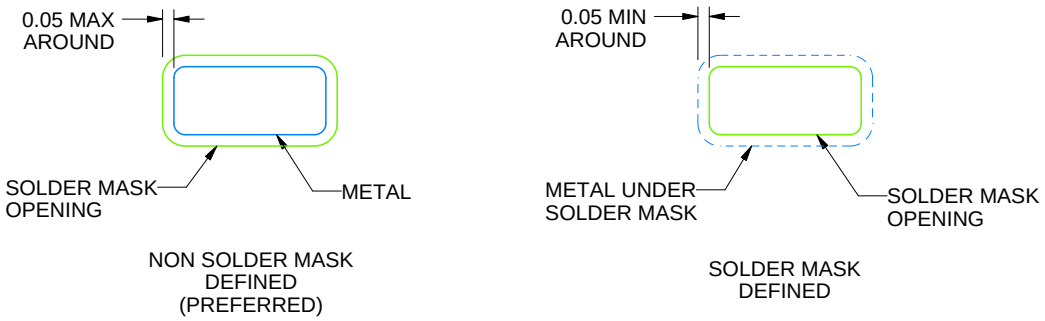
4220753/E 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-293 Variation UAAD-1



LAND PATTERN EXAMPLE
SCALE:30X

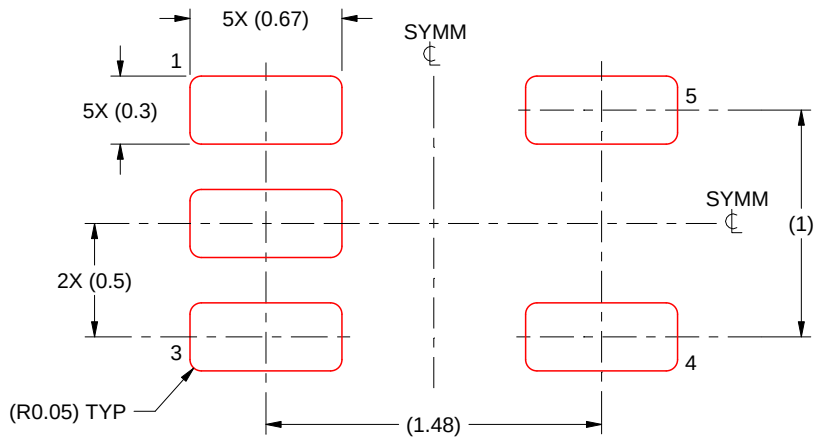


SOLDERMASK DETAILS

4220753/E 11/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

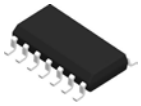


SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4220753/E 11/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

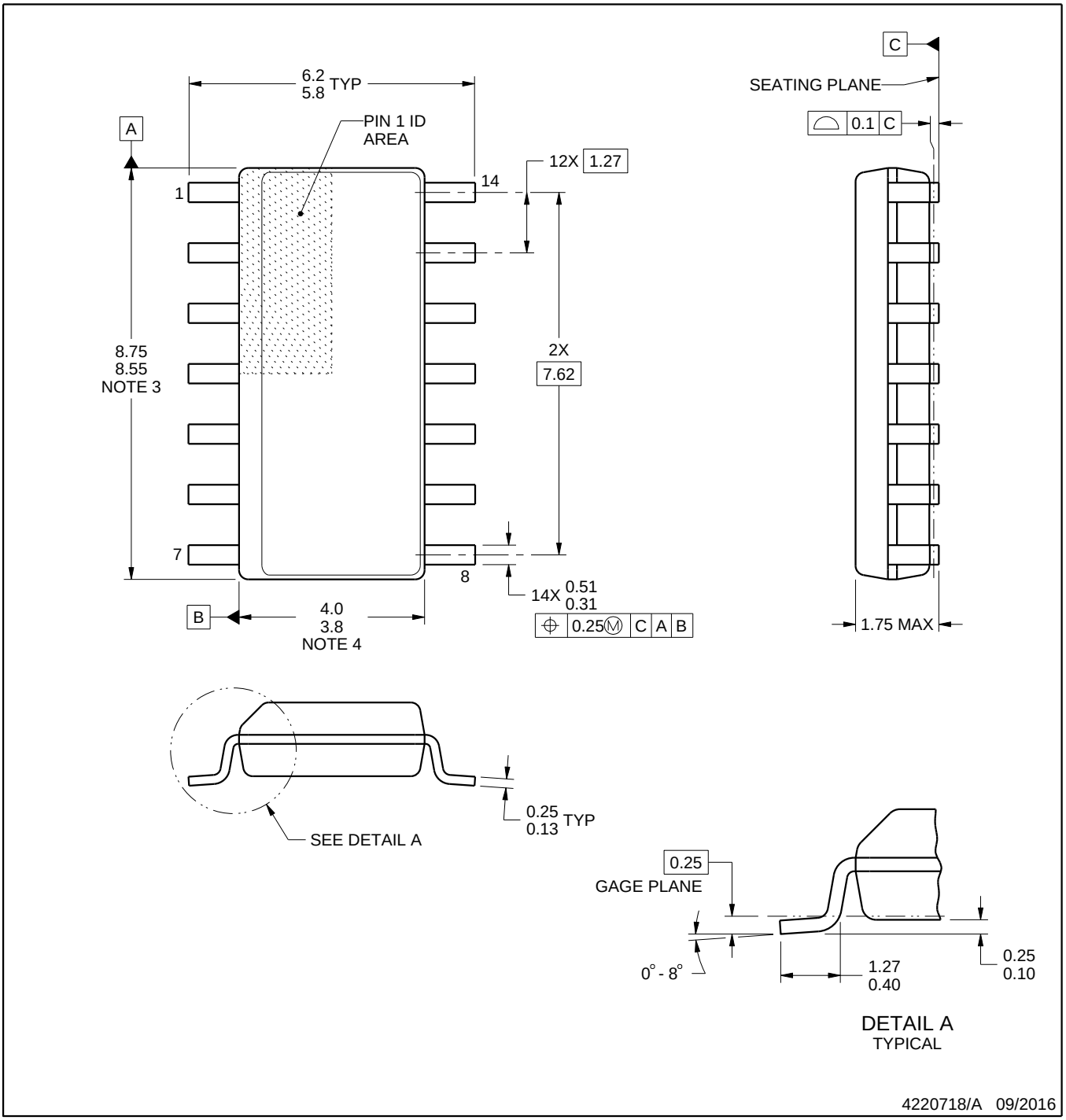


PACKAGE OUTLINE

D0014A

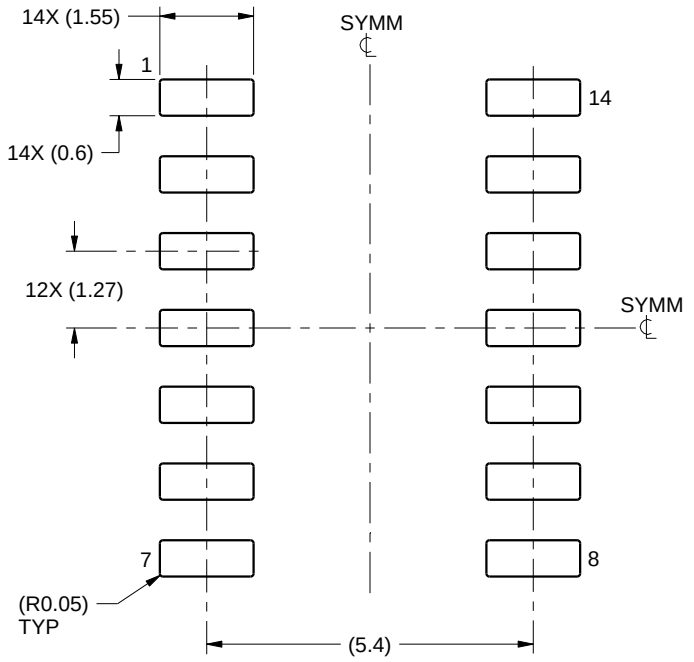
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

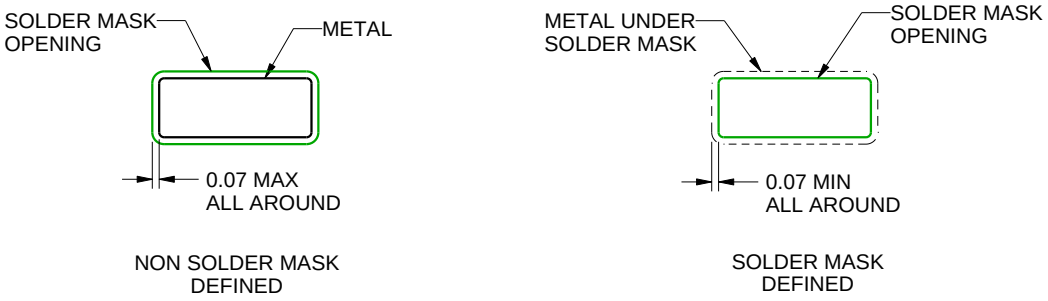


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

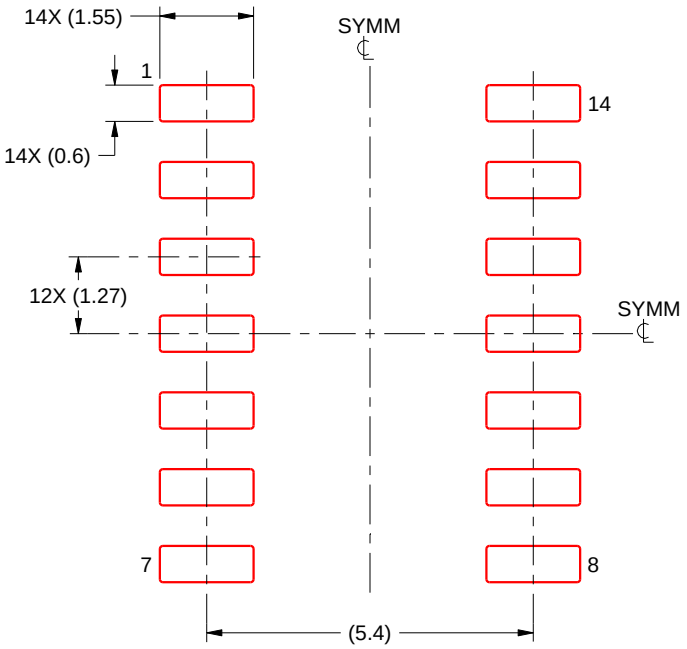
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

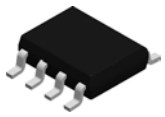


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

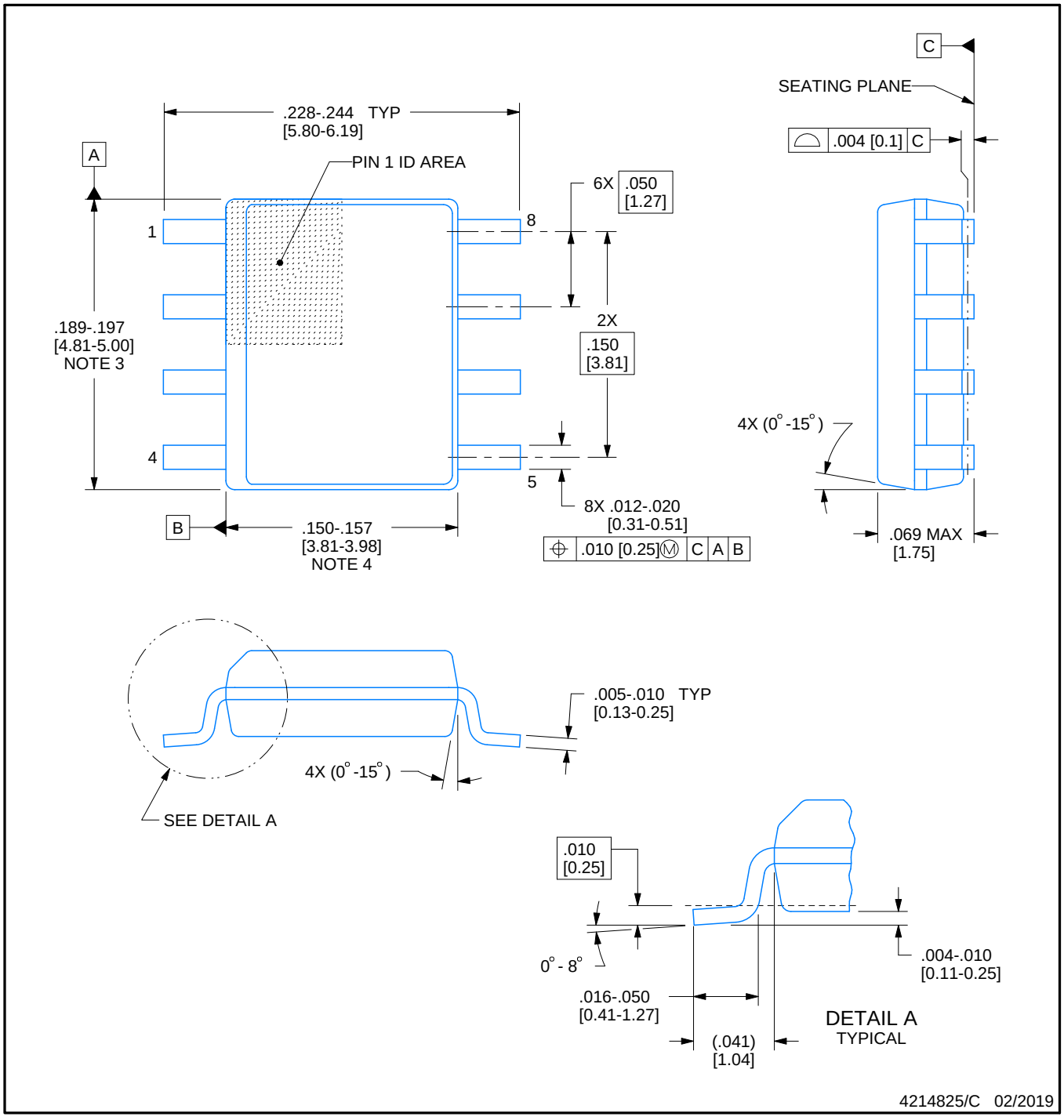


PACKAGE OUTLINE

D0008A

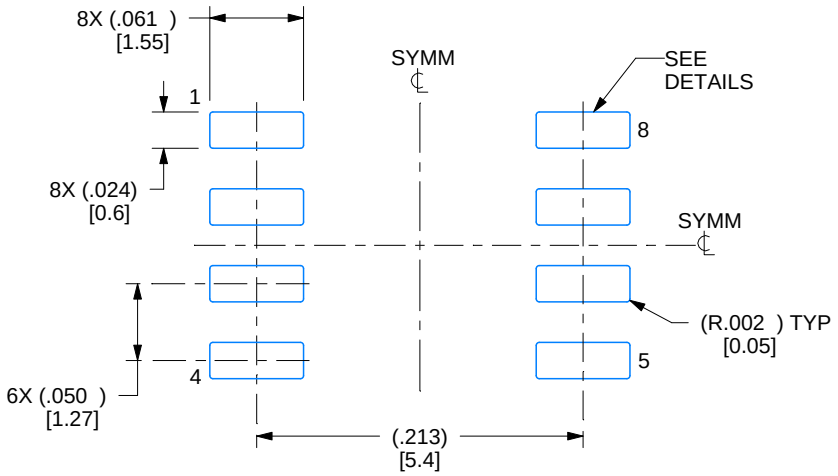
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

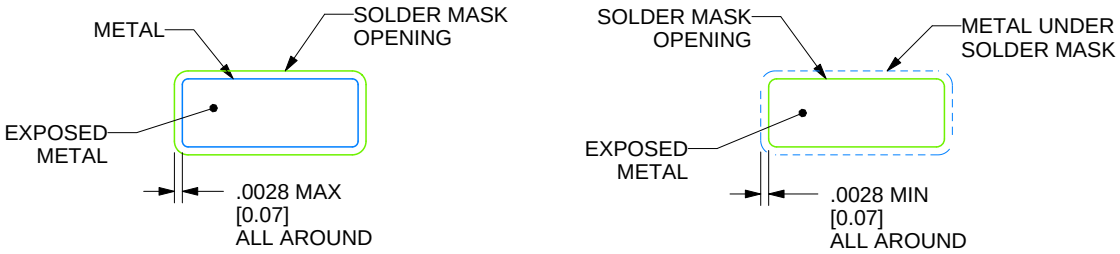


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

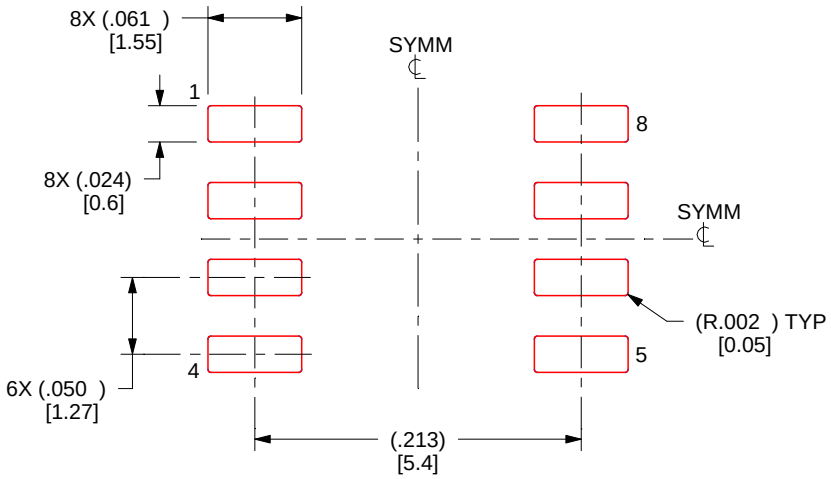
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

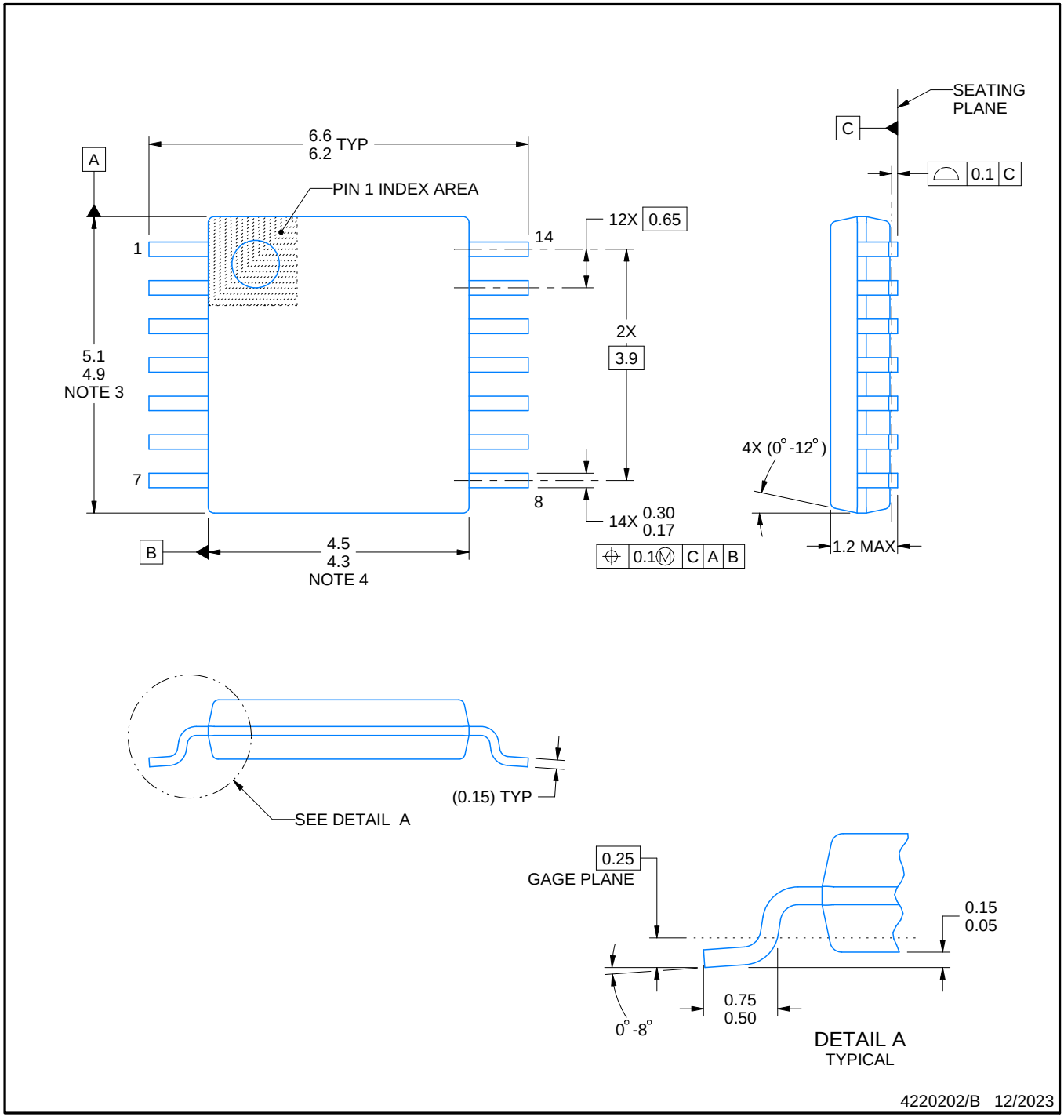
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0014A

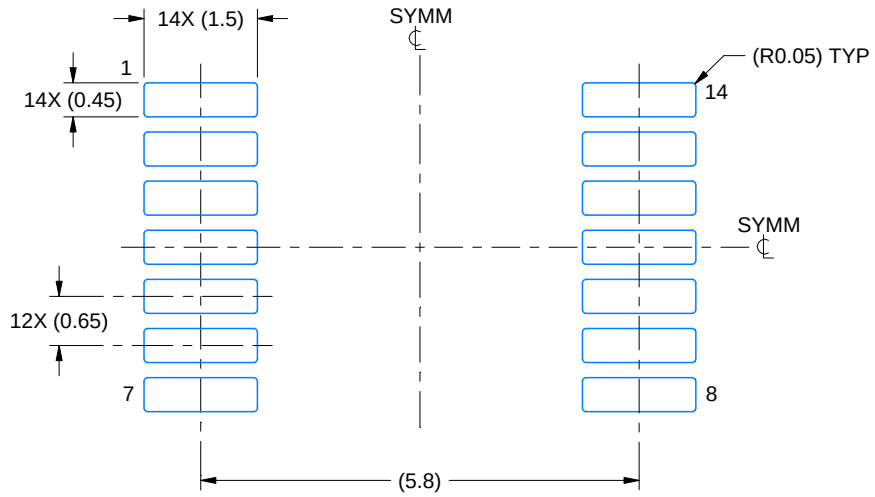
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

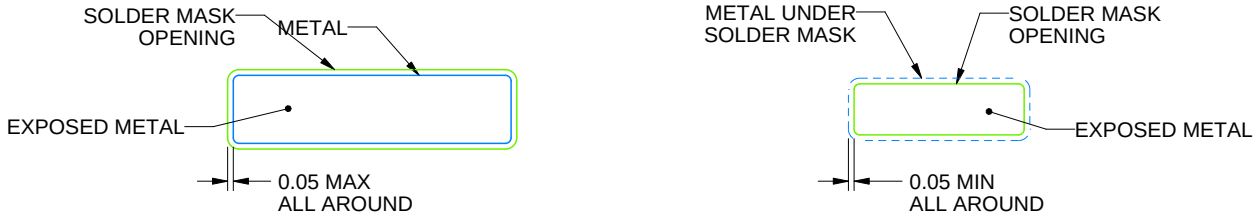


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

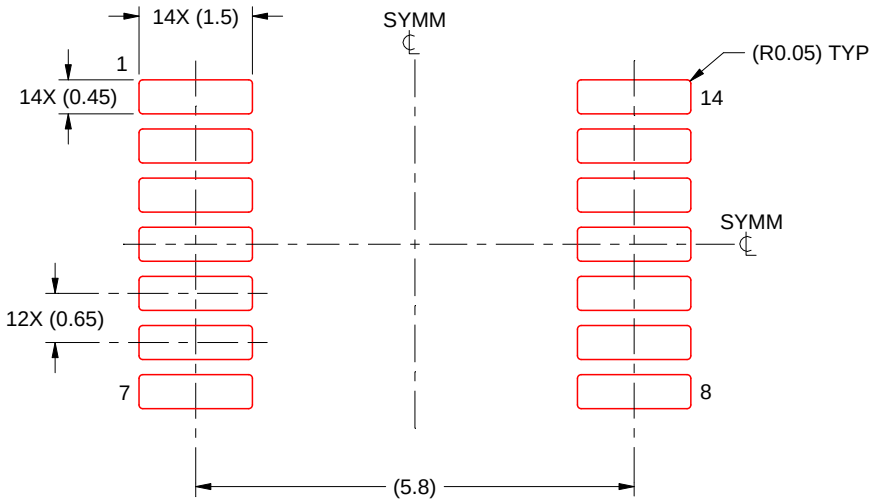


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月