

OPAx191 36V、低消費電力、高精度、CMOS、レール・ツー・レール入出力、低オフセット電圧、低入力バイアス電流のオペアンプ

1 特長

- 低いオフセット電圧: $\pm 5\mu\text{V}$
- 低い入力オフセット電圧ドリフト: $\pm 0.1\mu\text{V}/^\circ\text{C}$
- 低いノイズ: 1kHz 時に $15\text{nV}/\sqrt{\text{Hz}}$
- 大きい同相除去比: 140dB
- 小さいバイアス電流: $\pm 5\text{pA}$
- レール・ツー・レール入出力
- 広い帯域幅: 2.5MHz GBW
- 高いスルーレート: 5 V/ μs
- 低い静止電流: 140 μA (アンプ 1 個あたり)
- 広い電源範囲: $\pm 2.25\text{V} \sim \pm 18\text{V}$, 4.5V $\sim$ 36V
- EMI および RFI フィルタ入力
- 電源レールまでの差動入力電圧範囲
- 高い容量性負荷駆動能力: 1nF
- 業界標準のパッケージ:
 - シングル: SOIC-8, SOT-5, VSSOP-8
 - デュアル: SOIC-8, VSSOP-8
 - クワッド: SOIC-14, TSSOP-14, WQFN-16

2 アプリケーション

- アナログ入力モジュール
- 混合モジュール (AI, AO, DI, DO)
- データ・アキュイジション (DAQ)
- ソース・メジャー・ユニット (SMU)
- 圧トランスミッタ
- 列車制御 / 管理システム
- 実験室およびフィールド計測

3 概要

OPAx191 ファミリ (OPA191, OPA2191, OPA4191) は新世代の 36V e-trim™ オペアンプです。

これらのデバイスは、レール・ツー・レール入出力、低いオフセット電圧 ($\pm 5\mu\text{V}$, 標準値)、低いオフセット・ドリフト係数 ($\pm 0.2\mu\text{V}/^\circ\text{C}$, 標準値)、2MHz の帯域幅など、DC 精度と AC 特性が非常に優れています。

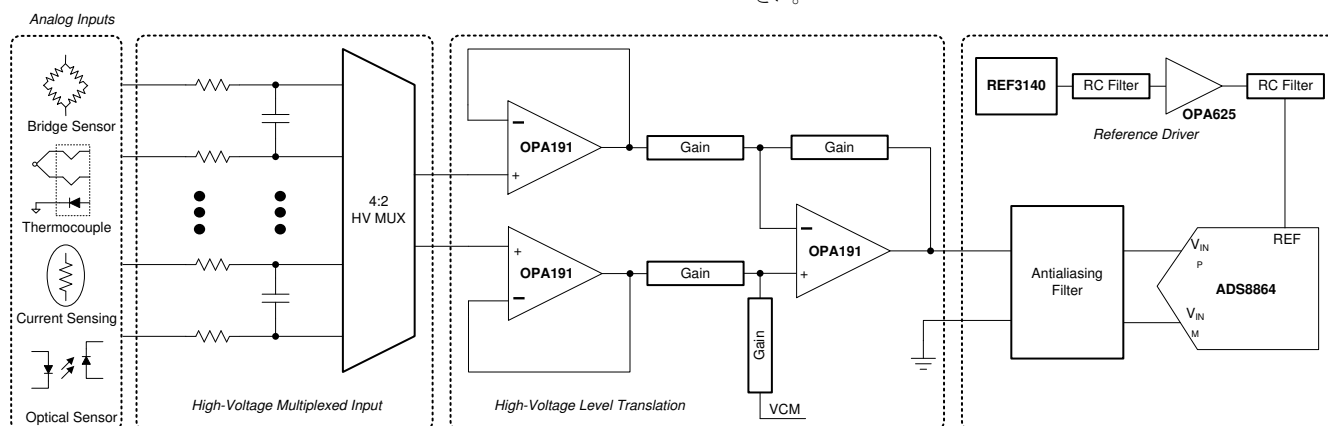
電源レールまでの差動入力電圧範囲、大きな出力電流 ($\pm 65\text{mA}$)、1nF までの大きな容量性負荷の駆動、高いスルー・レート (5V/ μs) など独自の特長を備えた OPAx191 は、高電圧の産業アプリケーション向けの、堅牢で高性能なオペアンプです。

OPAx191 ファミリのオペアンプは、標準のパッケージで供給され、 $-40^\circ\text{C} \sim +125^\circ\text{C}$ で動作が規定されています。

製品情報

部品番号	パッケージ ⁽¹⁾	本体サイズ (公称)
OPA191	SOIC (8)	4.90mm × 3.90mm
	SOT (5)	2.90mm × 1.60mm
	VSSOP (8)	3.00mm × 3.00mm
OPA2191	SOIC (8)	4.90mm × 3.90mm
	VSSOP (8)	3.00mm × 3.00mm
OPA4191	SOIC (14)	8.65mm × 3.90mm
	TSSOP (14)	5.00mm × 4.40mm
	WQFN (16)	4.00mm × 4.00mm

- (1) 提供されているすべてのパッケージについては、データシートの末尾にあるパッケージ・オプションについての付録を参照してください。



OPA191 を使用した高電圧の多重化データ収集システム



目次

1 特長.....	1	8.2 機能ブロック図.....	23
2 アプリケーション.....	1	8.3 機能説明.....	24
3 概要.....	1	8.4 デバイスの機能モード.....	31
4 改訂履歴.....	2	9 アプリケーションと実装.....	32
5 ピン構成および機能.....	3	9.1 アプリケーション情報.....	32
6 仕様.....	6	9.2 代表的なアプリケーション.....	32
6.1 絶対最大定格.....	6	10 電源に関する推奨事項.....	36
6.2 ESD 定格.....	6	11 レイアウト.....	36
6.3 推奨動作条件.....	6	11.1 レイアウトのガイドライン.....	36
6.4 熱に関する情報: OPA191.....	7	11.2 レイアウト例.....	37
6.5 熱に関する情報: OPA2191.....	7	12 デバイスおよびドキュメントのサポート.....	38
6.6 熱に関する情報: OPA4191.....	7	12.1 デバイスのサポート.....	38
6.7 電気的特性: $V_S = \pm 4V \sim \pm 18V$ ($V_S = 8V \sim 36V$).....	8	12.2 ドキュメントのサポート.....	38
6.8 電気的特性: $V_S = \pm 2.25V \sim \pm 4V$ ($V_S = 4.5V \sim 8V$).....	10	12.3 Receiving Notification of Documentation Updates.....	38
6.9 代表的特性.....	12	12.4 サポート・リソース.....	38
7 パラメータ測定情報.....	21	12.5 商標.....	39
7.1 入力オフセット電圧ドリフト.....	21	12.6 Electrostatic Discharge Caution.....	39
8 詳細説明.....	23	12.7 Glossary.....	39
8.1 概要.....	23	13 メカニカル、パッケージ、および注文情報.....	39

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (October 2019) to Revision D (August 2021)	Page
--	------

- | | |
|---|---|
| • OPA4191 PW (TSSOP-14) パッケージをプレビューから量産データ (アクティブ) に変更..... | 1 |
|---|---|

Changes from Revision B (July 2019) to Revision C (October 2019)	Page
--	------

- | | |
|---|---|
| • OPA4191 RUM パッケージをプレビューから量産データ (アクティブ) に変更..... | 1 |
|---|---|

Changes from Revision A (April 2016) to Revision B (July 2019)	Page
--	------

- | | |
|--|----|
| • 事前情報 (プレビュー) の 16 ピン RUM (WQFN) パッケージおよび関連するコンテンツをデータシートに追加..... | 1 |
| • 図 32 の条件を $G = -1$ から $G = 1$ に変更..... | 12 |
| • 図 33 の条件を $G = 1$ から $G = -1$ に変更..... | 12 |

Changes from Revision * (December 2015) to Revision A (April 2016)	Page
--	------

- | | |
|--|----|
| • DBV および DGK パッケージをプレビューから量産データに変更..... | 1 |
| • 図 23 の 0.1Hz~10Hz のノイズを変更..... | 12 |
| • 「容量性負荷および安定度」セクションに容量性負荷駆動に関する文言を追加..... | 27 |
| • 図 56 を追加..... | 27 |

5 ピン構成および機能

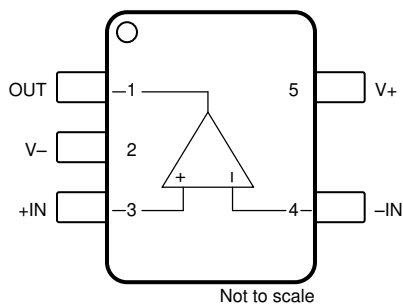


図 5-1. OPA191 DBV (5 ピン SOT) パッケージ、
上面図

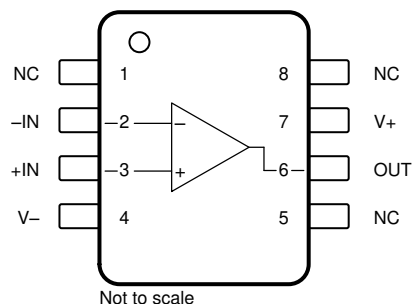


図 5-2. OPA191 D (8 ピン SOIC) パッケージおよび
DGK (8 ピン VSSOP) パッケージ、上面図

ピンの機能 : OPA191

ピン			I/O	説明
名称	OPA191			
	D (SOIC)、 DGK (VSSOP)	DBV (SOT)		
+IN	3	3	I	非反転入力
−IN	2	4	I	反転入力
NC	1、5、8	—	—	内部接続なし (フローティングのままでも可)
OUT	6	1	O	出力
V+	7	5	—	正 (最高) 電源
V−	4	2	—	負 (最低) 電源

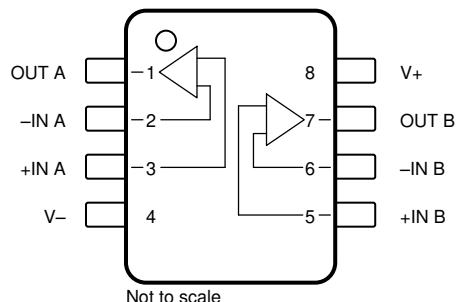


図 5-3. OPA2191 D (8 ピン SOIC) および
DGK (8 ピン VSSOP) パッケージ、上面図

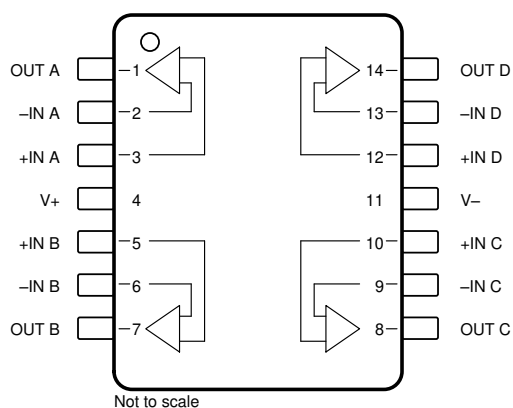


図 5-4. OPA4191 D (14 ピン SOIC) および
PW (14 ピン TSSOP) パッケージ、上面図

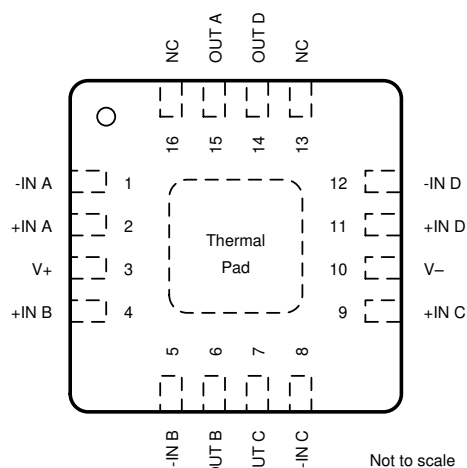


図 5-5. OPA4191 RUM (16 ピン WQFN、露出サーマル・パッド付き) パッケージ、上面図

ピンの機能 : OPA2191 および OPA4191

名称	ピン			I/O	説明
	OPA2191 D (SOIC)、 DGK (VSSOP)	OPA4191 D (SOIC)、 PW (TSSOP)	RUM (QFN)		
+IN A	3	3	2	I	非反転入力、チャンネル A
+IN B	5	5	4	I	非反転入力、チャンネル B
+IN C	—	10	9	I	非反転入力、チャンネル C
+IN D	—	12	11	I	非反転入力、チャンネル D
-IN A	2	2	1	I	反転入力、チャンネル A
-IN B	6	6	5	I	反転入力、チャンネル B
-IN C	—	9	8	I	反転入力、チャンネル C
-IN D	—	13	12	I	反転入力、チャンネル D
OUT A	1	1	15	O	出力、チャンネル A
OUT B	7	7	6	O	出力、チャンネル B
OUT C	—	8	7	O	出力、チャンネル C
OUT D	—	14	14	O	出力、チャンネル D
V+	8	4	3	—	正 (最高) 電源

ピンの機能 : OPA2191 および OPA4191 (continued)

ピン				I/O	説明
名称	OPA2191	OPA4191			
	D (SOIC)、 DGK (VSSOP)	D (SOIC)、 PW (TSSOP)	RUM (QFN)		
V-	4	11	10	—	負 (最低) 電源

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

			最小値	最大値	単位
電源電圧、V _S = (V+) - (V-)				±20 (+40、単一電源)	V
信号入力ピン	電圧	同相	(V-) - 0.5	(V+) + 0.5	V
		差動		(V+) - (V-) + 0.2	
	電流			±10	mA
出力短絡 (2)			連続	連続	連続
温度	動作		-40	150	°C
	接合部			150	
	保存、T _{stg}		-65	150	

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
- (2) グランドへの短絡、1 パッケージ当たり 1 アンペア。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	± 3000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠 ⁽²⁾	± 1000	
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠 ⁽²⁾ 、OPA4191IPW パッケージのみ	± 500	

- (1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。
- (2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

	最小値	公称値	最大値	単位
電源電圧、 $V_S = (V+) - (V-)$	4.5 (± 2.25)		36 (± 18)	V
仕様温度範囲	-40		125	°C

6.4 熱に関する情報 : OPA191

熱評価基準 ⁽¹⁾		OPA191			単位
		D (SOIC)	DGK (VSSOP)	DBV (SOT)	
		8 ピン		5 ピン	
R _{θJA}	接合部から周囲への熱抵抗	115.8	180.4	158.8	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	60.1	67.9	60.7	°C/W
R _{θJB}	接合部から基板への熱抵抗	56.4	102.1	44.8	°C/W
Ψ _{JT}	接合部から上面への熱特性パラメータ	12.8	10.4	1.6	°C/W
Ψ _{JB}	接合部から基板への熱特性パラメータ	55.9	100.3	4.2	°C/W
R _{θJC(bot)}	接合部からケース (下面) への熱抵抗	N/A	N/A	N/A	°C/W

(1) 従来と新規の熱評価基準の詳細については、アプリケーション・レポート『半導体および IC パッケージの熱評価基準』、[SPRA953](#) を参照してください。

6.5 熱に関する情報 : OPA2191

熱評価基準 ⁽¹⁾		OPA2191		単位
		D (SOIC)	DGK (VSSOP)	
		8 ピン		
R _{θJA}	接合部から周囲への熱抵抗	107.9	158	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	53.9	48.6	°C/W
R _{θJB}	接合部から基板への熱抵抗	48.9	78.7	°C/W
Ψ _{JT}	接合部から上面への熱特性パラメータ	6.6	3.9	°C/W
Ψ _{JB}	接合部から基板への熱特性パラメータ	48.3	77.3	°C/W
R _{θJC(bot)}	接合部からケース (下面) への熱抵抗	N/A	N/A	°C/W

(1) 従来と新規の熱評価基準の詳細については、アプリケーション・レポート『半導体および IC パッケージの熱評価基準』、[SPRA953](#) を参照してください。

6.6 熱に関する情報 : OPA4191

熱評価基準 ⁽¹⁾		OPA4191			単位
		D (SOIC)	PW (TSSOP)	RUM (QFN)	
		14 ピン		16 ピン	
R _{θJA}	接合部から周囲への熱抵抗	86.4	108.1	33.0	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	46.3	26.3	25.1	°C/W
R _{θJB}	接合部から基板への熱抵抗	41.0	54.4	11.6	°C/W
Ψ _{JT}	接合部から上面への熱特性パラメータ	11.3	1.4	0.2	°C/W
Ψ _{JB}	接合部から基板への熱特性パラメータ	40.7	53.3	11.5	°C/W
R _{θJC(bot)}	接合部からケース (下面) への熱抵抗	N/A	N/A	2.6	°C/W

(1) 従来と新規の熱評価基準の詳細については、アプリケーション・レポート『半導体および IC パッケージの熱評価基準』、[SPRA953](#) を参照してください。

6.7 電気的特性 : $V_S = \pm 4V \sim \pm 18V$ ($V_S = 8V \sim 36V$)

$T_A = 25^\circ\text{C}$, $V_{CM} = V_{OUT} = V_S/2$, $R_L = 10k\Omega$ を $V_S/2$ に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V _{OS}	入力オフセット電圧	V _S = ±18V			±5	±25	μV
			T _A = 0°C～85°C		±8	±75	
			T _A = -40°C～+125°C		±10	±125	
		(V+) - 3.0V < V _{CM} < (V+) - 1.5V		「代表的特性」を参照			
		V _S = ±18V、 V _{CM} = (V+) - 1.5V			±10	±50	
			T _A = 0°C～85°C		±25	±150	
			T _A = -40°C～+125°C		±50	±250	
		OPA4191 (RUM、PW)、V _S = ±18V V _{CM} = (V+) - 1.5V			±5	±50	
T _A = 0°C～85°C			±10	±475			
T _A = -40°C～+125°C			±20	±740			
dV _{OS} /dT	入力オフセット電圧ドリフト	V _S = ±18V、D および PW パッケージのみ	T _A = 0°C～85°C		±0.1	±0.8	μV/°C
			T _A = -40°C～+125°C		±0.15	±1.2	
		V _S = ±18V、RUM、DGK、DBV パッケージのみ	T _A = 0°C～85°C		±0.1	±0.9	
			T _A = -40°C～+125°C		±0.15	±1.3	
		V _S = ±18V、V _{CM} = (V+) - 1.5V	T _A = -40°C～+125°C		±0.5		
PSRR	電源電圧変動除去比	T _A = -40°C～+125°C			±0.3	±1.0	μV/V
入力バイアス電流							
I _B	入力バイアス電流				±5	±20	pA
		T _A = -40°C～+125°C				±9	nA
I _{OS}	入力オフセット電流				±2	±20	pA
		T _A = -40°C～+125°C				±2	nA
ノイズ							
E _n	入力電圧ノイズ	(V-) - 0.1V < V _{CM} < (V+) - 3V	f = 0.1Hz～10Hz		1.4		μV _{PP}
		(V+) - 1.5V < V _{CM} < (V+) + 0.1V	f = 0.1Hz～10Hz		7		
e _n	入力電圧ノイズ密度	(V-) - 0.1V < V _{CM} < (V+) - 3V	f = 100Hz		18		nV/√Hz
			f = 1kHz		15		
		(V+) - 1.5V < V _{CM} < (V+) + 0.1V	f = 100Hz		53		
			f = 1kHz		24		
i _n	入力電流ノイズ密度	f = 1kHz			1.5		fA/√Hz
入力電圧							
V _{CM}	同相電圧範囲			(V-) - 0.1		(V+) + 0.1	V
CMRR	同相信号除去比	V _S = ±18V、 (V-) - 0.1V < V _{CM} < (V+) - 3V		120	140		dB
		V _S = ±18V、 (V-) < V _{CM} < (V+) - 3V	T _A = -40°C～+125°C	114	126		
		V _S = ±18V、 (V+) - 1.5V < V _{CM} < (V+)		96	120		
			T _A = -40°C～+125°C	86	100		
		(V+) - 3V < V _{CM} < (V+) - 1.5V		「代表的特性」を参照			
入力インピーダンス							
Z _{ID}	差動			100 1.6			MΩ pF
Z _{IC}	同相			1 6.4			10 ¹³ Ω pF

6.7 電気的特性 : $V_S = \pm 4V \sim \pm 18V$ ($V_S = 8V \sim 36V$) (continued)

$T_A = 25^\circ\text{C}$, $V_{CM} = V_{OUT} = V_S/2$, $R_L = 10k\Omega$ を $V_S/2$ に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
開ループ・ゲイン							
A _{OL}	開ループ電圧ゲイン	V _S = ±18V、 (V ₋) + 0.6V < V _O < (V ₊) - 0.6V、 R _L = 2kΩ		124	134	dB	
		V _S = ±18V、 (V ₋) + 0.8V < V _O < (V ₊) - 0.8V、 R _L = 2kΩ、RUM パッケージ		124	134		
		V _S = ±18V、 (V ₋) + 0.6V < V _O < (V ₊) - 0.6V、 R _L = 2kΩ	T _A = -40℃～+125℃	114	126		
		V _S = ±18V、 (V ₋) + 0.8V < V _O < (V ₊) - 0.8V、 R _L = 2kΩ、RUM パッケージ	T _A = -40℃～+125℃	114	126		
		V _S = ±18V、 (V ₋) + 0.3V < V _O < (V ₊) - 0.3V、 R _L = 10kΩ		126	140		
		V _S = ±18V、 (V ₋) + 0.3V < V _O < (V ₊) - 0.3V、 R _L = 10kΩ	T _A = -40℃～+125℃	120	134		
周波数特性							
GBW	ユニティ・ゲイン帯域幅			2.5		MHz	
SR	スルーレート	V _S = ±18V、G = 1、10V ステップ	立ち下がりが	7.5		V/μs	
			立ち上がりが	5.5			
t _s	セトリング・タイム	0.01% まで、C _L = 20pF	V _S = ±18V、G = 1、2V ステップ	0.7		μs	
			V _S = ±18V、G = 1、5V ステップ	1			
		0.001% まで、C _L = 20pF	V _S = ±18V、G = 1、2V ステップ	1.8			
			V _S = ±18V、G = 1、5V ステップ	3.7			
t _{OR}	過負荷復帰時間	V _{IN} × G = V _S	過負荷から負レールまで	0.4		μs	
			過負荷から正レールまで	1			
THD+N	全高調波歪 + ノイズ	G = 1、f = 1kHz、V _O = 3.5V _{RMS}		0.0012%			
	クロストーク	OPA2191 および OPA4191、DC		150		dB	
		OPA2191 および OPA4191、f = 100kHz		130		dB	
出力							
V _O	レールに対する電圧出力 スイング	正レール	無負荷	5	15	mV	
			R _L = 10kΩ	50	110		
			R _L = 2kΩ	200	500		
		負レール	無負荷	5	15		
			R _L = 10kΩ	50	110		
			R _L = 2kΩ	200	500		
I _{SC}	短絡電流	V _S = ±18V		±65		mA	
C _L	容量性負荷ドライブ	「代表的特性」を参照					
Z _O	開ループ出力インピーダ ンス	f = 1MHz、I _O = 0A、「代表的特性」を参照		700		Ω	
電源							
I _Q	アンプごとの静止電流	I _O = 0A		140	200	μA	
			T _A = -40℃～+125℃		250		
温度							
	過熱保護			180		℃	
	熱ヒステリシス			30		℃	

6.8 電気的特性 : $V_S = \pm 2.25V \sim \pm 4V$ ($V_S = 4.5V \sim 8V$)

$T_A = +25^\circ C$, $V_{CM} = V_{OUT} = V_S/2$, $R_L = 10k\Omega$ を $V_S/2$ に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V _{OS}	入力オフセット電圧	V _S = ±2.25V、 V _{CM} = (V+) - 3V			±5	±25	μV
			T _A = 0°C～85°C		±8	±75	
			T _A = -40°C～+125°C		±10	±125	
		(V+) - 3.0V < V _{CM} < (V+) - 1.5V		「代表的特性」を参照			
		V _S = ±3V、 V _{CM} = (V+) - 1.5V			±10	±50	
			T _A = 0°C～85°C		±25	±150	
			T _A = -40°C～+125°C		±50	±250	
		OPA4191 (RUM、PW)、V _S = ±3V、 V _{CM} = (V+) - 1.5V			±10	±50	
T _A = -40°C～+85°C			±90	±475			
T _A = -40°C～+125°C			±150	±740			
dV _{OS} /dT	入力オフセット電圧ドリフト	V _S = ±2.25V、V _{CM} = (V+) - 3V、 D および PW パッケージのみ	T _A = 0°C～85°C		±0.1	±0.8	μV/°C
			T _A = -40°C～+125°C		±0.15	±1.2	μV/°C
		V _S = ±2.25V、V _{CM} = (V+) - 3V、 RUM、DGK、DBV パッケージのみ	T _A = 0°C～85°C		±0.1	±0.9	μV/°C
			T _A = -40°C～+125°C		±0.15	±1.3	
		V _S = ±2.25V、V _{CM} = (V+) - 1.5V	T _A = -40°C～+125°C		±0.5		
PSRR	電源電圧変動除去比	T _A = -40°C～+125°C、V _{CM} = V _S /2 - 0.75V			±1		μV/V
入力バイアス電流							
I _B	入力バイアス電流				±5	±20	pA
		T _A = -40°C～+125°C				±9	nA
I _{OS}	入力オフセット電流				±2	±20	pA
		T _A = -40°C～+125°C				±2	nA
ノイズ							
E _n	入力電圧ノイズ	(V-) - 0.1V < V _{CM} < (V+) - 3V	f = 0.1Hz～10Hz		1.4		μV _{PP}
		(V+) - 1.5V < V _{CM} < (V+) + 0.1V	f = 0.1Hz～10Hz		7		
e _n	入力電圧ノイズ密度	(V-) - 0.1V < V _{CM} < (V+) - 3V	f = 100Hz		18		nV/√Hz
			f = 1kHz		15		
		(V+) - 1.5V < V _{CM} < (V+) + 0.1V	f = 100Hz		53		
			f = 1kHz		24		
i _n	入力電流ノイズ密度		f = 1kHz		1.5		fA/√Hz
入力電圧							
V _{CM}	同相電圧範囲			(V-) - 0.1		(V+) + 0.1	V
CMRR	同相信号除去比	V _S = ±2.25V、 (V-) - 0.1V < V _{CM} < (V+) - 3V		96	110		dB
			T _A = -40°C～+125°C	90	104		
		V _S = ±2.25V、 (V+) - 1.5V < V _{CM} < (V+)		96	120		
			T _A = -40°C～+125°C	84	100		
		(V+) - 3V < V _{CM} < (V+) - 1.5V		「代表的特性」を参照			
入力インピーダンス							
Z _{ID}	差動			100 1.6			MΩ pF
Z _{IC}	同相			1 6.4			10 ¹³ Ω pF

6.8 電気的特性 : $V_S = \pm 2.25V \sim \pm 4V$ ($V_S = 4.5V \sim 8V$) (continued)

$T_A = +25^\circ C$, $V_{CM} = V_{OUT} = V_S/2$, $R_L = 10k\Omega$ を $V_S/2$ に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
開ループ・ゲイン							
A _{OL}	開ループ電圧ゲイン	V _S = ±2.25V、 (V ₋) + 0.6V < V _O < (V ₊) - 0.6V、 R _L = 2kΩ		110	120	dB	
			T _A = -40℃～+125℃	100	114		
		V _S = ±2.25V、 (V ₋) + 0.3V < V _O < (V ₊) - 0.3V、 R _L = 10kΩ		110	126		
			T _A = -40℃～+125℃	106	120		
周波数特性							
GBW	ユニティ・ゲイン帯域幅			2.2		MHz	
SR	スルーレート	V _S = ±2.25V、G = 1、1V ステップ	立ち下がりが	6.5		V/μs	
			立ち上がりが	5.5			
t _{OR}	過負荷復帰時間	V _{IN} × G = V _S	過負荷から負レールまで	0.4		μs	
			過負荷から正レールまで	1			
	クロストーク	OPA2191 および OPA4191、DC		150		dB	
		OPA2191 および OPA4191、f = 100kHz		130		dB	
出力							
V _O	レールからの電圧出力サイン グ	正レール	無負荷	5		15	mV
			R _L = 10kΩ	15		110	
			R _L = 2kΩ	60		500	
		負レール	無負荷	5		15	
			R _L = 10kΩ	15		110	
			R _L = 2kΩ	60		500	
I _{sc}	短絡電流	V _S = ±2.25V		±30		mA	
C _L	容量性負荷ドライブ	「代表的特性」を参照					
Z _O	開ループ出力インピーダンス	f = 1MHz、I _O = 0A、「代表的特性」を参照		700		Ω	
電源							
I _Q	アンプごとの静止電流	I _O = 0A		140		200	μA
			T _A = -40℃～+125℃	250			
温度							
	過熱保護			180		℃	
	熱ヒステリシス			30		℃	

6.9 代表的特性

$T_A = 25^\circ\text{C}$, $V_S = \pm 18\text{V}$, $V_{CM} = V_S/2$, $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続、 $C_L = 100\text{pF}$ (特に記述のない限り)

表 6-1. グラフ一覧

説明	図
オフセット電圧の製品分布	図 6-1、図 6-2、図 6-3、図 6-4、図 6-5、図 6-6
オフセット電圧ドリフトの分布	図 6-7、図 6-8
オフセット電圧と温度との関係	図 6-9、図 6-10
オフセット電圧と同相電圧との関係	図 6-11、図 6-12
オフセット電圧と電源電圧との関係	図 6-13
開ループのゲインおよび位相と周波数との関係	図 6-14
閉ループのゲインおよび位相と周波数との関係	図 6-15
入力バイアス電流と同相電圧との関係	図 6-16
入力バイアス電流と温度との関係	図 6-17
出力電圧スイングと出力電流との関係 (最大供給能力)	図 6-18、図 6-19
CMRR および PSRR と周波数との関係	図 6-20
CMRR と温度との関係	図 6-21
PSRR と温度との関係	図 6-22
0.1Hz~10Hz のノイズ	図 6-23
入力電圧ノイズのスペクトル密度と周波数との関係	図 6-24
THD+N 比と周波数との関係	図 6-25
THD+N と出力振幅との関係	図 6-26
静止電流と電源電圧との関係	図 6-27
静止電流 対 温度	図 6-28
開ループのゲインと温度との関係	図 6-29、図 6-30
開ループの出力インピーダンスと周波数との関係	図 6-31
小信号オーバーシュートと容量性負荷との関係 (出力ステップ 100mV)	図 6-32、図 6-33
位相反転なし	図 6-34
過負荷からの回復	図 6-35
小信号ステップ応答 (100mV)	図 6-36、図 6-37
大信号ステップ応答	図 6-38、図 6-39
セトリング・タイム	図 6-40、図 6-41、図 6-42、図 6-43
短絡電流と温度との関係	図 6-44
最大出力電圧と周波数との関係	図 6-45
伝搬遅延の立ち上がりエッジ	図 6-46
伝搬遅延の立ち下がりエッジ	図 6-47

6.9 代表的特性 (continued)

$T_A = 25^\circ\text{C}$, $V_S = \pm 18\text{V}$, $V_{CM} = V_S/2$, $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続、 $C_L = 100\text{pF}$ (特に記述のない限り)

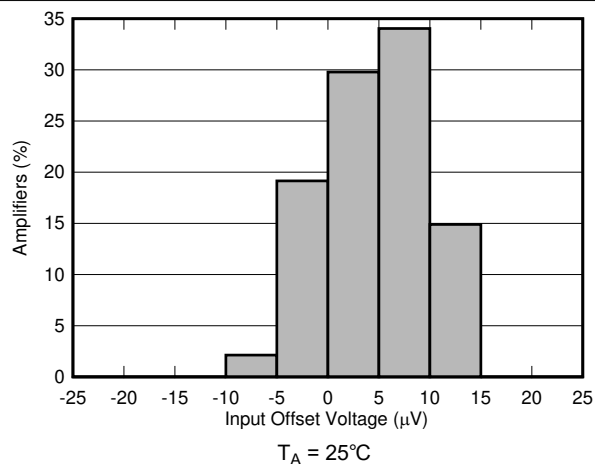


図 6-1. オフセット電圧の製品分布

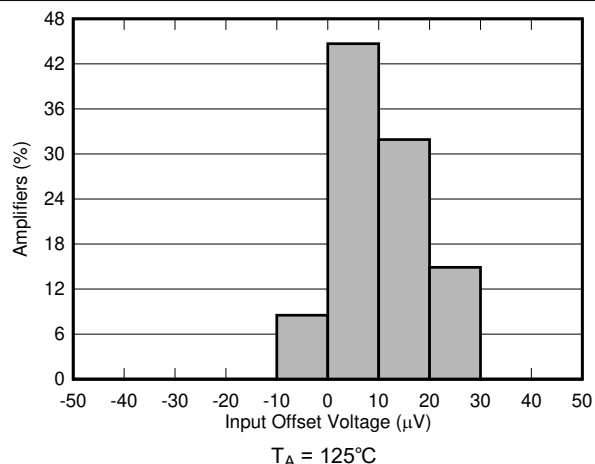


図 6-2. オフセット電圧の製品分布

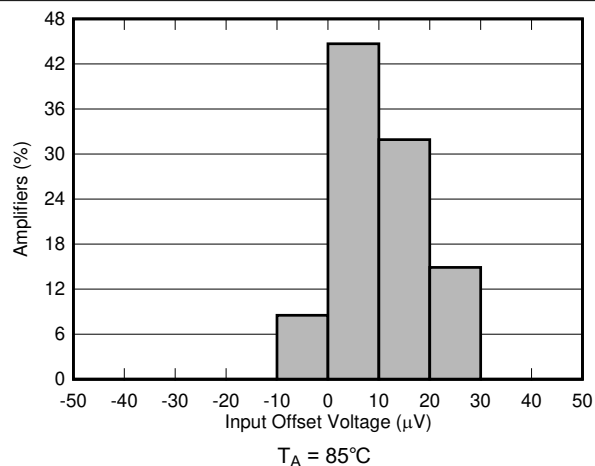


図 6-3. オフセット電圧の製品分布

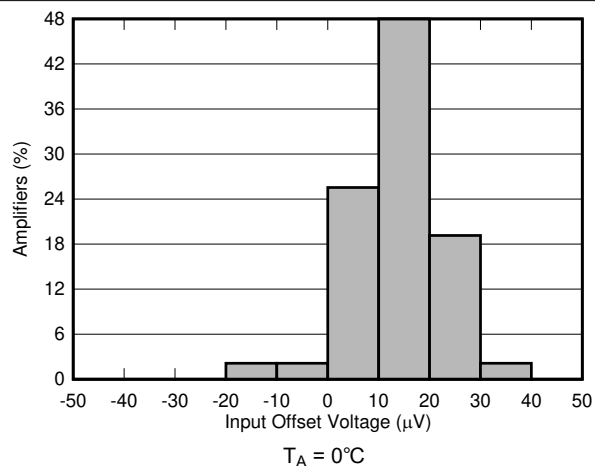


図 6-4. オフセット電圧の製品分布

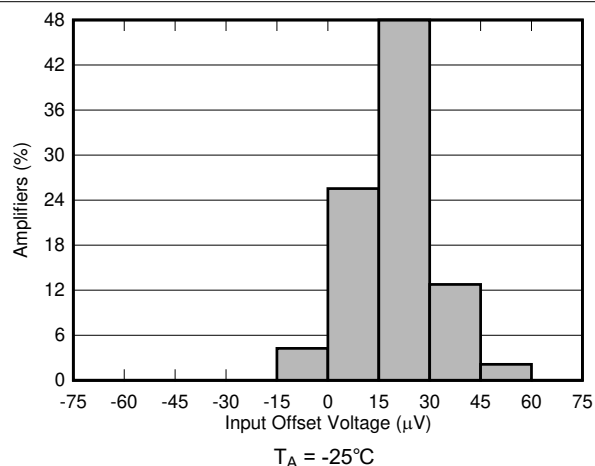


図 6-5. オフセット電圧の製品分布

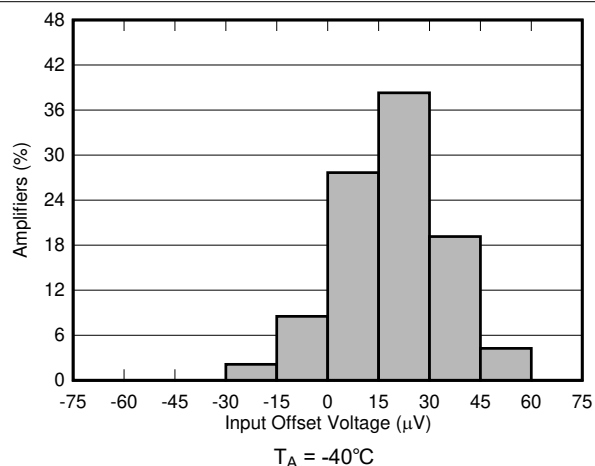
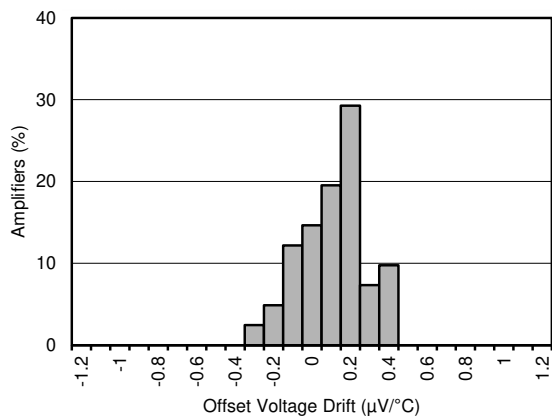


図 6-6. オフセット電圧の製品分布

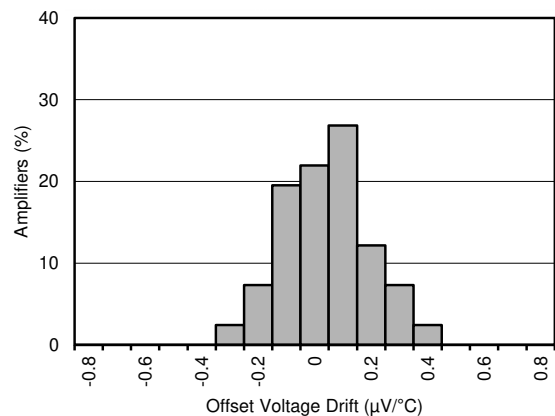
6.9 代表的特性 (continued)

$T_A = 25^\circ\text{C}$, $V_S = \pm 18\text{V}$, $V_{CM} = V_S/2$, $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続、 $C_L = 100\text{pF}$ (特に記述のない限り)



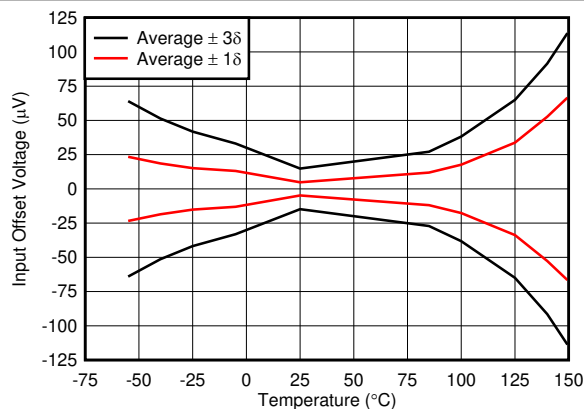
$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$, SOIC パッケージ

図 6-7. オフセット電圧ドリフトの分布



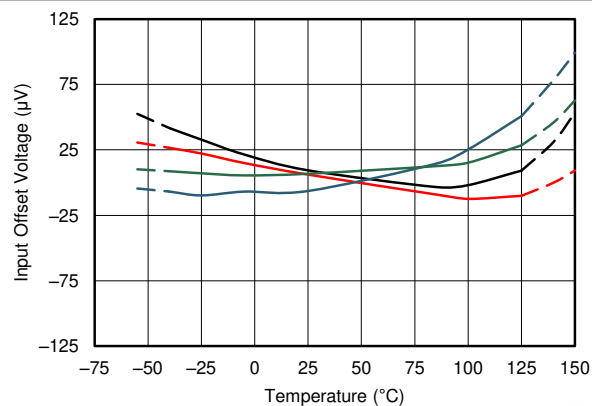
$T_A = 0^\circ\text{C} \sim 85^\circ\text{C}$, SOIC パッケージ

図 6-8. オフセット電圧ドリフトの分布



統計的分布

図 6-9. オフセット電圧と温度との関係



4 個の代表的なユニット

図 6-10. オフセット電圧と温度との関係

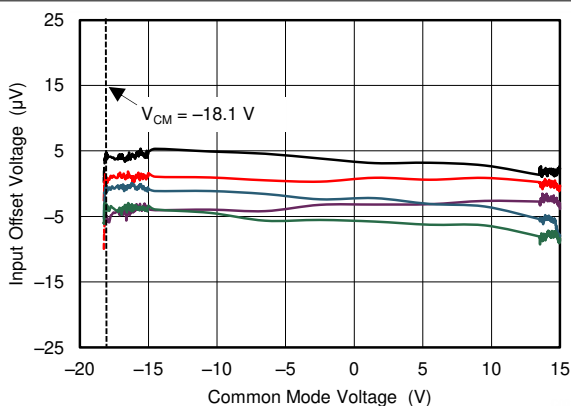


図 6-11. オフセット電圧と同相電圧との関係

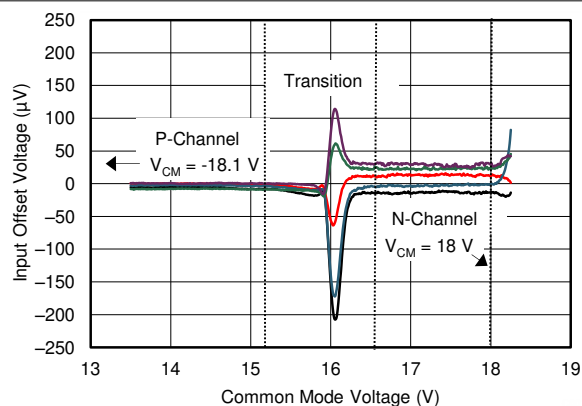
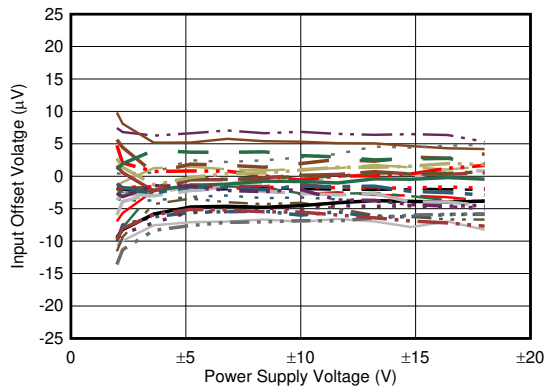


図 6-12. オフセット電圧と同相電圧との関係 (遷移領域)

6.9 代表的特性 (continued)

$T_A = 25^\circ\text{C}$, $V_S = \pm 18\text{V}$, $V_{CM} = V_S/2$, $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続、 $C_L = 100\text{pF}$ (特に記述のない限り)



30 個の代表的なユニット

図 6-13. オフセット電圧と電源電圧との関係

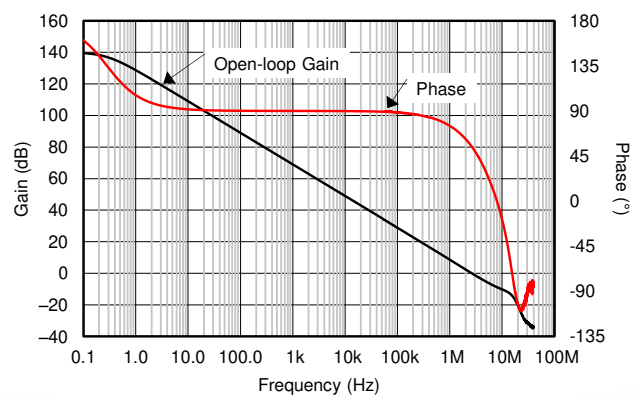


図 6-14. 開ループのゲインおよび位相と
周波数との関係

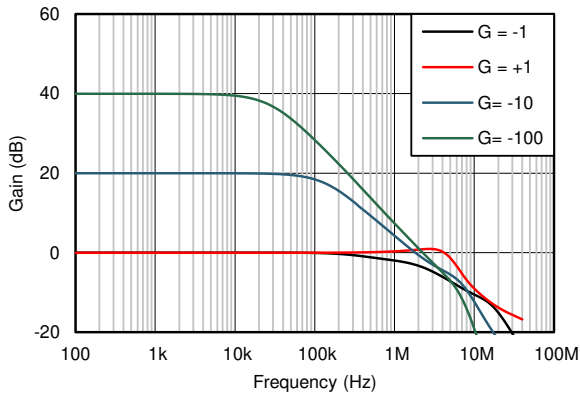


図 6-15. 閉ループのゲインと周波数との関係

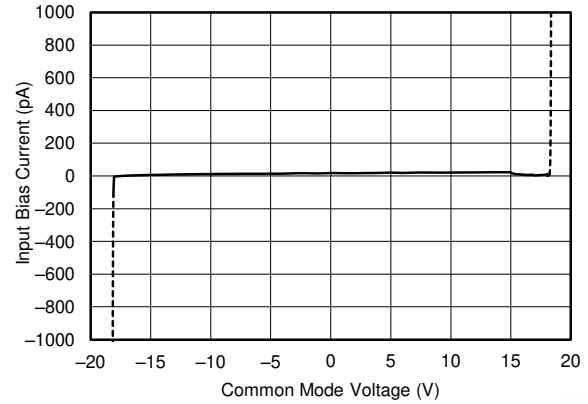


図 6-16. 入力バイアス電流と
同相電圧との関係

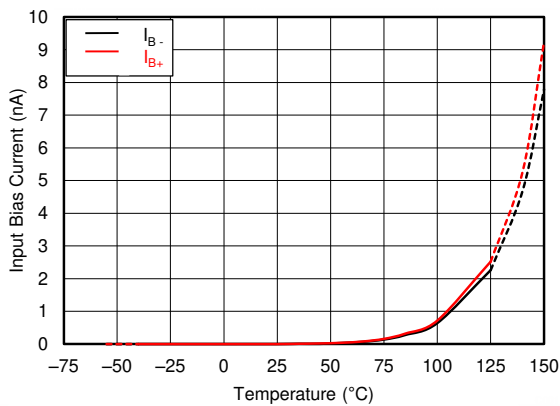


図 6-17. 入力バイアス電流と温度との関係

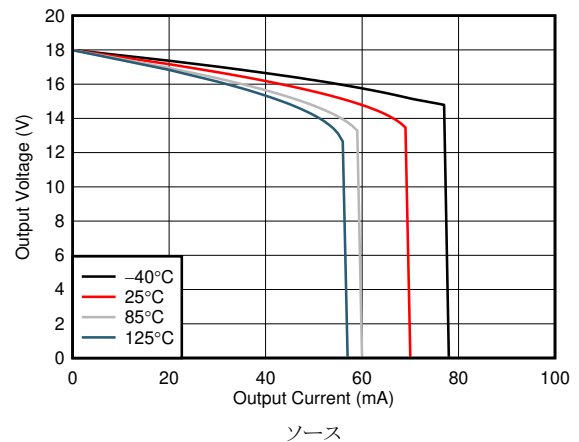


図 6-18. 出力電圧スイングと
出力電流との関係

6.9 代表的特性 (continued)

$T_A = 25^\circ\text{C}$, $V_S = \pm 18\text{V}$, $V_{CM} = V_S/2$, $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続、 $C_L = 100\text{pF}$ (特に記述のない限り)

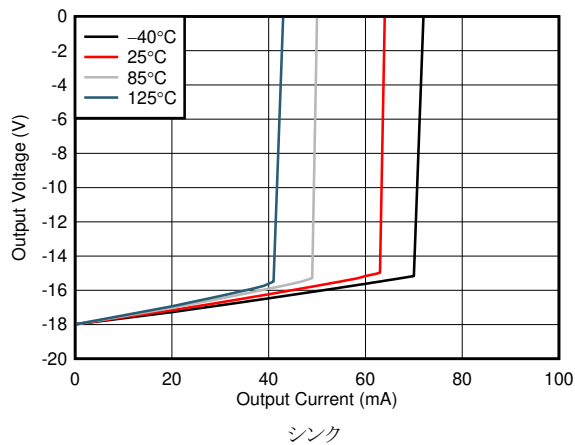


図 6-19. 出力電圧スイングと出力電流との関係

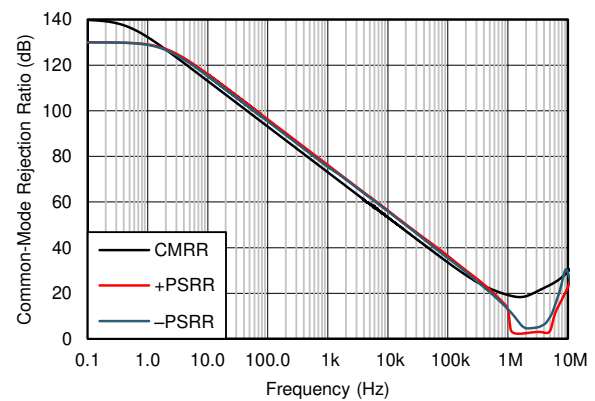


図 6-20. CMRR および PSRR と周波数との関係

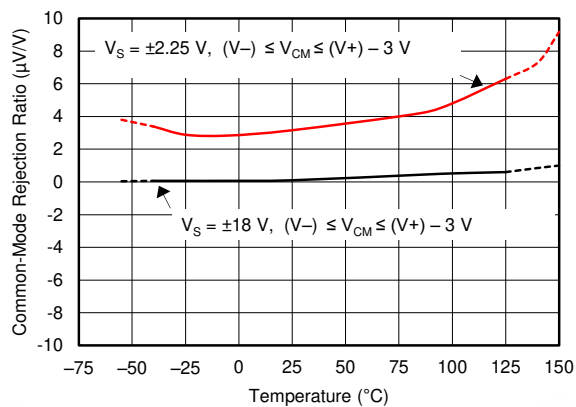


図 6-21. CMRR と温度との関係

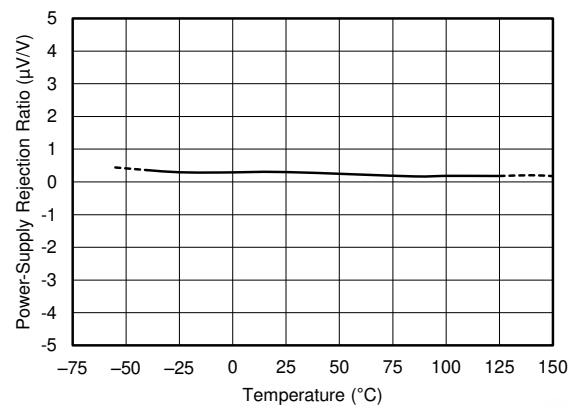


図 6-22. PSRR と温度との関係

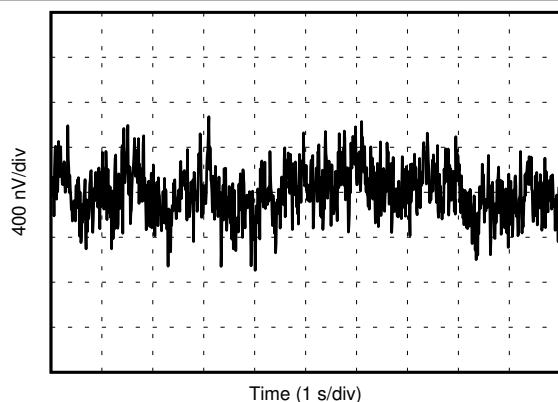


図 6-23. 0.1Hz~10Hz のノイズ

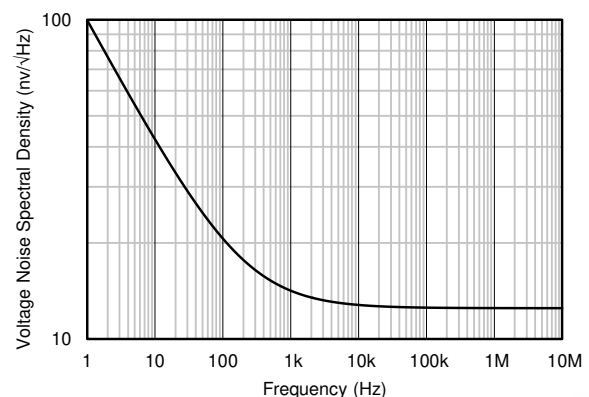


図 6-24. 入力電圧ノイズのスペクトル密度と周波数との関係

6.9 代表的特性 (continued)

$T_A = 25^\circ\text{C}$, $V_S = \pm 18\text{V}$, $V_{CM} = V_S/2$, $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続、 $C_L = 100\text{pF}$ (特に記述のない限り)

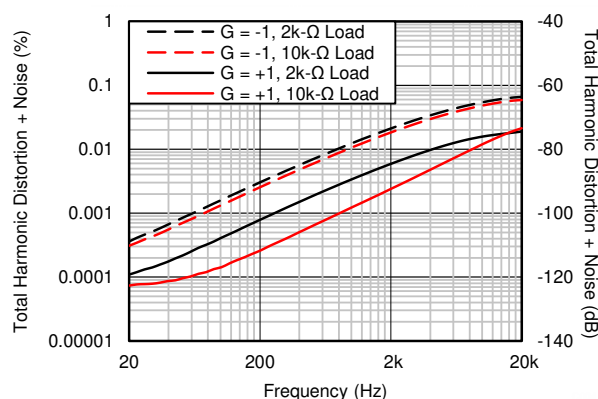


図 6-25. THD+N と周波数との関係

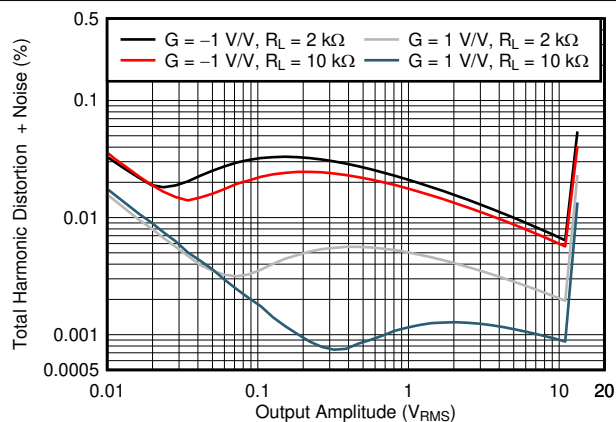


図 6-26. THD+N と出力振幅との関係

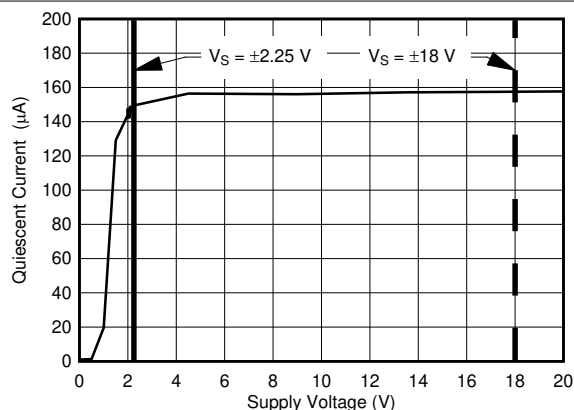


図 6-27. 静止電流と電源電圧との関係

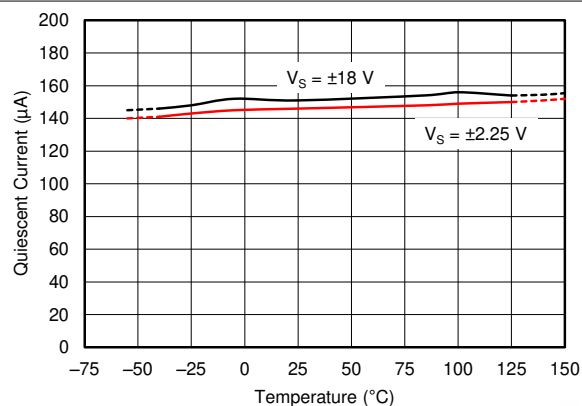


図 6-28. 静止電流と温度との関係

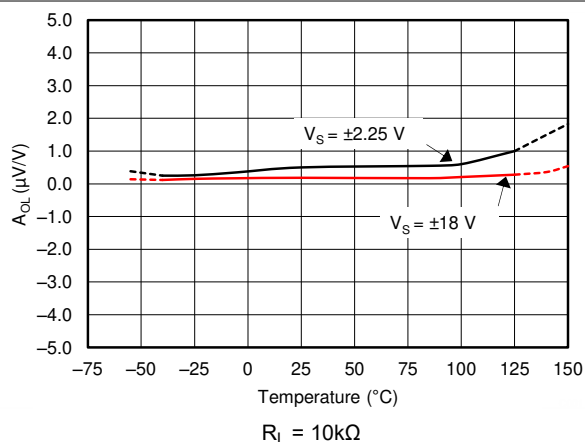


図 6-29. 開ループのゲインと温度との関係

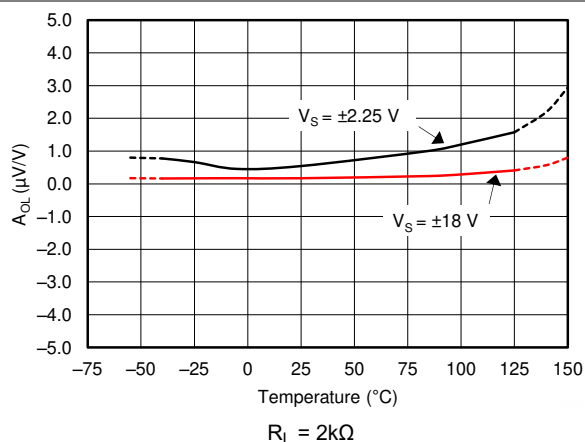


図 6-30. 開ループのゲインと温度との関係

6.9 代表的特性 (continued)

$T_A = 25^\circ\text{C}$, $V_S = \pm 18\text{V}$, $V_{CM} = V_S/2$, $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続、 $C_L = 100\text{pF}$ (特に記述のない限り)

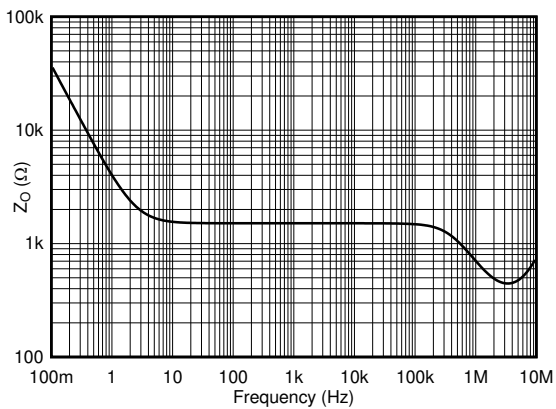
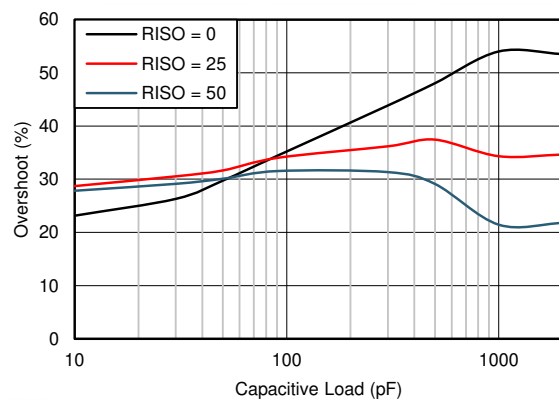
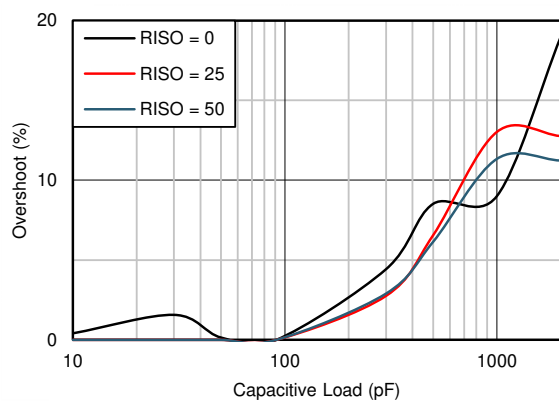


図 6-31. 開ループの出力インピーダンスと周波数との関係



$G = 1$, 100mV の出力ステップ

図 6-32. 小信号オーバーシュートと容量性負荷との関係 (出力ステップ 100mV)



$G = -1$, 100mV の出力ステップ

図 6-33. 小信号オーバーシュートと容量性負荷との関係

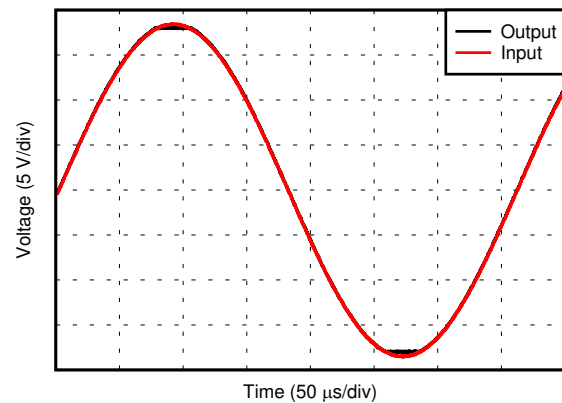
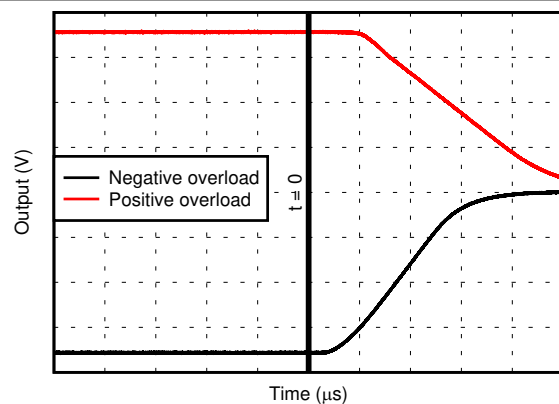
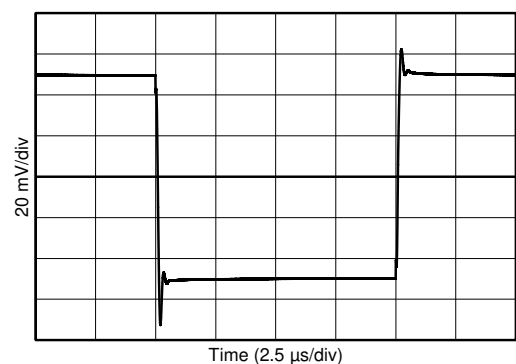


図 6-34. 位相反転なし



$V_S = \pm 18\text{V}$, $G = -10\text{V/V}$

図 6-35. 過負荷からの回復

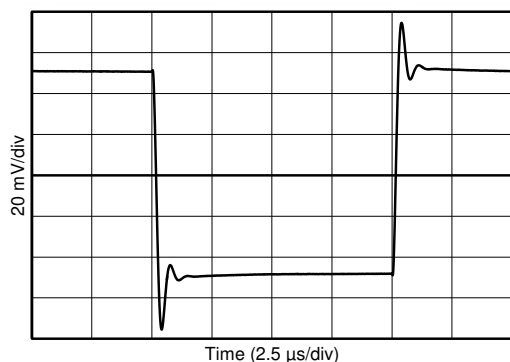


$G = 1$, $C_L = 10\text{pF}$

図 6-36. 小信号ステップ応答

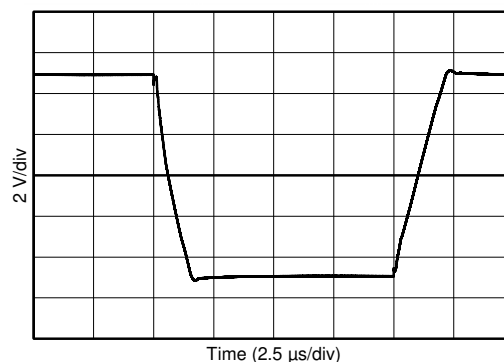
6.9 代表的特性 (continued)

$T_A = 25^\circ\text{C}$, $V_S = \pm 18\text{V}$, $V_{CM} = V_S/2$, $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続、 $C_L = 100\text{pF}$ (特に記述のない限り)



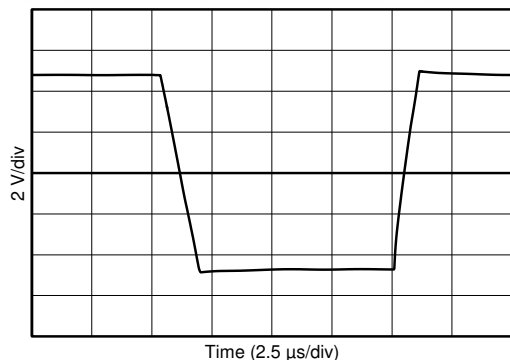
$G = -1$, $R_L = 1\text{k}\Omega$, $C_L = 10\text{pF}$

図 6-37. 小信号ステップ応答



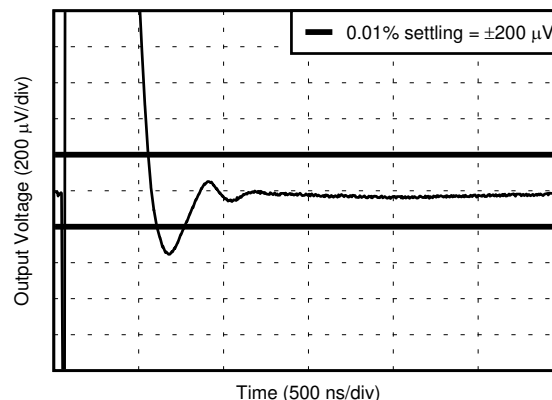
$G = 1$, $C_L = 10\text{pF}$

図 6-38. 大信号ステップ応答



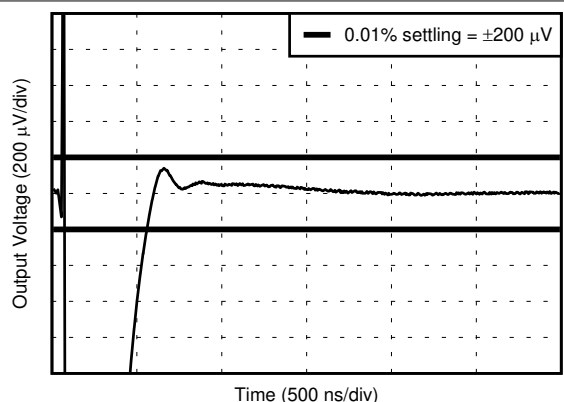
$G = -1$, $R_L = 1\text{k}\Omega$, $C_L = 10\text{pF}$

図 6-39. 大信号ステップ応答



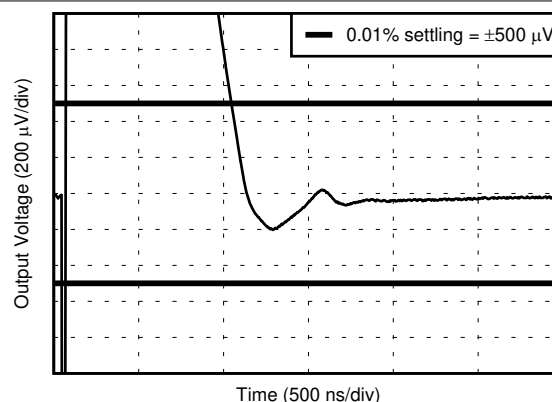
ゲイン = 1、2V ステップ、立ち上がり、 $t = 0\mu\text{s}$ でステップを印加

図 6-40. 0.01% までのセトリング・タイム



ゲイン = 1、2V ステップ、立ち下がり、 $t = 0\mu\text{s}$ でステップを印加

図 6-41. 0.01% までのセトリング・タイム

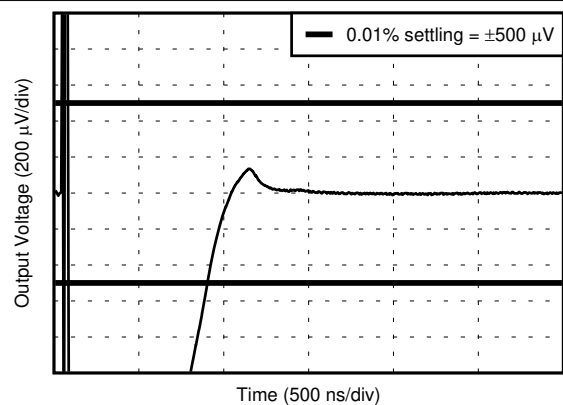


ゲイン = 1、5V ステップ、立ち上がり、 $t = 0\mu\text{s}$ でステップを印加

図 6-42. 0.01% までのセトリング・タイム

6.9 代表的特性 (continued)

$T_A = 25^\circ\text{C}$, $V_S = \pm 18\text{V}$, $V_{CM} = V_S/2$, $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続、 $C_L = 100\text{pF}$ (特に記述のない限り)



ゲイン = 1、5V ステップ、立ち下がり、 $t = 0\mu\text{s}$ でステップを印加

図 6-43. 0.01% までのセリング・タイム

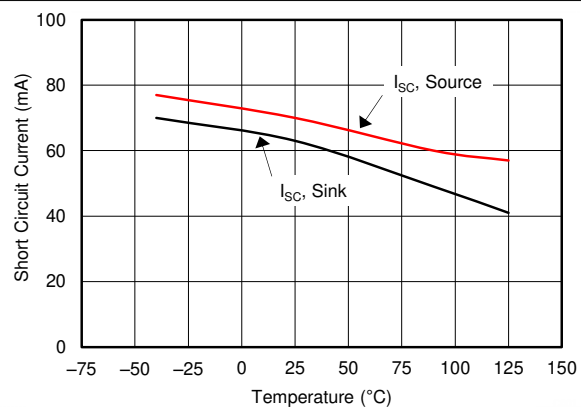


図 6-44. 短絡電流と温度との関係

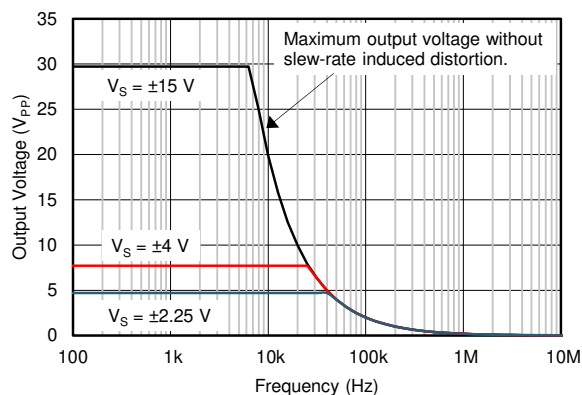


図 6-45. 最大出力電圧と周波数との関係

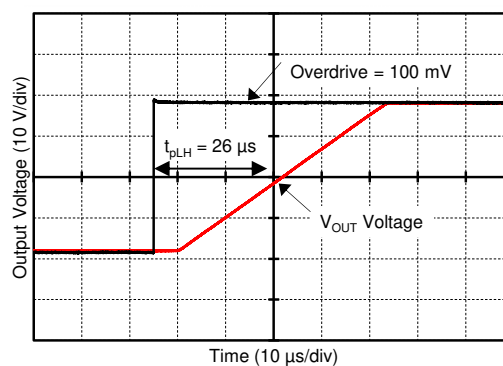


図 6-46. 伝搬遅延の立ち上がりエッジ

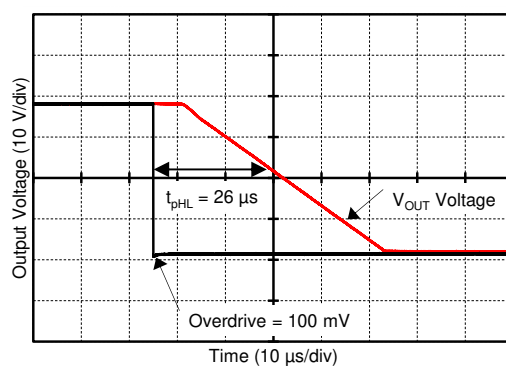


図 6-47. 伝搬遅延の立ち下がりエッジ

7 パラメータ測定情報

7.1 入力オフセット電圧ドリフト

OPAx191 オペアンプ・ファミリは、テキサス・インスツルメンツの **e-trim** オペアンプ・テクノロジーを使用して製造されています。この **e-trim** オペアンプ・テクノロジーは、ウェハー・プローブまたは最終テスト時に内部デバイス・パラメータを調整するテキサス・インスツルメンツ独自の手法です。各アンプの入力オフセット電圧と入力オフセット電圧ドリフトは製造時に調整されるため、入力オフセット電圧と入力オフセット電圧ドリフトに関連する誤差を最小限に抑えることができます。入力オフセット電圧ドリフトを調整すると、各デバイスの系統的 (線形的) ドリフト誤差がゼロに調整されます。図 7-1 に、この概念を示します。

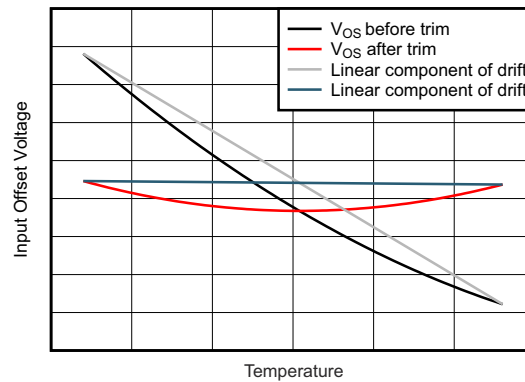


図 7-1. ドリフト調整の前後の入力オフセット

入力オフセット電圧ドリフトを特定する一般的な方法は、ボックス法です。ボックス法では、オフセット電圧と温度との関係の曲線を含むように箱で囲み、この箱の角を使ってドリフトを求めることで最大入力オフセット・ドリフトを推定します。この箱の対角線の勾配が、入力オフセット電圧ドリフトに相当します。図 7-2 に、ボックス法の概念を示します。入力オフセット・ドリフトがドリフトの線形成分によって支配される場合、ボックス法は特に有効です。ただし、OPA191 ファミリはテキサス・インスツルメンツの **e-trim** オペアンプ・テクノロジーを使用して線形成分の入力オフセット電圧ドリフトを除去しているため、誤差解析を的確に行う上では、ボックス法は特に有用な方法という訳ではありません。図 7-2 に、説明のためにボックス法を重ね合わせた 30 個の代表的な OPAx191 を示します。箱の境界は、仕様温度範囲 (x 軸方向) と、その同じ温度範囲での最大入力オフセット電圧の仕様 (y 軸方向) によって決定します。ボックス法を使用すると、 $0.9\mu\text{V}/^\circ\text{C}$ の入力オフセット電圧ドリフトが予測されます。図 7-2 に示すように、実際の入力オフセット電圧と温度との関係の曲線の勾配は、ボックス法で予測される値よりもはるかに小さい値です。ボックス法は、最大入力オフセット電圧ドリフトに対して悲観的な値を予測するため、誤差解析を行う場合には推奨されません。

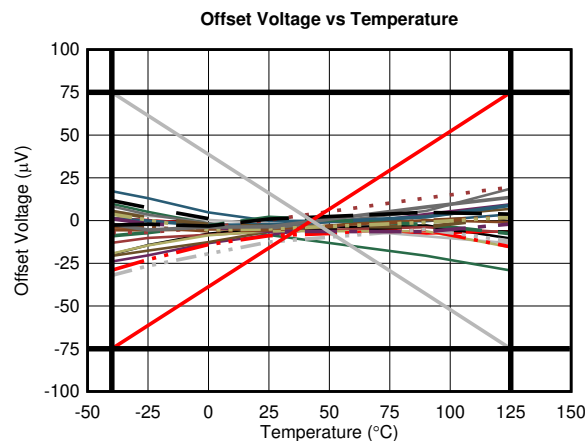


図 7-2. ボックス法

ボックス法の代わりに、入力オフセット・ドリフトを説明するための便利な方法は、入力オフセット電圧と温度曲線との関係の曲線の勾配を計算することです。これは、入力オフセット電圧と温度との関係の曲線に沿った各点の入力オフセット・ドリフトを計算することと同じです。図 7-3 に、OPAx191 ファミリの結果を示します。

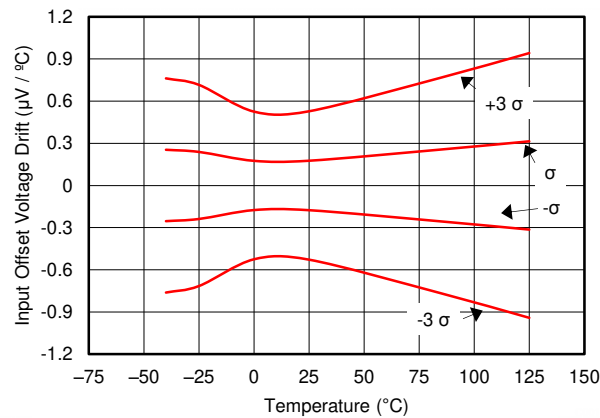


図 7-3. 入力オフセット電圧ドリフトと温度との関係 (SOIC パッケージ)

図 7-3 に示すように、入力オフセットのドリフトは通常、 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ の範囲にわたって $\pm 0.3 \mu\text{V}/^{\circ}\text{C}$ 未満です。仕様温度範囲全体にわたって誤差解析を行う場合、「電気的特性」の表に記載された入力オフセット電圧ドリフトの標準値と最大値を使います。温度範囲を狭めることができる場合、図 7-3 に示す情報を使って誤差解析を行います。入力オフセット電圧の変化を求めるには、次の式 1 を使います。

$$\Delta V_{OS} = \Delta T \times dV_{OS}/dT \quad (1)$$

ここで

- ΔV_{OS} = 入力オフセット電圧の変化
- ΔT = 温度の変化
- dV_{OS}/dT = 入力オフセット電圧ドリフト

たとえば、ユニットの 1σ (68%) について、 $25^{\circ}\text{C} \sim 75^{\circ}\text{C}$ の温度範囲にわたる OPA191ID の入力オフセット電圧の変化量を求めます。図 7-3 に示すように、入力オフセット・ドリフトは $0.25 \mu\text{V}/^{\circ}\text{C}$ (標準値) です。この入力オフセット・ドリフトから、入力オフセット電圧の変化の標準値として $(75^{\circ}\text{C} - 25^{\circ}\text{C}) \times 0.25 \mu\text{V}/^{\circ}\text{C} = 12.5 \mu\text{V}$ が得られます。

ユニットの 3σ (99.7%) については、図 7-3 は、入力オフセット・ドリフトが約 $0.75 \mu\text{V}/^{\circ}\text{C}$ (標準値) であることを示しています。この入力オフセット・ドリフトから、入力オフセット電圧の変化の標準値として $(75^{\circ}\text{C} - 25^{\circ}\text{C}) \times 0.75 \mu\text{V}/^{\circ}\text{C} = 37.5 \mu\text{V}$ が得られます。

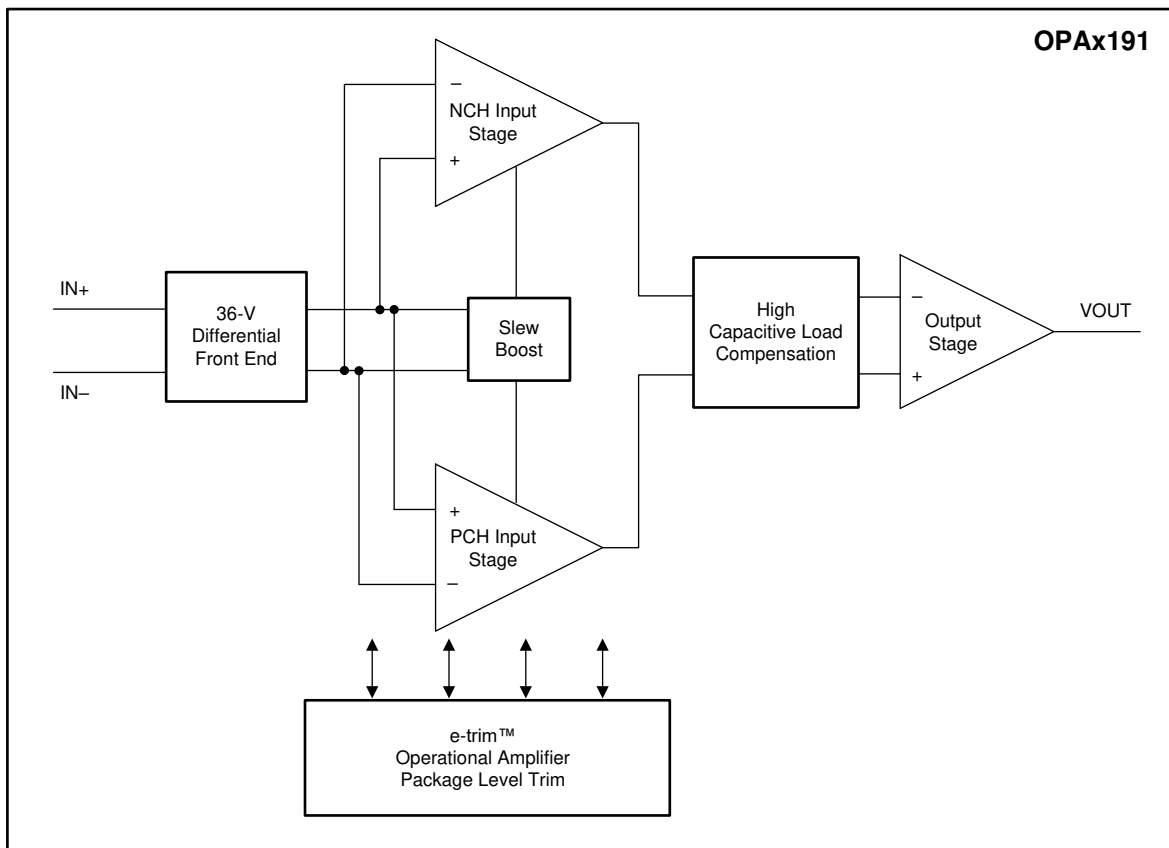
8 詳細説明

8.1 概要

OPAx191 e-trim オペアンプ・ファミリは、オフセットとオフセット温度ドリフトをプラスチック・モールド・プロセスの後の製造の最終段階にパッケージ・レベルで調整する手法を採用しています。この方法により、固有の入カトランジスタ不一致の影響と、パッケージ造形時に発生する誤差が最小化されます。調整のための通信は標準ピン配置の出力ピンで行われ、調整点が設定された後、調整機構への追加の通信は永続的に無効化されます。[セクション 8.2](#) に、OPAx191 の概略図を示します。

仕様温度範囲全体にわたって非常に小さいオフセット電圧と小さい電圧オフセット・ドリフトを達成するため、従来型 e-trim オペアンプとは異なり、OPAx191 は特許取得済みの 2 温度調整アーキテクチャを採用しています。広い電源電圧で高い精度を達成しているため、これらのアンプは高インピーダンスの産業用センサ、フィルタ、高電圧データ収集に便利です。

8.2 機能ブロック図



8.3 機能説明

8.3.1 入力保護回路

OPAx191 は、入力保護ダイオードが不要な独自の入力アーキテクチャを採用していますが、過渡条件下でも確実に入力を保護します。図 8-1 に示す従来型入力ダイオード保護方式は、高速な過渡ステップ応答によって活性化される可能性があり、AC 経路のせいで信号歪みとセトリング時間遅延を引き起こす可能性があります (図 8-2 を参照)。低ゲイン回路の場合、これらの高速ランプ入力信号は、入力電流を増やすバック・ツー・バック・ダイオードを順バイアスし、セトリング時間が伸びます。

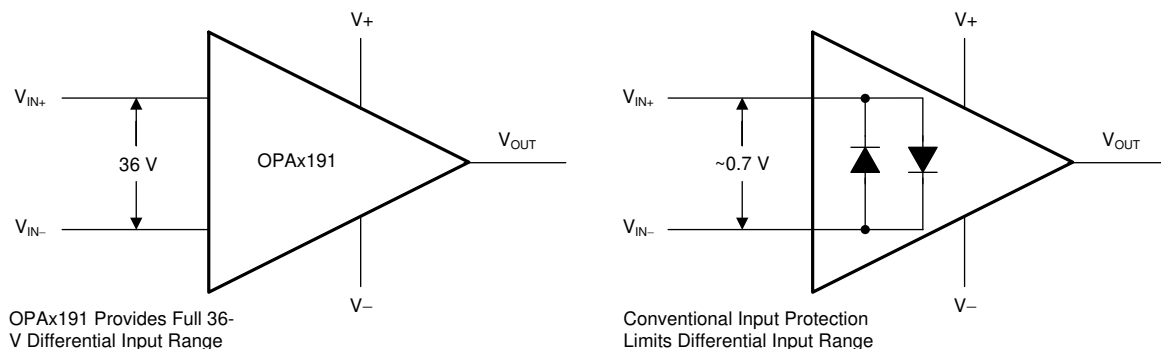


図 8-1. 差動入力範囲を制限しない OPA191 の入力保護

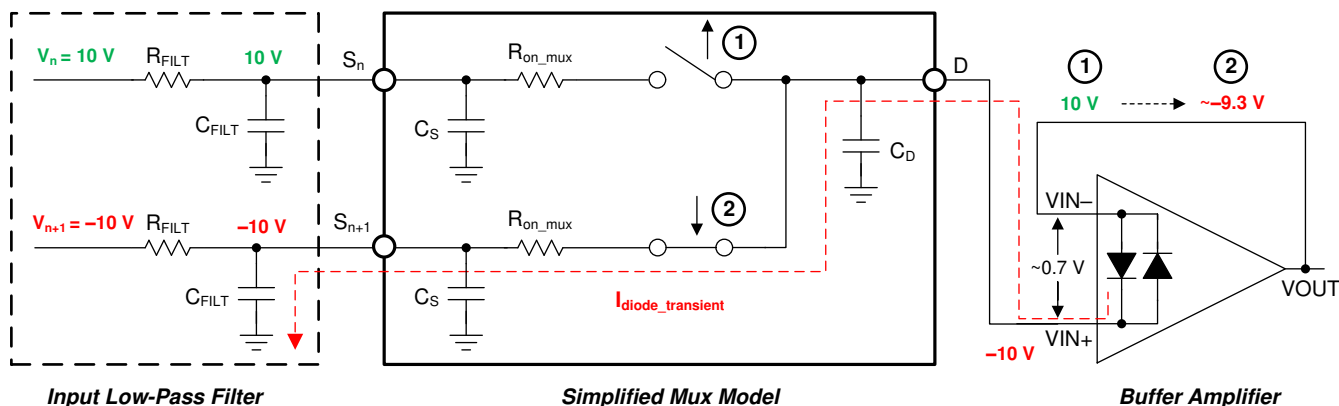


図 8-2. バック・ツー・バック・ダイオードに起因するセトリング時間遅延

OPAx191 オペアンプ・ファミリは、高電圧アプリケーション向けに真の高インピーダンス差動入力を備えています。この特許取得済みの入力保護アーキテクチャは、信号歪みの増加もセトリング時間の遅延も引き起こさないため、本デバイスはマルチチャネル高速スイッチ入力アプリケーションに最適なオペアンプです。OPAx191 は最大 36V の差動スイング (オペアンプの反転ピンと非反転ピンの間の電圧) に耐えることができるため、コンパレータとして、または高速ランプ入力信号を使うアプリケーション (例: 多重化データ収集システム、図 9-4 を参照) 用として最適です。

8.3.2 EMI 除去

OPAx191 は、統合型の電磁干渉 (EMI) フィルタリングを使用して、ワイヤレス通信や、アナログ信号チェーンとデジタル・コンポーネントを組み合わせた高密度実装のボードなどから発生する EMI の影響を低減します。EMI 耐性は、回路設計手法により改善可能です。OPAx191 は、このような設計の改善を活用しています。テキサス・インスツルメンツは、10MHz から 6GHz までの幅広い周波数スペクトルにわたって、オペアンプの耐性を正確に測定および数量化する機能を開発しました。OPAx191 でこのテストを行った結果を、図 8-3 に示します。実際のアプリケーションで一般的に発生する特定の周波数における OPAx191 の EMIRR IN+ 値を、表 8-1 に示します。表 8-1 に示すアプリケーションは、表に示す特定の周波数を中心として、またはその周波数の付近で運用されます。詳細については、『オペアンプの EMI 除去率』アプリケーション・レポートを参照してください。このアプリケーション・レポートは www.ti.com からダウンロードできます。

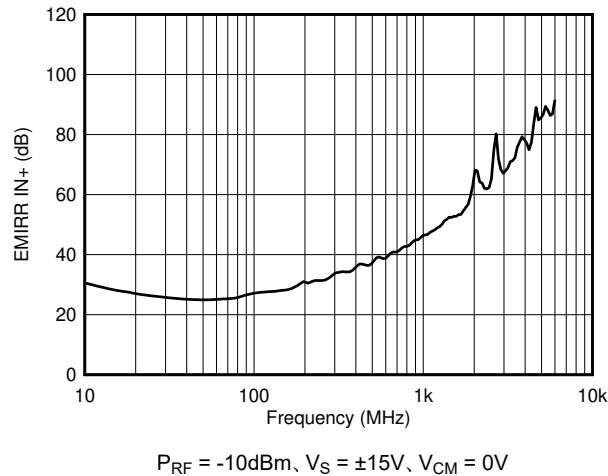


図 8-3. EMIRR テスト

表 8-1. 対象周波数における OPA191 の EMIRR IN+

周波数	アプリケーションまたは割り当て	EMIRR IN+
400MHz	モバイル無線、モバイル衛星、宇宙での運用、気象、レーダー、極超短波 (UHF) アプリケーション	36dB
900MHz	GSM (モバイル通信) アプリケーション向けのグローバル・システム、無線通信、ナビゲーション、GPS (最高 1.6GHz まで)、GSM、航空モバイル、UHF アプリケーション	45dB
1.8GHz	GSM アプリケーション、モバイル・パーソナル通信、ブロードバンド、衛星、L バンド (1GHz~2GHz)	57dB
2.4GHz	802.11b、802.11g、802.11n、Bluetooth®、モバイル・パーソナル通信、産業用、科学用および医療用 (ISM) 無線帯域、アマチュア無線および衛星、S バンド (2GHz~4GHz)	62dB
3.6GHz	無線測位、航空通信およびナビゲーション、衛星、モバイル、S バンド	76dB
5.0GHz	802.11a、802.11n、航空通信とナビゲーション、モバイル通信、宇宙と衛星の運用、C バンド (4GHz~8GHz)	86dB

8.3.3 位相反転の防止

OPAx191 ファミリーには、位相反転の保護機能が搭載されています。多くのオペアンプでは、入力が一極性同相範囲を超えて駆動されると、位相反転が発生します。この条件が最も多く発生するのは非反転回路で、入力が指定された同相電圧範囲を超えて駆動されると、出力は逆のレールに反転します。OPAx191 はレール・ツー・レール入力のオペアンプなので、同相範囲はレールまで拡張できます。入力信号がレールを超えても位相反転は起きません。代わりに、出力は適切なレールに制限されます。この特性を、図 8-4 に示します。

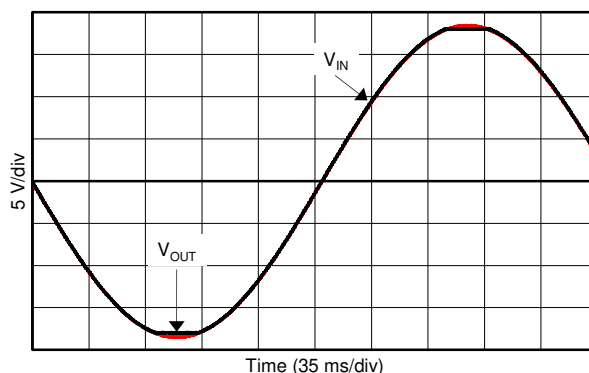


図 8-4. 位相反転なし

8.3.4 過熱保護動作

あらゆるアンプは、内部消費電力によって内部 (接合部) の温度が上昇します。この現象を「自己発熱」と呼びます。OPAx191 は、自己発熱による損傷を防止する過熱保護機能を備えています。

この過熱保護機能は、出力段の温度を監視し、温度が約 180°C を超えるとオペアンプの出力駆動を止めることで機能します。過熱保護機能は出力を強制的に高インピーダンス状態に設定します。また、OPAx191 は約 30°C の熱ヒステリシスを持つようにも設計されています。熱ヒステリシスは、出力段が高インピーダンス状態への出入りを繰り返すことを防止します。出力段の温度が約 150°C を下回ると、OPAx191 は通常動作に戻ります。

OPAx191 の接合部温度の絶対最大定格は 150°C です。セクション 6.1 に示す制限値を超えると、デバイスが損傷する可能性があります。ユニット間のばらつきを考慮して過熱保護機能は 180°C でトリガされますが、絶対最大定格までデバイス動作を妨げません。この過熱保護機能の目的は、このデバイスが絶対最大定格を超えないようにすることではなく、このデバイスに過剰な熱的過負荷が掛からないようにすることです。

8.3.5 容量性負荷および安定度

OPAx191 は、大きな容量性負荷を駆動できる特許取得済みの出力段を備えており、ユニティ・ゲイン構成では最大 1nF の純容量性負荷を直接駆動します。ゲインを大きくするとアンプの能力が拡張され、より大きな抵抗性負荷を駆動できるようになります (図 8-5 を参照)。アンプが動作時に安定するかどうか判断するには、オペアンプの回路構成、レイアウト、ゲイン、出力負荷など、いくつかの要因を考慮します。

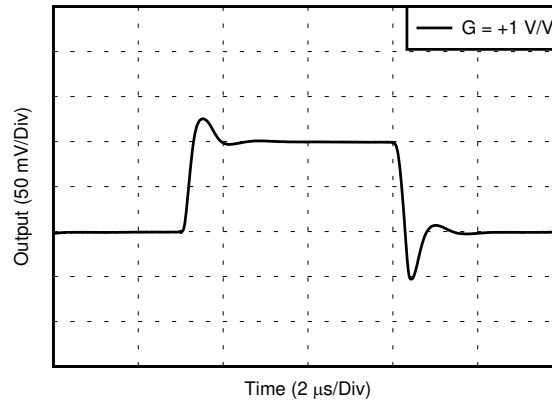


図 8-5. 1nF の純容量性負荷による過渡応答

多くの低消費電力アンプと同様に、100pF 未満の容量性負荷でもリングングが発生することがあります。DC 負荷が存在しない、または非常に軽いユニティ・ゲイン構成では、軽負荷アプリケーションでのリングングの可能性を減らすため、RC スナバ回路を OPAx191 の出力に配置します。図 8-6 に、RC スナバの推奨回路を示します。

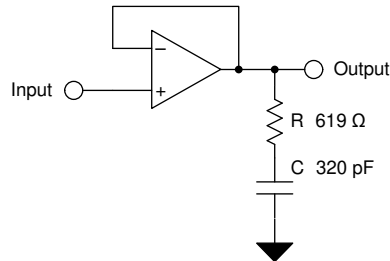


図 8-6. ユニティ・ゲイン構成での軽負荷アプリケーション向け RC スナバ回路

ユニティ・ゲイン構成で駆動能力を高めるため、[図 8-7](#) に示すように、 $10\Omega \sim 20\Omega$ の小さな抵抗 (R_{ISO}) を出力と直列に挿入し、容量性負荷の駆動能力を増やします。この抵抗は、純容量性負荷での DC 性能を維持すると同時に、リングングを大幅に低減します。ただし、容量性負荷と並列に抵抗性負荷が接続されている場合、分圧回路が形成されるため、出力にゲイン誤差が生じ、出力スイングがわずかに減少します。発生する誤差は R_{ISO}/R_L の比に比例し、一般に低い出力レベルでは無視できます。OPA191 は容量性負荷の駆動能力が大きいため、リファレンス・バッファ、MOSFET ゲート・ドライブ、ケーブル・シールド・ドライブなどのアプリケーションに最適です。[図 8-7](#) に示す回路では、 R_{ISO} を使ってオペアンプ出力を安定化しています。 R_{ISO} は、システムの開ループ・ゲインを変化させ位相マージンを増やします。[表 8-2](#) に、OPA191 を使った結果のまとめを示します。この回路を使った最適化および設計手法の詳細については、TI Precision Design [TIPD128](#)、[分離用抵抗を使った容量性負荷駆動ソリューション](#) で設計目標、シミュレーション、テスト結果のすべてを詳述しています。

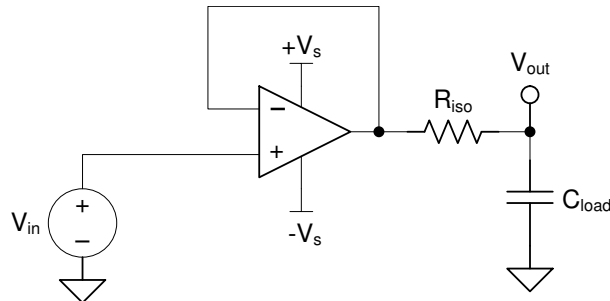


図 8-7. OPA191 により容量性負荷の駆動能力を拡張

表 8-2. 分離用抵抗を使った OPA191 容量性負荷駆動ソリューションの、計算結果と実際の測定結果との比較

パラメータ	値								
容量性負荷	100pF	1000pF		0.01μF		0.1μF		1μF	
位相マージン	45°	45°	60°	45°	60°	45°	60°	45°	60°
R _{ISO} (Ω)	280	113	432	68	210	17.8	53.6	3.6	10
測定されたオーバーシュート (%)	23	23	8	23	8	23	8	23	8

8.3.6 同相電圧範囲

OPAx191 は 36V の真の レール・ツー・レール入力オペアンプで、入力同相範囲がどちらの電源レールよりも 100mV 拡張されています。図 8-8 に示すように、相補型 N チャンネルと P チャンネルの差動入力ペアを並列接続することで、この広い範囲を実現しています。N チャンネル・ペアは、正のレールに近い入力電圧、通常は $(V+) - 3V$ から、正電源を 100mV 上回る電圧でアクティブになります。P チャンネル・ペアは、負の電源電圧より 100mV 下から、ほぼ $(V+) - 1.5V$ までの入力でアクティブになります。小さな遷移領域、通常は $(V+) - 3V$ から $(V+) - 1.5V$ において、両方の入力ペアがアクティブになります。この遷移領域は、プロセス変動に応じてやや変化します。この領域内での PSRR、CMRR、オフセット電圧、オフセット・ドリフト、ノイズ、THD 性能は、この領域外で動作させる場合と比べると低下します。

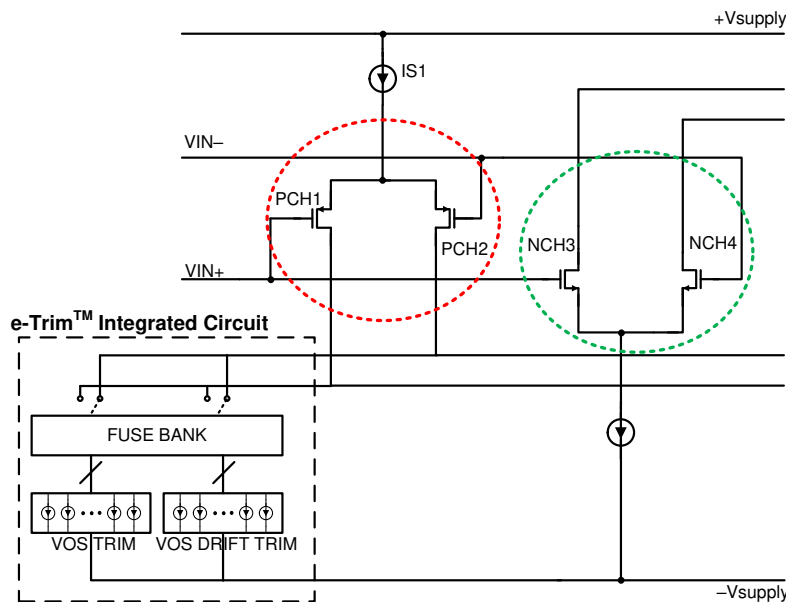


図 8-8. レール・ツー・レール入力段

2 段レール・ツー・レール入力アンプで最高の性能を達成するには、可能な場合、遷移領域を避けます。OPAx191 では、N チャンネルと P チャンネルの両方の領域で高精度の調整を行っています。この技術により、前世代のデバイスよりもオフセット・レベルを大幅に低減できていますが、入力段の遷移領域での変化が、同相範囲全体のオフセットと比べて誇張されて表れます (図 8-9 を参照)。

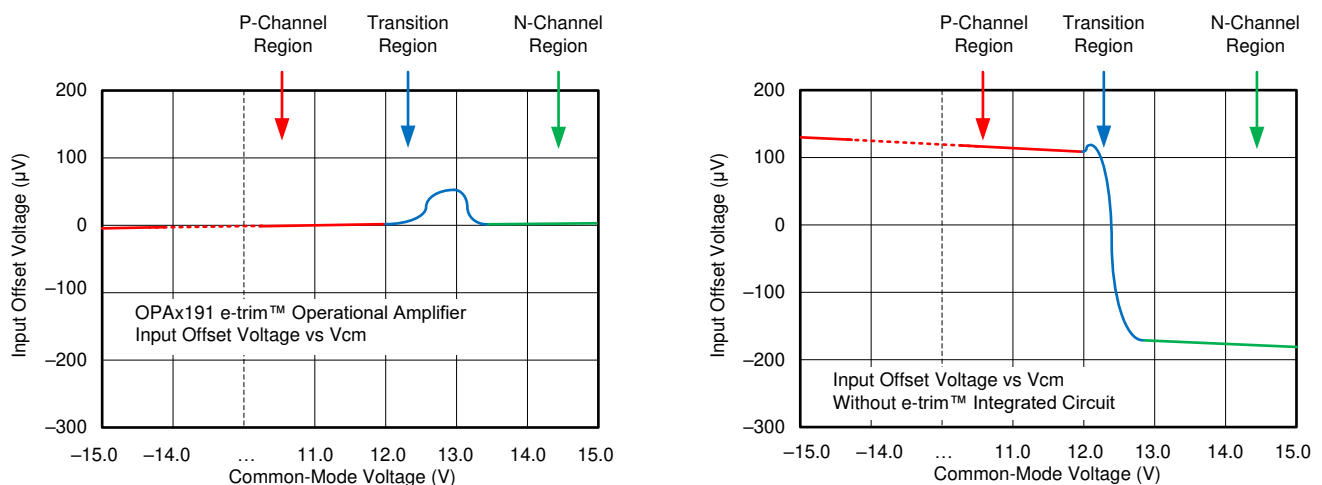


図 8-9. 同相モード遷移 (一般的なレール・ツー・レール・アンプとの比較)

8.3.7 電氣的オーバーストレス

設計者は多くの場合、オペアンプが電氣的オーバーストレス (EOS) にどの程度耐えられるのかという質問をします。これらの質問は、主にデバイスの入力に関するものですが、電源電圧ピンや、さらに出力ピンにも関係する場合があります。これらの各ピンの機能には、特定の半導体製造プロセスの電圧ブレイクダウン特性と、ピンに接続された特定の回路とで決まる電氣的ストレスの制限値があります。また、これらの回路には内部静電気放電 (ESD) 保護機能が組み込まれており、製品の組み立て前と組み立て中の両方で、偶発的な ESD イベントから保護します。

この基本的な ESD 回路と、電氣的オーバーストレス・イベントとの関連性を十分に理解しておくに役立ちます。OPAx191 に含まれる ESD 回路 (破線で囲まれた部分) の図については、[図 8-10](#) を参照してください。ESD 保護回路には、いくつかの電流ステアリング・ダイオードが含まれており、これらは入力ピンや出力ピンから接続され、内部の電源ラインに戻るようルーティングされます。これらのダイオードは、オペアンプ内部の吸収デバイスや電源 ESD セルで接続されます。この保護回路は、通常の回路動作中は非アクティブに保たれるよう設計されます。

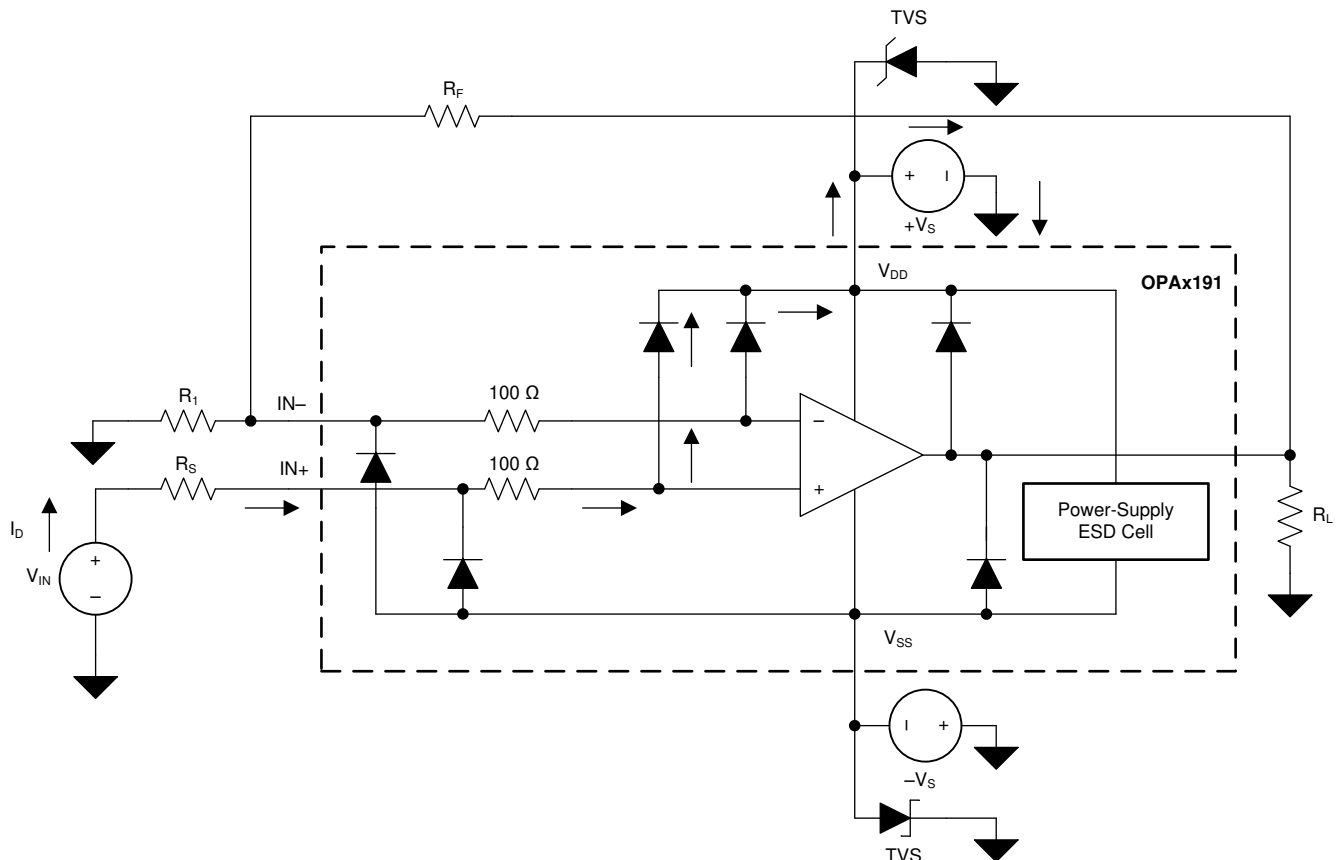


図 8-10. 代表的な回路アプリケーションと比較して等価な内部 ESD 回路

ESD イベントは電圧が非常に高く、持続時間が非常に短いです (例: 1kV、100ns)。一方、EOS イベントは電圧はより低く、持続時間はより長いです (例: 50V、100ms)。ESD ダイオードは、回路外の ESD 保護 (つまり、PCB に半田付けする前にデバイスの組み立て、テスト、保管を行うとき) を目的として設計されています。ESD イベントの間、ESD 信号は ESD ステアリング・ダイオードを通過して吸収回路 (「ESD 電源回路」とラベル付けされています) に渡されます。ESD 吸収回路は、電源を安全なレベルにクランプします。

この動作は回路外保護のためには必要なものですが、回路内でこの動作をアクティブにすると、過大な電流と損傷が発生します。過渡電圧サプレッサ (TVS) を使用すると、回路内の ESD イベント発生時に ESD 吸収回路がオンになることで生じる損傷を防止できます。適切な電流制限抵抗と TVS ダイオードを使うと、デバイスの ESD ダイオードを使って EOS イベントから保護できます。

8.3.8 過負荷からの回復

過負荷からの回復は、オペアンプの出力が飽和状態から線形状態に回復するために必要な時間として定義されます。高い入力電圧または高いゲインのいずれかが原因で、出力電圧が定格動作電圧を超えると、オペアンプの出力デバイスは飽和領域に入ります。デバイスが飽和領域に入った後、出力デバイスのチャージ・キャリアは線形状態に回復するための時間を必要とします。チャージ・キャリアが線形状態に戻ると、デバイスは指定されたスルーレートでスルーを開始します。したがって、過負荷状態の場合の伝搬遅延は、過負荷復帰時間とスルー時間の合計になります。

8.4 デバイスの機能モード

OPAx191 には単一機能モードがあり、電源電圧が 4.5V ($\pm 2.25V$) を上回ると動作します。OPAx191 の最大電源電圧は 36V ($\pm 18V$) です。

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

OPAx191 ファミリーは DC 精度と DC 性能が非常に優れています。これらのデバイスは、最高 36V の電源レールで動作し、真のレール・ツー・レール入出力、超低オフセット電圧、オフセット電圧ドリフトに加えて、2MHz の帯域幅と、高い容量性負荷駆動能力を実現しています。OPAx191 は、これらの特長を持つ、高電圧産業用アプリケーション向けの、堅牢で高性能なオペアンプです。

9.2 代表的なアプリケーション

9.2.1 ローサイド電流測定

図 9-1 に、ローサイド電流センシング・アプリケーション用に構成された OPA191 を示します。理論、計算、シミュレーション、測定データを含む図 9-1 の回路の完全な分析については、TI Precision Design TIPD129、0A～1A のシングル電源ローサイド電流センシング・ソリューションを参照してください。

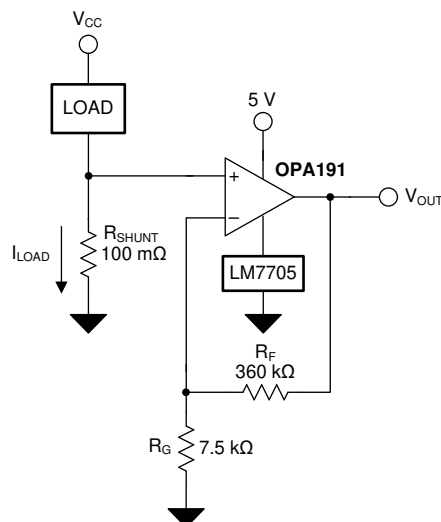


図 9-1. ローサイド電流センシング・アプリケーションの OPA191

9.2.1.1 設計要件

この設計の設計要件は次のとおりです。

- 負荷電流: 0A～1A
- 出力電圧: 4.9V
- 最大シャント電圧: 100mV

9.2.1.2 詳細な設計手順

図 9-1 の回路の伝達関数は、式 2 に示すとおりです。

$$V_{OUT} = I_{LOAD} \times R_{SHUNT} \times \text{Gain} \quad (2)$$

負荷電流 (I_{LOAD}) により、シャント抵抗 (R_{SHUNT}) の両端で電圧降下が発生します。負荷電流は 0A～1A に設定されます。最大負荷電流時にシャント電圧を 100mV 未満に維持するには、式 3 を使用して最大シャント抵抗を定義します。

$$R_{SHUNT} = \frac{V_{SHUNT_MAX}}{I_{LOAD_MAX}} = \frac{100\text{mV}}{1\text{A}} = 100\text{m}\Omega \quad (3)$$

式 3 から、 R_{SHUNT} は 100mΩ と計算されます。 I_{LOAD} と R_{SHUNT} によって生成される電圧降下は、OPA191 によって増幅され、0V～4.9V の出力電圧を生成します。OPA191 が必要な出力電圧を生成するために要求するゲインは、式 4 で計算されます。

$$\text{Gain} = \frac{(V_{OUT_MAX} - V_{OUT_MIN})}{(V_{IN_MAX} - V_{IN_MIN})} \quad (4)$$

式 4 から、必要なゲインは 49V/V と計算されます。これは抵抗 R_F と R_G で設定します。OPA191 のゲインを 49V/V に設定するための抵抗 R_F と R_G のサイズは、式 5 で計算します。

$$\text{Gain} = 1 + \frac{(R_F)}{(R_G)} \quad (5)$$

R_F を 360kΩ とすると、 R_G は 7.5kΩ と計算されます。 R_F と R_G は、標準の値の抵抗で 49:1 の比率を生み出せるよう、360kΩ と 7.5kΩ を選択します。49:1 の比率にできるなら、他の抵抗を使用してもかまいません。図 2 に、図 9-1 に示す回路で測定された伝達関数を示します。

9.2.1.3 アプリケーション曲線

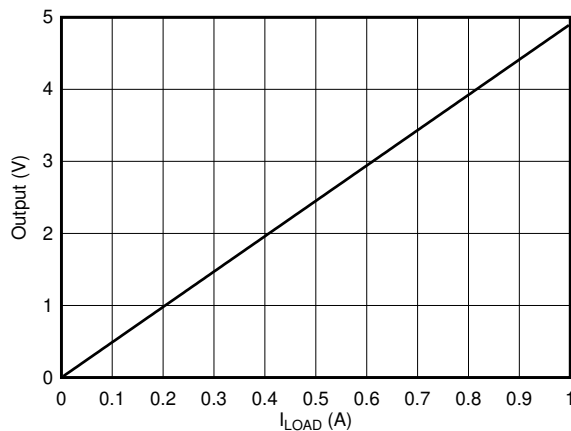


図 9-2. ローサイド、電流センス、伝達関数

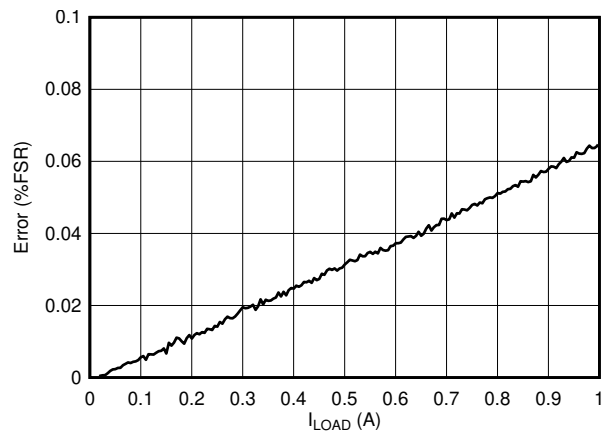


図 9-3. ローサイド、電流センス、フルスケール誤差

9.2.2 16 ビット高精度多重化データ収集システム

図 9-4 に、16 ビット差動 4 チャンネル多重データ・アキュイジション・システムを示します。この例は、低歪で高電圧の差動入力が必要とする産業用アプリケーションで一般的なものです。この回路は、16 ビット、400kSPS の逐次比較抵抗 (SAR) A/D コンバータ (ADC) である ADS8864 と、高精度、高電圧のシグナル・コンディショニング・フロント・エンド、および 4 チャンネルの差動マルチプレクサ (mux) を使用しています。このアプリケーション例では、OPA191 と OPA140 を使用して高精度、高電圧のフロントエンド・ドライブ回路を最適化し、ADS8864 で優れたダイナミック特性と直線性を実現するプロセスについて説明します。この設計全体は、TI Precision Design TIPD151、16 ビット、400kSPS、4 チャンネル多重データ取得システム、高入力電圧、低歪用に記載されています。

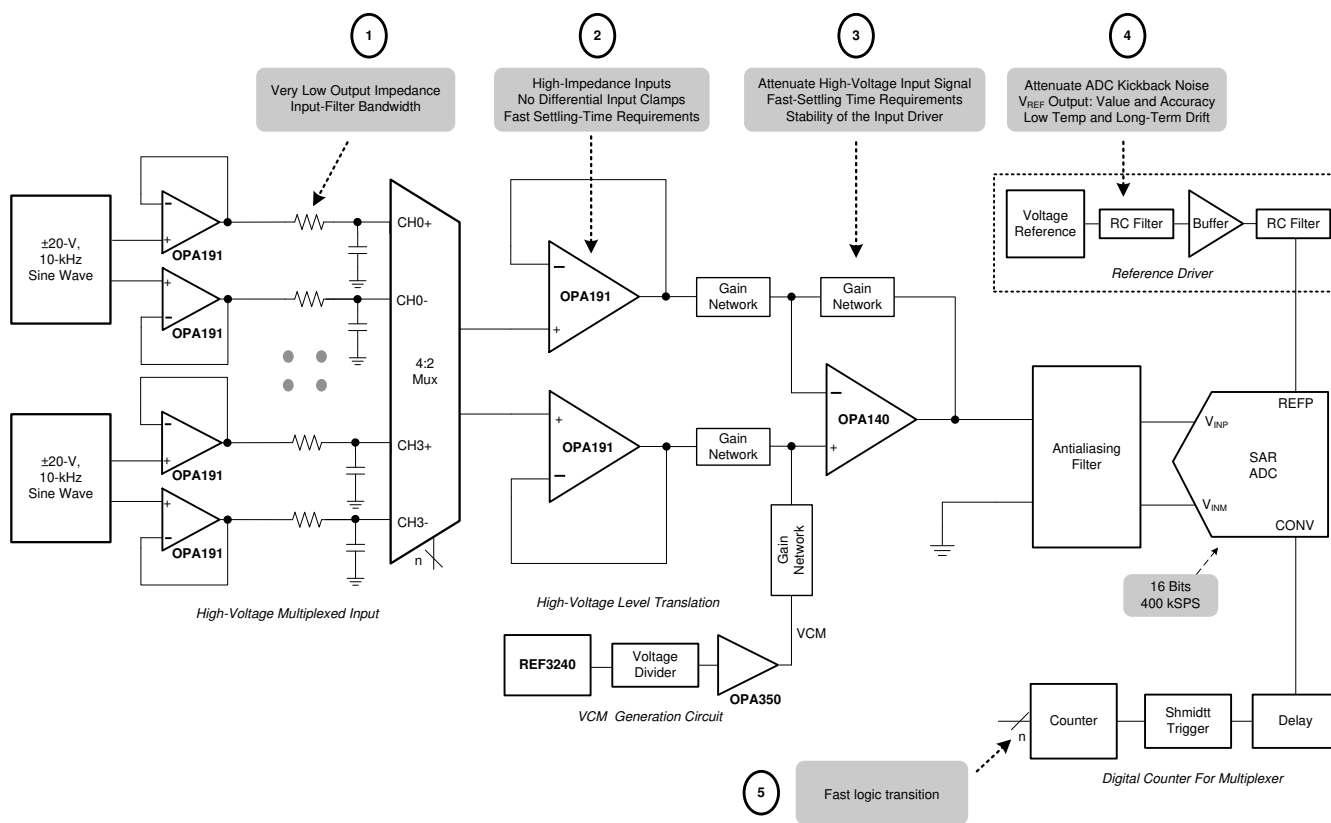


図 9-4. OPA191 を使用した、高電圧入力で低歪を実現する 16 ビット、400kSPS、4 チャンネルの多重データ・アキュイジション・システム

9.2.2.1 設計要件

主な目的は、10kHz フルスケールの純正弦波入力に対して、16 ビット ADS8864 を 400kSPS のスループットで使用し、歪みを最小限に抑えた $\pm 20V$ の差動 4 チャンネル多重化データ・アキュイジション・システムを設計することです。このブロック設計の設計要件は次のとおりです。

- システム電源電圧: $\pm 15V$
- ADC 電源電圧: 3.3V
- ADC サンプリング・レート: 400kSPS
- ADC リファレンス電圧 (REFP): 4.096V
- システム入力信号: マルチプレクサの各差動入力には、ピーク振幅が 10V、周波数 (f_{IN}) が 10kHz の高電圧差動入力信号が印加されます。

9.2.2.2 詳細な設計手順

このアプリケーション例の目的は、最高のシステム直線性と高速セトリングを実現するために、最適な高電圧多重化データ・アキュイジション・システムを設計することです。システム全体のブロック図を、[図 9-4](#) に示します。この回路は、入力ローパス・フィルタ、マルチプレクサ (mux)、マルチプレクサ出力バッファ、減衰 SAR ADC ドライバ、マルチプレクサ用デジタル・カウンタ、リファレンス・ドライバで構成される、マルチチャネルのデータ・アキュイジション信号チェーンです。このアーキテクチャにより、単一の ADC を使用して複数のチャネルを高速サンプリングできるため、低コストのソリューションを実現できます。高精度の多重化データ・アキュイジション・システムの性能を最大化するための主な設計上の検討事項は、マルチプレクサ入力アナログ・フロント・エンドと、高電圧レベル変換用 SAR ADC ドライバの設計の 2 つです。ただし、16 ビットの分解能と最小の歪みのシステムで最速のセトリングを実現するために、ADC の性能仕様に基づいて各アナログ回路ブロックを注意深く設計してください。[図 9-4](#) には、各アナログ・ブロックで最も重要な仕様が記載されています。

このデザインは、各アナログ回路ブロックに体系的な手法を使用して 16 ビットのセトリングを達成し、各入力チャンネルで 10kHz の正弦波入力信号に対して、フルスケールの入力段電圧と直線性を実現します。設計の最初のステップは、マルチプレクサの超低インピーダンス入力フィルタ設計の要件を理解することです。この要件を理解すると、適切な入力フィルタの決定と、システムのセトリング要件を満たすマルチプレクサの選択に役立ちます。次の重要なステップは、アンプの安定性を維持すると同時に高電圧入力信号を低電圧 ADC 入力にレベル変換するために使われる減衰アナログ・フロント・エンド (AFE) の設計です。その次のステップは、最小限の遅延でマルチプレクサ入力チャンネルを切り替えるデジタル・インターフェイスを設計することです。設計上の最後の課題は、低いオフセット、ドリフト、ノイズの寄与で必要な REFP リファレンス電圧を供給する、高精度のリファレンス・ドライバ回路を設計することです。

9.2.3 スルーレート制限による入力保護

バルブやモーターの制御システムでは、電圧や電流の突然の変化によって機械的損傷が発生する場合があります。ドライブ回路へのコマンド電圧のスルーレートを制御することで、負荷電圧の上昇および下降を安全なレートで実行できます。対称型スルーレートのアプリケーション (正のスルーレートと負のスルーレートが等しい) では、追加のオペアンプ 1 個により、特定のアナログ・ゲイン段に対してスルーレート制御が行われます。OPA191 は独自の入力保護機能を備え、出力電流とスルーレートが大きい場合、デュアル電源とシングル電源の両方のシステムでスルーレート制御を実現する最適なアンプとなります。[図 9-5](#) に、スルーレート制限設計内の OPA191 を示します。詳細な設計手順、回路図、部品表、PCB ファイル、シミュレーション結果、テスト結果については、TI Precision Design [TIPD140](#)、[単一オペアンプ・スルーレート・リミッタ](#)を参照してください。

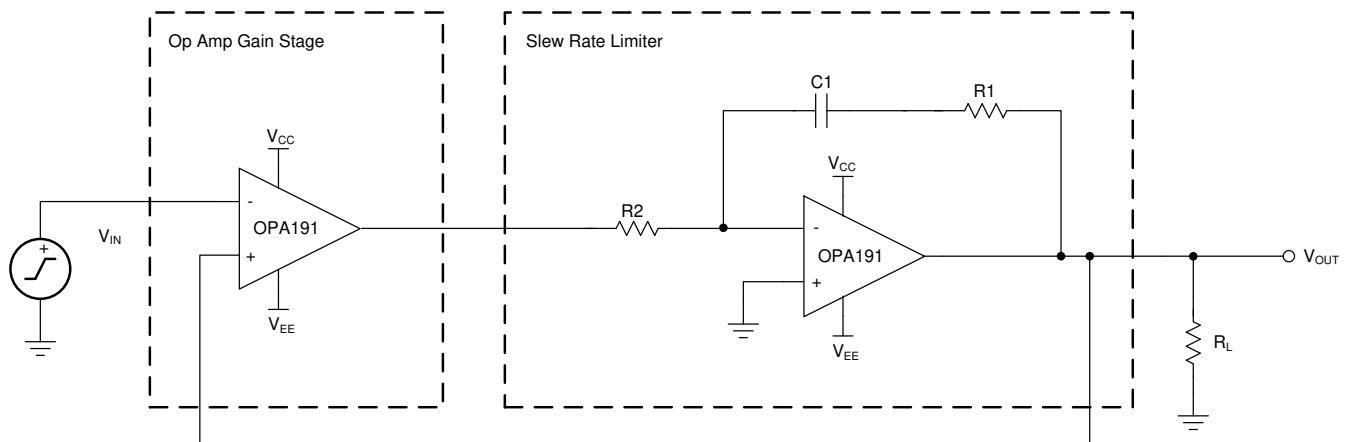


図 9-5. スルーレート・リミッタは、オペアンプを 1 つだけ使用

10 電源に関する推奨事項

OPAx191 は 4.5V～36V ($\pm 2.25\text{V} \sim \pm 18\text{V}$) で動作が規定されており、多くの仕様は $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ で適用されます。動作電圧または温度に関して大きな変動を示す可能性があるパラメータについては、[セクション 6.9](#) を参照してください。

注意

40V を超える電源電圧を印加すると、デバイスに永続的な損傷を与える可能性があります。[セクション 6.1](#) を参照してください。

電源ピンの近くに $0.1\mu\text{F}$ のバイパス・コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源から混入する誤差を低減できます。バイパス・コンデンサの配置の詳細については、[セクション 11](#) を参照してください。

11 レイアウト

11.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を使用してください。

- 各電源ピンとグランドとの間に、低 ESR の $0.1\mu\text{F}$ セラミック・バイパス・コンデンサを接続し、可能な限りデバイスの近くに配置します。シングル電源アプリケーションの場合は、V+ からグランドに対して 1 つのバイパス・コンデンサを接続します。
 - ノイズが回路全体の電源ピンとオペアンプ自体を経由して、アナログ回路に伝播することがあります。バイパス・コンデンサは、アナログ回路に対してローカルに低インピーダンスの電源を供給し、結合ノイズを低減するために使用されます。
- グランド電流の流れに注意して、デジタル・グランドとアナログ・グランドが物理的に分離されていることを確認します。回路のアナログ部とデジタル部のグランド配線を分離することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランド・プレーン専用です。グランド・プレーンは熱の分散に役立ち、EMI ノイズを拾いにくくなります。詳細については、『[回路基板のレイアウト技法](#)』を参照してください。
- 寄生カップリングを低減するには、入力配線を電源配線や出力配線からできるだけ離して配置します。これらの配線を離しておけない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに効果的です。
- 外付け部品は、可能な限りデバイスに近く配置します。[図 11-2](#) に示すように、寄生容量を最小限に抑えるため、RF と RG は反転入力に近くに配置します。
- 入力配線はできる限り短くします。入力配線は回路の最も敏感な部分であることに常に注意してください。
- 重要な配線の周囲に、駆動される低インピーダンスのガード・リングを配置することを検討します。ガード・リングを使用すると、付近に存在する、さまざまな電位の配線からのリーク電流を大幅に低減できます。
- 最高の性能を得るために、基板組み立ての後で PCB をクリーニングします。
- 高精度の集積回路では、プラスチック・パッケージへの水分の侵入により性能が変化する場合があります。PCB を水で洗浄した後で、PCB アセンブリをベーキングして、クリーニング中にデバイスのパッケージに取り込まれた水分を除去します。ほとんどの状況では、クリーニング後に 85°C で 30 分間の低温ベーキングを行えば十分です。

11.2 レイアウト例

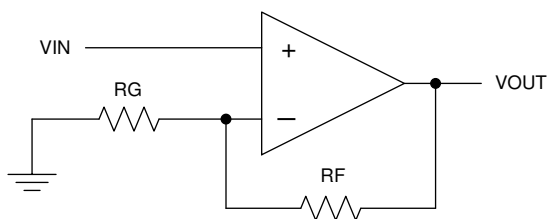


図 11-1. 回路図

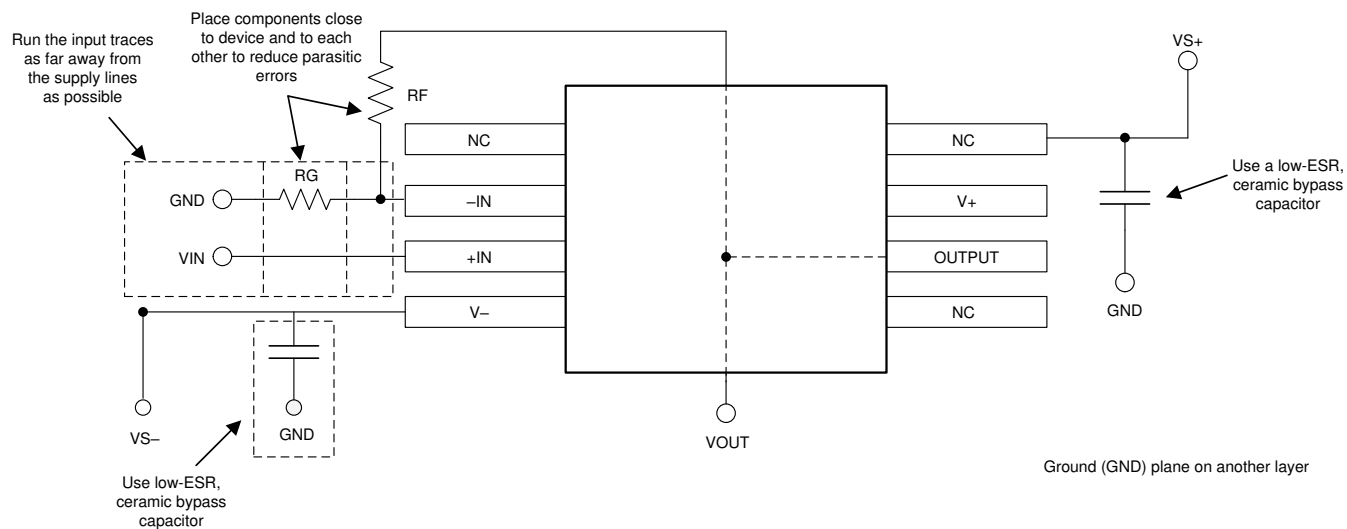


図 11-2. 非反転構成のオペアンプ基板のレイアウト

12 デバイスおよびドキュメントのサポート

12.1 デバイスのサポート

12.1.1 開発サポート

12.1.1.1 TINA-TI™ シミュレーション・ソフトウェア (無償ダウンロード)

TINA™ は、SPICE エンジンに基づいた単純かつ強力な、使いやすい回路シミュレーション・プログラムです。TINA-TI シミュレーション・ソフトウェアは、TINA ソフトウェアのすべての機能を持つ無償バージョンで、パッシブ・モデルとアクティブ・モデルに加えて、マクロ・モデルのライブラリがプリロードされています。TINA-TI シミュレーション・ソフトウェアには、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI シミュレーション・ソフトウェアは Analog eLab Design Center から[無料でダウンロード](#)でき、ユーザーが結果をさまざまな方法でフォーマットできる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイック・スタート・ツールを作成できます。

注

これらのファイルを使用するには、TINA ソフトウェア (DesignSoft™ から入手できます) または TINA-TI ソフトウェアがインストールされている必要があります。[TINA-TI フォルダ \(http://www.tij.co.jp/tool/jp/tina-ti\)](http://www.tij.co.jp/tool/jp/tina-ti) から、無料の TINA-TI ソフトウェアをダウンロードしてください。

12.1.1.2 TI Precision Designs

<http://www.ti.com/ww/en/analog/precision-designs/> からオンラインで入手できる TI Precision Designs は、テキサス・インスツルメンツの高精度アナログ・アプリケーションの専門家により作成されたアナログ・ソリューションであり、多くの有用な回路の動作理論、コンポーネント選択、シミュレーション、完全な PCB 回路図とレイアウト、部品表、性能測定結果を提供します。

12.2 ドキュメントのサポート

12.2.1 関連資料

- テキサス・インスツルメンツ、[『回路基板のレイアウト技法』](#)
- テキサス・インスツルメンツ、[『誰でも使えるオペアンプ』デザイン・リファレンス](#)

12.3 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on ti.com. Click on *Subscribe to updates* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

12.4 サポート・リソース

[TI E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

12.5 商標

e-trim™ and TI E2E™ are trademarks of Texas Instruments.
TINA™ and DesignSoft™ are trademarks of DesignSoft, Inc.
Bluetooth® is a registered trademark of Bluetooth SIG, Inc.
すべての商標は、それぞれの所有者に帰属します。

12.6 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

12.7 Glossary

[TI Glossary](#) This glossary lists and explains terms, acronyms, and definitions.

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA191ID	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA191
OPA191ID.B	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA191
OPA191IDBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZAMV
OPA191IDBVR.B	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZAMV
OPA191IDBVRG4	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZAMV
OPA191IDBVRG4.B	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZAMV
OPA191IDBVT	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZAMV
OPA191IDBVT.B	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZAMV
OPA191IDGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZANV
OPA191IDGKR.B	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZANV
OPA191IDGKRG4	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZANV
OPA191IDGKRG4.B	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZANV
OPA191IDGKT	Active	Production	VSSOP (DGK) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZANV
OPA191IDGKT.B	Active	Production	VSSOP (DGK) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ZANV
OPA191IDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA191
OPA191IDR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA191
OPA191IDRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA191
OPA191IDRG4.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA191
OPA2191ID	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2191
OPA2191ID.B	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2191
OPA2191IDGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2191
OPA2191IDGKR.B	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2191
OPA2191IDGKT	Active	Production	VSSOP (DGK) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2191
OPA2191IDGKT.B	Active	Production	VSSOP (DGK) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2191
OPA2191IDGKTG4	Active	Production	VSSOP (DGK) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2191
OPA2191IDGKTG4.B	Active	Production	VSSOP (DGK) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2191
OPA2191IDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2191
OPA2191IDR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2191
OPA2191IDRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2191

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2191IDRG4.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2191
OPA4191ID	Active	Production	SOIC (D) 14	50 TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4191
OPA4191ID.B	Active	Production	SOIC (D) 14	50 TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4191
OPA4191IDG4	Active	Production	SOIC (D) 14	50 TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4191
OPA4191IDG4.B	Active	Production	SOIC (D) 14	50 TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4191
OPA4191IDR	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4191
OPA4191IDR.B	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4191
OPA4191IPWR	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4191
OPA4191IPWR.B	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4191
OPA4191IPWT	Active	Production	TSSOP (PW) 14	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4191
OPA4191IPWT.B	Active	Production	TSSOP (PW) 14	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4191
OPA4191IRUMR	Active	Production	WQFN (RUM) 16	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	OPA 4191
OPA4191IRUMR.B	Active	Production	WQFN (RUM) 16	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	OPA 4191
OPA4191IRUMRG4	Active	Production	WQFN (RUM) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPA 4191
OPA4191IRUMRG4.B	Active	Production	WQFN (RUM) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPA 4191
OPA4191IRUMT	Active	Production	WQFN (RUM) 16	250 SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	OPA 4191
OPA4191IRUMT.B	Active	Production	WQFN (RUM) 16	250 SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	OPA 4191

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

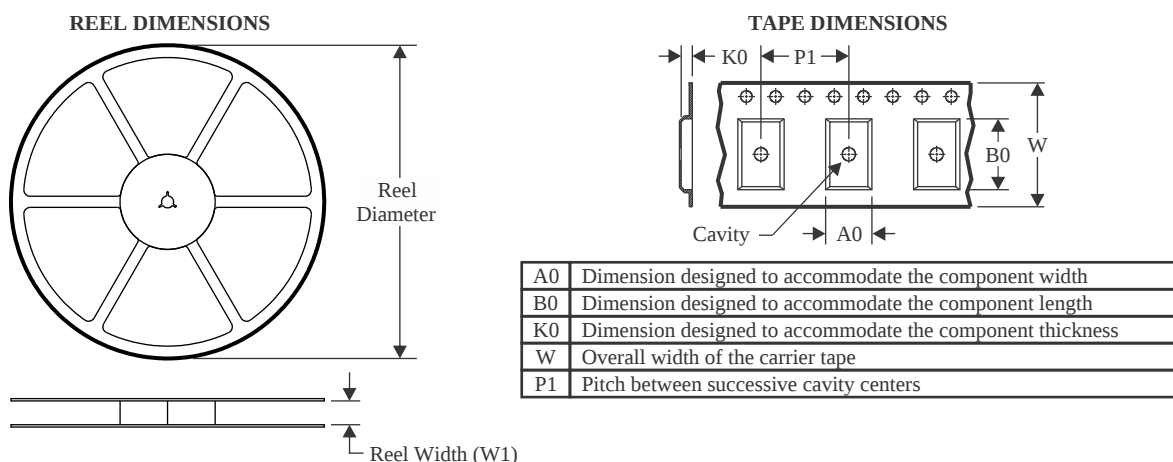
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

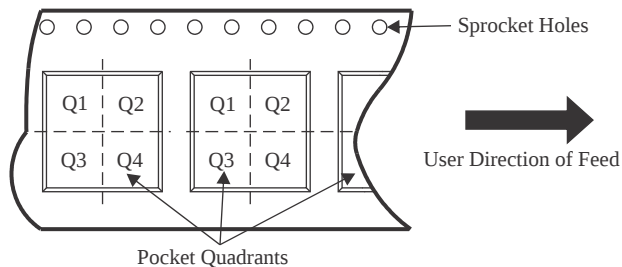
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA191IDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA191IDBVRG4	SOT-23	DBV	5	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA191IDBVT	SOT-23	DBV	5	250	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA191IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA191IDGKRG4	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA191IDGKT	VSSOP	DGK	8	250	177.8	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA191IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA191IDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2191IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2191IDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2191IDGKTG4	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2191IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2191IDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA4191IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
OPA4191IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
OPA4191IPWT	TSSOP	PW	14	250	180.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA4191IRUMR	WQFN	RUM	16	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
OPA4191IRUMRG4	WQFN	RUM	16	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
OPA4191IRUMT	WQFN	RUM	16	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA191IDBVR	SOT-23	DBV	5	3000	213.0	191.0	35.0
OPA191IDBVRG4	SOT-23	DBV	5	3000	213.0	191.0	35.0
OPA191IDBVT	SOT-23	DBV	5	250	223.0	270.0	35.0
OPA191IDGKR	VSSOP	DGK	8	2500	346.0	346.0	29.0
OPA191IDGKRG4	VSSOP	DGK	8	2500	346.0	346.0	29.0
OPA191IDGKT	VSSOP	DGK	8	250	213.0	191.0	35.0
OPA191IDR	SOIC	D	8	2500	353.0	353.0	32.0
OPA191IDRG4	SOIC	D	8	2500	353.0	353.0	32.0
OPA2191IDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA2191IDGKT	VSSOP	DGK	8	250	213.0	191.0	35.0
OPA2191IDGKTG4	VSSOP	DGK	8	250	213.0	191.0	35.0
OPA2191IDR	SOIC	D	8	2500	353.0	353.0	32.0
OPA2191IDRG4	SOIC	D	8	2500	353.0	353.0	32.0
OPA4191IDR	SOIC	D	14	2500	353.0	353.0	32.0
OPA4191IPWR	TSSOP	PW	14	2000	353.0	353.0	32.0
OPA4191IPWT	TSSOP	PW	14	250	213.0	191.0	35.0
OPA4191IRUMR	WQFN	RUM	16	3000	360.0	360.0	36.0
OPA4191IRUMRG4	WQFN	RUM	16	3000	367.0	367.0	35.0

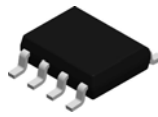
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA4191IRUMT	WQFN	RUM	16	250	210.0	185.0	35.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
OPA191ID	D	SOIC	8	75	506.6	8	3940	4.32
OPA191ID.B	D	SOIC	8	75	506.6	8	3940	4.32
OPA2191ID	D	SOIC	8	75	506.6	8	3940	4.32
OPA2191ID.B	D	SOIC	8	75	506.6	8	3940	4.32
OPA4191ID	D	SOIC	14	50	506.6	8	3940	4.32
OPA4191ID.B	D	SOIC	14	50	506.6	8	3940	4.32
OPA4191IDG4	D	SOIC	14	50	506.6	8	3940	4.32
OPA4191IDG4.B	D	SOIC	14	50	506.6	8	3940	4.32

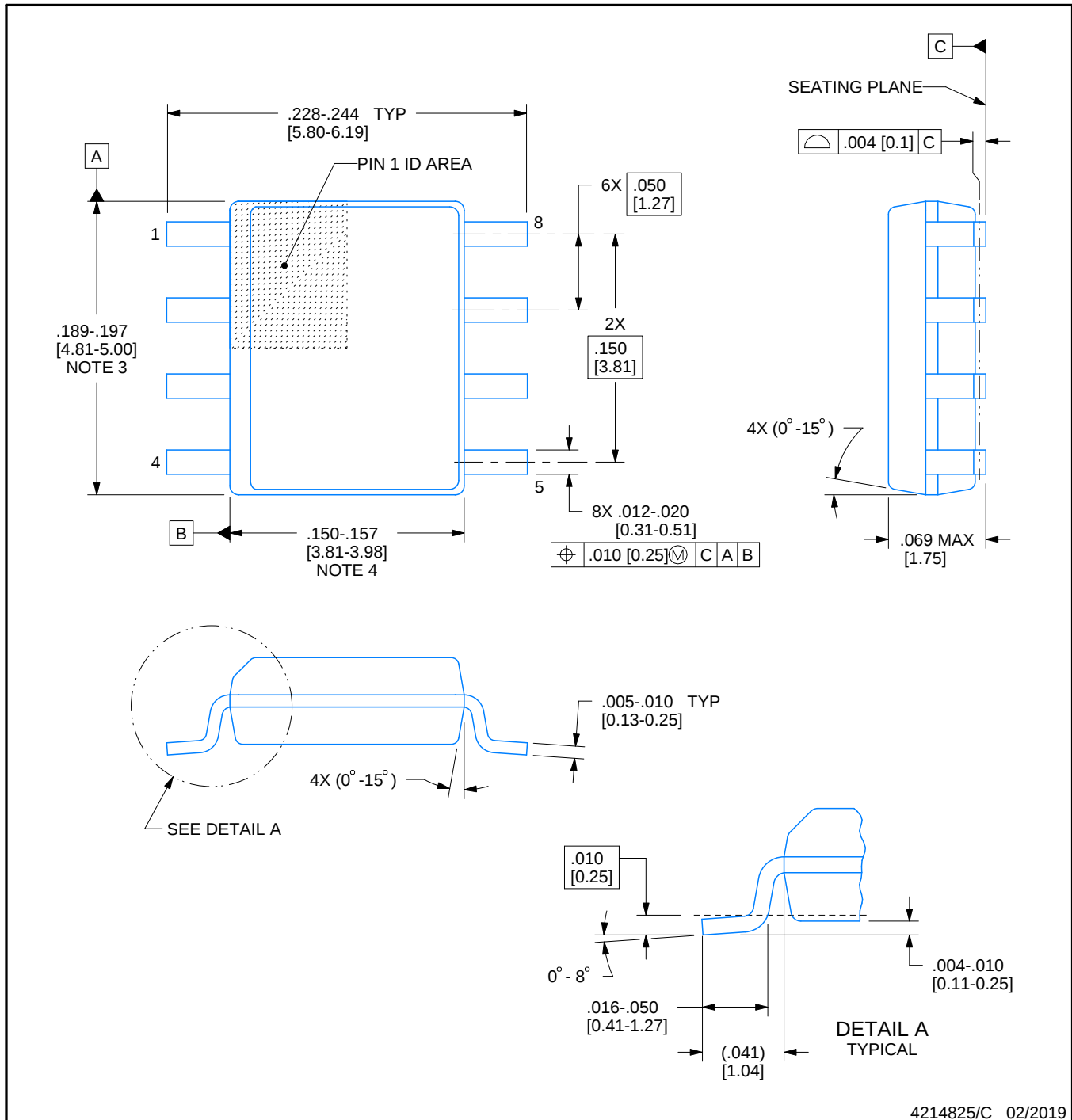


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

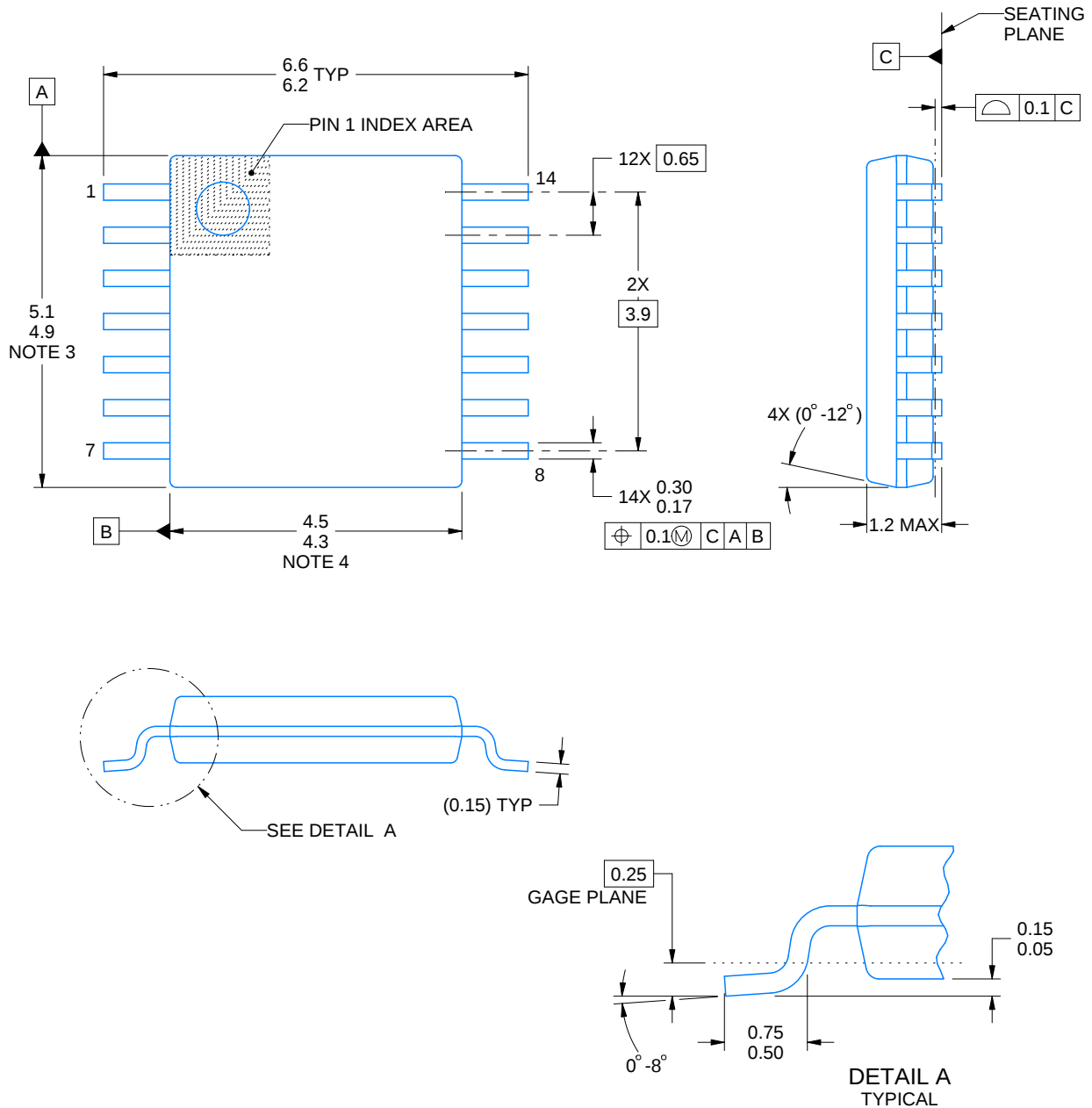
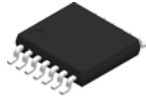


SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



4220202/B 12/2023

NOTES:

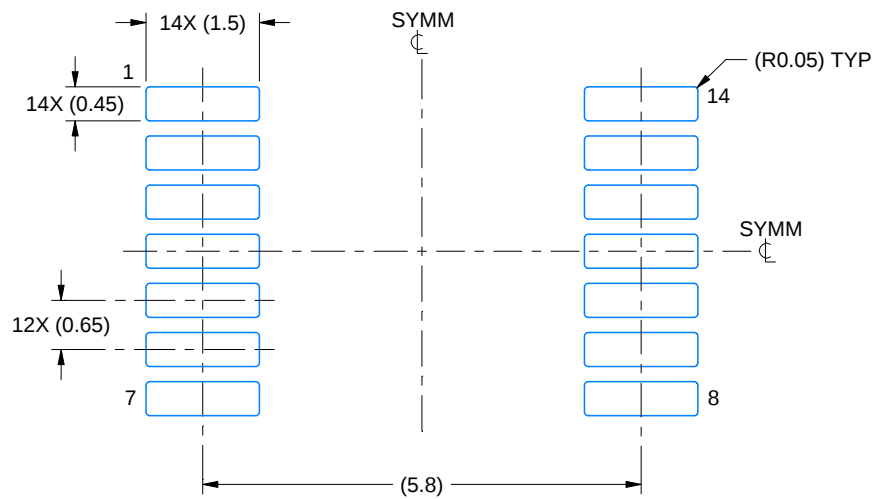
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



SOT-23 - 1.45 mm max height

Technical drawing of a connector housing showing three views: front, side, and end view. The front view includes dimensions for overall size (3.0 x 2.6), pin locations (1, 2, 3, 4, 5), and a hatched index area. The side view shows a height of 3.05 and a width of 1.9. The end view shows a width of 1.45 and a height of 0.15. A table of dimensions is provided at the bottom.

Feature	Dimension	Material	Finish	Notes
Overall Width	3.0	Aluminum	Anodized	
Overall Height	2.6	Aluminum	Anodized	
Pin 1 Index Area	1.75	Aluminum	Anodized	
Pin 2 Index Area	1.45	Aluminum	Anodized	
Pin 3 Index Area	1.9	Aluminum	Anodized	
Pin 4 Index Area	1.9	Aluminum	Anodized	
Pin 5 Index Area	1.9	Aluminum	Anodized	
Pin 1 Index Area	1.9	Aluminum	Anodized	
Pin 2 Index Area	1.9	Aluminum	Anodized	
Pin 3 Index Area	1.9	Aluminum	Anodized	
Pin 4 Index Area	1.9	Aluminum	Anodized	
Pin 5 Index Area	1.9	Aluminum	Anodized	
Pin 1 Index Area	1.9	Aluminum	Anodized	
Pin 2 Index Area	1.9	Aluminum	Anodized	
Pin 3 Index Area	1.9	Aluminum	Anodized	
Pin 4 Index Area	1.9	Aluminum	Anodized	
Pin 5 Index Area	1.9	Aluminum	Anodized	
Pin 1 Index Area	1.9	Aluminum	Anodized	
Pin 2 Index Area	1.9	Aluminum	Anodized	
Pin 3 Index Area	1.9	Aluminum	Anodized	
Pin 4 Index Area	1.9	Aluminum	Anodized	
Pin 5 Index Area	1.9	Aluminum	Anodized	
Pin 1 Index Area	1.9	Aluminum	Anodized	
Pin 2 Index Area	1.9	Aluminum	Anodized	
Pin 3 Index Area	1.9	Aluminum	Anodized	
Pin 4 Index Area	1.9	Aluminum	Anodized	
Pin 5 Index Area	1.9	Aluminum	Anodized	
Pin 1 Index Area	1.9	Aluminum	Anodized	
Pin 2 Index Area	1.9	Aluminum	Anodized	
Pin 3 Index Area	1.9	Aluminum	Anodized	
Pin 4 Index Area	1.9	Aluminum	Anodized	
Pin 5 Index Area	1.9	Aluminum	Anodized	
Pin 1 Index Area	1.9	Aluminum	Anodized	
Pin 2 Index Area	1.9	Aluminum	Anodized	
Pin 3 Index Area	1.9	Aluminum	Anodized	
Pin 4 Index Area	1.9	Aluminum	Anodized	
Pin 5 Index Area	1.9	Aluminum	Anodized	
Pin 1 Index Area	1.9	Aluminum	Anodized	
Pin 2 Index Area	1.9	Aluminum	Anodized	
Pin 3 Index Area	1.9	Aluminum	Anodized	
Pin 4 Index Area	1.9	Aluminum	Anodized	
Pin 5 Index Area	1.9	Aluminum	Anodized	
Pin 1 Index Area	1.9	Aluminum	Anodized	
Pin 2 Index Area	1.9	Aluminum	Anodized	
Pin 3 Index Area	1.9	Aluminum	Anodized	
Pin 4 Index Area	1.9	Aluminum	Anodized	
Pin 5 Index Area	1.9	Aluminum	Anodized	
Pin 1 Index Area	1.9	Aluminum	Anodized	
Pin 2 Index Area	1.9	Aluminum	Anodized	
Pin 3 Index Area	1.9	Aluminum	Anodized	
Pin 4 Index Area	1.9	Aluminum	Anodized	
Pin 5 Index Area	1.9	Aluminum	Anodized	
Pin 1 Index Area	1.9	Aluminum	Anodized	
Pin 2 Index Area	1.9	Aluminum	Anodized	
Pin 3 Index Area	1.9	Aluminum	Anodized	
Pin 4 Index Area	1.9	Aluminum	Anodized	
Pin 5 Index Area	1.9	Aluminum	Anodized	
Pin 1 Index Area	1.9	Aluminum	Anodized	
Pin 2 Index Area	1.9	Aluminum	Anodized	
Pin 3 Index Area	1.9	Aluminum	Anodized	
Pin 4 Index Area	1.9	Aluminum	Anodized	
Pin 5 Index Area	1.9	Aluminum	Anodized	
Pin 1 Index Area	1.9	Aluminum	Anodized	
Pin 2 Index Area	1.9	Aluminum	Anodized	
Pin 3 Index Area	1.9	Aluminum	Anodized	
Pin 4 Index Area	1.9	Aluminum	Anodized	
Pin 5 Index Area	1.9	Aluminum	Anodized	
Pin 1 Index Area	1.9	Aluminum	Anodized	
Pin 2 Index Area	1.9	Aluminum	Anodized	
Pin 3 Index Area	1.9	Aluminum	Anodized	
Pin 4 Index Area	1.9	Aluminum	Anodized	
Pin 5 Index Area	1.9	Aluminum	Anodized	
Pin 1 Index Area	1.9	Aluminum	Anodized	
Pin 2 Index Area	1.9	Aluminum	Anodized	
Pin 3 Index Area	1.9	Aluminum	Anodized	
Pin 4 Index Area	1.9	Aluminum	Anodized	
Pin 5 Index Area	1.9	Aluminum	Anodized	
Pin 1 Index Area	1.9	Aluminum	Anodized	
Pin 2 Index Area	1.9	Aluminum	Anodized	
Pin 3 Index Area				

NOTES:

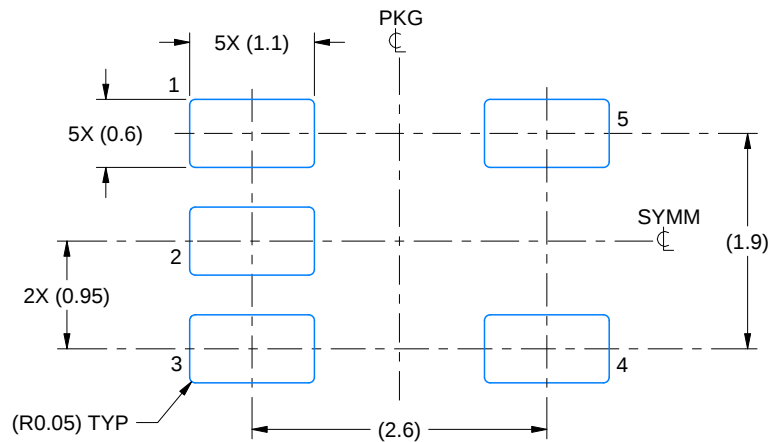
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

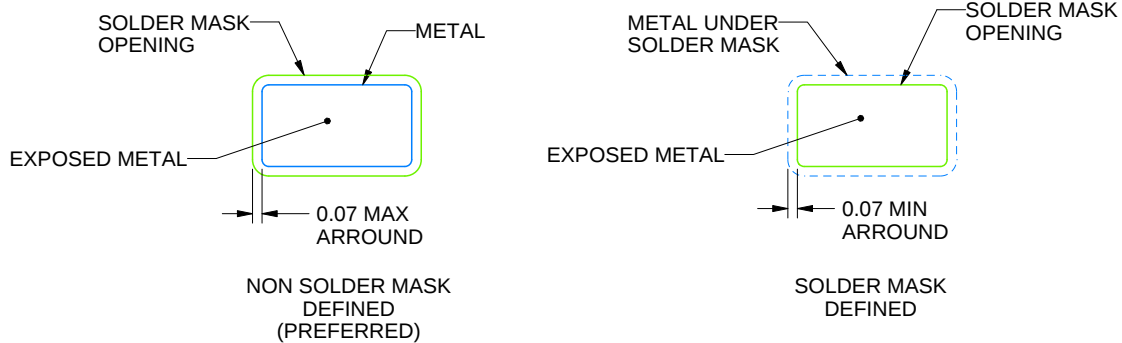
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

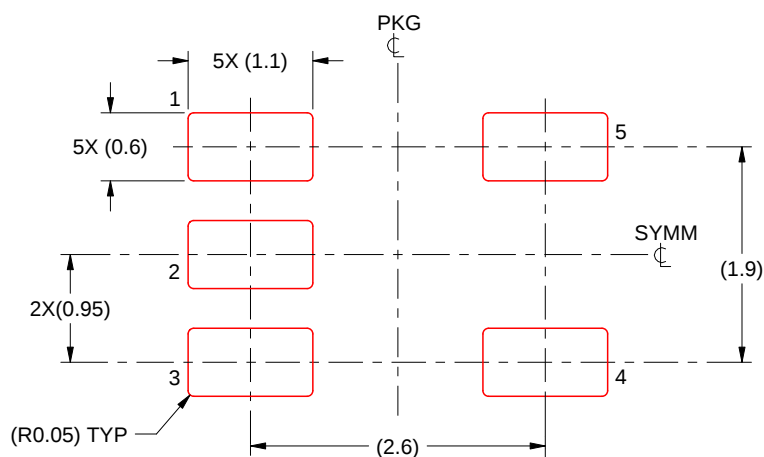
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR

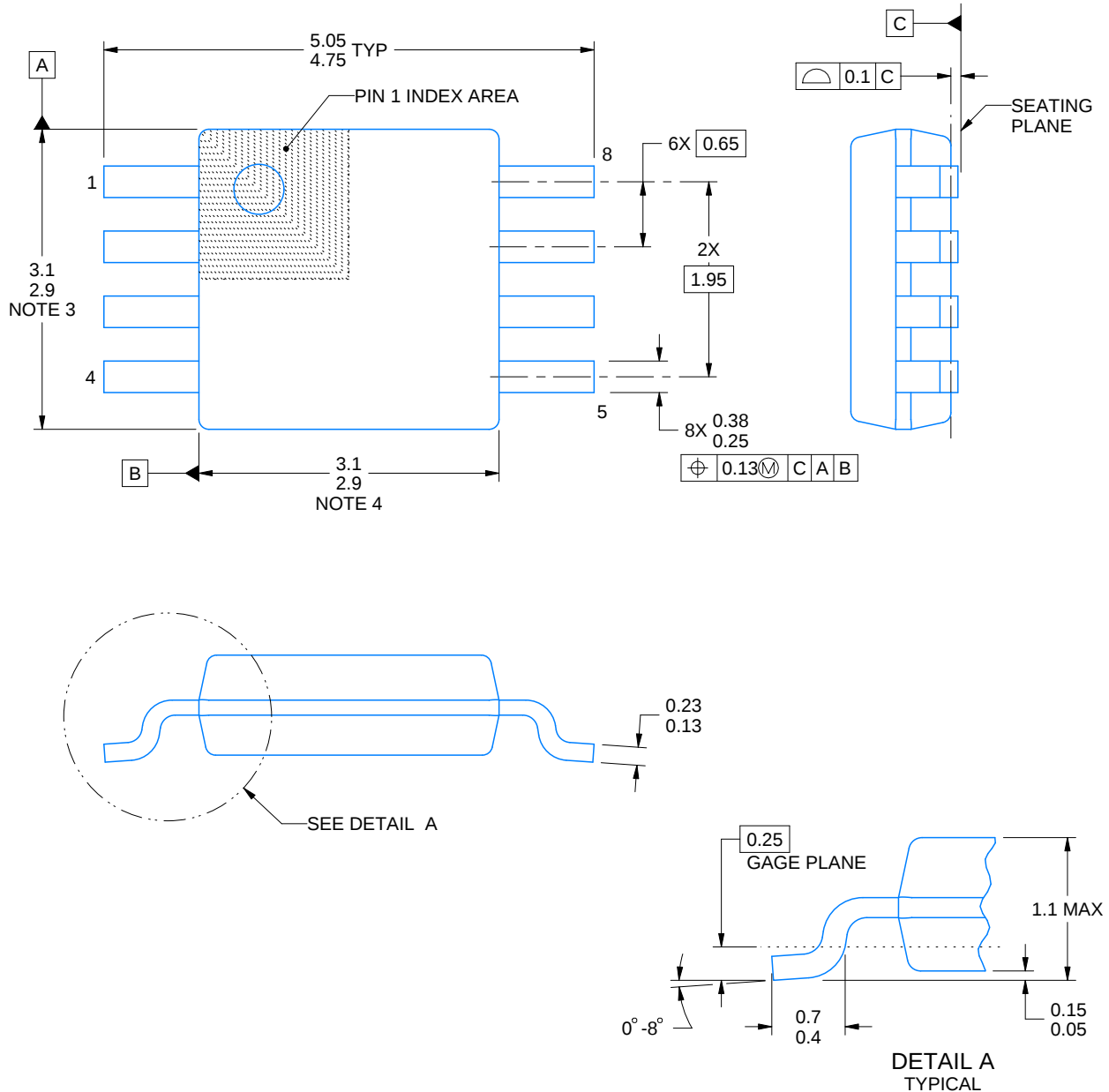
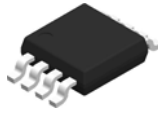


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

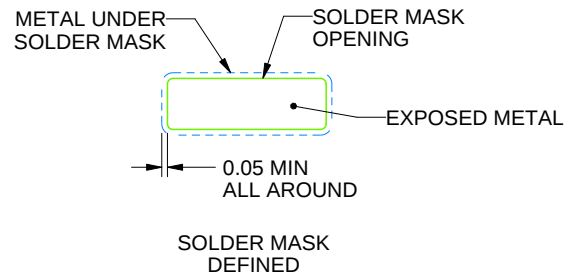
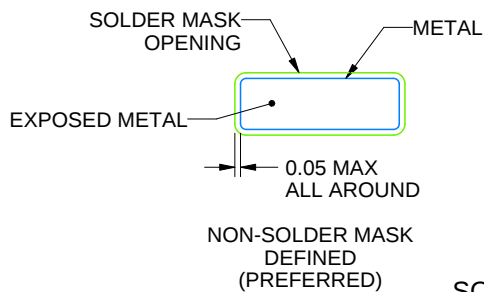
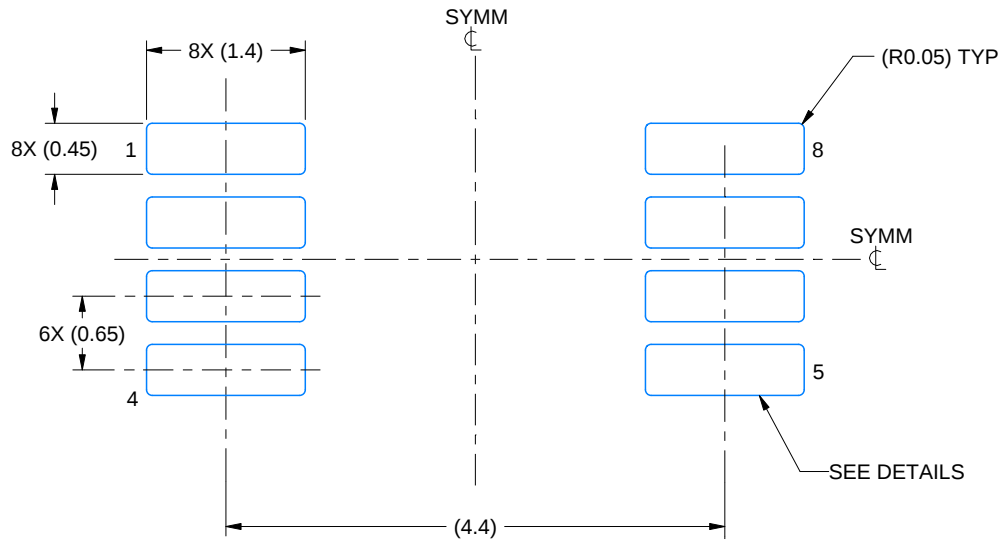
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

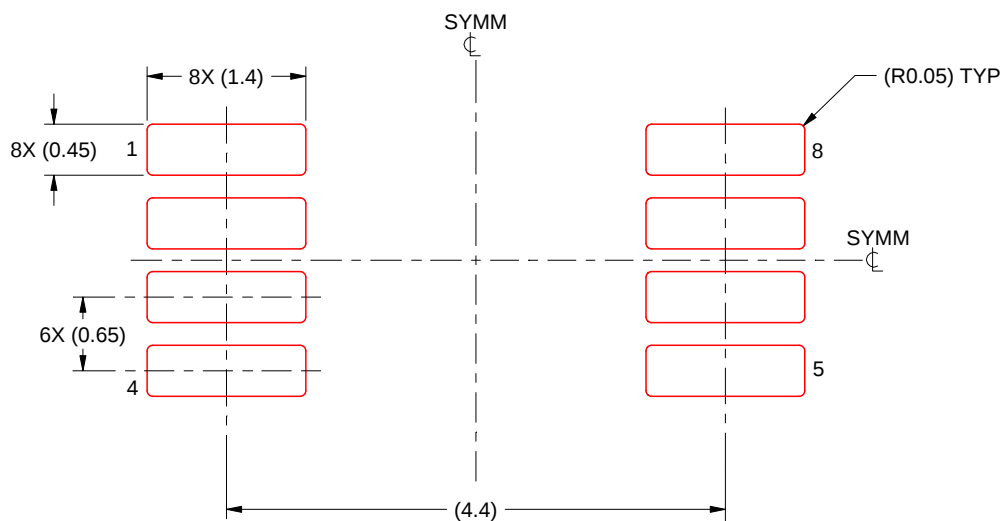
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

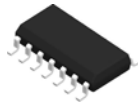


SOLDER PASTE EXAMPLE
SCALE: 15X

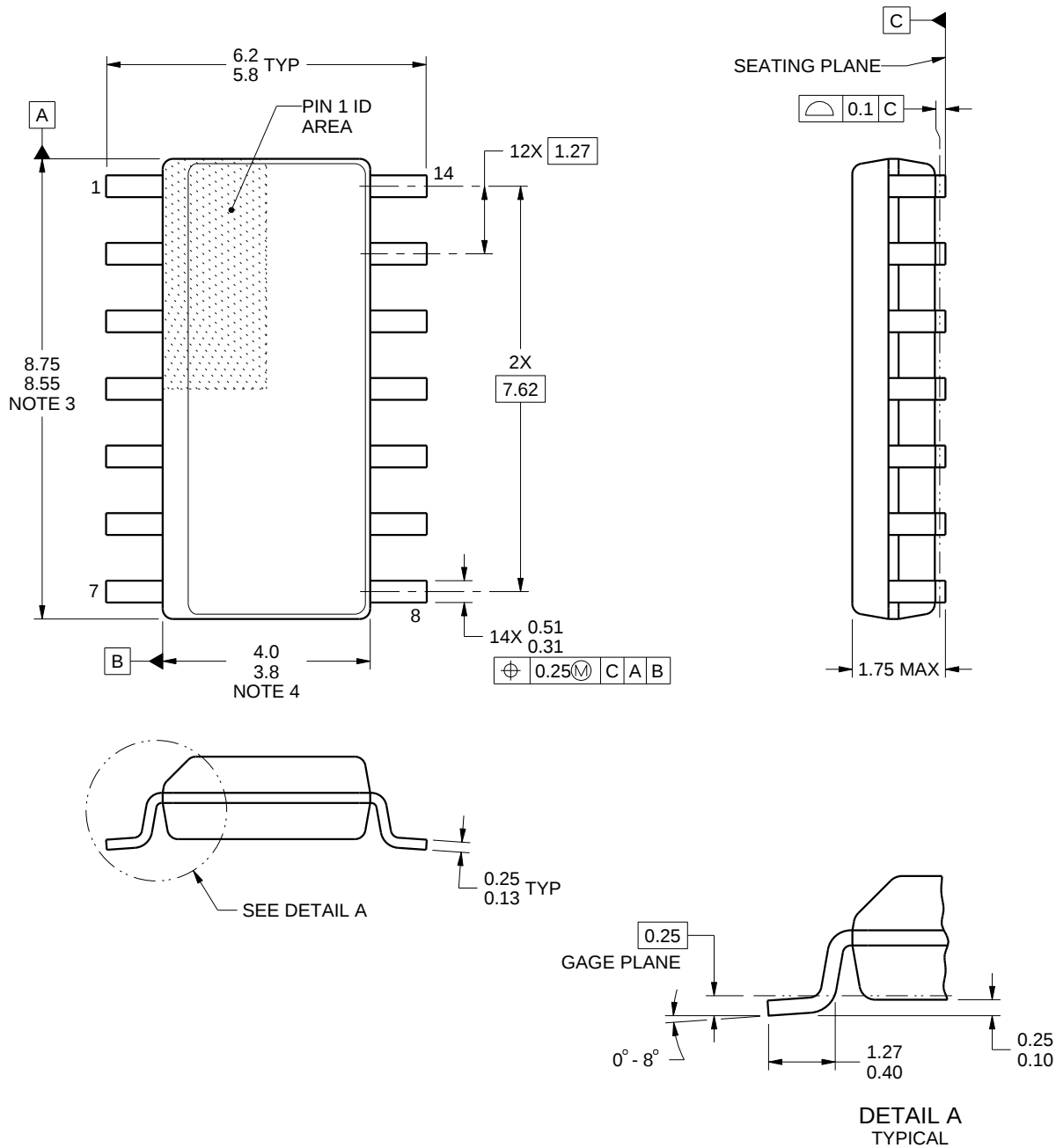
4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

D0014A**PACKAGE OUTLINE****SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

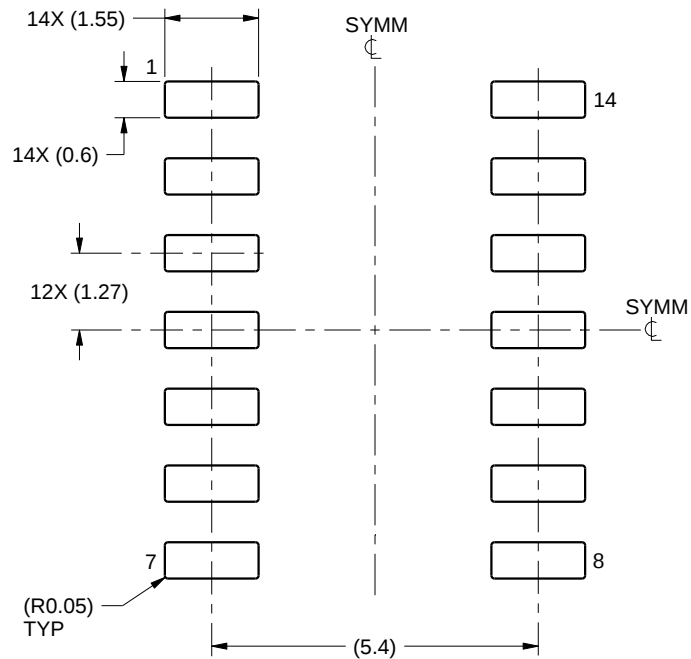
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

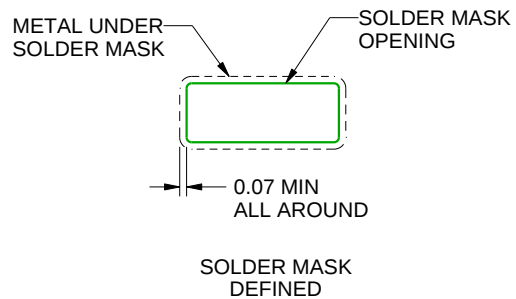
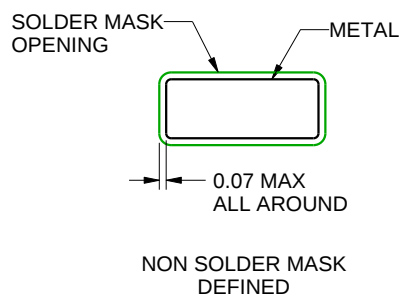
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

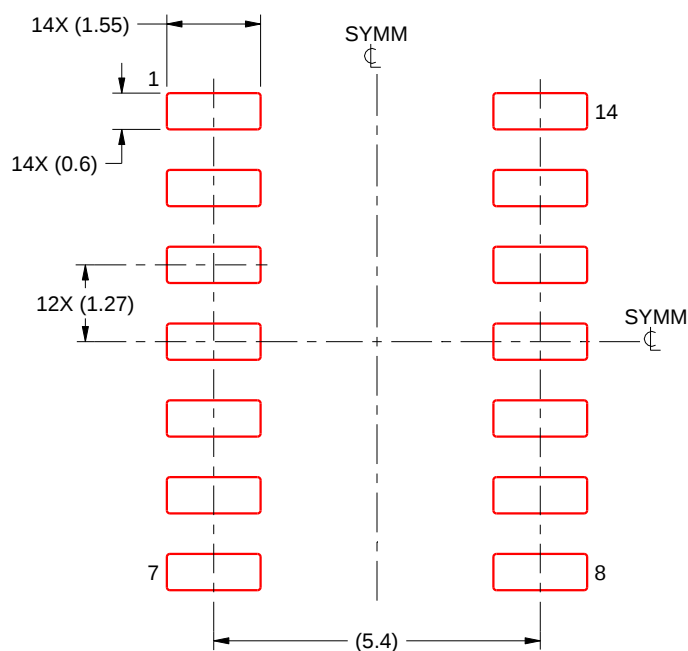
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

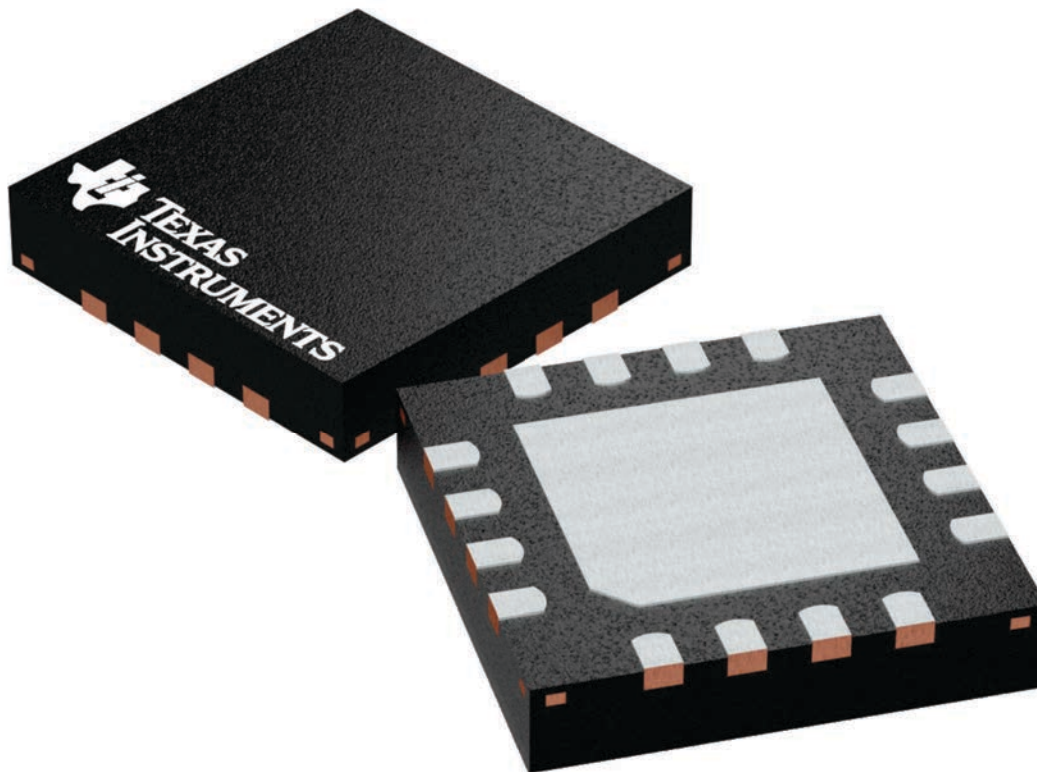
RUM 16

WQFN - 0.8 mm max height

4 x 4, 0.65 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

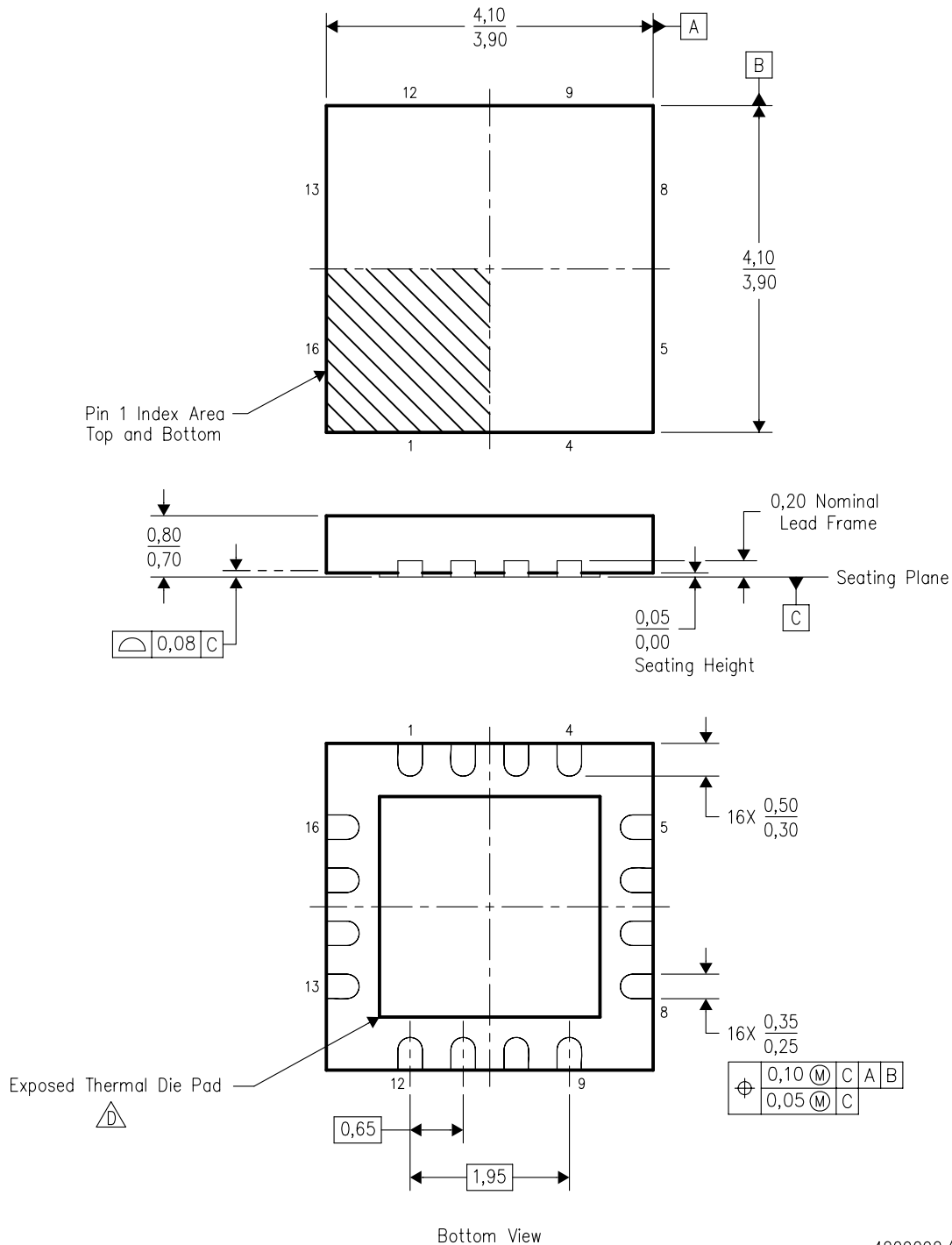
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224843/A

RUM (S-PQFP-N16)

PLASTIC QUAD FLATPACK



4209092/A 10/2007

- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. QFN (Quad Flatpack No-Lead) package configuration.
 -  The package thermal pad must be soldered to the board for thermal and mechanical performance. See the Product Data Sheet for details regarding the exposed thermal pad dimensions.
 - E. Package complies to JEDEC MO-220 variation WGGC-3.

RUM (S-PWQFN-N16)

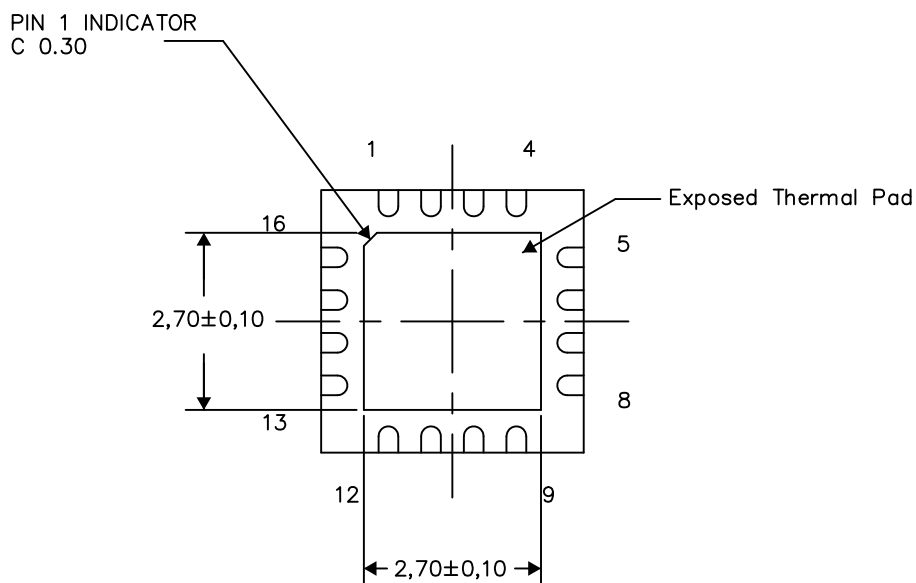
PLASTIC QUAD FLATPACK NO-LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Bottom View

Exposed Thermal Pad Dimensions

4209093-2/F 09/15

NOTES: All linear dimensions are in millimeters

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月