TEXAS INSTRUMENTS
OPA227, OPA2227, OPA4227
OPA228, OPA2228, OPA4228
JAJSQ05C – MAY 1998 – REVISED MARCH 2023

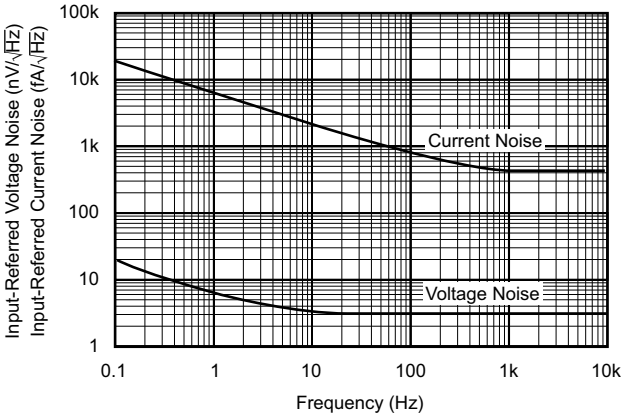
OPAx227、OPAx228 高精度、低ノイズのオペアンプ

1 特長

- 低ノイズ:3nV/√Hz
- 広い帯域幅:
  - OPA227:8MHz、2.3V/µs
  - OPA228:33MHz、10V/µs
- セトリング・タイム:5µs
- 高い CMRR:138dB
- 高いオープン・ループ・ゲイン:160dB
- 低い入力バイアス電流:10nA (最大値)
- 低いオフセット電圧:75µV (最大値)
- 広い電源電圧範囲:±2.5V～±18V
- シングル、デュアル、クワッドの各バージョン

2 アプリケーション

- データ・アクイジション (DAQ)
- 状況監視センサ
- スペクトラム・アナライザ
- 業務用オーディオ・アンプ (ラック・マウント)
- 産業用 AC-DC



入力の電圧および電流ノイズのスペクトラム密度と周波数との関係

3 概要

OPAx227 および OPAx228 シリーズのオペアンプは、低ノイズ、広帯域幅、高精度を持ち合わせており、AC と高精度 DC の両方の性能を必要とするアプリケーションに理想的な選択肢です。

OPAx227 デバイスはユニティ・ゲイン安定で、高いスルーレート (2.3V/µs) と広帯域幅 (8MHz) を特長としています。OPAx228 は、ゲインが 5 より大きい閉ループに最適化されており、10V/µs のスルーレートと 33MHz の帯域幅で高速を実現します。

OPAx227 および OPAx228 シリーズのオペアンプは、プロフェッショナル用のオーディオ機器に最適です。さらに、これらのオペアンプは静止電流が小さく、コストも低いため、高精度を必要とするポータブル・アプリケーションにも最適です。

OPAx227 および OPAx228 シリーズのオペアンプは、業界標準の OP27 および OP37 のピン互換の代替品で、全体的に大幅な改善が加えられています。デュアル・バージョンとクワッド・バージョンがあり、省スペースとチャネルあたりのコスト削減に役立ちます。

OPAx227 および OPAx228 は、DIP-8 および SO-8 パッケージで供給されます。OPA4227 および OPA4228 は、標準ピン構成の DIP-14 および SO-14 パッケージで供給されます。-40℃～+85℃で動作が規定されています。

製品情報

部品番号	チャネル	パッケージ (1)
OPA227、OPA228	シングル	P (PDIP、8)
		D (SOIC、8)
OPA2227、OPA2228	デュアル	P (PDIP、8)
		D (SOIC、8)
OPA4227、OPA4228	クワッド	N (PDIP、14)
		D (SOIC、14)

(1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。

英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.com で閲覧でき、その内容が常に優先されます。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 概要 ... 1
4 改訂履歴 ... 2
5 ピン構成および機能 ... 3
6 仕様 ... 5
6.1 絶対最大定格 ... 5
6.2 ESD 定格 ... 5
6.3 推奨動作条件 ... 5
6.4 熱に関する情報：OPA227、OPA228 ... 6
6.5 熱に関する情報：OPA2227、OPA2228 ... 6
6.6 熱に関する情報：OPA4227、OPA4228 ... 6
6.7 電気的特性：OPAx227 ... 7
6.8 電気的特性：OPAx228 ... 9
6.9 代表的特性 ... 11
7 詳細説明 ... 17
7.1 概要 ... 17
7.2 機能ブロック図 ... 17
7.3 機能説明 ... 17
7.4 デバイスの機能モード ... 24
8 アプリケーションと実装 ... 25
8.1 アプリケーション情報 ... 25
8.2 代表的なアプリケーション ... 25
8.3 電源に関する推奨事項 ... 29
8.4 レイアウト ... 30
9 デバイスおよびドキュメントのサポート ... 31
9.1 デバイスのサポート ... 31
9.2 ドキュメントのサポート ... 31
9.3 ドキュメントの更新通知を受け取る方法 ... 31
9.4 サポート・リソース ... 31
9.5 商標 ... 31
9.6 静電気放電に関する注意事項 ... 32
9.7 用語集 ... 32
10 メカニカル、パッケージ、および注文情報 ... 32

4 改訂履歴

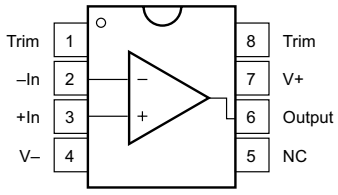
資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (April 2015) to Revision C (November 2022)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• 「絶対最大定格」にデュアル電源電圧を追加	5
• 「絶対最大定格」に出力短絡の記号を追加	5
• 「絶対最大定格」に動作温度の記号を追加	5
• 「絶対最大定格」に接合部温度の記号を追加	5
• 「ESD 定格」の HBM 値を変更	5
• 「ESD 定格」に CDM を追加	5
• 「推奨動作条件」を、単一電源電圧とデュアル電源電圧に変更	5
• 熱に関する情報の表が明確になるよう書式を変更。	6
• 「熱に関する情報」の OPA222xP および OPA222xPA デバイスのパッケージを P (PDIP) に変更	6
• OPAx227 の「電気的特性」から冗長な電源電圧を削除、同じ情報が既に「推奨動作条件」に記載されているため	7
• OPAx227 の「電気的特性」から冗長な温度を削除、同じ情報が既に「推奨動作条件」に記載されているため	7
• OPAx228 の「電気的特性」から冗長な電源電圧を削除、同じ情報が既に「推奨動作条件」に記載されているため	9
• OPAx228 の「電気的特性」から冗長な温度を削除、同じ情報が既に「推奨動作条件」に記載されているため	9

Changes from Revision A (January 2005) to Revision B (April 2015)	Page
• 「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加	1

Copyright © 2023 Texas Instruments Incorporated

5 ピン構成および機能



NC = Not Connected

図 5-1. OPA227、OPA228：D (8 ピン SOIC) または P (8 ピン PDIP) パッケージ (上面図)

表 5-1. ピンの機能：OPA227 および OPA228

ピン		種類	説明
番号	名称		
1	Offset Trim	入力	入力オフセット電圧のトリム (未使用の場合はフローティングのまま)
2	-In	入力	反転入力
3	+In	入力	非反転入力
4	V-	—	負 (最低) 電源
5	NC	—	内部接続なし (フローティングのままでも可)
6	出力	出力	出力
7	V+	—	正 (最高) 電源
8	Trim	—	入力オフセット電圧のトリム (未使用の場合はフローティングのまま)

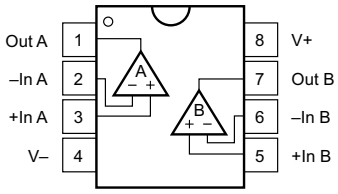
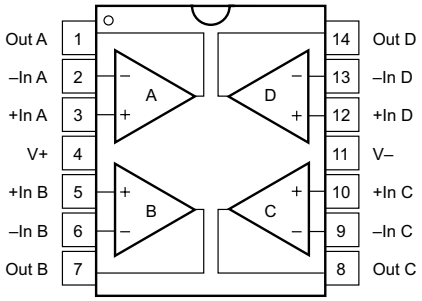


図 5-2. OPA2227、OPA2228：D (8 ピン SOIC) または P (8 ピン PDIP) パッケージ (上面図)

表 5-2. ピンの機能：OPA2227 および OPA2228

ピン		種類	説明
番号	名称		
1	Out A	出力	出力チャネル A
2	-In A	入力	反転入力、チャネル A
3	+In A	入力	非反転入力、チャネル A
4	V-	—	負 (最低) 電源
5	+In B	入力	非反転入力、チャネル B
6	-In B	入力	反転入力、チャネル B
7	Out B	出力	出力チャネル B
8	V+	—	正 (最高) 電源

Copyright © 2023 Texas Instruments Incorporated



DIP-14, SO-14

図 5-3. OPA4227、OPA4228：D (14 ピン SOIC) または N (14 ピン PDIP) パッケージ (上面図)

表 5-3. ピンの機能：OPA4227 および OPA4228

ピン		種類	説明
番号	名称		
1	Out A	出力	出力チャネル A
2	-In A	入力	反転入力、チャネル A
3	+In A	入力	非反転入力、チャネル A
4	V+	—	正 (最高) 電源
5	+In B	入力	非反転入力、チャネル B
6	-In B	入力	反転入力、チャネル B
7	Out B	出力	出力チャネル B
8	Out C	出力	出力チャネル C
9	-In C	入力	反転入力、チャネル C
10	+In C	入力	非反転入力、チャネル C
11	V-	—	負 (最低) 電源
12	+In D	入力	非反転入力、チャネル D
13	-In D	入力	反転入力、チャネル D
14	Out D	出力	出力チャネル D

Copyright © 2023 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
V_S	単一電源電圧、V_S = (V+) - (V-)			36	V
	デュアル電源電圧、V_S = (V+) - (V-)			±18	
	信号入力ピン	電圧	(V-) - 0.7	(V+) + 0.7	V
		電流		20	mA
I_{SC}	出力短絡(2)		連続		
T_A	動作温度範囲		-55	125	℃
T_J	接合部温度			150	℃
T_{stg}	保存温度		-65	150	℃

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) グランドに短絡できるのは、1 パッケージ当たり 1 アンプです。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	1000	V
		デバイス帯電モデル (CDM)、JEDEC 規格 JESD22-C101 準拠 ((2))	250	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。
(2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_S	単一電源電圧、V_S = (V+) - (V-)	4.5	30	36	V
	デュアル電源電圧、V_S = (V+) - (V-)	±2.25	±15	±18	
	仕様温度範囲	-40		85	℃

Copyright © 2023 Texas Instruments Incorporated

6.4 熱に関する情報：OPA227、OPA228

熱評価基準(1)		OPA227P、OPA227PA、OPA228P、OPA228PA	OPA227U、OPA227UA、OPA228U、OPA228UA	単位
		P (PDIP)	D (SOIC)	
		8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	48.9	110.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	37.7	52.2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	26.1	52.3	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	15.1	10.4	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	26	51.5	°C/W
$R_{\theta JC(bot)}$	接合部からケース (下面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

6.5 熱に関する情報：OPA2227、OPA2228

熱評価基準(1)		OPA2227P、OPA2227PA、OPA2228P、OPA2228PA	OPA2227U、OPA2227UA、OPA2228U、OPA2228UA	単位
		P (PDIP)	D (SOIC)	
		8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	110.1	101.9	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	52.2	46.3	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	52.3	45.5	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	10.4	6.6	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	51.5	42.8	°C/W
$R_{\theta JC(bot)}$	接合部からケース (下面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

6.6 熱に関する情報：OPA4227、OPA4228

熱評価基準(1)		OPA4227P、OPA4227PA、OPA4228P、OPA4228PA	OPA4227U、OPA4227UA、OPA4228U、OPA4228UA	単位
		N (PDIP)	D (SOIC)	
		14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	65.5	65	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	20	23.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	25.9	20.3	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	1.9	1.8	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	25.3	19.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース (下面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

Copyright © 2023 Texas Instruments Incorporated

6.7 電気的特性：OPAx227

T_A = 25℃、V_S = ±5V～±15V、V_{CM} = V_{OUT} = V_S / 2、R_L = 10kΩ を V_S / 2 に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V_{OS}	入力オフセット電圧	U、P グレード			±5	±75	μV
			T_A = -40℃～+85℃			±100	
		UA、PA グレード			±10	±200	
			T_A = -40℃～+85℃			±200	
dV_{OS}/dT	入力オフセット電圧ドリフト	U、P グレード	T_A = -40℃～+85℃		±0.1	±0.6	μV/℃
		UA、PA グレード	T_A = -40℃～+85℃		±0.3	±2	
PSRR	電源除去比	V_S = ±2.5V～±18V			±0.5	±2	μV/V
			T_A = -40℃～+85℃			±2	
	長期ドリフト				0.2		μV/mo
	チャネル・セパレーション (デュアル、クワッド)	DC			0.2		μV/V
		f = 1kHz、R_L = 5kΩ			110		dB
入力バイアス電流							
I_B	入力バイアス電流				±2.5	±10	nA
		T_A = -40℃～+85℃				±10	
I_{OS}	入力オフセット電流				±2.5	±10	nA
		T_A = -40℃～+85℃				±10	
ノイズ							
	入力電圧ノイズ	f = 0.1Hz～10Hz			90		nV_{PP}
					15		nV_{RMS}
e_n	入力電圧ノイズ密度	f = 10Hz			3.5		nV/√Hz
		f = 100Hz			3		
		f = 1kHz			3		
i_n	入力電流ノイズ密度	f = 1kHz			0.4		pA/√Hz
入力電圧							
V_{CM}	同相電圧			(V-) + 2		(V+) - 2	V
CMRR	同相除去比	(V-) + 2V < V_{CM} < (V+) - 2V		120	138		dB
			T_A = -40℃～+85℃	120			
入力インピーダンス							
	差動				10 || 12		MΩ || pF
	同相	V_{CM} = (V-) + 2V～(V+) - 2V			1 || 3		GΩ || pF

Copyright © 2023 Texas Instruments Incorporated

6.7 電気的特性：OPAx227 (continued)

T_A = 25℃、V_S = ±5V～±15V、V_{CM} = V_{OUT} = V_S / 2、R_L = 10kΩ を V_S / 2 に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
開ループ・ゲイン							
A_{OL}	開ループ電圧ゲイン	(V-) + 2V < V_O < (V+) - 2V		132	160		dB
			T_A = -40℃～+85℃	132			
		(V-) + 3.5V < V_O < (V+) - 3.5V、R_L = 600Ω		132	160		
			T_A = -40℃～+85℃	132			
周波数応答							
GBW	ユニティ・ゲイン帯域幅				8		MHz
SR	スルーレート				2.3		V/µs
	セトリング・タイム	G = 1、10V ステップ、C_L = 100pF	0.1% まで		5		µs
			0.01% まで		5.6		
	過負荷復帰時間	V_{IN} × G = V_S			1.3		µs
THD+N	全高調波歪 + ノイズ	G = 1、f = 1kHz、V_O = 3.5V_{RMS}			0.00005		%
出力							
	電圧出力	T_A = -40℃～+85℃		(V-) + 2		(V+) + 2	V
			R_L = 600Ω	(V-) + 3.5		(V+) + 3.5	V
I_{SC}	短絡電流				±45		mA
C_{LOAD}	容量性負荷の駆動				「代表的特性」を参照		
Z_O	開ループ出力インピーダンス	f = 1MHz			27		Ω
電源							
I_Q	アンプごとの静止電流	I_O = 0A			±3.7	±3.8	mA
			T_A = -40℃～+85℃			±4.2	

Copyright © 2023 Texas Instruments Incorporated

6.8 電気的特性：OPAx228

T_A = 25℃、V_S = ±5V～±15V、V_{CM} = V_{OUT} = V_S / 2、R_L = 10kΩ を V_S / 2 に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V_{OS}	入力オフセット電圧	U、P グレード			±5	±75	μV
			T_A = -40℃～+85℃			±100	
		UA、PA グレード			±10	±200	
			T_A = -40℃～+85℃			±200	
dV_{OS}/dT	入力オフセット電圧ドリフト	U、P グレード	T_A = -40℃～+85℃		±0.1	±0.6	μV/℃
		UA、PA グレード	T_A = -40℃～+85℃		±0.3	±2	
PSRR	電源除去比	V_S = ±2.5V～±18V			±0.5	±2	μV/V
			T_A = -40℃～+85℃			±2	
	長期ドリフト				0.2		μV/mo
	チャネル・セパレーション (デュアル、クワッド)	DC			0.2		μV/V
		f = 1kHz、R_L = 5kΩ			110		dB
入力バイアス電流							
I_B	入力バイアス電流				±2.5	±10	nA
		T_A = -40℃～+85℃				±10	
I_{OS}	入力オフセット電流				±2.5	±10	nA
		T_A = -40℃～+85℃				±10	
ノイズ							
	入力電圧ノイズ	f = 0.1Hz～10Hz			90		nV_{PP}
					15		nV_{RMS}
e_n	入力電圧ノイズ密度	f = 10Hz			3.5		nV/√Hz
		f = 100Hz			3		
		f = 1kHz			3		
i_n	入力電流ノイズ密度	f = 1kHz			0.4		pA/√Hz
入力電圧							
V_{CM}	同相電圧			(V-) + 2		(V+) - 2	V
CMRR	同相除去比	(V-) + 2V < V_{CM} < (V+) - 2V		120	138		dB
			T_A = -40℃～+85℃	120			
入力インピーダンス							
	差動				10 || 12		MΩ || pF
	同相	V_{CM} = (V-) + 2V～(V+) - 2V			1 || 3		GΩ || pF

Copyright © 2023 Texas Instruments Incorporated

6.8 電気的特性：OPAx228 (continued)

T_A = 25℃、V_S = ±5V～±15V、V_{CM} = V_{OUT} = V_S / 2、R_L = 10kΩ を V_S / 2 に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
開ループ・ゲイン							
A_{OL}	開ループ電圧ゲイン	(V-) + 2V < V_O < (V+) - 2V		132	160		dB
			T_A = -40℃～+85℃	132			
		(V-) + 3.5V < V_O < (V+) - 3.5V、R_L = 600Ω		132	160		
			T_A = -40℃～+85℃	132			
周波数応答							
	最小閉ループ・ゲイン				5		V/V
GBW	ユニティ・ゲイン帯域幅				33		MHz
SR	スルーレート				11		V/µs
	セトリング・タイム	G = 1、10V ステップ、C_L = 100pF	0.1% まで		1.5		µs
			0.01% まで		2		
	過負荷復帰時間	V_{IN} × G = V_S			0.6		µs
THD+N	全高調波歪 + ノイズ	G = 1、f = 1kHz、V_O = 3.5V_{RMS}			0.00005		%
出力							
	電圧出力	T_A = -40℃～+85℃		(V-) + 2		(V+) + 2	V
			R_L = 600Ω	(V-) + 3.5		(V+) + 3.5	
I_{SC}	短絡電流				±45		mA
C_{LOAD}	容量性負荷の駆動				「代表的特性」を参照		
Z_O	開ループ出力インピーダンス	f = 1MHz			27		Ω
電源							
I_Q	アンプごとの静止電流	I_O = 0A			±3.7	±3.8	mA
			T_A = -40℃～+85℃			±4.2	

Copyright © 2023 Texas Instruments Incorporated

6.9 代表的特性

T_A = 25℃、R_L = 10kΩ、V_S = 15V (特に記述のない限り)。

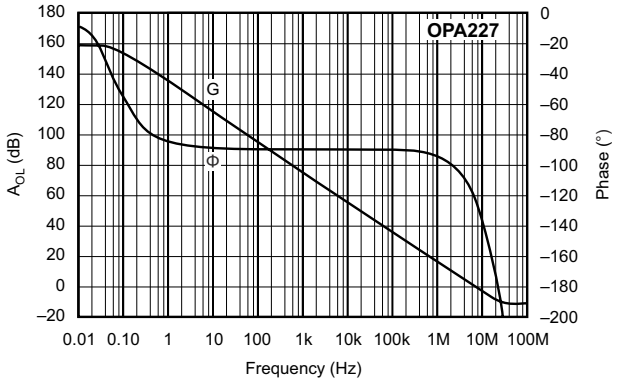


図 6-1. 開ループ・ゲインおよび位相と周波数との関係

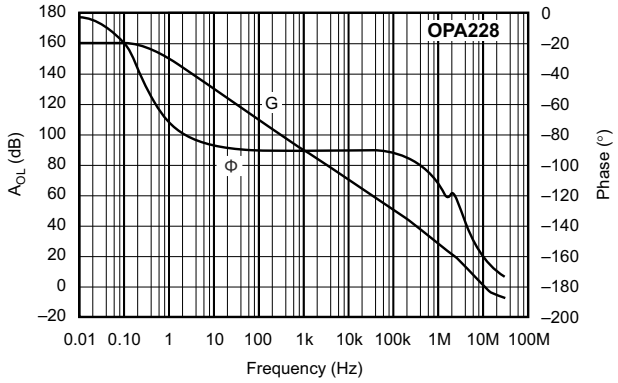


図 6-2. 開ループ・ゲインおよび位相と周波数との関係

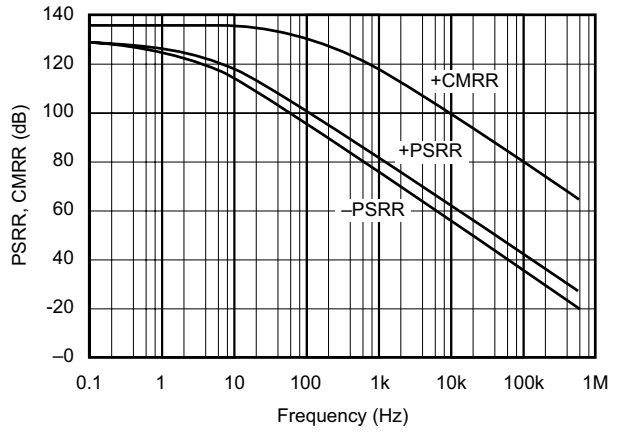


図 6-3. 電源および同相除去比と周波数との関係

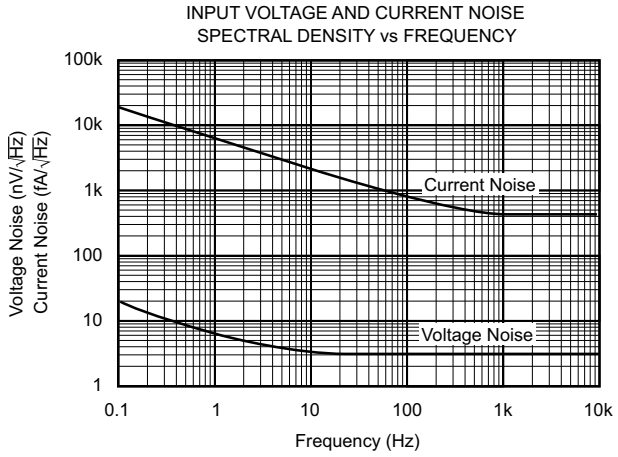


図 6-4. 入力の電圧および電流ノイズのスペクトラム密度と周波数との関係

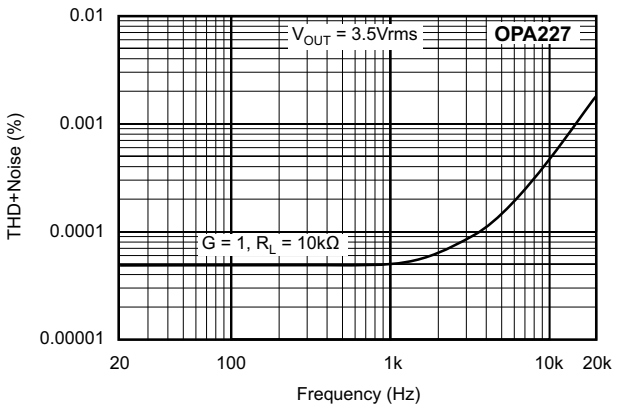


図 6-5. 全高調波歪 + ノイズと周波数との関係

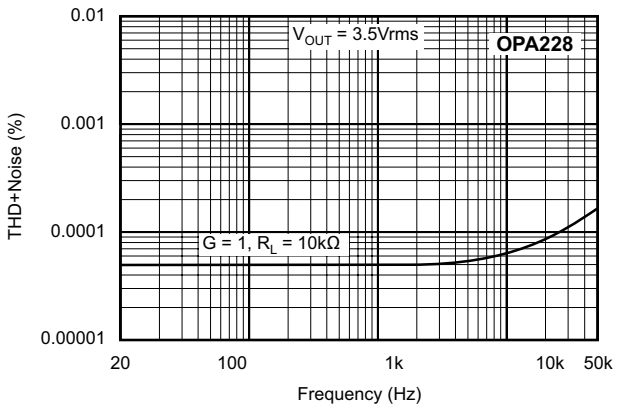


図 6-6. 全高調波歪 + ノイズと周波数との関係

Copyright © 2023 Texas Instruments Incorporated

6.9 代表的特性 (continued)

T_A = 25℃、R_L = 10kΩ、V_S = 15V (特に記述のない限り)。

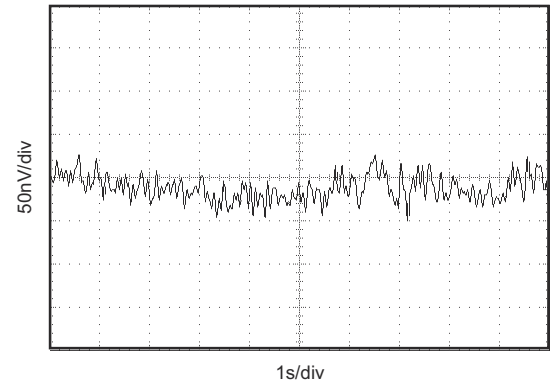


図 6-7. 入力ノイズ電圧と時間との関係

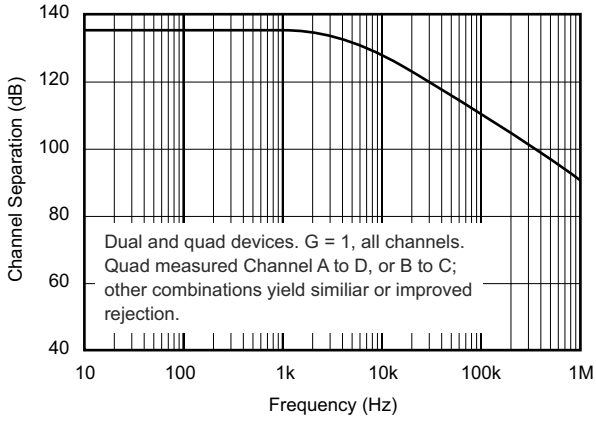


図 6-8. チャネル・セパレーションと周波数との関係

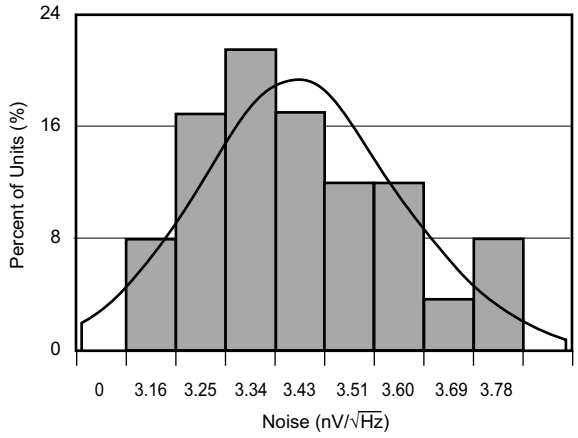


図 6-9. 電圧ノイズ分布 (10Hz)

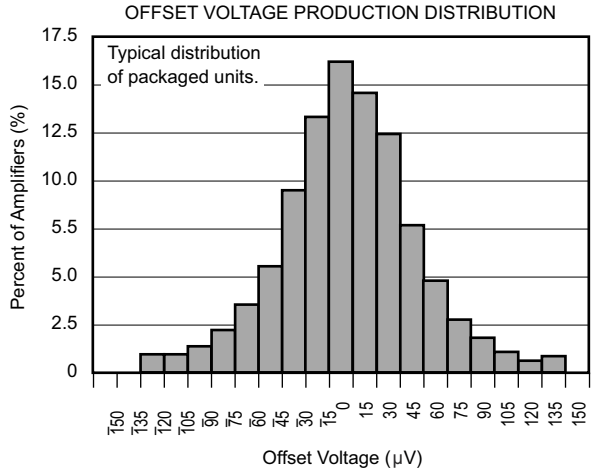


図 6-10. オフセット電圧の製造分布

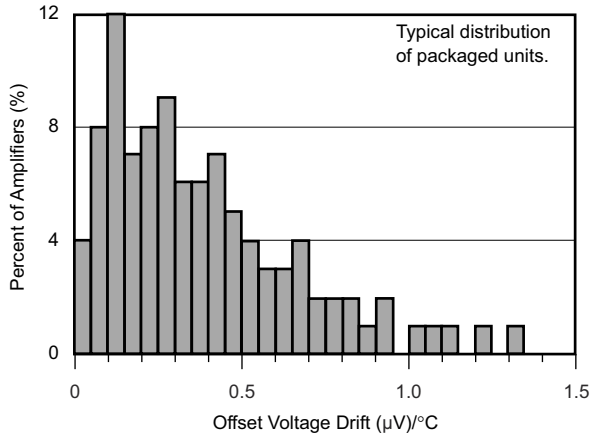


図 6-11. オフセット電圧ドリフトの製造分布

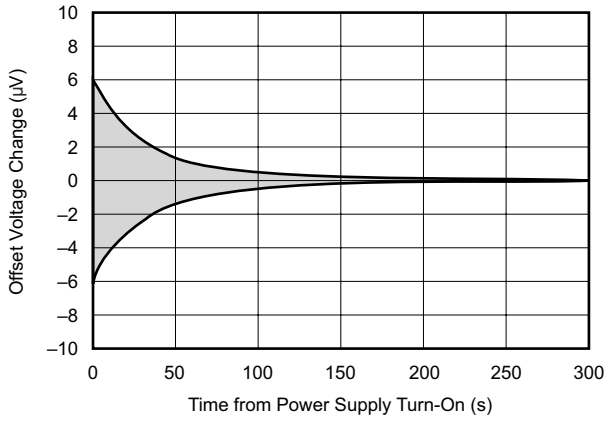


図 6-12. ウォームアップ時のオフセット電圧ドリフト

Copyright © 2023 Texas Instruments Incorporated

6.9 代表的特性 (continued)

T_A = 25℃、R_L = 10kΩ、V_S = 15V (特に記述のない限り)。

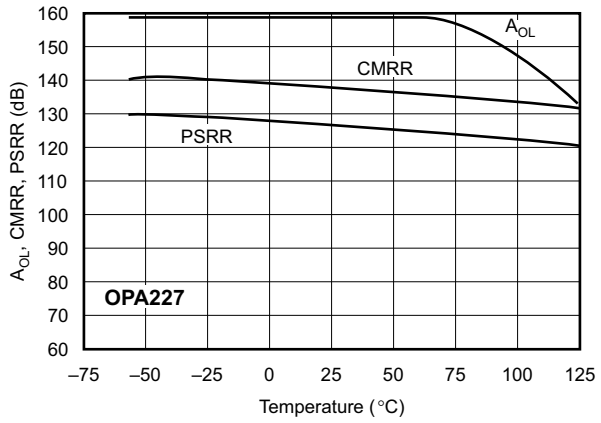


図 6-13. A_{OL}、CMRR、PSRR と温度の関係

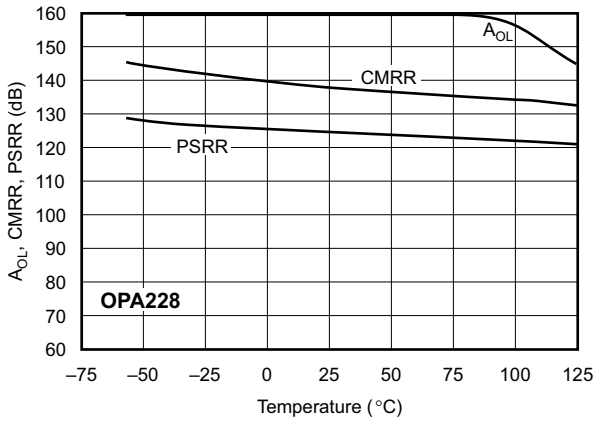


図 6-14. A_{OL}、CMRR、PSRR と温度の関係

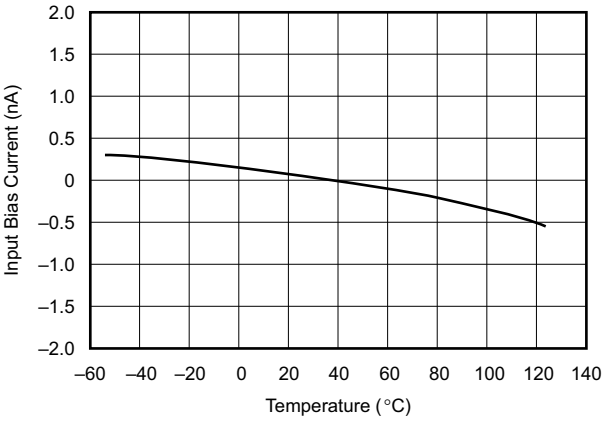


図 6-15. 入力バイアス電流と温度との関係

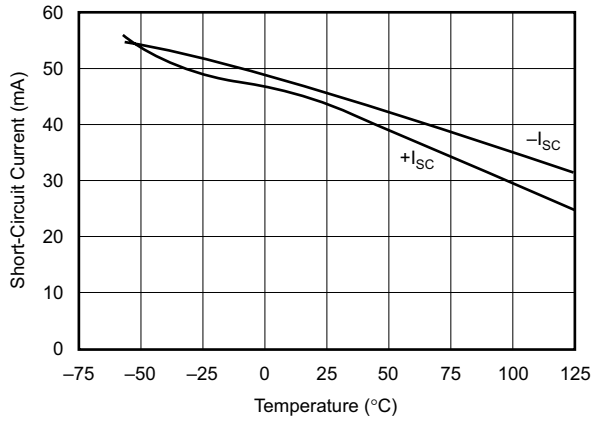


図 6-16. 短絡電流と温度との関係

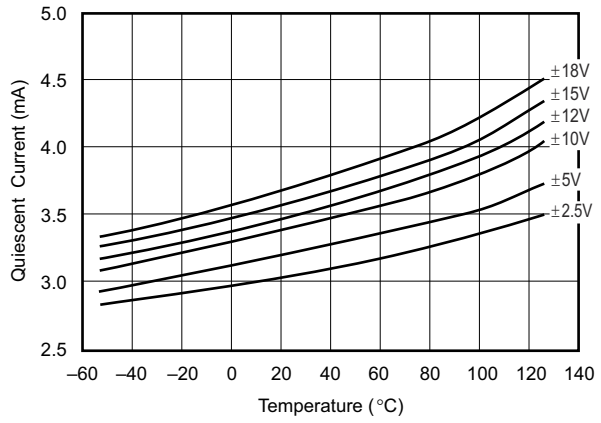


図 6-17. 静止電流と温度との関係

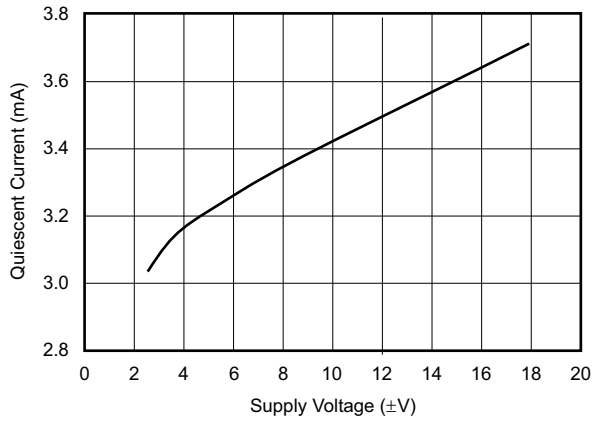


図 6-18. 静止電流と電源電圧との関係

Copyright © 2023 Texas Instruments Incorporated

6.9 代表的特性 (continued)

T_A = 25°C、R_L = 10kΩ、V_S = 15V (特に記述のない限り)。

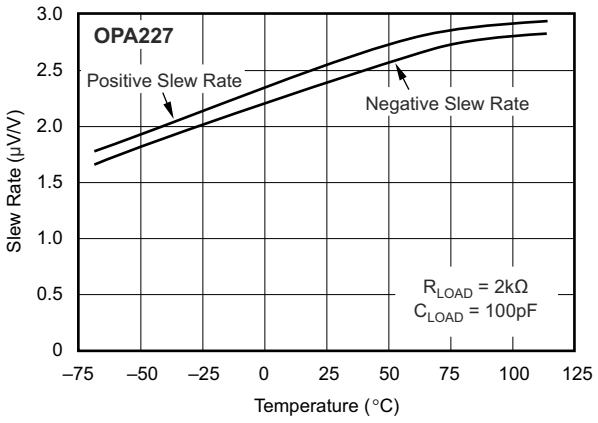


図 6-19. スルーレートと温度との関係

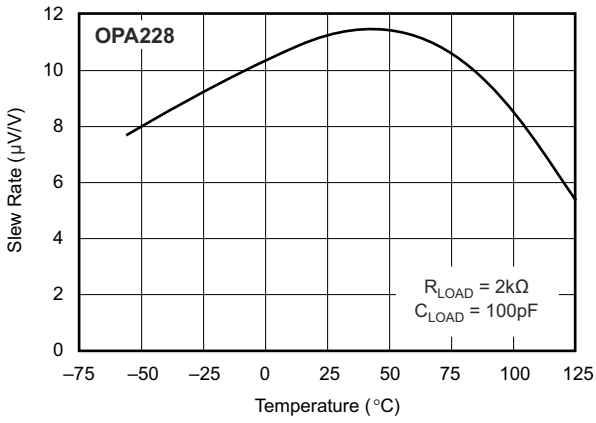


図 6-20. スルーレートと温度との関係

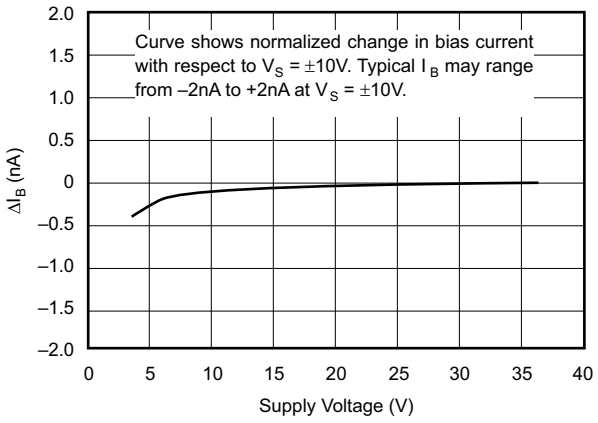


図 6-21. 入力バイアス電流の変化と電源電圧との関係

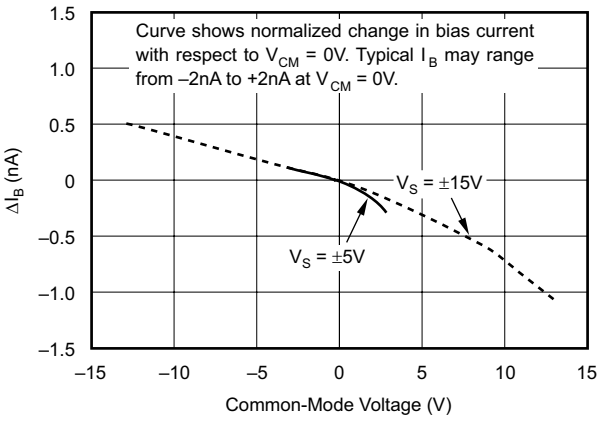


図 6-22. 入力バイアス電流の変化と同相電圧との関係

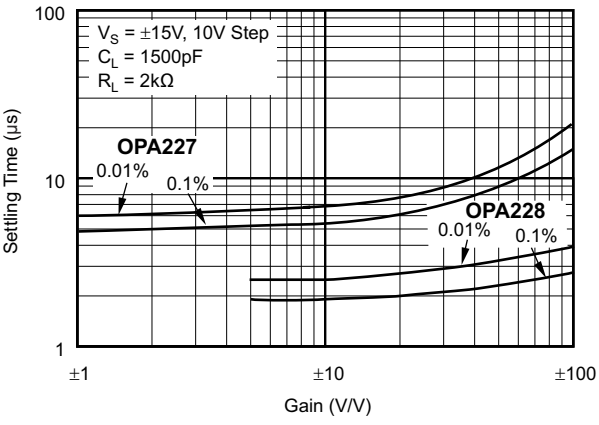


図 6-23. セトリング・タイムと閉ループ・ゲインとの関係

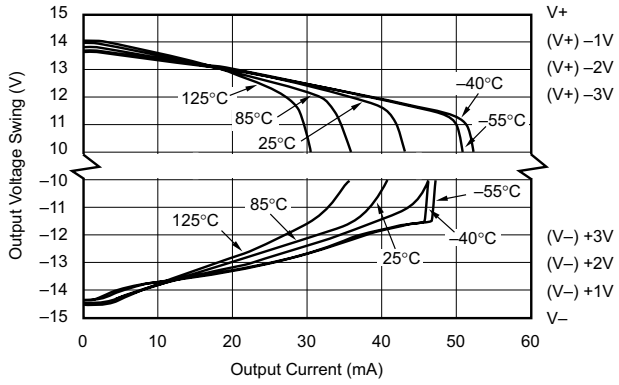


図 6-24. 出力電圧スイングと出力電流との関係

Copyright © 2023 Texas Instruments Incorporated

6.9 代表的特性 (continued)

T_A = 25℃、R_L = 10kΩ、V_S = 15V (特に記述のない限り)。

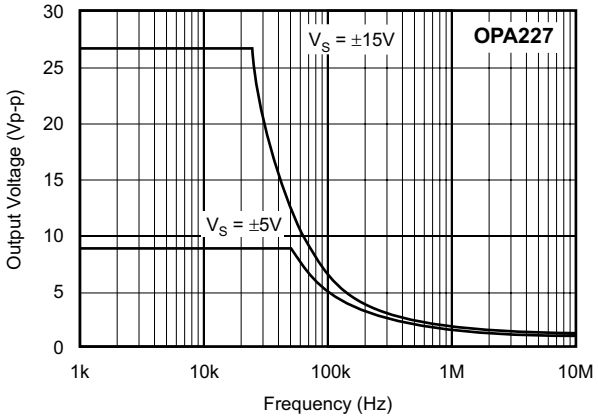


図 6-25. 最大出力電圧と周波数との関係

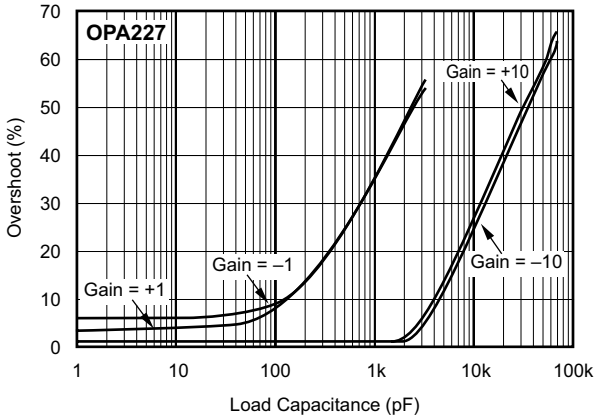
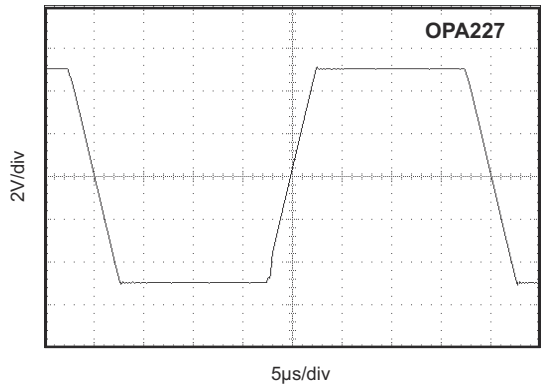
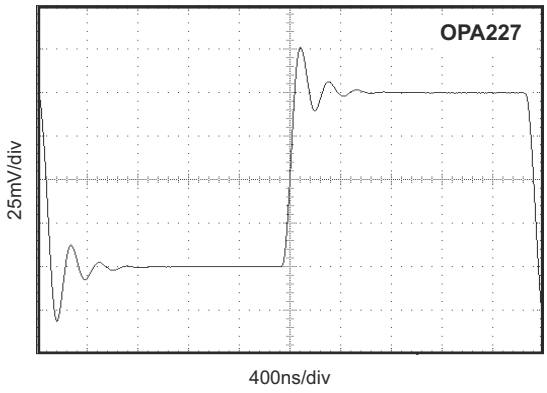


図 6-26. 小信号のオーバーシュートと負荷容量との関係



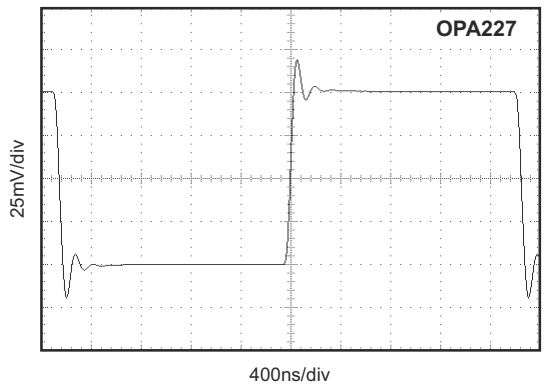
G = -1、 C_L = 1500pF

図 6-27. 大信号ステップ応答



G = 1、 C = 1000pF

図 6-28. 小信号ステップ応答



G = 1、 C_L = 5pF

図 6-29. 小信号ステップ応答

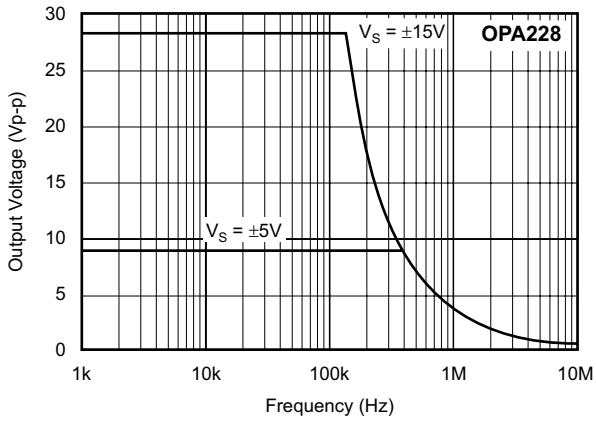


図 6-30. 最大出力電圧と周波数との関係

Copyright © 2023 Texas Instruments Incorporated

6.9 代表的特性 (continued)

T_A = 25℃、R_L = 10kΩ、V_S = 15V (特に記述のない限り)。

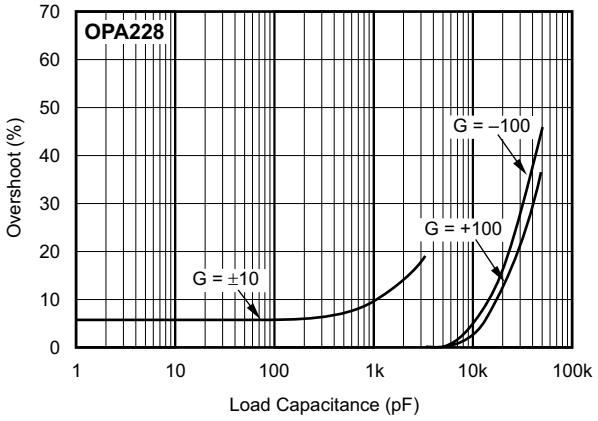


図 6-31. 小信号のオーバーシュートと負荷容量との関係

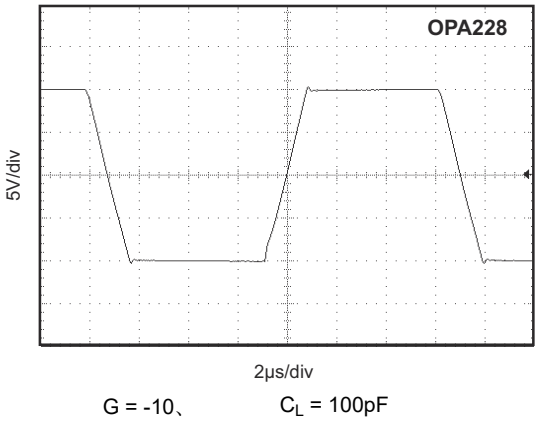


図 6-32. 大信号ステップ応答

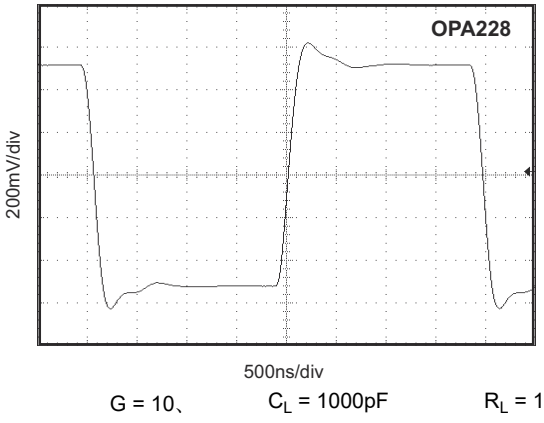


図 6-33. 小信号ステップ応答

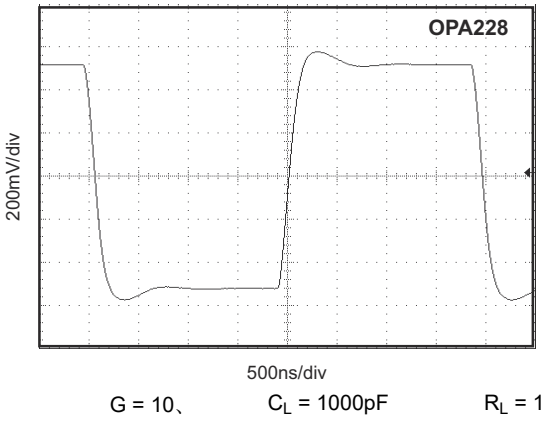


図 6-34. 小信号ステップ応答

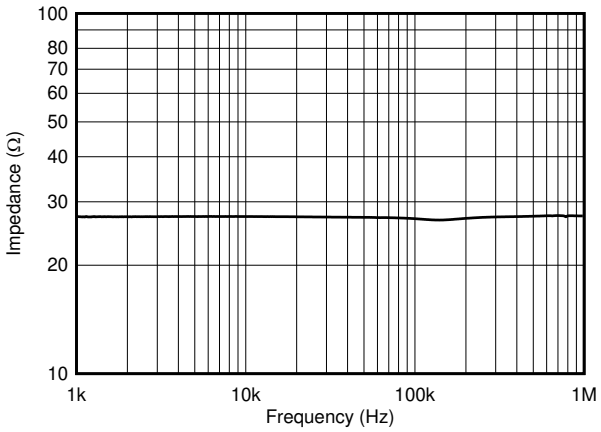


図 6-35. 開ループ出力インピーダンス

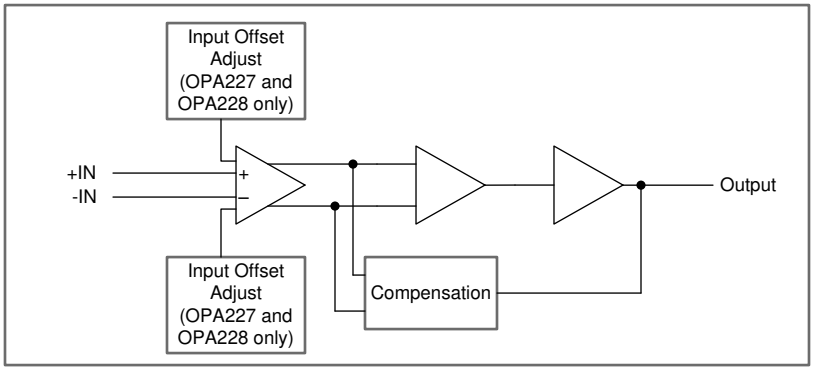
Copyright © 2023 Texas Instruments Incorporated

7 詳細説明

7.1 概要

OPAx22x シリーズのオペアンプは、低ノイズ、広帯域幅、高精度を持ち合わせており、AC と高精度 DC の両方の性能を必要とするアプリケーションに理想的な選択肢です。OPAx227 デバイスはユニティ・ゲイン安定で、高いスルーレート (2.3V/µs) と広帯域幅 (8MHz) を特長としています。OPAx228 は、ゲインが 5 より大きい閉ループに最適化されており、10V/µs のスルーレートと 33MHz の帯域幅で高速を実現します。

7.2 機能ブロック図



7.3 機能説明

OPAx22x シリーズはユニティ・ゲイン安定で、予期しない出力位相反転が発生しないため、幅広いアプリケーションで簡単に使用できます。ノイズが多い、またはハイ・インピーダンスの電源を使用するアプリケーションでは、デバイスのピンの近くにデカップリング・コンデンサが必要です。ほとんどの場合、0.1µF のコンデンサが適しています。

7.3.1 オフセット電圧とドリフト

OPAx22x シリーズは、非常に低いオフセット電圧とドリフトを実現しています。最高の DC 精度を実現するには、回路レイアウトと機械的条件を最適化します。異なる金属を接続すると、オペアンプの入力に熱電位が発生し、オフセット電圧とドリフトが劣化する可能性があります。これらの熱電対効果は、アンプ固有のドリフトを上回る可能性があり、最終的に性能が低下します。両方の入力端子の電位を等しくすると、これらの熱電位を打ち消すことができます。また、次の点に留意してください。

- 2 つの入力端子に接続する熱質量は同程度にします。
- 熱源を、重要な入力回路からできるだけ離れた場所に配置します。
- オペアンプと入力回路は、冷却ファンなどの空気流から遮蔽します。

7.3.2 動作電圧

OPAx22x シリーズのオペアンプは、±2.5V～±18V のデュアル電源で動作し、優れた性能を発揮します。ほとんどのオペアンプは 1 つの電源電圧でのみ動作が規定されているのに対して、OPA227 シリーズは現実のアプリケーションに対応しているため、±5V～±15V の電源電圧範囲に対して同じ規定の組が適用されます。OPAx22x デバイスは、±5V～±15V の電源で使用できることが規定されています。一部のアプリケーションでは、正と負の出力電圧スイングが等しくなくてもかまいません。電源電圧を等しくする必要はありません。OPAx22x シリーズは、電源間の電圧差が 5V～36V の範囲で動作します。たとえば、正の電源電圧を 25V、負の電源電圧を -5V に設定したり、その逆に設定したりできます。主要なパラメータは、-40℃～+85℃の温度範囲で仕様が規定されています。動作電圧または温度によって大きく変化するパラメータを、セクション 6.9 に示します。

Copyright © 2023 Texas Instruments Incorporated

7.3.3 オフセット電圧の調整

OPAx22x シリーズは、非常に低いオフセットとドリフトを実現するようレーザ・トリムされているため、ほとんどのアプリケーションで外部調整は必要ありません。しかし、OPA227 と OPA228 (シングル・バージョン) では、ピン 1 とピン 8 にオフセット電圧トリムを接続できます。オフセット電圧は、図 7-1 に示すようにポテンショメータを接続して調整できます。この調整は、オペアンプのオフセットを打ち消すためにのみ使用します。追加の温度ドリフトが発生する恐れがあるため、システムの他の場所で発生したオフセットをこの調整で補償しないでください。

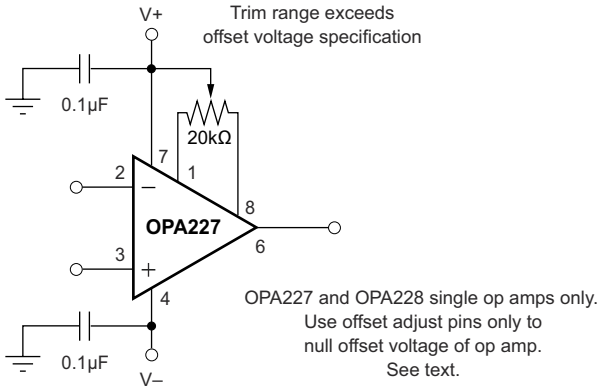


図 7-1. OPA227 のオフセット電圧トリム回路

7.3.4 入力保護

OPAx22x の入力保護には、バック・ツー・バック・ダイオードを使用します (図 7-2 を参照)。パルス条件などにより、これらのダイオードのターンオン・スレッショルドを超えると、アンプのスルーレートは有限なので、入力保護ダイオードに電流が流れる可能性があります。外部に電流制限用の抵抗がないと、入力デバイスが破壊される恐れがあります。大きな入力電流を持つソースは、アンプに微妙な損傷を引き起こす恐れがあります。ユニットは機能し続けますが、入力オフセット電圧、ドリフト、ノイズなどの重要なパラメータが変化する可能性があります。

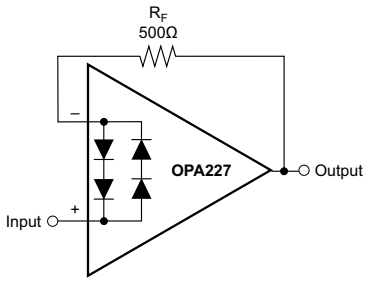


図 7-2. パルス動作

OPA227 をユニティ・ゲイン・バッファ (フォロワー) として使用するときは、入力電流を 20mA に制限します。帰還抵抗または抵抗をソースと直列に挿入することで、この制限を行えます。抵抗の十分なサイズは、式 1 で計算されます。

$$R_X = V_S/20mA - R_{SOURCE} \quad (1)$$

ここで

- R_X はソースと直列に接続するか、帰還パスに挿入します。

たとえば、10V のパルス (V_S = 10V) では、500Ω の合計ループ抵抗が必要です。ソース・インピーダンスが電流を制限するため十分な大きさなら、追加の抵抗は必要ありません。ノイズが増加するため、外付け抵抗のサイズは注意深く選択してください。ノイズ計算の詳細については、セクション 7.3.6 を参照してください。電流制限用の帰還抵抗の実装例を、図 7-2 に示します。

Copyright © 2023 Texas Instruments Incorporated

7.3.5 入力バイアス電流のキャンセル

OPAx22x シリーズの入力バイアス電流は、同量で逆方向のキャンセル電流によって内部的に補償されます。結果として生じる入力バイアス電流は、入力バイアス電流とキャンセル電流との差です。残留入力バイアス電流は、正または負になる可能性があります。

この方法でバイアス電流がキャンセルされると、入力バイアス電流と入力オフセット電流はほぼ等しくなります。入力バイアス電流の影響をキャンセルするために抵抗を追加すると (図 7-3 を参照)、実際にはオフセットとノイズが増加する恐れがあるため、推奨しません。

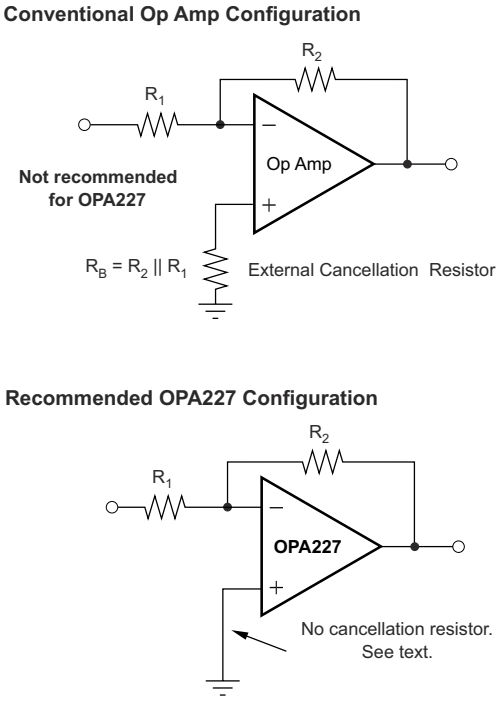


図 7-3. 入力バイアス電流のキャンセル

7.3.6 ノイズ性能

ユニティ・ゲイン構成のオペアンプでソース・インピーダンスを変化させたときの回路の合計ノイズを、図 7-4 に示します (帰還抵抗ネットワークを使用していないため、他にノイズの原因となるものはありません)。2 つの異なるオペアンプと、回路の合計ノイズの計算値が示されています。OPA227 は電圧ノイズが非常に小さいため、ソース・インピーダンスが低い (20kΩ 未満) 場合に適した選択肢です。類似の高精度オペアンプ OPA227 では、電圧ノイズが多少大きくなりますが、電流ノイズは小さくなります。OPA277 は、中程度のソース・インピーダンス (10kΩ～100kΩ) で優れたノイズ性能を実現します。100kΩ を上回る場合は、OPA132 (超低電流ノイズ) のような FET 入力オペアンプの方が優れた性能を発揮する可能性があります。図 7-4 の式を使用して、回路の合計ノイズを計算します。ここで、e_n=電圧ノイズ、i_n=電流ノイズ、R_S=ソース・インピーダンス、k=ボルツマン定数=1.38 × 10^{-23} J/K、T はケルビン (K) 単位の温度です。ノイズの計算の詳細については、セクション 7.3.7 を参照してください。

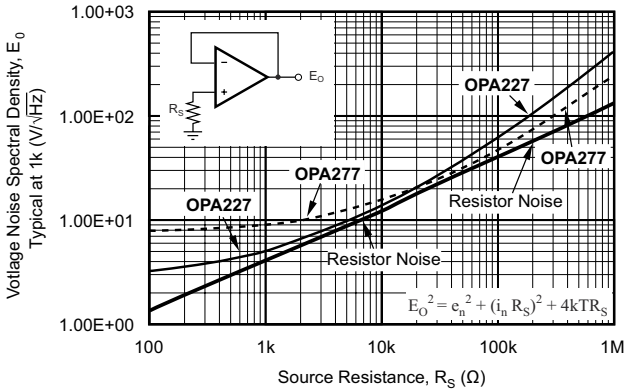


図 7-4. ユニティ・ゲイン・バッファ構成の OPA227 のノイズ性能

7.3.7 ノイズの基本的な計算

低ノイズのオペアンプ回路を設計するには、ノイズを引き起こす各種の要因について十分に考慮する必要があります。このような要因として、信号ソースからのノイズ、オペアンプ内で発生するノイズ、帰還ネットワーク抵抗からのノイズなどがあります。回路全体のノイズは、すべてのノイズ要素の二乗和平方根に等しくなります。

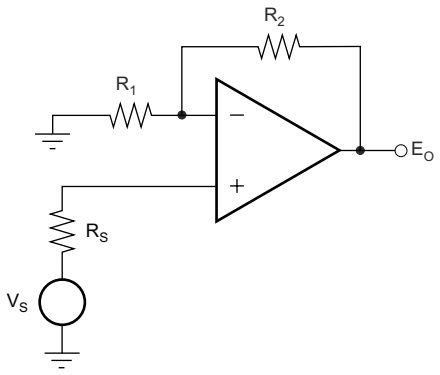
ソース・インピーダンスの抵抗の部分では、抵抗の平方根に比例する熱ノイズが発生します。この関係を、図 7-4 に示します。ソース・インピーダンスは一般に固定されているため、ノイズ全体に占める割合ができるだけ少なくなるよう、オペアンプと帰還抵抗を選択します。

ユニティ・ゲイン構成のオペアンプでソース・インピーダンスを変化させたときの合計ノイズを、図 7-4 に示します (帰還抵抗ネットワークを使用していないため、他にノイズの原因となるものはありません)。オペアンプでは、電圧ノイズと電流ノイズの両方が発生します。電圧ノイズは一般的に、オフセット電圧の時間によって変化する要素としてモデル化されます。電流ノイズは、入力バイアス電流の時間によって変化する要素としてモデル化され、ソース抵抗に反応して、ノイズの電圧要素を形成します。したがって、特定のアプリケーションに対する最小ノイズのオペアンプは、ソース・インピーダンスによって異なります。ソース・インピーダンスが小さい場合は、電流ノイズは無視できるもので、通常は電圧ノイズが大部分を占めます。ソース・インピーダンスが大きい場合は、電流ノイズが大部分を占めることがあります。

反転型と非反転型の両方のオペアンプについて、回路構成とゲインを、図 7-5 に示します。ゲインが存在する回路構成では、帰還ネットワーク抵抗もノイズの原因となります。オペアンプの電流ノイズは帰還抵抗に反応して、さらにノイズを発生させます。一般的には、帰還抵抗の値を選択して、これらのノイズ発生源を無視できる程度まで下げることができます。両方の構成について、合計ノイズの計算式を次の図に示します。

Copyright © 2023 Texas Instruments Incorporated

Noise in Noninverting Gain Configuration



Noise at the output:

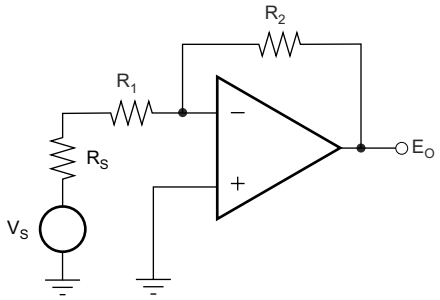
$$E_O^2 = \left(1+\frac{R_2}{R_1}\right)^2 e_n^2 + e_1^2 + e_2^2 + (i_n R_2)^2 + e_S^2 + (i_n R_S)^2\left(1+\frac{R_2}{R_1}\right)^2$$

Where $e_S = \sqrt{4kTR_S} \bullet \left(1+\frac{R_2}{R_1}\right)$ = thermal noise of R_S

$e_1 = \sqrt{4kTR_1} \bullet \left(\frac{R_2}{R_1}\right)$ = thermal noise of R_1

$e_2 = \sqrt{4kTR_2}$ = thermal noise of R_2

Noise in Inverting Gain Configuration



Noise at the output:

$$E_O^2 = \left(1+\frac{R_2}{R_1+R_S}\right)^2 e_n^2 + e_1^2 + e_2^2 + (i_n R_2)^2 + e_S^2$$

Where $e_S = \sqrt{4kTR_S} \bullet \left(\frac{R_2}{R_1+R_S}\right)$ = thermal noise of R_S

$e_1 = \sqrt{4kTR_1} \bullet \left(\frac{R_2}{R_1+R_S}\right)$ = thermal noise of R_1

$e_2 = \sqrt{4kTR_2}$ = thermal noise of R_2

For the OPA227 and OPA228 series op amps at 1kHz, e_n = 3nV/$\sqrt{Hz}$ and i_n = 0.4pA/$\sqrt{Hz}$.

図 7-5. ゲイン構成のノイズの計算

Copyright © 2023 Texas Instruments Incorporated

OPA227 と OPA228 のノイズをテストするために使用する 0.1Hz～10Hz のバンドパス・フィルタを、図 7-6 に示します。このフィルタ回路は、テキサス・インスツルメンツの FilterPro ソフトウェア (www.tij.co.jp から入手できます) を使用して設計されています。ノイズ・テスト用の OPA227 および OPA228 の構成を、図 7-7 に示します。

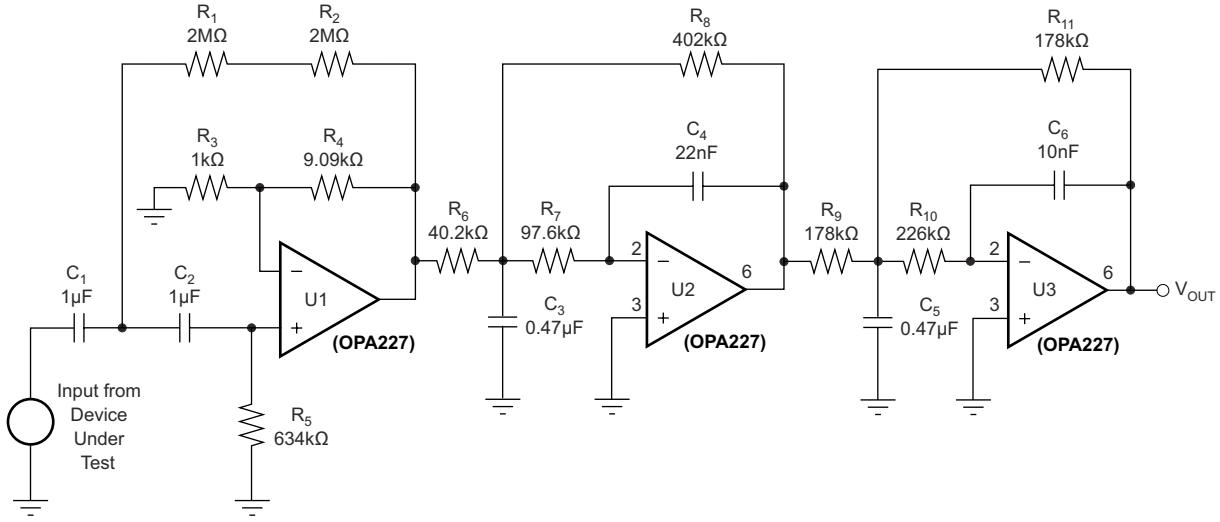


図 7-6. OPAx22x シリーズの広帯域ノイズのテストに使用される 0.1Hz～10Hz のバンドパス・フィルタ

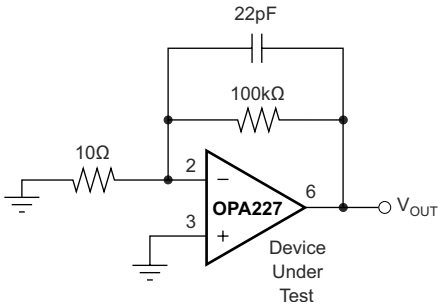


図 7-7. ノイズ・テストの回路

7.3.8 電磁干渉除去比 (EMIRR)

電磁干渉 (EMI) 除去比 (EMIRR) は、オペアンプの EMI 耐性を表します。多くのオペアンプに一般的な悪影響として、RF 信号の整流によりフセット電圧が変化することが挙げられます。EMI によって発生する、このようなオフセットの変化を効率的に除去できるのは、EMIRR が高いオペアンプです。この値はデシベル単位で表されます。EMIRR はさまざまな方法で測定できますが、このセクションでは EMIRR IN+ を紹介します。これは、オペアンプの非反転入力ピンに RF 信号が印加されたときの EMIRR 性能について特に記述したものです。次の 3 つの理由から、一般に EMIRR では非反転入力のみがテストされます。

1. オペアンプの入力ピンは、EMI の影響を最も受けやすいことが知られており、通常は電源ピンや出力ピンよりも的確に RF 信号を整流します。
2. オペアンプの非反転と反転の入力は、物理なレイアウトが対称的で、EMIRR 性能はほぼ一致しています。
3. 非反転入力端子を PCB (プリント基板) 上で絶縁できるため、非反転ピンでの EMIRR 測定は、他のピンよりも簡単です。この絶縁により、RF 信号を非反転入力端子に直接印加でき、他の部品との複雑な相互作用や PCB 配線の接続は発生しません。

Copyright © 2023 Texas Instruments Incorporated

EMIRR IN+ の定義およびテスト方法については、アプリケーション・レポート SBOA128、『オペアンプの EMI 除去率』で詳しく説明しています。この資料は、www.tij.co.jp からダウンロードできます。OPA227 の EMIRR IN+ の周波数特性を、図 7-8 に示します。

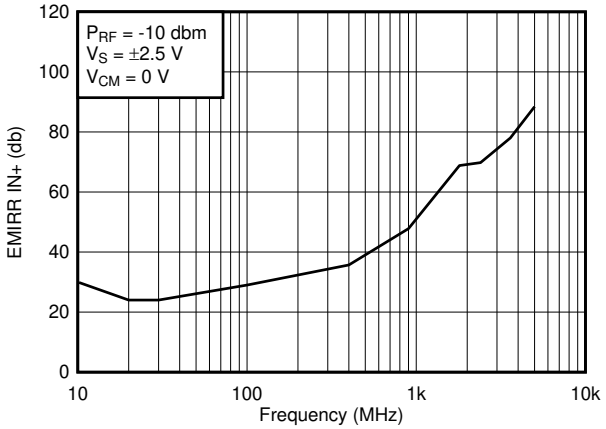


図 7-8. OPA227 の EMIRR IN+ と周波数との関係

オペアンプ・デバイスにデュアルやクワッドのバージョンがある場合、どれも EMIRR IN+ 性能はほぼ同じです。OPAx227 のユニティ・ゲイン帯域幅は 8MHz です。この周波数以下での EMIRR 性能は、干渉する信号がオペアンプの帯域幅内にあることを示しています。

実際のアプリケーションで一般的に発生する、特定の周波数における OPA227 の EMIRR IN+ 値を、表 7-1 に示します。表 7-1 に示すアプリケーションは、表に示す特定の周波数を中心として、またはその周波数の付近で運用されます。これらの情報は、これらの種類のアプリケーションを使用する、または産業用、科学用、医療用 (ISM) 無線帯域のような広範なソースからの RF 干渉に取り組む可能性が高い他の分野で従事する設計者には特に興味深いかもしれません。

表 7-1. 対象周波数における OPAx227 の EMIRR IN+

周波数	アプリケーション / 割り当て	EMIRR IN+
400MHz	モバイル無線、モバイルの衛星および宇宙での運用、気象、レーダー、UHF	35.7dB
900MHz	GSM、無線通信およびナビゲーション、GPS (1.6GHz まで)、ISM、航空モバイル、UHF	47.8dB
1.8GHz	GSM、モバイル・パーソナル通信、広帯域、衛星、L バンド	68.8dB
2.4GHz	802.11b/g/n、Bluetooth® モバイル・パーソナル通信、ISM、アマチュア無線および衛星、S バンド	69.8dB
3.6GHz	無線測位、航空通信およびナビゲーション、衛星、モバイル、S バンド	78dB
5GHz	802.11a/n、航空通信およびナビゲーション、モバイル通信、宇宙および衛星での運用、C バンド	88.4dB

Copyright © 2023 Texas Instruments Incorporated

7.3.8.1 EMIRR IN+ のテスト構成

EMIRR IN+ をテストするための回路構成を、図 7-9 に示します。伝送ラインを使用して、RF ソースをオペアンプの非反転入力端子に接続します。オペアンプは、ローパス・フィルタ (LPF) とデジタル・マルチメータ (DMM) に接続された出力を持つ、ユニティ・ゲイン・バッファ・トポロジで構成されます。オペアンプの入力でインピーダンスの大きな不一致があると電圧が反射しますが、この効果は特性付けされ、EMIRR IN+ を決定するときに考慮されます。結果として得られる DC オフセット電圧は、マルチメータによってサンプリングおよび測定されます。LPF は、マルチメータの精度に干渉する可能性のある残留 RF 信号からマルチメータを絶縁します。詳細については、『オペアンプの EMI 除去率』アプリケーション・ノートを参照してください。

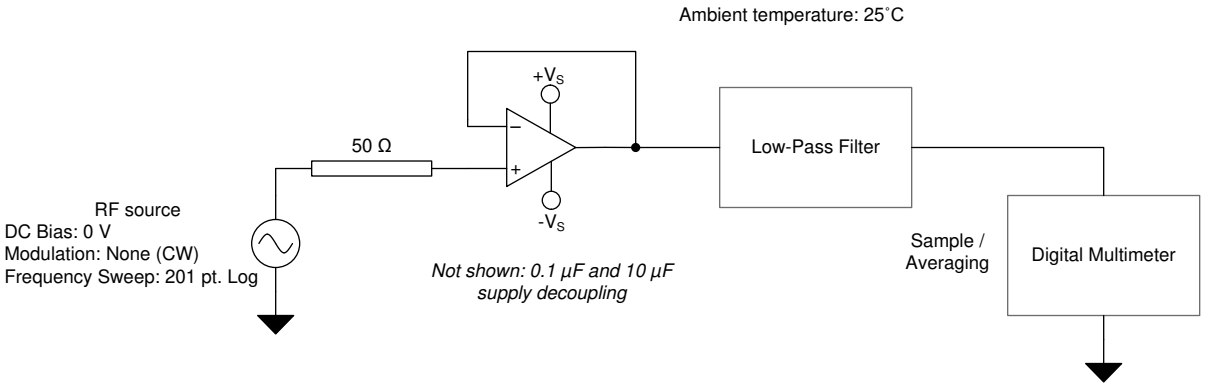


図 7-9. EMIRR IN+ のテスト構成の回路図

7.4 デバイスの機能モード

OPAx22x には単一の機能モードがあり、電源電圧が 5V (±2.5V) を上回ると動作します。OPAx22x の最大電源電圧は 36V (±18V) です。

Copyright © 2023 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

OPAx22x シリーズは、超低ノイズの高精度オペアンプです。OPAx227 シリーズはユニティ・ゲイン安定で、スルーレートは 2.3V/µs、帯域幅は 8MHz です。OPAx228 シリーズは、ゲインが 5 以上の高速アプリケーション向けに最適化されており、10V/µs のスルーレートと 33MHz の帯域幅が特長です。ノイズが多い、またはインピーダンスが高い電源を使用するアプリケーションでは、デバイスのピンの近くにデカップリング・コンデンサが必要です。ほとんどの場合、0.1µF のコンデンサが適しています。

8.2 代表的なアプリケーション

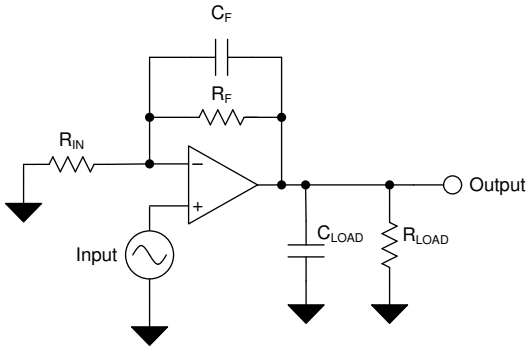


図 8-1. 代表的なアプリケーション回路図

8.2.1 OPAx228 を低いゲインで使用する

OPAx228 ファミリは、信号ゲインが 5 以上のアプリケーションを対象としていますが、これより低いゲインで高速な動作を活用することもできます。外部補償を行わない場合、OPA228 には純粋な抵抗性負荷でユニティ・ゲイン安定を維持するために十分な位相マージンがあります。ただし、負荷容量を追加すると位相マージンが減少し、オペアンプが不安定になる可能性があります。

8.2.1.1 設計要件

1. 動作時の OPAx228 のゲインは 5V/V 未満
2. 容量性負荷で安定した動作

8.2.1.2 詳細な設計手順

OPA228 と組み合わせて使用するため、各種の補償技法が評価済みです。推奨構成は、図 8-2 および図 8-3 に示すように、帰還抵抗と並列にコンデンサ (C_F) を追加したものです。この帰還コンデンサは、回路の補償において 2 つの目的を果たします。オペアンプの入力容量と帰還抵抗が相互に作用して位相シフトが発生し、不安定になる可能性があります。C_F は入力容量を補償し、ピークを最小限に抑えます。さらに、高周波数では、入力容量と帰還コンデンサとの比によって、アンプの閉ループ・ゲインが大きく影響されます。このため、C_F を適切に選択すれば、高速を維持しながら優れた安定性を実現できます。

外部補償がない場合、OPA228 のノイズ仕様は OPA227 のゲインが 5 以上の場合と同じです。外部補償を追加すると、OPA228 の出力ノイズはこれより高くなります。ノイズの増加量は、C_{IN}/C_F の比によって決定される高周波閉ループ・ゲインの増加に直接関係します。

Copyright © 2023 Texas Instruments Incorporated

ゲイン 2 と -2 の推奨回路を、それぞれ図 8-2 および図 8-3 に示します。これらの図は、C_F の近似値を示しています。補償は回路設計、基板レイアウト、負荷条件に大きく依存するため、最良の結果を得るにはまず C_F を実験的に最適化します。100pF の負荷容量を持つ G = 2 構成における大信号と小信号のステップ応答を、図 8-4 および図 8-6 に示します。100pF の負荷容量を持つ G = -2 構成における大信号と小信号のステップ応答を、図 8-5 および図 8-7 に示します。

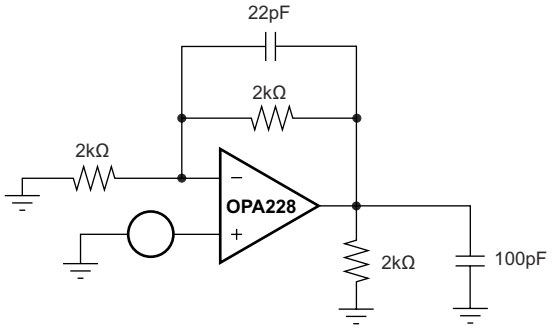


図 8-2. G = 2 での OPA228 の補償

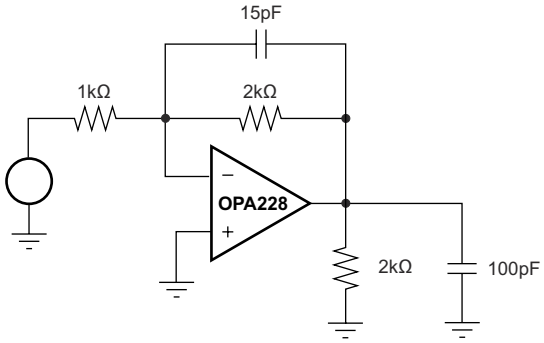


図 8-3. G = -2 での OPA228 の補償

8.2.1.3 アプリケーション曲線

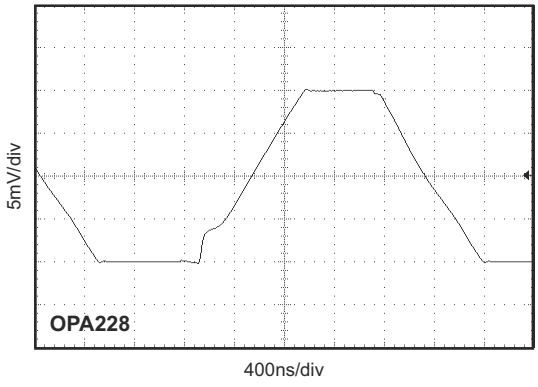


図 8-4. 大信号ステップ応答、G = 2、C_{LOAD} = 100pF、入力信号=5Vp-p

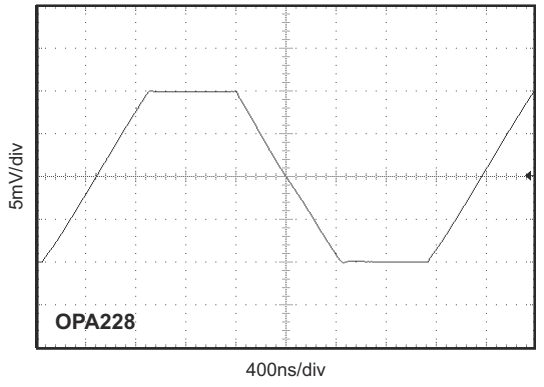


図 8-5. 大信号ステップ応答、G = -2、CLOAD = 100pF、入力信号=5Vp-p

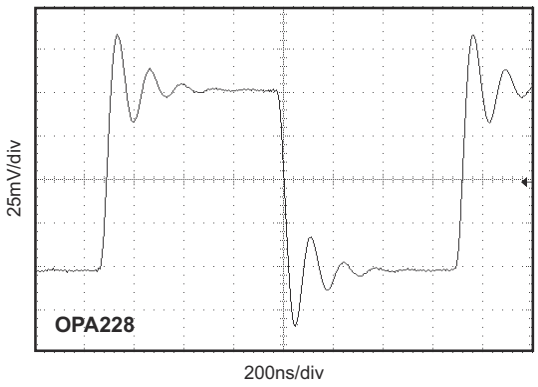


図 8-6. 小信号ステップ応答、G = 2、C_{LOAD} = 100pF、入力信号=50mVp-p

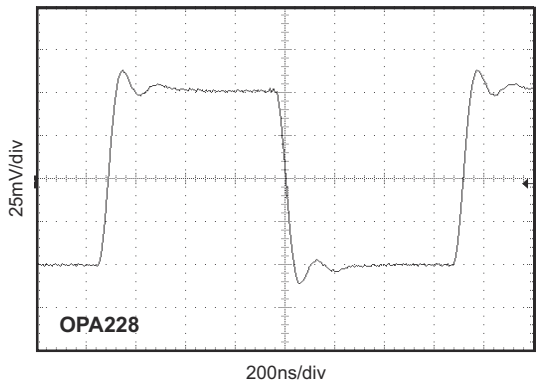


図 8-7. 小信号ステップ応答、G = -2、C_{LOAD} = 100pF、入力信号=50mVp-p

Copyright © 2023 Texas Instruments Incorporated

8.2.2 3 極、20kHz ローパス、0.5dB のチェビシェフ・フィルタ

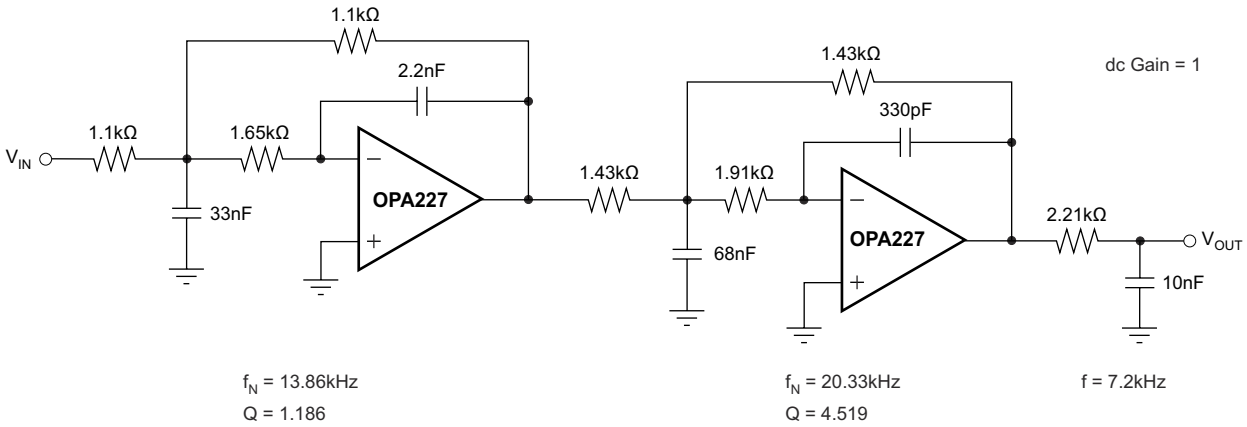


図 8-8. 3 極、20kHz ローパス、0.5dB のチェビシェフ・フィルタ

8.2.3 長波長赤外線検出器アンプ

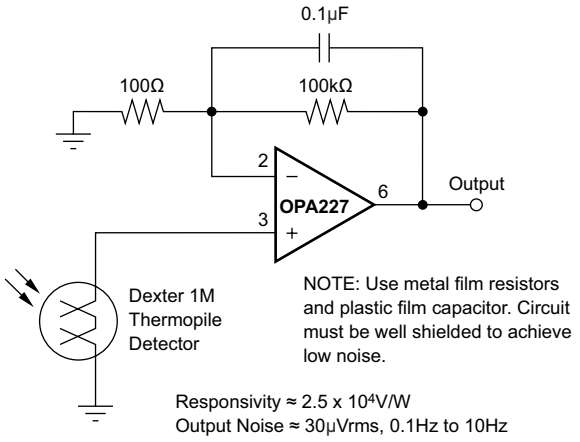


図 8-9. 長波長赤外線検出器アンプ

8.2.4 高性能の同期復調器

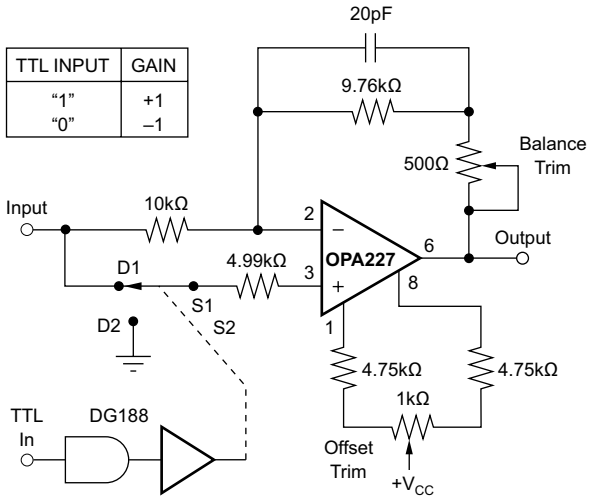


図 8-10. 高性能の同期復調器

8.2.5 ヘッドホン・アンプ

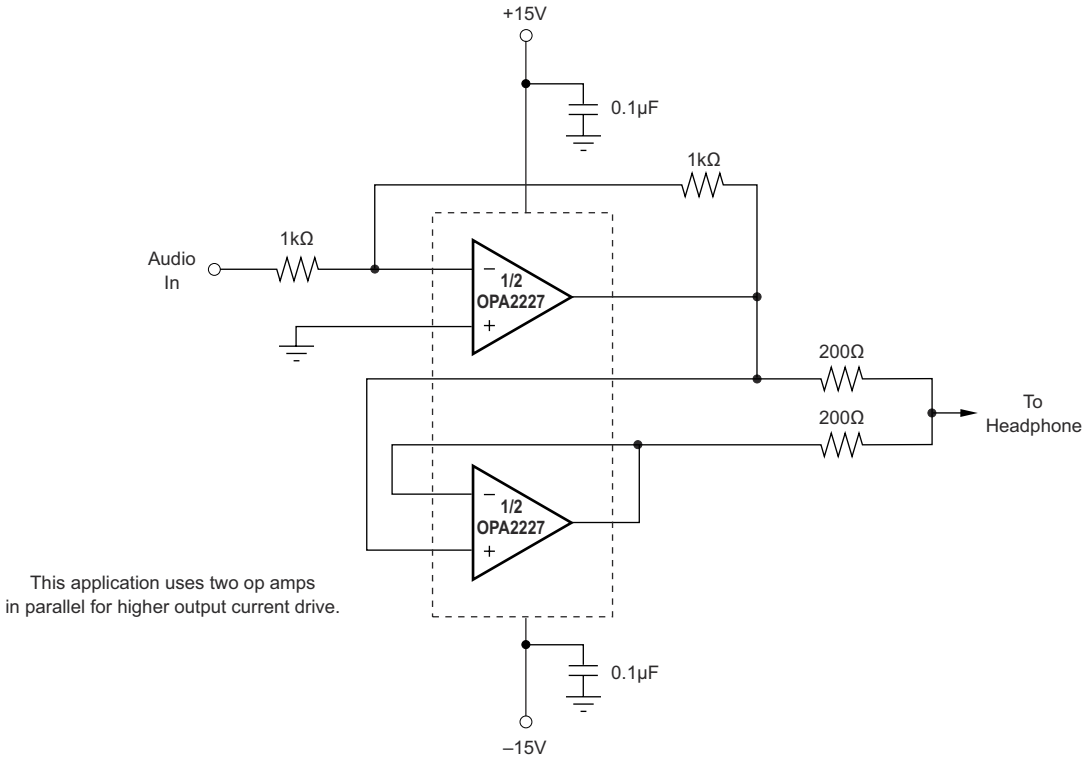


図 8-11. ヘッドホン・アンプ

Copyright © 2023 Texas Instruments Incorporated

8.2.6 3 バンドのアクティブ・トーン制御 (バス、ミッドレンジ、トレブル)

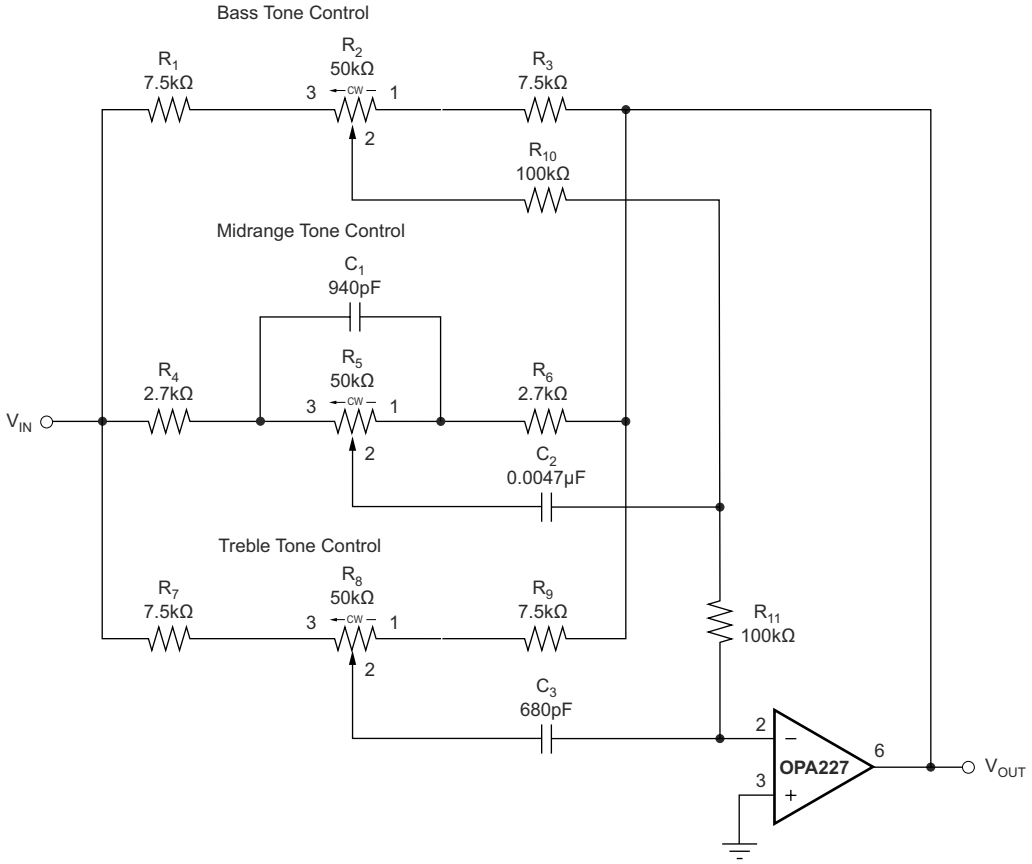


図 8-12. 3 バンドのアクティブ・トーン制御 (バス、ミッドレンジ、トレブル)

8.3 電源に関する推奨事項

OPAx22x は 5V～36V (±2.5V～±18V) で動作が規定されており、多くの仕様は -40℃～85℃で適用されます。動作電圧または温度によって大きく変化する可能性があるパラメータについては、セクション 6 を参照してください。

注意

電源電圧が 36V を超えると、デバイスに永続的な損傷を与える可能性があります。セクション 6.1 を参照してください。

電源ピンの近くに 0.1µF のバイパス・コンデンサを配置すると、ノイズの多い電源やハイ・インピーダンスの電源から混入する誤差を低減できます。バイパス・コンデンサの配置の詳細については、セクション 8.4.1 を参照してください。

Copyright © 2023 Texas Instruments Incorporated

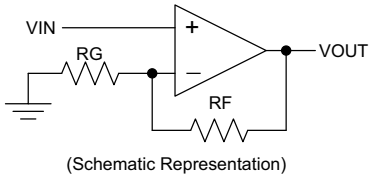
8.4 レイアウト

8.4.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を使用してください。

- ノイズが回路全体の電源ピンとオペアンプ自体を経由して、アナログ回路に伝播することがあります。バイパス・コンデンサは、アナログ回路に対してローカルに低インピーダンスの電源を供給し、結合ノイズを低減するために使用されます。
  - 各電源ピンとグランドとの間に、低 ESR の 0.1µF セラミック・バイパス・コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、V+ からグランドに対して 1 つのバイパス・コンデンサを接続します。
- 回路のアナログ部とデジタル部のグランド配線を分離することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランド・プレーン専用です。グランド・プレーンは熱の分散に役立つとともに、EMI ノイズを拾う可能性を低減します。グランド電流の流れに注意して、デジタル・グランドとアナログ・グランドを物理的に確実に分離するようにします。詳細については、『回路基板のレイアウト技法』(SLOA089) を参照してください。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの配線を分離して配置できない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに良い結果が得られます。
- 外付け部品は、可能な限りデバイスに近く配置します。セクション 8.4.2 に示すように、寄生容量を最小限に抑えるため、RF と RG は反転入力の近くに配置します。
- 入力配線は、できる限り短くします。入力配線は、回路の最も敏感な部分であることに常に注意してください。
- 重要な配線の周囲に、駆動される低インピーダンスのガード・リングを配置することを検討します。ガード・リングを使用すると、付近に存在する、さまざまな電位の配線からのリーク電流を大幅に低減できます。
- 最高の性能を得るために、基板組み立ての後で PCB をクリーニングします。
- 高精度の集積回路では、プラスチック・パッケージへの水分の侵入により性能が変化する場合があります。PCB を水で洗浄してから、PCB アセンブリをベーキングして、清掃プロセス中にデバイスのパッケージに取り込まれた水分を除去することを推奨します。ほとんどの場合、清掃後に 85℃で 30 分間の低温ベーキングを行えば十分です。

8.4.2 レイアウト例



(Schematic Representation)

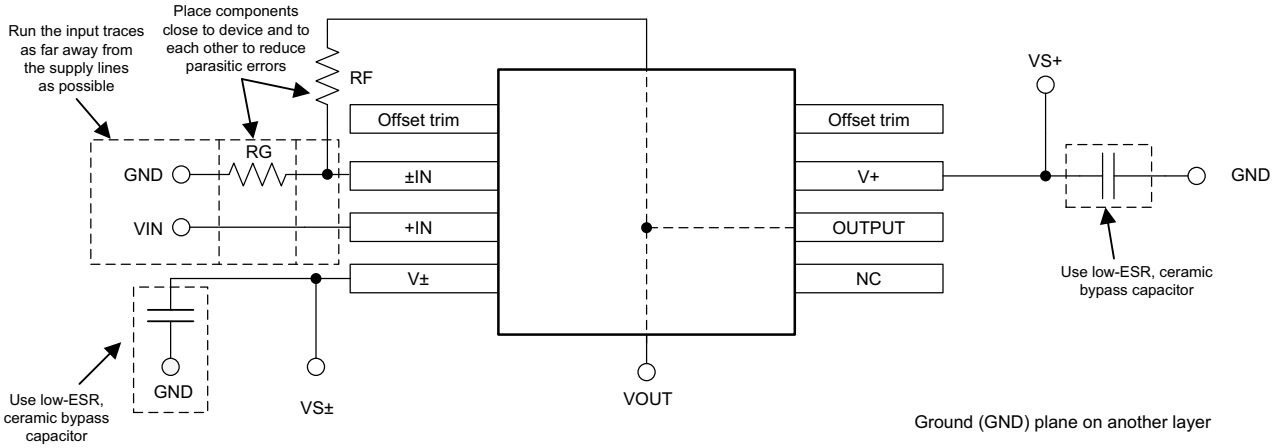


図 8-13. OPAx227 のレイアウト例

Copyright © 2023 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 デバイスのサポート

9.1.1 開発サポート

9.1.1.1 TINA-TI™ シミュレーション・ソフトウェア (無償ダウンロード)

TINA-TI™ シミュレーション・ソフトウェアは、SPICE エンジンをベースにした単純かつ強力な、使いやすい回路シミュレーション・プログラムです。TINA-TI シミュレーション・ソフトウェアは、TINA™ ソフトウェアのすべての機能を持つ無償バージョンで、パッシブ・モデルとアクティブ・モデルに加えて、マクロモデルのライブラリがプリロードされています。TINA-TI シミュレーション・ソフトウェアには、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI シミュレーション・ソフトウェアは設計ツールとシミュレーション Web ページから無料でダウンロードでき、ユーザーが結果をさまざまな方法でフォーマットできる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイック・スタート・ツールを作成できます。

注

これらのファイルを使用するには、TINA ソフトウェアまたは TINA-TI ソフトウェアがインストールされている必要があります。TINA-TI™ ソフトウェア・フォルダから、無償の TINA-TI シミュレーション・ソフトウェアをダウンロードしてください。

9.1.1.2 TI のリファレンス・デザイン

TI のリファレンス・デザインは、TI の高精度アナログ・アプリケーション専門家により作成されたアナログ・ソリューションです。TI のリファレンス・デザインは、動作原理、部品の選択、シミュレーション、完全な PCB 回路図およびレイアウト、部品表、測定済みの性能を提供します。TI のリファレンス・デザインは、http://www.ti.com/ww/en/analog/precision-designs/ からオンラインで入手できます。

9.2 ドキュメントのサポート

9.2.1 関連資料

テキサス・インスツルメンツ、『オペアンプの EMI 除去率』アプリケーション・ノート

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

9.5 商標

TINA-TI™ and TI E2E™ are trademarks of Texas Instruments.
TINA™ is a trademark of DesignSoft, Inc.
Bluetooth® is a registered trademark of Bluetooth SIG, Inc.
すべての商標は、それぞれの所有者に帰属します。

Copyright © 2023 Texas Instruments Incorporated

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2227P	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	OPA2227P
OPA2227P.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	OPA2227P
OPA2227PA	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	OPA2227P A
OPA2227PA.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	OPA2227P A
OPA2227U	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Level-3-260C-168 HR	-40 to 85	OPA 2227U
OPA2227U.B	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Level-3-260C-168 HR	-40 to 85	OPA 2227U
OPA2227U/2K5	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	-	Call TI	Level-3-260C-168 HR	-40 to 85	OPA 2227U
OPA2227U/2K5.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	-	Call TI	Level-3-260C-168 HR	-40 to 85	OPA 2227U
OPA2227UA	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Level-3-260C-168 HR	-40 to 85	OPA 2227U A
OPA2227UA.B	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Level-3-260C-168 HR	-40 to 85	OPA 2227U A
OPA2227UA/2K5	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	OPA 2227U A
OPA2227UA/2K5.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	OPA 2227U A
OPA2227UA1G4	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Call TI	-40 to 85	OPA 2227U A
OPA2228P	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	OPA2228P
OPA2228P.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	OPA2228P
OPA2228PA	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	OPA2228P A

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2228PA.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	OPA2228P A
OPA2228PAG4	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	OPA2228P A
OPA2228PG4	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	OPA2228P
OPA2228U	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Level-3-260C-168 HR	-40 to 85	OPA 2228U
OPA2228U.B	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Level-3-260C-168 HR	-40 to 85	OPA 2228U
OPA2228U/2K5	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	-	Call TI	Level-3-260C-168 HR	-40 to 85	OPA 2228U
OPA2228U/2K5.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	-	Call TI	Level-3-260C-168 HR	-40 to 85	OPA 2228U
OPA2228UA	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Level-3-260C-168 HR	-40 to 85	OPA 2228U A
OPA2228UA.B	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Level-3-260C-168 HR	-40 to 85	OPA 2228U A
OPA2228UA/2K5	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	OPA 2228U A
OPA2228UA/2K5.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	OPA 2228U A
OPA2228UAG4	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Call TI	-40 to 85	OPA 2228U A
OPA2228UG4	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Call TI	-40 to 85	OPA 2228U
OPA227P	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	OPA227P
OPA227P.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	OPA227P
OPA227PA	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	OPA227P A
OPA227PA.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	OPA227P A

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA227PAG4	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	OPA227P A
OPA227PG4	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 85	OPA227P
OPA227U	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Level-3-260C-168 HR	-40 to 85	OPA 227U
OPA227U.B	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Level-3-260C-168 HR	-40 to 85	OPA 227U
OPA227U/2K5	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	-	Call TI	Level-3-260C-168 HR	-40 to 85	OPA 227U
OPA227U/2K5.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	-	Call TI	Level-3-260C-168 HR	-40 to 85	OPA 227U
OPA227UA	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Level-3-260C-168 HR	-40 to 85	OPA 227U A
OPA227UA.B	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Level-3-260C-168 HR	-40 to 85	OPA 227U A
OPA227UA/2K5	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	OPA 227U A
OPA227UA/2K5.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	OPA 227U A
OPA227UAG4	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Call TI	-40 to 85	OPA 227U A
OPA227UG4	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Call TI	-40 to 85	OPA 227U
OPA228P	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-55 to 125	OPA228P
OPA228P.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-55 to 125	OPA228P
OPA228PA	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-55 to 125	OPA228P A
OPA228PA.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-55 to 125	OPA228P A
OPA228PAG4	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-55 to 125	OPA228P A

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA228U	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Level-3-260C-168 HR	-55 to 125	OPA 228U
OPA228U.B	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Level-3-260C-168 HR	-55 to 125	OPA 228U
OPA228U1G4	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Call TI	-55 to 125	OPA 228U
OPA228UA	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Level-3-260C-168 HR	-55 to 125	OPA 228U A
OPA228UA.B	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Level-3-260C-168 HR	-55 to 125	OPA 228U A
OPA228UA/2K5	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	-	Call TI	Level-3-260C-168 HR	-55 to 125	OPA 228U A
OPA228UA/2K5.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	-	Call TI	Level-3-260C-168 HR	-55 to 125	OPA 228U A
OPA4227PA	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	OPA4227PA
OPA4227PA.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	OPA4227PA
OPA4227PAG4	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	OPA4227PA
OPA4227UA	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	OPA4227UA
OPA4227UA/2K5	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	OPA4227UA
OPA4228PA	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	OPA4228PA
OPA4228PA.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	OPA4228PA
OPA4228UA	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	OPA4228UA
OPA4228UA.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	OPA4228UA
OPA4228UA/2K5	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	OPA4228UA
OPA4228UA/2K5.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	OPA4228UA

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF OPA2227 :

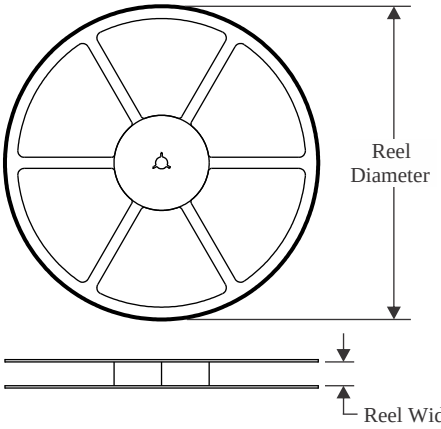
- Enhanced Product : OPA2227-EP

NOTE: Qualified Version Definitions:

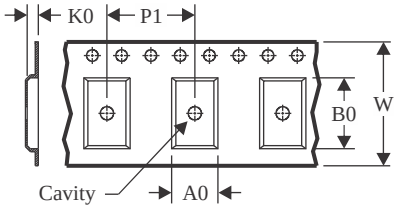
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

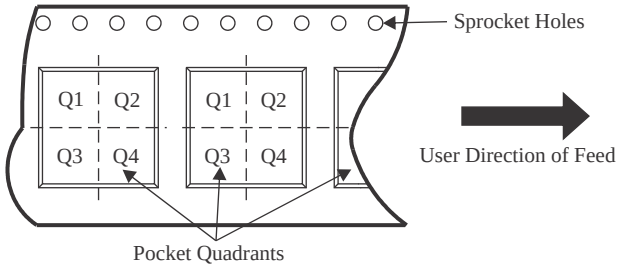


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

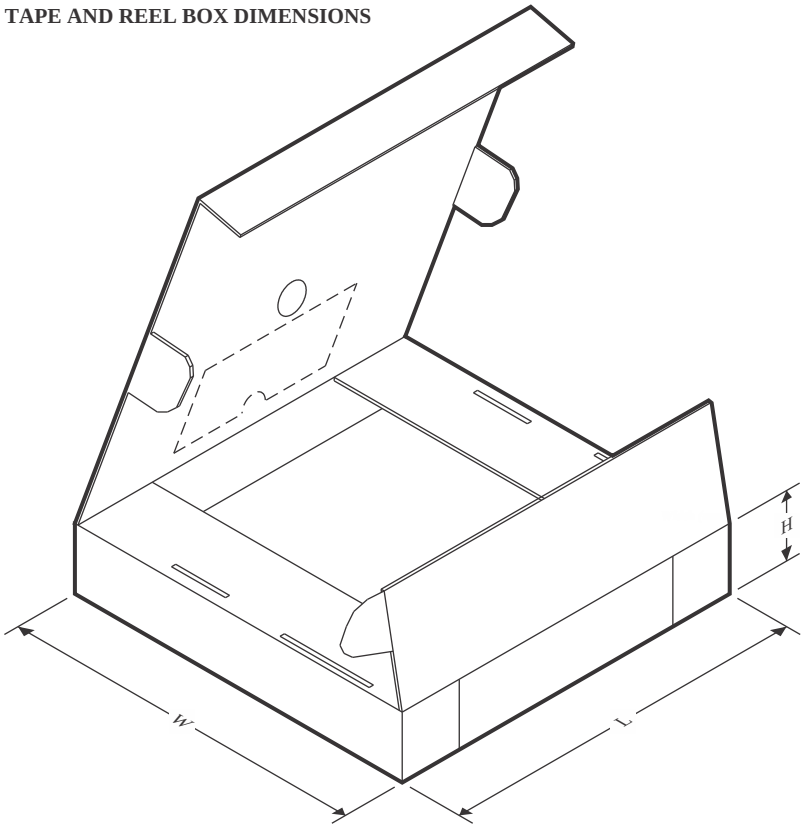
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2227U/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2227UA/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2228U/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2228UA/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA227U/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA227UA/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA228UA/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA4227UA/2K5	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
OPA4228UA/2K5	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

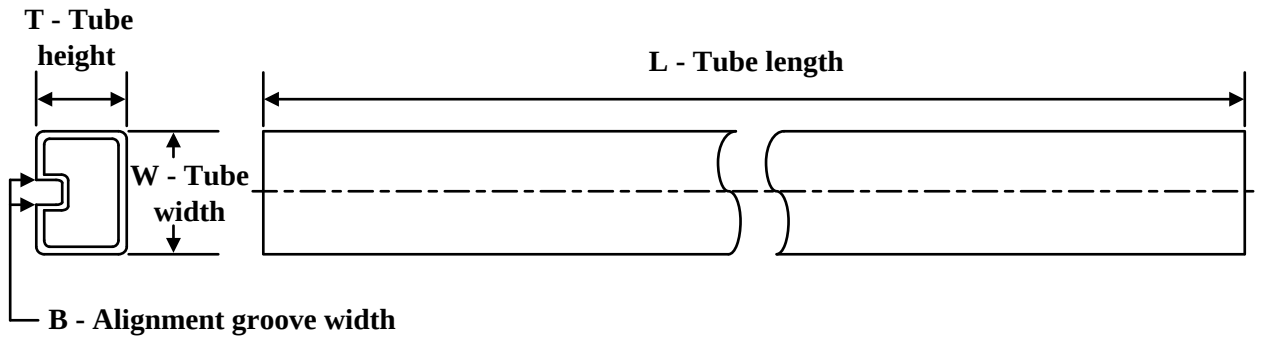
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2227U/2K5	SOIC	D	8	2500	353.0	353.0	32.0
OPA2227UA/2K5	SOIC	D	8	2500	353.0	353.0	32.0
OPA2228U/2K5	SOIC	D	8	2500	353.0	353.0	32.0
OPA2228UA/2K5	SOIC	D	8	2500	353.0	353.0	32.0
OPA227U/2K5	SOIC	D	8	2500	353.0	353.0	32.0
OPA227UA/2K5	SOIC	D	8	2500	353.0	353.0	32.0
OPA228UA/2K5	SOIC	D	8	2500	353.0	353.0	32.0
OPA4227UA/2K5	SOIC	D	14	2500	353.0	353.0	32.0
OPA4228UA/2K5	SOIC	D	14	2500	353.0	353.0	32.0

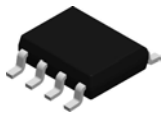
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
OPA2227P	P	PDIP	8	50	506	13.97	11230	4.32
OPA2227P.A	P	PDIP	8	50	506	13.97	11230	4.32
OPA2227PA	P	PDIP	8	50	506	13.97	11230	4.32
OPA2227PA.A	P	PDIP	8	50	506	13.97	11230	4.32
OPA2227U	D	SOIC	8	75	506.6	8	3940	4.32
OPA2227U.B	D	SOIC	8	75	506.6	8	3940	4.32
OPA2227UA	D	SOIC	8	75	506.6	8	3940	4.32
OPA2227UA.B	D	SOIC	8	75	506.6	8	3940	4.32
OPA2228P	P	PDIP	8	50	506	13.97	11230	4.32
OPA2228P.A	P	PDIP	8	50	506	13.97	11230	4.32
OPA2228PA	P	PDIP	8	50	506	13.97	11230	4.32
OPA2228PA.A	P	PDIP	8	50	506	13.97	11230	4.32
OPA2228PAG4	P	PDIP	8	50	506	13.97	11230	4.32
OPA2228PG4	P	PDIP	8	50	506	13.97	11230	4.32
OPA2228U	D	SOIC	8	75	506.6	8	3940	4.32
OPA2228U.B	D	SOIC	8	75	506.6	8	3940	4.32
OPA2228UA	D	SOIC	8	75	506.6	8	3940	4.32
OPA2228UA.B	D	SOIC	8	75	506.6	8	3940	4.32
OPA227P	P	PDIP	8	50	506	13.97	11230	4.32
OPA227P.A	P	PDIP	8	50	506	13.97	11230	4.32
OPA227PA	P	PDIP	8	50	506	13.97	11230	4.32
OPA227PA.A	P	PDIP	8	50	506	13.97	11230	4.32
OPA227PAG4	P	PDIP	8	50	506	13.97	11230	4.32
OPA227PG4	P	PDIP	8	50	506	13.97	11230	4.32
OPA227U	D	SOIC	8	75	506.6	8	3940	4.32
OPA227U.B	D	SOIC	8	75	506.6	8	3940	4.32
OPA227UA	D	SOIC	8	75	506.6	8	3940	4.32
OPA227UA.B	D	SOIC	8	75	506.6	8	3940	4.32
OPA228P	P	PDIP	8	50	506	13.97	11230	4.32

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
OPA228P.A	P	PDIP	8	50	506	13.97	11230	4.32
OPA228PA	P	PDIP	8	50	506	13.97	11230	4.32
OPA228PA.A	P	PDIP	8	50	506	13.97	11230	4.32
OPA228PAG4	P	PDIP	8	50	506	13.97	11230	4.32
OPA228U	D	SOIC	8	75	506.6	8	3940	4.32
OPA228U.B	D	SOIC	8	75	506.6	8	3940	4.32
OPA228UA	D	SOIC	8	75	506.6	8	3940	4.32
OPA228UA.B	D	SOIC	8	75	506.6	8	3940	4.32
OPA4227PA	N	PDIP	14	25	506	13.97	11230	4.32
OPA4227PA.A	N	PDIP	14	25	506	13.97	11230	4.32
OPA4227PAG4	N	PDIP	14	25	506	13.97	11230	4.32
OPA4227UA	D	SOIC	14	50	506.6	8	3940	4.32
OPA4228PA	N	PDIP	14	25	506	13.97	11230	4.32
OPA4228PA.A	N	PDIP	14	25	506	13.97	11230	4.32
OPA4228UA	D	SOIC	14	50	506.6	8	3940	4.32
OPA4228UA.A	D	SOIC	14	50	506.6	8	3940	4.32

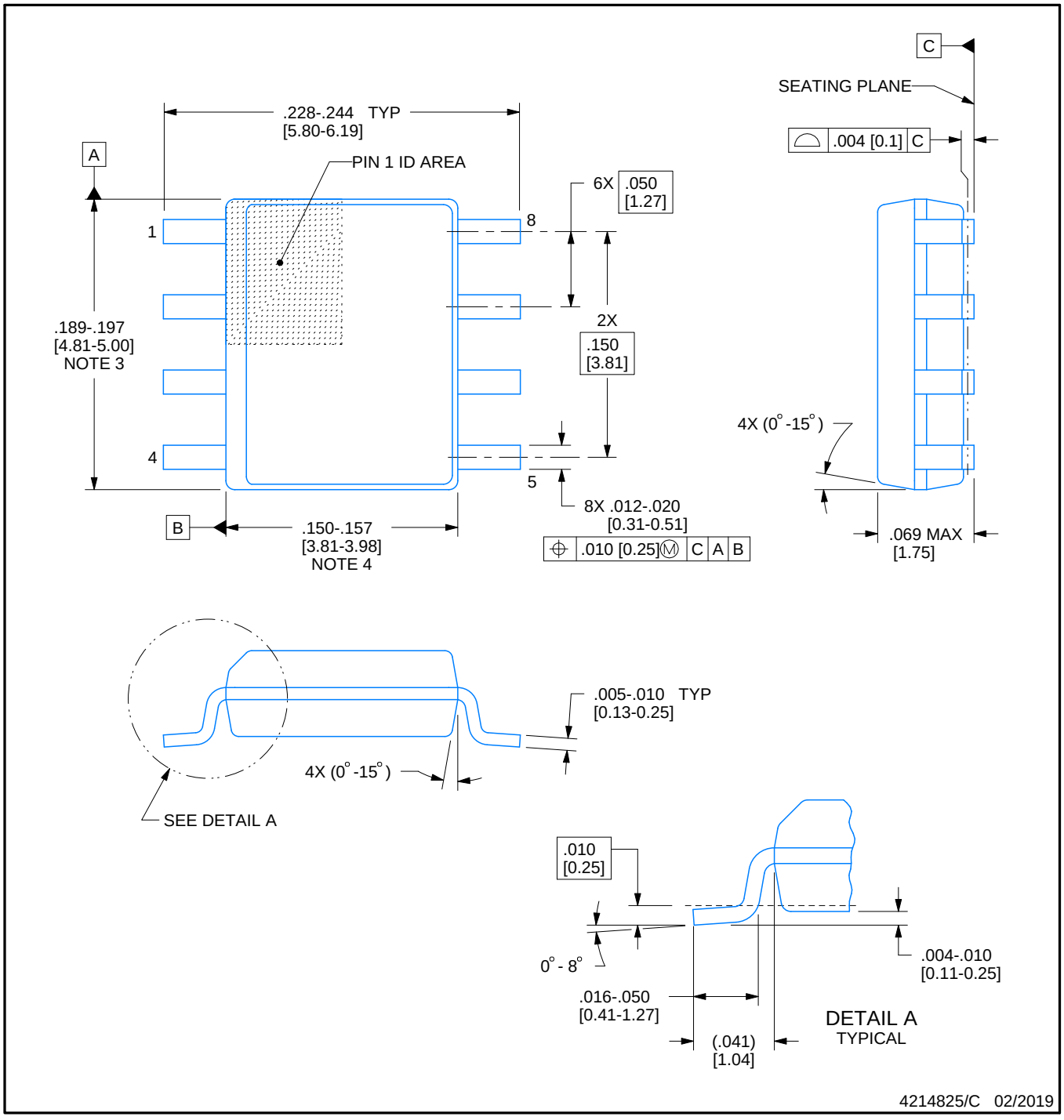


PACKAGE OUTLINE

D0008A

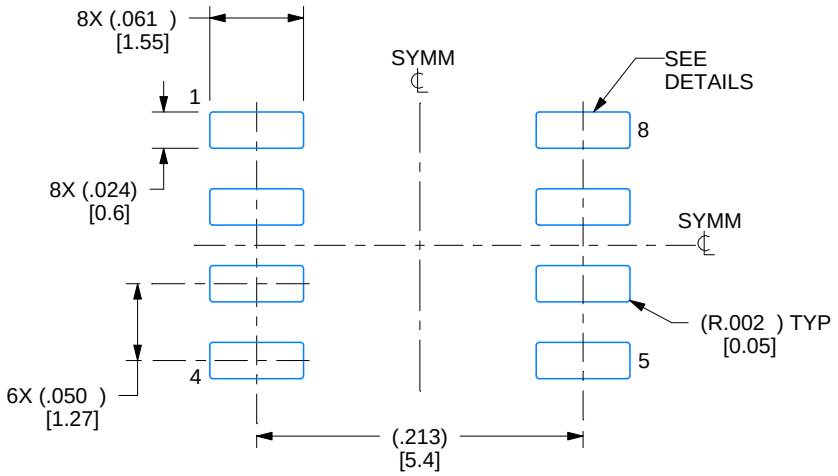
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

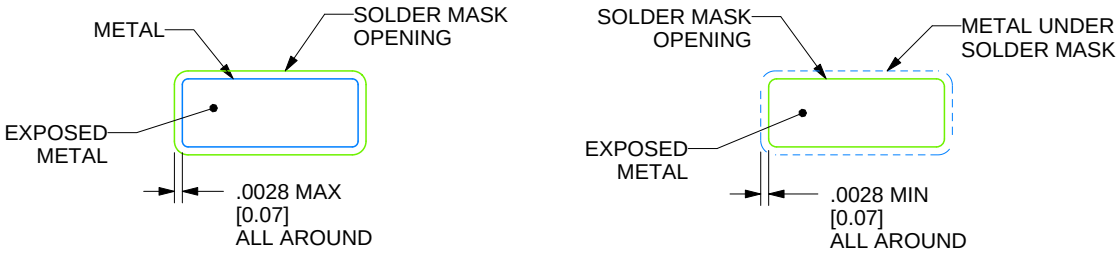


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

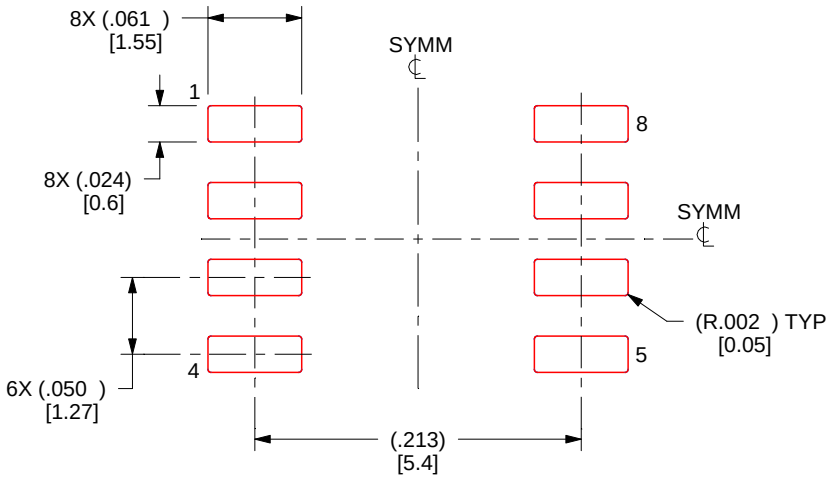
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



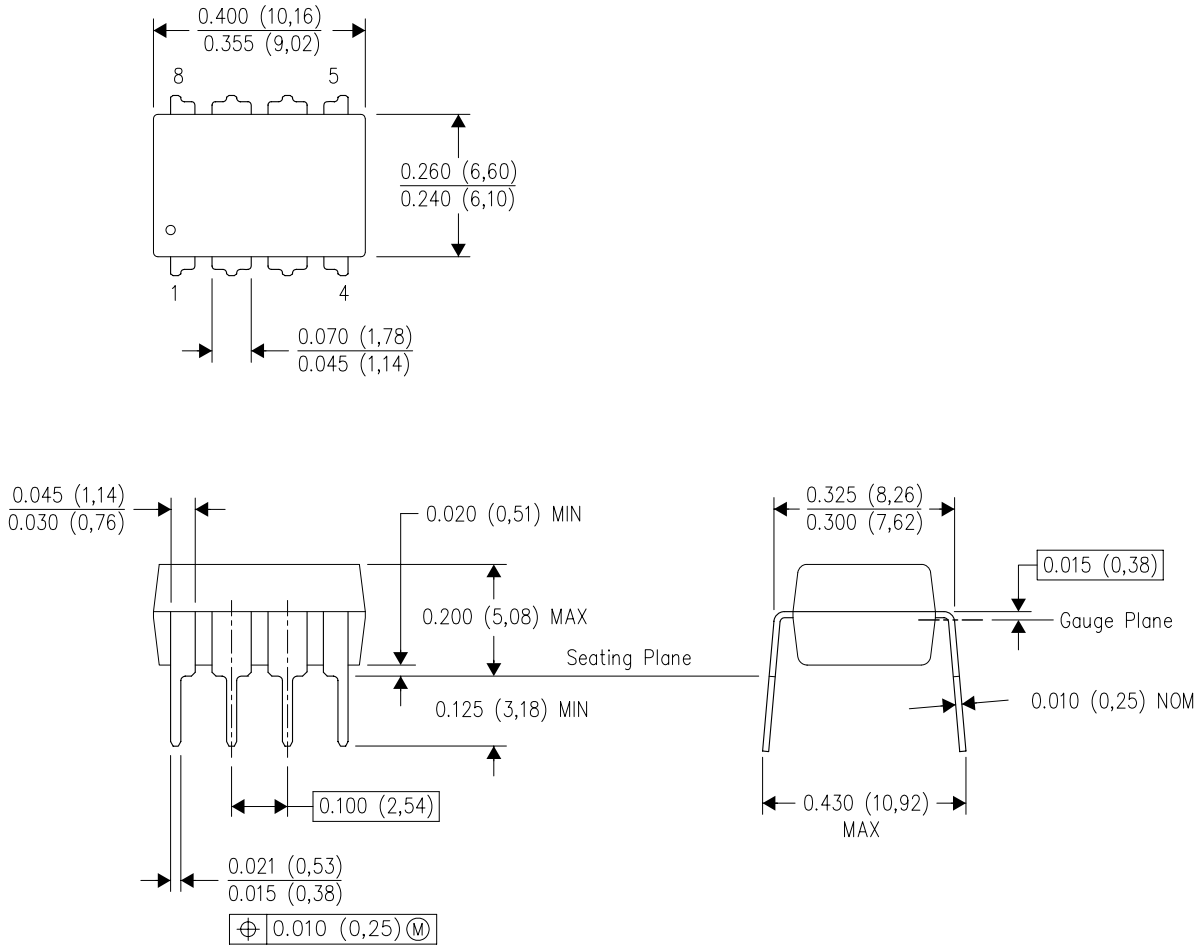
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE

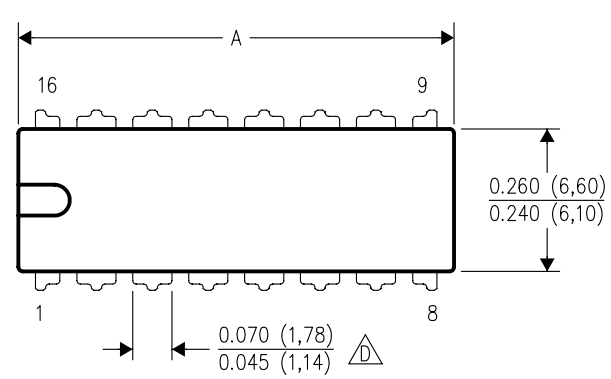


NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

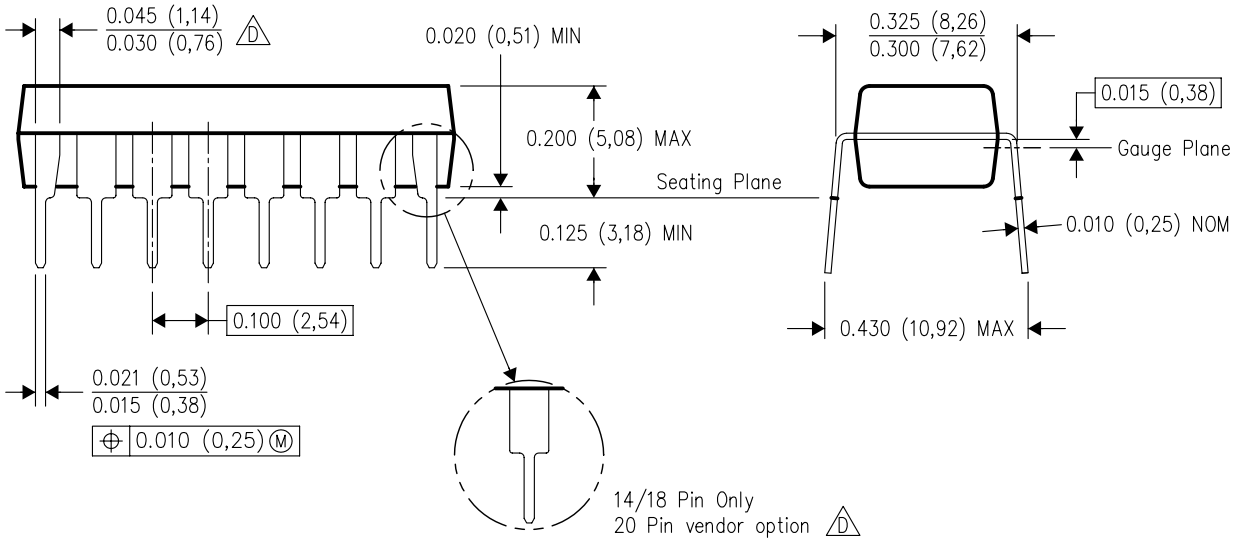
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN

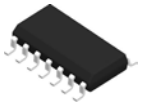


DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

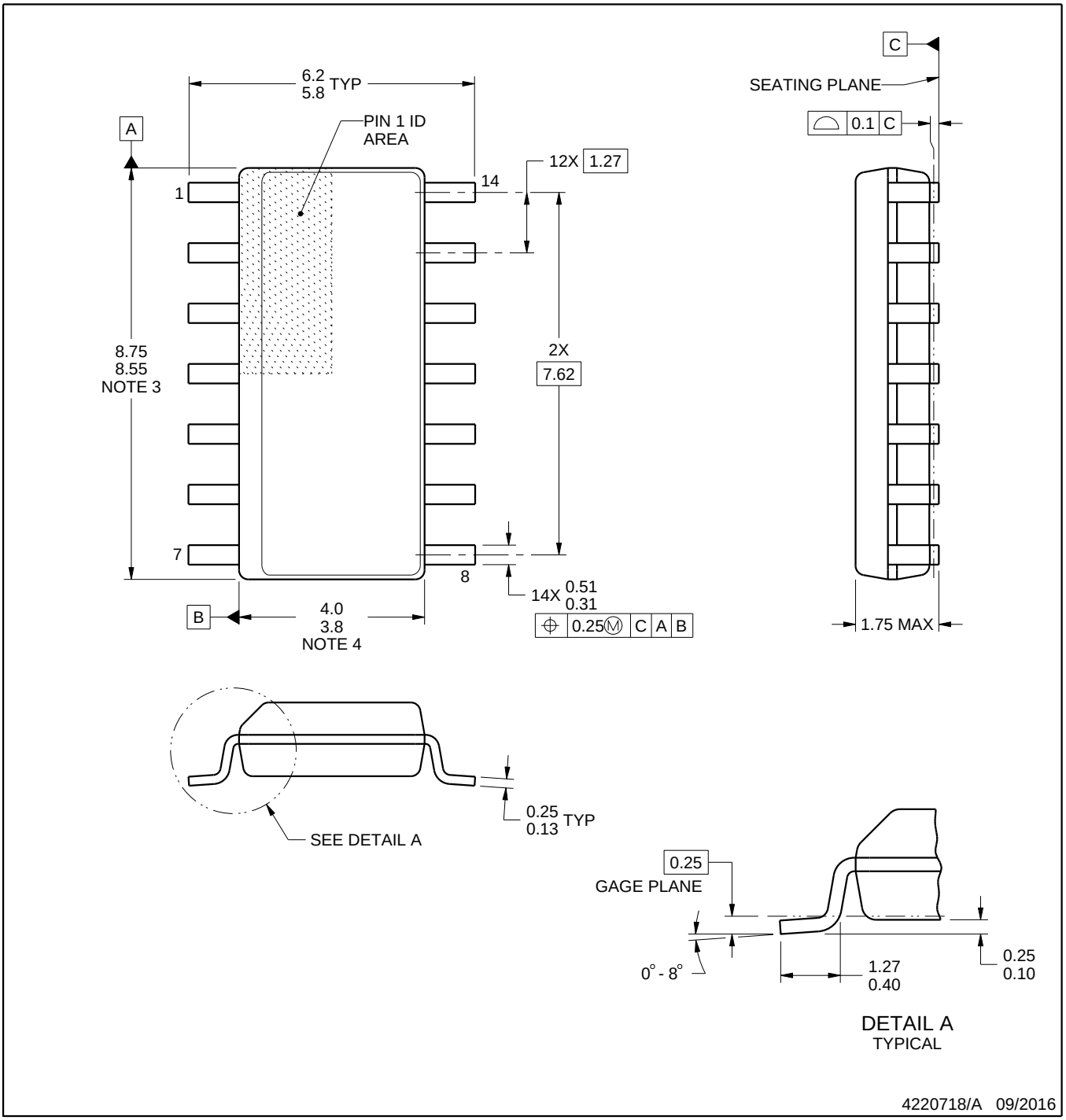


PACKAGE OUTLINE

D0014A

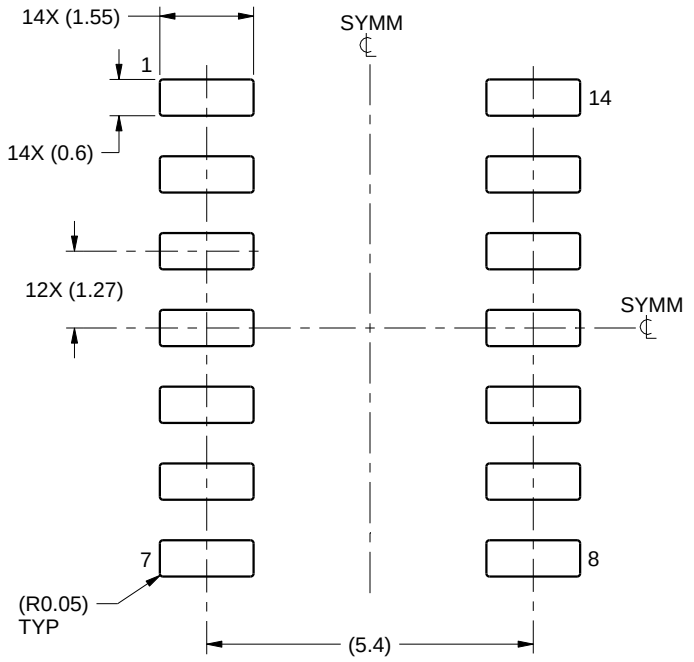
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

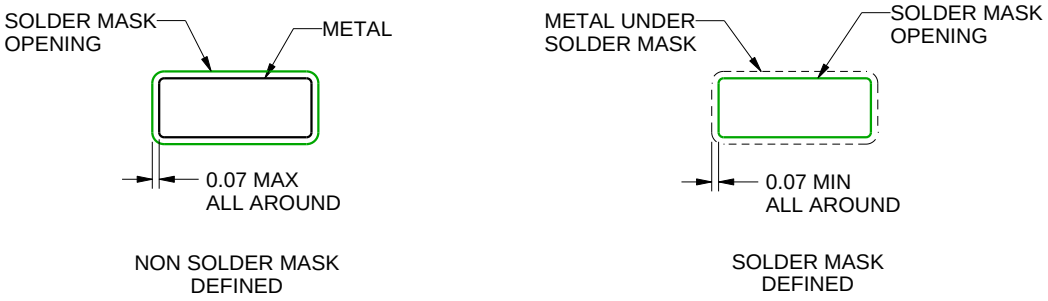


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

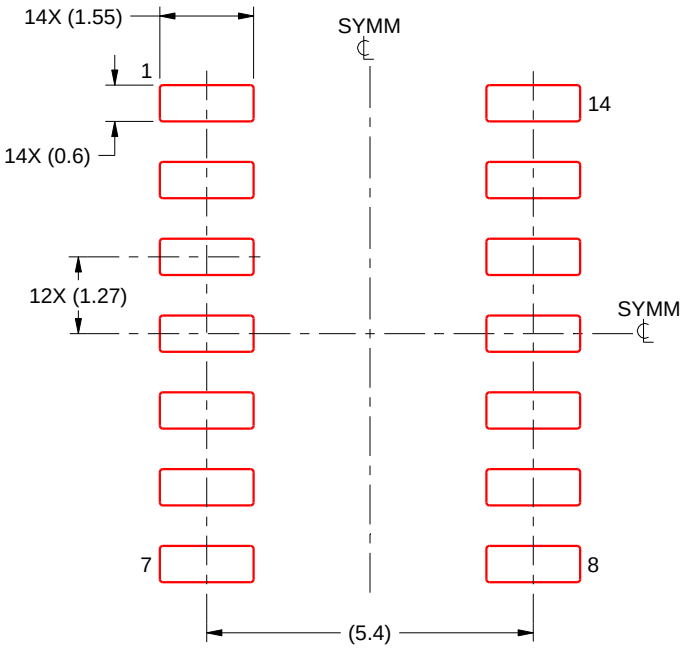
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月