OPAx323 20MHz 高帯域幅、114dB CMRR、低電圧 (1.7V～5.5V)、RRIO ゼロ クロス オペアンプ

1 特長

- 1.7V～5.5V アプリケーション用ゼロ クロス アンプ
- 大きいレール ツー レール CMRR:114dB (標準値)
- 高ゲイン帯域幅積:20MHz
- 高速スルーレート:標準値 33V/µs
- 高速 0.01% セトリング:標準値 200ns (2V 刻みの場合)
- 低い入力オフセット電圧:±150µV (標準値)
- 低ノイズ フロア:標準値 5.5nV/√Hz (10kHz 時)
- 大出力電流:標準値 ±110mA の I_{SC} (5.5V 時)
- 静止電流:1.6mA/チャネル (標準値)
- レール ツー レール入出力
- ユニティ ゲイン安定
- 持続的な発振なしで最大 150pF を駆動
- 内部 RFI および EMI フィルタ付きの入力ピン
- 動作温度範囲:-40℃～125℃

2 アプリケーション

- ADC 用アンプ・ドライバ
- ハイサイド電流センス
- モータ・ロータリー・エンコーダ
- トランスインピーダンス・フォトダイオード・アンプ
- オーディオ・マイクロフォン・プリアンプ
- 超音波トランスデューサ

3 説明

OPAx323 ファミリのオペアンプには、ゼロクロスオーバー入力段とレール ツー レール出力段を備えた、シングル (OPA323)、デュアル (OPA2323)、クワッド チャネル (OPA4323)、低電圧 (1.7V～5.5V)、広帯域 (20MHz) アンプがあります。ゼロクロスオーバー入力段により、OPAx323 は ADC ドライバ アプリケーションで一般的なレール ツー レール スイングを備えた入力信号について、高い直線性と低い歪みを実現できます。20MHz のゲイン帯域幅により、必要なセトリング性能に応じて 0.5MSPS～5MSPS の ADC サンプリング速度で、高速なセトリング応答が得られます。OPAx323 は、標準値の静止電流がわずか 1.6mA であり、消費電力削減に最適化されています。

OPAx323 は、最大オフセット ドリフト 2µV/℃および最小 100dB の CMRR で、熱ノイズ フロア 5.5nV/rt-Hz を備えているため、ホイートストン ブリッジなど高ゲインの電圧センシング アプリケーションで、高精度の性能を簡単にサポートします。より高い精度 (低オフセット、ドリフト、ノイズ、歪み、CMRR) と、より高いゲイン帯域幅 (高速セトリングとスルーイング) の独特な組み合わせにより、モーター ロータリー エンコーダ、マイクロフォン オーディオ プリアンプ、超音波トランスデューサなど、さまざまなアプリケーションで使用できます。

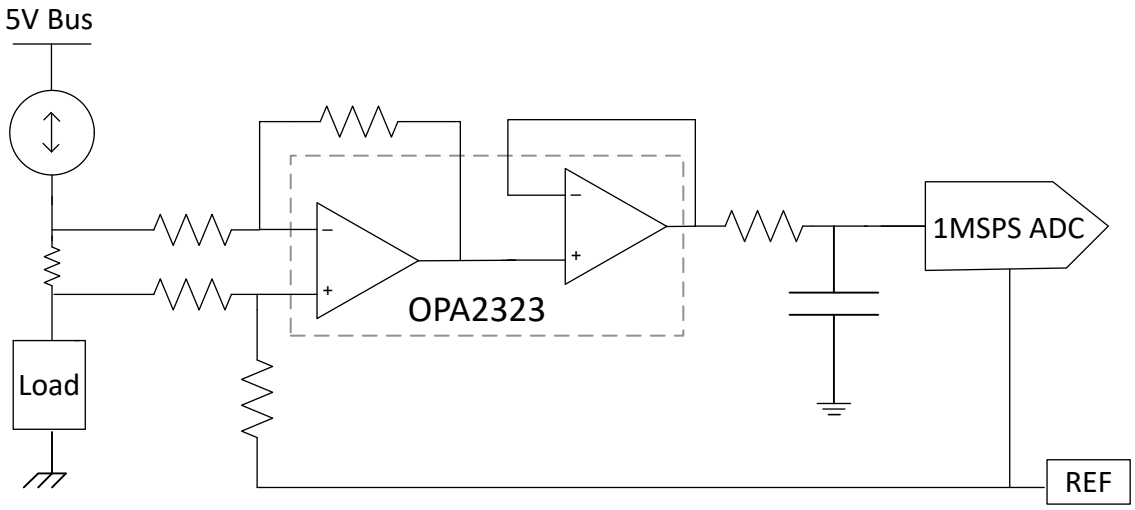
OPAx323 は 33V/µs の高いスルーレートを実現しているため、モーター電流センシング アプリケーションでフォルトを高速検出できます。従来のアンプとは異なり、ゼロクロスオーバー入力段により、ローサイドとハイサイド両方のセンシング アプリケーションで同一の精度性能が得られるため、OPAx323 はソーラー ストリング インバータ、電力供給、グリッド、EV インフラストラクチャなどさまざまな最終機器の電流センシングに最適です。OPAx323S デバイスにはシャットダウン機能があり、さらに消費電力を削減し、アイドル時にアンプをディセーブルできます。このファミリには、すべてのチャネル バリアントで標準サイズと小型サイズに加えて、リード付きおよび QFN パッケージがあります。

製品情報

部品番号 (1)	チャネル数	パッケージ (4)	パッケージ サイズ(5)
OPA323	シングル	DBV (SOT-23、5) (3)	2.9mm × 2.8mm
		DCK (SC70、5)	2mm × 1.25mm
		DRL (SOT-5X3、5) (3)	1.6mm × 1.6mm
OPA323S (2)	シングル、シャットダウン	DBV (SOT-23、6) (3)	2.9mm × 2.8mm
		DCK (SC70、6) (3)	2mm × 1.25mm
OPA2323	デュアル	D (SOIC、8)	4.9mm × 6mm
		DDF (SOT-23、8)	2.9mm × 2.8mm
		DSG (WSON、8) (3)	2mm × 2mm
		DGK (VSSOP、8)	3mm × 4.9mm
		PW (TSSOP、8) (3)	3mm × 6.4mm
OPA2323S (2)	デュアル、シャットダウン	RUG (X2QFN、10) (3)	1.5mm × 2mm
OPA4323	クワッド	D (SOIC、14) (3)	8.65mm × 6mm
		PW (TSSOP、14)	5mm × 6.4mm
		RUC (X2QFN、14)(3)	2mm × 2mm
		DYY (SOT-23、14)	4.2mm × 3.26mm
OPA4323S (2)	クワッド、シャットダウン	RTE (WQFN、16) (3)	3mm × 3mm

(1) セクション 4 を参照してください。
(2) 部品番号はプレビュー専用です。
(3) パッケージはプレビュー専用です。
(4) 詳細については、セクション 11 を参照してください。
(5) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



双方向、ハイサイド電流センス アンプと ADC ドライバ

Copyright © 2025 Texas Instruments Incorporated

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 デバイス比較表.....3
5 ピン構成および機能.....4
6 仕様.....10
6.1 絶対最大定格.....10
6.2 ESD 定格.....10
6.3 推奨動作条件.....10
6.4 シングル チャネルの熱に関する情報.....11
6.5 デュアル チャネルの熱に関する情報.....11
6.6 クワッド チャネルの熱に関する情報.....11
6.7 電気的特性.....12
6.8 代表的特性.....15
7 詳細説明.....27
7.1 概要.....27
7.2 機能ブロック図.....28
7.3 機能説明.....29
7.4 デバイスの機能モード.....34
8 アプリケーションと実装.....35
8.1 アプリケーション情報.....35
8.2 代表的なアプリケーション.....35
8.3 電源に関する推奨事項.....37
8.4 レイアウト.....37
9 デバイスおよびドキュメントのサポート.....39
9.1 ドキュメントのサポート.....39
9.2 ドキュメントの更新通知を受け取る方法.....39
9.3 サポート・リソース.....39
9.4 静電気放電に関する注意事項.....39
9.5 用語集.....39
10 改訂履歴.....39
11 メカニカル、パッケージ、および注文情報.....40

4 デバイス比較表

デバイス	番号数	SHDN	パッケージ リード										
			SC70 DCK	SOIC D	SOT-23 DBV(2)	SOT-23 DDF	SOT-553 DRL(2)	SOT-23 DYY	TSSOP PW	VSSOP DGK	WQFN RTE (2)	WSON DSG(2)	X2QFN RUG(2)
OPA323	1	番号	5	—	5	—	5	—	—	—	—	—	—
OPA323S(1)	1	あり	6	—	6	—	—	—	—	—	—	—	—
OPA2323	2	番号	—	8	—	8	—	—	8	8	—	8	—
OPA2323S(1)	2	あり	—	—	—	—	—	—	—	—	—	—	10
OPA4323	4	番号	—	14	—	—	—	14	14	—	—	—	—
OPA4323S	4	あり	—	—	—	—	—	—	—	—	16	—	—

(1) デバイスはプレビューのみです。
(2) パッケージはプレビューのみです。

5 ピン構成および機能

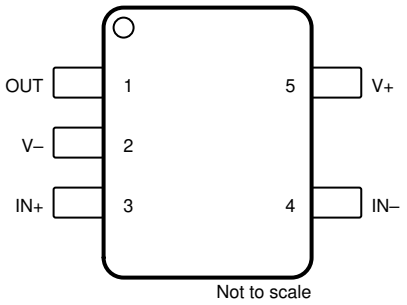


図 5-1. OPA323 DBV パッケージ、5 ピン SOT-23 (上面図)

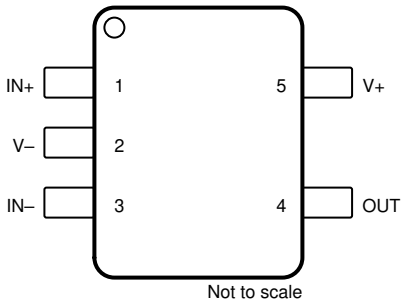


図 5-2. OPA323 DCK および DRL パッケージ、5 ピン SC70 および 5 ピン SOT-5X3 (上面図)

表 5-1. ピンの機能：OPA323

ピン			種類[(1)]	説明
名称	SOT-23	SC70、SOT-5X3		
IN-	4	3	I	反転入力
IN+	3	1	I	非反転入力
OUT	1	4	O	出力
V-	2	2	I	負 (低) 電源またはグランド (単電源動作の場合)
V+	5	5	I	正 (高) 電源

(1) I = 入力、O = 出力

Copyright © 2025 Texas Instruments Incorporated

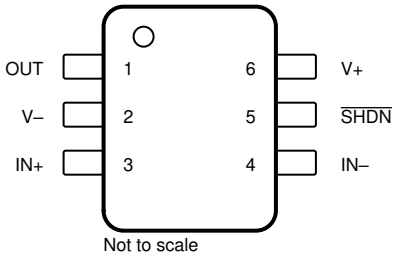


図 5-3. OPA323S DBV パッケージ、6 ピン SOT-23 (上面図)

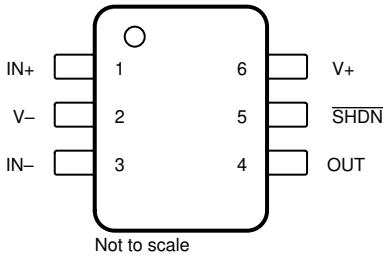


図 5-4. OPA323S DCK パッケージ、6 ピン SC70 (上面図)

表 5-2. ピンの機能：OPA323S

ピン			種類[(1)]	説明
名称	SOT-23	SC70		
IN-	4	3	I	反転入力
IN+	3	1	I	非反転入力
OUT	1	4	O	出力
$\overline{\text{SHDN}}$	5	5	I	シャットダウン：Low = アンプがディセーブル、High = アンプがイネーブル 詳細については「シャットダウン機能」を参照
V-	2	2	I	負 (低) 電源またはグランド (単電源動作の場合)
V+	6	6	I	正 (高) 電源

(1) I = 入力、O = 出力

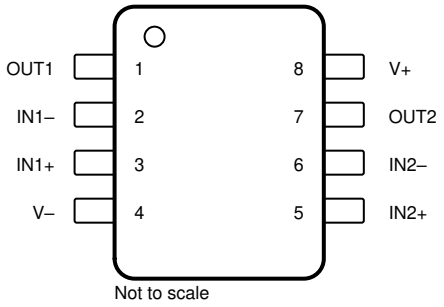
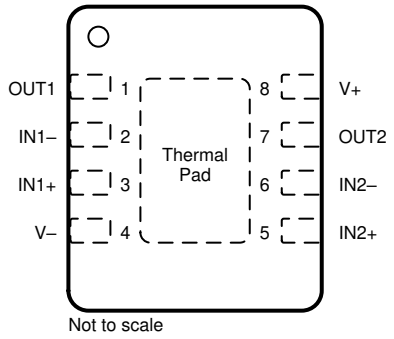


図 5-5. OPA2323 D、PW、DGK、および DDF パッケージ SOIC、TSSOP、VSSOP、および SOT-23-THIN (上面図)



露出サーマル パッドを V- に接続。詳細については、*「露出サーマル パッド付きパッケージ」*を参照してください。

図 5-6. OPA2323 DSG パッケージ、8 ピン WSON (露出サーマル パッド付き) (上面図)

表 5-3. ピンの機能：OPA2323

ピン		種類[(1)]	説明
名称	SOIC、TSSOP、VSSOP、SOT-23-THIN、WSON		
IN1–	2	I	反転入力、チャネル 1
IN1+	3	I	非反転入力、チャネル 1
IN2–	6	I	反転入力、チャネル 2
IN2+	5	I	非反転入力、チャネル 2
OUT1	1	O	出力、チャネル 1
OUT2	7	O	出力、チャネル 2
V-	4	I	負 (低) 電源またはグランド (単電源動作の場合)
V+	8	I	正 (高) 電源

(1) I = 入力、O = 出力

Copyright © 2025 Texas Instruments Incorporated

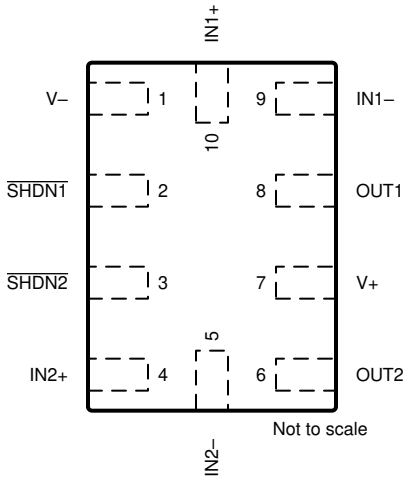


図 5-7. OPA2323S RUG パッケージ
10 ピン X2QFN
(上面図)

表 5-4. ピンの機能：OPA2323S

ピン		種類[(1)]	説明
名称	X2QFN		
IN1–	9	I	反転入力、チャネル 1
IN1+	10	I	非反転入力、チャネル 1
IN2–	5	I	反転入力、チャネル 2
IN2+	4	I	非反転入力、チャネル 2
OUT1	8	O	出力、チャネル 1
OUT2	6	O	出力、チャネル 2
$\overline{\text{SHDN1}}$	2	I	シャットダウン：Low=アンプがディセーブル、High=アンプがイネーブル、チャネル 1。 詳細については、*シャットダウン機能*をご覧ください。
$\overline{\text{SHDN2}}$	3	I	シャットダウン：Low = アンプがディセーブル、High = アンプがイネーブル、チャネル 2 詳細については、*「シャットダウン機能」*をご覧ください。
V-	1	I	負 (低) 電源またはグランド (単電源動作の場合)
V+	7	I	正 (高) 電源

(1) I = 入力、O = 出力

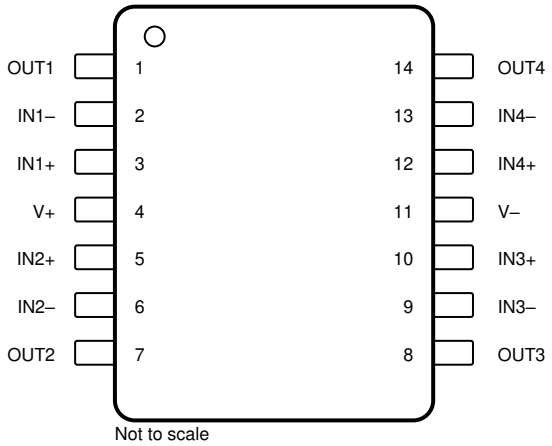


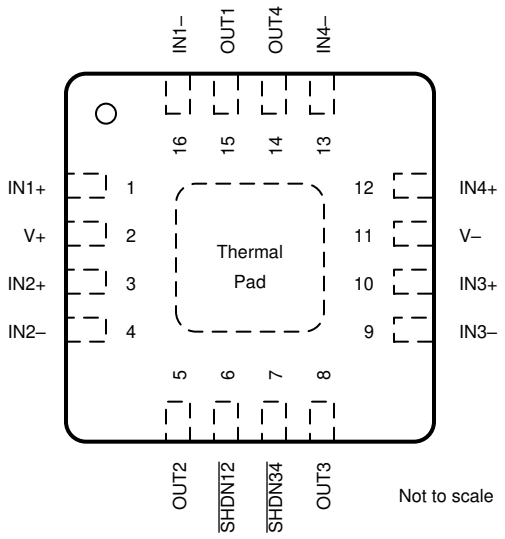
図 5-8. OPA4323 D、PW、DYY パッケージ 14 ピン SOIC、TSSOP、SOT-23-THIN (上面図)

表 5-5. ピンの機能：OPA4323

ピン		種類[(1)]	説明
名称	SOIC、TSSOP		
IN1–	2	I	反転入力、チャネル 1
IN1+	3	I	非反転入力、チャネル 1
IN2–	6	I	反転入力、チャネル 2
IN2+	5	I	非反転入力、チャネル 2
IN3–	9	I	反転入力、チャネル 3
IN3+	10	I	非反転入力、チャネル 3
IN4–	13	I	反転入力、チャネル 4
IN4+	12	I	非反転入力、チャネル 4
OUT1	1	O	出力、チャネル 1
OUT2	7	O	出力、チャネル 2
OUT3	8	O	出力、チャネル 3
OUT4	14	O	出力、チャネル 4
V-	11	I	負 (低) 電源またはグランド (単電源動作の場合)
V+	4	I	正 (高) 電源

(1) I = 入力、O = 出力

Copyright © 2025 Texas Instruments Incorporated



A. サーマル パッドを V-に接続します。

図 5-9. OPA4323S RTE パッケージ、16 ピン WQFN (露出サーマル パッド付き) (上面図)

表 5-6. ピンの機能：OPA4323S

ピン		種類[(1)]	説明
名称	WQFN		
IN1+	1	I	非反転入力、チャネル 1
IN1–	16	I	反転入力、チャネル 1
IN2+	3	I	非反転入力、チャネル 2
IN2–	4	I	反転入力、チャネル 2
IN3+	10	I	非反転入力、チャネル 3
IN3–	9	I	反転入力、チャネル 3
IN4+	12	I	非反転入力、チャネル 4
IN4–	13	I	反転入力、チャネル 4
$\overline{\text{SHDN12}}$	6	I	シャットダウン：Low = アンプがディセーブル、High = アンプがイネーブル、チャネル 1 および 2。詳細については、*シャットダウン機能*をご覧ください。
$\overline{\text{SHDN34}}$	7	I	シャットダウン：Low = アンプがディセーブル、High = アンプがイネーブル、チャネル 3 および 4。詳細については、*シャットダウン機能*をご覧ください。
OUT1	15	O	出力、チャネル 1
OUT2	5	O	出力、チャネル 2
OUT3	8	O	出力、チャネル 3
OUT4	14	O	出力、チャネル 4
V-	11	I	負 (低) 電源またはグランド (単電源動作の場合)
V+	2	I	正 (高) 電源

(1) I = 入力、O = 出力

6 仕様

6.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り) [1]

		最小値	最大値	単位
電源電圧、V_S = (V+) - (V-)	電源電圧、V_S = (V+) - (V-)	0	7.0	V
信号入力ピン	同相電圧 [2] [3]	– 0.5	6.0	V
	差動電圧 [2] [3]		±6.0	V
	電流[3]	-10	10	mA
出力短絡 [4]		連続		
動作時周囲温度、T_A		-55	150	℃
接合部温度、T_J			150	℃
保管温度、T_{stg}		-65	150	℃

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみに関するものであり、絶対最大定格において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、デバイスの信頼性に影響を及ぼす場合があります。
(2) 入力ピンは (V+) を超えるスイングが可能ですが、±6V ではありません。入力ピンから (V+) までのダイオード構造はありません。
(3) 入力ピンは (V-) に対してダイオード クランプされています。(V–) より 0.3V 低い入力信号は、電流を 10mA 以下に制限する必要があります。
(4) グランドへの短絡、パッケージあたり 1 台のアンプ。

6.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 [1]		±4000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 [2]	OPA4323	±500	V
			OPA323、OPA2323	±250	V

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

動作時周辺温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V_S	電源電圧、(V+) - (V-)	1.7	5.5	V
C_{BYP}	電源ピンのバイパス コンデンサ[1]	0.1		µF
T_A	規定温度	-40	125	℃

(1) C_{BYP} には、各電源ピンとグランド間に低 ESR のセラミック コンデンサを使用します。単一電源での動作には、1 つの C_{BYP} のみで十分です。C_{BYP} がデバイスのできるだけ近くに配置され、電源トレースが C_{BYP} を経由してルーティングされてから、電源ピンに到達するようにしてください。

Copyright © 2025 Texas Instruments Incorporated

6.4 シングル チャネルの熱に関する情報

熱評価基準[1]		OPA323 DCK (SC70) 5 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	196.7	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	104.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	44.8	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	18.7	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	44.5	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』*アプリケーション レポートをご覧ください。

6.5 デュアル チャネルの熱に関する情報

熱評価基準[1]		OPA2323 D (SOIC 8 ピン	DGK (VSSOP) 8 ピン	DDF (SOT-23-8) 8 ピン	単位 単位 単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	139.0	173.6	149.6	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	81.2	65.1	72.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	82.4	95.1	68.4	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	31.3	10.0	4.0	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	81.6	93.5	68.1	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』*アプリケーション レポートをご覧ください。

6.6 クワッド チャネルの熱に関する情報

熱評価基準[1]		OPA4323 PW (TSSOP) 14 ピン	OPA4323 DYY (SOT) 14 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	115.8	113.7	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	44.9	49.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	58.7	42.4	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	5.2	1.6	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	58.1	42.2	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』*アプリケーション レポートをご覧ください。

6.7 電気的特性

V_S = (V+) - (V-) = 1.8V～5.5V (±0.85V～±2.75V) の場合 (T_A = 25℃時)、R_L = 10kΩ を V_S/2、V_{CM} = V_S/2、および $V_{O\ UT}$ = V_S/2 に接続 (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V_{OS}	入力オフセット電圧	V_S = 1.8 V～5.5 V			±0.15	±1.25	mV
		V_S = 1.8 V～5.5 V	T_A = –40℃～125℃			±1.35	
dV_{OS}/dT	入力オフセット電圧ドリフト(1)	V_S = 1.8 V～5.5 V	T_A = –40℃～125℃		±0.4	±1.8	μV/℃
PSRR	入力オフセット電圧と電源との関係	V_S = 1.8 V～5.5 V			±5	±20	μV/V
	チャネル セパレーション	f = 10kHz			±1		μV/V
入力バイアス電流							
I_B	入力バイアス電流 (1)	V_S = 1.8V、V_S = 5V			±0.5	±20	pA
		V_S = 1.8V、V_S = 5V	T_A = –40℃～125℃			±1600	pA
I_{OS}	入力オフセット電流 (1)	V_S = 1.8V、V_S = 5V			±0.25		pA
		V_S = 1.8V、V_S = 5V	T_A = –40℃～125℃			±120	pA
ノイズ							
E_N	入力電圧ノイズ	f = 0.1Hz ～10Hz			2.8		$μV_{PP}$
e_N	入力電圧ノイズ密度	f = 100Hz			24		nV/√Hz
		f = 1kHz			9		
		f = 10kHz			5.5		
i_N	入力電流ノイズ (2)	f = 1kHz			20		fA/√Hz
入力電圧範囲							
V_I	入力電圧範囲	V_S = 1.8V～5.5V		(V-) - 0.2		(V+) + 0.15	V
CMRR	同相除去比	V_S = 5.5V、(V–) – 0.2V ≤ V_{CM} ≤ (V+) + 0.10V		100	114		dB
		V_S = 5.5V、(V–) – 0.2V ≤ V_{CM} ≤ (V+) + 0.15V		90	104		dB
		V_S = 5.5V、(V–) – 0.2V ≤ V_{CM} ≤ (V+) + 0.15V	T_A = –40℃～125℃	84			dB
		V_S = 1.8V、(V–) – 0.1V ≤ V_{CM} ≤ (V+) + 0.05V		85	103		dB
		V_S = 1.8V、(V–) – 0.1V ≤ V_{CM} ≤ (V+) + 0.05V	T_A = –40℃～125℃	80			dB
入力インピーダンス							
Z_{ID}	差動				80 || 2		GΩ || pF
Z_{ICM}	同相				100 || 1		GΩ || pF
開ループ ゲイン							
A_{OL}	開ループ電圧ゲイン	V_S = 1.8V、(V–) + 0.1V < V_O < (V+) – 0.1V、R_L = 10kΩ to V_S / 2		103	120		dB
		V_S = 1.8V、(V–) + 0.2V < V_O < (V+) – 0.2V、R_L = 2kΩ to V_S / 2		100	115		dB
		V_S = 5.5V、(V–) + 0.1V < V_O < (V+) – 0.1V、R_L = 10kΩ to V_S / 2		112	125		dB
		V_S = 5.5V、(V–) + 0.2V < V_O < (V+) – 0.2V、R_L = 2kΩ to V_S / 2		108	120		dB
周波数応答							
GBW	ゲイン帯域幅積	V_S = 5.5V、G = +1、R_L = 10kΩ、C_L = 100pF	T_A = 25℃		20		MHz
SR	スルー レート	V_S = 5.5V、G = +1、V_{STEP} = 5V、R_L = 10kΩ、C_L = 100pF			33		V/μs
THD+N	全高調波歪み + ノイズ (3)	V_S = 5V、G = +1、V_O = $4V_{P-P}$、f = 10kHz、R_L = 600Ω ～ V_S / 2、C_L = 50pF			0.00125		%
t_S	セトリング時間	0.1% まで、V_S = 5.5V、V_{STEP} = 4V、G = +1、C_L = 10pF			200		ns
		0.1% まで、V_S = 5.5V、V_{STEP} = 2V、G = +1、C_L = 10pF			150		
		0.01% まで、V_S = 5.5V、V_{STEP} = 4V、G = +1、C_L = 10pF			250		
		0.01% まで、V_S = 5.5V、V_{STEP} = 2V、G = +1、C_L = 10pF			200		

Copyright © 2025 Texas Instruments Incorporated

6.7 電気的特性 (続き)

V_S = (V+) - (V-) = 1.8V～5.5V (±0.85V～±2.75V) の場合 (T_A = 25℃時)、R_L = 10kΩ を V_S/2、V_{CM} = V_S/2、および $V_{O\ UT}$ = V_S/2 に接続 (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
GM	ゲイン マージン	V_S = 5.5V、G = +1、R_L = 10kΩ、C_L = 30pF			15		dB
		V_S = 1.8V、G = +1、R_L = 10kΩ、C_L = 30pF			15		dB
PM	位相マージン	V_S = 5.5V、G = +1、R_L = 10kΩ、C_L = 30pF			50		°
		V_S = 1.8V、G = +1、R_L = 10kΩ、C_L = 30pF			52.5		°
$t_{overload}$	過負荷回復時間	V_{IN} × ゲイン > V_S			130		ns
EMIRR	電磁干渉除去比	f = 1.8GHz、V_{IN_EMIRR} = 100mV			62		dB
出力							
V_o	電圧出力スイング (レールから)	V_S = 1.8V、R_L = 10kΩ を V_S/2 に接続			15	25	mV
		V_S = 5.5V、R_L = 10kΩ を V_S/2 に接続			25	35	mV
		V_S = 5.5V、R_L = 2kΩ を V_S/2 に接続			45	55	mV
I_{SC}	短絡電流 (4)	V_S = 1.8V		±20	±40		mA
		V_S = 5.5V		±80	±110		mA
Z_O	オープン ループ出力インピーダンス	f = 10kHz			80		Ω
電源							
I_Q	アンプごとの静止電流	V_S = 5.5V、I_O = 0A			1.6	1.9	mA
			T_A = –40℃～125℃			2.0	
	パワーオン時間	V_S = 0V ～ 5.5V、90% I_Q レベル			25		µs
シャットダウン							
I_{QSD}	アンプごとのシャットダウン電流 (7)	すべてのアンプを無効化、$\overline{SHDN}$ = V–			0.5	1	µA
		すべてのアンプを無効化、$\overline{SHDN}$ = V–、T_A = –40℃ ～ 125℃				1.5	µA
Z_{SHDN}	シャットダウン時の出力インピーダンス(7)	アンプがディセーブル			43 || 11.5		GΩ || pF
V_{IH}	ロジック High スレッショルド電圧 (アンプがイネーブル)(7)			(V-) + 1.15			V
V_{IL}	ロジック Low スレッショルド電圧 (アンプがディセーブル)					(V-) + 0.20	V
t_{ON}	アンプのイネーブル時間 (フル シャットダウン) (5) (6) (7)	G = +1、V_{CM} = V_S/2、V_O = 0.9 × V_S/2、R_L を V- に接続			8		µs
	アンプのイネーブル時間 (部分的シャットダウン) (5) (6) (7)	G = +1、V_{CM} = V_S/2、V_O = 0.9 × V_S/2、R_L を V- に接続			7.5		
t_{OFF}	アンプのディセーブル時間 (5) (7)	G = +1、V_{CM} = V_S/2、V_O = 0.1 × V_S/2、R_L を V- に接続			1.5		µs
	$\overline{SHDN}$ ピンの入力バイアス電流 (ピンごと)(7)	(V+) ≧ $\overline{SHDN}$ ≧ (V-) + 1V			30		nA
		(V-) ≦ $\overline{SHDN}$ ≦ (V-) + 0.2V			60		

(1) 最大または最小制限データは特性評価結果に基づいて規定されています。
(2) 入力電流ノイズ データの標準値は、設計シミュレーションの結果に基づいて規定されています。
(3) 3 次フィルタ、-3dB で帯域幅 = 80kHz。
(4) ここで規定されている短絡電流は、短絡電流のソースとシンクの平均値です。

(5) ディセーブル時間 (t_{OFF}) とイネーブル時間 (t_{ON}) は、$\overline{SHDN}$ ピンに印加される信号の 50% ポイントと、出力電圧が 10% (ディセーブル) または 90% (イネーブル) レベルに達する時点との時間間隔として定義されます。

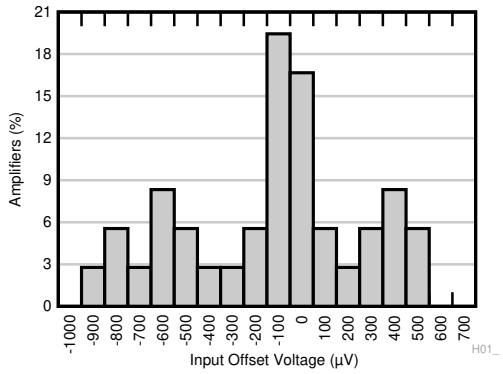
(6) フル シャットダウンとは、デュアル デバイスではチャネル 1 と 2 の両方がディセーブルである ($\overline{SHDN1}$ = $\overline{SHDN2}$ = V–) こと、クワッド デバイスではチャネル 1～4 のすべてがディセーブルである ($\overline{SHDN12}$ = $\overline{SHDN34}$ = V–) ことです。部分的シャットダウンのときは、1 本の $\overline{SHDN}$ ピンのみが実行されます。このモードでは内部バイアス回路が動作し続け、イネーブル時間が短くなります。

(7) 「シャットダウン」セクションはプレビュー段階です

Copyright © 2025 Texas Instruments Incorporated

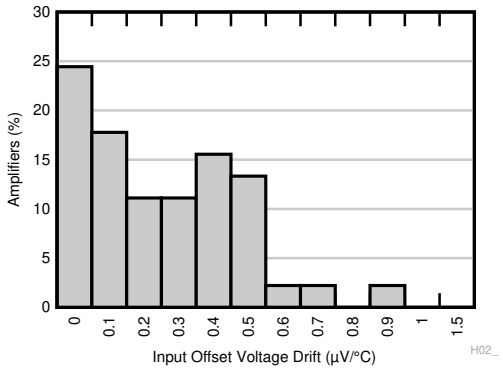
6.8 代表的特性

T_A = 25℃、V+ = 2.75V、V– = -2.75V、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 (特に記述のない限り)



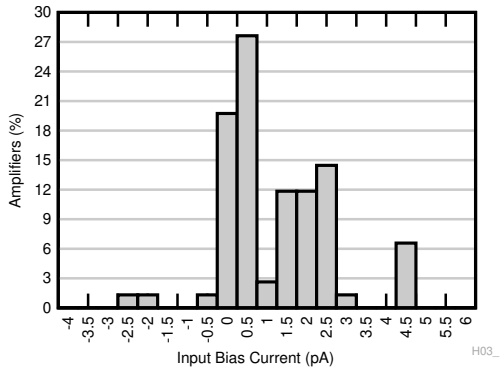
V_S = 5.5V　V_{CM} = V_S/2　T_A = 25℃
デバイス数 = 36　平均 = –32µV　シグマ = 190µV

図 6-1. 入力オフセット電圧の分布ヒストグラム



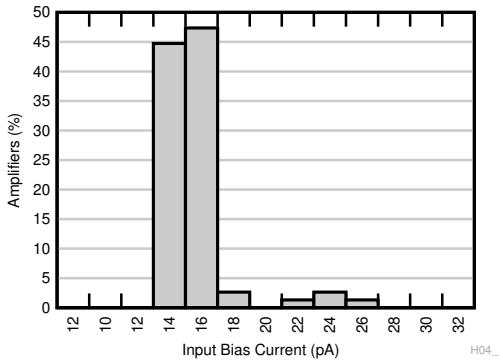
V_S = 5.5V　V_{CM} = V_S/2　T_A = –40℃～+125℃
デバイス数 = 36
平均 = 0.28µV/℃　シグマ = 0.22µV/℃

図 6-2. 入力オフセット電圧ドリフトの分布ヒストグラム



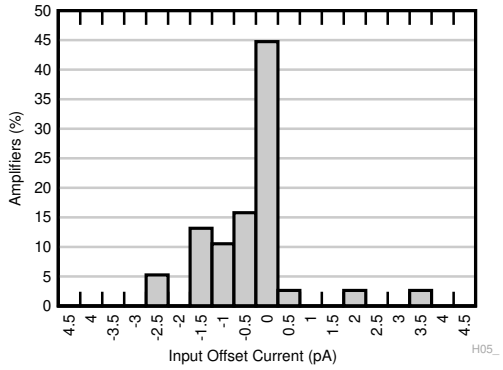
V_S = 5.5V　V_{CM} = V_S/2　T_A = 25℃
デバイス数 = 90　平均 = 1pA　シグマ = 2pA

図 6-3. 入力バイアス電流の分布ヒストグラム



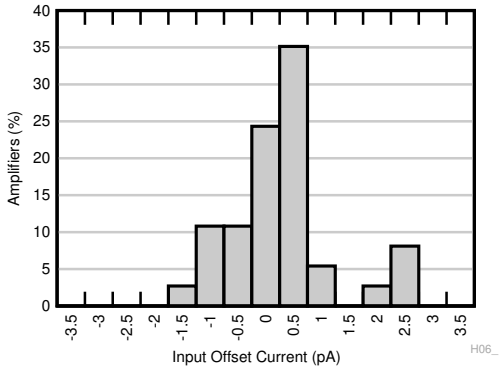
V_S = 5.5V　V_{CM} = V_S/2　T_A = 85℃
デバイス数 = 90　平均 = 13pA　シグマ = 2pA

図 6-4. 入力バイアス電流の分布ヒストグラム



V_S = 5.5V　V_{CM} = V_S/2　T_A = 25℃
デバイス数 = 45　平均 = –0.1pA　シグマ = 1.7pA

図 6-5. 入力オフセット電流の分布ヒストグラム

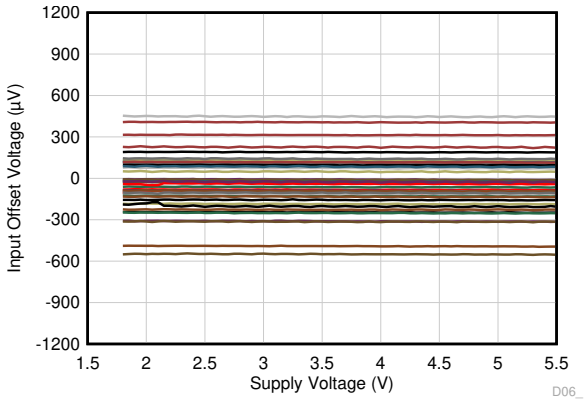


V_S = 5.5V　V_{CM} = V_S/2　T_A = 85℃
デバイス数 = 45　平均 = 1.1pA　シグマ = 2.1pA

図 6-6. 入力オフセット電流の分布ヒストグラム

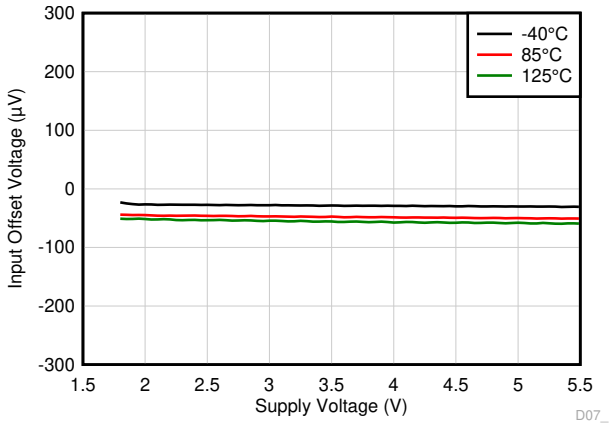
6.8 代表的特性 (続き)

T_A = 25℃、V+ = 2.75V、V– = -2.75V、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 (特に記述のない限り)



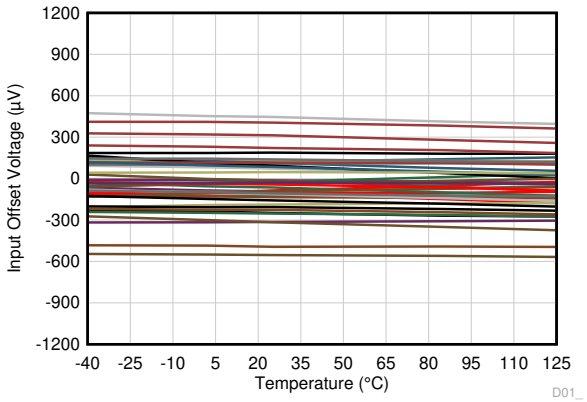
V_{CM} = (V-)　　デバイス数 = 45

図 6-7. 入力オフセット電圧と電源電圧との関係



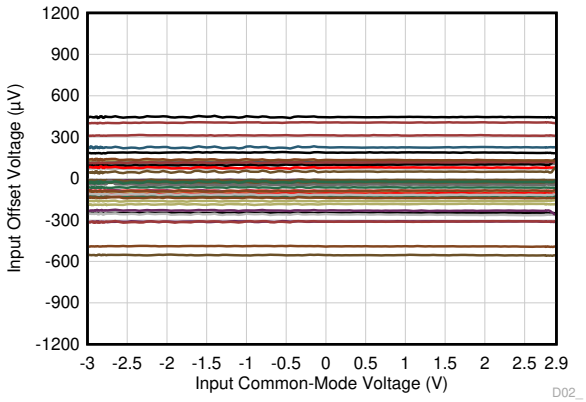
V_{CM} = (V-)　　T_A = –40°C、85°C と 125°C

図 6-8. 入力オフセット電圧と電源電圧との関係



V_{CM} = V-　　デバイス数 = 45

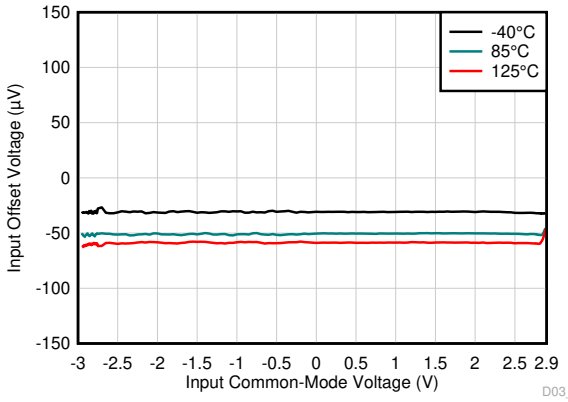
図 6-9. 入力オフセット電圧と温度との関係



V+ = 2.75V、V- = -2.75V　　デバイス数 = 45

(V–) – 0.25V < V_{CM} < (V+) + 0.15V

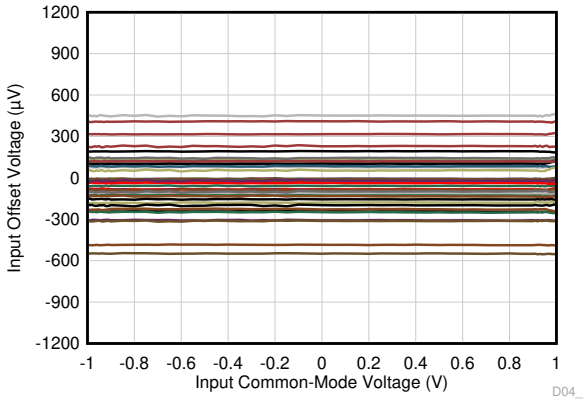
図 6-10. 入力オフセット電圧と同相電圧との関係



V+ = 2.75V、V- = -2.75V　　T_A = –40°C、85°C と 125°C

(V–) – 0.25V < V_{CM} < (V+) + 0.15V

図 6-11. 入力オフセット電圧と同相電圧との関係



V+ = 0.9V、V- = -0.9V　　デバイス数 = 45

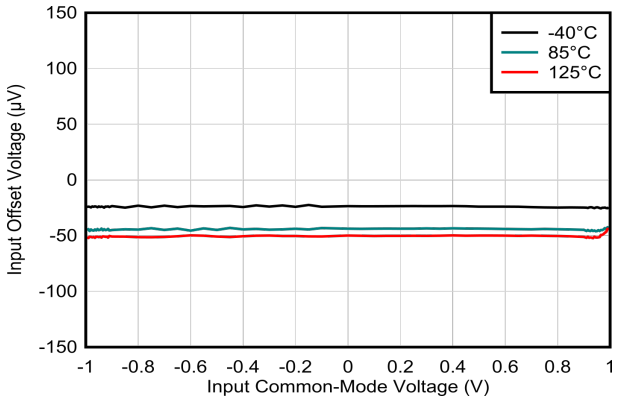
(V–) – 0.1V < V_{CM} < (V+) + 0.1V

図 6-12. 入力オフセット電圧と同相電圧との関係

Copyright © 2025 Texas Instruments Incorporated

6.8 代表的特性 (続き)

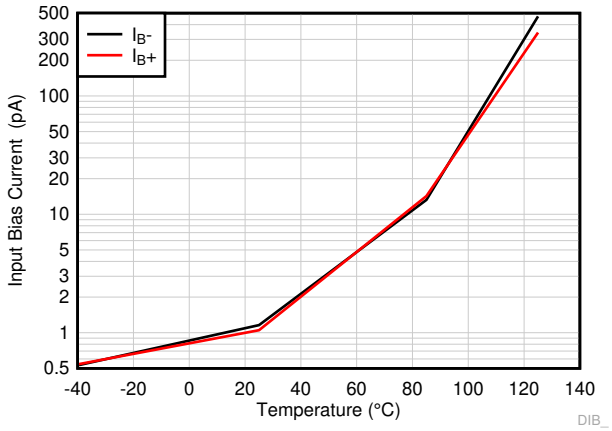
T_A = 25℃、V+ = 2.75V、V– = -2.75V、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 (特に記述のない限り)



V+ = 0.9V、V- = -0.9V　　T_A = –40°C、85°C と 125°C

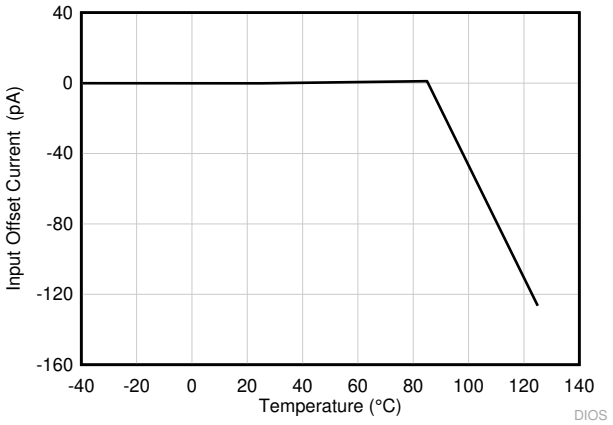
(V–) – 0.1V < V_{CM} < (V+) + 0.1V

図 6-13. 入力オフセット電圧と同相電圧との関係



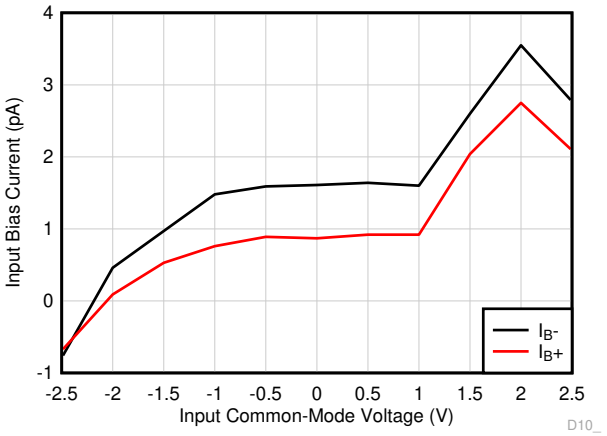
V_S = 5.5V、V_{CM} = V_S/2

図 6-14. I_B と温度との関係



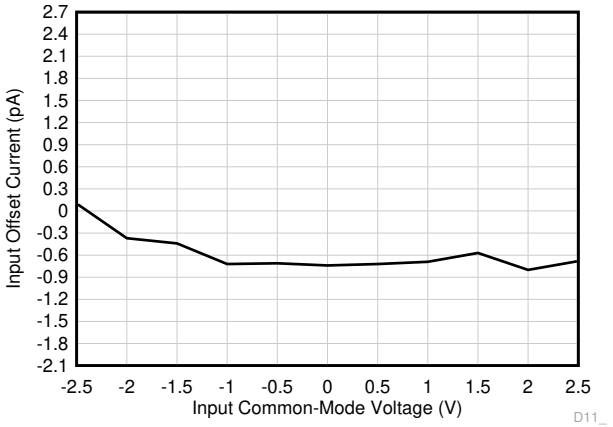
V_S = 5.5V、V_{CM} = V_S/2

図 6-15. I_{OS} vs 温度



V+ = 2.5V、V– = –2.5V、V_{CM} = V_S/2

図 6-16. I_B と同相電圧との関係



V+ = 2.5V、V– = –2.5V、V_{CM} = V_S/2

図 6-17. I_{OS} と同相電圧との関係

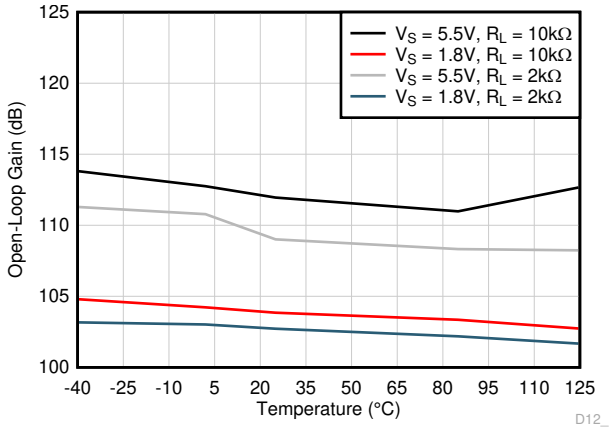
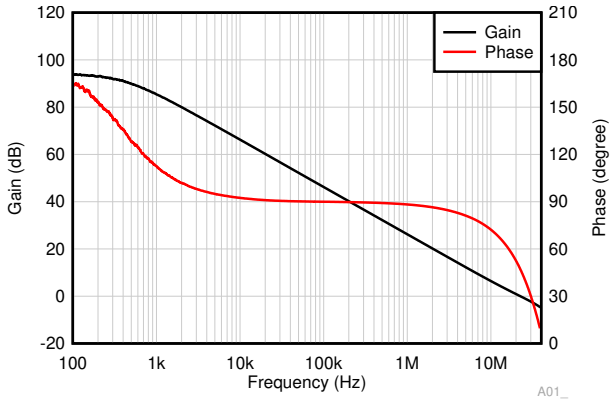


図 6-18. 開ループ ゲインと温度との関係

6.8 代表的特性 (続き)

T_A = 25℃、V+ = 2.75V、V– = -2.75V、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 (特に記述のない限り)



C_L = 10pF

図 6-19. 開ループ ゲインおよび位相と周波数との関係

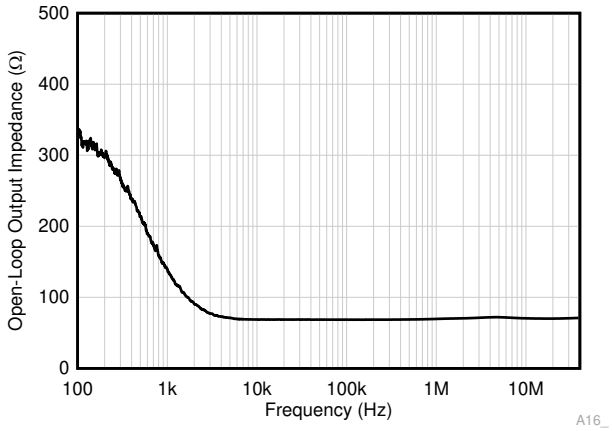
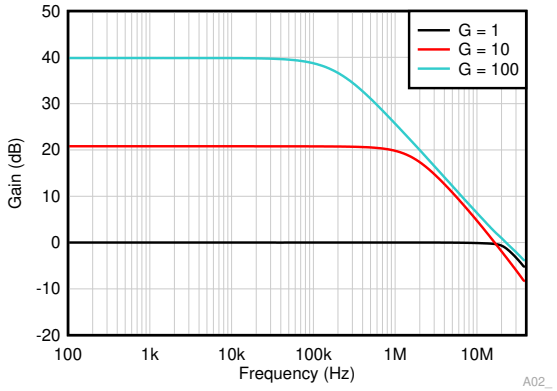
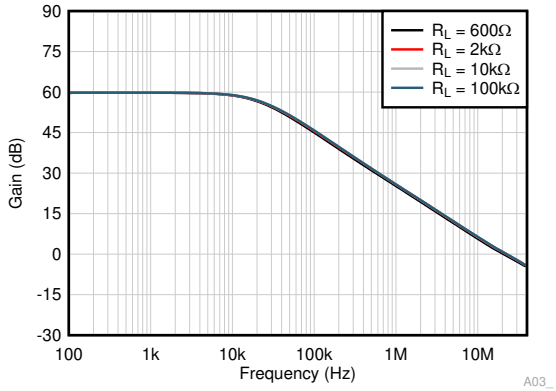


図 6-20. 開ループ出力インピーダンスと周波数との関係



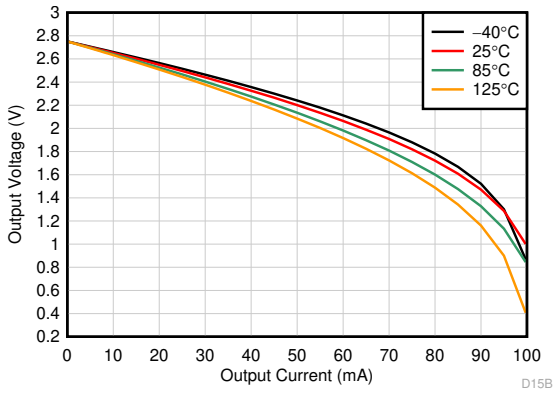
C_L = 10pF

図 6-21. 閉ループ ゲインと周波数との関係



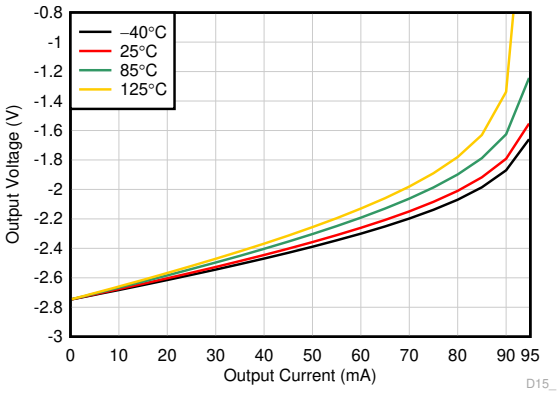
G = 1000 | C_L = 10pF

図 6-22. 閉ループ ゲインと周波数との関係



V+ = 2.75V、V- = -2.75V

図 6-23. 出力電圧スイングと出力電流との関係 (ソース)



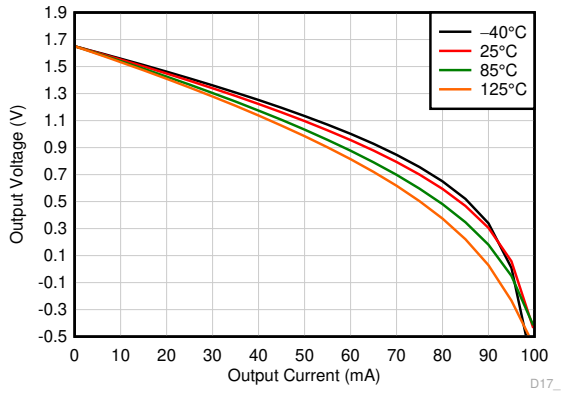
V+ = 2.75V、V- = -2.75V

図 6-24. 出力電圧スイングと出力電流との関係 (シンク)

Copyright © 2025 Texas Instruments Incorporated

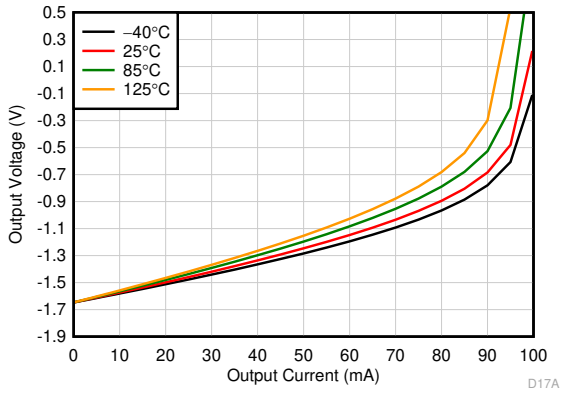
6.8 代表的特性 (続き)

T_A = 25℃、V+ = 2.75V、V– = -2.75V、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 (特に記述のない限り)



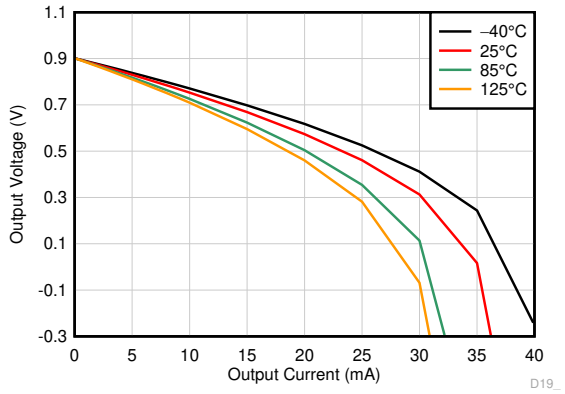
V+ = 1.65V、V- = -1.65V

図 6-25. 出力電圧スイングと出力電流との関係 (ソース)



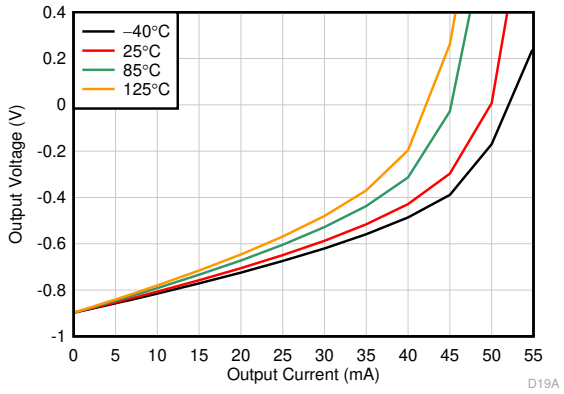
V+ = 1.65V、V- = -1.65V

図 6-26. 出力電圧スイングと出力電流との関係 (シンク)



V+ = 0.9V、V- = -0.9V

図 6-27. 出力電圧スイングと出力電流との関係 (ソース)



V+ = 0.9V、V- = -0.9V

図 6-28. 出力電圧スイングと出力電流との関係 (シンク)

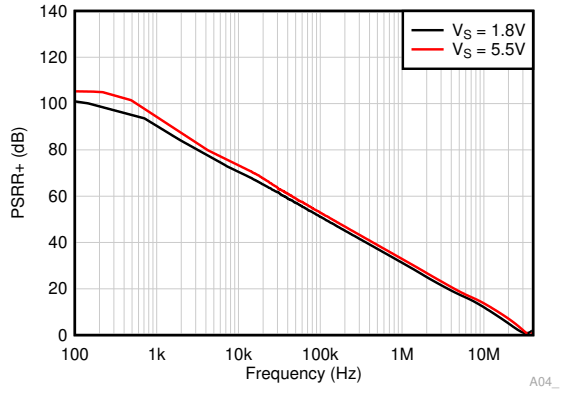


図 6-29. PSRR+ と周波数との関係

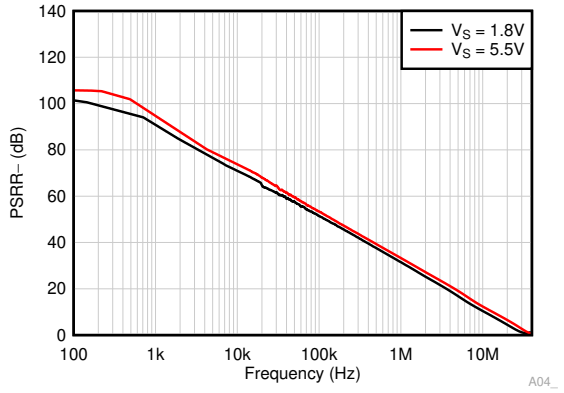
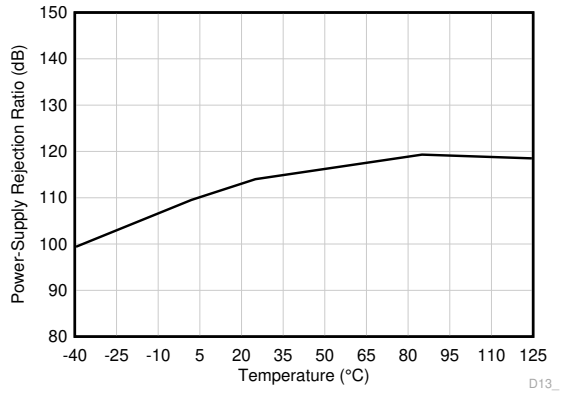


図 6-30. PSRR- と周波数との関係

6.8 代表的特性 (続き)

T_A = 25℃、V+ = 2.75V、V– = -2.75V、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 (特に記述のない限り)



V_{CM} = (V-)　　V_S = 1.8 V～5.5 V

図 6-31. DC PSRR と温度との関係

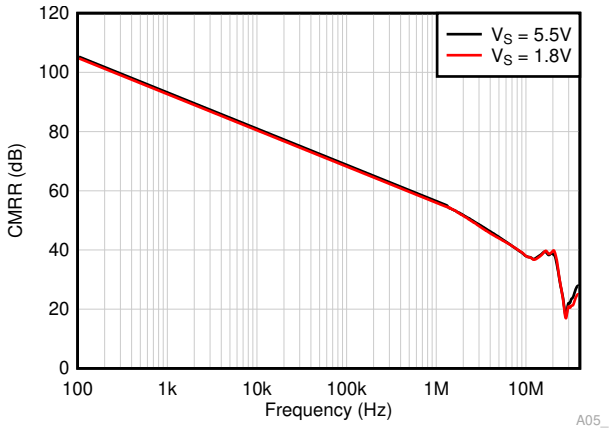
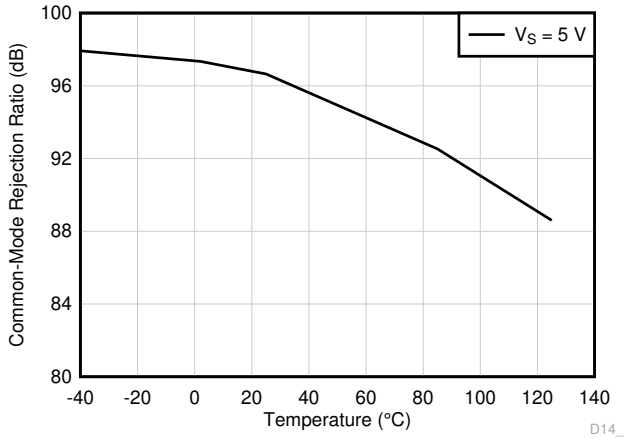


図 6-32. CMRR と周波数との関係



V_S = 5V　　(V–) – 0.2V – < V_{CM} < (V+) + 0.15V

図 6-33. DC CMRR と温度との関係

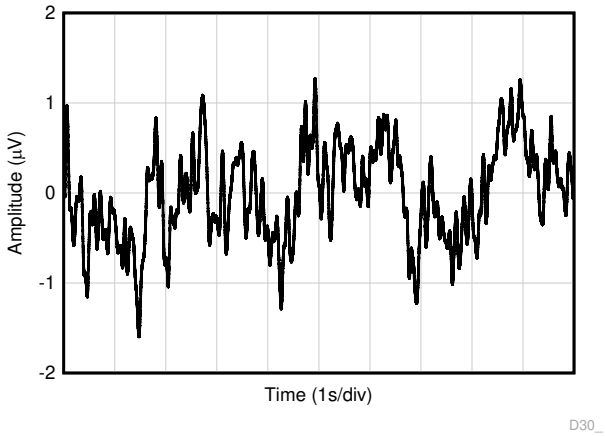


図 6-34. 時間領域での 0.1Hz～10Hz の電圧ノイズ

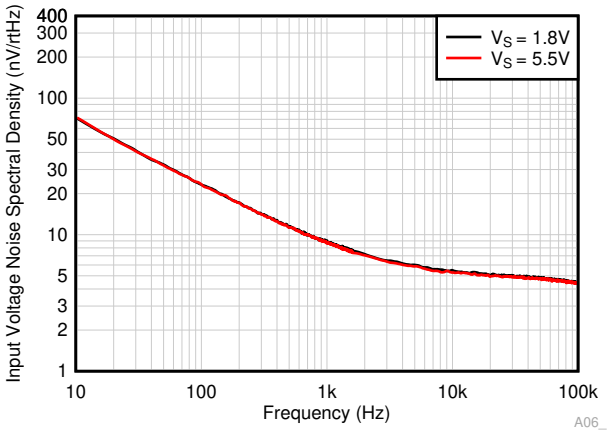
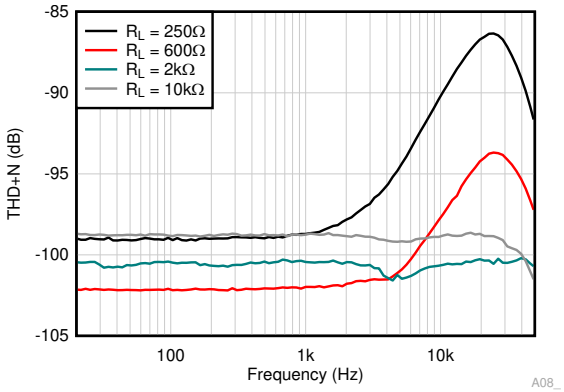


図 6-35. 入力電圧ノイズ スペクトル密度



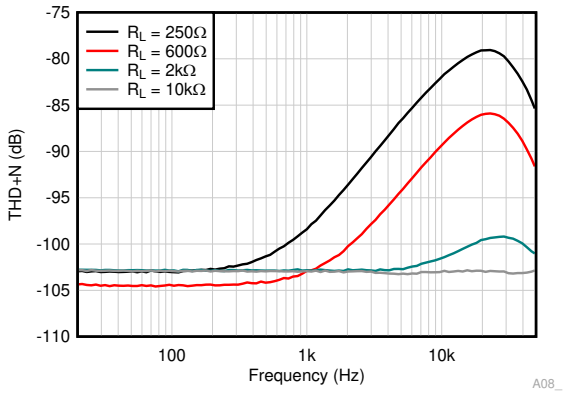
V_S = 5V　　V_{CM} = 2.5V　　G = 1
BW = 80kHz　　V_{OUT} = $2V_{P-P}$

図 6-36. THD + N と周波数との関係

Copyright © 2025 Texas Instruments Incorporated

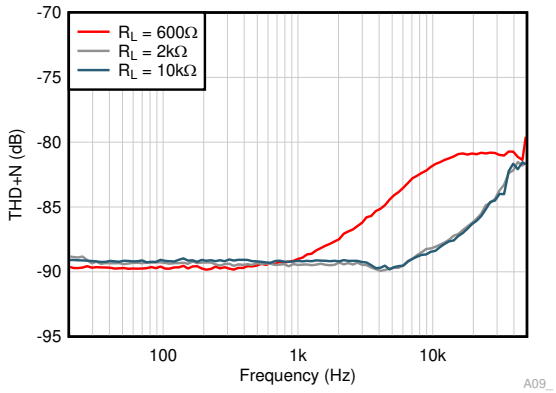
6.8 代表的特性 (続き)

T_A = 25℃、V+ = 2.75V、V– = -2.75V、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 (特に記述のない限り)



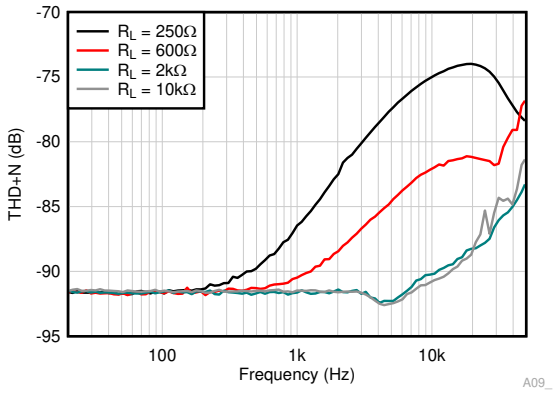
V_S = 5V　V_{CM} = 2.5V　G = -1
BW = 80kHz　V_{OUT} = $2V_{P-P}$

図 6-37. THD + N と周波数との関係



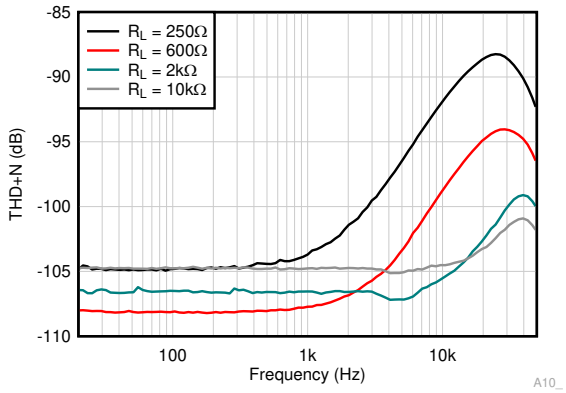
V_S = 5V　V_{CM} = 2.5V　G = 10
BW = 80kHz　V_{OUT} = $2V_{P-P}$

図 6-38. THD + N と周波数との関係



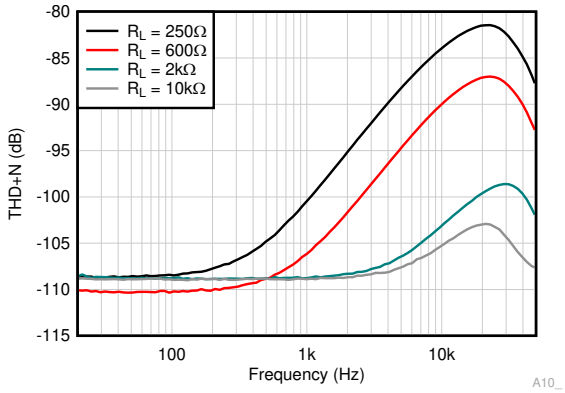
V_S = 5V　V_{CM} = 2.5V　G = -10
BW = 80kHz　V_{OUT} = $2V_{P-P}$

図 6-39. THD + N と周波数との関係



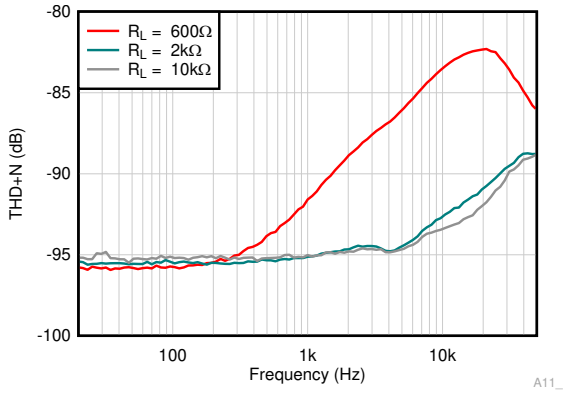
V_S = 5V　V_{CM} = 2.5V　G = 1
BW = 80kHz　V_{OUT} = $4V_{P-P}$

図 6-40. THD + N と周波数との関係



V_S = 5V　V_{CM} = 2.5V　G = -1
BW = 80kHz　V_{OUT} = $4V_{P-P}$

図 6-41. THD + N と周波数との関係

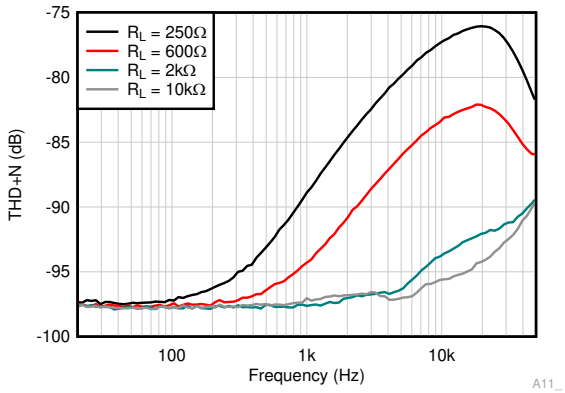


V_S = 5V　V_{CM} = 2.5V　G = 10
BW = 80kHz　V_{OUT} = $4V_{P-P}$

図 6-42. THD + N と周波数との関係

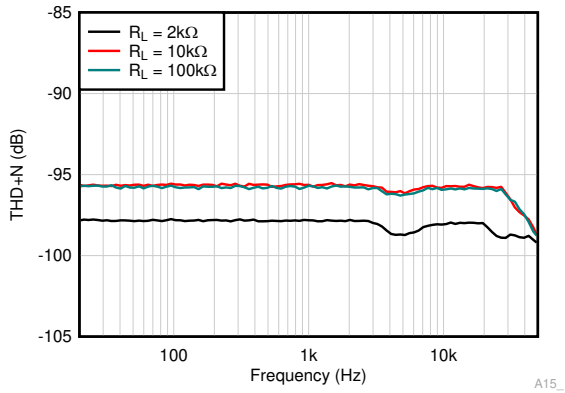
6.8 代表的特性 (続き)

T_A = 25℃、V+ = 2.75V、V– = -2.75V、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 (特に記述のない限り)



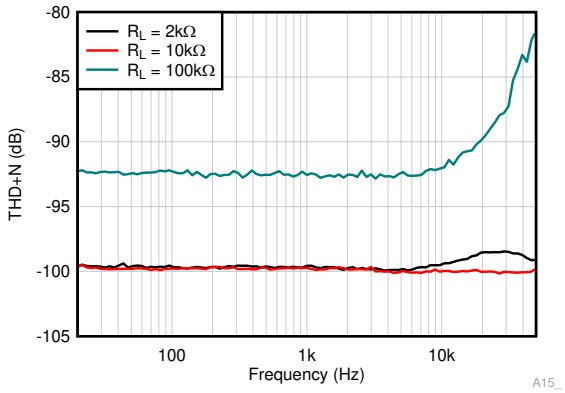
V_S = 5V　V_{CM} = 2.5V　G = -10
BW = 80kHz　V_{OUT} = 4V_{P-P}

図 6-43. THD + N と周波数との関係



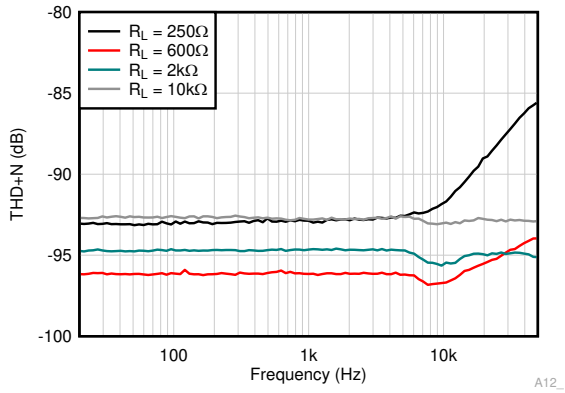
V_S = 5V　V_{CM} = 2.5V　G = 1
BW = 80kHz　V_{OUT} = 1.4V_{P-P}

図 6-44. THD + N と周波数との関係



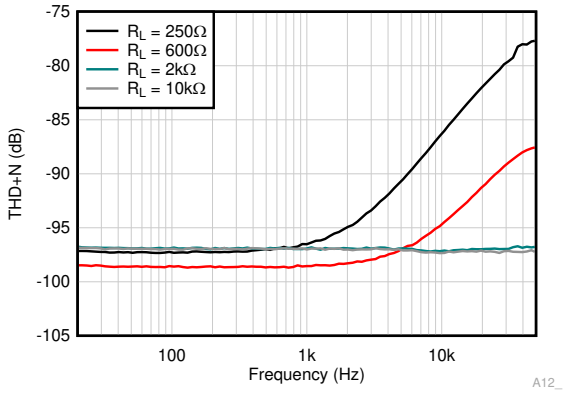
V_S = 5V　V_{CM} = 2.5V　G = -1
BW = 80kHz　V_{OUT} = 1.4V_{P-P}

図 6-45. THD + N と周波数との関係



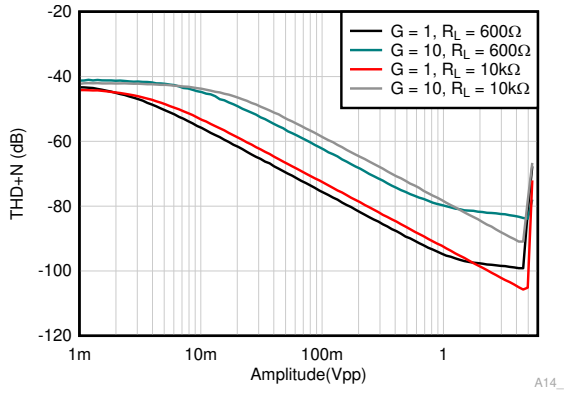
V_S = 3.3V　V_{CM} = 1.65V　G = 1
BW = 80kHz　V_{OUT} = 1V_{P-P}

図 6-46. THD + N と周波数との関係



V_S = 3.3V　V_{CM} = 1.65V　G = -1
BW = 80kHz　V_{OUT} = 1V_{P-P}

図 6-47. THD + N と周波数との関係



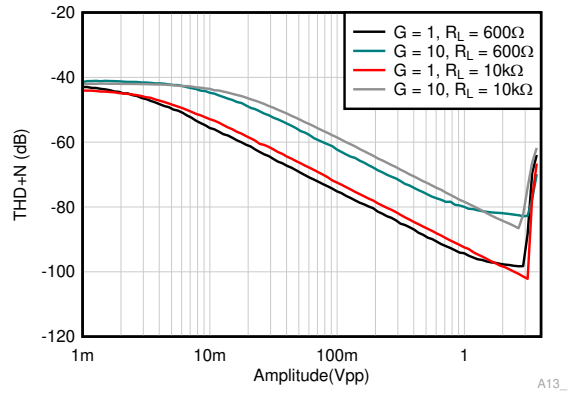
V_S = 5V　V_{CM} = 2.5V　f = 1kHz
BW = 80kHz

図 6-48. THD + N と振幅との関係

Copyright © 2025 Texas Instruments Incorporated

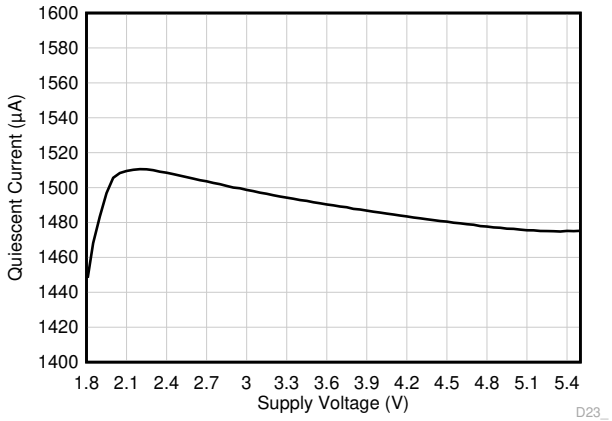
6.8 代表的特性 (続き)

T_A = 25℃、V+ = 2.75V、V– = -2.75V、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 (特に記述のない限り)



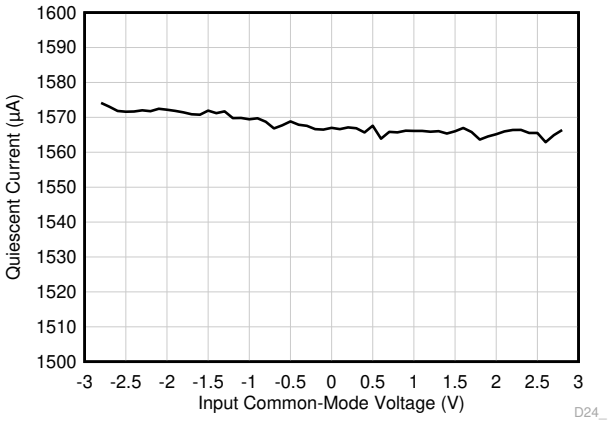
V_S = 3.3V　V_{CM} = 1.65V　f = 1kHz
BW = 80kHz

図 6-49. THD + N と振幅との関係



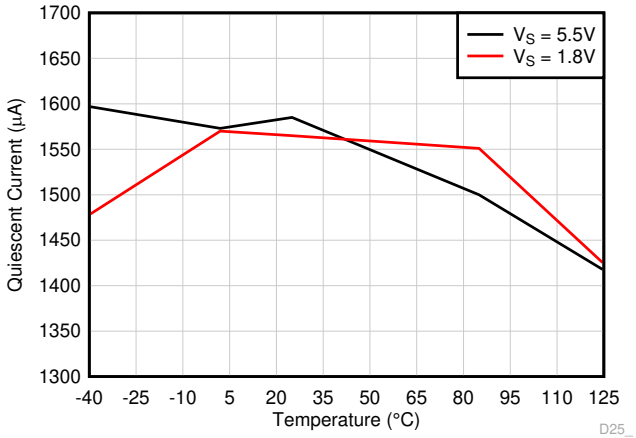
V_{CM} = V_S/2

図 6-50. 静止電流と電源電圧との関係



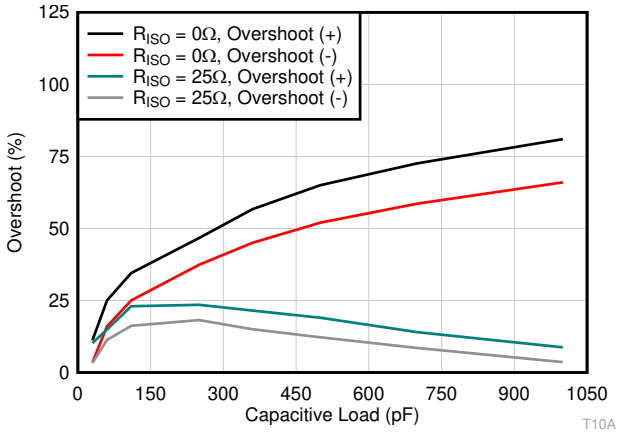
V+ = 2.75V、V- = -2.75V

図 6-51. 静止電流と同相電圧との関係



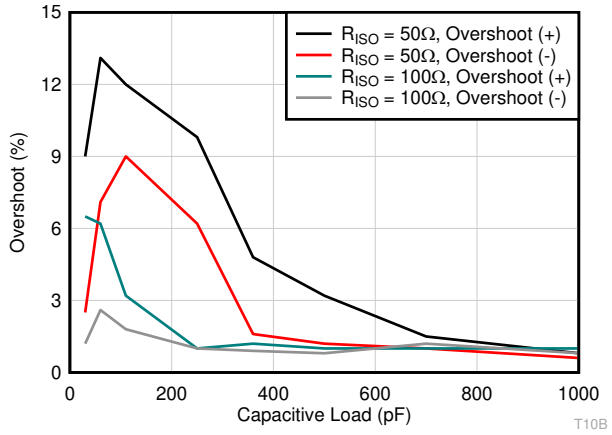
V_{CM} = V_S/2

図 6-52. 静止電流と温度との関係



G = 1　V_{IN} = 100mVpp

図 6-53. 小信号オーバーシュートと容量性負荷との関係



G = 1　V_{IN} = 100mVpp

図 6-54. 小信号オーバーシュートと容量性負荷との関係

6.8 代表的特性 (続き)

T_A = 25℃、V+ = 2.75V、V– = -2.75V、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 (特に記述のない限り)

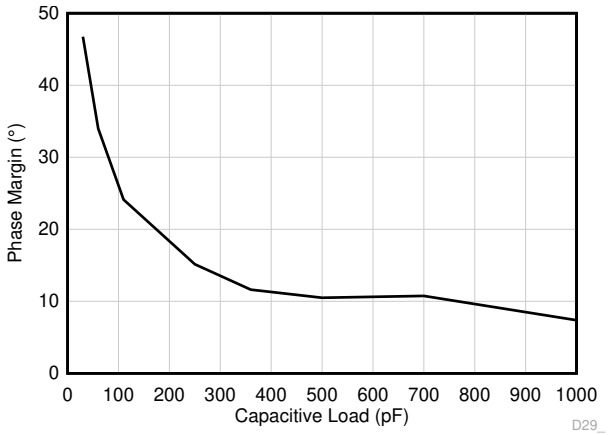
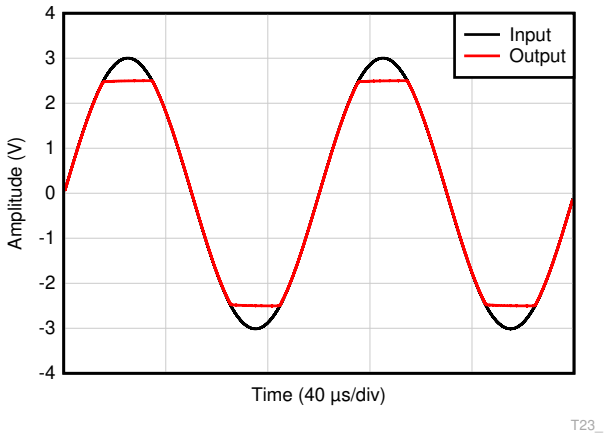
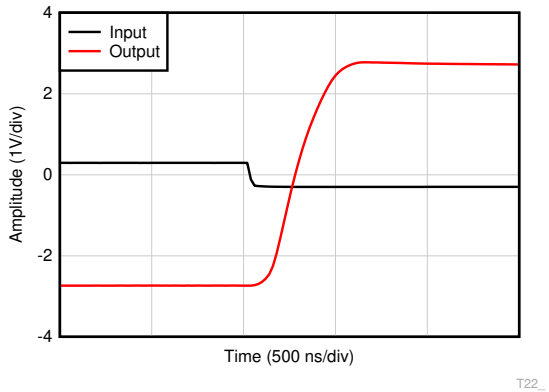


図 6-55. 位相マージンと容量性負荷との関係



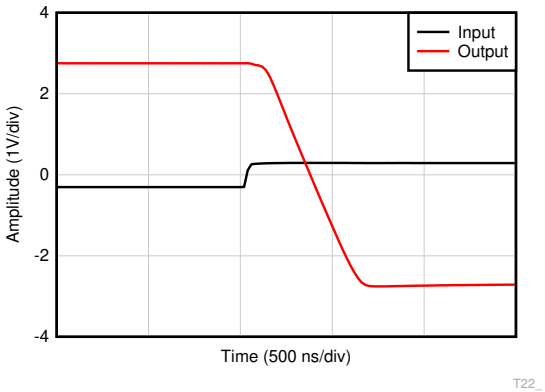
G = 1　　V_{IN} = 6V_{PP}

図 6-56. 位相反転が発生しない



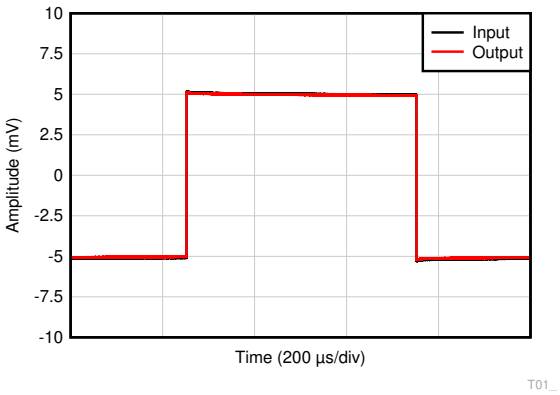
G = -10　　V_{IN} = 600mV_{PP}

図 6-57. 過負荷回復



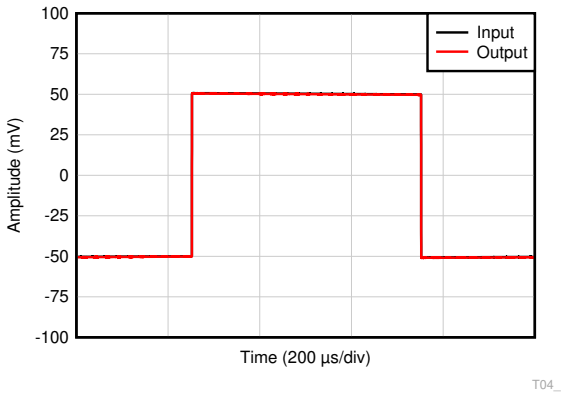
G = -10　　V_{IN} = 600mV_{PP}

図 6-58. 過負荷回復



G = 1　　V_{IN} = 10mV_{PP}　　C_L = 10pF

図 6-59. 小信号ステップ応答



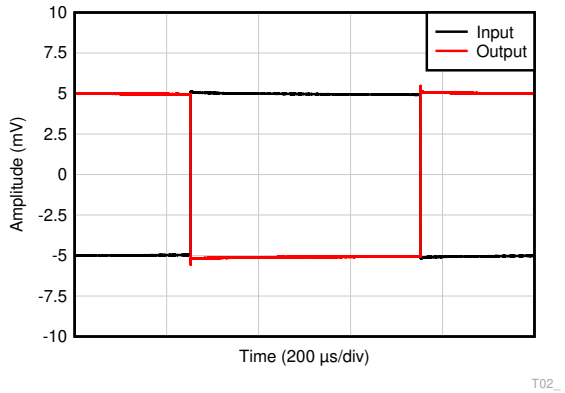
G = 1　　V_{IN} = 100mV_{PP}　　C_L = 10pF

図 6-60. 小信号ステップ応答

Copyright © 2025 Texas Instruments Incorporated

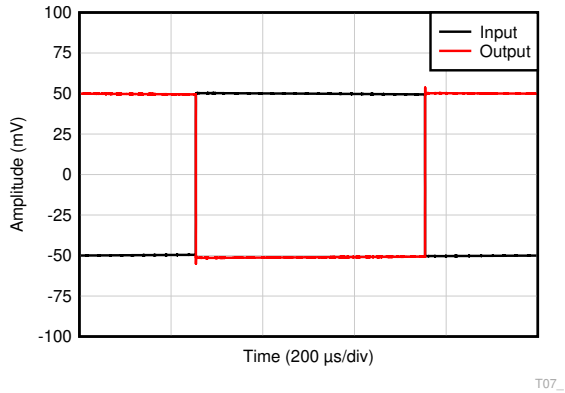
6.8 代表的特性 (続き)

T_A = 25℃、V+ = 2.75V、V– = -2.75V、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 (特に記述のない限り)



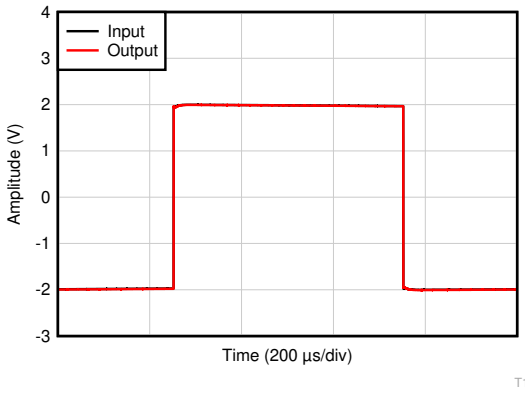
G = -1　　V_{IN} = 10mV_{PP}　　C_L = 10pF

図 6-61. 小信号ステップ応答



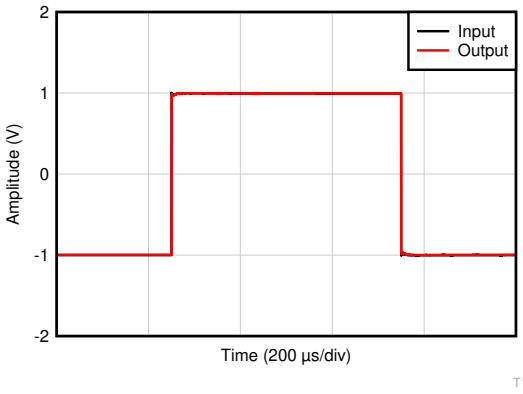
G = -1　　V_{IN} = 100mV_{PP}　　C_L = 10pF

図 6-62. 小信号ステップ応答



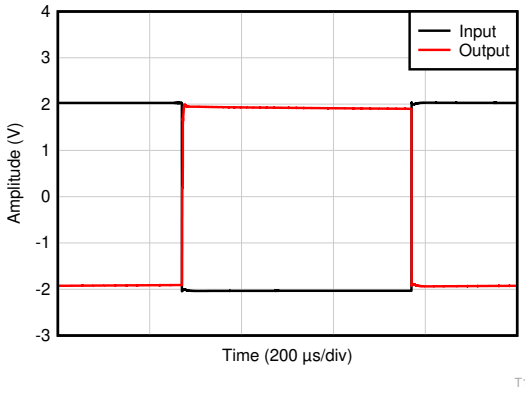
G = 1　　V_{IN} = 4V_{PP}　　C_L = 10pF

図 6-63. 大信号ステップ応答



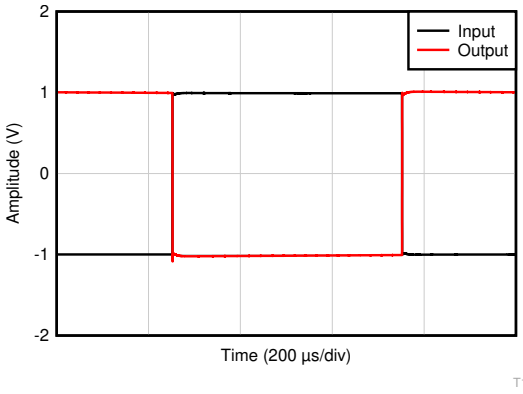
G = 1　　V_{IN} = 2V_{PP}　　C_L = 10pF
R_L = 2kΩ

図 6-64. 大信号ステップ応答



G = -1　　V_{IN} = 4V_{PP}　　C_L = 10pF

図 6-65. 大信号ステップ応答

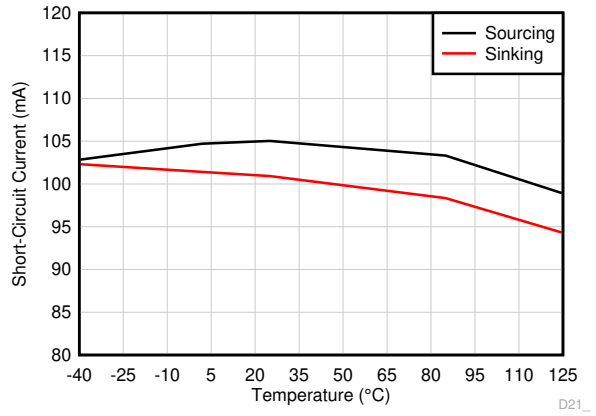


G = -1　　V_{IN} = 2V_{PP}　　C_L = 10pF
R_L = 2kΩ

図 6-66. 大信号ステップ応答

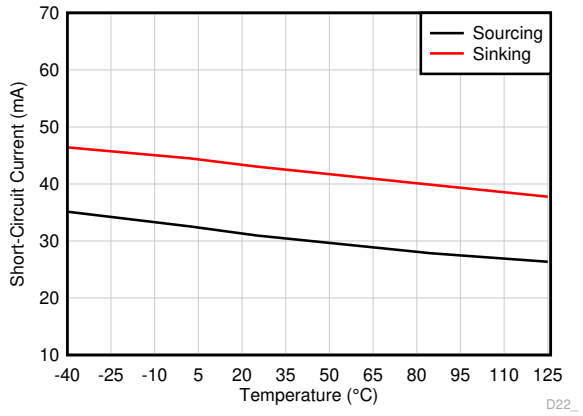
6.8 代表的特性 (続き)

T_A = 25℃、V+ = 2.75V、V– = -2.75V、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 (特に記述のない限り)



V_S = 5.5V

図 6-67. 短絡電流と温度との関係



V_S = 1.8V

図 6-68. 短絡電流と温度との関係

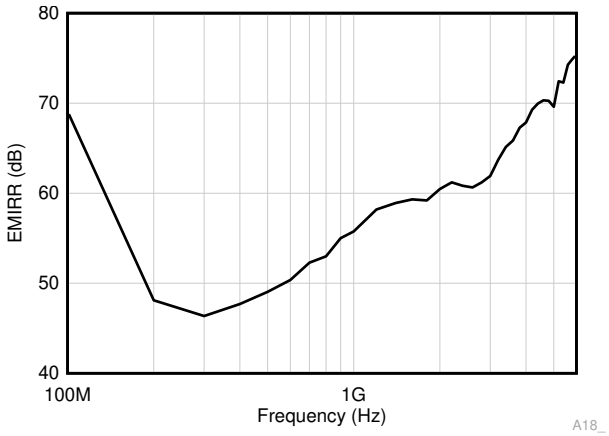


図 6-69. 非反転入力を基準とする電磁干渉除去比 (EMIRR+) と周波数との関係

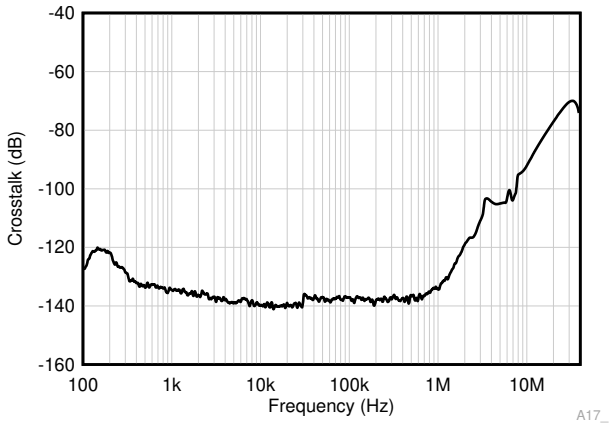


図 6-70. チャネル セパレーション

Copyright © 2025 Texas Instruments Incorporated

7 詳細説明

7.1 概要

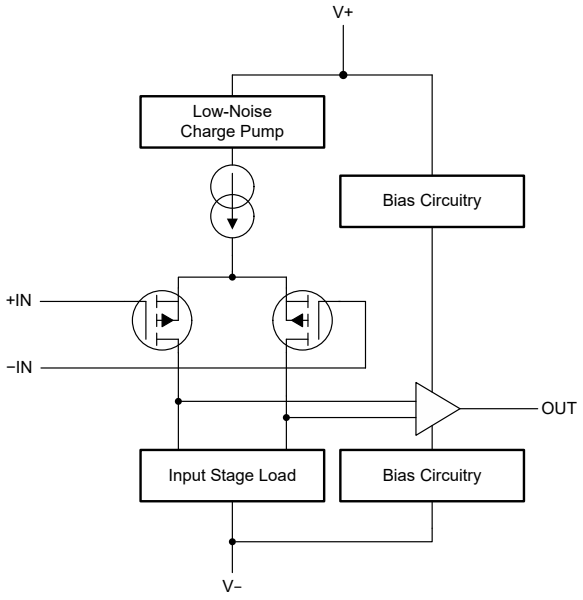
OPAx323 ファミリのオペアンプには、シングル / デュアル / クワッド チャネル (OPA323、OPA2323、OPA4323)、超低電圧 (1.7V ～ 5.5V)、高帯域幅 (20MHz) アンプがあります。このアンプ ファミリはゼロ クロスオーバー入力段とレール ツー レール出力段を特長としており、産業用と車載用の市場全体で多様なアプリケーションで使用できます。入力同相電圧範囲には電源レールを超える信号スイングが含まれているため、OPAx323 シリーズは多くの単電源または両電源構成で使用できます。レール ツー レール出力スイングにより、特に小さな抵抗性負荷を駆動できる Class AB 出力段を使用する低電源アプリケーションで、ダイナミック レンジが大幅に拡大します。

OPAx323 ファミリのゼロ クロス入力段アンプは、相補入力段アンプと比較して、ADC ドライバ アプリケーションで一般的なレール ツー レール スイングを備えた入力信号の高い直線性を実現します。20MHz のゲイン帯域幅により、必要なセトリング性能に応じて 0.5 ～ 5MSPS の ADC サンプリング速度で、高速なセトリング応答が得られます。OPAx323 は、最大オフセット 1.25mV と 1.8μV/°C のドリフトを特長としているため、高ゲイン電圧センシング アプリケーション (ホイーソン ブリッジなど) で高精度の性能を簡単にサポートします。高精度と高いゲイン帯域幅を独自に組み合わせたため、モータ ロータリー エンコーダ、マイクロフォン オーディオ プリアンプ、超音波トランスデューサなど複数のアプリケーションで使用できます。

OPAx323 ファミリは、20MHz ゲイン帯域幅に関してチャネルごとの 1.6mA 電源電流のみを消費するため、非常に低い消費電力で優れた AC 性能を実現します。これらのデバイスは 33V/μs の高いスルーレートを実現しているため、モーター電流センシング アプリケーションでフォルトを高速検出できます。ゼロクロスオーバー入力段により、ローサイドとハイサイド両方のセンシング アプリケーションで同一の AD と DC 性能が得られるため、OPAx323 はソーラー ストリング インバータ、電力供給、グリッド、EV インフラストラクチャなどさまざまな最終機器の電流センシングに最適です。高精度のトランスインピーダンスおよび電圧ゲイン アプリケーションでは、低入力バイアス電流 (標準値 0.5pA、最大値 20pA)、良好な PSRR (最大値 20μV/V)、CMRR (最小値 100dB)、A_{OL} (最小値 114dB) が特長です。このデバイスには、無負荷で 60° の標準的な位相マージンがあり、位相マージンは 35° で最大 75pF を駆動します。

OPAx323 には内部電流制限があり、大出力電流で動作するときもさらに堅牢性を高めると同時に、オーディオ アプリケーションにおいて 68Ω、128Ω、256Ω の負荷などのより小さな出力インピーダンスを駆動できます。OPAx323 は、レールに非常に近いスイングが可能であり、5.5V 電源で短絡電流は ±80mA (最小値) です。OPAx323S デバイスにはシャットダウン機能があり、さらに消費電力を削減し、アイドル時にアンプをディセーブルできます。これらのオペアンプは、無線周波数干渉 (RFI) と電磁干渉 (EMI) の除去フィルタ、ユニティ ゲイン安定性、および入力オーバードライブ状態での無位相反転を備えています。

7.2 機能ブロック図



Copyright © 2025 Texas Instruments Incorporated

7.3 機能説明

7.3.1 動作電圧

OPAx323 シリーズのオペアンプは 1.8V ～ 5.5V での動作が完全に規定されており、1.7V ～ 1.8V でのアンプ動作が設計テストされています。また、多くの仕様は –40℃ から 125℃ まで適用されます。動作電圧または温度によって大きく変化するパラメータについては、「*代表的特性*」セクションに示します。TI は、各電源ピンとグランドの間に低 ESR のセラミック・バイパス・コンデンサ（C_{BYP}）を追加することを強く推奨します。単一電源での動作には、1 つの C_{BYP} のみで十分です。C_{BYP} がデバイスのできるだけ近くに配置され、電源トレースが C_{BYP} を経由してルーティングされてから、アンプ電源端子に到達するようにしてください。

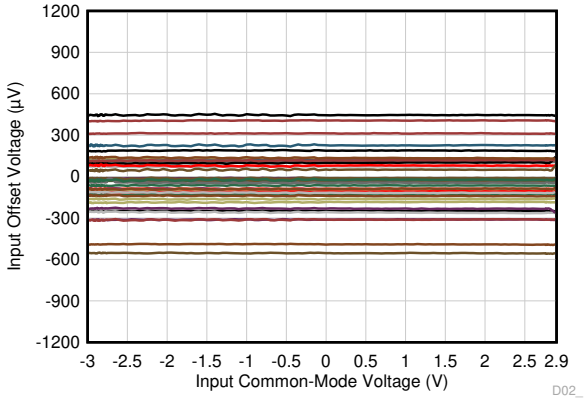
7.3.2 レール ツー レール入力

OPAx323 シリーズの入力同相電圧範囲は、*「電気的特性」*に規定されているように、5.5V で最小 100dB の同相除去比 (CMRR) で電源レールを超えています。このデバイスは、1.8V の非常に低い電源電圧で動作しても、最小 85dB の CMRR で優れた性能を発揮するように設計されています。これは、アンプ入力ペアにゼロ クロス入力段アーキテクチャを使用することで可能になります。

ほとんどの商用アンプは相補入力段アーキテクチャを採用しており、多くの場合、レール ツー レールの CMRR を 65dB 未満に制限しています。これは、レール ツー レールの入力同相範囲全体でのオフセット性能が線形でないためです。入力ペアの 1 つ、通常、オフセットが優れている P チャネル ペアのノイズ性能が同相範囲の大部分をカバーし、正のレールからの特定のスレッショルド電圧で、N チャネル ペアが徐々に引き継ぎ始めるように設計されています。TLV900x のオフセット電圧と同相電圧との関係に示すように、入力ペア間を遷移すると、コモンモード両端のオフセット電圧に大きなジャンプを発生させます。このオフセット ジャンプは CMRR に影響するだけでなく、レール ツー レール入力信号の直線性/THD にも制限されます。

OPAx323 は、*「機能ブロック図」*に示すように、内部チャージ ポンプを使用して単一 P チャネル入力ペアの同相範囲を拡張することで、レール ツー レール入力範囲全体にわたって線形オフセット性能を実現しています。これにより、N チャネル入力ペアと、入力ペアの遷移によって生じるオフセット ジャンプが不要になります。

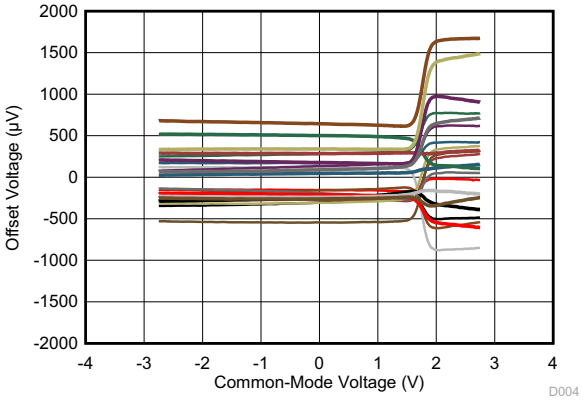
OPAx323 は、図 7-1 に示すように、同相電圧全体にわたってオフセット電圧のゼロに近いシフトを示します。ADC ドライバとオーディオ ドライバの各アプリケーションで、高い直線性を実現するうえで、この特性が不可欠です。



V+ = 2.75V、V- = -2.75V　　デバイス数 = 45

(V–) – 0.25V < V_{CM} < (V+) + 0.15V

図 7-1. OPAx323 のオフセット電圧と同相電圧との関係



V+ = 2.75V、V- = -2.75V

図 7-2. TLV900x のオフセット電圧と同相電圧との関係

7.3.3 レール ツー レール出力

OPAx323 は堅牢な出力駆動能力を実現します。共通ソーストランジスタを使用した出力段を使用して、完全なレール ツー レールの出力スイングを実現できます。このデバイスは、最小出力短絡電流が ±80mA になるように設計されているため、室温、5.5V のオーディオ ドライバ アプリケーションに適しています。2kΩ までの抵抗性負荷と 5.5V の電源では、両方の電源レールに対して最大 55mV 以内で出力がスイングします。それにより、ADC ドライバ アプリケーションで ADC の入力範囲のほぼ全体を使用できます。

7.3.4 同相信号除去比 (CMRR)

OPAx323 は、優れた DC と AC CMRR 性能を実現します。このデバイスは、動作温度範囲 (–40°C から 125°C まで) の全体にわたって、2 つの電源電圧 (5.5V と 1.8V) で DC CMRR 性能を発揮するように設計されています。DC CMRR は、(V–) – 0.2V ≤ V_{CM} ≤ (V+) + 0.15V (5.5V 動作の場合) と、(V–) – 0.1V ≤ V_{CM} ≤ (V+) + 0.05V (1.8V 動作の場合) の入力電圧範囲にわたって、レールを超える同相電圧について規定されています。AC CMRR は*「代表的特性」*に示されており、PCB 基板上の入力配線の影響を受けます。優れた性能を得るため、2 つのアンプの入力端子については、短く対称的な入力パターンを保持してください。

7.3.5 容量性負荷および安定度

OPAx323 は、容量性負荷の駆動が必要なアプリケーションで使用するように設計されています。すべてのオペアンプと同様に、デバイスが不安定になる特定の状況があり得ます。アンプが動作時に安定するかどうかを判断するには、そのオペアンプの回路構成、レイアウト、ゲイン、出力負荷などの要因を考慮します。

容量性負荷を駆動するユニティ ゲイン (1V/V) バッファ構成のオペアンプは、より高いノイズ ゲインで動作するアンプよりも不安定になる傾向があります。容量性負荷は、オペアンプの出力抵抗と相まって、位相マージンを劣化させる極を帰還ループ内に形成します。容量性負荷が大きくなると、位相マージンの劣化が大きくなります。ユニティ ゲイン構成で動作している場合、OPAx323 は 50°、容量性負荷は 30pF です。デバイスは最大約 75pF の純粋な容量性負荷で安定した状態を維持し、標準値 35° の許容位相マージンを確保しており、150pF まで持続的な発振はありません。一部の大容量コンデンサ (1µF よりも大きい値の CL) の等価直列抵抗 (ESR) は、アンプが安定した状態を維持するように帰還ループの位相特性を変えるのに十分な場合があります。アンプの閉ループ ゲインを大きくすると、アンプはさらに大きな容量を駆動できます。より高い電圧ゲインでのアンプのオーバーシュート応答を測定すると、この能力の向上は明らかです。

ユニティ ゲイン構成で動作するアンプの容量性負荷駆動能力を向上する 1 つの手法は、図 7-3 に示すように、出力と直列に小さな抵抗 (標準的には 10Ω～50Ω) を挿入することです。この抵抗は、大きな容量性負荷に伴うオーバーシュートとリンギングを大幅に低減します。通常、これは C_{LOAD} を ADC サンプリング コンデンサの充電バケットとして機能する ADC ドライバ アプリケーションで使用される回路構成です。

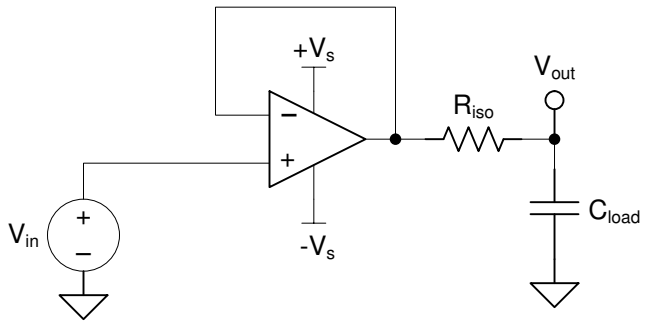


図 7-3. 容量性負荷駆動の向上

7.3.6 過負荷回復

過負荷からの回復は、オペアンプの出力が飽和状態から線形状態に回復するために必要な時間として定義されます。高い入力電圧または高いゲインが原因で、出力電圧が定格動作電圧を超えると、オペアンプの出力段は飽和領域に入ります。いずれかの出力が飽和領域に入った後、出力段はリニア動作状態に戻るために追加の時間 (過負荷復帰時間) を必

Copyright © 2025 Texas Instruments Incorporated

要とします。出力段が線形状態に戻ると、アンプは指定されたスルーレートでスルーを開始します。したがって、過負荷状態の場合の伝搬遅延は、過負荷復帰時間とスルー時間の合計になります。

OPAx323 ファミリの過負荷復帰時間は、標準値で約 130ns になるように設定されていますです。

7.3.7 EMI 除去

OPAx323 は、内蔵の電磁干渉 (EMI) フィルタリングを使用して、ワイヤレス通信 (無線周波数干渉:RFI) や、アナログ信号チェーンとデジタル コンポーネントを組み合わせた高密度実装の基板などのソースから引き起こされる EMI の影響を低減します。EMI 耐性は回路設計手法により改善可能で、OPAx323 はこのような設計の改善を活用しています。テキサス・インスツルメンツは、10MHz から 6GHz までの幅広い周波数スペクトルにわたって、オペアンプの耐性を正確に測定および数量化する機能を開発しました。OPAx323 でこのテストを行った結果を、図 7-4 に示します。実際のアプリケーションで一般的に発生する、特定の周波数における OPAx323 の EMIRR IN+ 値を、表 7-1 に示します。*『オペアンプの EMI 除去率』アプリケーション レポート*には、オペアンプに関連する EMIRR 性能の詳細情報が記載されています。

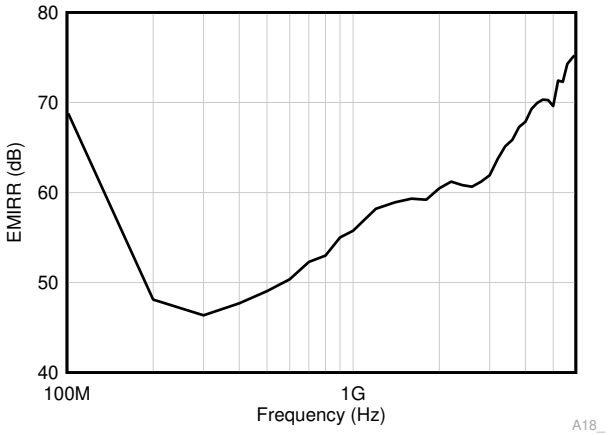


図 7-4. EMIRR テスト

表 7-1. 対象周波数における OPAx323 EMIRR IN+

FREQUENCY	アプリケーションまたは割り当て	EMIRR IN+
400MHz	モバイル無線、モバイル衛星、宇宙での運用、気象、レーダー、極超短波 (UHF) アプリケーション	48 dB
900MHz	GSM (モバイル通信) アプリケーション向けのグローバル システム、無線通信、ナビゲーション、GPS (最高 1.6GHz まで)、GSM、航空モバイル、UHF アプリケーション	56 dB
1.8GHz	GSM アプリケーション、モバイル パーソナル通信、ブロードバンド、衛星、L バンド (1GHz～2GHz)	60 dB
2.4GHz	802.11b、802.11g、802.11n、Bluetooth®、モバイル パーソナル通信、産業用、科学用および医療用 (ISM) 無線帯域、アマチュア無線および衛星、S バンド (2GHz～4GHz)	61 dB
3.6GHz	無線測位、航空通信およびナビゲーション、衛星、モバイル、S バンド	67 dB
5GHz	802.11a、802.11n、航空通信とナビゲーション、モバイル通信、宇宙と衛星での運用、C バンド (4GHz～8GHz)	70 dB

7.3.8 ESD および電気的オーバーストレス

設計者は、オペアンプが電気的オーバーストレスにどの程度耐えられるのかという質問をすることがよくあります。これらの質問は、主にデバイスの入力に関するものですが、電源電圧ピンや、さらに出力ピンにも関係する場合があります。これらの各ピンの機能には、特定の半導体製造プロセスの電圧ブレークダウン特性と、ピンに接続された特定の回路とで決まる電気的ストレスの制限値があります。また、これらの回路には内部静電気放電 (ESD) 保護機能が組み込まれており、製品の組み立て前と組み立て中の両方で、偶発的な ESD イベントから保護します。

この基本的な ESD 回路と、電気的オーバーストレス イベントとの関連性を十分に理解しておくと役に立ちます。OPAx323 デバイスに搭載されている ESD 回路を、図 7-5 に示します。ESD 保護回路には、いくつかの電流ステアリング ダイオードが含まれており、これらは入力ピンや出力ピンから接続され、内部の電源ラインに戻るようルーティングされます。入力ピンおよび出力ピンは、オペアンプ内部の吸収デバイスで接続されます。この保護回路は、通常の回路動作中は非アクティブに保たれるよう設計されます。

OPAx323 には、入力と正電源ピンの間に電流ステアリング ダイオードが接続されていないことに注意してください。

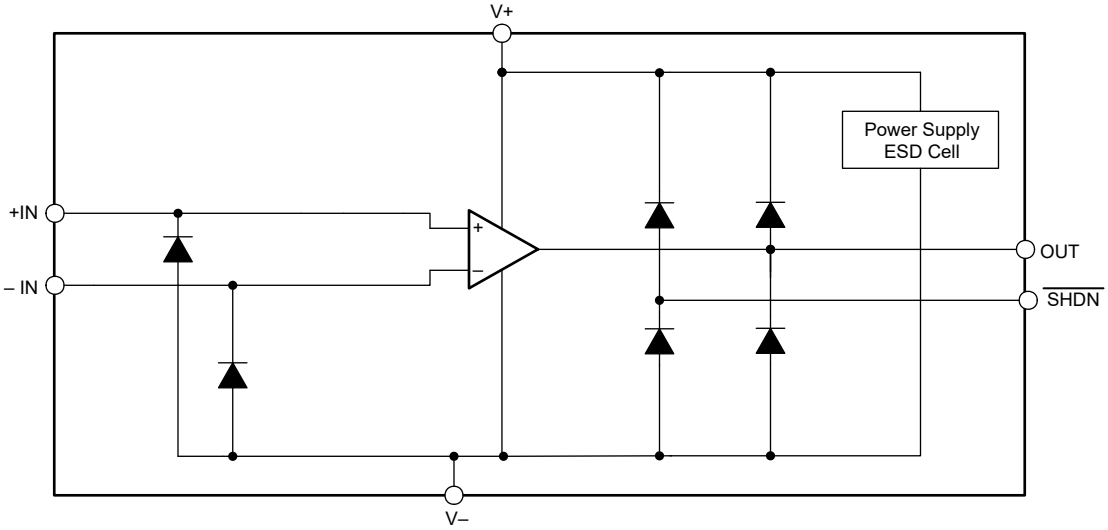


図 7-5. 内部 ESD 等価回路

7.3.9 入力 ESD 保護

OPAx323 ファミリには、すべてのピンに内部 ESD 保護回路が組み込まれています。入力では、この保護は主にフェイルセーフ ESD 入力構造で構成され、図 7-5 に示すように、入力ピンと正電源ピンの間に電流ステアリング ダイオードが接続されていないことが特長です。この機能は、正の電源レールの前に入力信号が存在する可能性がある電源シーケンスシナリオで非常に有益です。フェイルセーフ入力 ESD 構造により、入力と正電源の間の短絡が防止されます。詳細については、『*オペアンプの ESD 保護構造*』アプリケーション ノートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

7.3.10 シャットダウン機能

OPAx323S デバイスには、オペアンプをディセーブルして低消費電力のスタンバイ モードに移行する $\overline{\text{SHDN}}$ ピンが搭載されています。このモードでは、室温でのオペアンプの消費電流は通常 1000nA 未満です。$\overline{\text{SHDN}}$ ピンはアクティブ Low なので、$\overline{\text{SHDN}}$ ピンへの入力が有効なロジック High のとき、シャットダウン モードがイネーブルになります。

$\overline{\text{SHDN}}$ ピンは、オペアンプの負の電源レールを基準としています。シャットダウン機能のスレッショルドは約 500mV (標準値) で、電源電圧に応じて変化しません。スムーズなスイッチング特性を提供するため、スイッチング スレッショルドにはヒステリシスが含まれています。適切なシャットダウン動作を確保するため、$\overline{\text{SHDN}}$ ピンは有効なロジック信号で駆動する必要があります。有効なロジック Low は、V– と (V–) + 0.2V の間の電圧と定義されます。有効なロジック High は、(V–) + 1V と V+ の間の電圧と定義されます。アンプをイネーブルするには、$\overline{\text{SHDN}}$ ピンを有効なロジック High に駆動する必要があります。アンプをディセーブルするには、$\overline{\text{SHDN}}$ ピンを有効なロジック Low に駆動する必要があります。シャットダウン ピンをフローティングのままにしないで、シャットダウン ピンを有効な High または Low 電圧に接続することを強く推奨します。$\overline{\text{SHDN}}$ ピンで許容される最高電圧は (V+) + 0.5V です。この電圧レベルを超えると、デバイスが損傷します。

$\overline{\text{SHDN}}$ ピンは高インピーダンスの CMOS 入力です。デュアル オペアンプのバージョンは独立に、クワッド オペアンプのバージョンはペア単位で、ロジック入力により制御されます。バッテリ駆動のアプリケーションでは、この機能を使用することによって平均電流を大幅に低下させ、バッテリ駆動時間を延長できます。すべてのチャネルを完全にシャットダウンするためのイネーブルおよびディセーブル時間は 1µs 未満にすることを目標としています。ディセーブル状態のとき、出力は高インピーダンス状態です。このアーキテクチャにより、OPAx323S をゲートで開閉可能なアンプとして動作させること (または本デバイスの出力を 1 つのコモン アナログ出力バスにマルチプレクスすること) ができます。シャットダウン時間 (t_{OFF}) は、出力コンデンサの電荷が外部抵抗性負荷またはオペアンプによって放電される必要があるため、負荷条件に依存します。1µs のシャットダウン時間を実現するには、容量性負荷がない場合、指定された 10kΩ 負荷から中間電圧 (V_S / 2) までの電圧が必要です。

7.3.11 露出サーマル パッド付きパッケージ

OPAx323 ファミリは、露出サーマル パッドを備えた WQFN-16 (RTE) や WSON-8 (DSG) などのパッケージで供給されます。パッケージ内で、ダイは導電性コンパウンドを使用して、このサーマル パッドに取り付けられます。このため、露出サーマル パッド付きのパッケージを使用する場合、サーマル パッドは V– に接続する必要があります。V– 以外の電位にサーマル パッドを取り付けることは許可されず、これを行った場合はデバイスの性能は「*電気的特性*」の表とは異なるものになる場合があります。

7.4 デバイスの機能モード

OPAx323 デバイスには、1 つの機能モードがあります。電源電圧が 1.7V (±0.85V) と 5.5V (±2.75V) の間にある限り、これらのデバイスは機能します。

OPAx323S デバイスにはシャットダウン ピンがあり、オペアンプを低消費電力モードに設定するために使用できます。詳細については、*「シャットダウン機能」*セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス インスツルメンツの部品仕様の一部ではありません。TI は、これら情報の正確性または完全性を保証いたしません。製品の適合性については、TI のお客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

OPAx323 ファミリのレール ツー レール入出力オペアンプは、さまざまな高ゲインおよび高速アプリケーション専用に設計されています。これらのデバイスは 1.7V ～ 5.5V で動作し、ユニティ ゲインで安定しているため、幅広い汎用アプリケーションに適しています。出力段は、デバイスが強制的に短絡モードに移行していなければ、V+ と V– 間の任意のポイントに接続された小さな抵抗負荷を駆動できます。入力同相電圧範囲にはレール信号スイングを超えることが含まれているため、OPAx323 シリーズは多くの単電源または両電源構成で使用できます。

8.2 代表的なアプリケーション

8.2.1 OPAx323 ローサイド電流センシング アプリケーション

図 8-1 に、ローサイド電流センシング アプリケーション用に構成された OPA323 を示します。

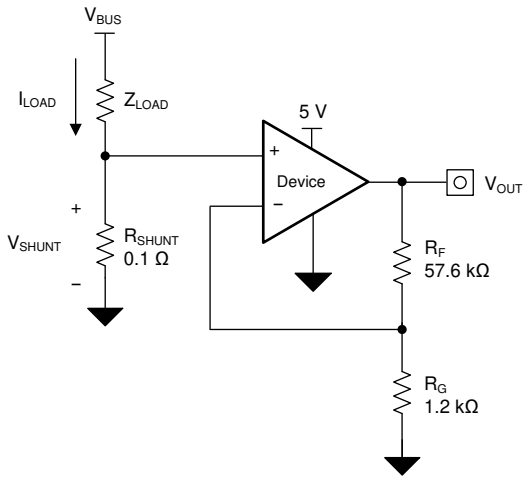


図 8-1. ローサイド電流センシング アプリケーションの OPA323

8.2.1.1 設計要件

この設計の設計要件は次のとおりです。

- 負荷電流:0A～1A
- 最大出力電圧:4.9V
- 最大シャント電圧:100mV

8.2.1.2 詳細な設計手順

図 8-1 の回路の伝達関数は、式 1 に示すとおりです。

$$V_{OUT} = I_{LOAD} \times R_{SHUNT} \times Gain \tag{1}$$

負荷電流 (I_{LOAD}) により、シャント抵抗 (R_{SHUNT}) の両端で電圧降下が発生します。負荷電流は 0A～1A の範囲で設定されます。最大負荷電流時のシャント電圧を 100mV 未満に維持するために、最大シャント抵抗は 式 2 を使用して定義されます。

$$R_{SHUNT} = \frac{V_{SHUNT_MAX}}{I_{LOAD_MAX}} = \frac{100\ mV}{1\ A} = 100\ m\Omega \tag{2}$$

式 2 を使用して計算すると、R_{SHUNT} は 100mΩ となります。I_{LOAD} と R_{SHUNT} によって生成される電圧降下は OPA323 によって増幅され、約 0V ～ 4.9V の出力電圧を生成します。OPA323 が必要な出力電圧を生成するために必要なゲインは、式 3 を使用して計算されます。

$$Gain = \frac{V_{OUT_MAX} - V_{OUT_MIN}}{V_{IN_MAX} - V_{IN_MIN}} \tag{3}$$

式 3 を使用して計算すると、必要なゲインは 49V/V となります。これは抵抗 R_F と R_G で設定します。OPA323 デバイスのゲインを 49V/V に設定するための抵抗 R_F および R_G のサイズは式 4 で計算します。

$$Gain = 1 + \frac{R_F}{R_G} \tag{4}$$

R_F に 57.6kΩ、R_G に 1.2kΩ を選択すると、組み合わせで 49V/V に等しくなります。図 8-1 に示す回路で測定された伝達関数を、図 8-2 に示します。ゲインは、帰還抵抗とゲイン抵抗のみの関数であることに注意します。このゲインは抵抗の比を変化させることで調整され、実際の抵抗値は設計者が設定しようとするインピーダンス レベルによって決定されます。インピーダンス レベルによって、電流ドレイン、浮遊容量の影響、その他いくつかの動作が決まります。インピーダンスの選択はシステムごとに異なるので、システムのパラメータに合わせて最適なインピーダンスを選択する必要があります。

8.2.1.3 アプリケーション曲線

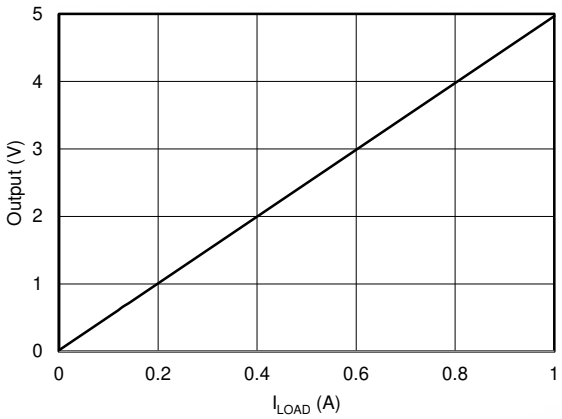


図 8-2. ローサイド、電流センス、伝達関数

Copyright © 2025 Texas Instruments Incorporated

8.3 電源に関する推奨事項

OPAx323 は、1.7V でアンプ動作がテストされており、1.8V ～ 5.5V (±0.9V ～ ±2.75V) で動作することが完全に規定されています。また、多くの仕様は –40℃ ～ 125℃ で適用されます。動作電圧または温度によって大きく変動する可能性があるパラメータを「*電気的特性*」セクションに示します。

> **注意**
>
> 7V を超える電源電圧を印加すると、デバイスに永続的な損傷を与える可能性があります。詳細については、*「絶対最大定格」*表を参照してください。

TI は、各電源ピンとグランドの間に低 ESR のセラミック・バイパス・コンデンサ（C_{BYP}）を追加することを強く推奨します。単一電源での動作には、1 つの C_{BYP} のみで十分です。ノイズの多い電源や高インピーダンスの電源からの結合誤差を低減するため、C_{BYP} は可能な限りデバイスの近くに配置してください。電源トレースは、アンプの電源端子に達する前に C_{BYP} を経由させて配線することを確認してください。詳細については、*レイアウトガイドライン*を参照してください。

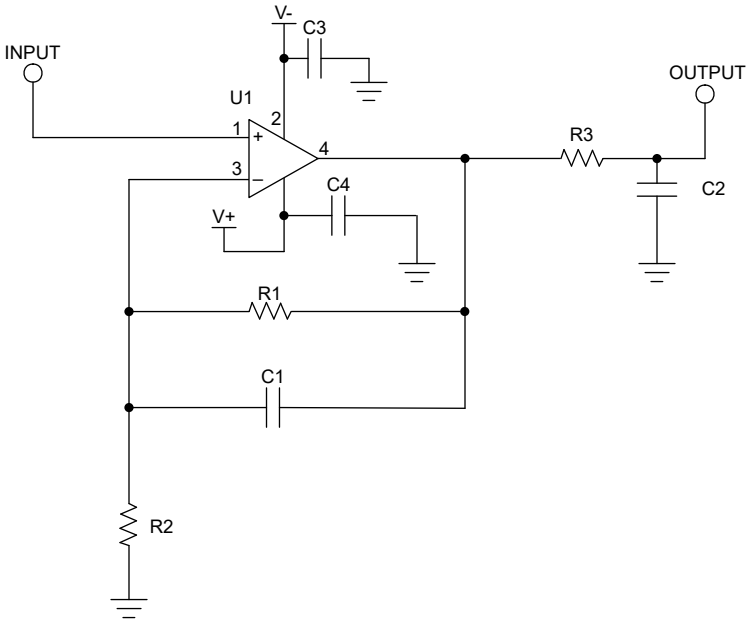
8.4 レイアウト

8.4.1 レイアウトのガイドライン

最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を使用してください。

- ノイズは、基板の電源接続を通じてアナログ回路に伝播し、オペアンプの電源ピンにまで達する可能性があります。バイパスコンデンサは、結合ノイズを低減するために使用され、低インピーダンスの経路を介してグランドへ逃がす役割を果たします。
  - 各電源ピンとグランドとの間に、低 ESR の 0.1µF セラミック バイパス コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、V+ からグランドに対して 1 つのバイパス コンデンサを接続すれば十分です。
- 回路のアナログ部分とデジタル部分のグランドを分離することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランド プレーン専用です。グランド プレーンは熱の分散に役立ち、EMI (電磁干渉) ノイズを拾いにくくなります。デジタル グランドとアナログ グランドを物理的に分離し、グランド電流の流れに注意を払います。
- 寄生カップリングを低減するため、入力トレースを電源トレースと出力トレースからできるだけ離して配置します。これらの配線を分離しておけない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに良い結果が得られます。
- 外付け部品は、可能な限りデバイスに近く配置します (「レイアウト例」を参照)。R_1 と R_2 を反転入力に近付けて配置すると、寄生容量を最小化できます。
- 入力トレースは、できる限り短くします。入力配線は回路の最も敏感な部分であることに注意します。
- 重要なトレースの周囲に、駆動される低インピーダンスのガードリングを配置することを検討してください。ガードリングを使用すると、付近に存在する、さまざまな電位のトレースからのリーク電流を大幅に低減できます。
- TI では、最高の性能を得るために、基板組み立ての後で PCB をクリーニングすることを推奨します。
- 高精度の集積回路では、プラスチック パッケージへの水分の侵入により性能が変化する場合があります。TI では、PCB を水で洗浄した後で、PCB アセンブリをベーキングして、クリーニング中にデバイスのパッケージに取り込まれた水分を除去することを推奨します。ほとんどの状況では、クリーニング後に 85℃で 30 分間の低温ベーキングを行えば十分です。

8.4.2 レイアウト例



注:C3 と C4 は C_{BYP} コンデンサです

図 8-3. 非反転構成の回路図のレイアウト例

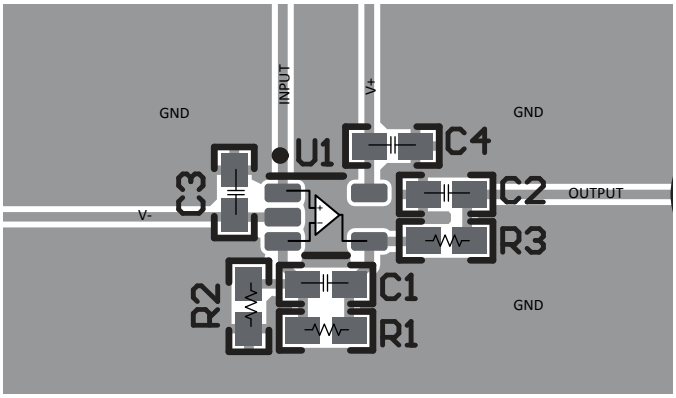


図 8-4. 非反転構成のオペアンプ基板のレイアウト - SC70 (DCK) パッケージ

Copyright © 2025 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『QFN/SON の PCB 実装』アプリケーション ノート
- テキサス・インスツルメンツ、『クワッド フラットパック リード端子なしロジック パッケージ』アプリケーション ノート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
Bluetooth® is a registered trademark of Bluetooth SIG, Inc.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (April 2024) to Revision C (April 2025) — **Page**

- *「代表的特性」*セクションから「最大出力電圧と周波数との関係」のプロットを削除 15

Changes from Revision A (November 2023) to Revision B (April 2024) — **Page**

- DGK (VSSOP、8)、DDF (SOT23-THN) OPA2323 および DYY (SOT23-THN) OPA4323 のステータスを「プレビュー」から「アクティブ」に変更 1
- データシートのタイトルで CMRR の値を 100dB から 114dB に変更 1
- 「製品情報」表で DYY (SOT-23) パッケージ オプションを 16 ピンから 14 ピンに変更し、パッケージを OPA4323S から OPA4323 へ移動 1

- *「デバイス比較」*表で DYY (SOT-23) パッケージ オプションを *16* ピンから *14* ピンに変更し、パッケージを OPA4323S から OPA4323 へ移動 3
- データシートから OPA4310 の情報を削除 12
- *「代表的特性」*セクションを変更し、さらにプロットを追加 15
- *「レール ツー レール入力」*セクションを変更。 29
- 「*EMI 除去*」セクションの EMIRR テスト プロットを変更 31
- *「対象周波数における OPAx323 EMIRR IN+」*表で、900MHz、1.8GHz、2.4GHz、3.6GHz、5GHz の周波数オプションの EMIRR IN+ 値を変更 31

Changes from Revision * (October 2023) to Revision A (November 2023)	Page
• DCK (SC70、5) OPA323 のステータスを*プレビュー*から*アクティブ*に変更	1
• D (SOIC、8) OPA2323 のステータスを*プレビュー*から*アクティブ*に変更	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2323IDDFR	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	23DDF
OPA2323IDDFR.A	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	23DDF
OPA2323IDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2DGK
OPA2323IDGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2DGK
OPA2323IDR	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	2323ID
OPA2323IDR.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	2323ID
OPA323IDCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1RG
OPA323IDCKR.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1RG
OPA4323IDYYR	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	125 to -40	O4323IDYYR
OPA4323IDYYR.A	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	125 to -40	O4323IDYYR
OPA4323IPWR	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	125 to -40	O4323PW
OPA4323IPWR.A	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	125 to -40	O4323PW

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

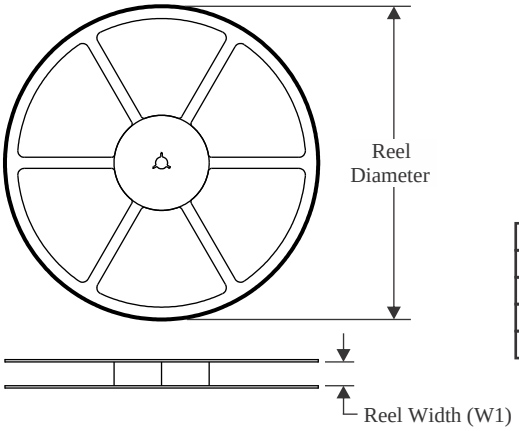
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

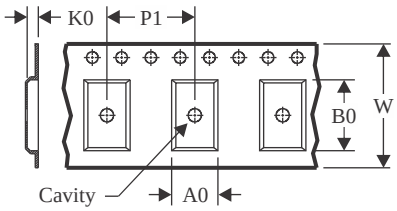
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

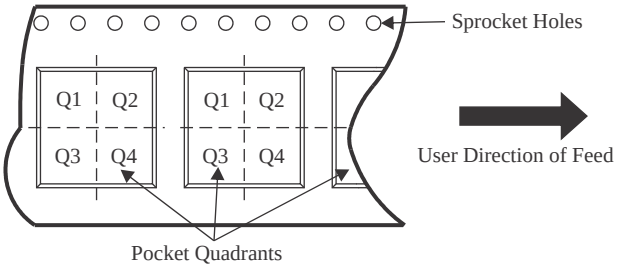


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

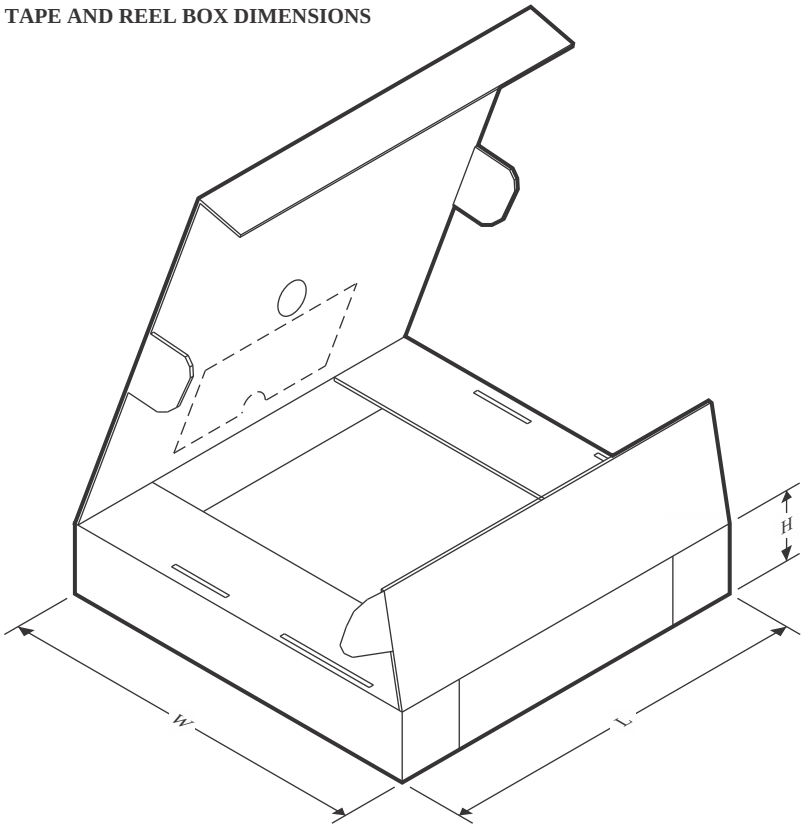
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

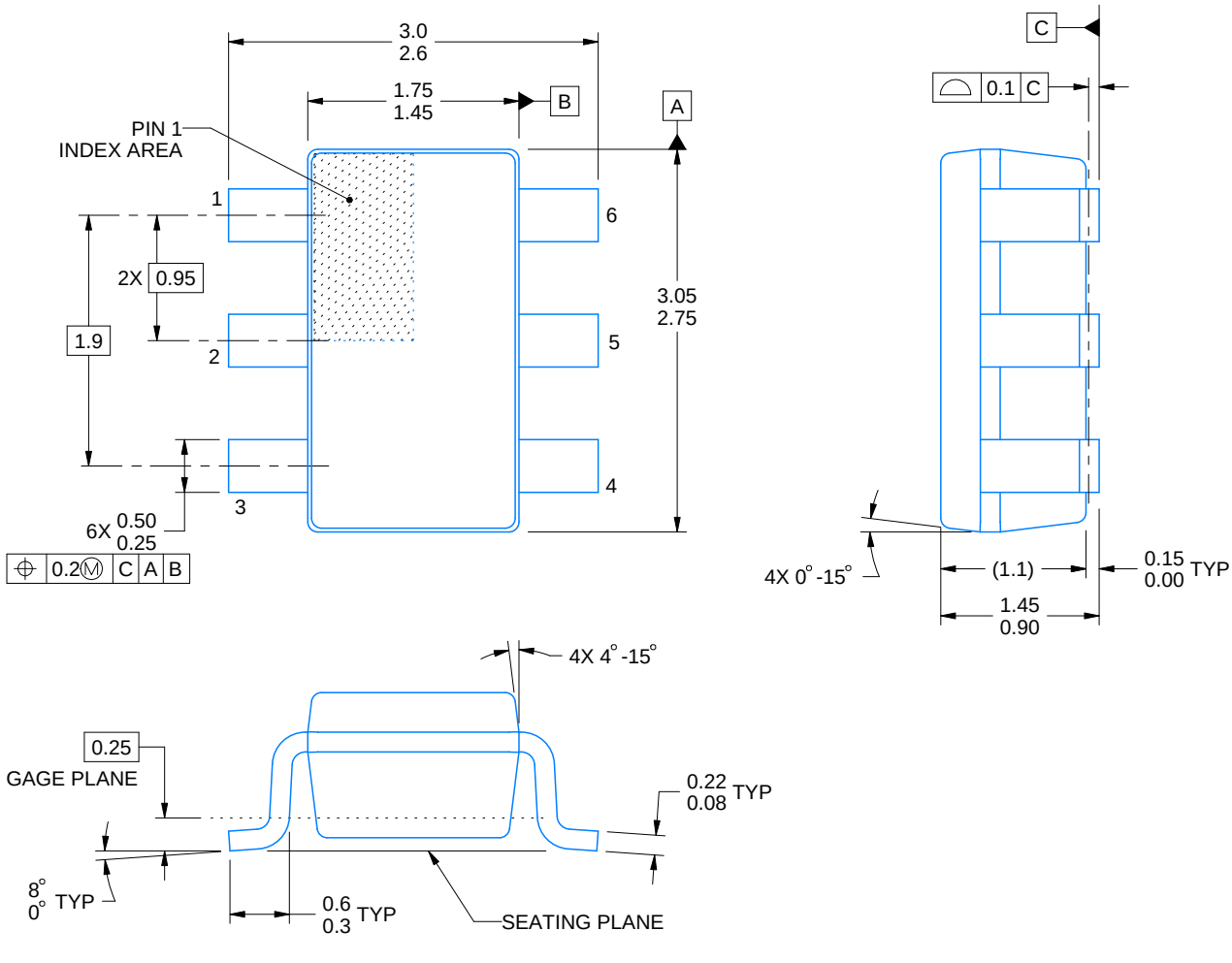
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2323IDDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA2323IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA323IDCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
OPA4323IDYYR	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
OPA4323IPWR	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

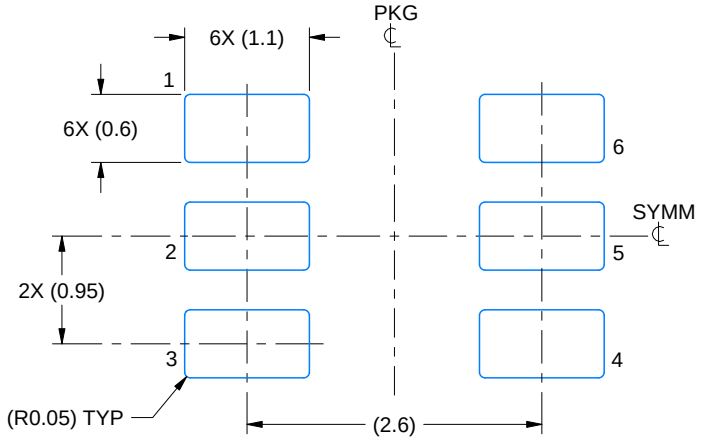
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2323IDDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
OPA2323IDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA323IDCKR	SC70	DCK	5	3000	190.0	190.0	30.0
OPA4323IDYYR	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8
OPA4323IPWR	TSSOP	PW	14	3000	353.0	353.0	32.0



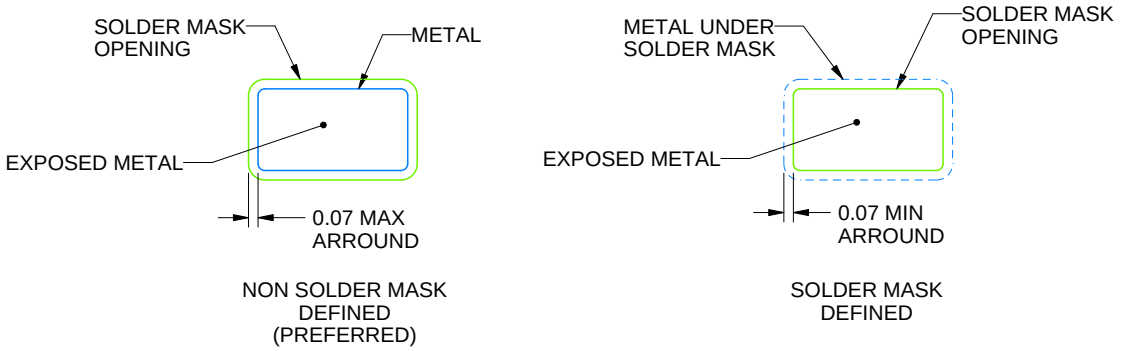
4214840/G 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Refernce JEDEC MO-178.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

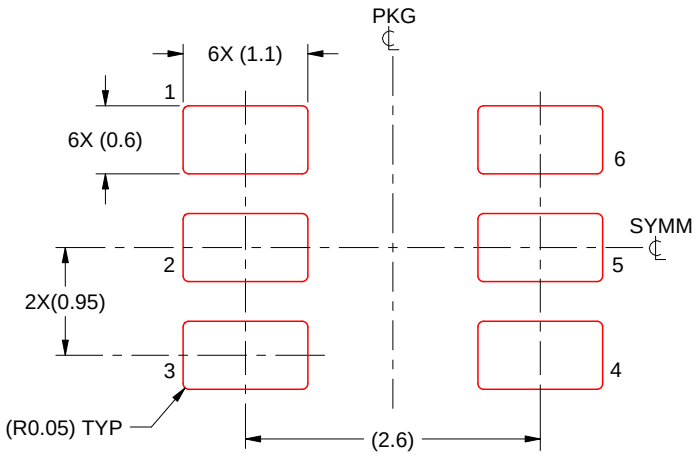


SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



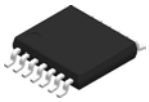
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

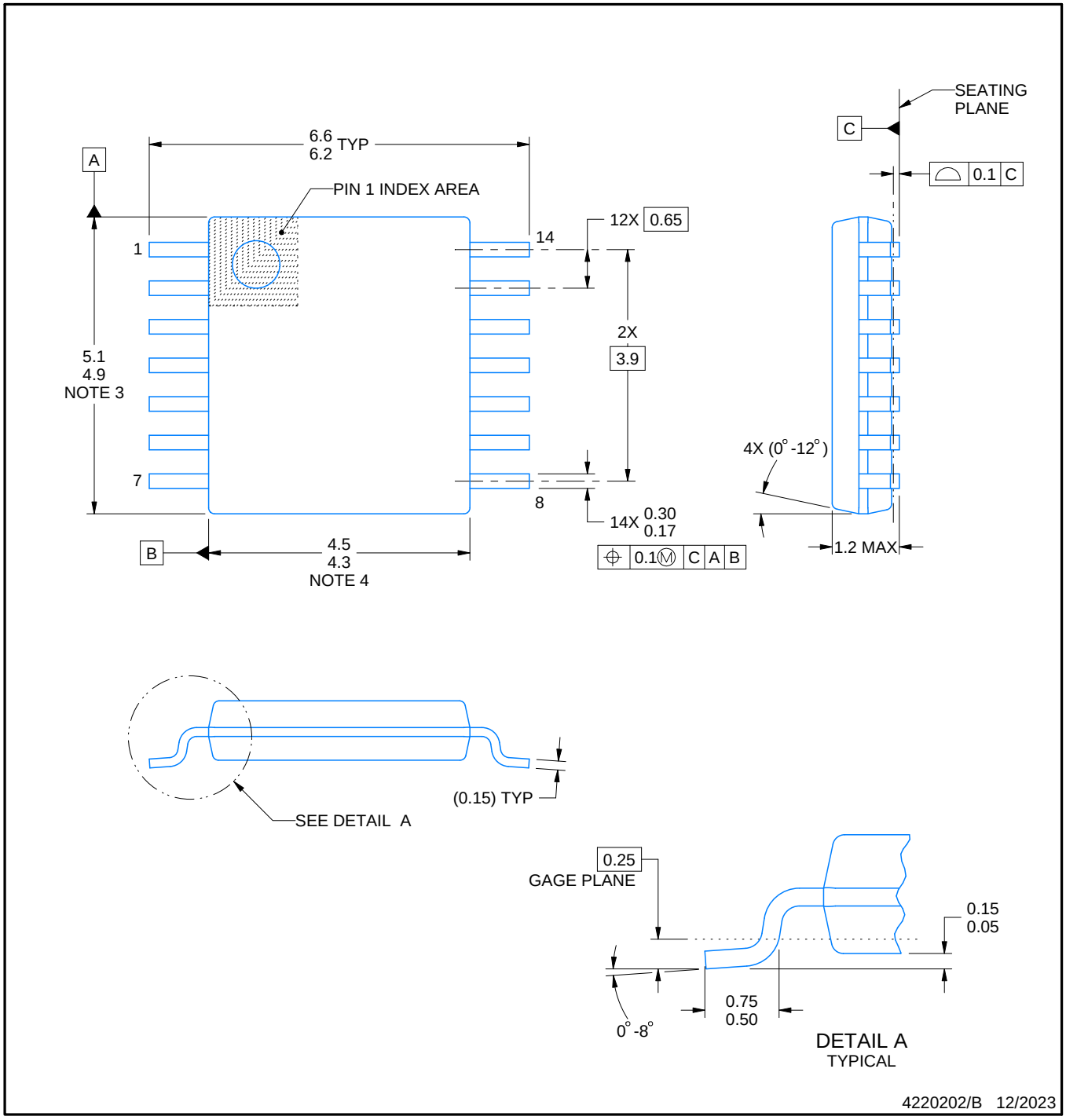
PW0014A



PACKAGE OUTLINE

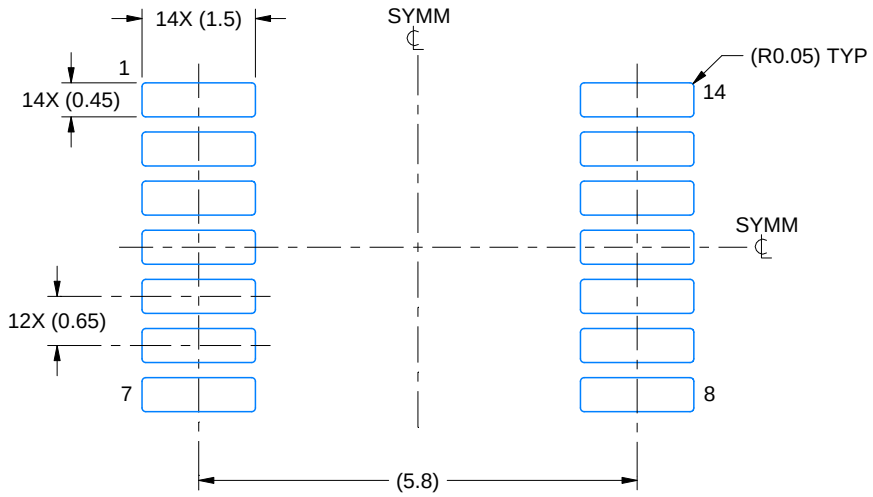
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

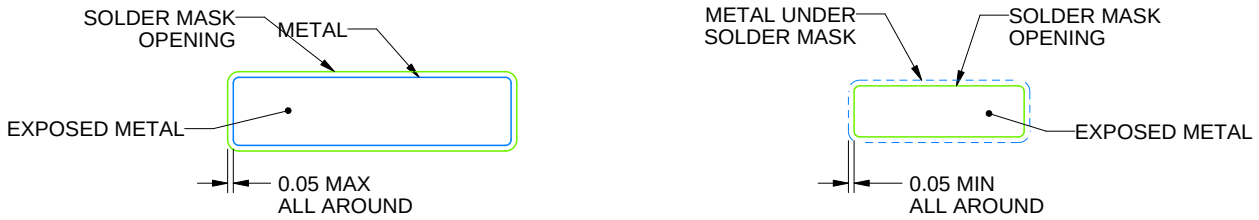


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



NON-SOLDER MASK DEFINED (PREFERRED)

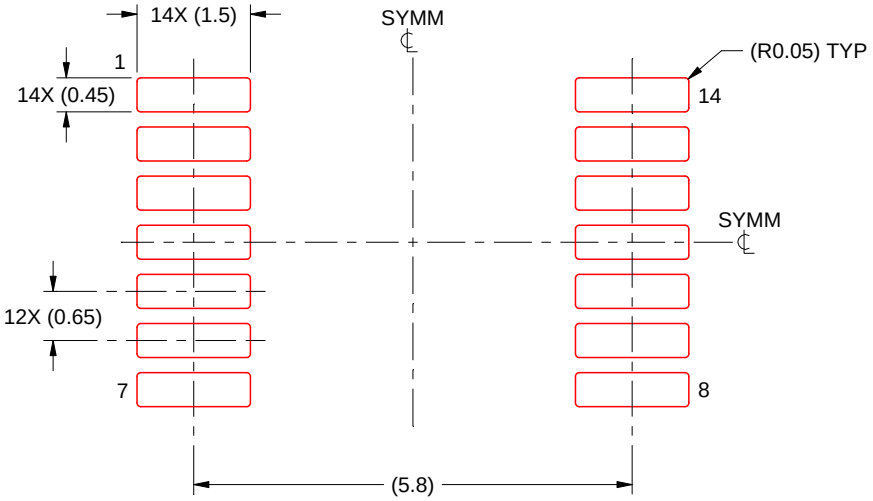
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

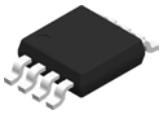
4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

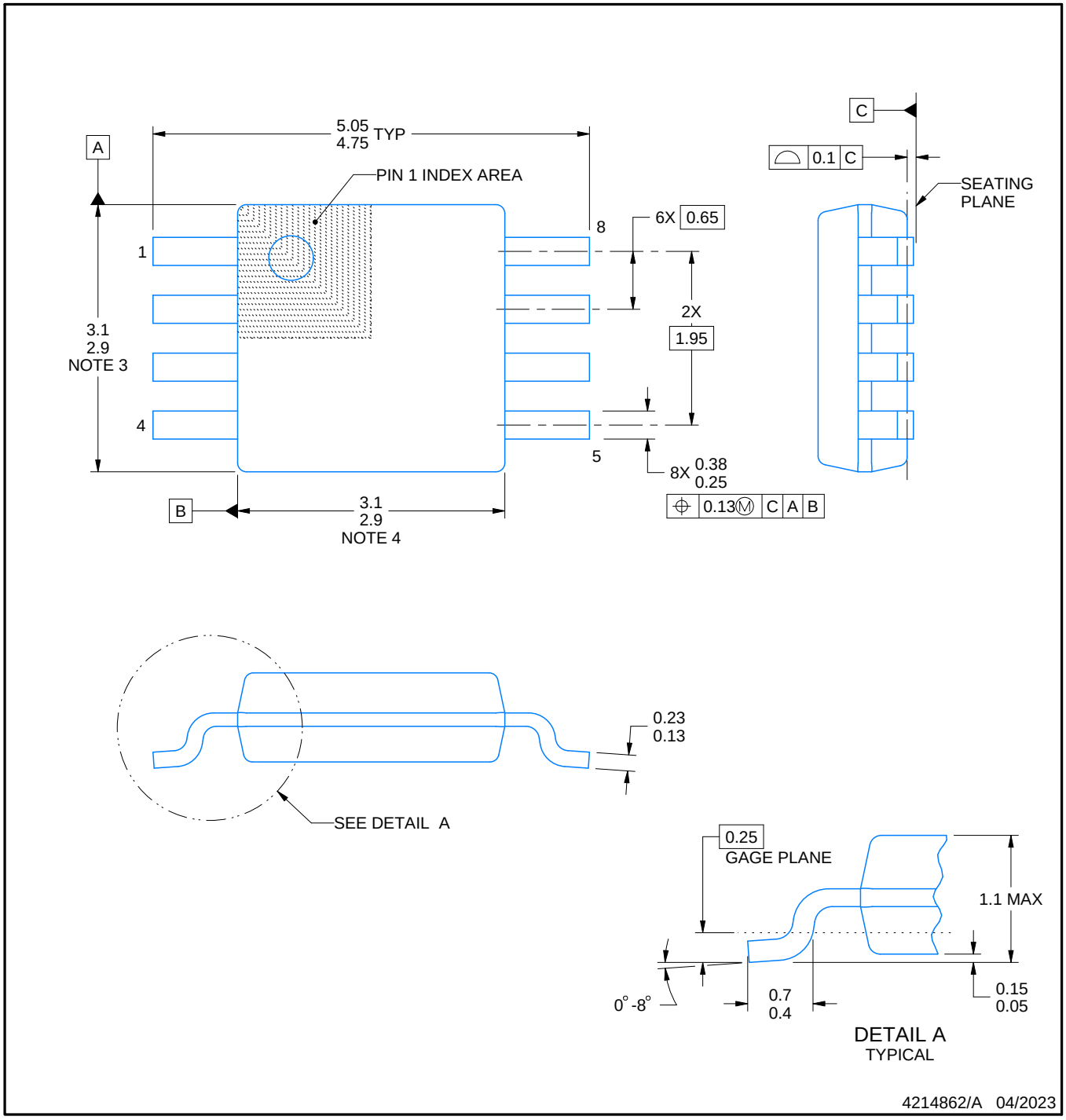
PACKAGE OUTLINE

DGK0008A



VSSOP - 1.1 mm max height

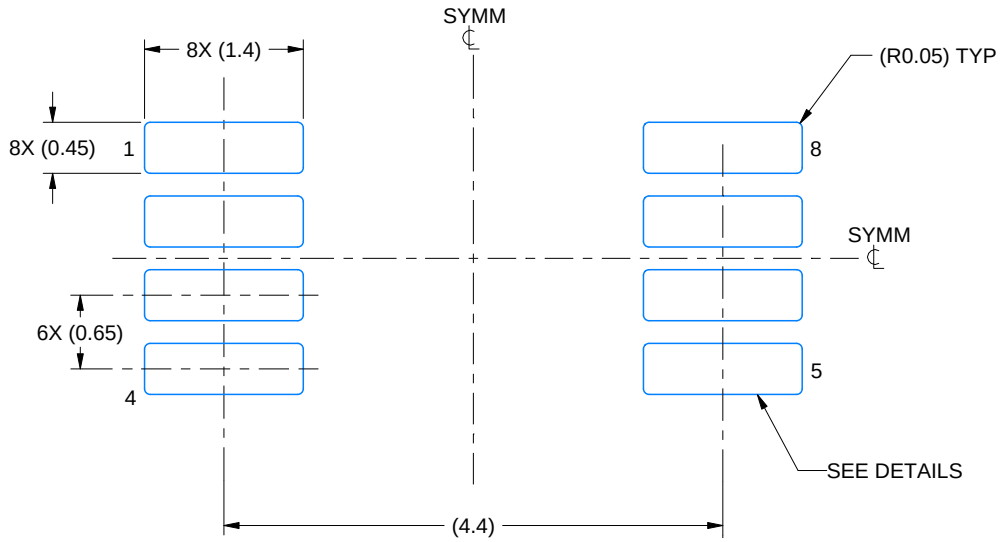
SMALL OUTLINE PACKAGE



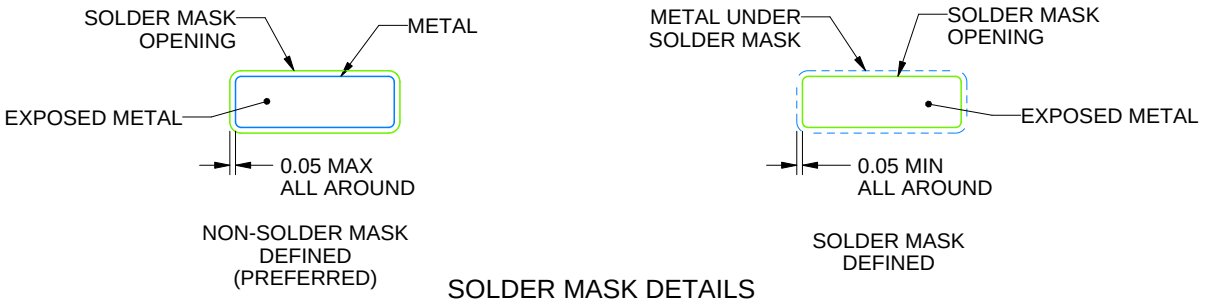
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

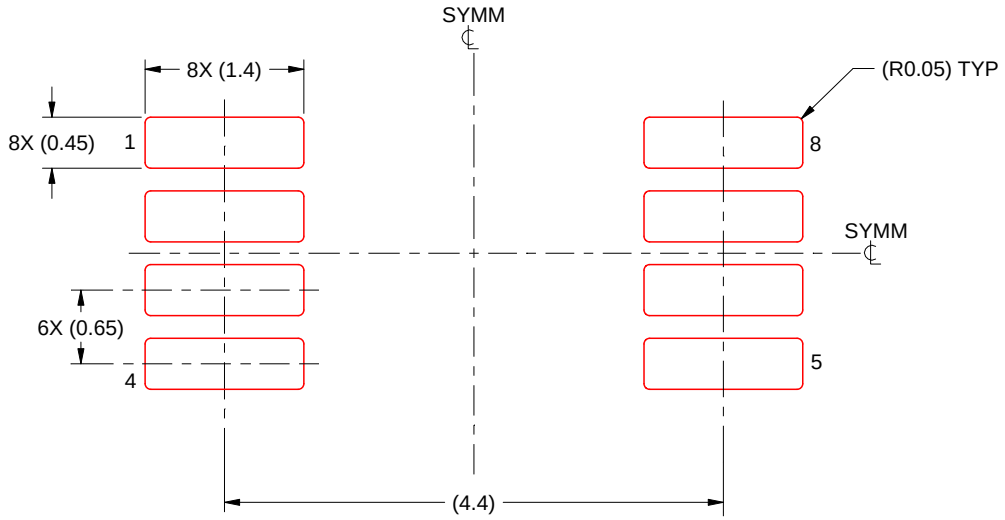


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

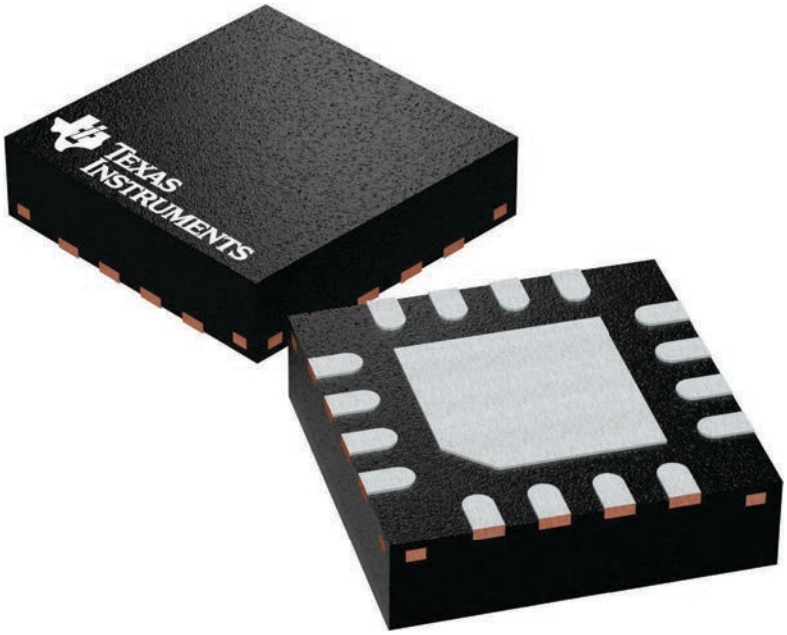
RTE 16

WQFN - 0.8 mm max height

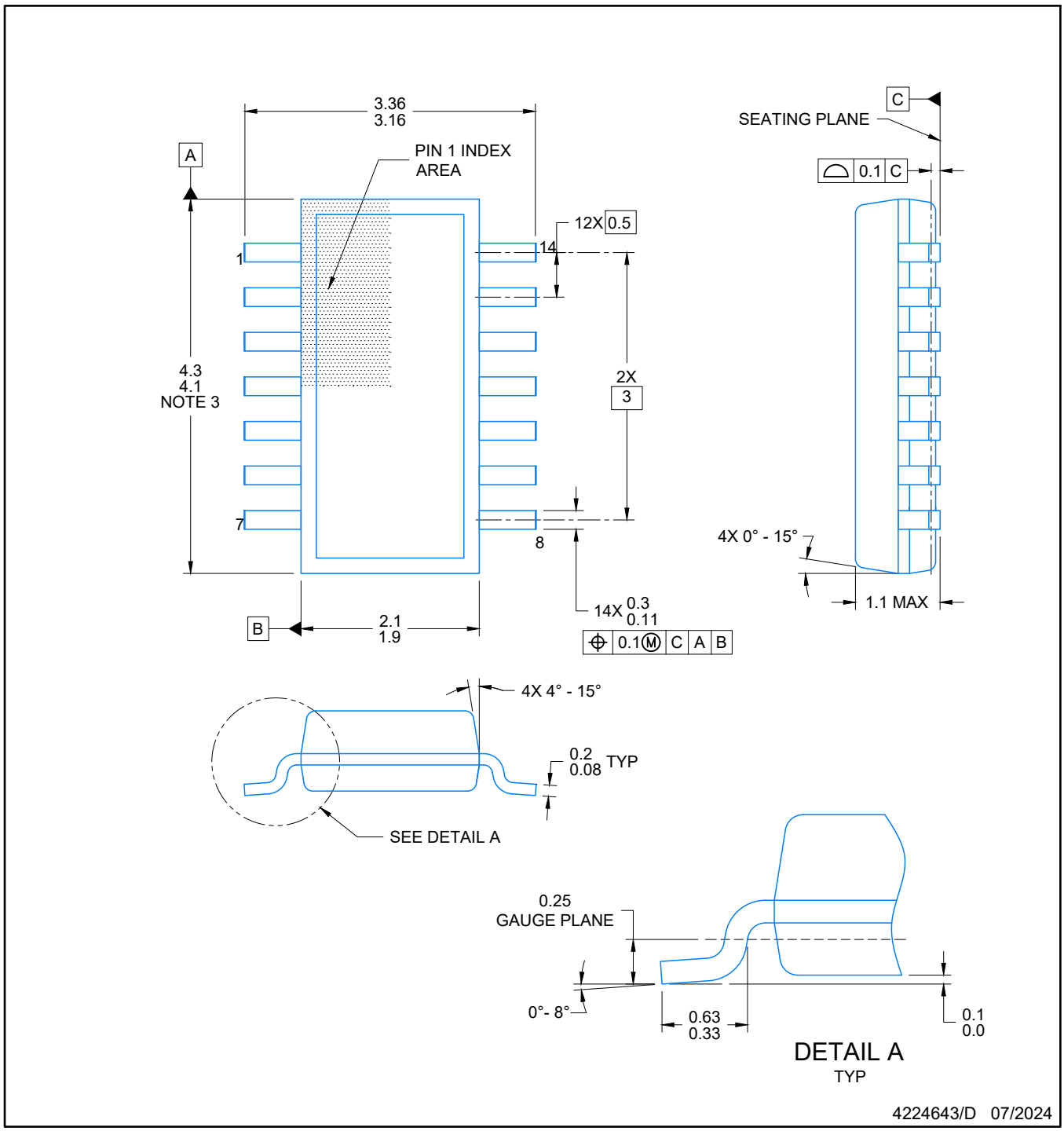
3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

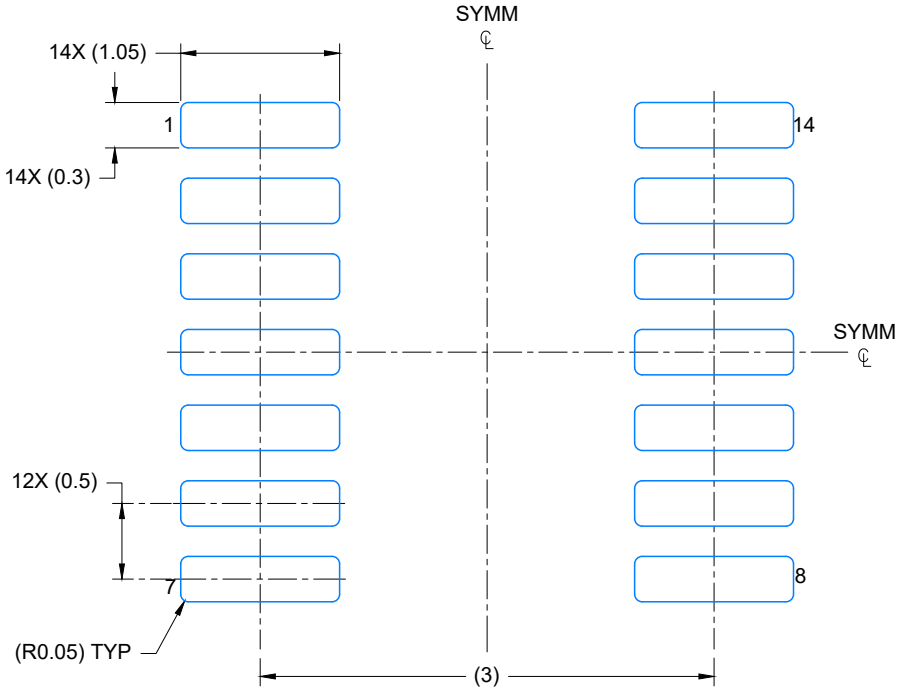


4225944/A

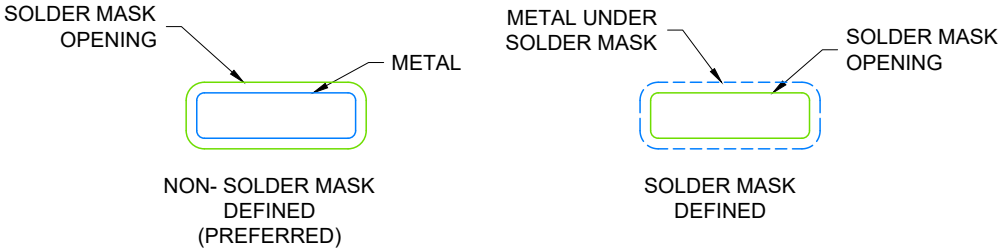


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AB



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

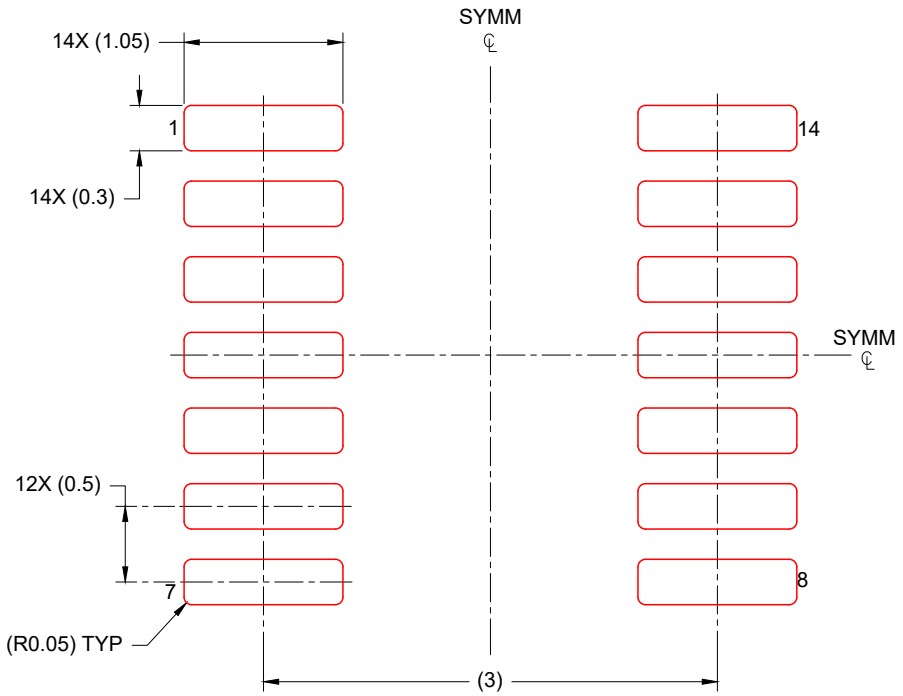


SOLDER MASK DETAILS

4224643/D 07/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224643/D 07/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

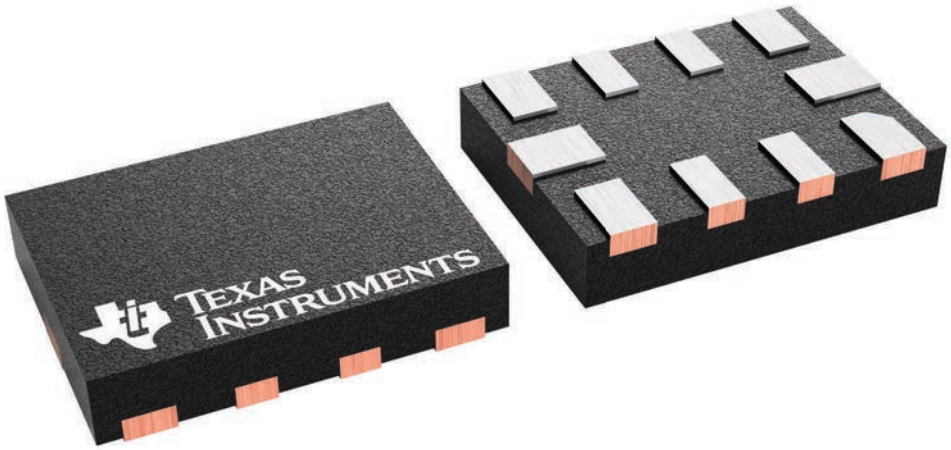
RUG 10

X2QFN - 0.4 mm max height

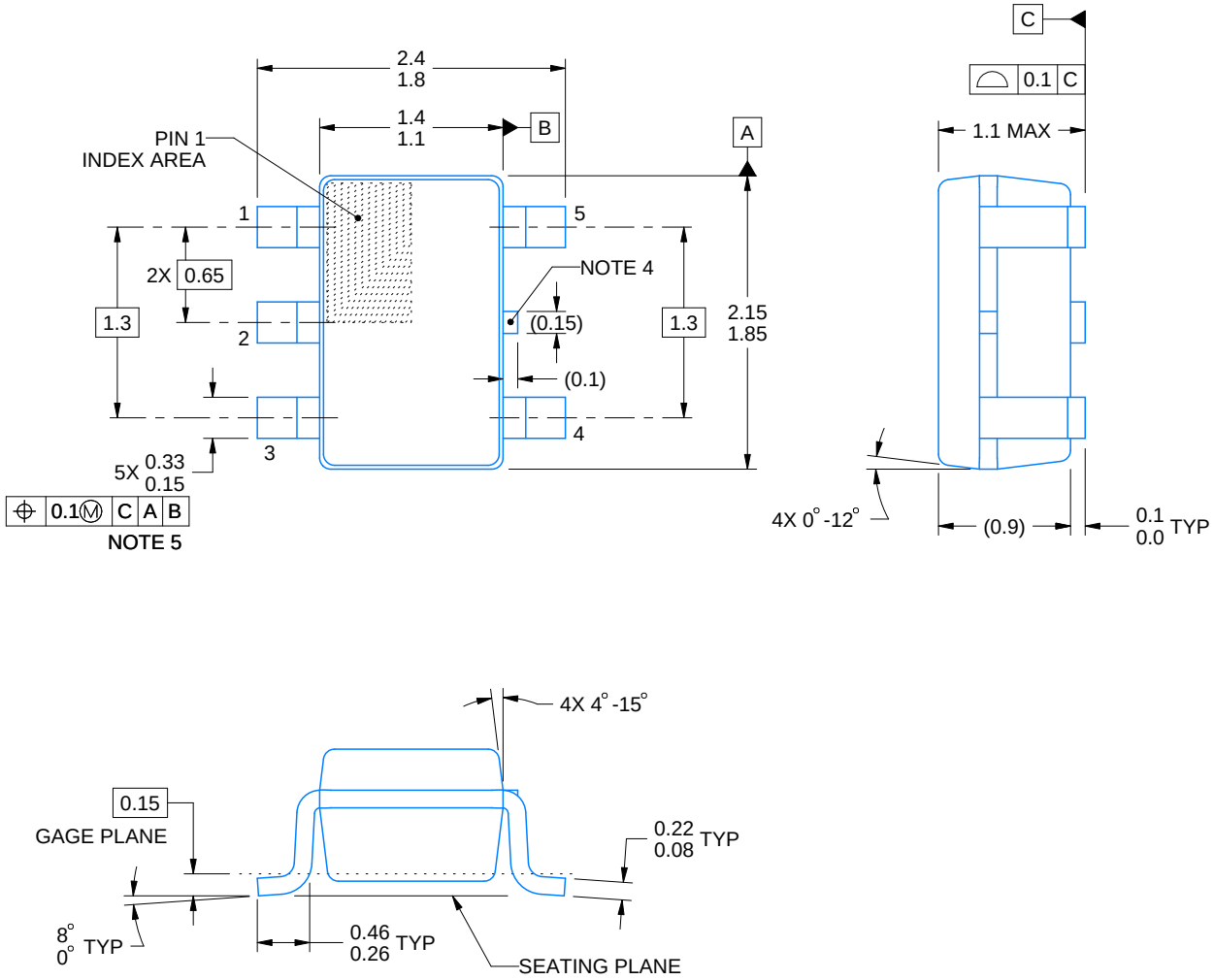
1.5 x 2, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

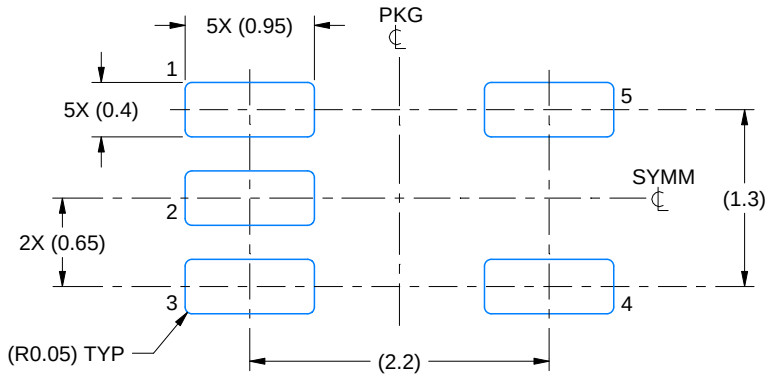


4231768/A

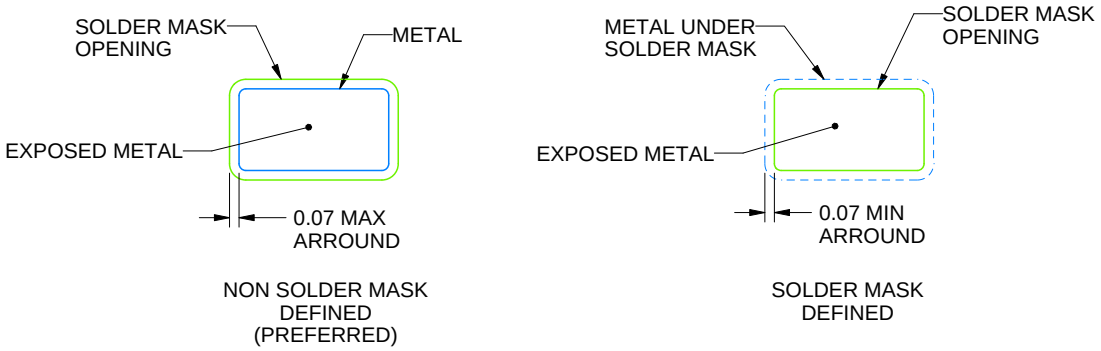


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

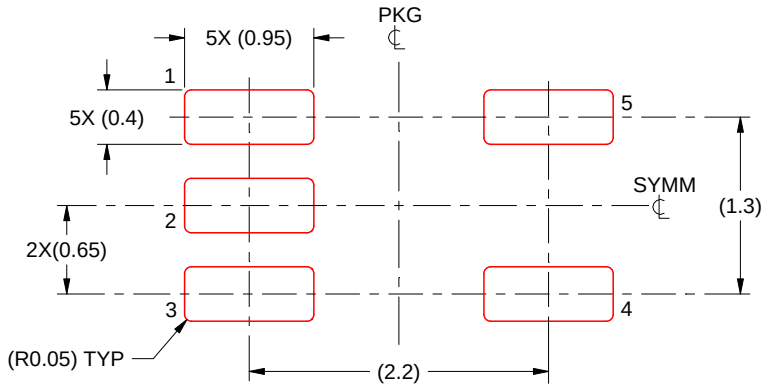


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

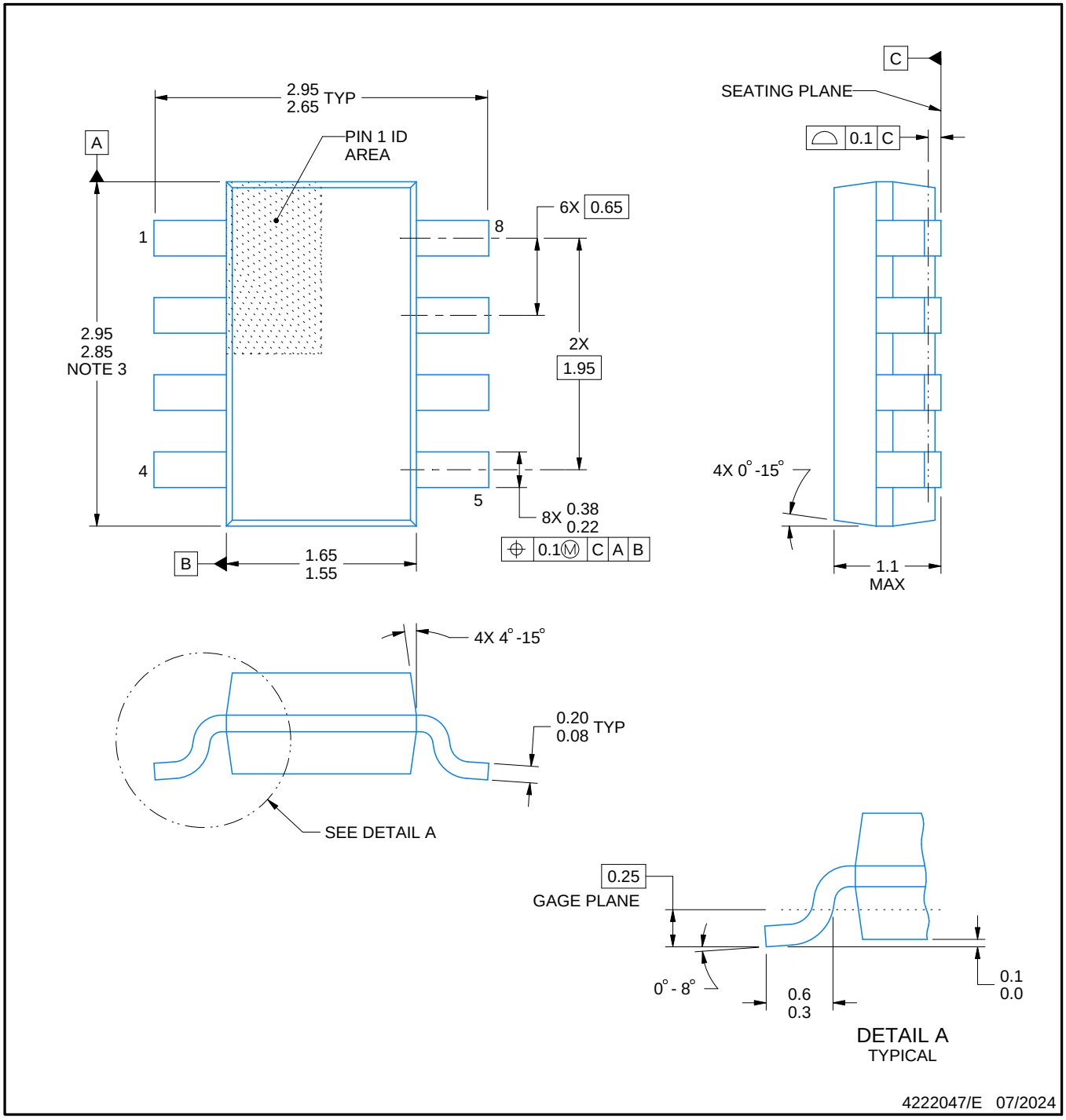


SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

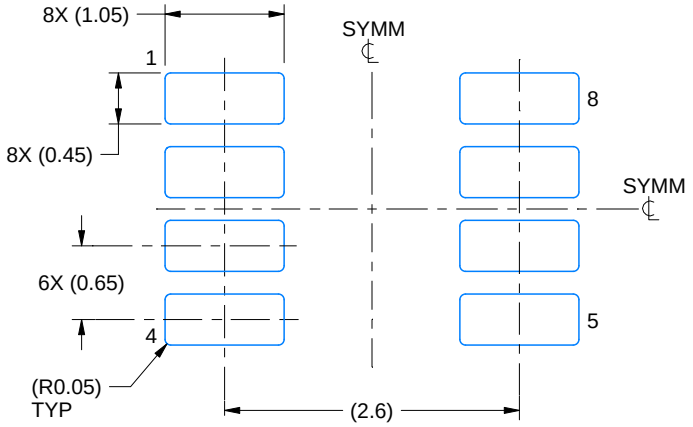
NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

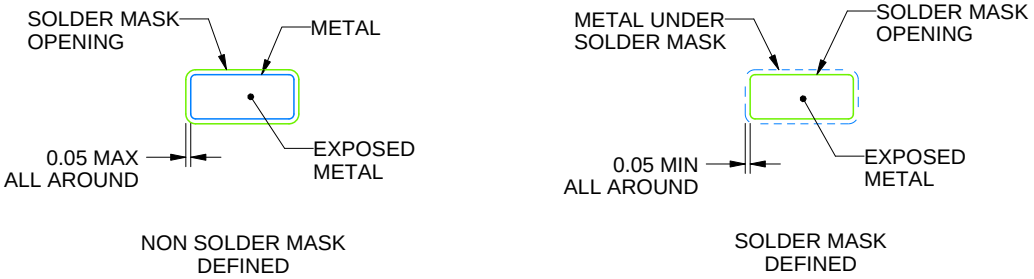


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

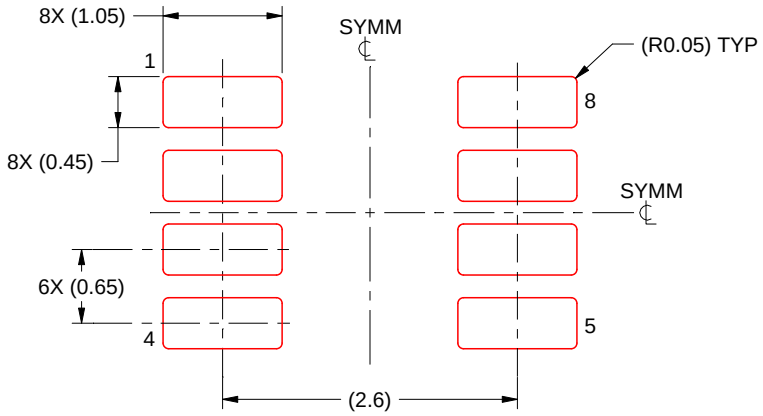


SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

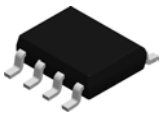


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

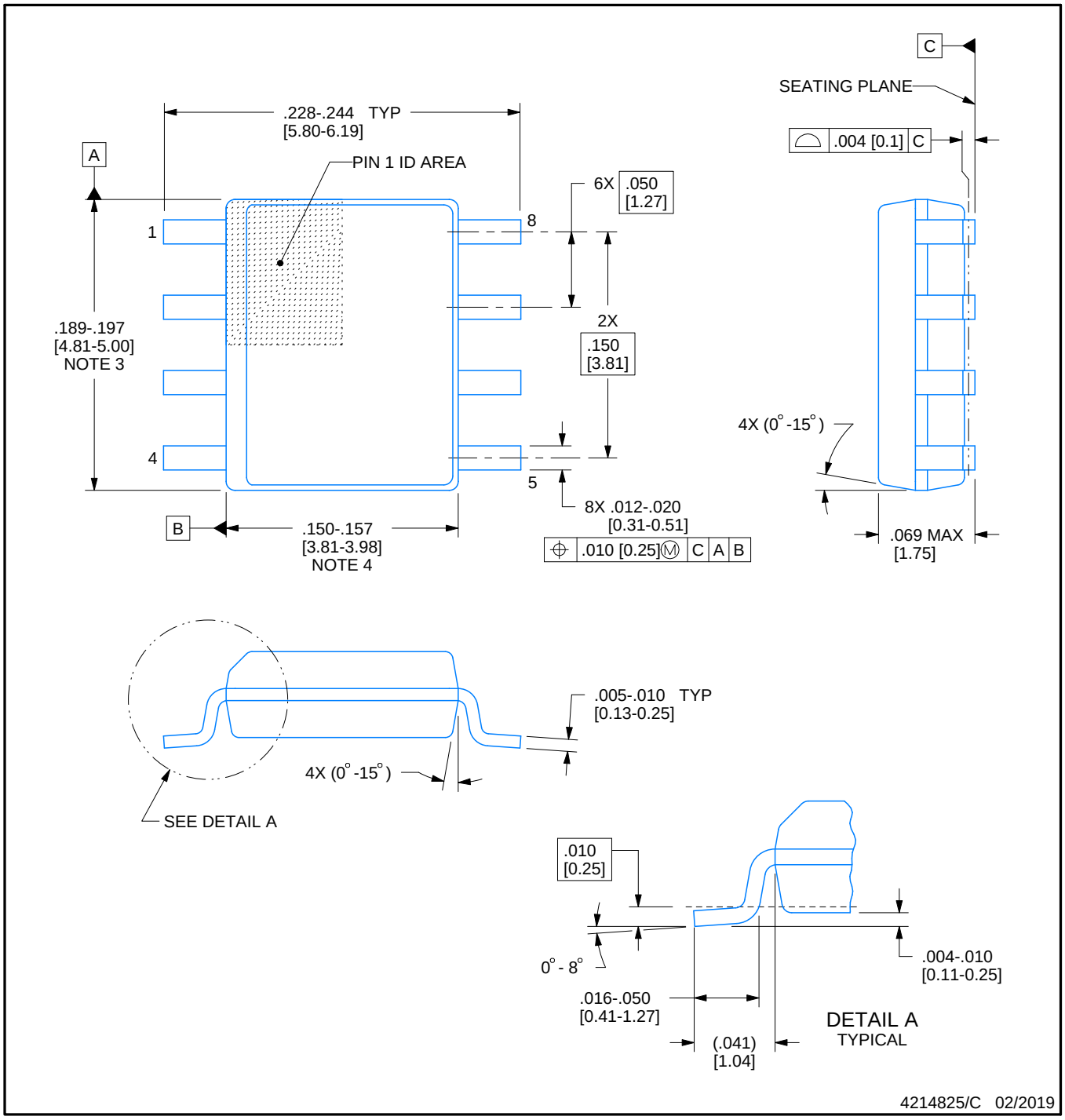


PACKAGE OUTLINE

D0008A

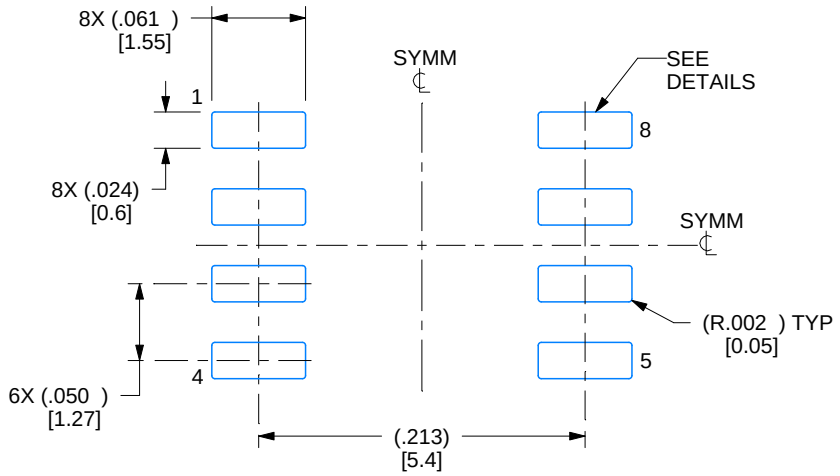
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

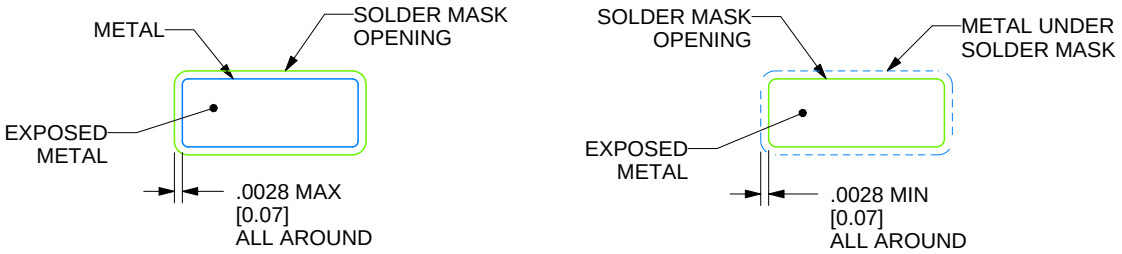


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

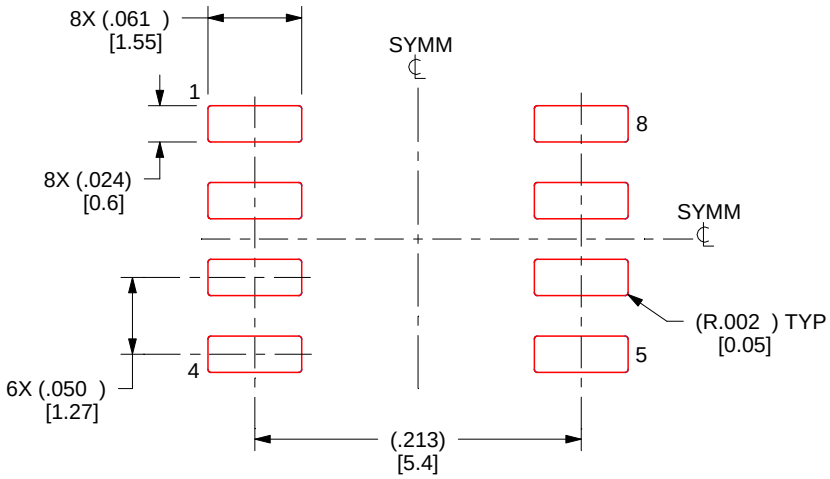


SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月