

OPAx354 250MHz、レール ツー レール I/O、CMOS オペアンプ

1 特長

- ユニティ ゲイン帯域幅: 250MHz
- 広い帯域幅: 100MHz GBW
- 高スルーレート: 150V/μs
- 低ノイズ: 6.5nV/√Hz
- レール ツー レール I/O
- 大出力電流: 100mA 超
- 非常に優れたビデオ性能:
 - 差動ゲイン: 0.02%、差動位相: 0.09°
 - 0.1dB のゲイン フラットネス: 40MHz
- 低い入力バイアス電流: 3pA
- 静止電流: 5mA
- サーマル シャットダウン
- 電源電圧範囲: 2.5V ~ 5.5V
- Micro サイズと PowerPAD™ IC パッケージ

2 アプリケーション

- ビデオ処理
- 超音波
- 光学ネットワーク、波長可変レーザー
- フォトダイオードトランスインピーダンス アンプ
- アクティブ フィルタ
- 高速積分器
- A/D コンバータ (ADC) の入力バッファ
- D/A コンバータ (DAC) の出力アンプ
- バーコード スキャナ
- 通信

3 説明

OPAx354 シリーズは、高速、電圧帰還型の CMOS オペアンプであり、電流検出や、広帯域幅を必要とするビデオやその他のアプリケーション用に設計されています。いずれもユニティ ゲインで安定しており、大きな出力電流を駆動します。差動ゲインは 0.02%、差動位相は 0.09° です。静止電流はチャネルあたりわずか 5mA です。

OPAx354 オペアンプ シリーズは、最低 2.5V (±1.25V)、最高 5.5V (±2.75V) のシングルまたはデュアル電源で動作するよう最適化されています。同相モード入力範囲は電源電圧を超えて拡張されています。出力スイングはレールから 100mV 以内で、広いダイナミック レンジに対応しています。

連続出力電流の完全な 100mA を必要とするアプリケーションには、シングルおよびデュアルの 8 ピン HSOIC (SO PowerPAD) バージョンを提供しています。

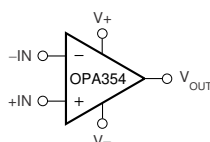
シングル バージョン (OPA354) は、小型の 5 ピン SOT-23 および 8 ピン HSOIC (SO PowerPAD) パッケージで供給されます。デュアル タイプ (OPA2354) は、小型の 8 ピン VSSOP および 8 ピン HSOIC (SO PowerPAD) パッケージで供給されます。クワッド タイプ (OPA4354) は 14 ピン TSSOP と 14 ピン SOIC パッケージで供給されます。

マルチチャネル バージョンは、完全に独立した回路により、クロストークを最小化し、干渉の発生を防止しています。すべての機能は、-40°C ~ +125°C までの広い温度範囲で規定されています。

製品情報

部品番号	チャネル数	パッケージ (1)
OPA354	シングル	DDA (HSOIC, 8)
		DBV (SOT-23, 5)
OPA2354	デュアル	DGK (VSSOP, 8)
		DDA (HSOIC, 8)
OPA4354	クワッド	D (SOIC, 14)
		PW (TSSOP, 14)

(1) 詳細については、[セクション 11](#) を参照してください。



概略回路図



目次

1 特長.....	1	7.3 機能説明.....	15
2 アプリケーション.....	1	7.4 デバイスの機能モード.....	21
3 説明.....	1	8 アプリケーションと実装.....	22
4 デバイス比較表.....	2	8.1 使用上の注意.....	22
5 ピン構成および機能.....	3	8.2 代表的なアプリケーション.....	22
6 仕様.....	5	8.3 電源に関する推奨事項.....	24
6.1 絶対最大定格.....	5	8.4 レイアウト.....	24
6.2 ESD 定格.....	5	9 デバイスおよびドキュメントのサポート.....	27
6.3 推奨動作条件.....	5	9.1 ドキュメントのサポート.....	27
6.4 熱に関する情報 (OPA354).....	5	9.2 ドキュメントの更新通知を受け取る方法.....	27
6.5 熱に関する情報 (OPA2354).....	6	9.3 サポート・リソース.....	27
6.6 熱に関する情報 (OPA4354).....	6	9.4 商標.....	27
6.7 電気的特性.....	7	9.5 静電気放電に関する注意事項.....	27
6.8 代表的特性.....	9	9.6 用語集.....	27
7 詳細説明.....	14	10 改訂履歴.....	27
7.1 概要.....	14	11 メカニカル、パッケージ、および注文情報.....	28
7.2 機能ブロック図.....	14		

4 デバイス比較表

特長	製品名
100MHz GBW、RRIO、e-trim™	OPAx620
OPAx354 ファミリのシャットダウン パージョン	OPAx357
200MHz GBW、レール ツー レール出力、CMOS、シャットダウン	OPAx355
200MHz GBW、レール ツー レール出力、CMOS	OPAx356
38MHz GBW、レール ツー レール入出力、CMOS	OPAx350/OPAx353
75MHz BW G = 2、レール ツー レール出力	OPA2631
150MHz BW G = 2、レール ツー レール出力	OPA2634
100MHz BW、差動入出力、3.3V 電源	THS412x

5 ピン構成および機能

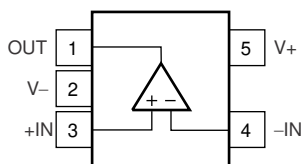


図 5-1. OPA354 : DBV パッケージ、5 ピン SOT-23 (上面図)

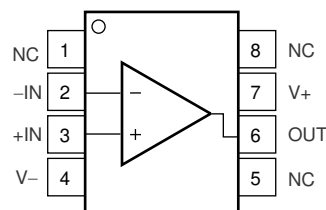


図 5-2. OPA354 : DDA パッケージ、8 ピン HSOIC (上面図)

表 5-1. ピンの機能 : OPA354

名称	ピン		タイプ	説明
	DBV (SOT-23)	DDA (HSOIC)		
-IN	4	2	入力	反転入力
+IN	3	3	入力	非反転入力
NC	—	1、5、8	—	内部接続なし(このピンをフローティング)
OUT	1	6	出力	出力
V-	2	4	—	負 (最低) 電源
V+	5	7	—	正 (最高) 電源
サーマル パッド	—	パッド	—	サーマル パッドは V- に接続するか、フローティングのままにしておく必要があります。

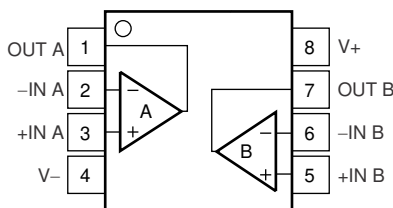


図 5-3. OPA2354 : DGK パッケージ、8 ピン VSSOP、および DDA パッケージ、8 ピン HSOIC (上面図)

表 5-2. ピンの機能 : OPA2354

ピン		タイプ	説明
名称	番号		
-IN A	2	入力	反転入力、チャンネル A
-IN B	6	入力	反転入力、チャンネル B
+IN A	3	入力	非反転入力、チャンネル A
+IN B	5	入力	非反転入力、チャンネル B
OUT A	1	出力	出力、チャンネル A
OUT B	7	出力	出力、チャンネル B
V-	4	—	負 (最低) 電源
V+	8	—	正 (最高) 電源
サーマル パッド	パッド		DDA パッケージのみ。サーマル パッドは V- またはフローティングに接続します

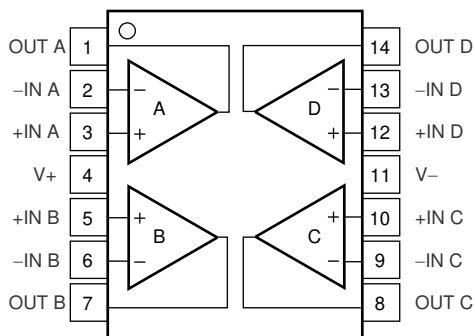


図 5-4. OPA4354 : D パッケージ、14 ピン SOIC および PW パッケージ、14 ピン TSSOP (上面図)

表 5-3. ピンの機能 : OPA4354

ピン		タイプ	説明
名称	番号		
-IN A	2	入力	反転入力、チャンネル A
-IN B	6	入力	反転入力、チャンネル B
-IN C	9	入力	反転入力、チャンネル C
-IN D	13	入力	反転入力、チャンネル D
+IN A	3	入力	非反転入力、チャンネル A
+IN B	5	入力	非反転入力、チャンネル B
+IN C	10	入力	非反転入力、チャンネル C
+IN D	12	入力	非反転入力、チャンネル D
OUT A	1	出力	出力、チャンネル A
OUT B	7	出力	出力、チャンネル B
OUT C	8	出力	出力、チャンネル C
OUT D	14	出力	出力、チャンネル D
V-	11	—	負 (最低) 電源
V+	4	—	正 (最高) 電源

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V _S	電源電圧、V _S = (V+) - (V-)		7.5	V
V _I	信号入力端子	(V-) - 0.5	(V+) + 0.5	V
I _I	信号入力端子	-10	+10	mA
I _{SC}	出力短絡 ⁽²⁾	連続		
T _A	動作温度	-55	125	°C
T _J	接合部温度		150	°C
T _{stg}	保管温度	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) グランドへの短絡、パッケージあたり 1 台のアンプ。

6.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
		荷電デバイス モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±250	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V _S	電源電圧、V _S = (V+) - (V-)	2.5		5.5	V
T _A	規定温度	-40	25	125	°C

6.4 熱に関する情報 (OPA354)

熱評価基準 ⁽¹⁾		OPA354		単位
		DBV (SOT-23)	DDA (HSOP)	
		5 ピン	8 ピン	
R _{θJA}	接合部から周囲への熱抵抗	216.3	106.3	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	115.0	121.8	°C/W
R _{θJB}	接合部から基板への熱抵抗	83.2	79.6	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	50.3	57.0	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	82.7	79.6	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	64.0	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

6.5 熱に関する情報 (OPA2354)

熱評価基準 ⁽¹⁾		OPA2354		単位
		DDA (HSOP)	DGK (VSSOP)	
		8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	40.6	150	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	46	68.2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	20.7	87	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	5.6	9.4	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	20.6	86.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	2.5	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

6.6 熱に関する情報 (OPA4354)

熱評価基準 ⁽¹⁾		OPA4354		単位
		D (SOIC)	PW (TSSOP)	
		14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	83.8	102.7	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	70.7	35.0	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	59.5	57.0	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	11.6	6.7	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	37.7	56.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

6.7 電気的特性

$T_A = 25^\circ\text{C}$, $R_F = 0\Omega$, $R_L = 1\text{k}\Omega$, $V_S/2$ に接続 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
オフセット電圧						
V _{OS}	入力オフセット電圧	V _S = 5V、T _A = 25°C	±2	±8		mV
		V _S = 5V、T _A = −40°C ∼ +125°C		±10		mV
dV _{OS} /dT	入力オフセット電圧ドリフト	V _S = 5V、T _A = −40°C ∼ +125°C	±4			μV/°C
PSRR	電源除去比	V _S = 2.7V ∼ 5.5V、V _{CM} = (V _S /2) − 0.55V	±200	±800		μV/V
		V _S = 2.7V ∼ 5.5V、V _{CM} = (V _S /2) − 0.55V、 T _A = −40°C ∼ +125°C		±900		
入力バイアス電流						
I _B	入力バイアス電流 ⁽²⁾		3	±50		pA
I _{OS}	入力オフセット電流 ⁽²⁾		±1	±50		
ノイズ						
e _n	入力電圧ノイズ密度	f = 1MHz	6.5			nV/√Hz
i _n	入力電流ノイズ密度	f = 1MHz、(OPA2354、OPA4354 の場合)	50			fA/√Hz
		f = 1MHz、(OPA354 の場合)	300			
入力電圧範囲						
V _{CM}	同相電圧		(V-) - 0.1	(V+) + 0.1		V
CMRR	同相信号除去比	V _S = 5.5V、−0.1V < V _{CM} < 3.5V、T _A = 25°C	66	80		dB
		V _S = 5.5V、−0.1V < V _{CM} < 3.5V、 T _A = −40°C ∼ +125°C	64			
		V _S = 5.5V、−0.1V < V _{CM} < 5.6V、T _A = 25°C	56	68		
		V _S = 5.5V、−0.1V < V _{CM} < 5.6V、 T _A = −40°C ∼ +125°C	55			
入力インピーダンス						
C _{IN}	差動		10 ¹³ ∥ 2			Ω ∥ pF
	同相		10 ¹³ ∥ 2			
開ループ ゲイン						
A _{OL}	開ループ ゲイン	V _S = 5.5V、0.3V < V _O < 4.7V、 T _A = 25°C	94	110		dB
		V _S = 5.5V、0.4V < V _O < 4.6V、 T _A = −40 ∼ +125°C	90			
周波数応答						
f _{−3dB}	ゲイン帯域幅積	G = +1、V _O = 100mV _{PP} 、R _F = 25Ω	250			MHz
		G = +2、V _O = 100mV _{PP}	90			
GBW	ゲイン帯域幅積	G = +10	100			MHz
f _{0.1dB}	0.1dB のゲインの平坦度に対する帯域幅	G = +2、V _O = 100 mV _{PP}	40			MHz
SR	スルーレート	V _S = 5V、G = +1、4V ステップ	150			V/μs
		V _S = 5V、G = +1、2V ステップ	130			
		V _S = 3V、G = +1、2V ステップ	110			

6.7 電気的特性 (続き)

$T_A = 25^\circ\text{C}$, $R_F = 0\Omega$, $R_L = 1\text{k}\Omega$, $V_S/2$ に接続 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
	立ち上がりおよび立ち下がり時間	G = +1、V _O = 200mV _{PP} 、10% ∼ 90%、 (OPA2354、OPA4354 の場合)		2		ns
		G = +1、V _O = 200mV _{PP} 、10% ∼ 90%、 (OPA354 の場合)		3		
		G = +1、V _O = 2V _{PP} 、10% ∼ 90%		11		
t _s	セトリング タイム	0.1%、V _S = 5V、G = +1、2V 出力ステップ		30		ns
		0.01%、V _S = 5V、G = +1、2V 出力ステップ		60		
	過負荷回復時間	V _{IN} × G = V _S		5		ns
HD2	2 次高調波歪	G = +1、f = 1MHz、V _O = 2V _{PP} 、R _L = 200Ω、V _{CM} = (V-) + 1.5V		-75		dBc
HD3	3 次高調波歪	G = +1、f = 1MHz、V _O = 2V _{PP} 、R _L = 200Ω、V _{CM} = (V-) + 1.5V		-83		dBc
	微分ゲイン誤差	NTSC、R _L = 150Ω		0.02%		
	微分位相誤差	NTSC、R _L = 150Ω		0.09		°
	チャンネル間クロストーク	OPA2354、f = 5MHz		-100		dB
	チャンネル間クロストーク	OPA4354、f = 5MHz		-84		dB
出力						
	電源レールからの出力電圧スイング	V _S = 5V、A _{OL} > 94dB		0.1	0.3	V
		V _S = 5V、R _L = 1kΩ、A _{OL} > 90dB、 T _A = −40°C ∼ +125°C			0.4	
I _o	出力電流、シングル、デュアル、クワッド (1) (2)	V _S = 5V	100			mA
		V _S = 3V		50		
	閉ループ出力インピーダンス	f < 100kHz		0.05		Ω
R _O	開ループ出力抵抗	OPA2354、OPA4354 の場合		35		Ω
		OPA354 の場合		39		Ω
電源						
I _Q	静止電流 (アンプ 1 個あたり)	T _A = 25°C、V _S = 5V (イネーブル)、I _o = 0A、(OPA2354、OPA4354 の場合)		4.9	6	mA
		T _A = 25°C、V _S = 5V(イネーブル)、I _o = 0A、 (OPA354 の場合)		5	6.3	
		T _A = −40°C ∼ +125°C、(OPA2354、 OPA4354 の場合)			7.5	
		T _A = −40°C ∼ +125°C、(OPA354 の場合)			7.7	
サーマル シャットダウン:接合部温度						
	シャットダウン			160		°C
	シャットダウンからのリセット			140		°C

(1) 出力電圧スイングと出力電流との関係の代表的特性曲線を参照してください。

(2) 設計により規定されています。

6.8 代表的特性

$T_A = 25^\circ\text{C}$, $V_S = 5\text{V}$, $G = +1$, $R_F = 0\Omega$, $R_L = 1\text{k}\Omega$, $V_S/2$ に接続、特に記述のない限り。

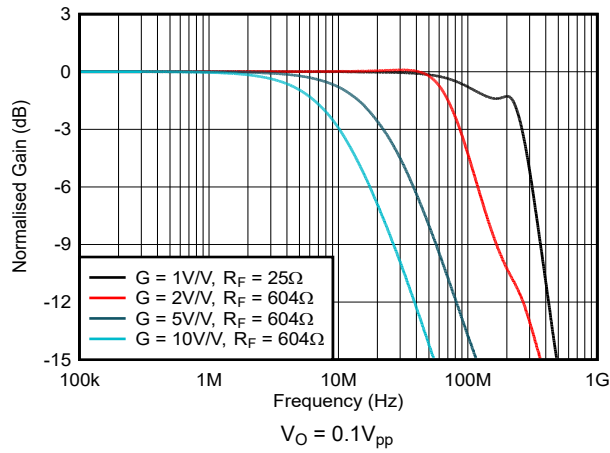


図 6-1. 非反転型の小信号周波数応答

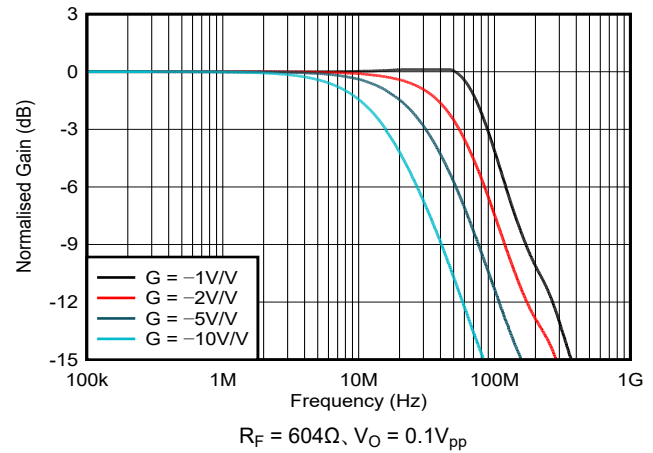


図 6-2. 反転型の小信号周波数応答

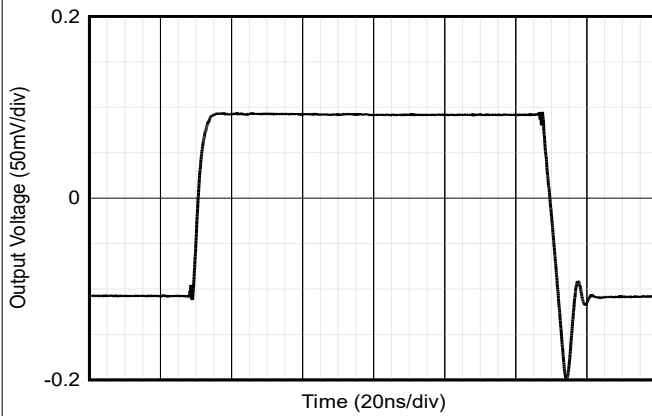


図 6-3. 非反転型の小信号ステップ応答

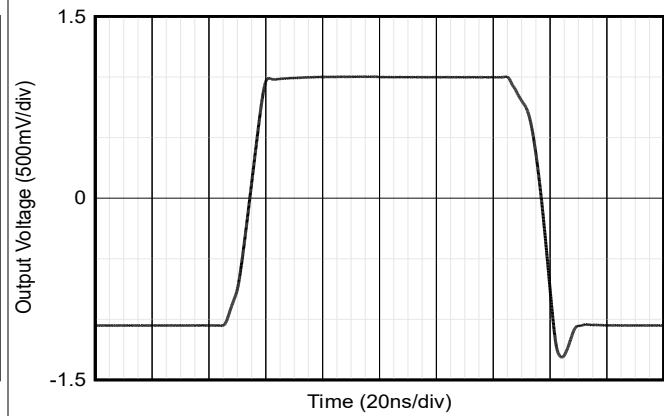


図 6-4. 非反転型の大信号ステップ応答

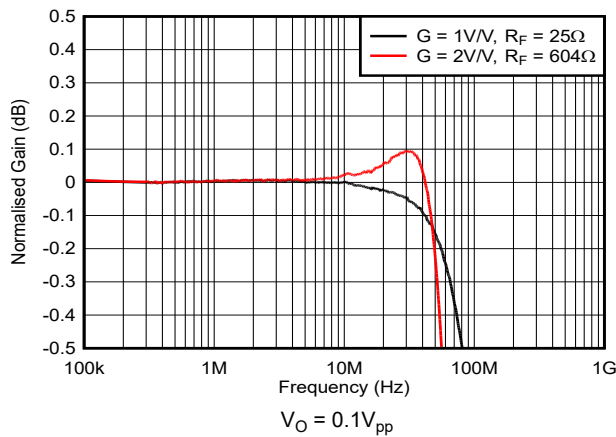


図 6-5. 0.1dB のゲイン フラットネス

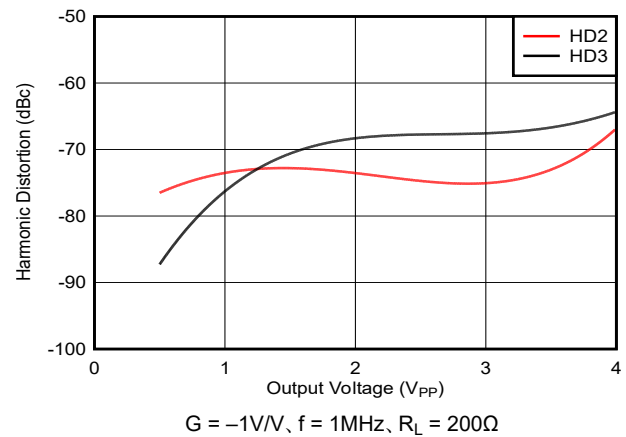


図 6-6. 高調波歪みと出力電圧との関係

6.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_S = 5\text{V}$, $G = +1$, $R_F = 0\Omega$, $R_L = 1\text{k}\Omega$, $V_S/2$ に接続、特に記述のない限り。

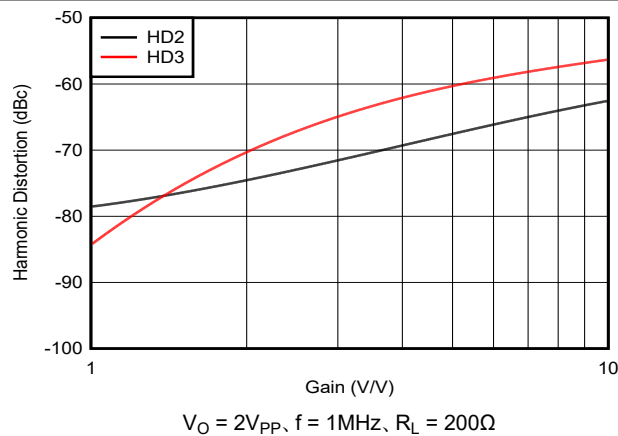


図 6-7. 高調波歪みと非反転ゲインとの関係

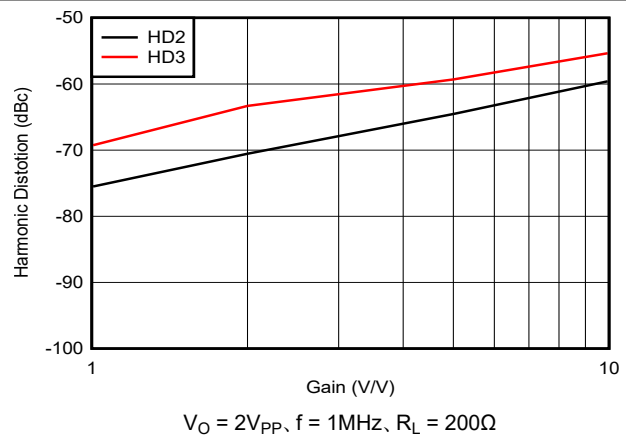


図 6-8. 高調波歪みと反転ゲインとの関係

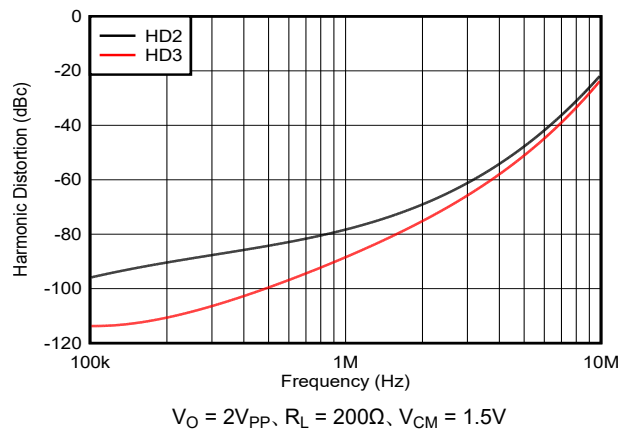


図 6-9. 高調波歪みと周波数との関係

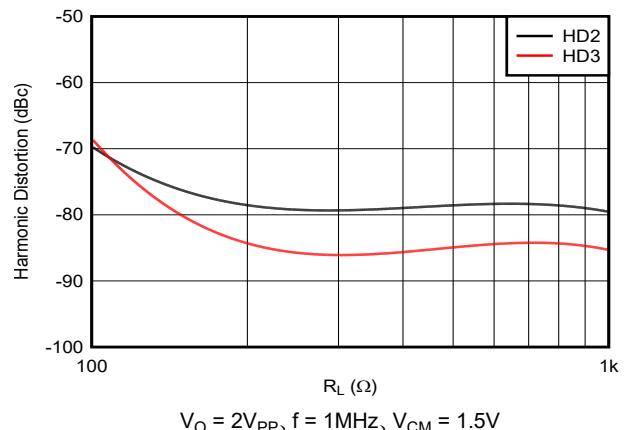


図 6-10. 高調波歪みと負荷抵抗との関係

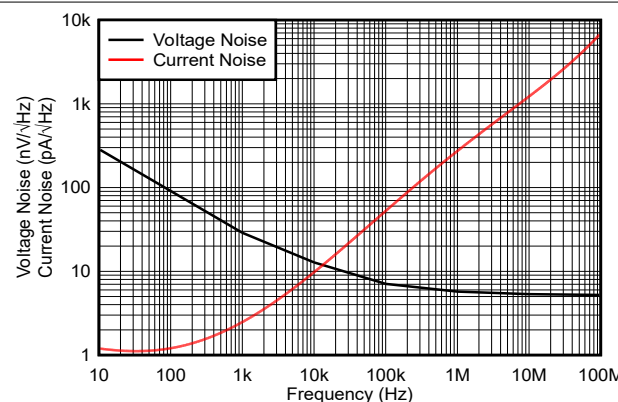


図 6-11. 入力の電圧および電流ノイズのスペクトラム密度と周波数との関係

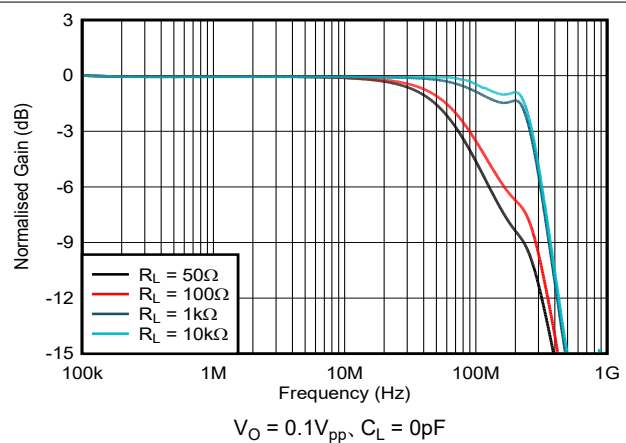


図 6-12. 周波数応答と各種 R_L 値との関係

6.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_S = 5\text{V}$, $G = +1$, $R_F = 0\Omega$, $R_L = 1\text{k}\Omega$, $V_S/2$ に接続、特に記述のない限り。

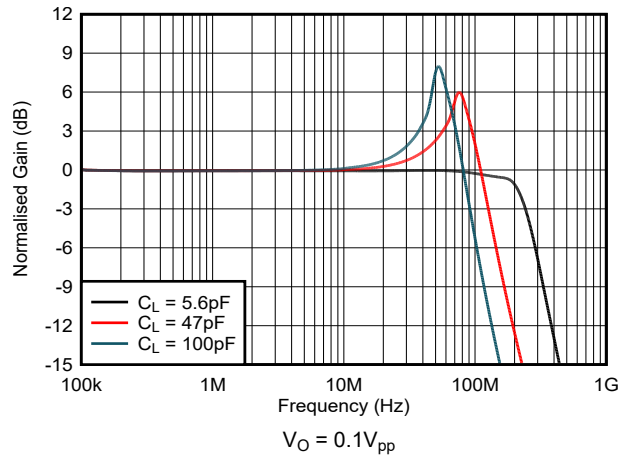


図 6-13. 各種 C_L 値の周波数応答

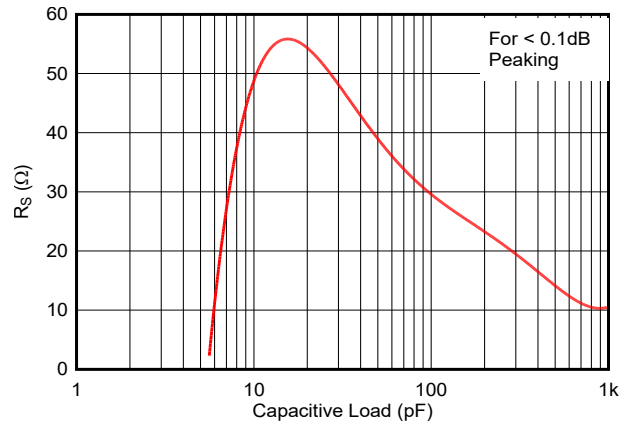


図 6-14. 推奨 R_S と容量性負荷との関係

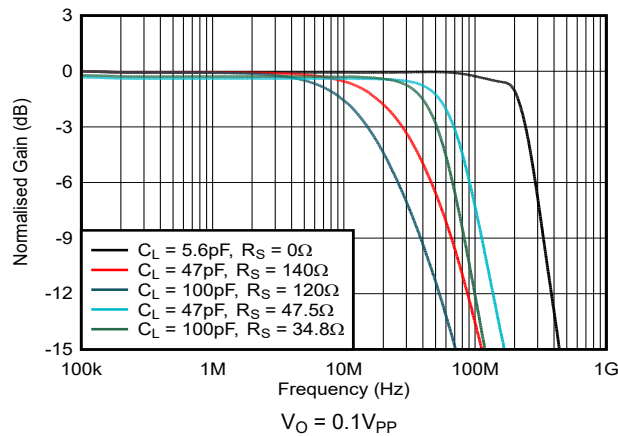


図 6-15. 周波数応答と容量性負荷との関係

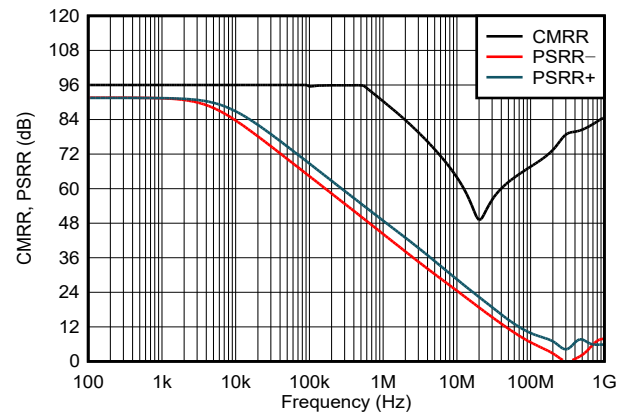


図 6-16. 同相信号除去比および電源除去比と周波数との関係

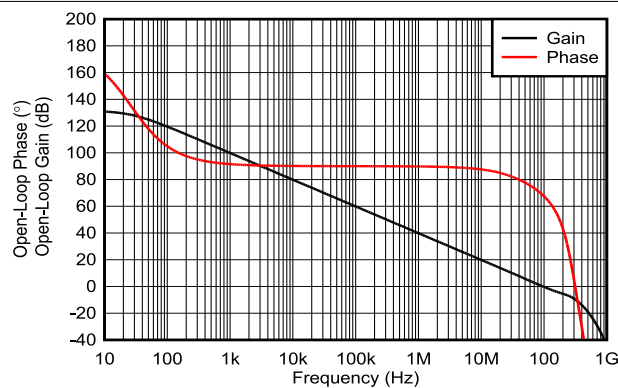


図 6-17. 開ループのゲインおよび位相

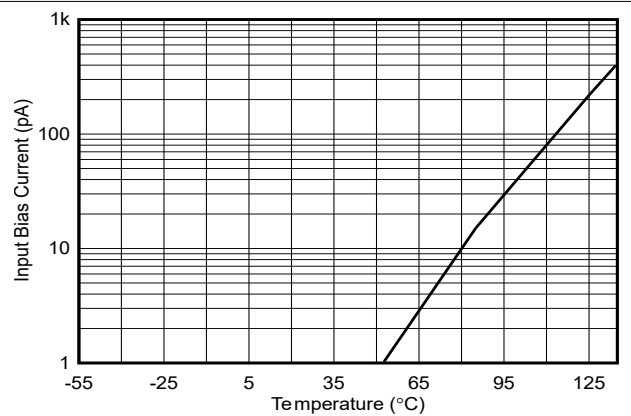


図 6-18. 入力バイアス電流と温度との関係

6.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{V}$ 、 $G = +1$ 、 $R_F = 0\Omega$ 、 $R_L = 1\text{k}\Omega$ 、 $V_S/2$ に接続、特に記述のない限り。

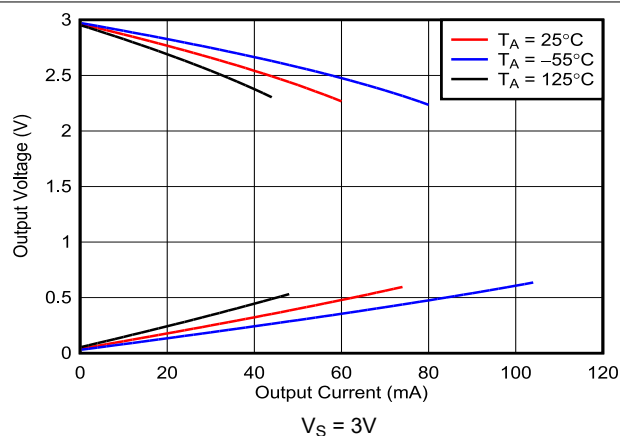


図 6-19. 出力電圧スイングと出力電流との関係

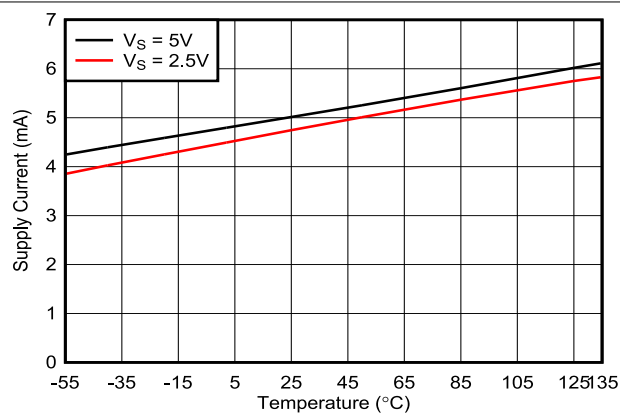


図 6-20. 電源電流と温度との関係

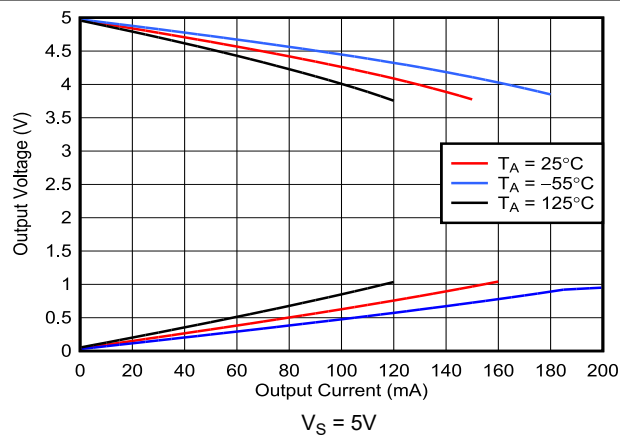


図 6-21. 出力電圧スイングと出力電流との関係

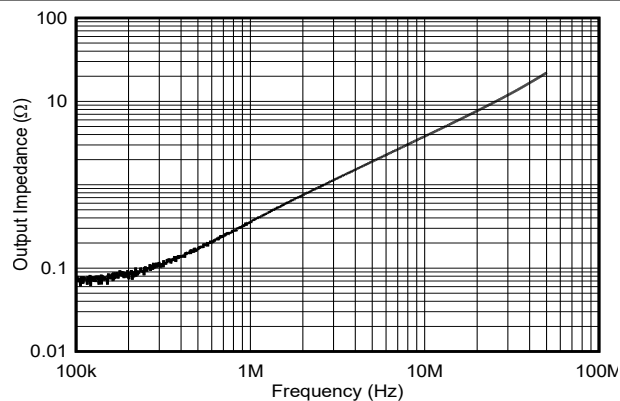


図 6-22. 閉ループ出力インピーダンスと周波数との関係

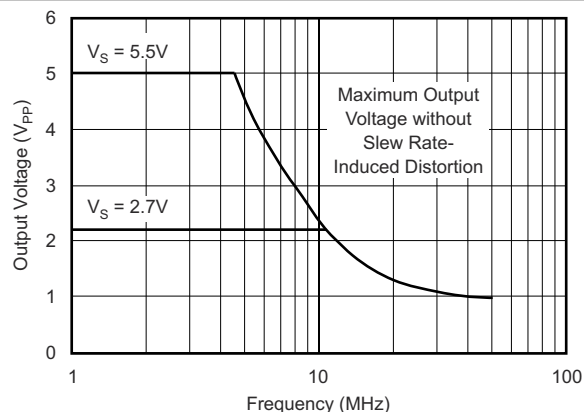


図 6-23. 最大出力電圧と周波数との関係

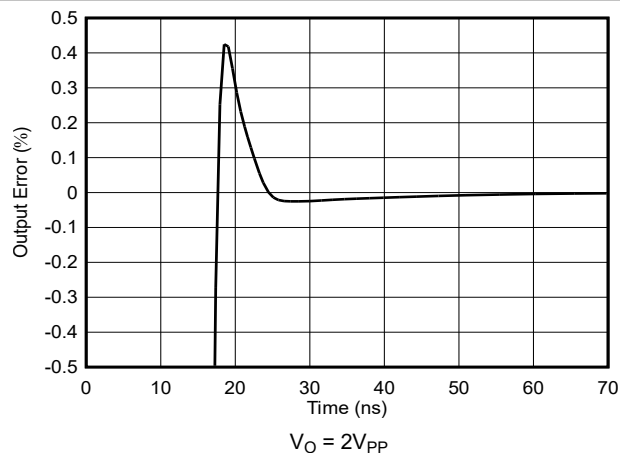


図 6-24. 0.1% までの出力セトリング タイム

6.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_S = 5\text{V}$, $G = +1$, $R_F = 0\Omega$, $R_L = 1\text{k}\Omega$, $V_S/2$ に接続、特に記述のない限り。

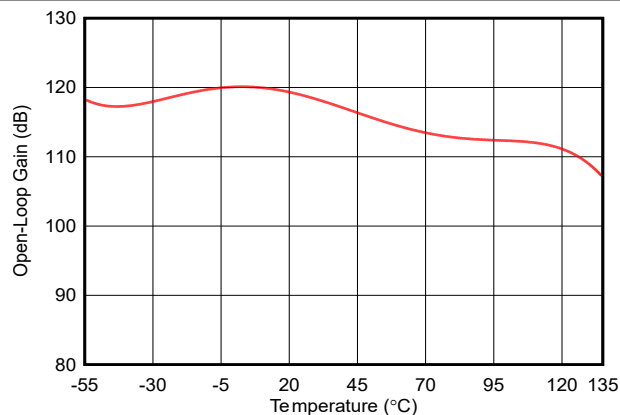


図 6-25. 開ループゲインと温度との関係

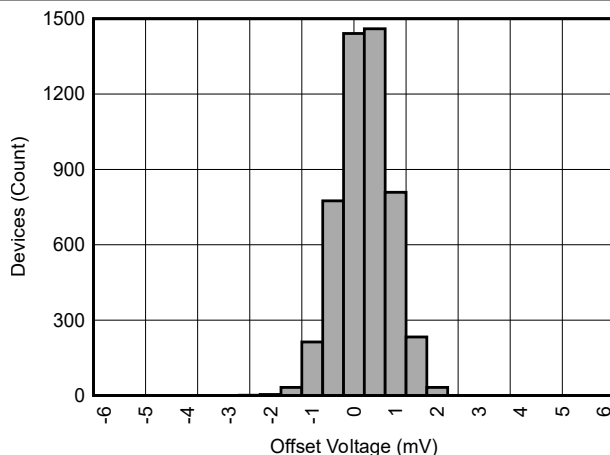


図 6-26. オフセット電圧の生産分布

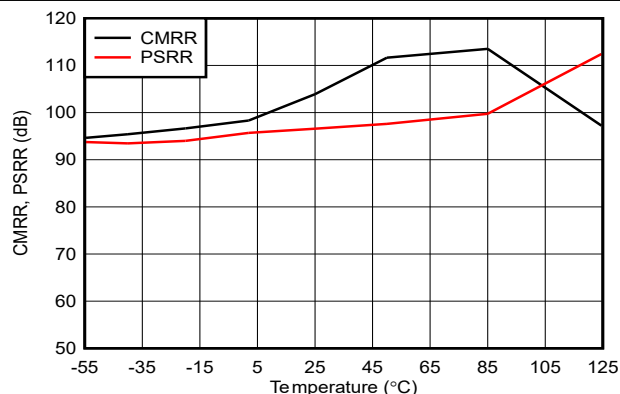


図 6-27. 同相信号除去比および電源除去比と温度との関係

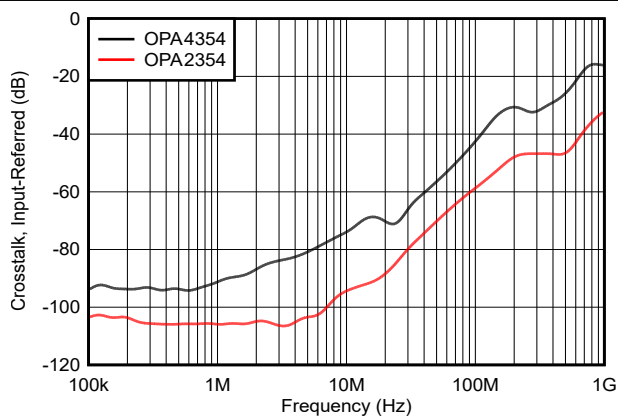


図 6-28. チャンネル間クロストーク

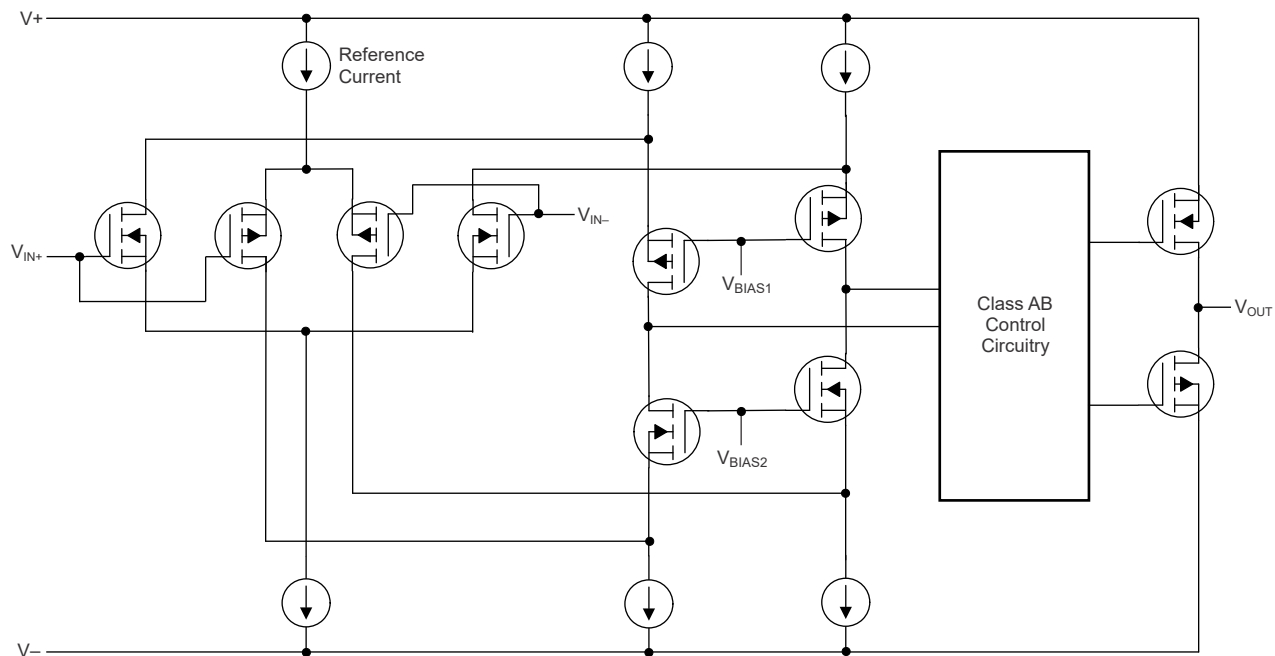
7 詳細説明

7.1 概要

OPAx354 は、ビデオ、高速、その他のアプリケーション用に設計された CMOS、レール ツー レール I/O、高速、電圧帰還型のオペアンプです。これらのデバイスは、シングル、デュアル、クワッドのオペアンプとして入手可能です。

これらのアンプは 100MHz のゲイン帯域幅と 150V/ μ s のスルーレートを特長としていますが、これらのアンプはユニティゲインで安定しており、1V/V の電圧フォロワとして動作します。

7.2 機能ブロック図



7.3 機能説明

7.3.1 動作電圧

OPAx354 は、電源電圧範囲 $2.7V \sim 5.5V$ ($\pm 1.35V \sim \pm 2.75V$) で動作が規定されています。ただし、電源電圧範囲は $2.5V \sim 5.5V$ ($\pm 1.25V \sim \pm 2.75V$) です。

注意

7.5V (絶対最大値) を超える電源電圧は、アンプに永続的な損傷を与えます。

電源電圧または温度によって変化するパラメータについては、「[セクション 6.8](#)」を参照してください。

7.3.2 レール ツー レール入力

OPAx354 の規定入力同相電圧範囲は、電源レールよりも $100mV$ 拡張されています。これは、相補型入力段 (P チャネル差動ペアと並んで配置された N チャネル入力差動ペア) により達成されています。詳細については、「[セクション 7.2](#)」も参照してください。N チャネル ペアは、正のレールに近い入力電圧についてアクティブになります。通常は $(V+) - 1.2V$ から、正の電源電圧よりも $100mV$ 高い電圧までです。一方、P チャネル ペアは負の電源電圧より $100mV$ 下から、 $(V+) - 1.2V$ 程度までの入力についてアクティブになります。両方のペアが動作する小さな遷移領域があり、通常は $(V+) - 1.5V \sim (V+) - 0.9V$ の範囲です。この $600mV$ の遷移領域は、プロセスのバラツキにより、 $\pm 500mV$ 変動する可能性があります。したがって、遷移領域 (両方の入力段がオン) は、Low では $(V+) - 2V \sim (V+) - 1.5V$ まで、High 側では最大 $(V+) - 0.9V \sim (V+) - 0.4V$ の範囲になる可能性があります。

二重折りたたみカスケードは 2 組の入力ペアから信号を追加し、Class AB 出力段に差動信号を提示します。

7.3.3 レール ツー レール出力

共通ソーストランジスタを使用した Class AB 出力段により、レール ツー レールの出力を実現できます。ハインピーダンス負荷 (200Ω 超) の場合、出力電圧スイングは通常、電源レールから $100mV$ です。 10Ω 負荷では、有用な出力スイングが得られますが、高い開ループ ゲインが維持されます。代表的特性曲線と、「出力電圧スイングと出力電流との関係」を参照してください ([図 6-19](#) および [図 6-21](#))。

7.3.4 出力駆動能力

OPAx354 の出力段は $\pm 100mA$ の連続出力電流を供給しながら、5V 電源で約 $2.7V$ の出力スイングを供給します ([図 7-1](#) を参照)。最大限の信頼性を確保するため、 $\pm 100mA$ を超える連続 DC 電流を流さないでください。代表的特性曲線と、「出力電圧スイングと出力電流との関係」を参照してください ([図 6-19](#) および [図 6-21](#))。 $\pm 100mA$ を超える連続出力電流を供給する場合、OPAx354 は、[図 7-2](#) に示すように並列に動作できます。

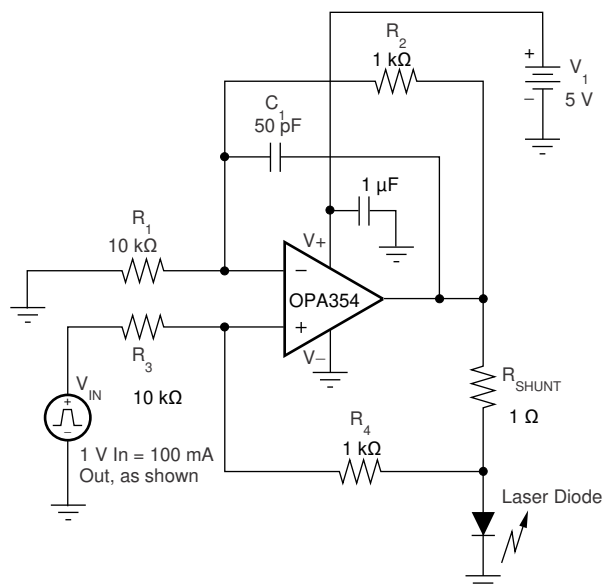


図 7-1. レーザー ダイオード ドライバ

OPAx354 は、最大 200mA のピーク電流を供給します。これは、一般的な短絡電流に相当します。このため、オンチップのサーマル シャットダウン回路が用意されており、OPAx354 を危険なほど高い接合部温度から保護します。160°C では、保護回路によりアンプがシャットダウンされます。接合部温度が 140°C を下回ると、通常動作に復帰します。

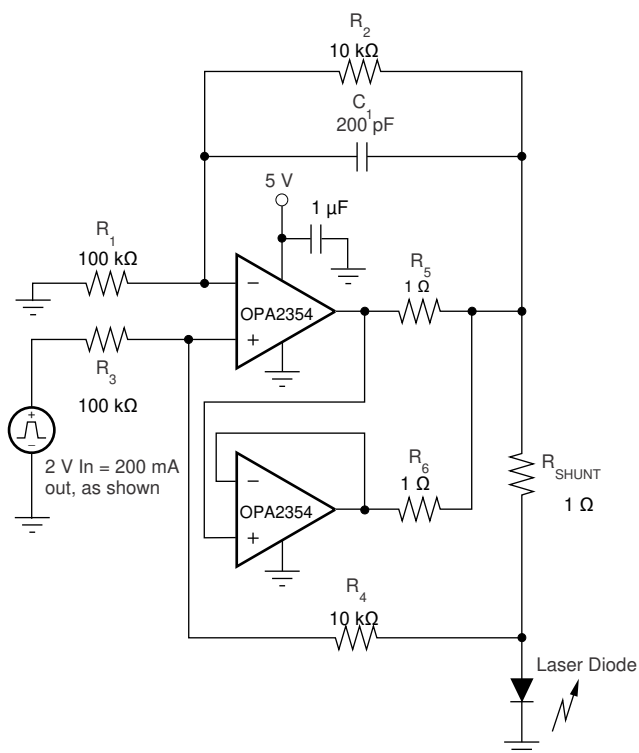


図 7-2. 並列動作

7.3.5 動画

OPAx354 の出力段は、図 7-3 に示すように、標準のバック終端された 75Ω ビデオ ケーブルを駆動できます。伝送ラインをバック終端することで、出力段はドライバに対する容量性負荷を示しません。適切にバック終端された 75Ω ケーブルは容量として現れません。このケーブルは OPAx354 出力に 150Ω の抵抗性負荷を供給します。

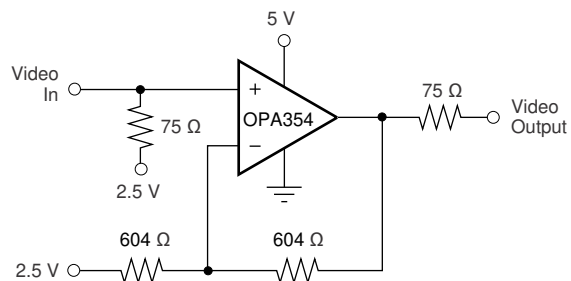
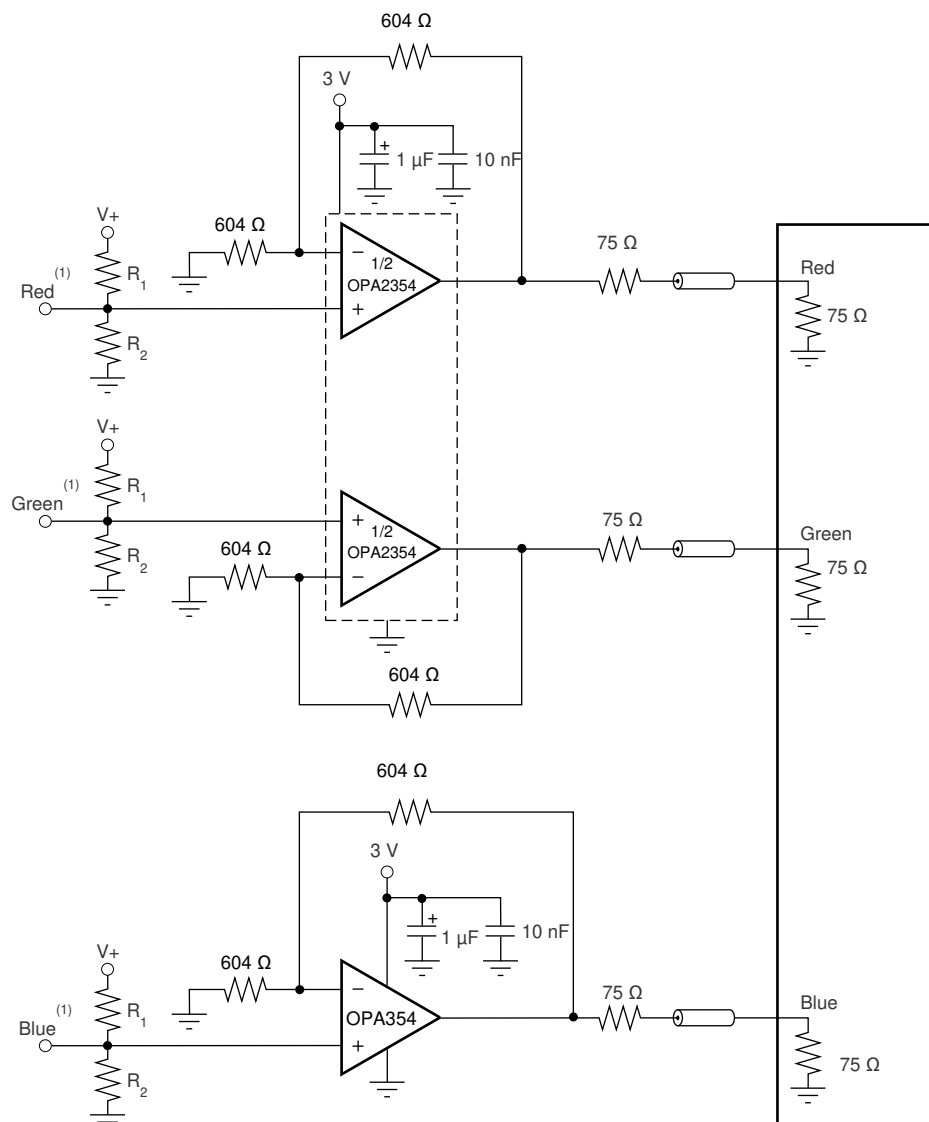


図 7-3. 単一電源 ビデオ ライン ドライバ

OPAx354 は、信号をオフセットし AC 結合することで、ビデオのブラック レベルで電圧がゼロとなる RGB グラフィック信号のアンプとして使用されます。図 7-4 を参照してください。



(1) オペアンプのグラウンドへのスイング能力に対応するため、ソースビデオ信号はグラウンドより 300mV 高いオフセットで設定されます。

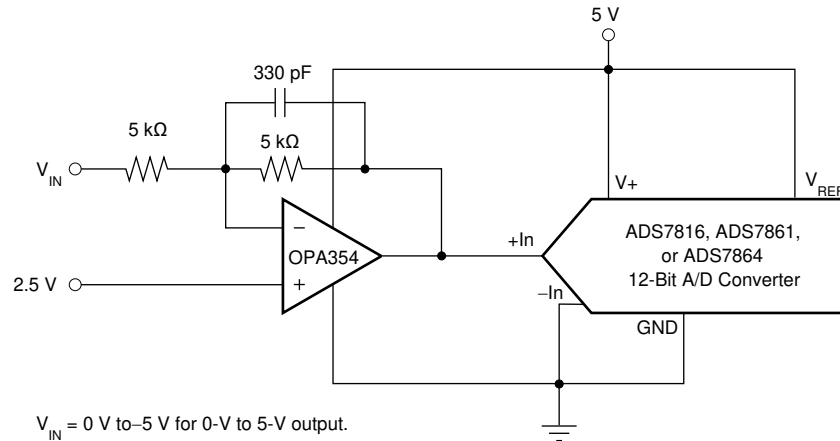
図 7-4. RGB ケーブル ドライバ

7.3.6 A/D コンバータの駆動

OPAx354 シリーズのオペアンプは、60ns のセトリング タイムを 0.01% まで実現しているため、高速および中速度サンプリング ADC およびリファレンス回路を駆動するのに適したシリーズです。OPAx354 シリーズは、信号ゲインを提供しながら、

ADC の入力容量とそれに伴うチャージ インジェクションをバッファする効果的な手段となります。高い DC 精度を必要とするアプリケーションでは、OPA620 シリーズを推奨します。

OPAx354 で ADC を駆動する例を、図 7-5 に示します。OPAx354 は反転構成の場合、帰還抵抗の両端に接続したコンデンサを使用して、信号内の高周波ノイズをフィルタリングします。



$V_{IN} = 0\text{ V to } -5\text{ V for } 0\text{-V to } 5\text{-V output.}$

注: ADC 入力 = $0\text{ V} \sim V_{REF}$.

図 7-5. ADS7816 を駆動する反転構成の OPAx354

7.3.7 容量性負荷および安定度

OPAx354 シリーズのオペアンプは、幅広い容量性負荷を駆動します。ただし、特定の条件下ではすべてのオペアンプが不安定になる可能性があります。オペアンプの構成、ゲイン、負荷値は、安定性を決定する際に考慮する必要のある要素のほんの一部にすぎません。ユニティ ゲイン構成のオペアンプは、容量性負荷の影響を最も受けやすくなります。容量性負荷は、デバイスの出力抵抗とともに追加の負荷抵抗と反応して、位相マージンを劣化させる小信号応答に極を形成します。「各種 C_L の周波数応答」の代表的な特性曲線も参照してください (図 6-13)。

OPAx354 トポロジは、容量性負荷を駆動する能力を向上させます。ユニティ ゲインでは、これらのオペアンプは大きな容量性負荷で適切に動作します。「推奨 R_S と容量性負荷との関係」 (図 6-14) および「周波数応答と容量性負荷との関係」 (図 6-15) の代表的な特性曲線も参照してください。

図 7-6 に、ユニティ ゲイン構成で容量性負荷駆動能力を向上する 1 つの方法として、出力と直列に $10\Omega \sim 20\Omega$ の抵抗を挿入することを示しています。この構成は、大きな容量性負荷でのリンギングを大幅に低減します。「周波数応答と容量性負荷との関係」の代表的な特性曲線 (図 6-15) を参照してください。ただし、容量性負荷と並列に抵抗性負荷が接続されている場合、 R_S で分圧器を構成します。この分圧器は、出力に DC 誤差を導入し、出力スイングをわずかに減少させます。この誤差は重要ではありません。たとえば、 $R_L = 10\text{ k}\Omega$ 、 $R_S = 20\Omega$ の場合、出力に約 0.2% の誤差が発生します。

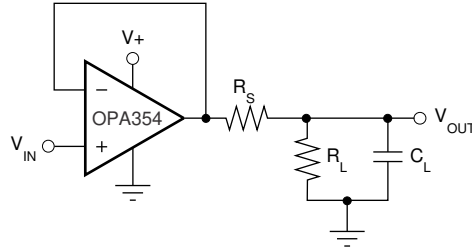


図 7-6. ユニティ ゲイン構成の直列抵抗により、容量性負荷駆動能力が向上

7.3.8 広帯域トランスインピーダンス アンプ

広帯域幅、低入力バイアス電流、低入力電圧、電流ノイズが特長の OPAx354 は、低電圧単一電源アプリケーションに適した広帯域フォトダイオードトランスインピーダンス アンプです。フォトダイオード容量によって、回路の実効ノイズ ゲインが高周波で大きくなるため、低電圧ノイズは重要です。

トランスインピーダンス設計の主要要素 (図 7-7 を参照) は、想定されるダイオード容量 [OPAx354 の場合、寄生入力コモンモードとディファレンシャルモードの入力容量 (2 + 2) pF を含む]、目的のトランスインピーダンス ゲイン (R_F)、および OPAx354 のゲイン帯域幅積 (GBW) (標準値 100MHz) です。これらの 3 つの変数セットを使用して、フィードバック容量 (C_F) の値を設定し、周波数応答を制御できます。

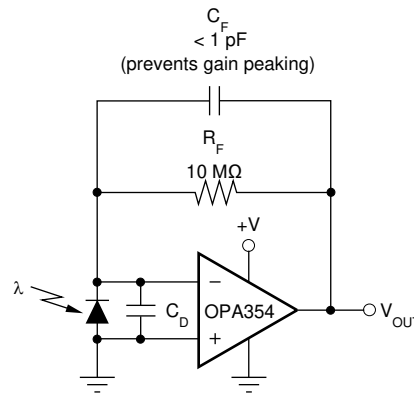


図 7-7. トランスインピーダンス アンプ

2 次バターワース周波数応答が最大限平坦になるように、式 1 に記載されているとおりに帰還極を設ける必要があります。

$$\frac{1}{2\pi R_F C_F} = \sqrt{\frac{\text{GBP}}{4\pi R_F C_D}} \quad (1)$$

標準的な表面実装抵抗の寄生容量は約 0.2pF で、これは帰還容量の計算値から差し引く必要があります。帯域幅は 式 2 で計算されます。

$$f_{-3\text{dB}} = \sqrt{\frac{\text{GBP}}{2\pi R_F C_D}} \text{ Hz} \quad (2)$$

より高いトランスインピーダンス帯域幅を得るには、高速 CMOS OPA355 (200MHz GBW) または OPA655 (400MHz GBW) を使用できます。

7.4 デバイスの機能モード

OPAx354 デバイスは、電源が接続されたときに電源投入されます。このデバイスは、アプリケーションに応じて、単一電源オペアンプまたはデュアル電源アンプとして動作します。差動電圧 ($V_- \sim V_+$) が 1.8V 以上、5.5V を超えていない限り、非対称電源で使用されます (例: V_- を -3.5V に、 V_+ を 1.5V に設定)。

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

OPAx354 デバイスは、ビデオ、高速、その他のアプリケーション用に設計された CMOS、レール ツー レール I/O、高速、電圧帰還型のオペアンプです。OPAx354 は、シングル、デュアル、クワッドのオペアンプとして入手可能です。これらのアンプは、100MHz のゲイン帯域幅と 150V/μs のスルーレートを特長としており、ユニティ ゲインで安定しており、1V/V の電圧フォロワとして動作します。

8.2 代表的なアプリケーション

広ゲイン帯域幅、低入力バイアス電流、低入力電圧、電流ノイズによって、OPAx354 は優れた広帯域フォトダイオードトランスインピーダンス アンプとなっています。フォトダイオード容量によって、回路の実効ノイズ ゲインが高周波で大きくなるため、低電圧ノイズは重要です。図 8-1 に示すように、トランスインピーダンス設計の重要な要素は、予測されるダイオード容量 (寄生入力同相と差動モード入力容量を含む)、必要なトランスインピーダンス ゲイン、および OPAx354 ファミリーデバイスのゲイン帯域幅 (GBW) (20MHz) です。これらの 3 つの変数セットを使用して、帰還コンデンサの値を設定し、周波数応答を制御します。帰還容量には、標準的な表面実装抵抗で 0.2pF となる浮遊容量が含まれます。

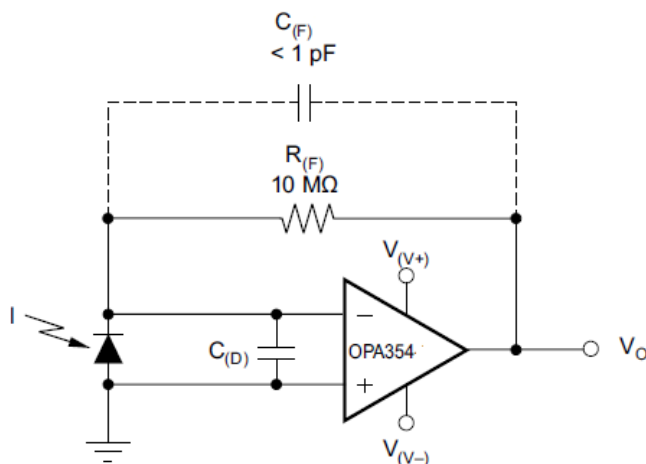


図 8-1. デュアル電源のトランスインピーダンス アンプ

8.2.1 設計要件

この設計例では、表 8-1 に記載されているパラメータを入力パラメータとして使用します。

表 8-1. 設計パラメータ

パラメータ	数値の例
電源電圧、 $V_{(V+)}$	2.5V
電源電圧、 $V_{(V-)}$	-2.5V

$C_{(F)}$ はゲインのピークを防ぐためのオプションです。 $C_{(F)}$ には、 $R_{(F)}$ の浮遊容量が含まれます。

8.2.2 詳細な設計手順

2 次バターワース周波数応答が最大限平坦になるように、式 3 を使用して帰還極を設定します。

$$\frac{1}{2 \times \pi \times R_{(F)} \times C_{(F)}} = \sqrt{\frac{GBW}{4 \times \pi \times R_{(F)} \times C_{(D)}}} \quad (3)$$

式 4 を使用して帯域幅を計算します。

$$f_{(-3 \text{ dB})} = \sqrt{\frac{GBW}{2 \times \pi \times R_{(F)} \times C_{(D)}}} \quad (4)$$

8.2.2.1 トランスインピーダンス回路の最適化

最高の性能を引き出すためには、次のガイドラインに従ってコンポーネントを選択する必要があります。

1. ノイズを最小限に抑える場合は、 $R_{(F)}$ を選択して必要な総ゲインを作成します。 $R_{(F)}$ の値を低くして、トランスインピーダンス アンプの後にゲインを加えると、通常はノイズ性能が低下します。 $R_{(F)}$ によって生成されたノイズは $R_{(F)}$ の二乗に比例して大きくなりますが、信号は線形的に増加します。そのため、必要なすべてのゲインをトランスインピーダンス段に配置すると、信号ノイズ比が改善されます。

2. ジャンクションのミクシング (反転入力) 時に、フォトダイオード容量と浮遊容量を最小限に抑えてください。この容量によって、オペアンプの電圧ノイズが増幅されます (高周波で増幅分が増加します)。低ノイズ電圧源を使用して逆バイアスをかけると、フォトダイオードの容量を低減できます。フォトダイオードが小さいほど、その容量も少なくなります。光学素子を使用して小さなフォトダイオードに光を集めます。

3. 帯域幅を大きくすると、ノイズも大きくなります。回路の帯域幅は、必要な帯域幅のみに制限してください。安定させるためにコンデンサが必要ない場合でも、帯域幅を制限するために、 $R_{(F)}$ 全体にコンデンサを使用してください。

4. 優れた設計のアンプでなければ、回路基板のリーケージによって性能が落ちます。回路基板を慎重に清掃してください。接合部のミクシングを囲んで同じ電圧で駆動する回路基板ガードトレースを取り付けることで、リーケージを制御できるようになります。

8.2.3 アプリケーション曲線

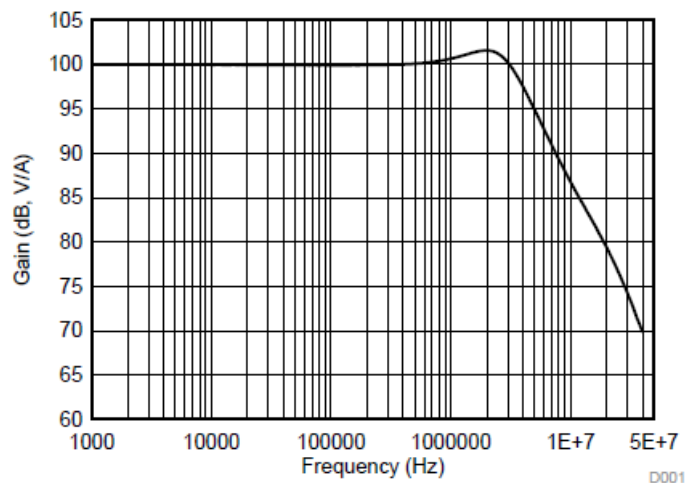


図 8-2. AC の伝達関数

8.3 電源に関する推奨事項

OPAx354 ファミリー デバイスは 2.5V ~ 5.5V ($\pm 1.25V$ ~ $\pm 2.75V$) での動作が規定されており、多くの仕様は -40°C ~ $+125^{\circ}\text{C}$ で適用されます。動作電圧または温度に関して大きな変動を示す可能性があるパラメータについては、[セクション 6.8](#) を参照してください。

電源ピンの近くに 0.1 μF のバイパス コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源からの誤差を低減できます。[セクション 8.4.1](#) も参照してください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

OPAx354 は、良好な高周波プリント基板 (PCB) レイアウト手法を採用します。グランド プレーン、短い信号パターン、直接の信号パターンを豊富に使用し、V+ ピンにある適切なバイパス コンデンサにより、クリーンで安定した動作を提供します。銅の面積が大きいほど、通常動作で発生する熱を放散する手段が提供されます。

TI では、いかなる高速アンプにもソケットを使用することを推奨していません。

10nF のセラミック バイパス コンデンサは最小推奨値です。低抵抗性負荷を駆動する際には、1 μF またはそれ以上のタantal コンデンサを並列に追加すると効果的です。高調波および相互変調歪みを低減するには、十分なバイパス キャパシタンスを確保することが不可欠です。

8.4.1.1 消費電力

消費電力は、電源電圧、信号、負荷条件によって異なります。DC 信号では、消費電力は、出力電流と導通型出力トランジスタの両端の電圧

$V_S - V_O$ の積に等しくなります。要求される出力電圧スイングを供給できる最低限の電源電圧を使用することで、電力消費を最小限に抑えることが可能です。

抵抗性負荷の場合、DC 出力電圧が電源電圧の半分するとき、最大消費電力が発生します。AC 信号での消費電力は低くなります。『[AB-039 パワー アンプのストレスと電力処理の制限](#)』では、異常な信号および負荷で消費電力を計算または測定する方法について説明しています。詳細については、www.ti.com をご覧ください。

過熱保護回路が作動する傾向にある場合、消費電力が過剰であるか、ヒート シンクが不十分であることを示しています。信頼性の高い動作のために、接合部温度を 150°C 以下に制限する必要があります。完全な設計での安全率を推定するには、 160°C で過熱保護がトリガされるまで周囲温度を上げてください。過熱保護は、アプリケーションの予測最大周囲条件よりも 35°C 以上高い温度でトリガする必要があります。

8.4.1.2 熱強化された PowerPAD IC パッケージ

通常の 5 ピン SOT - 23 および 9 ピン VSSOP パッケージに加えて、OPAx354 のシングルおよびデュアル バージョンは 8 ピン SOIC PowerPAD IC パッケージでも供給されます。サーマル パッド付きの 98 ピン SO は標準サイズの 8 ピン SOIC パッケージで、パッケージの底面にある露出したリードフレームを PCB に直接半田付けして、熱抵抗を低くしています。この直接接続により、OPAx354 の消費電力能力が大幅に向上し、従来のサーマル パッケージで使用されていた大型のヒートシンクやスラグが不要になります。このパッケージは、標準的な PCB アセンブリ手法を使用して簡単に実装できます。

注

8 ピン HSOIC PowerPAD IC パッケージは、標準の 8 ピン SOIC パッケージとピン互換であるため、OPA354 および OPA2354 は既存のソケットのオペアンプを直接置き換えることができます。消費電力が小さいアプリケーションであっても、必ずサーマル パッドを PCB に半田付けする必要があります。この構成により、リードフレーム ダイ パッドと PCB の間に必要な熱的および機械的接続が得られます。

PowerPAD IC パッケージは、[図 8-3](#) に示すように、リードフレーム ダイ パッド (またはサーマル パッド) がデバイスの底面に露出するように設計されています。この露出したダイは、ダイとパッケージ外装の間の熱抵抗 ($R_{\theta\text{JC}}$) が非常に低くな

っています。次に、PCB をヒートシンクとして使用して、デバイスの底面にあるサーマル パッドを直接 PCB に半田付けできます。さらに、メッキしたスルーホール (ビア) により、熱抵抗の小さい PCB 裏面への熱伝導経路が実現できます。

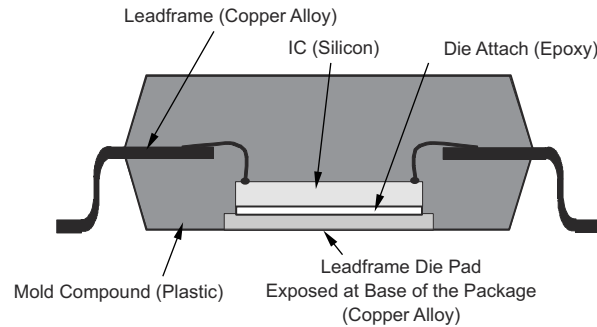


図 8-3. PowerPAD IC パッケージのセクション図

8.4.1.3 PowerPAD™ IC パッケージのアセンブリ プロセス

サーマル パッドは、デバイスの最も負の電源電圧 (単一電源アプリケーションではグランド、分割電源アプリケーションでは V-) に接続します。

図 8-4 に示すような上面エッチング パターンで PCB を準備します。正確なランド設計は、アセンブリ プロセスの要件によって異なる場合があります。リードにはエッチング、サーマル ランドにはエッチングを使用します。

サーマル パッドの領域に、推奨数のメッキのスルーホール (またはサーマル ビア) を配置します。直径 13mil (0.013 インチ) のホールを使用する必要があります。ホールが小さいため、リフロー時のホールからの半田ウィッキングは問題ではありません。TI では、図 8-4 のように、8 ピン HSOIC (SO PowerPAD) パッケージに少なくとも 5 個のホールを推奨しています。

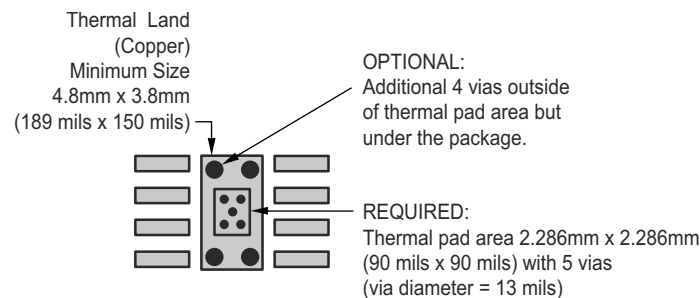


図 8-4. 8 ピン PowerPAD PCB エッチングおよびビア パターン

TI は、パッケージの下側と、サーマル パッド領域の外側に少数のホールを追加で設けることを推奨しますが、必須ではありません。これらのホールは、銅のサーマル ランドとグランド プレーンの上に追加の熱経路を作ります。ホールが半田付けする領域にないため、ホールが大きくなる可能性があります。したがって、ウィッキングは問題ありません。この技法を図 8-4 に示します。

サーマル パッド領域内およびパッド領域外のホールを含むすべてのホールを、内部グランド プレーンまたは単一電源アプリケーションでは他の内部銅プレーン、分割電源アプリケーションでは V- に接続します。

これらのホールをレイアウトする場合は、図 8-5 に示すように、一般的なウェブ接続方式やスポーク ビア接続方法を使用しないでください。ウェブ接続は熱抵抗の高い接続部を備えており、半田付け作業中の熱伝達を遅らせるのに役立ちます。この機能により、グランド プレーン接続を持つビアの半田付けが容易になります。しかし、このアプリケーションでは、最も効率的な熱伝達を実現するために、低い熱抵抗が求められます。したがって、PowerPAD IC パッケージの下にあるホールは、メッキされたスルーホールの全周にわたって内部グランド プレーンと完全に接続されなければなりません。

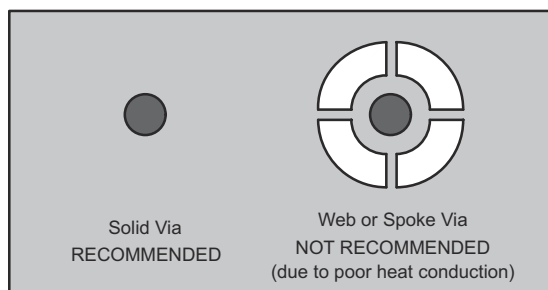


図 8-5. ビア接続

上面の半田マスクを使用する場合は、パッドの接続とサーマル パッド領域を露出したままにする必要があります。サーマル パッドの領域は、13mil のホールを露出させたままにする必要があります。サーマル パッドの領域の外側にある大きなホールは、半田マスクで覆うことができます。

露出しているサーマル パッド領域とパッケージのすべてのピンに半田ペーストを塗布します。

これらの準備手順が完了すると、PowerPAD IC パッケージ デバイスは所定の位置に配置され、標準的な表面実装部品と同様に、半田リフロー工程を行うことができます。この準備と処理により、部品が適切に設置されます。

熱モデリングの検討事項や修復手順も含め、PowerPAD IC パッケージの詳細については、www.ti.com の『放熱特性の優れた PowerPAD パッケージ』も参照してください。

8.4.2 レイアウト例

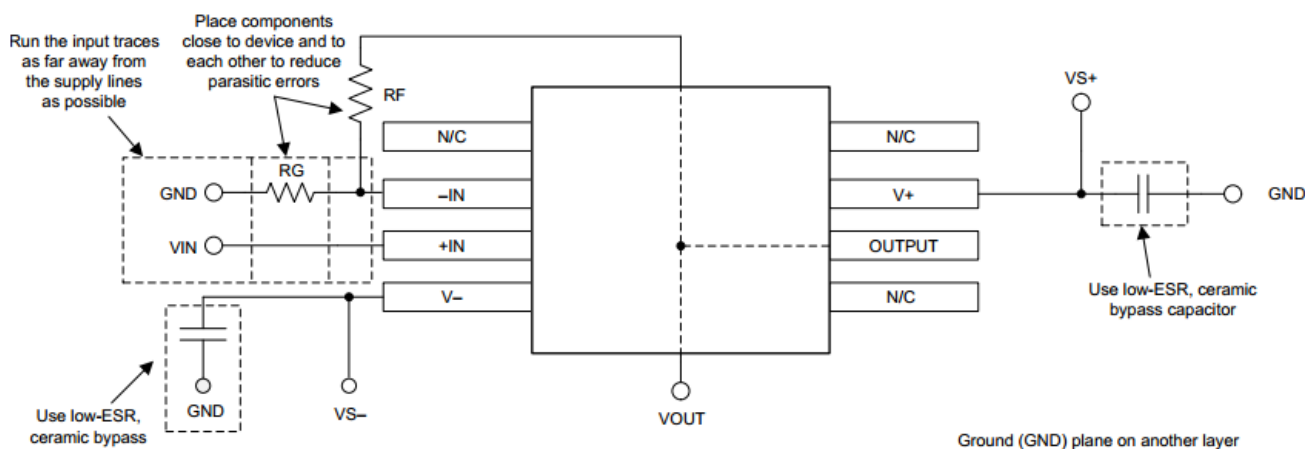


図 8-6. 非反転構成のオペアンプ基板のレイアウト

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『[ADS8326 16 ビット、高速、2.7V ~ 5.5V マイクロパワー サンプリングの A/D コンバータ](#)』
- テキサス インスツルメンツ、『[トランスインピーダンス アンプの直感的な補償](#)』
- テキサス インスツルメンツ、『[FilterPro™ ユーザー ガイド](#)』
- テキサス・インスツルメンツ、『[高速オペアンプのノイズ解析](#)』
- テキサス インスツルメンツ、『[OPA380 および OPA2380 高精度、高速トランスインピーダンス アンプ](#)』
- テキサス インスツルメンツ、『[OPA355, OPA2355, OPA3355 シャットダウン機能付き 200MHz、CMOS オペアンプ](#)』
- テキサス インスツルメンツ、『[OPA656 広帯域、ユニティ ゲイン安定、FET 入力オペアンプ](#)』
- テキサス インスツルメンツ、『[パワー アンプのストレスと電力処理の制限](#)』
- テキサス インスツルメンツ、『[放熱特性に優れた PowerPAD パッケージ](#)』

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

PowerPAD™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision G (April 2018) to Revision H (August 2026)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• OPA354 DBV および DDA パッケージの熱に関する情報を更新.....	5
• OPA354 の「電气的特性」で、入力電流ノイズ、立ち上がりおよび立ち下がり時間、開ループ出力抵抗、静止電流を更新.....	7

• 「代表的特性」のプロットを更新.....	9
------------------------	---

Changes from Revision F (June 2016) to Revision G (April 2018)	Page
---	-------------

• 「代表的特性」のプロットを更新.....	9
------------------------	---

Changes from Revision E (March 2002) to Revision F (June 2016)	Page
---	-------------

• 「ESD 定格」、「機能説明」、「デバイスの機能モード」、「アプリケーションと実装」、「電源に関する推奨事項」、「レイアウト」、「デバイスおよびドキュメントのサポート」、「メカニカル、パッケージ、および注文情報」の各セクションを追加.....	1
• 「パッケージ / 注文情報」表を削除 (データシートの末尾にある POA を参照)	1
• 「OPAx354 関連製品」表を「デバイス比較表」に変更	2

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2354AIDDA	Active	Production	SO PowerPAD (DDA) 8	75 TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 125	OPA 2354A
OPA2354AIDDA.B	Active	Production	SO PowerPAD (DDA) 8	75 TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 125	OPA 2354A
OPA2354AIDDAG3	Active	Production	SO PowerPAD (DDA) 8	75 TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 125	OPA 2354A
OPA2354AIDДАР	Active	Production	SO PowerPAD (DDA) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	OPA 2354A
OPA2354AIDДАР.A	Active	Production	SO PowerPAD (DDA) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	OPA 2354A
OPA2354AIDДАР.B	Active	Production	SO PowerPAD (DDA) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	OPA 2354A
OPA2354AIDDARG3	Active	Production	SO PowerPAD (DDA) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	OPA 2354A
OPA2354AIDGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU SN NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	OACI
OPA2354AIDGKR.A	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OACI
OPA2354AIDGKR.B	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OACI
OPA2354AIDGKT	Active	Production	VSSOP (DGK) 8	250 SMALL T&R	Yes	NIPDAU SN NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	OACI
OPA2354AIDGKT.B	Active	Production	VSSOP (DGK) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OACI
OPA2354AIDGKTG4	Last Time Buy	Production	VSSOP (DGK) 8	250 SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	OACI
OPA2354AIDGKTG4.B	Last Time Buy	Production	VSSOP (DGK) 8	250 SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	OACI
OPA354AIDBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OABI
OPA354AIDBVR.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OABI
OPA354AIDBVR.B	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OABI
OPA354AIDBVT	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OABI
OPA354AIDBVT.B	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OABI
OPA354AIDBVTG4	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OABI

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA354AIDDA	Active	Production	SO PowerPAD (DDA) 8	75 TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 125	OPA 354A
OPA354AIDDA.B	Active	Production	SO PowerPAD (DDA) 8	75 TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 125	OPA 354A
OPA354AIDDAG3	Active	Production	SO PowerPAD (DDA) 8	75 TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 125	OPA 354A
OPA354AIDДАР	Active	Production	SO PowerPAD (DDA) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	OPA 354A
OPA354AIDДАР.A	Active	Production	SO PowerPAD (DDA) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	OPA 354A
OPA354AIDДАР.B	Active	Production	SO PowerPAD (DDA) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	OPA 354A
OPA4354AID	Active	Production	SOIC (D) 14	50 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4354A
OPA4354AID.B	Active	Production	SOIC (D) 14	50 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4354A
OPA4354AIDR	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4354A
OPA4354AIDR.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4354A
OPA4354AIDR.B	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4354A
OPA4354AIDRG4	Last Time Buy	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4354A
OPA4354AIDRG4.B	Last Time Buy	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4354A
OPA4354AIPWR	Active	Production	TSSOP (PW) 14	2500 LARGE T&R	Yes	Call TI Nipdau	Level-2-260C-1 YEAR	-40 to 125	OPA 4354A
OPA4354AIPWR.A	Active	Production	TSSOP (PW) 14	2500 LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 125	OPA 4354A
OPA4354AIPWR.B	Active	Production	TSSOP (PW) 14	2500 LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 125	OPA 4354A
OPA4354AIPWRG4	Active	Production	TSSOP (PW) 14	2500 LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 125	OPA 4354A
OPA4354AIPWT	Active	Production	TSSOP (PW) 14	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 4354A
OPA4354AIPWT.B	Active	Production	TSSOP (PW) 14	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA 4354A

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

(2) Material type: When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) RoHS values: Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

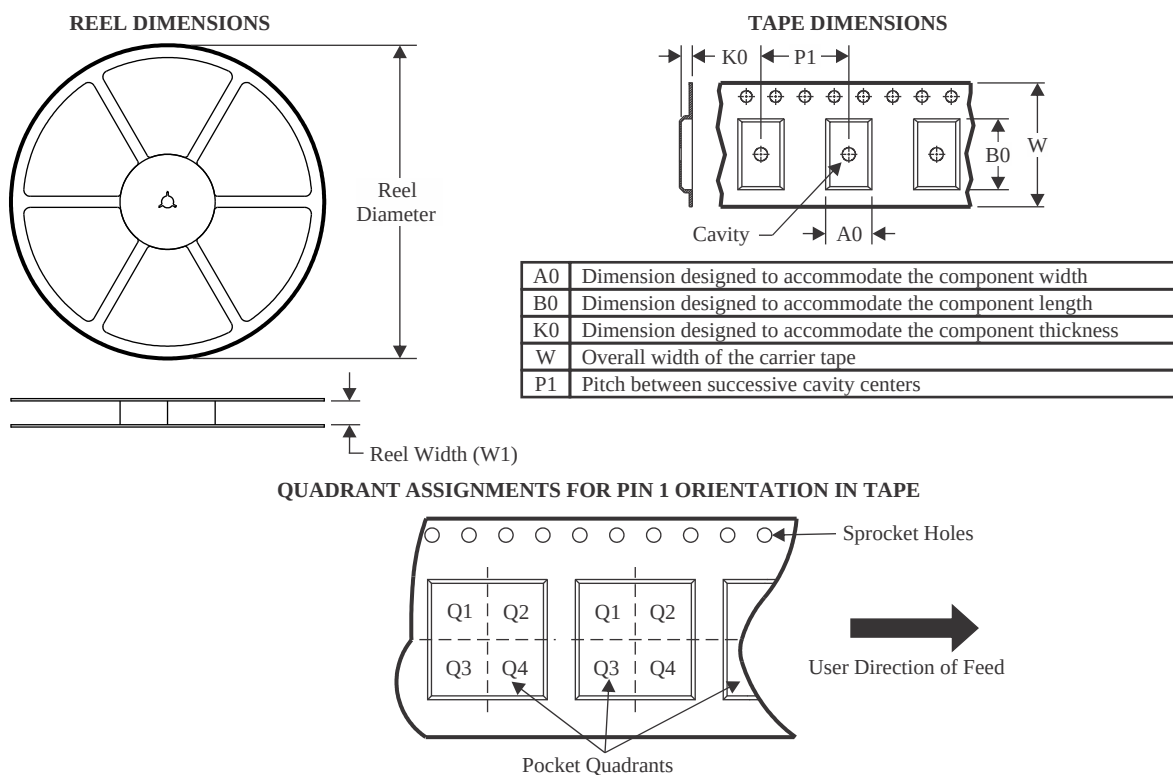
OTHER QUALIFIED VERSIONS OF OPA4354 :

- Automotive : [OPA4354-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

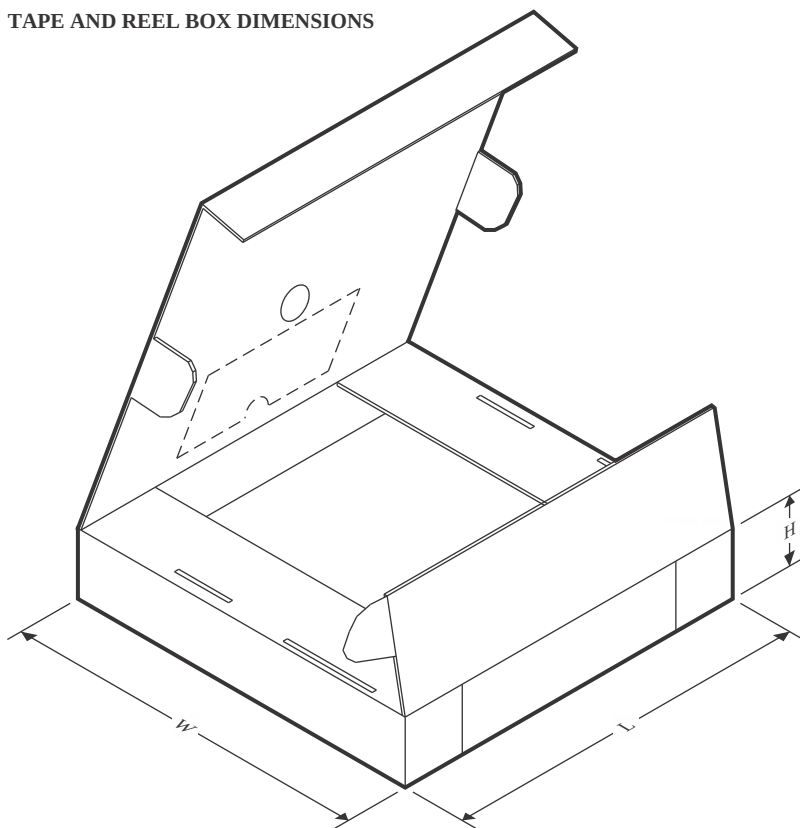
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2354AIDAR	SO PowerPAD	DDA	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2354AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2354AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2354AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
OPA2354AIDGKT	VSSOP	DGK	8	250	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
OPA2354AIDGKT	VSSOP	DGK	8	250	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2354AIDGKT	VSSOP	DGK	8	250	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2354AIDGKTG4	VSSOP	DGK	8	250	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA354AIDBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
OPA354AIDBVT	SOT-23	DBV	5	250	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
OPA354AIDAR	SO PowerPAD	DDA	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA4354AIDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
OPA4354AIDRG4	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
OPA4354AIPWR	TSSOP	PW	14	2500	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
OPA4354AIPWT	TSSOP	PW	14	250	180.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

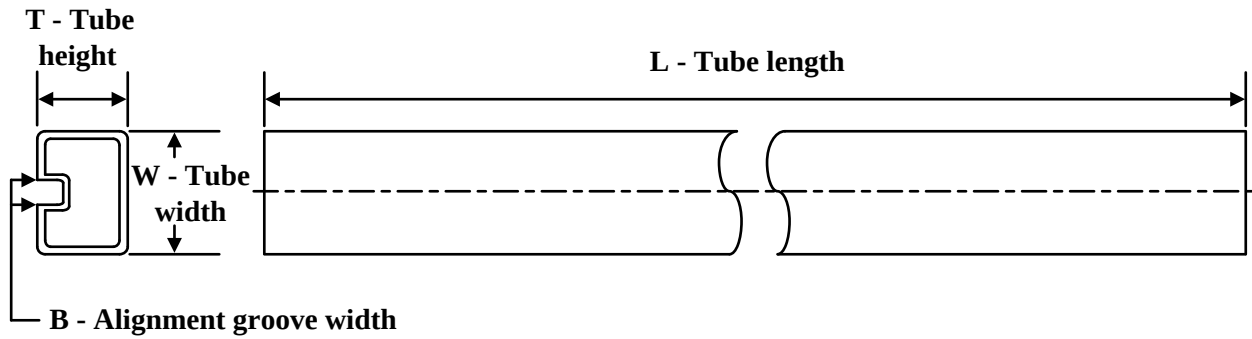
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2354AIDDA	SO PowerPAD	DDA	8	2500	353.0	353.0	32.0
OPA2354AIDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
OPA2354AIDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA2354AIDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
OPA2354AIDGKT	VSSOP	DGK	8	250	366.0	364.0	50.0
OPA2354AIDGKT	VSSOP	DGK	8	250	353.0	353.0	32.0
OPA2354AIDGKT	VSSOP	DGK	8	250	366.0	364.0	50.0
OPA2354AIDGKTG4	VSSOP	DGK	8	250	366.0	364.0	50.0
OPA354AIDBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
OPA354AIDBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
OPA354AIDDA	SO PowerPAD	DDA	8	2500	353.0	353.0	32.0
OPA4354AIDR	SOIC	D	14	2500	353.0	353.0	32.0
OPA4354AIDRG4	SOIC	D	14	2500	353.0	353.0	32.0
OPA4354AIPWR	TSSOP	PW	14	2500	353.0	353.0	32.0
OPA4354AIPWT	TSSOP	PW	14	250	213.0	191.0	35.0

TUBE



*All dimensions are nominal

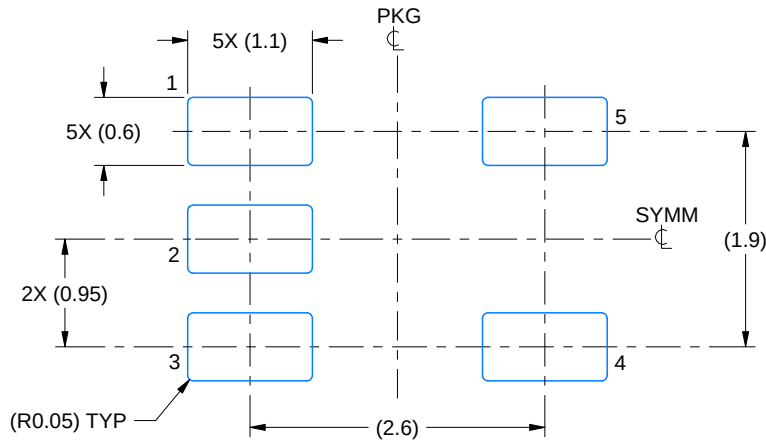
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
OPA2354AIDDA	DDA	HSOIC	8	75	506.6	8	3940	4.32
OPA2354AIDDA.B	DDA	HSOIC	8	75	506.6	8	3940	4.32
OPA2354AIDDAG3	DDA	HSOIC	8	75	506.6	8	3940	4.32
OPA354AIDDA	DDA	HSOIC	8	75	506.6	8	3940	4.32
OPA354AIDDA.B	DDA	HSOIC	8	75	506.6	8	3940	4.32
OPA354AIDDAG3	DDA	HSOIC	8	75	506.6	8	3940	4.32
OPA4354AID	D	SOIC	14	50	506.6	8	3940	4.32
OPA4354AID.B	D	SOIC	14	50	506.6	8	3940	4.32

EXAMPLE BOARD LAYOUT

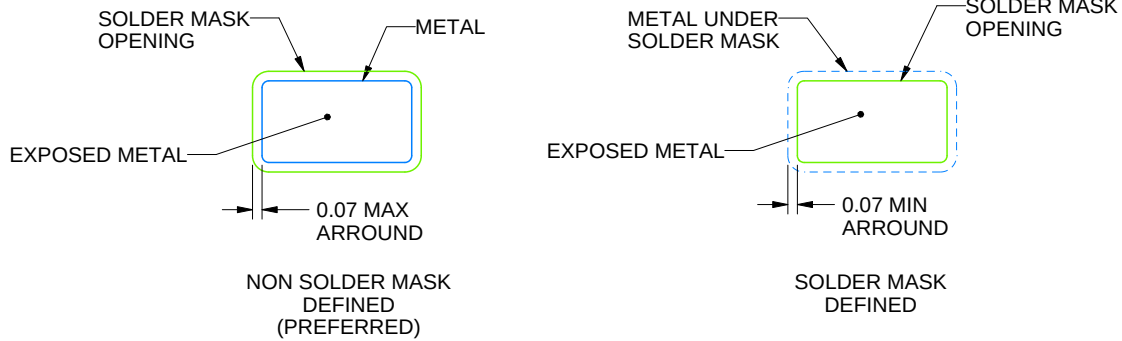
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

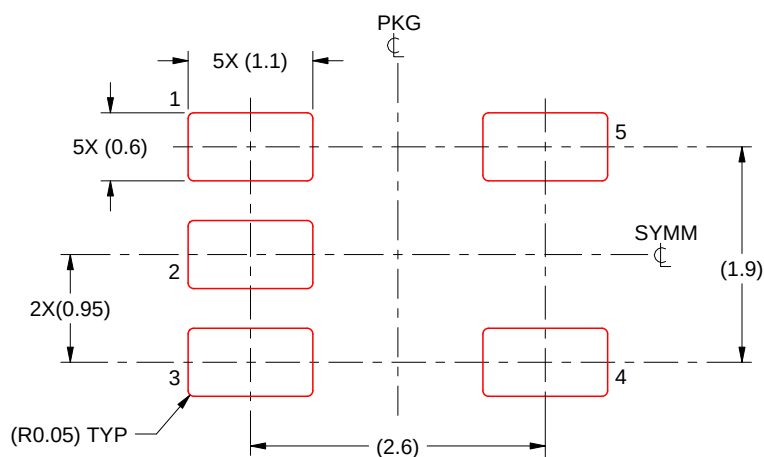
NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

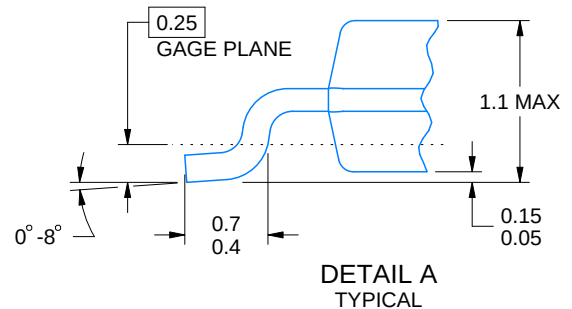
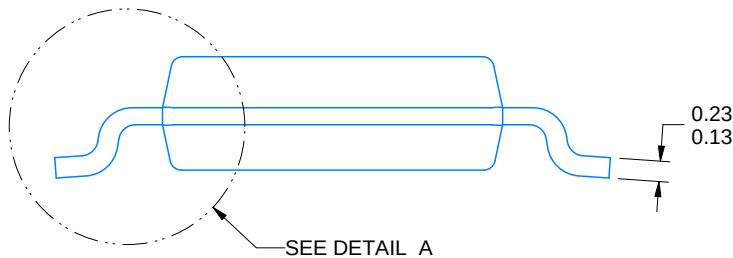
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



VSSOP - 1.1 mm max height

Technical drawing of a 6-pin connector. The drawing includes a top view and a side view. The top view shows a rectangular body with six pins on the right side. Dimensions include a total width of 5.05 (typical) and 4.75, a pin pitch of 1.95 (2X), and a pin diameter of 0.65 (6X). A circular feature is labeled "PIN 1 INDEX AREA". The side view shows the profile of the connector with a seating plane. Dimensions include a total height of 3.1 (typical) and 2.9, a pin height of 0.38 (typical) and 0.25 (8X), and a pin diameter of 0.13 (typical) and 0.25 (8X). The drawing also includes a callout for the "SEATING PLANE" and a note "NOTE 4".



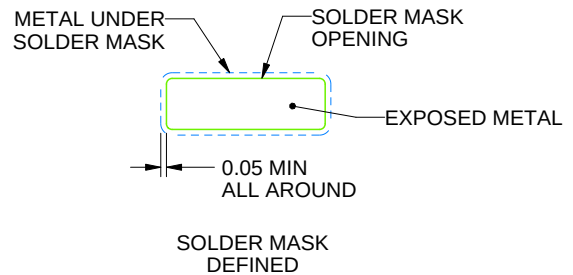
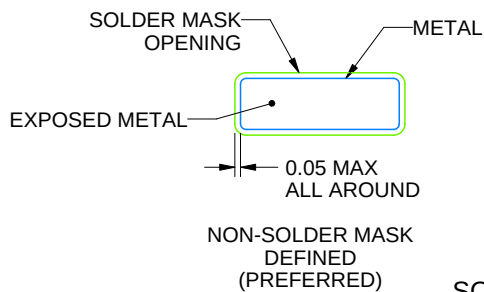
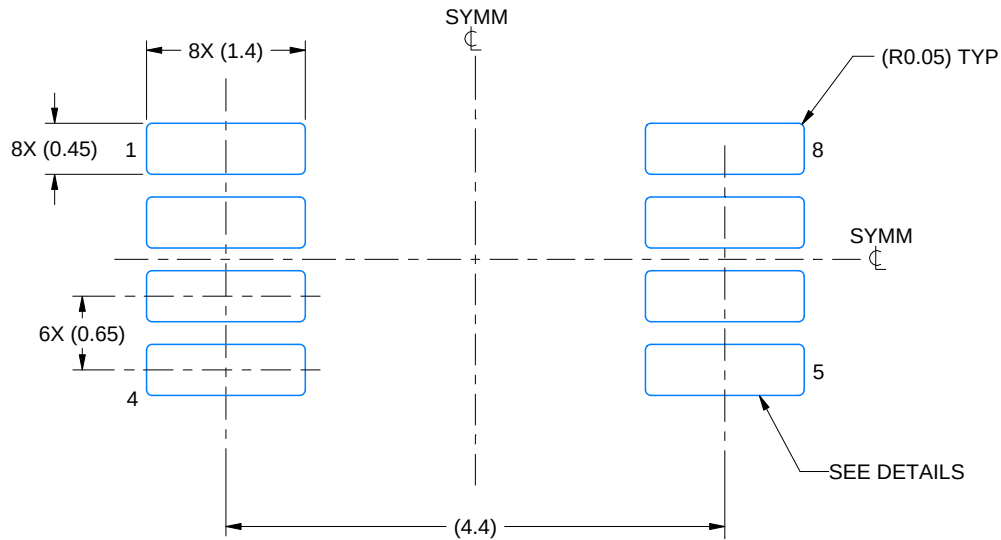
TEXAS
INSTRUMENTS
www.ti.com

EXAMPLE BOARD LAYOUT

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

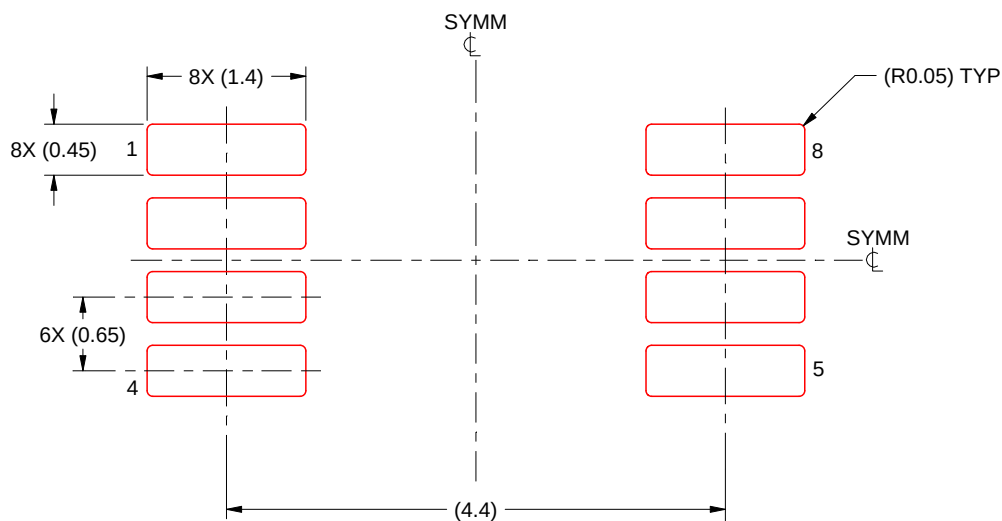
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

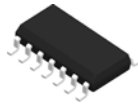


SOLDER PASTE EXAMPLE
SCALE: 15X

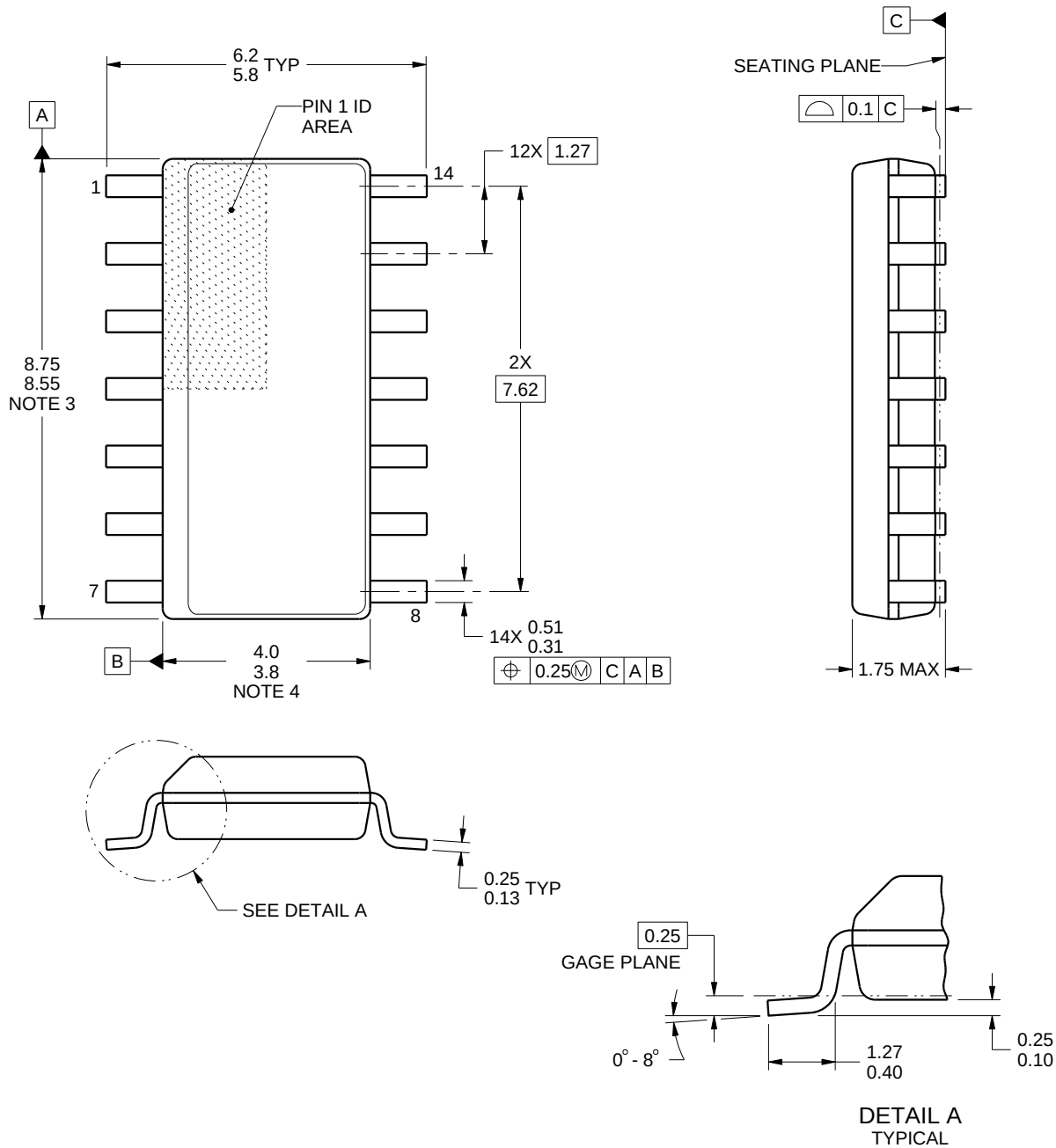
4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

D0014A**PACKAGE OUTLINE****SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

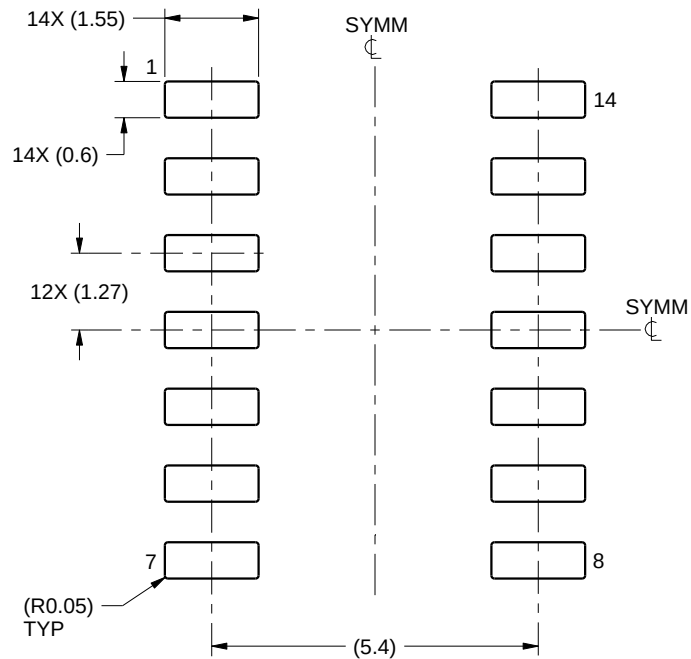
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

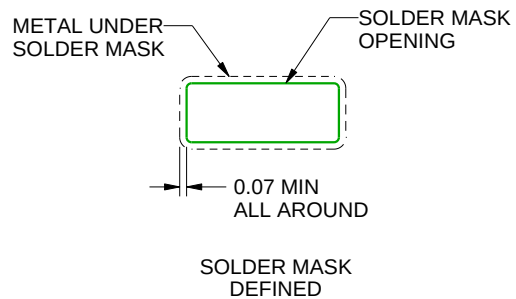
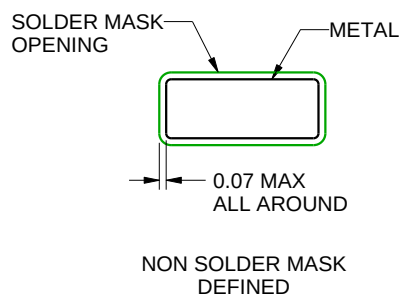
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

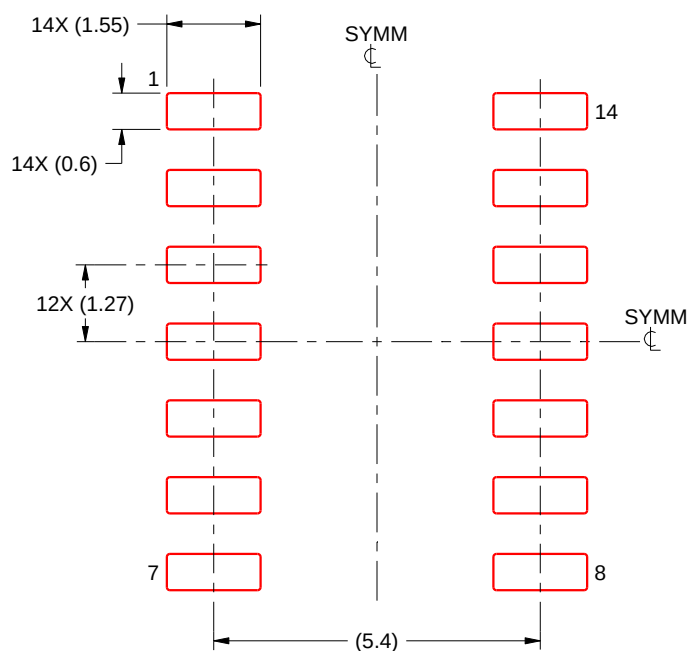
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

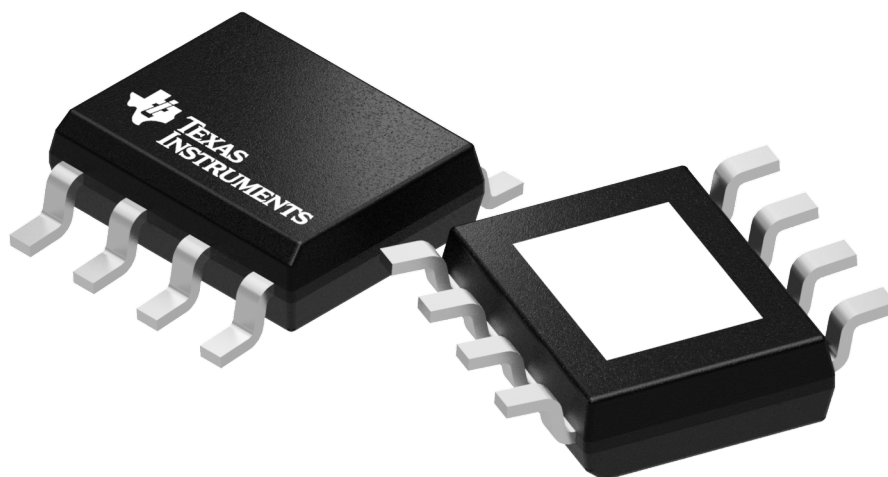


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



PowerPAD is a trademark of Texas Instruments.

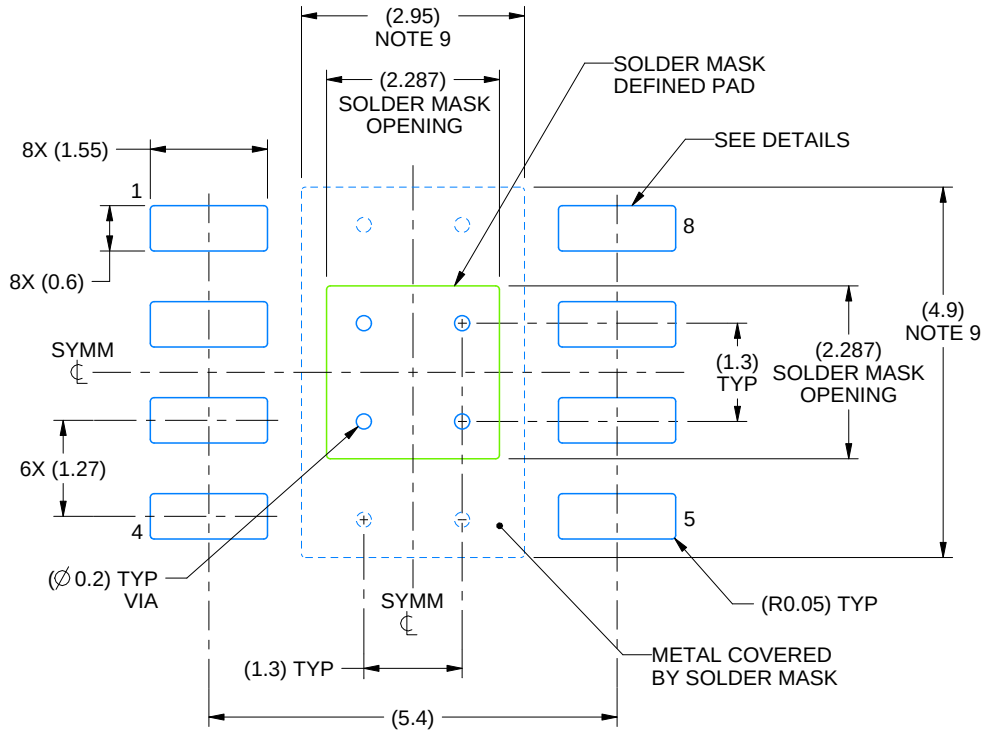
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012, variation BA.

EXAMPLE BOARD LAYOUT

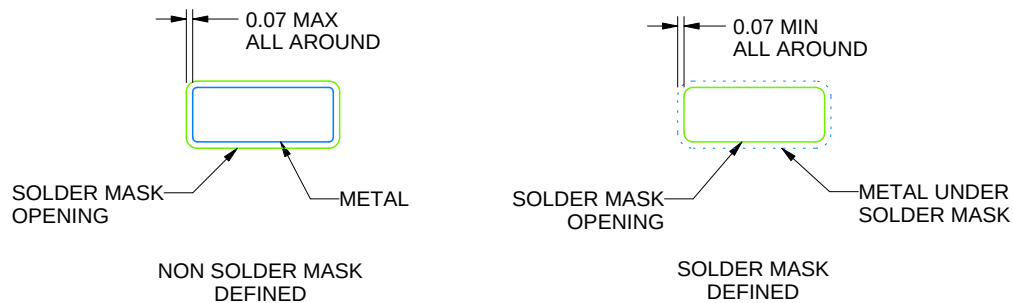
DDA0008D

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS

4218820/A 12/2022

NOTES: (continued)

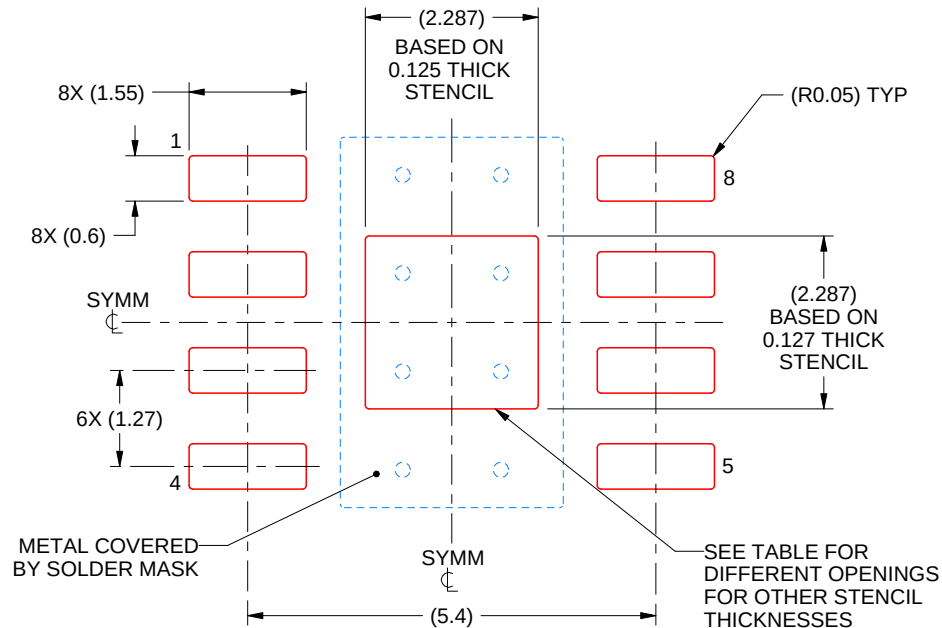
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DDA0008D

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.557 X 2.557
0.125	2.287 X 2.287 (SHOWN)
0.150	2.088 X 2.088
0.175	1.933 X 1.933

4218820/A 12/2022

NOTES: (continued)

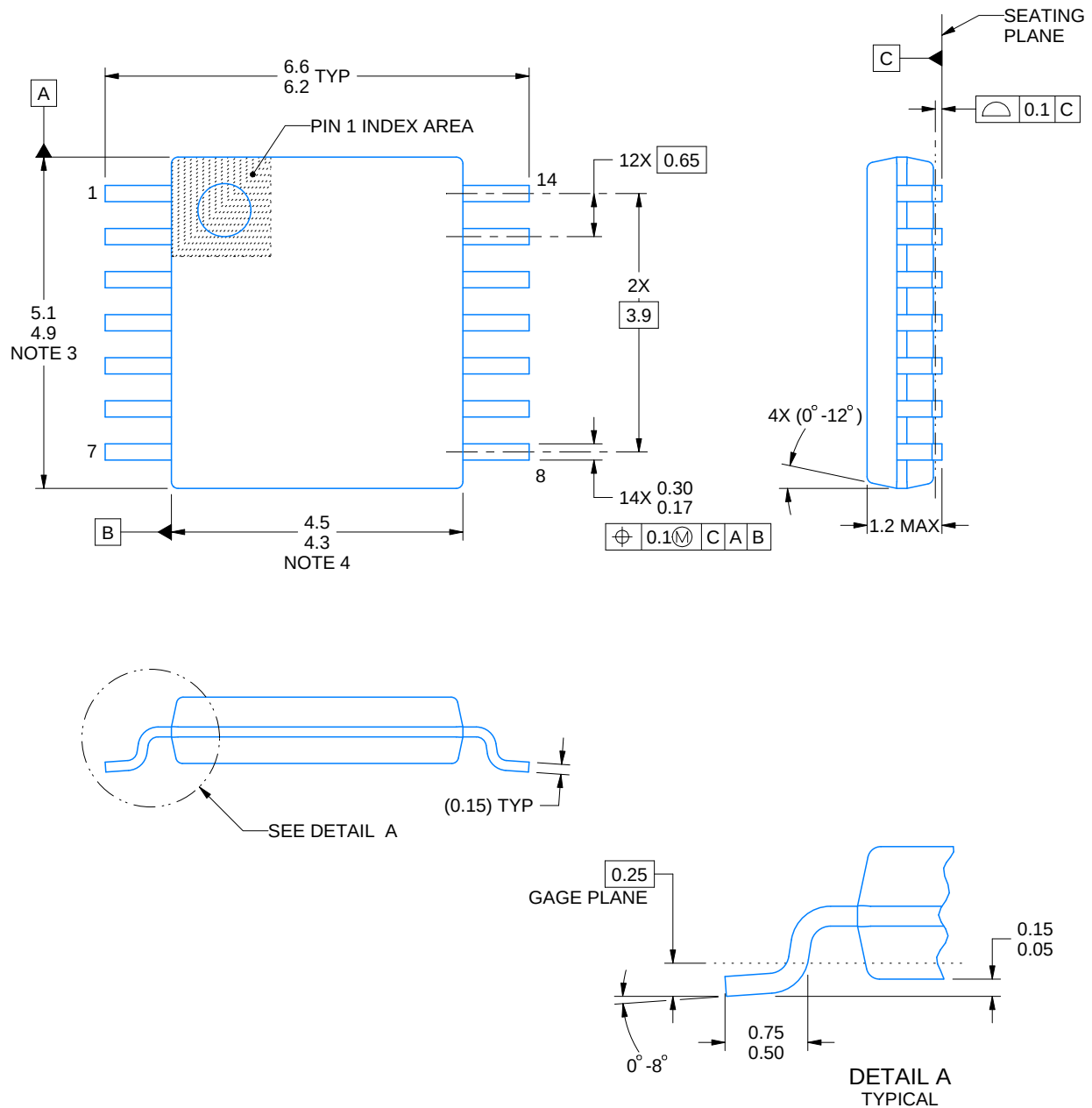
10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

PW0014A

PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

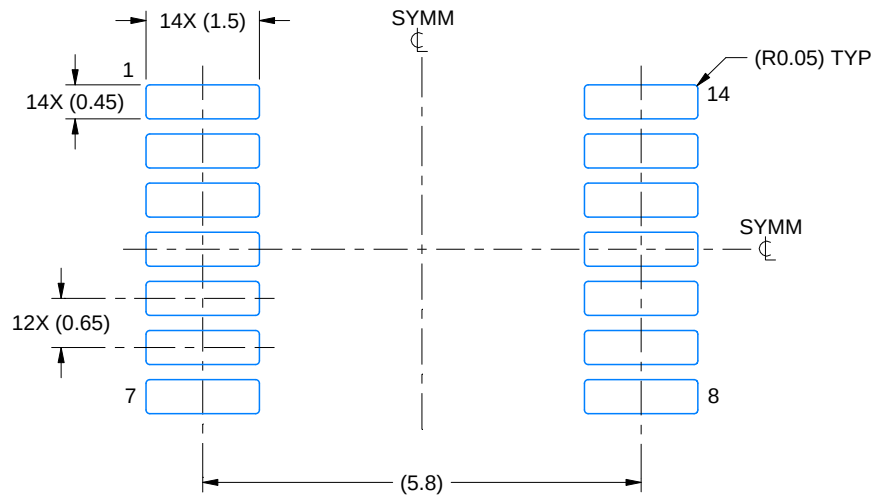
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

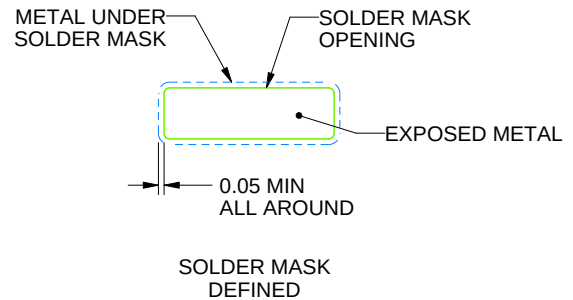
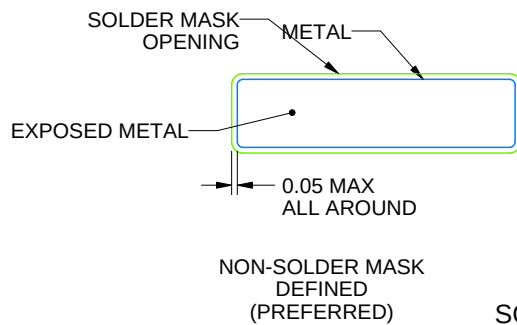
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

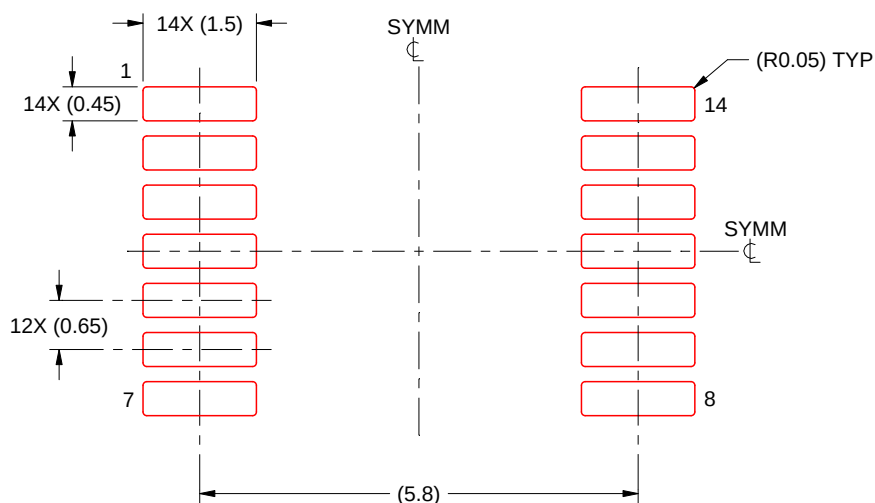
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月