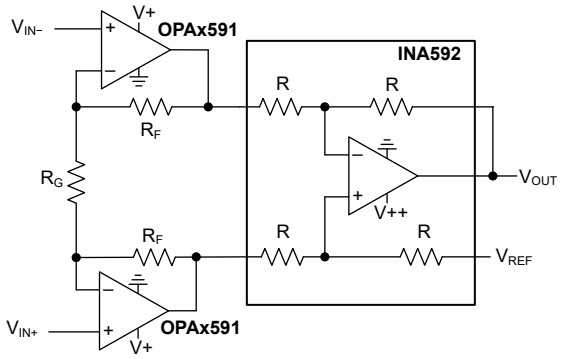
OPAx591 マルチプレクサ対応入力付き、85V、高精度 (1μV/°C)、低消費電力 (450μA)、高スルーレート (100V/μs) オペアンプ

1 特長

- 広い電源電圧範囲:8V ～ 85V
- 低いオフセット電圧:225μV、最大値
- 小さいオフセットドリフト:1μV/°C、最大値
- 高 CMRR:125dB、最小値
- 高 PSRR:120dB、最小値
- 低い入力バイアス電流:15pA、最大値
- 低ノイズ:1kHz で 12.9nV/√Hz
- 広い帯域幅:40dB での 3.75MHz
- 高スルーレート:100V/μs
- 低い静止電流:450μA
- レール ツー レール出力
- ユニティ ゲイン安定
- MUX 対応入力
- サーマル シャットダウン保護機能
- 小型パッケージ オプション:
  - シングル:SOT-23
  - デュアル:VSSOP、SOIC

2 アプリケーション

- 半導体試験装置
- CT および PET スキャナ
- プログラマブル DC 電源
- ソース メジャー ユニット (SMU)
- 分析ラボ計測機器
- 電力アナライザ
- 光学モジュール



OPA591 バッファ、INA592 付き

3 説明

OPAx591 は高精度 85V CMOS パワー アンプ ファミリで、業界標準の小型パッケージで提供されています。

これらのデバイスはレーザ トリムされており、最大 225μV のオフセットや最大 1μV/°C のオフセットのドリフトなど、優れた DC 性能を実現します。電源と同相信号除去が高いため、これらのオペアンプはさまざまな動作条件にわたって高い DC 性能を維持できます。動作電圧範囲全体にわたって入力バイアス電流が非常に小さいため、精度の低下は最小限です。

また、OPAx591 は静止電流が小さいにもかかわらず、AC 性能が優れています。独自の設計手法により、100V/μs のスルーレートと、マルチプレクサ対応の入力を実現し、大信号の高速セトリングに対応できます。広帯域ノイズが低いため、広い周波数スペクトルにわたって信号忠実度を維持できます。

高精度、低ノイズ、低消費電力、小型パッケージを兼ね備えた OPAx591 は、消費電力や熱管理が重要となる高電圧でスペースに制約のあるシステムに最適です。このようなシステムには、高電圧と高精度を必要とする自動試験装置、電流検出または電圧検出を必要とする電源、ハプティクス フィードバック システム用のピエゾ アクチュエータ駆動が含まれます。

このアンプ ファミリは、–40°C ～ +125°C の拡張工業用温度範囲で動作します。

製品情報

部品番号	チャネル数	パッケージ (1)
OPA591	シングル	DBV (SOT-23、5)
OPA2591	デュアル	D (SOIC、8)(2)
		DGK (VSSOP、8)(2)

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) このパッケージはプレビューのみです。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 OPA591 の熱に関する情報.....5
5.5 熱に関する情報 (OPA2591).....5
5.6 電気的特性.....6
5.7 代表的特性.....8
6 詳細説明.....16
6.1 概要.....16
6.2 機能ブロック図.....16
6.3 機能説明.....17
6.4 デバイスの機能モード.....20
7 アプリケーションと実装.....21
7.1 使用上の注意.....21
7.2 代表的なアプリケーション.....21
7.3 電源に関する推奨事項.....25
7.4 レイアウト.....25
8 デバイスおよびドキュメントのサポート.....29
8.1 ドキュメントの更新通知を受け取る方法.....29
8.2 サポート・リソース.....29
8.3 商標.....29
8.4 静電気放電に関する注意事項.....29
8.5 用語集.....29
9 改訂履歴.....29
10 メカニカル、パッケージ、および注文情報.....29

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

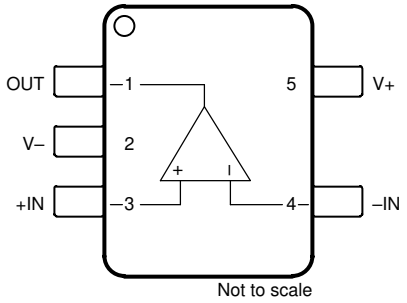


図 4-1. OPA591 DBV パッケージ、5 ピン SOT-23 (上面図)

表 4-1. ピンの機能：OPA591

ピン		タイプ	説明
名称	番号		
+IN	3	入力	非反転入力
–IN	4	入力	反転入力
OUT	1	出力	出力
V+	5	電源	正 (最高) 電源
V-	2	電源	負 (最低) 電源

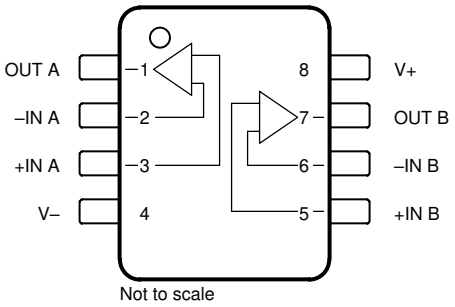


図 4-2. OPA2591 D パッケージ、8 ピン SOIC および DGK パッケージ、8 ピン VSSOP (上面図)

表 4-2. ピンの機能：OPA2591

ピン		タイプ	説明
名称	番号		
+IN A	3	入力	非反転入力、チャネル A
+IN B	5	入力	非反転入力、チャネル B
-IN A	2	入力	反転入力、チャネル A
-IN B	6	入力	反転入力、チャネル B
OUT A	1	出力	出力、チャネル A
OUT B	7	出力	出力、チャネル B
V+	8	電源	正 (最高) 電源
V-	4	電源	負 (最低) 電源

5 仕様

5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り) [1]

			最小値	最大値	単位
V_S	電源電圧、V_S = (V+) - (V-)			93	V
	信号入力ピン電圧[2]	同相	(V–) – 0.3	(V+) + 0.3	V
		差動		(V+) – (V–)	
	入力電流、すべての入力ピン[2]			±10	mA
I_{SC}	出力短絡 [3]			連続	
T_J	接合部温度			150	°C
T_{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 入力端子は、電源レールに対してダイオード クランプされています。電源レールを超えて 0.3V 以上スイングする入力信号は、電流を 10mA 以下に抑える必要があります。
(3) グランドに短絡します。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[1]	±2500	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 [2]	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由空気での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_S	電源電圧	デュアル電源	±4		±42.5	V
		単一電源	8		85	
T_A	周辺温度		-40		125	°C

Copyright © 2026 Texas Instruments Incorporated

5.4 OPA591 の熱に関する情報

熱評価基準[1]		OPA591 DBV (SOT-23) 5 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	165.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	99.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	64.5	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	42.6	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	64.2	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 熱に関する情報 (OPA2591)

熱評価基準[1]		OPA2591 D (SOIC) 8 ピン	OPA2591 DGK (VSSOP) 8 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	111.3	143.6	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	49.2	50.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	59.0	78.7	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	5.8	3.0	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	58.1	77.5	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.6 電気的特性

V_S = 85V (±42.5V)、T_A = 25°C、R_L = 10kΩ を中間電源に、V_{CM} = V_{OUT} = 中間電源 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V_{OS}	入力オフセット電圧				±50	±225	μV
dV_{OS}/dT	入力オフセット電圧ドリフト	T_A = –40°C ～ +125°C[1]			±0.2	±1	μV/°C
PSRR	電源除去比	8V ≤ V_S ≦ 85V			±0.2	±1	μV/V
入力バイアス電流							
I_B	入力バイアス電流[1]				±5	±15	pA
		T_A = –40°C ～ +85°C				±50	
		T_A = –40°C ～ +125°C				±1	nA
I_{OS}	入力オフセット電流[1]				±5	±15	pA
		T_A = –40°C ～ +85°C				±55	
		T_A = –40°C ～ +125°C				±1	nA
ノイズ							
	入力電圧ノイズ	f = 0.1Hz～10Hz			1.4		$μV_{PP}$
e_n	入力電圧ノイズ密度	f = 100Hz			17.8		nV/√Hz
		f = 1kHz			12.9		
		f = 10kHz			12.8		
i_n	電流ノイズ密度	f = 1kHz			10		fA/√Hz
入力電圧							
V_{CM}	同相電圧	線形動作		(V–) – 0.1		(V+) – 3.5	V
CMRR	同相除去	(V–) ≤ V_{CM} ≤ (V+) – 3.5V		125	140		dB
			T_A = –40°C ～ +125°C[1]	120	140		
入力インピーダンス							
	差動				100 || 2.5		MΩ || pF
	同相				10 || 5.5		GΩ || pF
開ループ ゲイン							
A_{OL}	開ループ電圧ゲイン	(V–) + 1V < V_O < (V+) – 1.5V、R_L = 10kΩ 中間電源に[1]		134	140		dB
			T_A = –40°C ～ +125°C	120	140		
		(V–) + 3V < V_O < (V+) – 3.5V, R_L = 2kΩ を中間電源に		116	126		
			T_A = –40°C ～ +125°C[1]	112	126		
周波数応答							
GBW	ゲイン帯域幅積	G = 1			2.25		MHz
		G = 10			2.8		
		G = 100			3.25		
SR	スルーレート	G = ±1、V_O = 70V 刻み			100		V/μs
t_S	セトリング タイム	±0.01%まで、G = 1、V_O = 70V 刻み、C_L = 20pF			4.25		μs
	過負荷復帰	G = -10			1.1		μs
THD+N	全高調波歪み + ノイズ	G = +1、V_O = $70V_{PP}$、f = 1kHz	R_L = 10kΩ		-102		dB
			R_L = 2kΩ		-95		

Copyright © 2026 Texas Instruments Incorporated

5.6 電気的特性 (続き)

V_S = 85V (±42.5V)、T_A = 25°C、R_L = 10kΩ を中間電源に、V_{CM} = V_{OUT} = 中間電源 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
出力							
V_O	電圧出力スイング (レールから) (1)	無負荷				25	mV
		R_L = 10kΩ を中間電圧に				500	
		R_L = 2kΩ を中間電圧に				2.25	V
I_{SC}	出力電流				±30		mA
C_{LOAD}	容量性負荷駆動能力				1		nF
Z_O	オープン ループ出力インピーダンス	f = 1MHz			550		Ω
電源							
I_Q	静止時電流	I_O = 0mA			450	550	μA
			T_A = –40°C ～ +125°C (1)			550	
温度							
	過熱シャットダウン	シャットダウン温度、T_J			170		°C
		熱ヒステリシス			20		

(1) 複数のロットにわたるデバイスの母集団ベンチ システムの測定から確立された仕様。

5.7 代表的特性

T_A = 25℃、V_S = 85V、V_{CM} = V_{OUT}=中間電源、R_L = 10kΩ (特に記述のない限り)

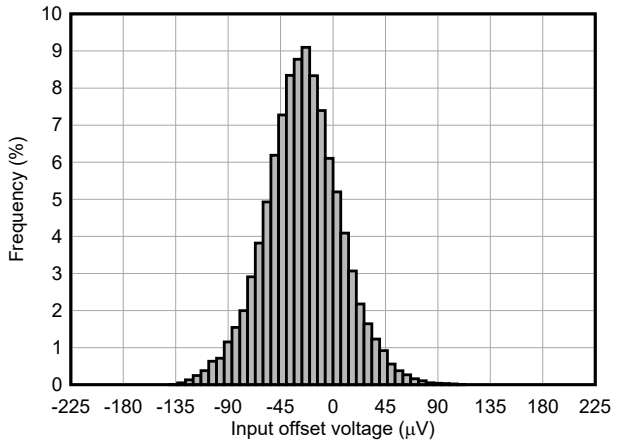


図 5-1. 25℃でのオフセット電圧の製品分布

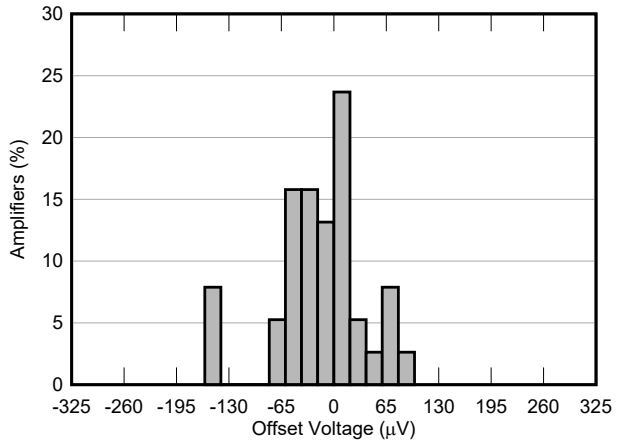


図 5-2. 125℃でのオフセット電圧の製品分布

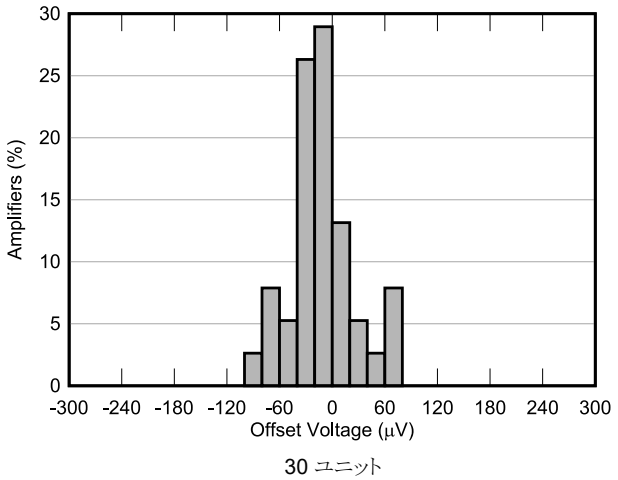


図 5-3. -40℃でのオフセット電圧の製品分布

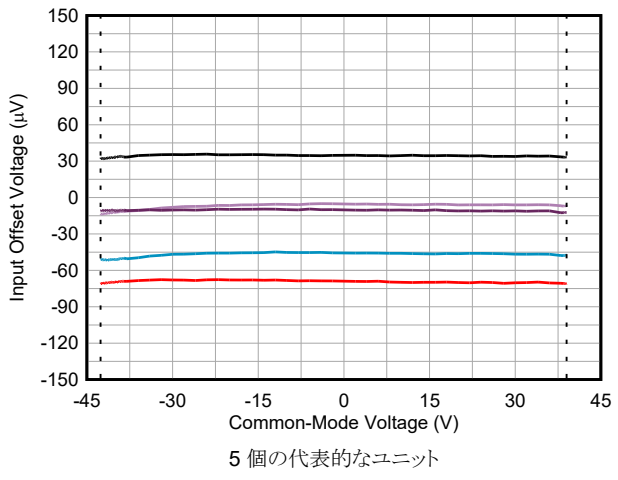
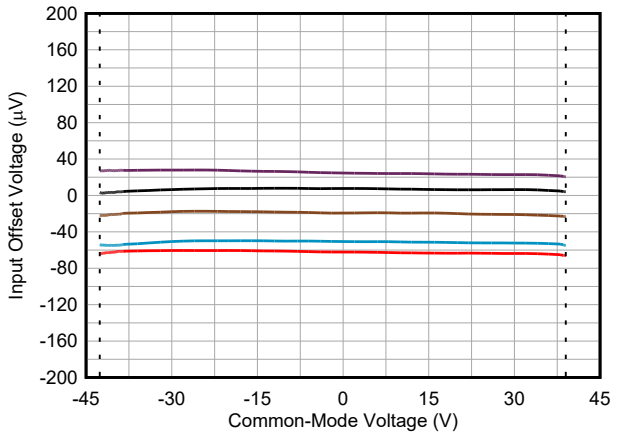


図 5-4. 入力オフセット電圧と同相電圧との関係

Copyright © 2026 Texas Instruments Incorporated

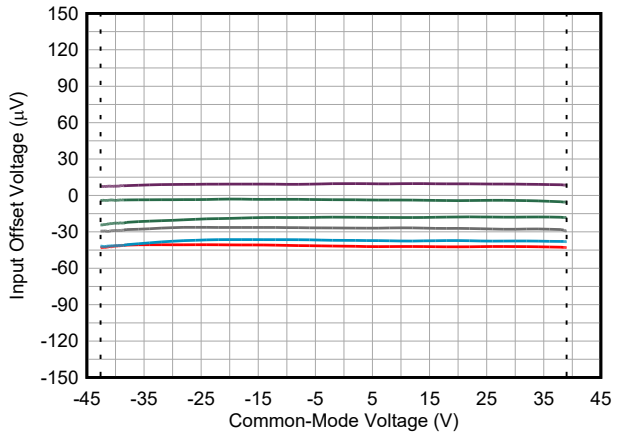
5.7 代表的特性 (続き)

T_A = 25℃、V_S = 85V、V_{CM} = V_{OUT}=中間電源、R_L = 10kΩ (特に記述のない限り)



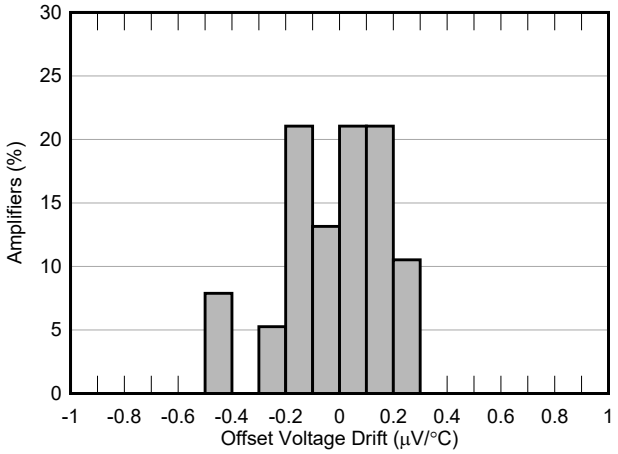
T_A = 125°C、5 個の代表的なユニット

図 5-5. 入力オフセット電圧と同相電圧との関係



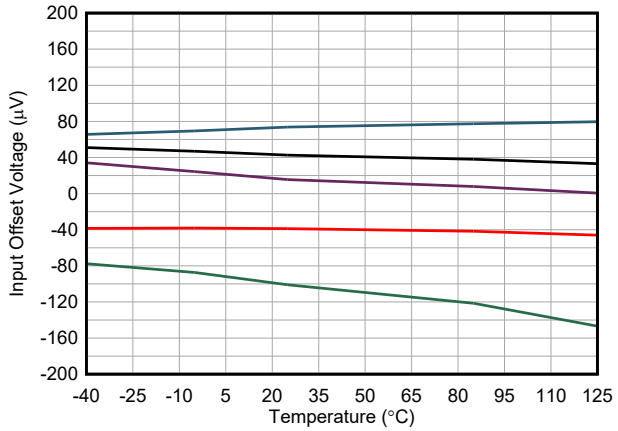
T_A = -40°C、5 個の代表的なユニット

図 5-6. 入力オフセット電圧と同相電圧との関係



30 ユニット

図 5-7. オフセット電圧ドリフトの分布

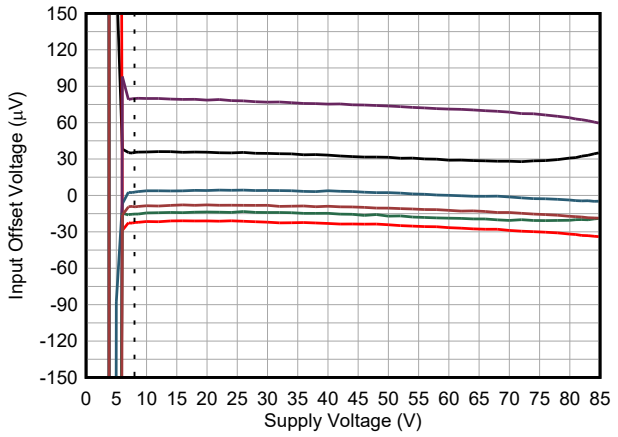


5 個の代表的なユニット

図 5-8. 入力オフセット電圧と温度との関係

5.7 代表的特性 (続き)

T_A = 25℃、V_S = 85V、V_{CM} = V_{OUT}=中間電源、R_L = 10kΩ (特に記述のない限り)



5 個の代表的なユニット

図 5-9. オフセット電圧と電源電圧との関係

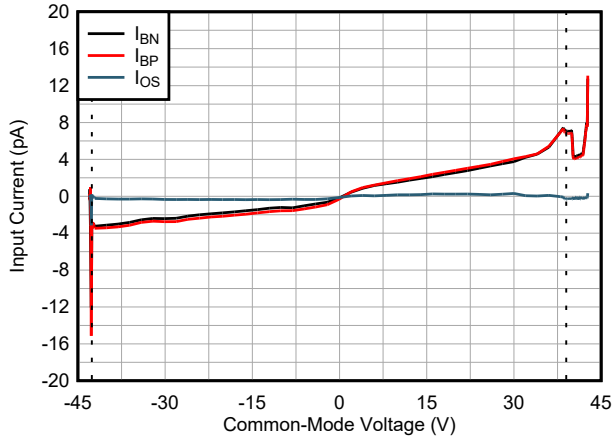


図 5-10. 入力バイアスと同相電圧との関係

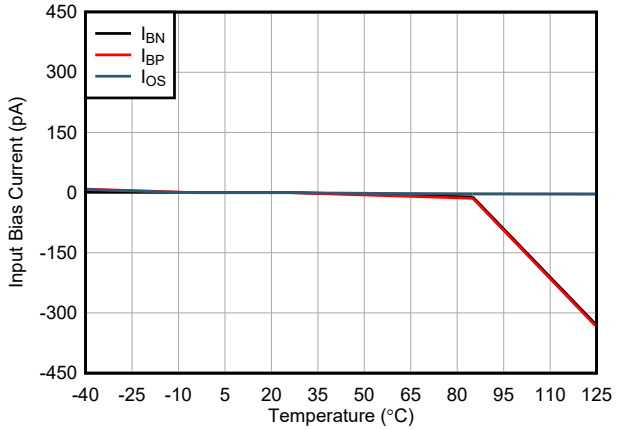


図 5-11. 入力バイアスおよび入力オフセット電流と温度との関係

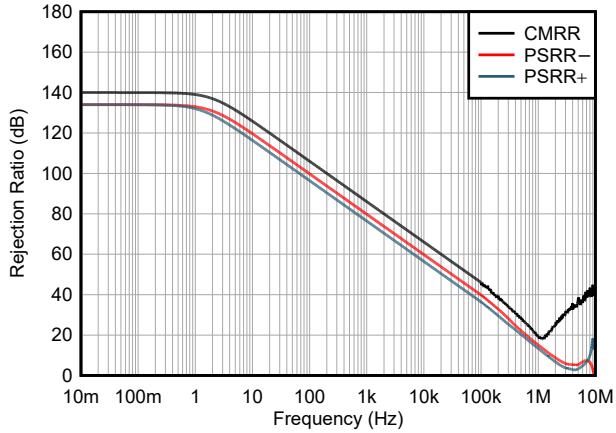


図 5-12. 電源および同相除去比と周波数との関係

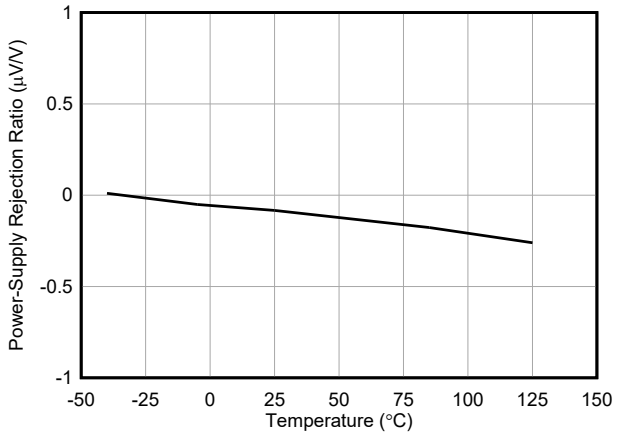


図 5-13. 電源除去比と温度との関係

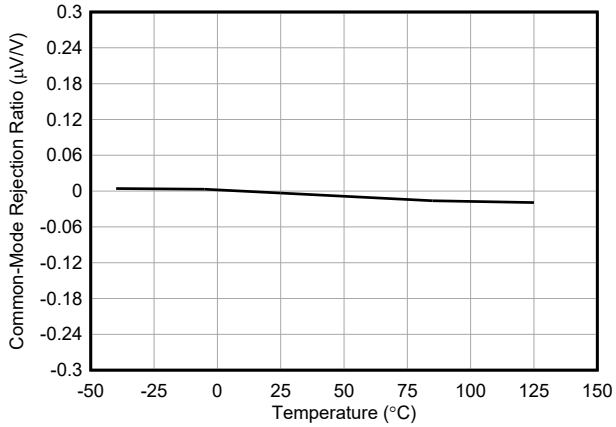


図 5-14. 同相除去比と温度との関係

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性 (続き)

T_A = 25℃、V_S = 85V、V_{CM} = V_{OUT}=中間電源、R_L = 10kΩ (特に記述のない限り)

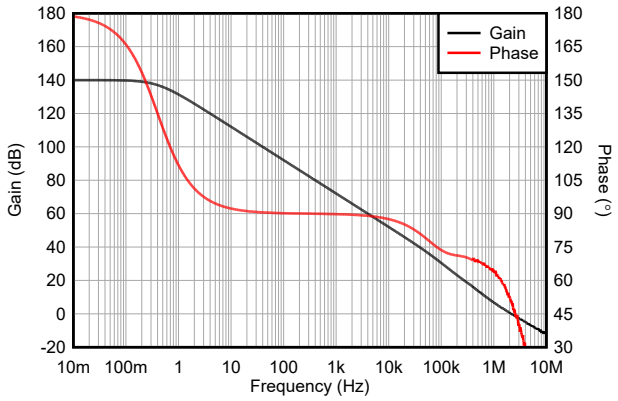


図 5-15. 開ループ ゲインおよび位相と周波数との関係

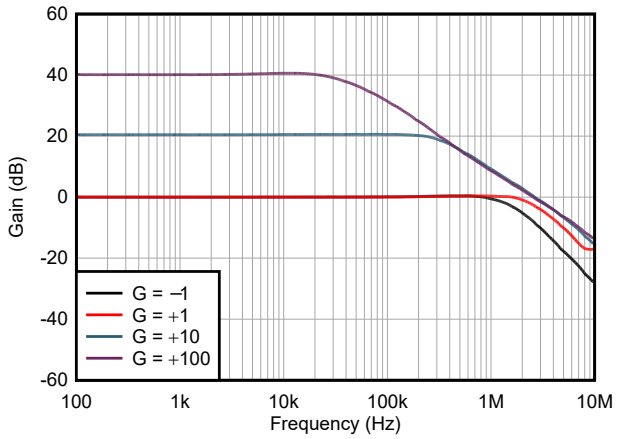


図 5-16. 閉ループ ゲインと周波数との関係

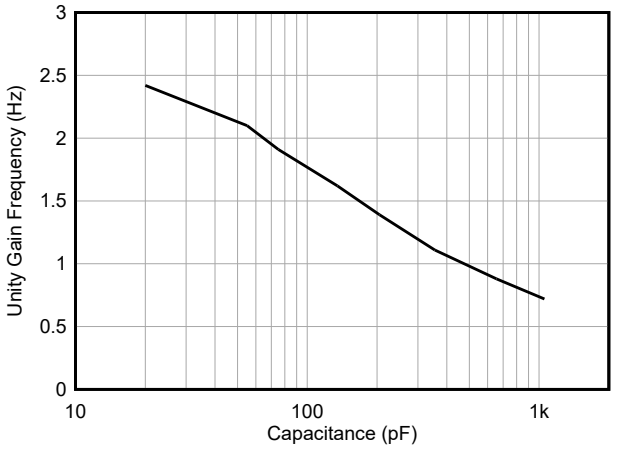


図 5-17. ユニティ ゲイン帯域幅と容量性負荷との関係

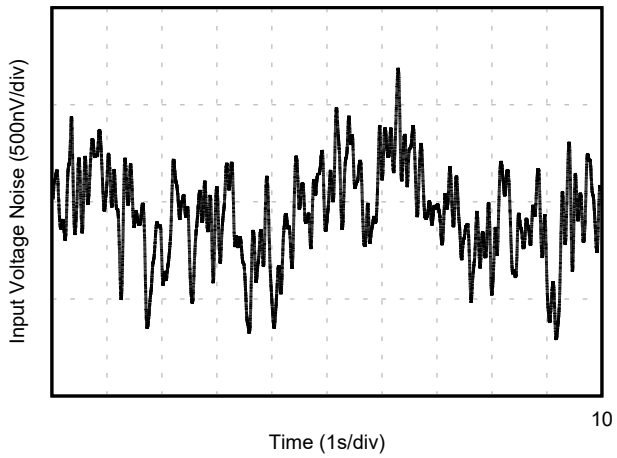


図 5-18. 電圧ノイズ密度と周波数との関係

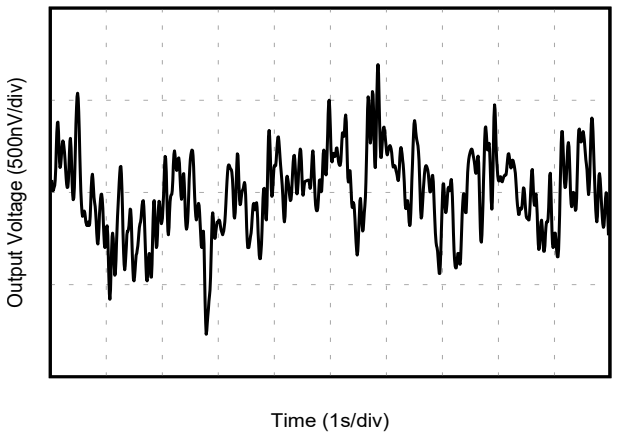


図 5-19. 0.1Hz～10Hz のノイズ

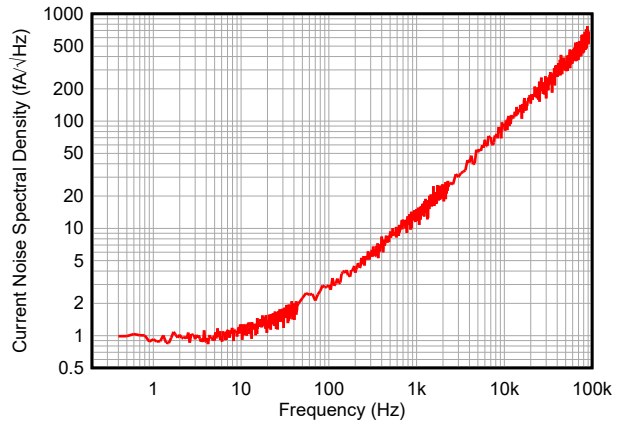
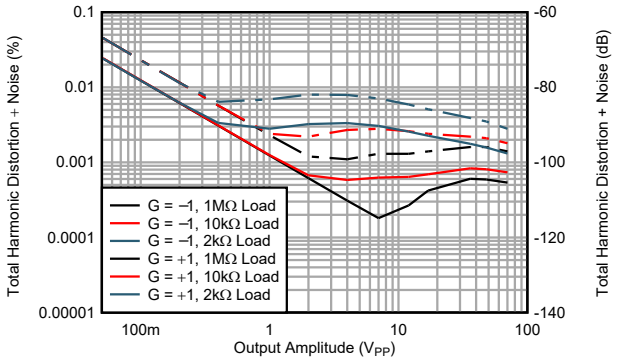


図 5-20. 電流ノイズ密度と周波数との関係

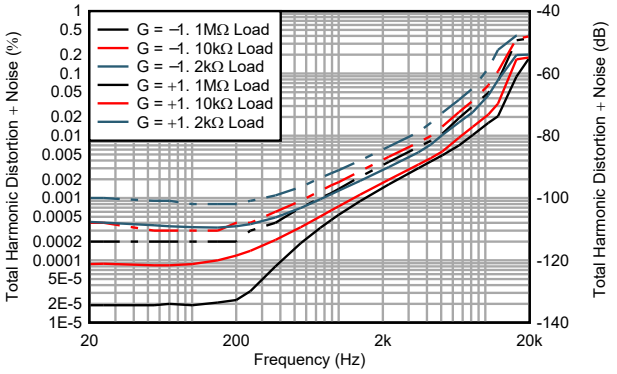
5.7 代表的特性 (続き)

T_A = 25℃、V_S = 85V、V_{CM} = V_{OUT}=中間電源、R_L = 10kΩ (特に記述のない限り)



f = 1kHz

図 5-21. 全高調波歪 + ノイズ比と出力振幅との関係



24.75V_{RMS} (70V_{PP})

図 5-22. 全高調波歪 + ノイズ比と周波数との関係

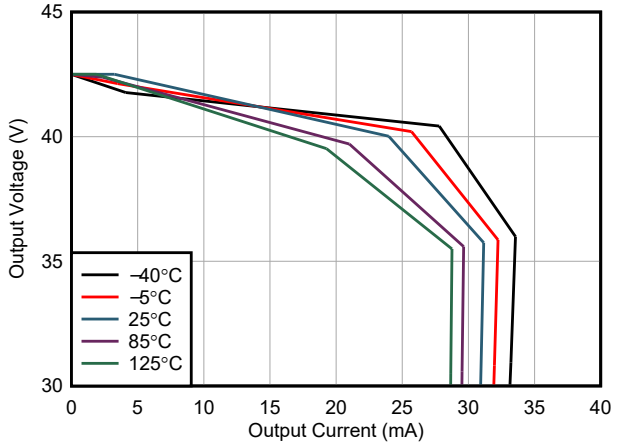


図 5-23. 出力電圧スイングと出力ソース電流との関係

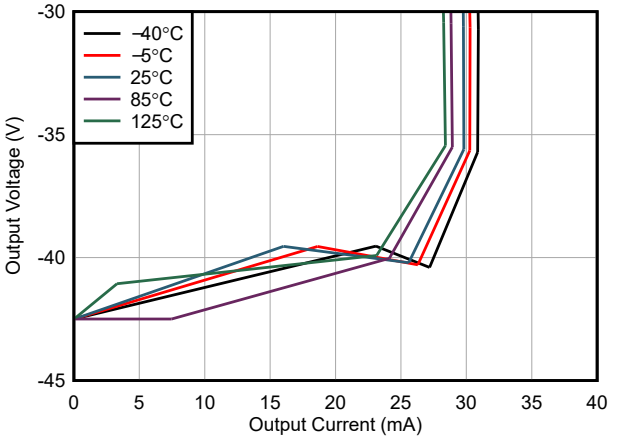
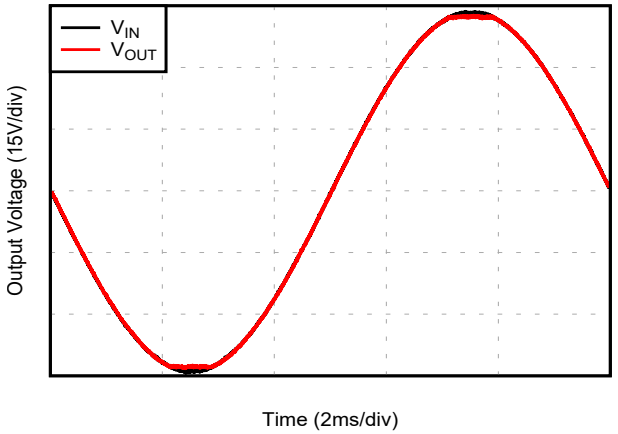
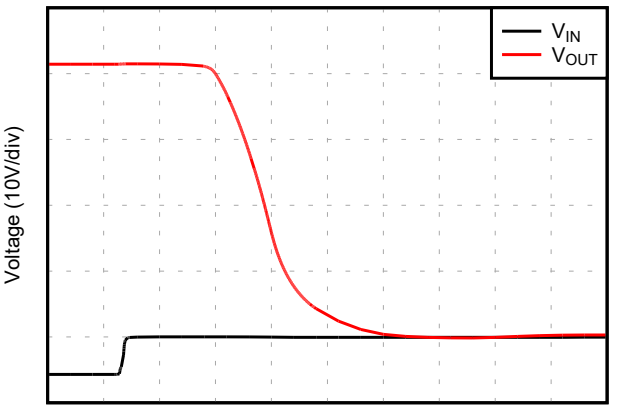


図 5-24. 出力電圧スイングと出力シンク電流との関係



Time (2ms/div)

図 5-25. 位相反転が発生しない



Time (1μs/div)

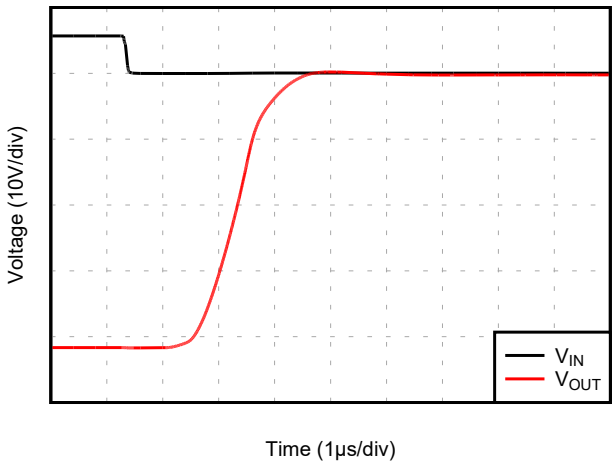
ゲイン = -10

図 5-26. 正の過負荷からの回復

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性 (続き)

T_A = 25℃、V_S = 85V、V_{CM} = V_{OUT}=中間電源、R_L = 10kΩ (特に記述のない限り)



ゲイン = -10

図 5-27. 負の過負荷からの回復

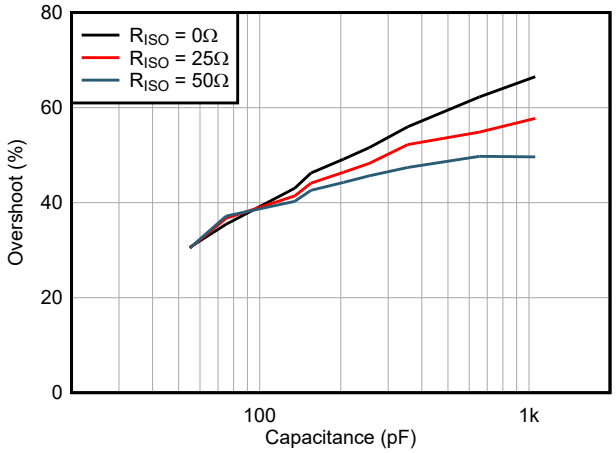
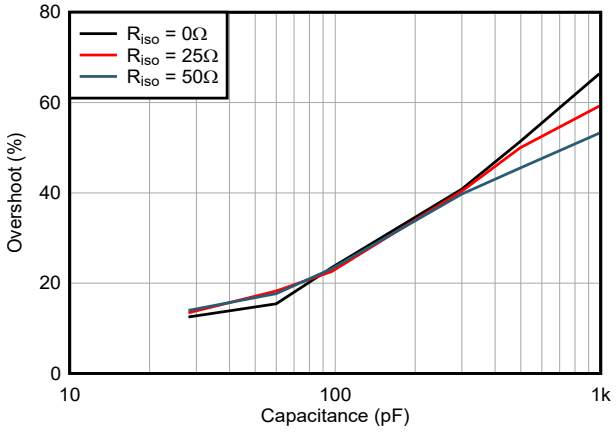
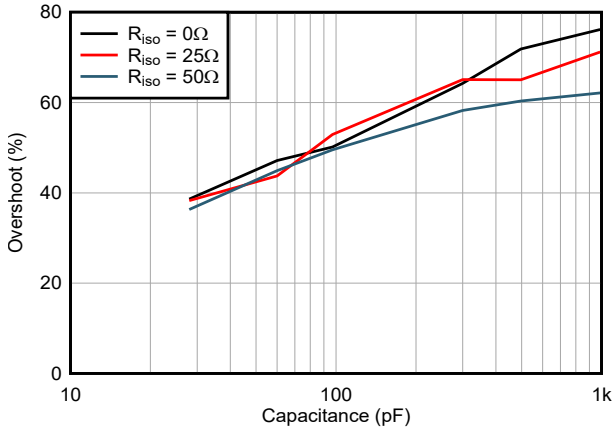


図 5-28. 開ループ出力インピーダンスと周波数との関係



ゲイン = -1

図 5-29. 小信号オーバーシュートと容量性負荷との関係

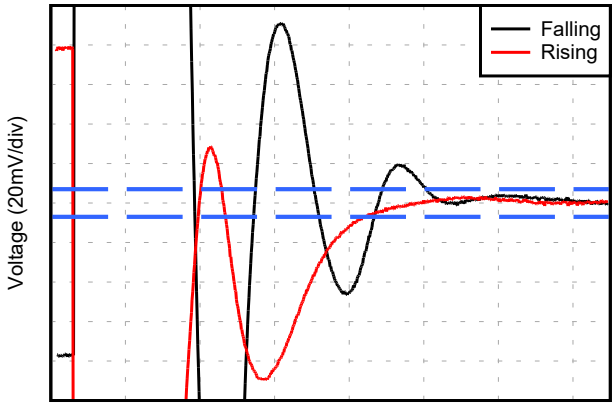


ゲイン = +1

図 5-30. 小信号オーバーシュートと容量性負荷との関係

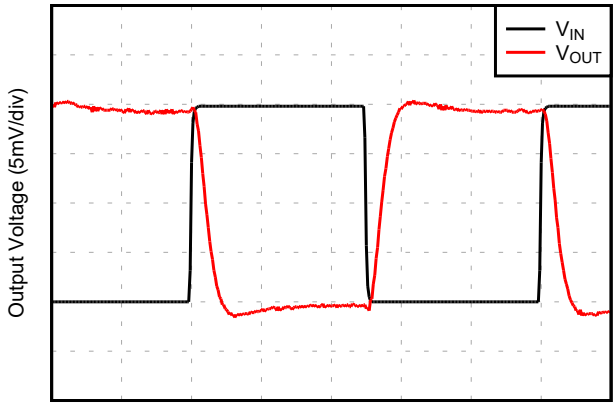
5.7 代表的特性 (続き)

T_A = 25℃、V_S = 85V、V_{CM} = V_{OUT}=中間電源、R_L = 10kΩ (特に記述のない限り)



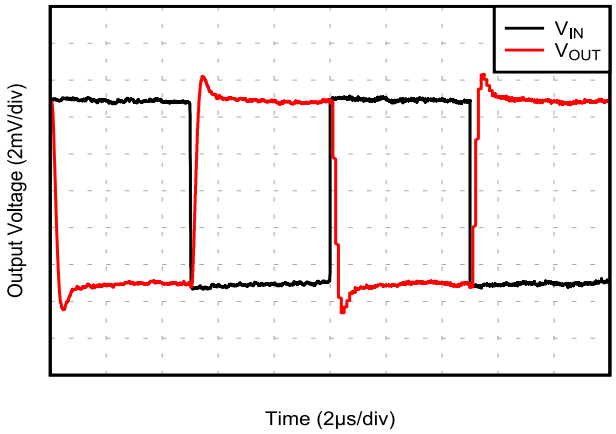
0.01% まで

図 5-31. セトリング タイム



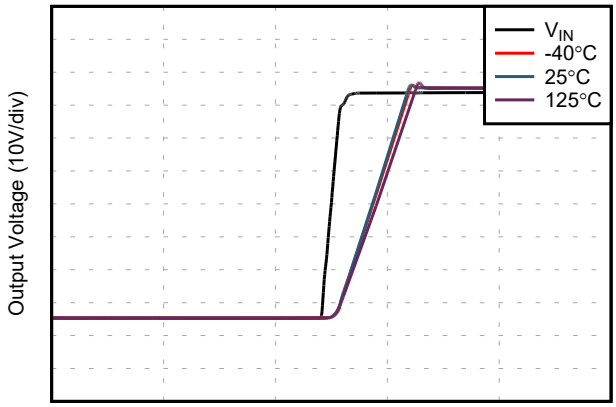
ゲイン = +1

図 5-32. 小信号ステップ応答



ゲイン = -1

図 5-33. 小信号ステップ応答



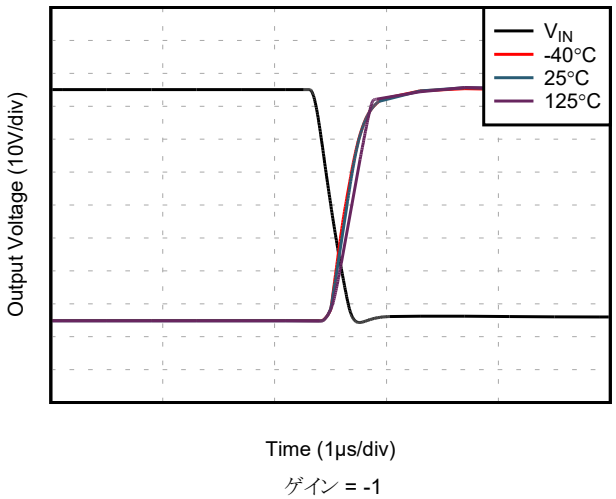
ゲイン = +1

図 5-34. 大信号ステップ応答 (立ち上がり)

Copyright © 2026 Texas Instruments Incorporated

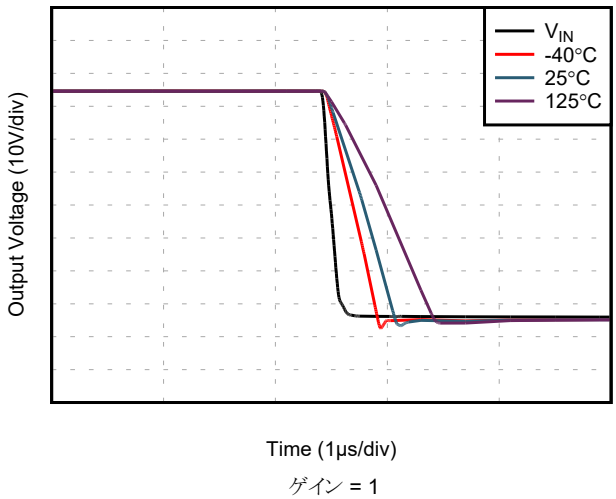
5.7 代表的特性 (続き)

T_A = 25℃、V_S = 85V、V_{CM} = V_{OUT}=中間電源、R_L = 10kΩ (特に記述のない限り)



ゲイン = -1

図 5-35. 大信号ステップ応答 (立ち上がり)



ゲイン = 1

図 5-36. 大信号ステップ応答 (立ち下がり)

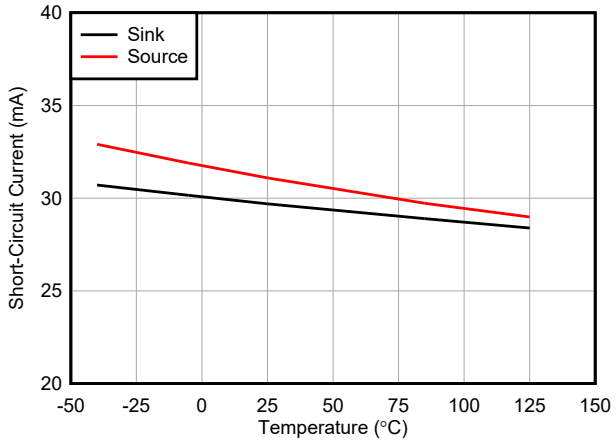


図 5-37. 短絡電流と温度との関係

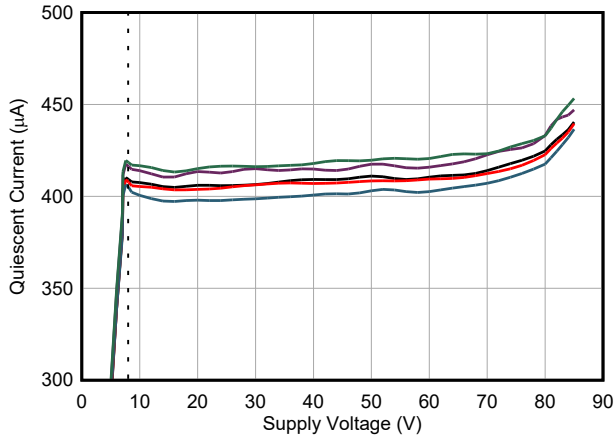


図 5-38. 静止電流と電源電圧との関係

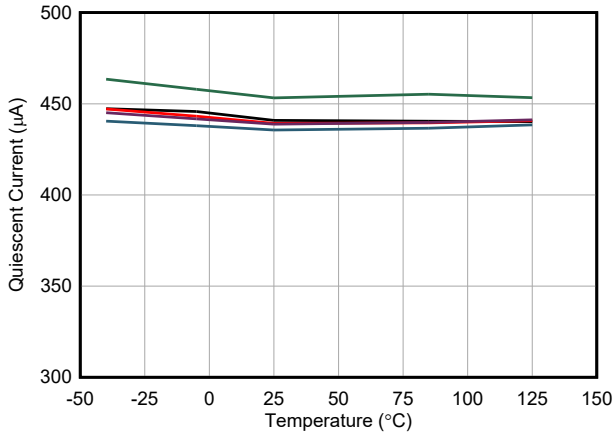


図 5-39. 静止電流と温度との関係

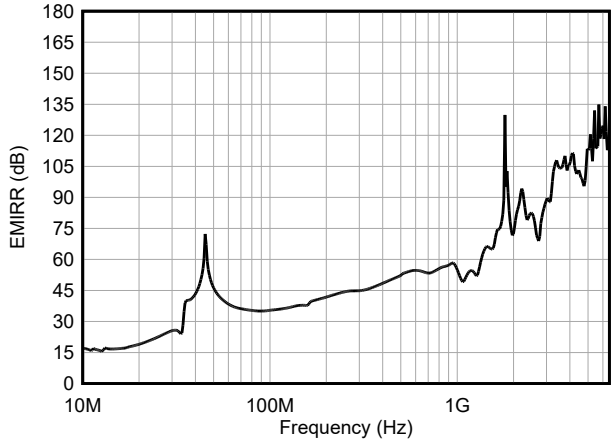


図 5-40. 電磁干渉除去

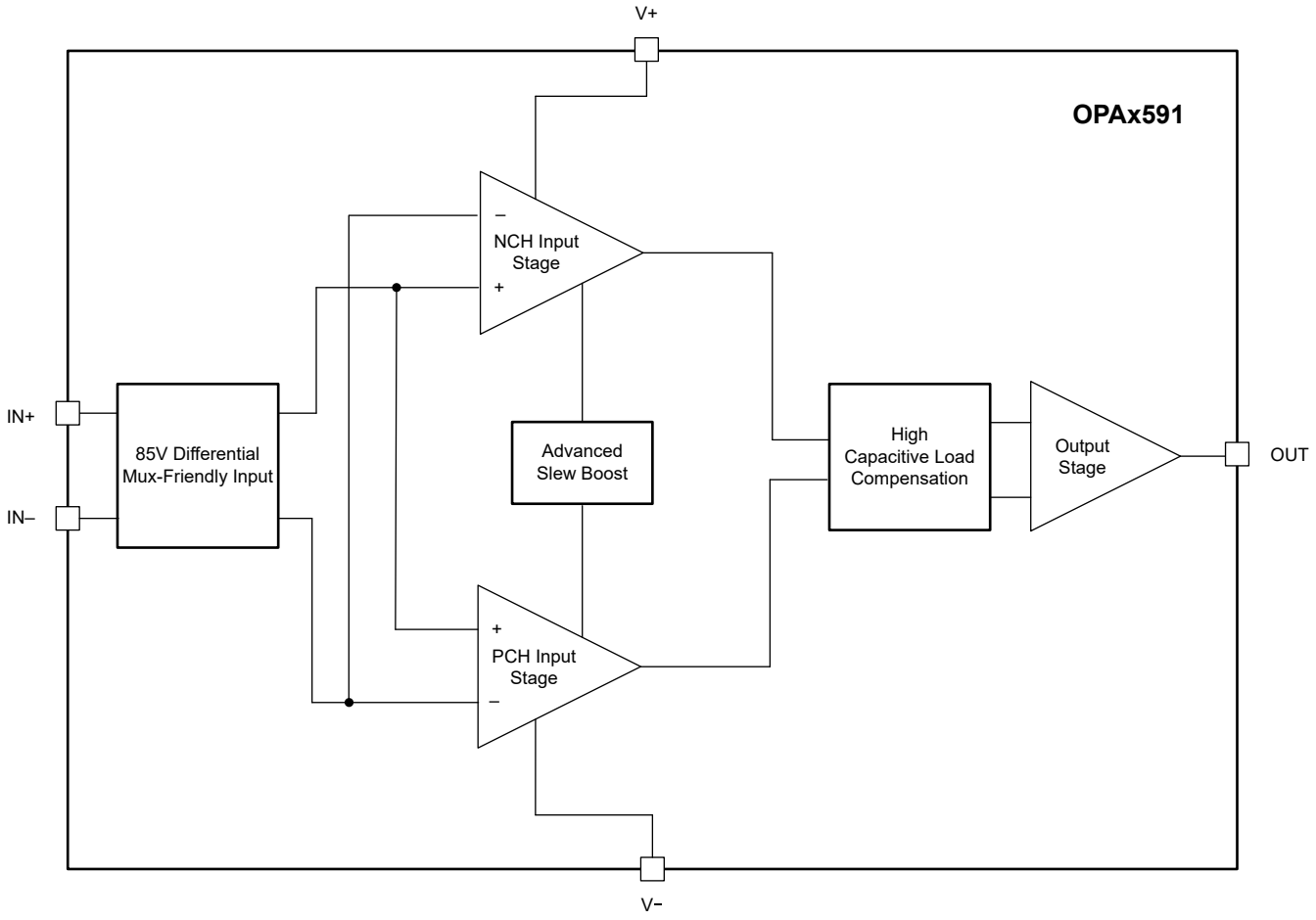
6 詳細説明

6.1 概要

OPAx591 は、低消費電力 (450μA)、高スルーレート (100V/μs)、85V オペアンプです。これらのオペアンプは、独自の設計技術を使用して、最小の消費電力で非常に高いスルー能力を実現します。OPAx591 は ±30mA の出力電流を駆動でき、どちらの電源レールからも 100mV 以内までスイングできます。

これらのアンプは、最新の CMOS 技術と高度な設計機能を搭載しており、非常に優れた AC 性能の実現に貢献するほか、小型パッケージオプションを実現できます。OPAx591 の長所には、3.75MHz の帯域幅、12.8nV/√Hz のノイズ スペクトル密度、低い入力バイアス電流も含まれます。これらの特長を備えた OPAx591 は、D/A コンバータ (DAC) や高精度ハイサイド電流センス アプリケーションの出力を取得またはバッファリングするための優れた選択肢となります。

6.2 機能ブロック図



Copyright © 2026 Texas Instruments Incorporated

6.3 機能説明

6.3.1 オフセット補正

多くのアプリケーションで、オペアンプの入力オフセット電圧は誤差の主な原因です。入力オフセットは、入力トランジスタの小さなミスマッチによって発生し、動作温度範囲全体にわたって大きく変化する可能性があります。このミスマッチは、オフセット電圧を測定し、オフセットがゼロに近くなるまで入力トランジスタを流れる電流を同時に調整またはトリミングすることにより、ウェハー レベルで補正できます。

OPAx591 の各ユニットは、入力オフセット電圧と、オフセット電圧ドリフトと呼ばれる温度による入力オフセット電圧の変動を補正するために、製造時にレーザ トリムされます。オフセット電圧ドリフトは、入力オフセットと温度との関係曲線の傾きを表します。全温度特性に対して非線形および非単調な入力オフセットを示すデバイスでは、トリムされた電界効果トランジスタ (FET) 入力アンプに一般的なように、ドリフトを計算するには特に注意が必要です。式 1 で記述されるボックス方式が、ドリフトを計算する最も一般的な方法です。

$$dV_{OS}/dT = \frac{|V_{OS(Max)} - V_{OS(Min)}|}{T_{Max} - T_{Min}} \quad (1)$$

残念ながら、ボックス方式は片側分布を生成し、統計分析の使用には不適切です。OPAx591 は、ドリフト性能を適切に表すために異なる方法を使用します。OPAx591 は、入力オフセット電圧と温度との関係曲線で、温度軸に沿った各点における傾きを計算することで規定されます。生成された傾きは正規分布を得て、それを統計分析の実行に使用します。この方法は、OPAx192 などの他の高精度 FET 入力アンプと整合性があり、入力オフセット電圧ドリフトを十分に保守的に表現できます。

OPAx591 のドリフト性能がさまざまな温度範囲にわたってどのように変化するかを示すために、便利な曲線を生成できます。設計者は、アプリケーションに最も適用可能な温度の誤差解析に図 6-1 を使用できます。仕様温度範囲全体にわたって誤差解析を行う場合は、「電気的特性」に記載されている入力オフセット電圧ドリフトの標準値と最大値を使用します。

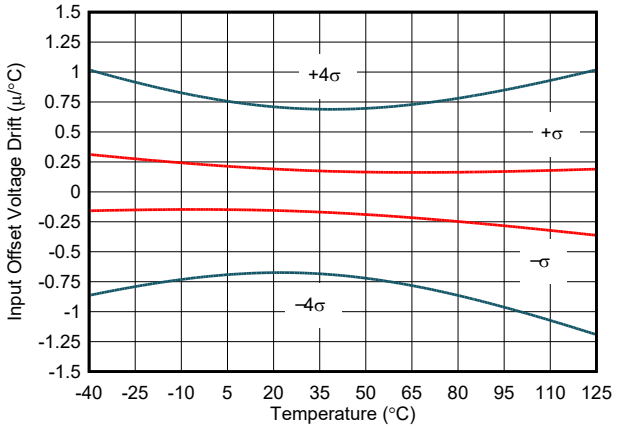


図 6-1. 入力オフセット電圧ドリフトと温度との関係

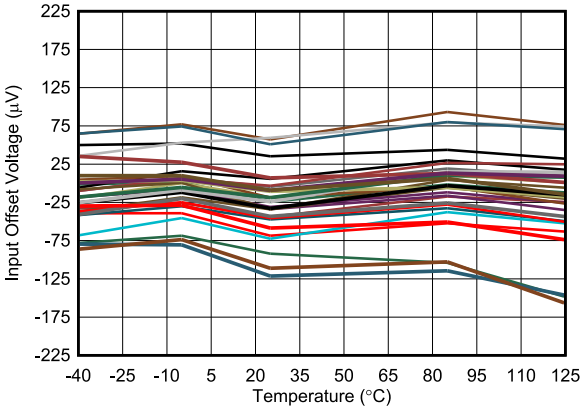


図 6-2. 入力オフセット電圧と温度との関係

OPAx591 は、入力オフセット電圧ドリフトを最大 1µV/°C に抑えるよう、慎重にトリミングされています。この値は、デバイスの母集団ベンチ システムを測定する際の堅牢な統計的手法により規定されます。ドリフトが低いため、このアンプは非常に高精度、高電圧のアプリケーションで使用できます。図 6-2 に、OPA591 の入力オフセット電圧と温度との関係を示します。

6.3.2 MUX 対応入力

OPAx591 は、入力保護ダイオードが不要な独自の入力アーキテクチャを採用していますが、過渡条件下でも確実に入力を保護します。図 6-3 の従来の入力ダイオード保護方式は、高速過渡ステップ応答によってアクティブ化され、代替電流パスのために信号歪みやセトリング時間遅延が発生する可能性があります。図 6-4 も参照してください。低ゲイン回路の場合、これらの高速ランプ入力信号は、入力電流を増やすバック ツー バック ダイオードを順バイアスし、セトリング時間が延びます。

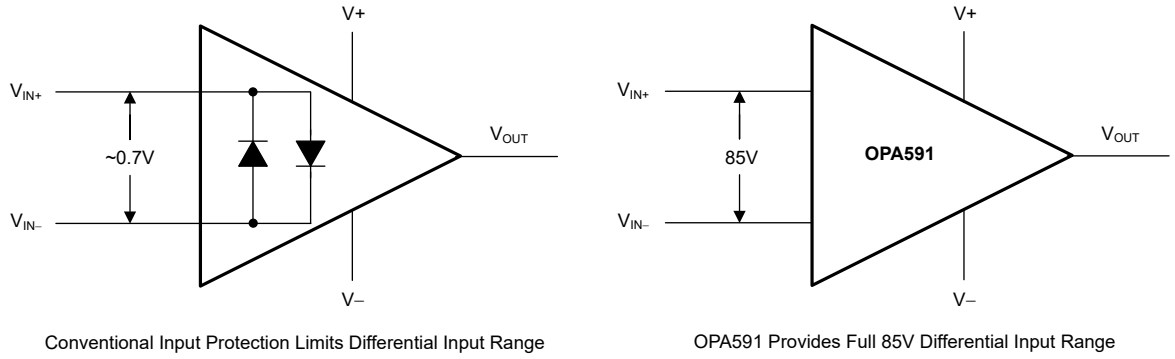


図 6-3. OPA591 の入力保護機能は、差動入力能力を制限しない

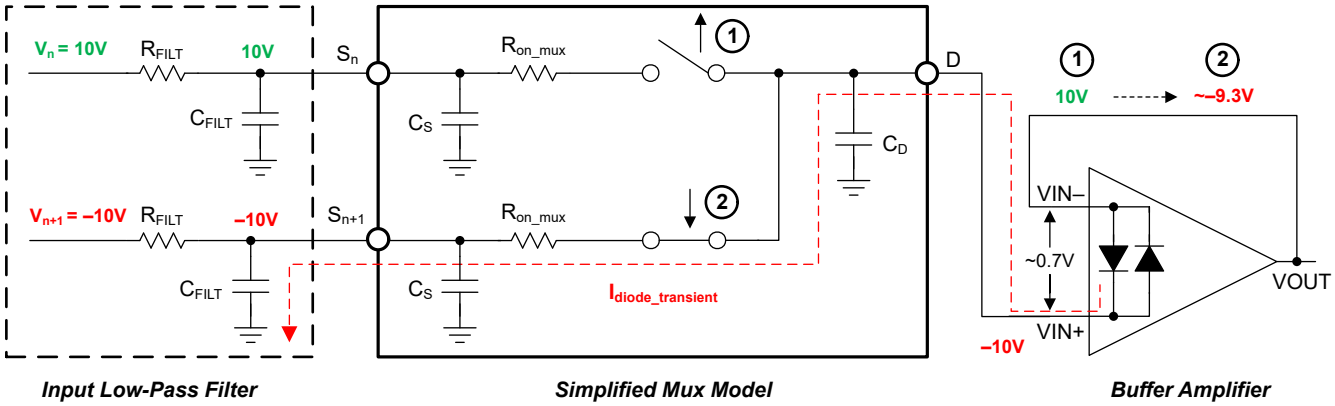


図 6-4. バック ツー バック ダイオードではセトリングの問題が発生する

OPAx591 は、高電圧アプリケーション向けに真の高インピーダンス差動入力を特徴としています。この特許取得済みの入力保護アーキテクチャは、信号歪みの増加やセトリング タイムの遅延を引き起こさないため、このデバイスはマルチチャネルの高スイッチ入力アプリケーションに最適な選択肢となります。OPAx591 は最大 85V の差動スイング (オペアンプの反転ピンと非反転ピンとの間の電圧) を許容できるため、コンパレータに、または高速ランプまたは切り替えられた入力信号を使用する優れた選択肢となります。

Copyright © 2026 Texas Instruments Incorporated

6.3.3 過熱保護

OPAx591 には過熱保護機能があり、自己発熱による損傷を低減できます。接合部温度 (T_J) が約 170°C に達すると、オペアンプの出力段はディセーブルされます。この過熱保護機能は、出力段の温度を監視し、オペアンプの出力駆動をオフにすることで機能します。過熱保護機能により、出力が強制的に高インピーダンス状態になります。OPAx591 は、熱ヒステリシスが約 20°C で設計されており、出力段の温度が約 150°C を下回ると通常動作に戻ります。

この過熱保護機能の目的は、このデバイスが絶対最大定格を超えないようにすることではなく、このデバイスに過剰な熱的過負荷が掛からないようにすることです。

6.3.4 高度なスルーブースト

スルーレートは、時間に対する出力電圧変化の最大変化率を測定した値であり、一般に V/マイクロ秒 (V/µs) 単位で表されます。入力に大きい急速に変化する信号が印加されると、オペアンプがスルー状態に移行する可能性があります。スルーイングの間、オペアンプは開ループ状態に入り、スルーに起因する大きな歪みが出力信号に見られます。

式 2 は、オペアンプのスルーレート SR が一般に入力段の飽和電流 I_{TAIL}、および補償コンデンサ C_C によって決定されることを示しています。

$$SR = \frac{I_{TAIL}}{C_C} \tag{2}$$

スルーレートは一般に、オペアンプの静止電流 (I_Q) によってスケーリングされます。スルーレートの制限を克服する方法はいくつか存在します。たとえば、逆補償とも呼ばれる C_C を小さくすると、安定性が犠牲になりスルーレートが向上します。不完全補償型オペアンプには、最小ゲインが必要であり、ユニティゲインで安定ではありません。より一般的に見た最新のオペアンプには、スルーレートを改善するため、I_{SAT} を増加させるスルーブースト技術が搭載されています。スルーブースト回路の実装方法は異なりますが、一般に、同等の非昇圧オペアンプに比べて約 4 倍の改善を期待することができます。

OPAx591 は、独自の設計を使用して、比類のないスルーレートと I_Q 比を実現しています。OPAx591 の新しいスルーブースト技術により、類似の昇圧なしオペアンプと比較して 100 倍近いスルーレート向上を実現します。オペアンプはユニティゲイン安定であり、必要に応じてバッファとして使用できます。

表 6-1 に、さまざまなオペアンプのスルーレートと静止電流の比較を示します。

表 6-1. オペアンプのスルーレートと静止電流

部品番号	スルー レート	静止時電流
OPAx591	100V/µs	450µA
OPAx188	0.8V/µs	425µA
OPAx202	0.35V/µs	580µA
OPAx192	20V/µs	1mA
OPA454	13V/µs	3.2mA

6.3.5 フルパワー帯域幅

フルパワー帯域幅の曲線は、数十年にわたってデータシートで重要な役割を果たしてきました。オペアンプのフルパワー帯域幅から、特定の振幅および周波数の信号でスルーに起因する歪みがどこに設計者が予想できるかをいくつか示します。フルパワー帯域幅曲線は、式 3 を使用して生成されます。

$$\mathrm{FPBW} = \frac{\mathrm{SR}}{2\pi \mathrm{V}_{\mathrm{OUT_MAX}}} \tag{3}$$

OPAx591 のフルパワー帯域幅を、図 6-5 に示します。この曲線は、歪み性能の懸念がほとんどなく、高電圧かつ高周波の出力スイングを達成する必要がある設計者に最適なリファレンスになります。残念ながら、この曲線は曲線上の任意の点での真の歪みを示すものではありません。フルパワー帯域幅の曲線は、結局のところ、出力が最大変化率に近づくにつれて理論値とスルーに起因する歪みのみが徐々に現れます。さらに、スルーに起因する歪みは、オペアンプ歪みのいくつかの原因の 1 つにすぎません。したがって、曲線はまともな出発点ですが、歪み性能の信頼できるソースではありません。

図 6-6 に、OPAx591 の全高調波歪み (THD) 性能という観点からフルパワー帯域幅を示します。この曲線は、特定の振幅と周波数の信号について設計者が予測できる歪みのレベルを、より適切に示します。たとえば、OPAx591 は、70V_{PP} で最大約 1kHz で約 -100dB 以上の THD を実現できます。2 番目の例として、OPAx591 は最大約 1kHz まで、10V_{PP} で約 -130dB 以上の THD を達成できます。測定帯域幅に制限があるため、20kHz のデータのみが記録されます。

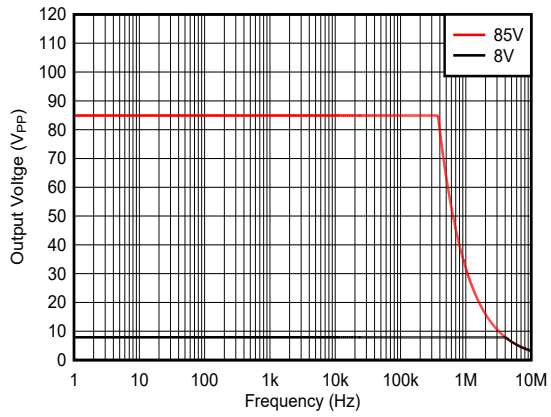


図 6-5. フルパワー帯域幅

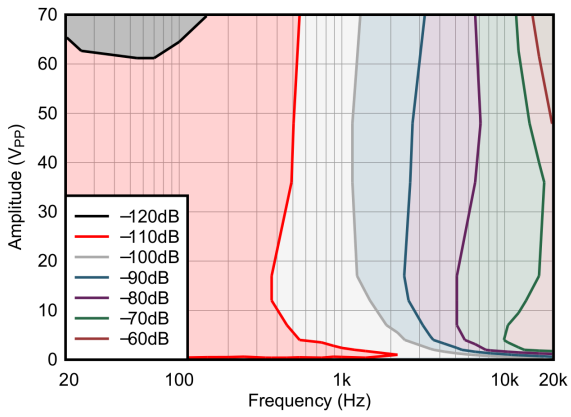


図 6-6. フルパワー帯域幅

6.3.6 過負荷回復

過負荷からの回復は、オペアンプの出力が飽和状態から線形状態に回復するために必要な時間として定義されます。高い入力電圧または高いゲインのいずれかが原因で、出力電圧が定格動作電圧を超えると、オペアンプの出力デバイスは飽和領域に入ります。デバイスが飽和領域に入った後、出力デバイスのチャージ キャリアは線形状態に回復するための時間を必要とします。チャージ キャリアが線形状態に戻ると、デバイスは指定されたスルーレートでスルーを開始します。したがって、過負荷状態の場合の伝搬遅延は、過負荷復帰時間とスルー時間の合計になります。

6.4 デバイスの機能モード

OPAx591 は単一機能モードがあり、電源電圧が 8V (±4V) から 85V (±42.5V) の範囲内で動作します。

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

OPAx591 は、高精度、低消費電力 (450µA)、高スルーレート (100V/µs)、85V パワー オペアンプです。これらのオペアンプは、独自の設計手法により、消費電力を最小限に抑えながら非常に高いスルーイング能力を実現しています。消費電力が小さいため、ボードでの発熱が低減され、出力は電源レール付近でのスイングが可能になります。高いスルーレートにより、大きなピーク高周波信号を扱う場合、出力でスルー関連の歪みが低減されます。

7.2 代表的なアプリケーション

7.2.1 高電圧計測アンプ

電流監視は、幅広いアプリケーションで重要な機能です。いくつかの電流検出方法がありますが、シャント抵抗は高精度かつ堅牢なアプローチを実現します。設計者は、ハイサイドとローサイドのいずれかの電流測定を選択する必要があります。多くの場合、精度と負荷保護が重要な場合、ハイサイド測定が推奨されます。

ハイサイド電流センス回路では、アンプの入力と出力の同相モード制限について特別に考慮する必要があります。ハイサイド電流測定の最大の課題は、高い同相電圧に固有の誤差をアンプが確実にサポートできるようにすることです。設計者は、差動アンプを使用して同相電圧を減衰させることができますが、ゲインと入力インピーダンスには大きなトレードオフが存在します。小電流を測定するときは、高い入力インピーダンスと大きいゲインが特に重要です。そのような場合、計測アンプが必要な入力インピーダンスとゲインを提供します。

計測アンプの入力電圧範囲は同相電圧、差動電圧、ゲイン、リファレンス電圧に応じて複雑であることがトレードオフとなります。入力段のみは、入力同相電圧制限とオペアンプの最大電源電圧範囲によって制限されます。幸いにも、OPAx591 は動作電源電圧が高いため、設計者は非常に高い同相モード、ハイ インピーダンス、高ゲイン、高同相信号除去の計測アンプを構築できます。この計測アンプは、同相電圧が非常に高い場合の小さな差動信号の測定に使用できます。

7.2.1.1 設計要件

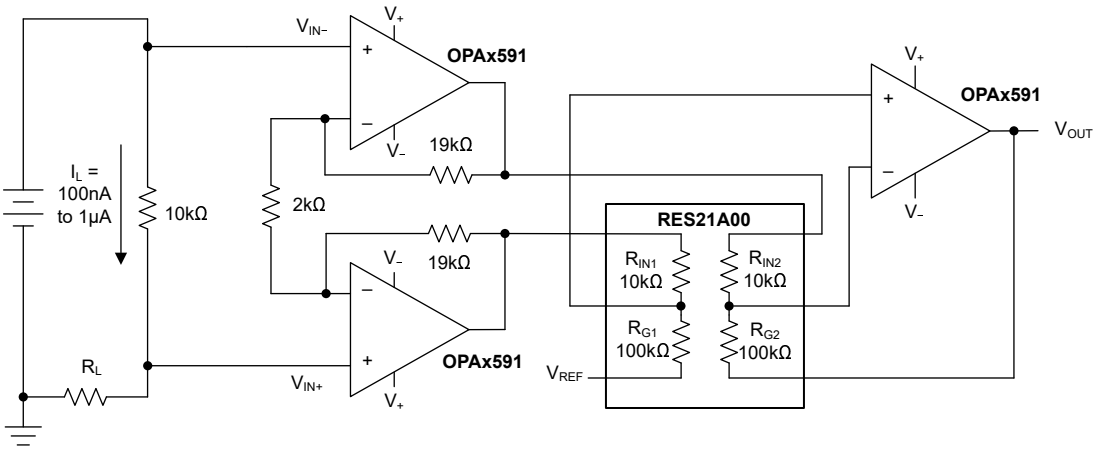


図 7-1. RES31A を使った OPAx591 計測アンプ

OPAx591 は、高い同相電圧で動作できる高精度の計測アンプを構築するために使用されます。この計測機器は、高電圧のハイサイド電流検出に最適なオプションです。ここでは、高電圧のハイサイド電流センス アプリケーションについて説明します。

この設計例では、以下のパラメータを使用します。

- 同相電圧:54V
- 電流出力範囲:100nA～1μA
- 標準的な未較正誤差:1% 未満

7.2.1.2 詳細な設計手順

OPAx591 は 3 つのオペアンプとして構成することで、非常に高い入力同相電圧範囲を実現できます。計測アンプは、入力段またはゲイン段および差動アンプ段を備えた 2 段アンプとして切り離すことができます。図 7-2 に、一般的な 3 オペアンプ計測アンプを示します。

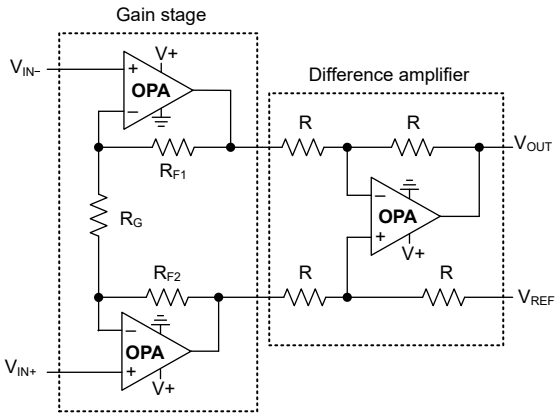


図 7-2. 計装アンプ

高い同相電圧範囲の要件に対応するため、OPAx591 には 85V 電力が供給され、81.5V の入力同相電圧が得られます。OPAx591 の入力電圧範囲は (V−) − 0.1V ～ (V+) − 3.5V です。出力電圧スイングは、与えられた差動電圧に対する同相電圧も制限します。下の 式 4 に、その関係を示します。85V は OPAx591 の最大動作電源電圧であり、1.5V は電気的特性に記載されているように 10kΩ の線形出力電圧スイングに相当することに注意します。

$$V_{IN+} + (V_{IN+} - V_{IN-})\left(\frac{R_F}{R_G}\right) < 85V - 1.5V \tag{4}$$

シャント抵抗は、電圧降下を最小限に抑えるために、できるだけ小さくするように設定します。実用的なアンプ誤差発生源から、アプリケーションの精度要件を満たすのに十分な大きさの電圧降下を発生させるシャント抵抗を選択します。電流センス アプリケーションでの最大誤差源はアンプと抵抗のドリフトであり、通常はシャント抵抗値の下限を設定します。ほとんどの汎用アプリケーションでは、100mV 以下の電圧降下が許容されます。

OPAx591 はオフセットとオフセットのドリフトが非常に小さく、低い電流値でも高精度の測定を可能にします。OPAx591 のもう 1 つの利点は、15pA (最大値) という低い入力バイアス電流です。入力バイアス電流が小さいため、ナノアンペアの範囲まで高精度の測定が可能です。

OPAx591 回路は、1μA のフルスケール電流に対して、10kΩ シャント抵抗の両端で 100mV の降下に対応する 20V の最大出力電圧を供給するように構成されています。最初の段のゲインは 20V/V、差動アンプ段のゲインは 10V/V、合計ゲインは 200V/V に設定されます。回路の電流測定能力の下限はアプリケーションの最大誤差許容値によって決まり、シャント抵抗器の両端の電圧降下が減少するにつれて回路のパーセント誤差が増加します。アンプの伝達関数は、式 5 で計算できます。

$$V_{OUT} = (V_{IN+} - V_{IN-})\left(1 + \frac{2R_F}{R_G}\right)\left(\frac{R_{G2}}{R_{IN2}}\right) + V_{REF} \tag{5}$$

このアプリケーションでは、テキサス インスツルメンツの RES31A マッチング抵抗チップを使用しています。これらの抵抗は、ディスクリート 0.1% 抵抗と比較して、優れたマッチングと温度ドリフトを実現します。高い同相信号除去と低いゲイン

Copyright © 2026 Texas Instruments Incorporated

誤差を実現するには、抵抗のマッチングが重要です。図 7-1 に、最終的な回路を示します。図 7-4、図 7-5 に、回路の結果を示します。この誤差は、標準的な DC 誤差値と考えられる限り最悪の事態の抵抗マッチング値での室温におけるシミュレーション結果であることに注意してください。より高精度の測定を実現するには、室温での較正を推奨します。

この回路をさらに簡素化するため、OPAx591 を使用して、INA132 といったすぐに利用できるモノリシック差動アンプのゲイン調整とバッファを行います。OPAx591 は、小電流の値を測定するために必要な高いゲインと高い入力インピーダンスを実現します。

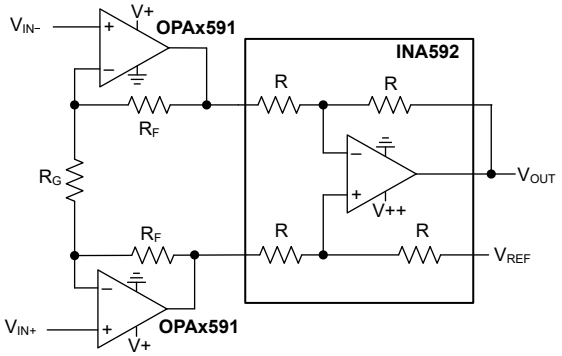


図 7-3. INA132 の OPA591 バッファ

7.2.1.3 アプリケーション曲線

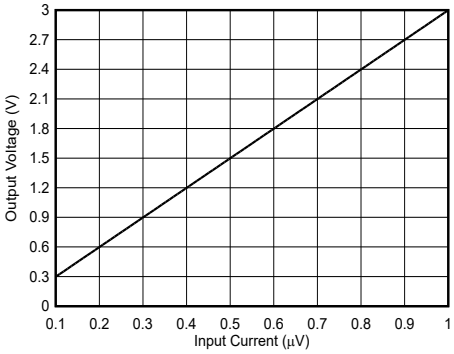


図 7-4. 出力電圧

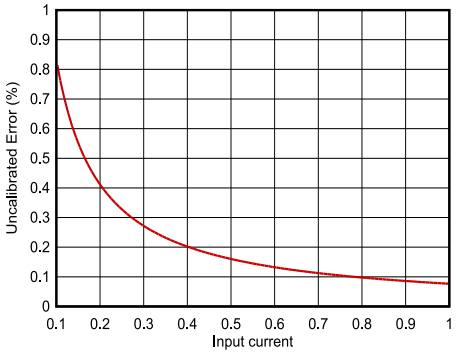


図 7-5. 出力電圧およびエラー

7.2.2 DAC 出力ゲインおよびバッファ

多くのアプリケーションでは、高電圧信号の高精度制御が必要ですが、既存の D/A コンバータ (DAC) の出力範囲は 0V ～ 5V に制限されています。OPAx591 は、高電圧のバイポーラ出力電圧を提供するゲイン付き出力ドライバ段として使用するように設計されています。OPAx591 は、高電圧時、小型フォーム ファクタ パッケージ、低消費電力という優れた DC 精度を備えているため、多くの試験および測定アプリケーションに一般的な高チャネル高密度システムに最適です。

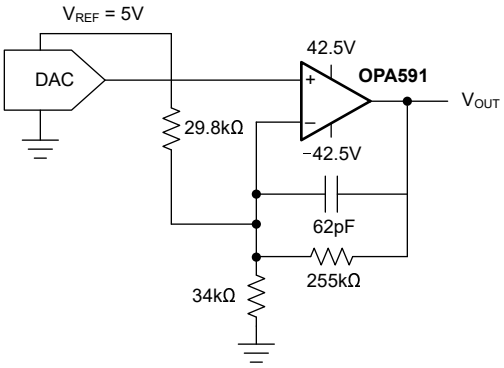


図 7-6. DAC 出力ゲインおよびバッファ

7.2.3 単一電源圧電ドライバ

図 7-7 に示すように、いくつかの圧電トランスデューサはグランドを基準できます。アンプの出力には圧電性負荷によって大きな容量が存在し、不安定性を防止するため適切な補償が必要です。図 7-7 はデュアルフィードバック補償方式を採用して、位相マージンを改善し、負荷に対する正確な電圧設定を可能にします。出力電流ドライブの要件も考慮してください。必要な電流駆動は、動作周波数と負荷の実効容量によって決まります。高い周波数と大きな容量により、負荷の実効インピーダンスが減少するため、電流駆動の要件が増加します。OPAx591 は、DC および低周波数で圧電性負荷を駆動するための優れた選択肢です。

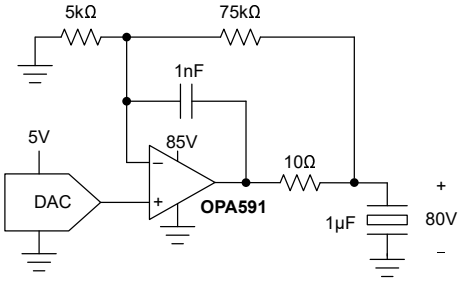


図 7-7. 80V 単一電源圧電ドライバ

Copyright © 2026 Texas Instruments Incorporated

7.2.4 電流ブースタ

OPAx591 からの出力電流駆動能力をより大きく必要とする場合もあります。図に、高電圧で高い電流駆動能力を実現するシンプルな電流ブースタ回路を示します。この回路は、複数のパワー MOSFET または BJT を使用して構築できます。この回路の利点は、モノリシック パワー アンプと比較して、放熱性能が大幅に向上することです。外部トランジスタは電力を供給し、OPAx591 は比較的低温に維持され、熱関連の性能低下を防止します。

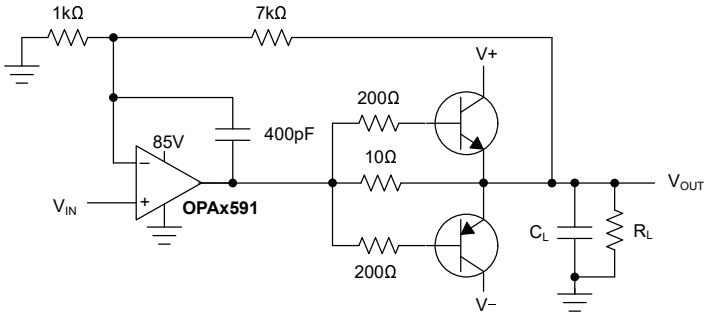


図 7-8. 電流ブースタ回路

7.3 電源に関する推奨事項

OPAx591 は、最大±42.5V (85V)、わずか ±4V (8V) の電源で動作し、優れた性能で動作します。ほとんどの特性は、動作電圧範囲内で変化しませんが、パラメータは動作電圧によって変化する場合があります。正常に動作させるには、0.1μF 以上の電源バイパス コンデンサが必要です。コンデンサの電圧の定格電圧が、動作温度範囲全体にわたって高いことを確認します。OPAx591 には、非対称電源で電力を供給することにより、正と負の出力電圧スイングを等しくする必要がないアプリケーションでの消費電力を最適化できます。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を使用してください。

- ノイズは、オペアンプの電源ピンや回路全体を通じてアナログ回路に伝播する可能性があります。各電源ピンとグランド間に、低 ESR の 0.1μF セラミックバイパスコンデンサを接続します。これらのコンデンサは、本デバイスのできるだけ近くに配置します。単一電源アプリケーションでは、V+ からグランドへのバイパス コンデンサ 1 つで十分です。
- 回路のアナログ部分とデジタル部分のグランドを分離することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランド プレーン専用です。グランド プレーンは熱の分散に役立つとともに、EMI ノイズを拾う可能性を低減します。グランド電流の流れに注意して、デジタル グランドとアナログ グランドを物理的に分離します。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの配線を分離して配置できない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに良い結果が得られます。
- 外付け部品は、可能な限りデバイスに近く配置します。
- 入力パターンは、できる限り短くしてください。入力パターンは、回路の中で最も影響を受けやすい部分であることを常に意識してください。
- 重要な配線の周囲に、駆動型の低インピーダンス ガード リングを配置することを検討してください。ガード リングを使用すると、付近のさまざまな電位にある配線からのリーク電流を大幅に低減できます。
- 最高の性能を得るために、基板組み立ての後で PCB をクリーニングします。
- 高精度の集積回路では、プラスチック パッケージへの水分の侵入により性能が変化する場合があります。PCB を水で洗浄した後で、PCB アセンブリをベーキングして、洗浄中にデバイスのパッケージに取り込まれた水分を除去します。ほとんどの場合、洗浄後に 85℃で 30 分間の低温ベーキングを行えば十分です。

7.4.1.1 熱に関する検討事項

通常の動作では、オペアンプは自己発熱します。自己発熱は、すべてのアンプで発生するダイ接合部温度の自然な上昇です。この自己発熱は、静止時消費電力、パッケージの熱抵抗、PCB レイアウト、デバイスの動作条件など、いくつかの要因によるものです。

OPAx591 は定格接合部温度 T_J の範囲内で動作し、サーマルシャットダウンを回避します。式 6 を使用して、推定される T_J を求めます

$$T_J = P_D \times R_{\theta JA} + T_A \tag{6}$$

静止状態では、P_D は電源とオペアンプの静止電流の積で表されます。式 7 に 85V 電源を使用し、25°C の動作温度を使用したとした OPAx591T_J の計算結果を示します。

$$T_J = (85V \times 550\mu A) \times 165.4°\frac{C}{W} + 25°C \tag{7}$$

$$T_J = 32.73°C \tag{8}$$

OPAx591 は消費電力が低いため、式 8 で求めるような小型の SOT23-5 パッケージでも自己発熱を最小限に抑えます。負荷条件では、P_D は静止電力 P_{DQ} と 出力段によって消費される電力 P_{DL} を加算した値に等しくなります。ワーストケースの条件は、出力電圧が両方の電源レールの 1/2 に等しい場合です (対称型電源である V+ および V- を想定)。ワーストケース条件では、P_{DL} は式 9 で与えられます。

$$P_{DL} = \frac{(V+)^2}{4 \times R_L} \tag{9}$$

たとえば、OPAx591 にバイポーラの ±42.5V 電源で電力を供給し、5kΩ 負荷 R_L をグランドに駆動すると仮定します。T_J の最大上昇は、式 10 から与えられるように約 22°C と予想されます。この例では、オペアンプを*絶対最大定格*内に維持するため、さまざまな要因を考慮して、128°C よりも T_A を十分に下に置いて動作させてください。

$$\Delta T_J = (46.75mW + 90.3mW) \times 165.4\frac{°C}{W} \tag{10}$$

OPAx591 などの高電圧アンプでは、接合部温度は静止 (無負荷) 状態の周囲温度よりもに数十度高いことがあります。式 6 おに示すように、接合部温度はパッケージの熱特性に依存し、接合部から周囲への熱抵抗 ($R_{\Theta JA}$) で表されます。

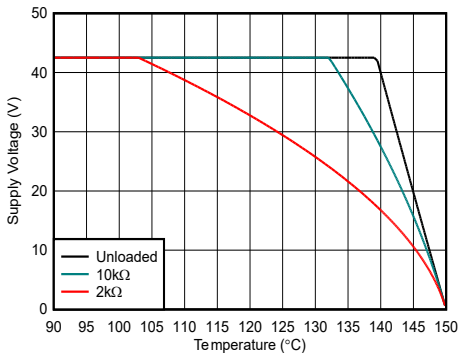


図 7-9. OPA591 (SOT23-5) がサーマル シャットダウンしない安全な動作領域

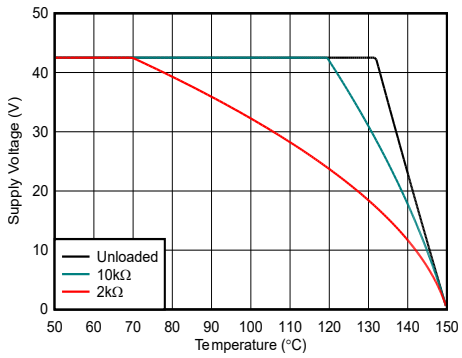


図 7-10. OPA2591 (VSSOP-8) がサーマル シャットダウンしない安全な動作領域

デバイスが駆動する負荷が大きくなると、接合部温度が上昇し、サーマル シャットダウン回路をトリップする可能性があります。OPA591 の SOT23-5 パッケージバージョンで、負荷時と無負荷時の両方の条件で*絶対最大定格*を超えないように、

Copyright © 2026 Texas Instruments Incorporated

最大出力電圧と周囲温度との関係を、図 7-9 に示します。この曲線は、標準的な静止電流を前提としており、静止電流の温度変化を考慮していません。

7.4.1.2 沿面距離と空間距離

高電圧を使用して電気システムを設計および構築する場合には、沿面距離と空間距離という 2 つの重要な概念を考慮する必要があります。沿面距離とは、プリント基板 (PCB) やプラスチック筐体など、絶縁材料の表面に沿って電流が取ることのできる最短経路を指します。空間距離とは、配線、端子、部品など 2 つの導電性部分間の、空気中の最短距離を意味します。図 7-11 に、代表的な IC の沿面距離と空間距離を示します。

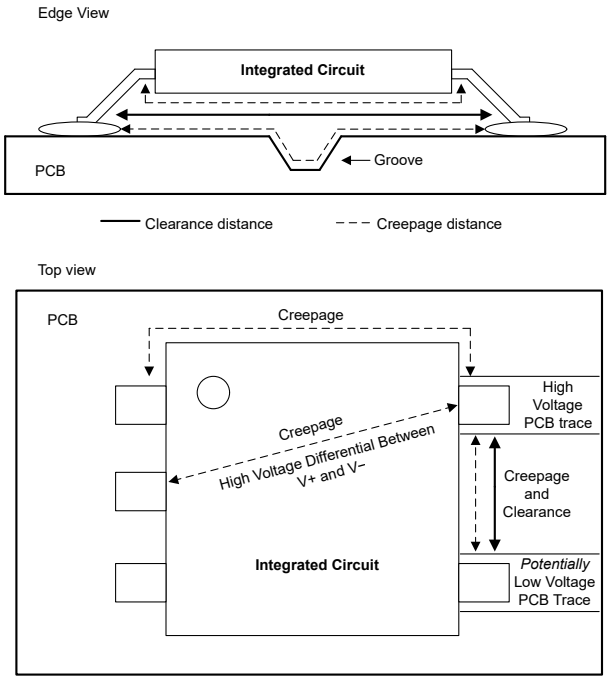


図 7-11. IC の沿面距離と空間距離

沿面距離と空間距離のガイダンスを設けていくつかの規格がありますが、これらの規格がオペアンプやその他の IC に関連するものでは、解釈と内部の要件に大きく依存します。ガイダンス距離は、汚染度、最大電圧、および基礎となるアプリケーションの影響を大きく受けます。沿面距離の場合、絶縁材料の比較トラッキング インデックス (CTI) 定格が大きな要因になります。必要に応じて沿面距離と空間距離を改善するために、PBC グルーブの追加、コンフォーマル コーティング、動作電圧のディレーティングなど、さまざまな設計手法があります。

テキサス インスツルメンツは、PCB 面積の最小化に適した小型パッケージを提供しています。ただし、沿面距離または空間距離の仕様を満たす要件は、関連する IEC またはシステム レベルの規格の解釈と実装によって異なります。このトピックの詳細については、『*高電圧最終製品の空間距離と沿面距離の明確化*』ドキュメントを参照してください。

7.4.2 レイアウト例

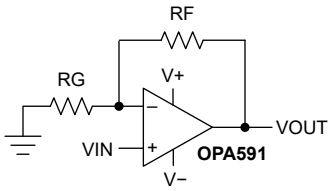


図 7-12. 非反転構成の回路図

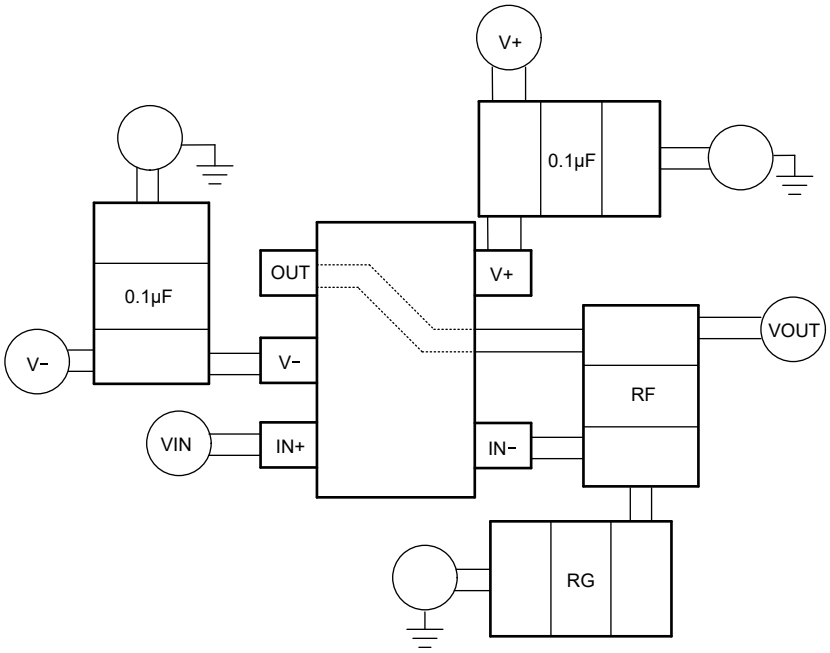


図 7-13. SOT23-5 パッケージの非反転構成の基板レイアウト

Copyright © 2026 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (February 2026) to Revision A (September 2026)	Page
• OPA591DBV を「事前情報」から「量産データ」に変更	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA591DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O591
POPA2591DGKR	Active	Preproduction	VSSOP (DGK) | 8	2500 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

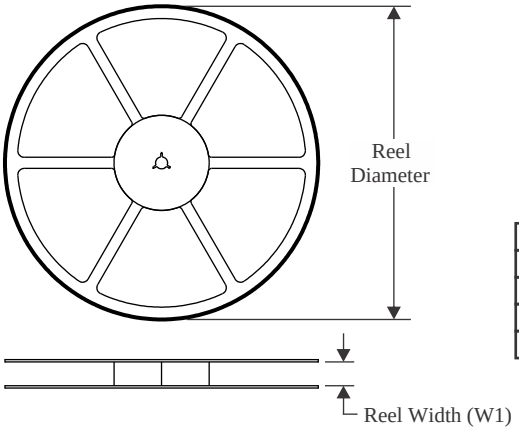
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

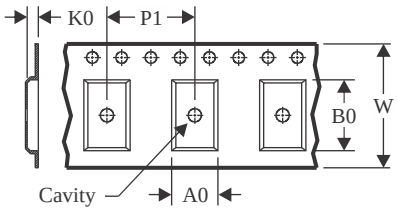
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

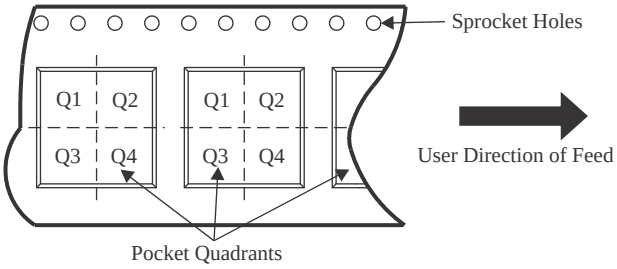


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

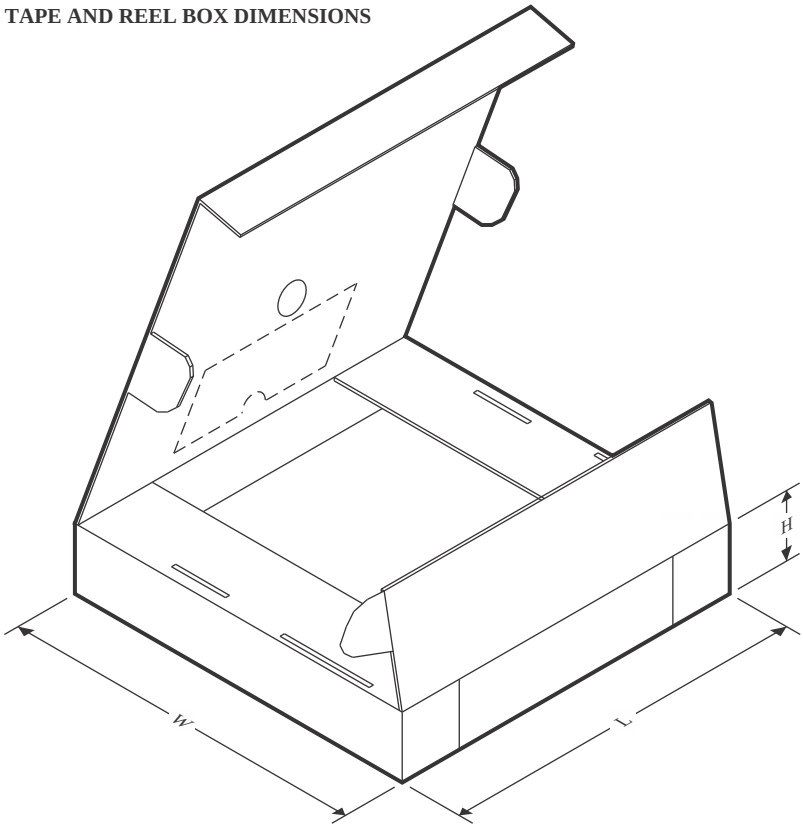
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

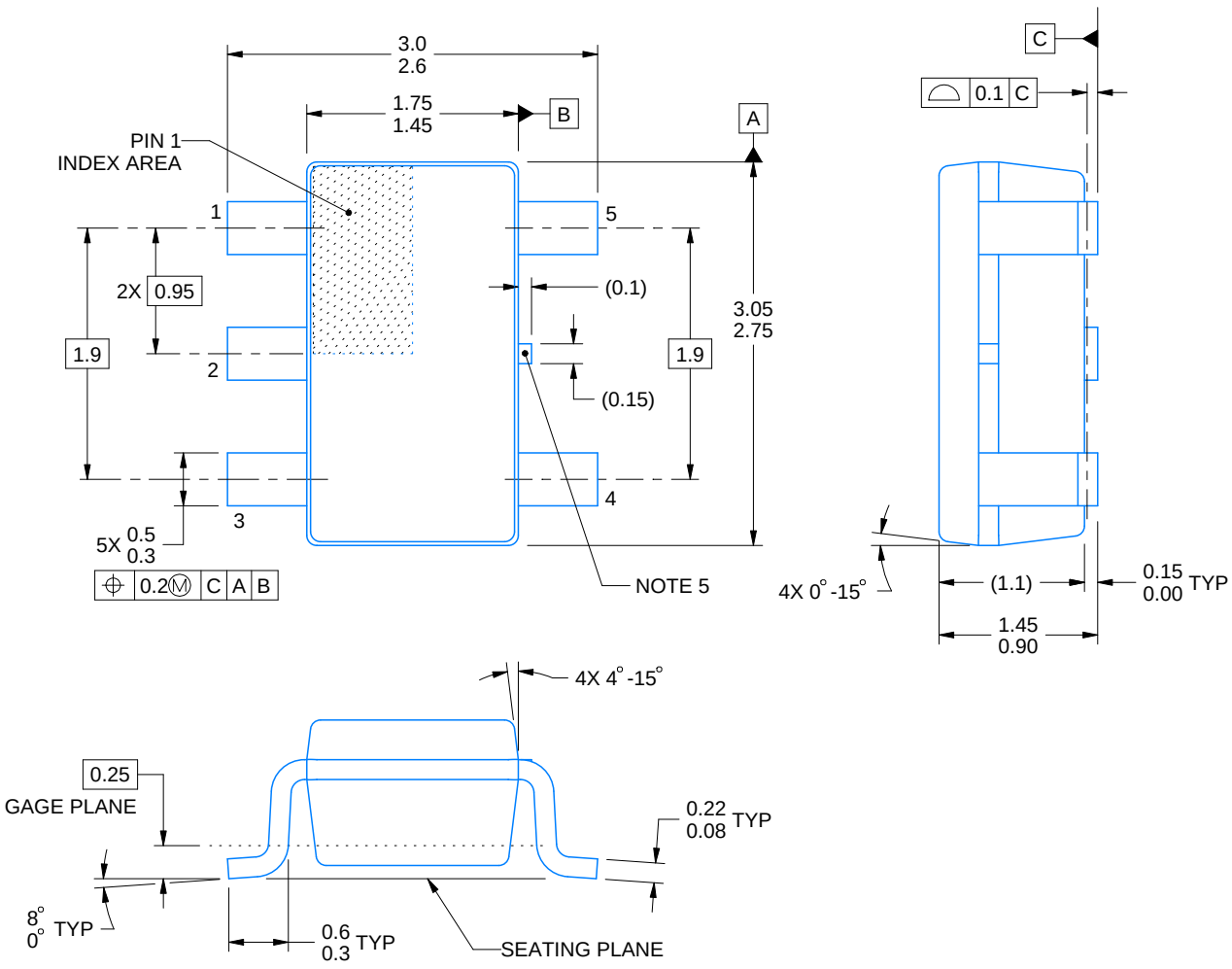
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA591DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

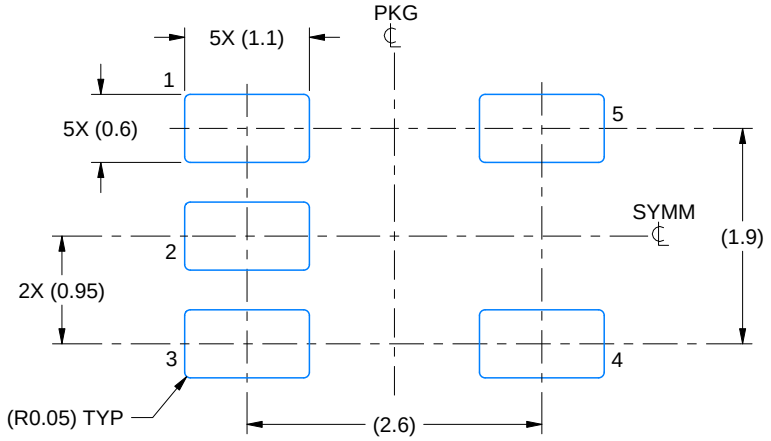
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA591DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0



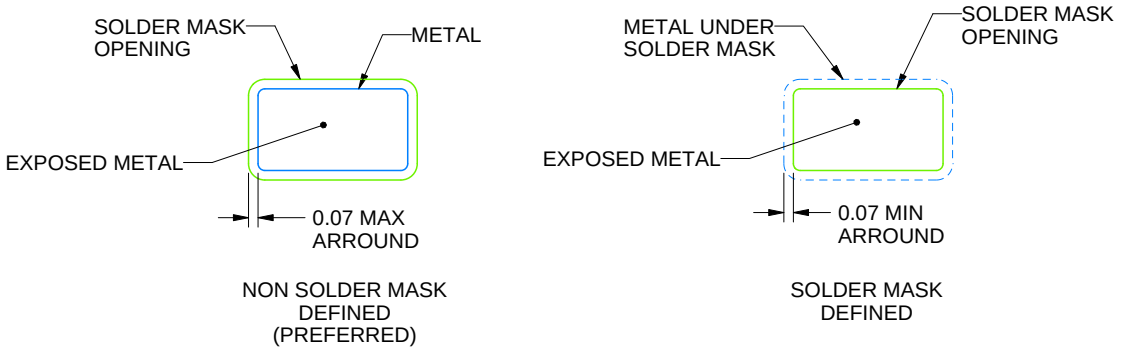
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

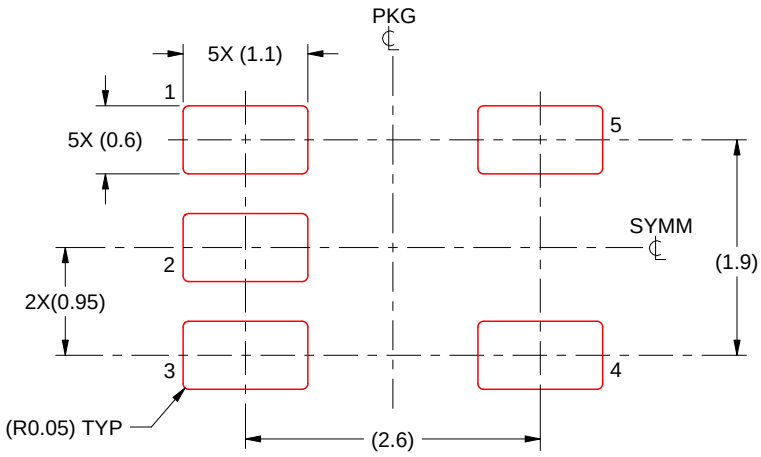


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

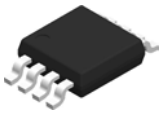
4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

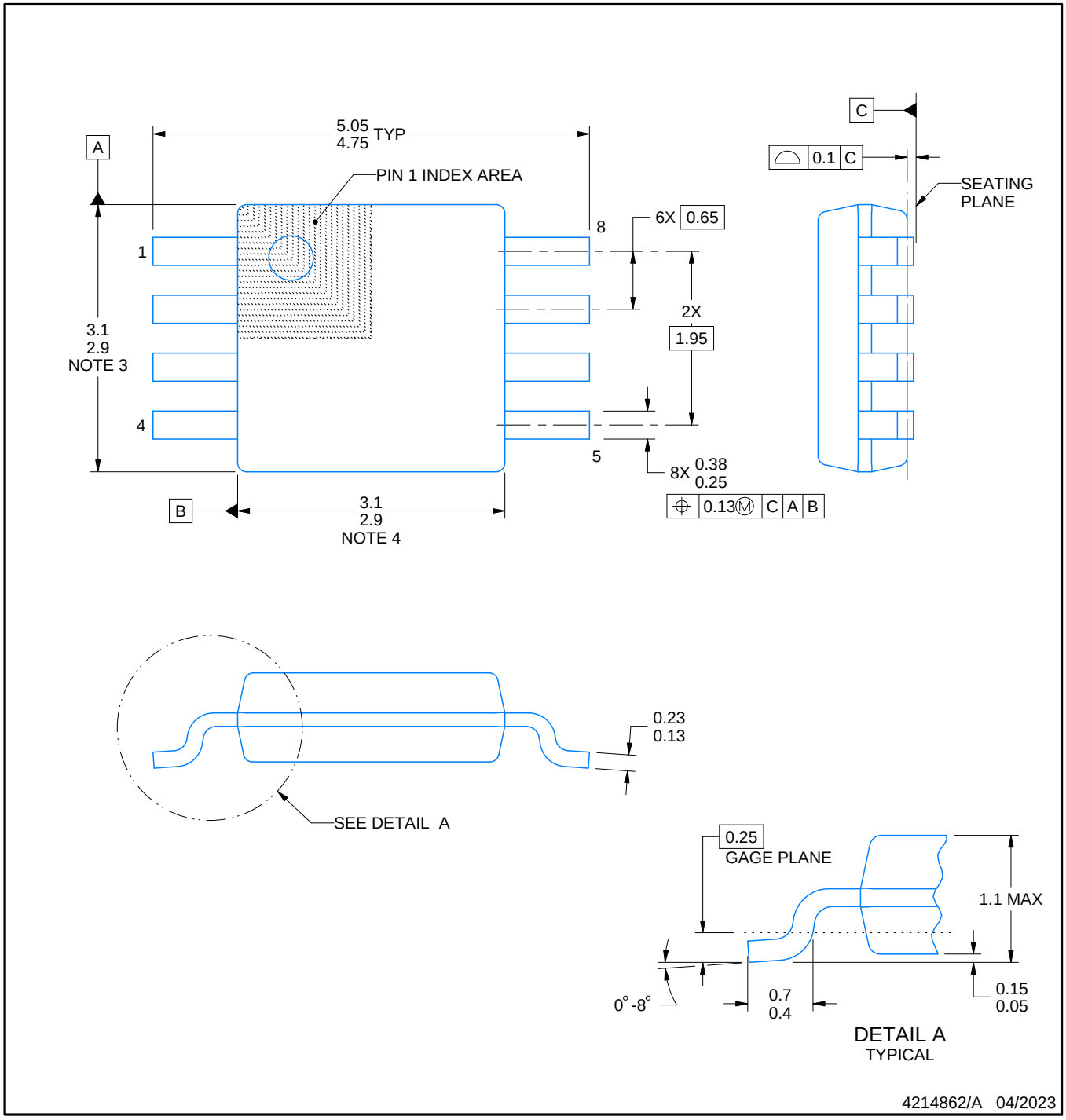
PACKAGE OUTLINE

DGK0008A



VSSOP - 1.1 mm max height

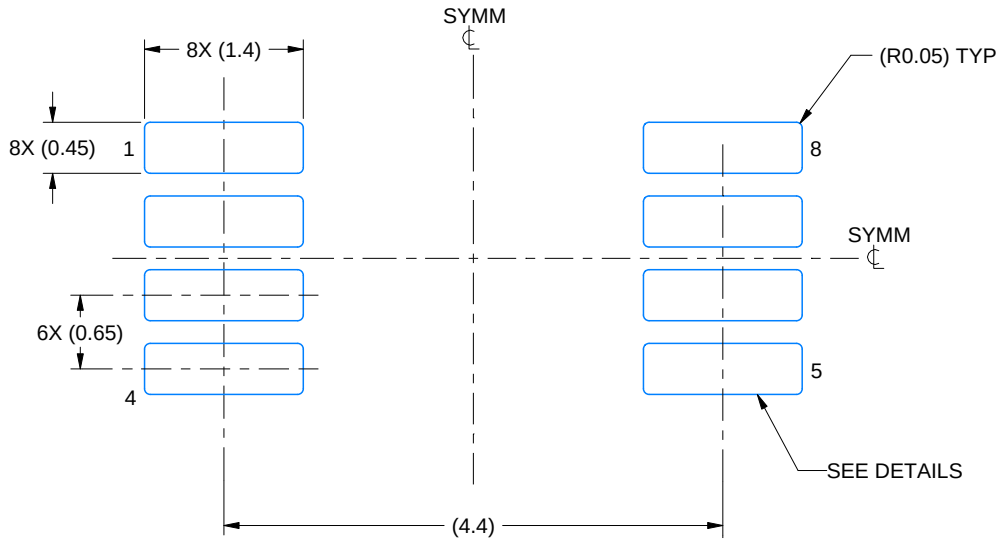
SMALL OUTLINE PACKAGE



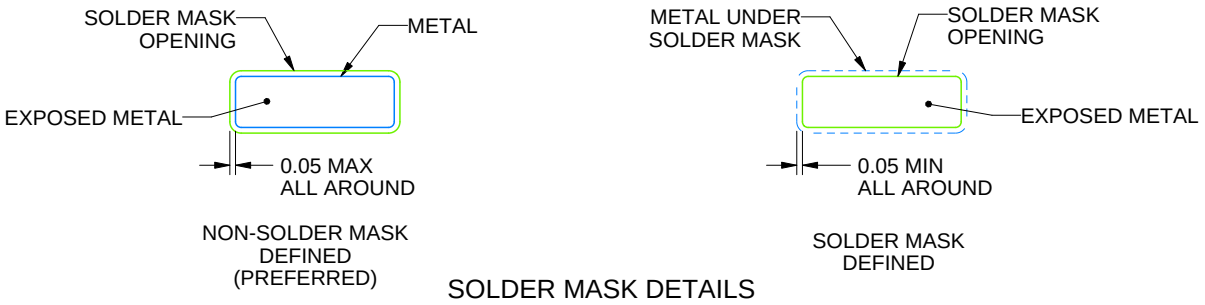
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

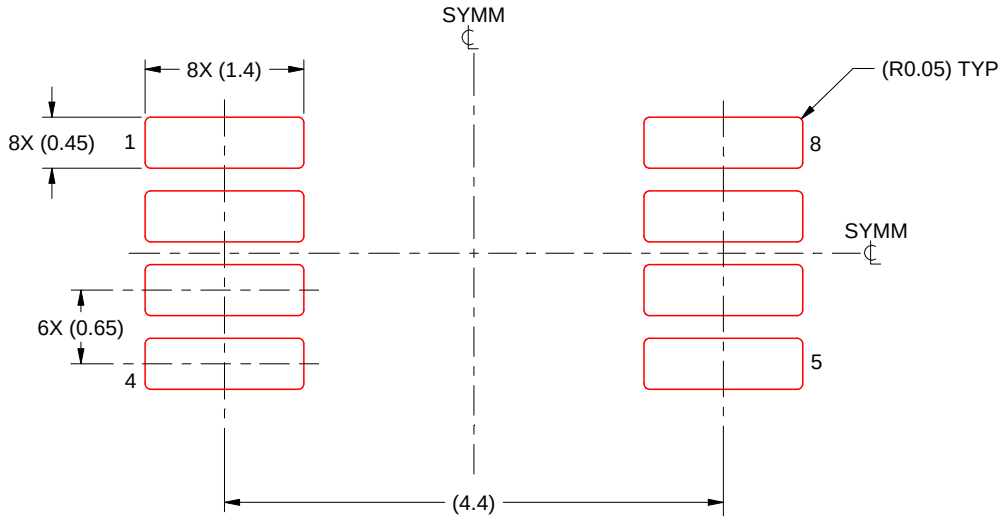


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月