

OPAx620 250MHz、高精度、レール ツー レール I/O、CMOS オペアンプ

1 特長

- ユニティ ゲイン 帯域幅: 250MHz
- 広い帯域幅: 100MHz GBW
- 高精度:
 - 25°Cでの入力オフセット電圧: $\pm 300\mu\text{V}$ (最大値)
 - 入力オフセット電圧 ($-40^\circ\text{C} \sim 125^\circ\text{C}$): $\pm 1\text{mV}$ (最大値)
 - オフセットドリフト: $1.2\mu\text{V}/^\circ\text{C}$ (標準値)
- 高スルーレート: $190\text{V}/\mu\text{s}$
- 低ノイズ: $5.5\text{nV}/\sqrt{\text{Hz}}$
- レール ツー レール I/O
- 大出力電流: 100mA 超
- 低い入力バイアス電流: 3pA
- 静止電流: 5.1mA
- サーマル シャットダウン
- シャットダウン $I_Q < 6\mu\text{A}$
- 電源電圧範囲: 2.5V ~ 5.5V

2 アプリケーション

- 電圧検出
- 電流検出
- アクティブ フィルタ
- フォトダイオードトランスインピーダンス アンプ
- 超音波
- 光学ネットワーク、波長可変レーザー
- 高速積分器
- A/D コンバータ (ADC) の入力バッファ
- D/A コンバータ (DAC) の出力アンプ
- 通信

3 説明

シングル OPAx620 は、高速、電圧帰還型のオペアンプであり、電流検出や高精度を必要とするアプリケーション用に設計されています。ユニティゲイン安定性と大出力電流駆動を提供する OPAx620 は、全温度範囲にわたりシグナル チェーンの精度を高め、従来の広帯域 CMOS アンプを上回る性能を実現します。チャンネルあたり 5.1mA の低い静止電流で動作する OPAx620 は、消費電力の制約が厳しいアプリケーションに適しています。

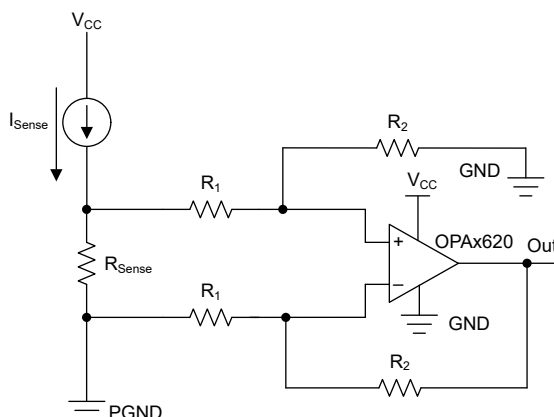
OPAx620 は、2.5V ($\pm 1.25\text{V}$) ~ 5.5V ($\pm 2.75\text{V}$) のシングルまたはデュアル電源電圧で動作します。これは、電源レールを超える広い同相入力範囲を特長とし、正負の電源から 30mV 内のレール ツー レール出力スイングを実現し、広いダイナミックレンジを可能にします。

OPAx620 は、小型の 5 ピン SOT-23 パッケージで供給され、 $-40^\circ\text{C} \sim +125^\circ\text{C}$ の拡張温度範囲で動作が規定されています。

パッケージ情報

部品番号	チャンネル数	パッケージ (1)	パッケージ サイズ (2)
OPA620	シングル	DBV (SOT-23, 5)	2.9mm × 1.6mm
OPA2620	デュアル	DGK (VSSOP, 8)	3.0mm × 4.9mm

- (1) 供給されているすべてのパッケージについては、[セクション 12](#) を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



ローサイド電検出流



目次

1 特長	1	8.3 機能説明	16
2 アプリケーション	1	8.4 デバイスの機能モード	17
3 説明	1	9 アプリケーションと実装	18
4 デバイス比較表	3	9.1 使用上の注意.....	18
5 ピン構成および機能	4	9.2 代表的なアプリケーション.....	18
6 仕様	5	9.3 電源に関する推奨事項.....	21
6.1 絶対最大定格.....	5	9.4 レイアウト.....	22
6.2 ESD 定格.....	5	10 デバイスおよびドキュメントのサポート	24
6.3 推奨動作条件.....	5	10.1 ドキュメントのサポート.....	24
6.4 熱に関する情報 OPA620	5	10.2 ドキュメントの更新通知を受け取る方法.....	24
6.5 熱に関する情報 OPA2620	6	10.3 サポート・リソース.....	24
6.6 電気的特性.....	7	10.4 商標.....	24
6.7 代表的特性.....	9	10.5 静電気放電に関する注意事項.....	24
7 パラメータ測定情報	14	10.6 用語集.....	24
8 詳細説明	15	11 改訂履歴	24
8.1 概要.....	15	12 メカニカル、パッケージ、および注文情報	25
8.2 機能ブロック図.....	15		

4 デバイス比較表

特長	製品名
100MHz GBW、RRIO、CMOS	OPAx354
OPAx354 ファミリのシャットダウン バージョン	OPAx357
200MHz GBW、レール ツー レール出力、CMOS、シャットダウン	OPAx355
200MHz GBW、レール ツー レール出力、CMOS	OPAx356
38MHz GBW、レール ツー レール入出力、CMOS	OPAx350 、 OPAx353
75MHz BW $G = 2$ 、レール ツー レール出力	OPA2631
150MHz BW $G = 2$ 、レール ツー レール出力	OPA2634
100MHz BW、差動入出力、3.3V 電源	THS412x

5 ピン構成および機能

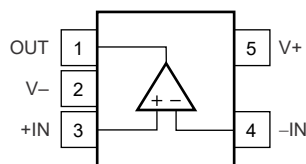


図 5-1. OPA620 : DBV パッケージ、5 ピン SOT-23 (上面図)

表 5-1. ピンの機能 : OPA620

ピン		タイプ	説明
名称	番号		
–IN	4	入力	反転入力
+IN	3	入力	非反転入力
OUT	1	出力	出力
V–	2	電源	負 (最低) 電源
V+	5	電源	正 (最高) 電源

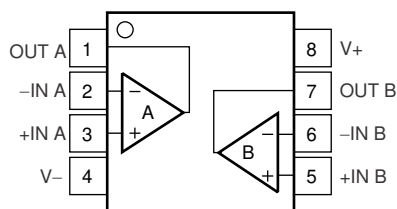


図 5-2. OPA2620 : DGK パッケージ、8 ピン VSSOP (上面図)

表 5-2. ピンの機能 : OPA2620

ピン		タイプ	説明
名称	番号		
–IN A	2	入力	反転入力、チャンネル A
–IN B	6	入力	反転入力、チャンネル B
+IN A	3	入力	非反転入力、チャンネル A
+IN B	5	入力	非反転入力、チャンネル B
OUT A	1	出力	出力、チャンネル A
OUT B	7	出力	出力、チャンネル B
V–	4	電源	負 (最低) 電源
V+	8	電源	正 (最高) 電源

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V _S	電源電圧、V _S = (V+) - (V-)		7.5	V
V _I	信号入力端子	(V-) - 0.5	(V+) + 0.5	V
I _I	信号入力端子	-10	+10	mA
I _{SC}	出力短絡 ⁽²⁾	連続		
T _A	動作温度	-55	125	°C
T _J	接合部温度		150	°C
T _{stg}	保管温度	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) グランドへの短絡、パッケージあたり 1 台のアンプ。

6.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
		荷電デバイス モデル (CDM)、ANSI/ESDA/JEDEC JS - 002 準拠 ⁽²⁾	±1000	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V _S	電源電圧、V _S = (V+) - (V-)	2.5		5.5	V
T _A	規定温度	-40	25	125	°C

6.4 熱に関する情報 OPA620

熱評価基準 ⁽¹⁾		OPA620	単位
		DBV (SOT-23)	
		5 ピン	
R _{θJA}	接合部から周囲への熱抵抗	216.3	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	115.0	°C/W
R _{θJB}	接合部から基板への熱抵抗	83.2	°C/W
ψ _{JT}	接合部から上面への特性パラメータ	50.3	°C/W
ψ _{JB}	接合部から基板への特性パラメータ	82.7	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

6.5 熱に関する情報 OPA2620

熱評価基準 ⁽¹⁾		OPA2620	単位
		DGK (VSSOP)	
		8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	150	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	68.2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	87	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	9.4	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	86.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

6.6 電気的特性

$T_A = 25^\circ\text{C}$, $R_F = 0\Omega$, $R_L = 1\text{k}\Omega$, $V_S/2$ に接続 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
オフセット電圧						
V _{OS}	入力オフセット電圧	V _S = 5.5V、T _A = 25°C			±300	μV
		V _S = 5.5V、T _A = −40°C ∼ +125°C			±1	mV
dV _{OS} /dT	入力オフセット電圧ドリフト	V _S = 5.5V、T _A = −40°C ∼ +125°C		±1.2		μV/°C
PSRR	電源除去比	V _S = 2.7V ∼ 5.5V、V _{CM} = (V _S /2) − 0.55V		±30	±100	μV/V
PSRR	電源除去比	V _S = 2.7V ∼ 5.5V、V _{CM} = (V _S /2) − 0.55V、 T _A = −40°C ∼ +125°C			±200	μV/V
入力バイアス電流						
I _B	入力バイアス電流 ⁽²⁾			3	±50	pA
I _{OS}	入力オフセット電流 ⁽²⁾			±1	±50	
ノイズ						
e _n	入力電圧ノイズ密度	f = 1MHz		5.5		nV/√Hz
i _n	入力電流ノイズ密度	f = 1MHz		300		fA/√Hz
入力電圧範囲						
V _{CM}	同相電圧		(V-) - 0.1		(V+) + 0.1	V
CMRR	同相信号除去比	V _S = 5.5V、−0.1V < V _{CM} < 3.5V、T _A = 25°C	75	96		dB
		V _S = 5.5V、−0.1V < V _{CM} < 3.5V、 T _A = −40°C ∼ +125°C	70			dB
		V _S = 5.5V、−0.1V < V _{CM} < 5.6V、T _A = 25°C	66	68		dB
		V _S = 5.5V、−0.1V < V _{CM} < 5.6V、 T _A = −40°C ∼ +125°C	55			dB
入力インピーダンス						
C _{IN}	差動			10 ¹³ 2		Ω pF
	同相			10 ¹³ 2		
開ループ ゲイン						
A _{OL}	開ループ ゲイン	V _S = 5.5V、0.3V < V _O < 5.2V、 T _A = 25°C	100	120		dB
		V _S = 5.5V、0.4V < V _O < 5.1V、 T _A = −40 ∼ +125°C	90			
周波数応答						
f _{−3dB}	小信号帯域幅	G = +1、V _O = 100mV _{PP} 、R _F = 25Ω		250		MHz
		G = +2、V _O = 100mV _{PP} 、R _F = 604Ω		90		
GBW	ゲイン帯域幅積	G = +10		100		MHz
f _{0.1dB}	0.1dB のゲインの平坦度に対する帯域幅	G = +2、V _O = 100 mV _{PP}		40		MHz
SR	スルーレート	V _S = 5.5V、G = +1、4V ステップ		190		V/μs
		V _S = 5.5V、G = +1、2V ステップ		150		
		V _S = 3V、G = +1、2V ステップ		130		
	立ち上がりおよび立ち下がり時間	G = +1、V _O = 200mV _{PP} 、10% ∼ 90%		3		ns
		G = +1、V _O = 2V _{PP} 、10% ∼ 90%		11		
t _s	セトリング タイム	0.1%、V _S = 5V、G = +1、2V 出力ステップ		30		ns
		0.01%、V _S = 5V、G = +1、2V 出力ステップ		60		

6.6 電気的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $R_F = 0\Omega$ 、 $R_L = 1\text{k}\Omega$ 、 $V_S/2$ に接続 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
	オーバードライブの復帰時間	$V_{IN} \times G = V_S$ の方形波		20		ns
HD2	2 次高調波歪	$G = +1$ 、 $f = 1\text{MHz}$ 、 $V_O = 2V_{PP}$ 、 $R_L = 200\Omega$ 、 $V_{CM} = (V-) + 1.5V$		-79		dBc
HD3	3 次高調波歪	$G = +1$ 、 $f = 1\text{MHz}$ 、 $V_O = 2V_{PP}$ 、 $R_L = 200\Omega$ 、 $V_{CM} = (V-) + 1.5V$		-77		dBc
	チャンネル間クロストーク	OPA2620、 $f = 5\text{MHz}$		-110		dB
出力						
	電源レールからの出力電圧スイング	$V_S = 5.5V$ 、 $V_{ID} = 0.5V$		0.02	0.05	V
		$V_S = 5.5V$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、 $V_{ID} = 0.5V$			0.1	
I_O	出力電流、シングル、デュアル、クワッド (1) (2)	$V_S = 5.5V$	100			mA
		$V_S = 3V$		50		
	閉ループ出力インピーダンス	$f < 100\text{kHz}$		0.05		Ω
R_O	開ループ出力抵抗			39		Ω
電源						
I_Q	静止電流 (アンプ 1 個あたり)	$T_A = 25^\circ\text{C}$ 、 $V_S = 5.5V$ (イネーブル)、 $I_O = 0A$		5.1	6.6	mA
		$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$			7.9	
サーマル シャットダウン:接合部温度						
	シャットダウン			160		$^\circ\text{C}$
	シャットダウンからのリセット			140		$^\circ\text{C}$

(1) 出力電圧スイングと出力電流との関係の代表的特性曲線を参照してください。

(2) 設計により規定されています。

6.7 代表的特性

$T_A = 25^\circ\text{C}$, $V_S = 5\text{V}$, $G = +1$, $R_F = 0\Omega$, $R_L = 1\text{k}\Omega$, $V_S/2$ に接続、特に記述のない限り。

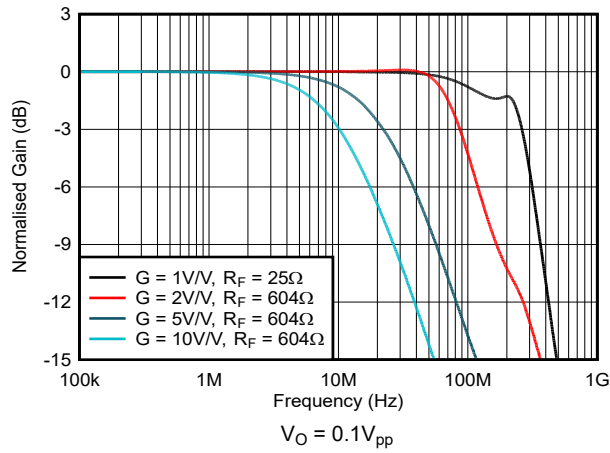


図 6-1. 非反転型の小信号周波数応答

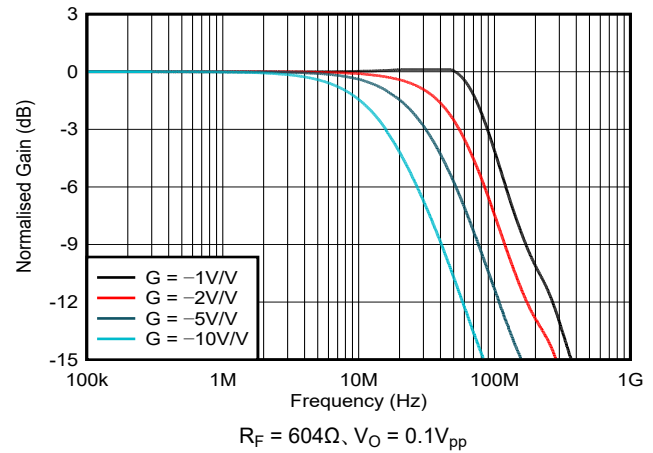


図 6-2. 反転型の小信号周波数応答

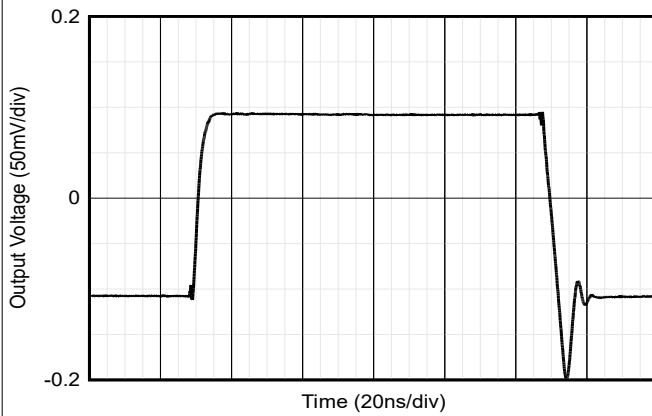


図 6-3. 非反転型の小信号ステップ応答

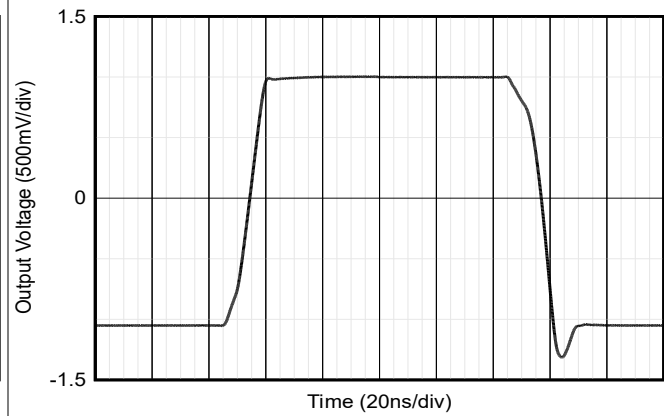


図 6-4. 非反転型の大信号ステップ応答

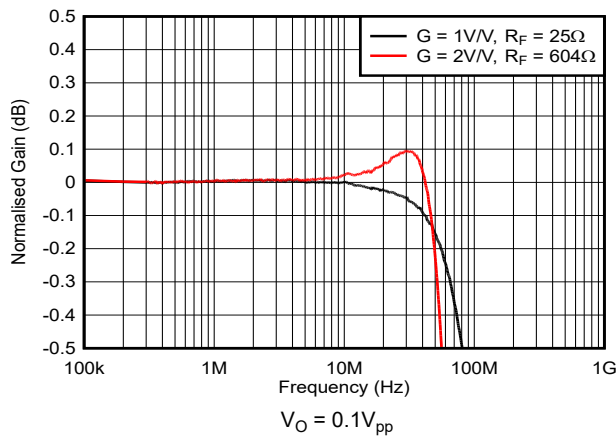


図 6-5. 0.1dB のゲイン フラットネス

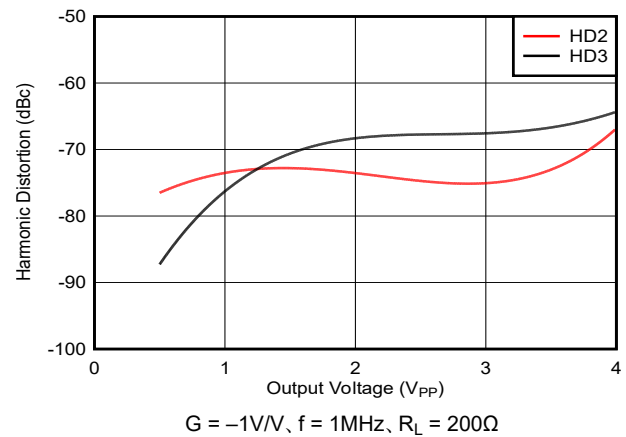


図 6-6. 高調波歪みと出力電圧との関係

6.7 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_S = 5\text{V}$, $G = +1$, $R_F = 0\Omega$, $R_L = 1\text{k}\Omega$, $V_S/2$ に接続、特に記述のない限り。

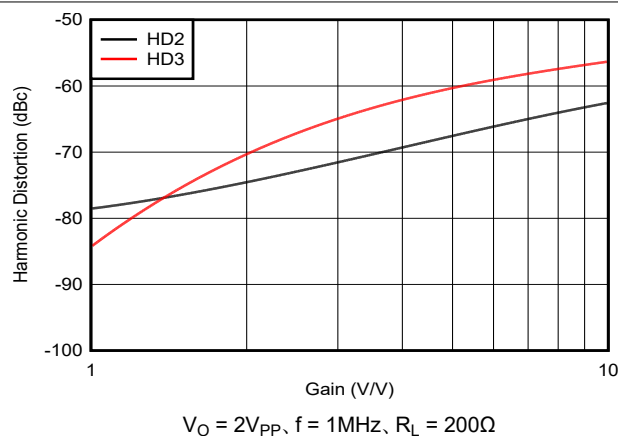


図 6-7. 高調波歪みと非反転ゲインとの関係

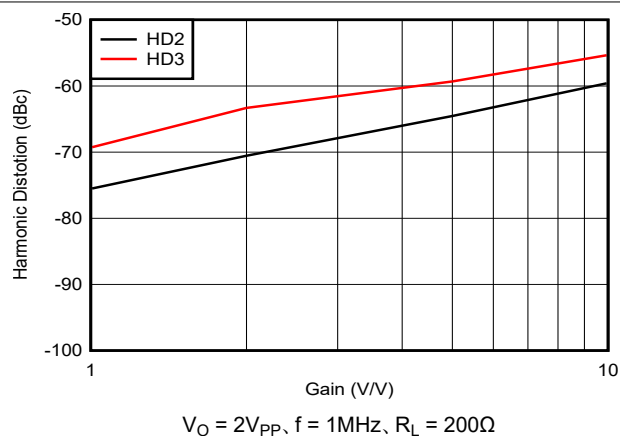


図 6-8. 高調波歪みと反転ゲインとの関係

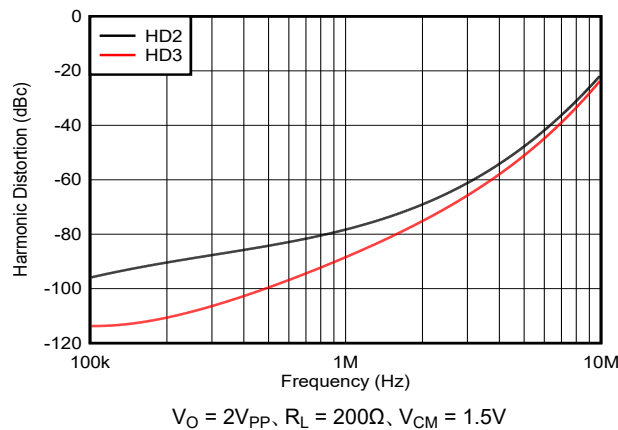


図 6-9. 高調波歪みと周波数との関係

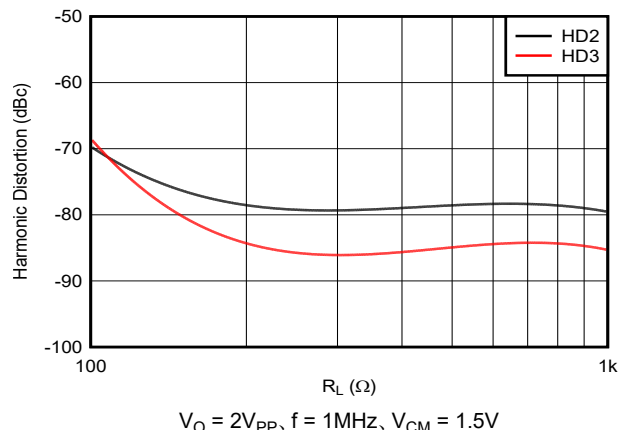


図 6-10. 高調波歪みと負荷抵抗との関係

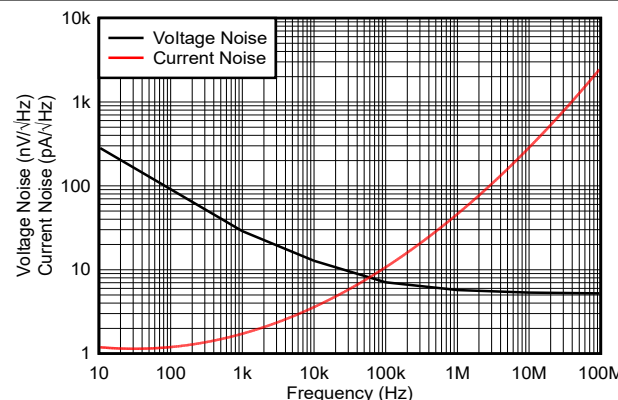


図 6-11. 入力の電圧および電流ノイズのスペクトラム密度と周波数との関係

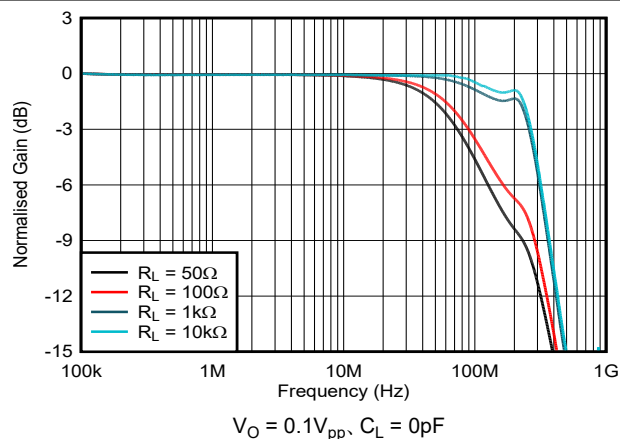


図 6-12. 周波数応答と各種 R_L 値との関係

6.7 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_S = 5\text{V}$, $G = +1$, $R_F = 0\Omega$, $R_L = 1\text{k}\Omega$, $V_S/2$ に接続、特に記述のない限り。

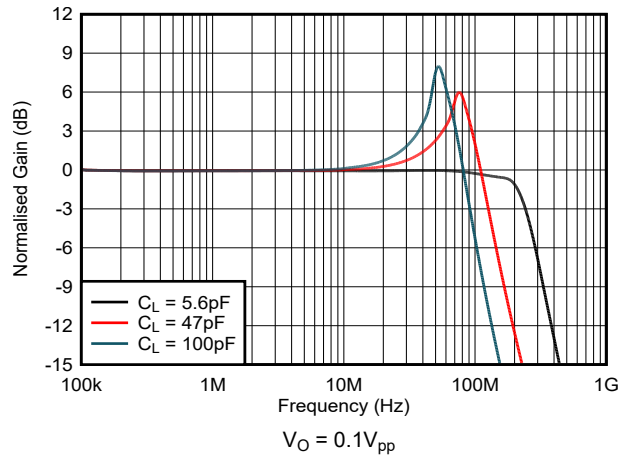


図 6-13. 各種 C_L 値の周波数応答

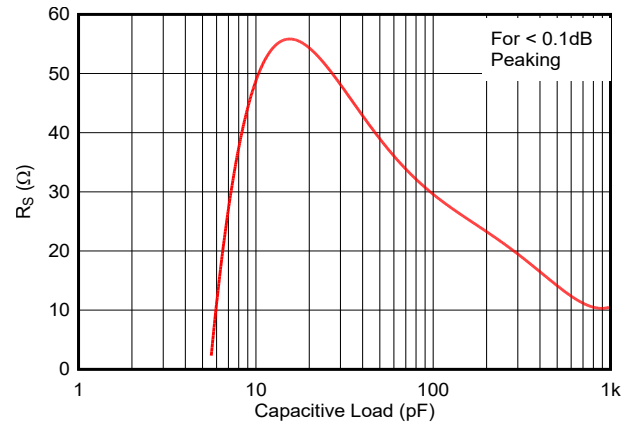


図 6-14. 推奨 R_S と容量性負荷との関係

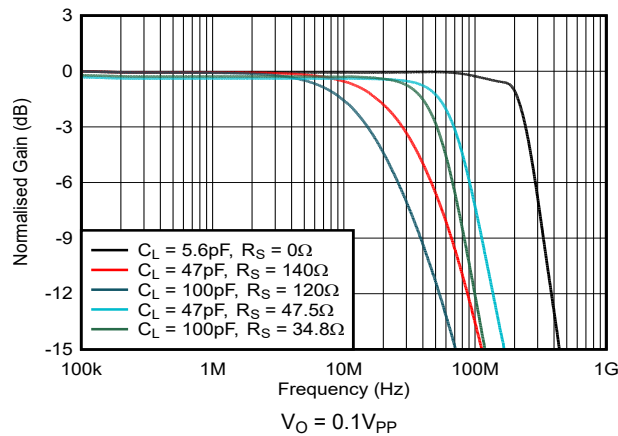


図 6-15. 周波数応答と容量性負荷との関係

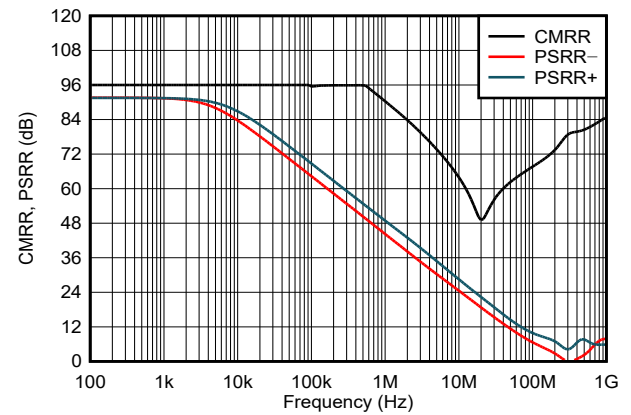


図 6-16. 同相信号除去比および電源除去比と周波数との関係

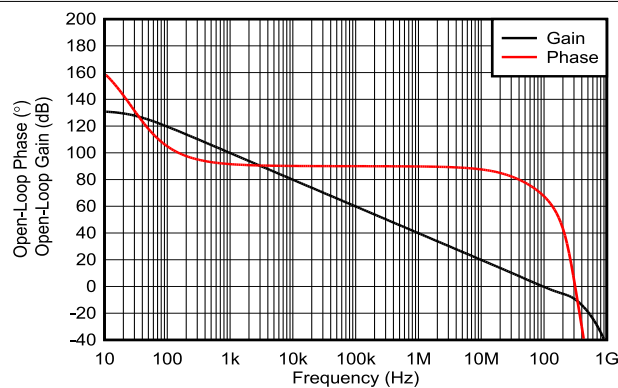


図 6-17. 開ループのゲインおよび位相

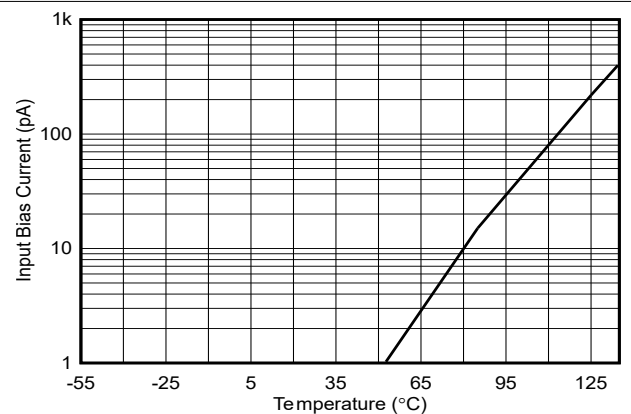


図 6-18. 入力バイアス電流と温度との関係

6.7 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_S = 5\text{V}$, $G = +1$, $R_F = 0\Omega$, $R_L = 1\text{k}\Omega$, $V_S/2$ に接続、特に記述のない限り。

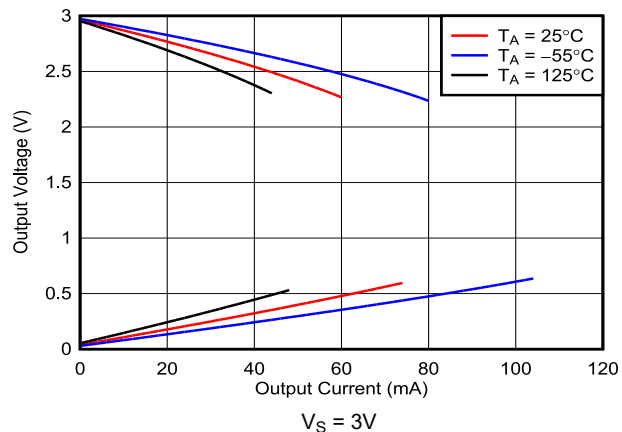


図 6-19. 出力電圧スイングと出力電流との関係

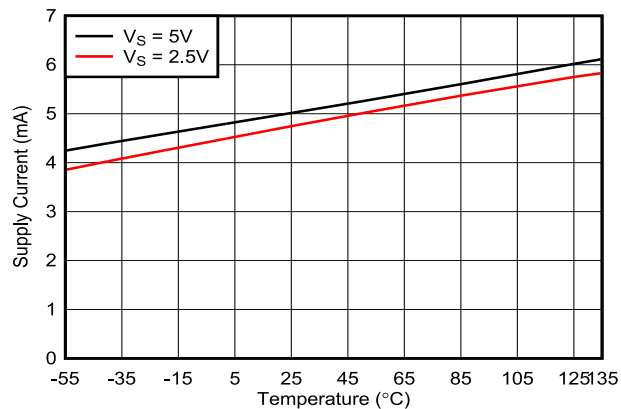


図 6-20. 電源電流と温度との関係

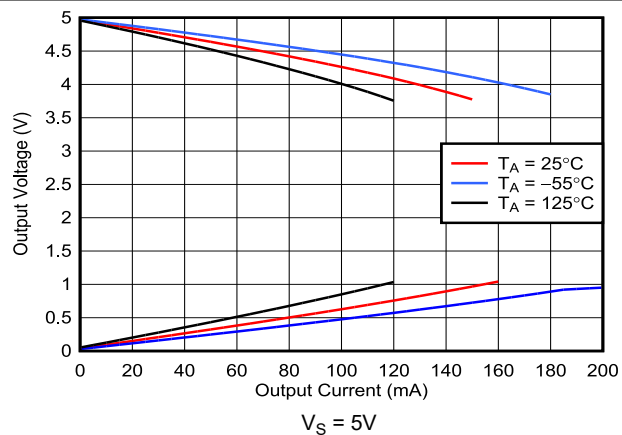


図 6-21. 出力電圧スイングと出力電流との関係

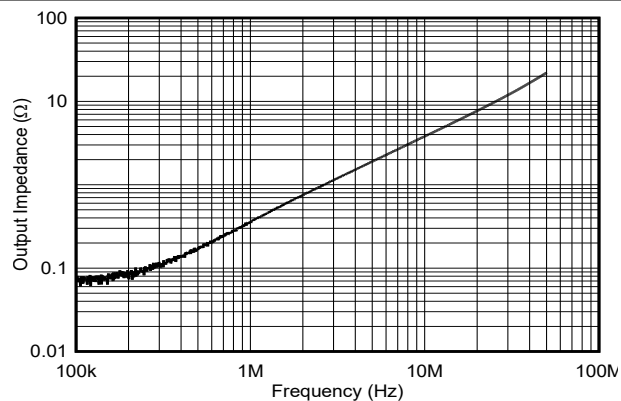


図 6-22. 閉ループ出力インピーダンスと周波数との関係

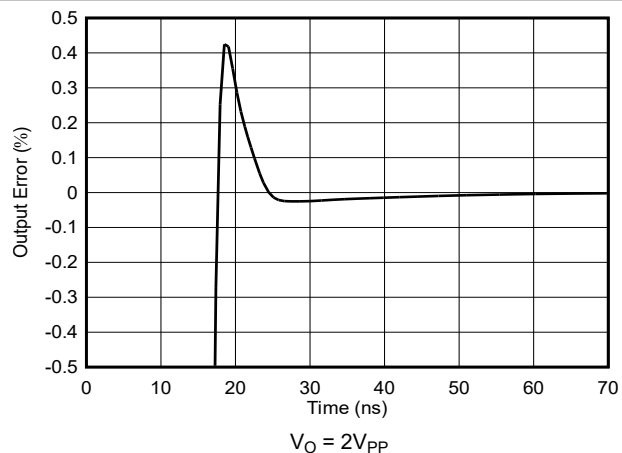


図 6-23. 0.1% までの出力セトリング タイム

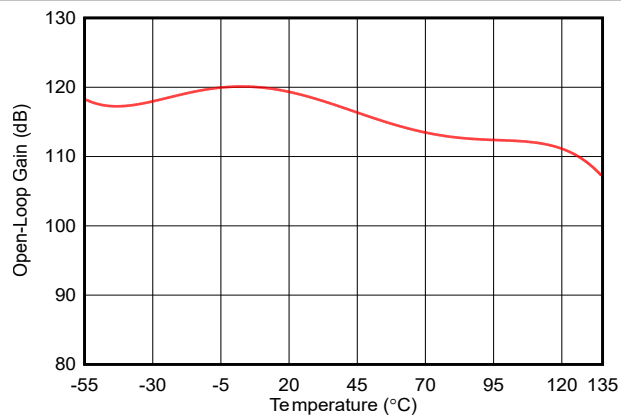


図 6-24. 開ループゲインと温度との関係

6.7 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{V}$ 、 $G = +1$ 、 $R_F = 0\Omega$ 、 $R_L = 1\text{k}\Omega$ 、 $V_S/2$ に接続、特に記述のない限り。

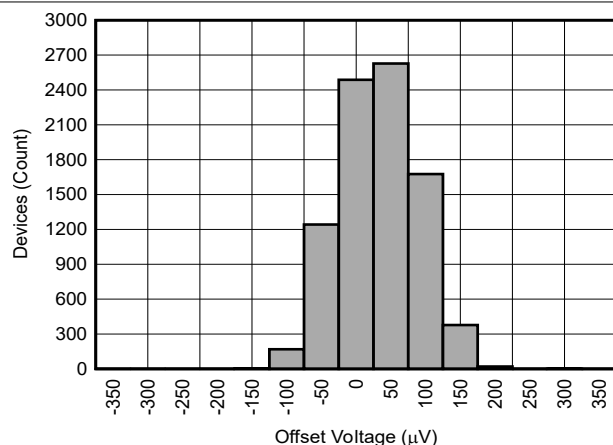


図 6-25. オフセット電圧の生産分布

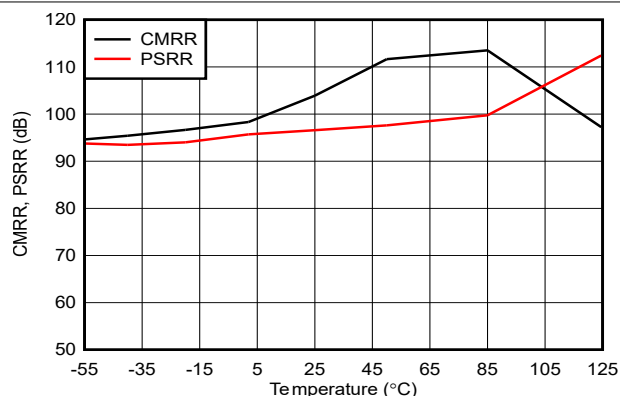


図 6-26. 同相信号除去比および電源除去比と温度との関係

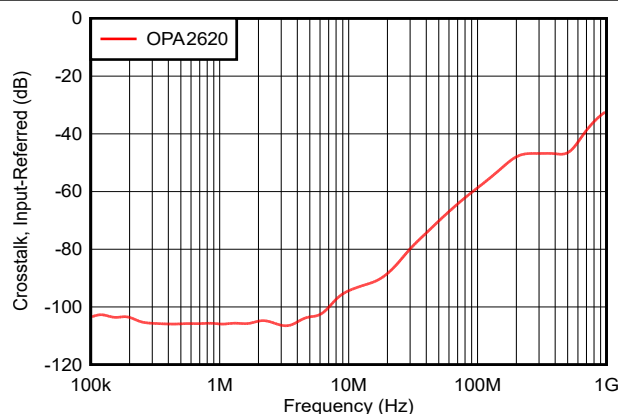
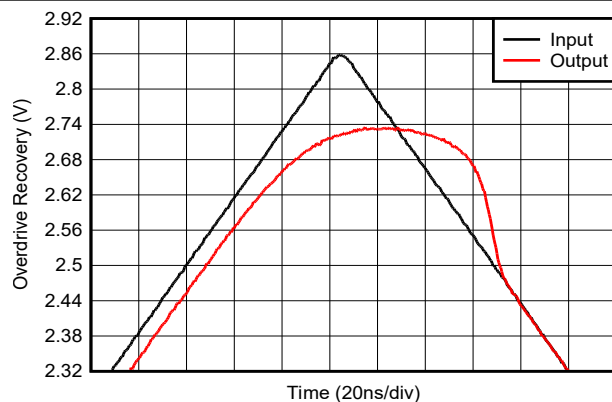


図 6-27. チャネル間クロストーク



$V_{IN} = 5.7\text{V}$ 、 $V_{OUT} = 5.5\text{V}$ 、周波数 = 500kHz

図 6-28. オーバードライブ復帰時間

7 パラメータ測定情報

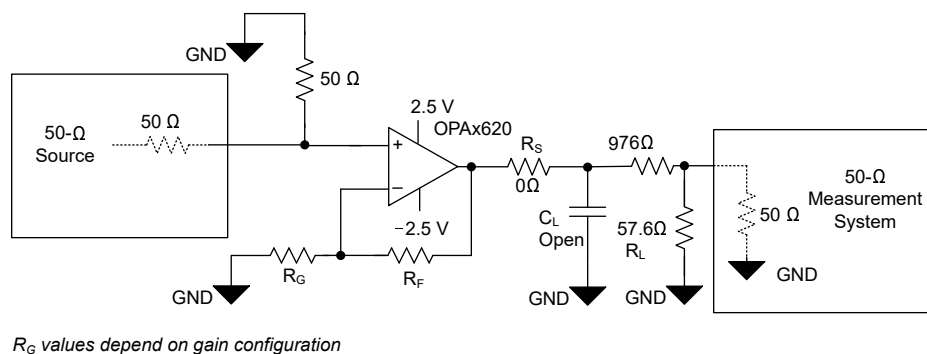


図 7-1. AC 測定のセットアップ

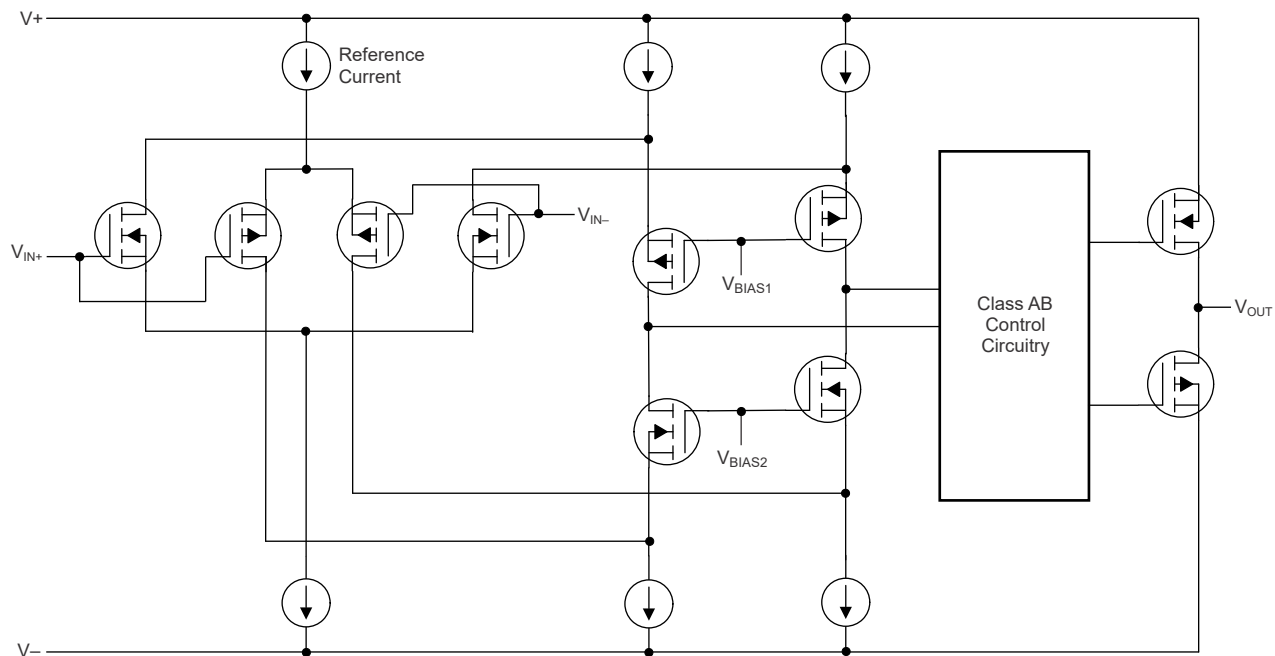
8 詳細説明

8.1 概要

OPAx620 は、CMOS テクノロジーで構築された高速電圧帰還型オペアンプです。レール ツー レールの入出力 (I/O) を採用しているため、電流センシングや高速信号処理などのアプリケーションに適しています。

このアンプは 100MHz のゲイン帯域幅と 190V/ μ s のスルーレートを特長としていますが、このアンプはユニティ ゲインで安定しており、1V/V の電圧フォロワとして動作します。

8.2 機能ブロック図



8.3 機能説明

8.3.1 動作電圧

OPAx620 は、電源電圧範囲 2.7V ~ 5.5V ($\pm 1.35\text{V}$ ~ $\pm 2.75\text{V}$) で動作が規定されています。ただし、電源電圧範囲は 2.5V ~ 5.5V ($\pm 1.25\text{V}$ ~ $\pm 2.75\text{V}$) です。

8.3.2 レール ツー レール入力

OPAx620 の規定入力同相電圧範囲は、電源レールよりも 100mV 拡張されています。これは、コンプリメンタリ入力段 (P チャネル差動ペアと並んで配置された N チャネル入力差動ペア) により達成されています。詳細については、「[セクション 8.2](#)」も参照してください。N チャネル ペアは、正電源レールに近い入力電圧、通常は正電源電圧より $(V+) - 1.2\text{V}$ ~ 100mV 高い入力電圧でアクティブになります。P チャネル ペアは、負電源より 100mV 下から約 $(V+) - 1.2\text{V}$ までの入力電圧でアクティブになります。両方のペアがアクティブになる小さな遷移領域があり、通常は $(V+) - 1.5\text{V}$ ~ $(V+) - 0.9\text{V}$ の範囲です。この 600mV の遷移領域は、プロセスのバラツキにより、 $\pm 500\text{mV}$ 変動する可能性があります。したがって、遷移領域 (両方の入力段がアクティブ) は、Low では $(V+) - 2\text{V}$ ~ $(V+) - 1.5\text{V}$ まで、High 側では最大 $(V+) - 0.9\text{V}$ ~ $(V+) - 0.4\text{V}$ の範囲になる可能性があります。

二重折りたたみカスケードは 2 組の入力ペアから信号を追加し、Class AB 出力段に差動信号を提示します。

8.3.3 レール ツー レール出力

共通ソース トランジスタを使用した Class AB 出力段により、レール ツー レールの出力を実現できます。ハインピーダンス負荷 (200 Ω 超) の場合、出力電圧スイングは通常、電源レールから 30mV です。10 Ω 負荷では、有用な出力スイングが得られますが、高い開ループ ゲインが維持されます。

8.3.4 出力駆動能力

OPAx620 の出力段は $\pm 100\text{mA}$ の連続出力電流を供給すると同時に、5V 電源で約 3.5V の出力スイングを供給します。最大限の信頼性を確保するため、 $\pm 100\text{mA}$ を超える連続 DC 電流を流さないでください。

8.3.5 容量性負荷および安定度

OPAx620 は、幅広い容量性負荷を駆動します。ただし、特定の条件下ではすべてのオペアンプが不安定になる可能性があります。安定性に影響を及ぼす主な要因としては、オペアンプの構成、ゲイン、負荷値があります。ユニティゲイン構成では、オペアンプは容量性負荷の影響を最も受けやすくなります。容量性負荷は、デバイスの出力抵抗および追加の負荷抵抗と相互作用し、小信号応答に極を形成するため、位相マージンが低下します。「[周波数応答と容量性負荷との関係](#)」の代表的な特性曲線 (各種 C_L 値の周波数応答) も参照してください。

OPAx620 トポロジは、容量性負荷を駆動する能力を向上させます。ユニティゲインでは、これらのオペアンプは大きな容量性負荷で適切に動作します。「[図 6-14](#)」の代表的な特性曲線も参照してください。

[図 8-1](#) に、ユニティゲイン構成で容量性負荷駆動能力を向上する 1 つの方法として、出力と直列に 10 Ω ~ 20 Ω の抵抗を挿入することを示しています。この構成は、大きな容量性負荷でのリングングを大幅に低減します。「[各種 \$C_L\$ 値の周波数応答](#)」の代表的な特性曲線を参照してください。ただし、容量性負荷と並列に抵抗性負荷が接続されている場合、 R_S で分圧器を構成します。この分圧器は、出力に DC 誤差を導入し、出力スイングをわずかに減少させます。この誤差は重要ではありません。たとえば、 $R_L = 10\text{k}\Omega$ 、 $R_S = 20\Omega$ の場合、出力に約 0.2% の誤差が発生します。

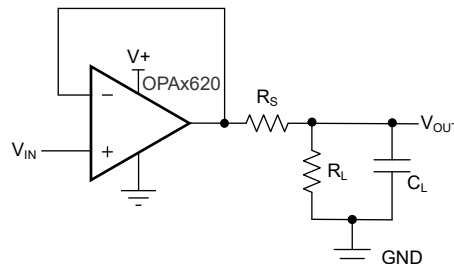


図 8-1. ユニティゲイン構成の直列抵抗により、容量性負荷駆動能力が向上

8.4 デバイスの機能モード

OPAx620 デバイスは、電源が接続されたときに電源投入されます。このデバイスは、アプリケーションに応じて、単一電源オペアンプまたはデュアル電源アンプとして動作します。差動電圧 ($V_- \sim V_+$) が 2.5V 以上、5.5V を超えていない限り、非対称電源で使用されます (例: V_- を -3.5V に、 V_+ を 2V に設定)。

9 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

OPAx620 デバイスは、電流 / 電圧検出、高速、その他のアプリケーション用に設計された、CMOS、レール ツー レール I/O、高速、電圧帰還型のオペアンプです。

これらのアンプは、100MHz のゲイン帯域幅と 190V/ μ s のスルーレートを特長としており、ユニティ ゲインで安定しており、1V/V の電圧フォロワとして動作します。

9.2 代表的なアプリケーション

9.2.1 ローサイド電検出流

ローサイド シャント抵抗器を流れる負荷電流を正確かつ迅速に検出する必要性は、過電流、帰還制御ループ、バッテリー監視、電源監視を必要とするシステムにおいて重要なアプリケーションです。負荷電流は多くの場合、ローサイド電流検出を使用して測定します。このとき、負荷とグランドとの間に配置されたシャント抵抗の両端で電圧を測定します。ローサイド電流監視を個別に実装する一般的な方法の 1 つは、[図 9-1](#) に示すように差動構成の電流検出アンプを使用することです。

このアプローチは、電流を測定するシンプルかつコスト効率の優れた方法を実現します。その場合、以下のような利点があります。

1. 適切なオフセット / ドリフト制御により、高精度を実現。
2. グランドリファレンスの測定が容易 (差動高電圧処理は不要)。
3. PCB レイアウトと信号処理の簡素化。
4. 高速障害検出向けの設計を採用しており、特にパワー エレクトロニクスや車載システムに適しています。

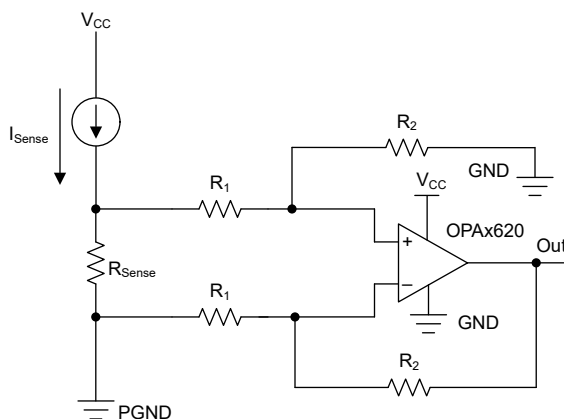


図 9-1. ローサイド電流検出回路

9.2.1.1 設計要件

この設計例では、[設計パラメータ](#) に記載されているパラメータを入力パラメータとして使用します。

表 9-1. 設計パラメータ

パラメータ	数値の例
電源電圧、 V_{CC}	3.3V

表 9-1. 設計パラメータ (続き)

パラメータ	数値の例
全温度範囲の入力オフセット電圧	±1mV
I_{Sense}	100mA~2A
R_{Sense}	15mΩ
R_1	5.1 Ω
R_2	510 Ω

9.2.1.2 詳細な設計手順

OPAx620 の高精度特性により、低消費電力と高いゲインが得られるように、 R_{Sense} はミリ Ω の範囲で選択します。オペアンプの低オフセット電圧とレール ツー レール出力は、特にシャント電圧が小さい場合や検出電流が低い場合に、測定精度に大きな影響を与える可能性があります。補正後の出力電圧スイングが大きいほど、ゲインを大きくし、 R_{Sense} を小さくすることで精度を向上し、消費電力を低減できます。

出力電圧は、以下で求められます。

$$V_{\text{OUT}} = G \times I_{\text{Sense}} \times R_{\text{Sense}}, \text{ where } G = \frac{R_2}{R_1} = 100\text{V/V} \quad (1)$$

$$\text{Output offset, } V_{\text{OSOUT}} = V_{\text{OSIN}} \times G = \pm 1\text{mV} \times 100 = \pm 0.1\text{mV} \quad (2)$$

$$\text{Max Output Swing, } V_{\text{OPP}} = V_{\text{MAXOUT}} - 2 \times V_{\text{OSOUT}}, \text{ where } V_{\text{MAXOUT}} \text{ is maximum voltage swing at the output} \quad (3)$$

$$V_{\text{OPP}} = (3.3 - 0.2) - 2 \times 0.1\text{mV} = 2.9\text{V} \quad (4)$$

したがって、高精度アンプを採用すると、使用可能な出力スイングが大きくなります。このセットアップは、トラクション インバータ、オンボード チャージャ、DC/DC コンバータなどの電気自動車システムに最適です。この場合、SiC/GaN ベースの電力段を保護するには、微小な電流変化の検出や、1μs 未満の電流フォルトへの対応が不可欠です。

9.2.1.3 アプリケーション曲線

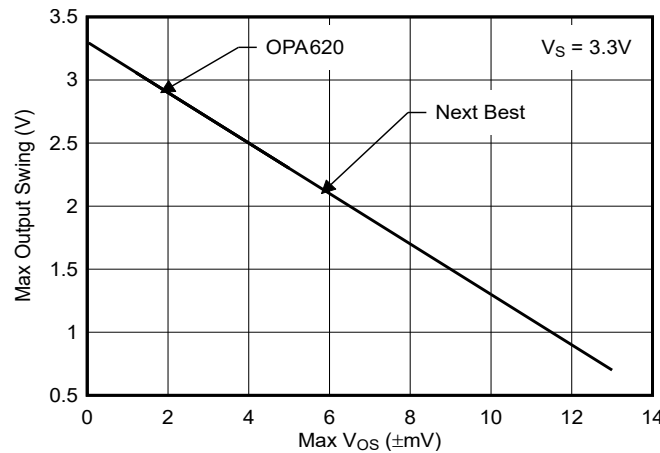


図 9-2. 最大 V_{OS} と最大出力スイングとの関係

9.2.2 CPU/GPU 外部電源電圧モニタ

最新のコンピューティング アプリケーションで低電圧によるシステムの安定性とシャットダウンを維持するには、CPU または GPU の低電圧監視が不可欠です。

9.2.2.1 詳細な設計手順

図 9-3 は、CPU/GPU の電源電圧 (V_{CC}) を差動アンプによって監視し、コンパレータを使用して次段の基準レベルと比較できるように入力をスケーリングする、従来型の低電圧検出方式を示しています。差動アンプは通常、ユニティゲイン構成です。 V_{CC} があらかじめ設定されたスレッシュホールドを下回ると、コンパレータ出力は状態を切り替えて、システム シャットダウン、周波数スロットリング、電圧レギュレーションの調整などの保護動作をトリガします。

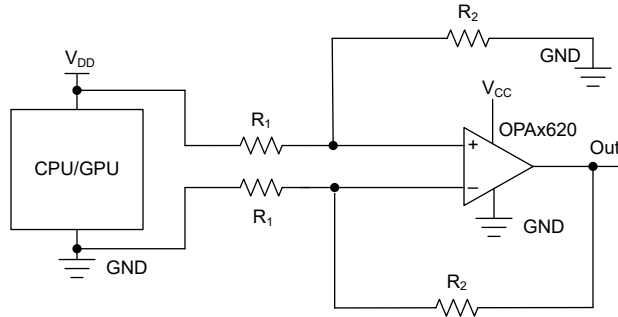


図 9-3. 電圧監視回路

9.2.3 A/D コンバータの駆動

9.2.3.1 詳細な設計手順

OPAx620 シリーズのオペアンプは、60ns のセtring タイムを 0.01% まで実現しているため、高速および中速度サンプリング ADC およびリファレンス回路を駆動するのに適したシリーズです。OPAx620 シリーズは、信号ゲインを提供しながら、ADC の入力容量とそれに伴うチャージ インジェクションをバッファする効果的な手段となります。OPAx620 は、高い DC 精度を必要とするアプリケーションに最適です。

OPAx620 で ADC を駆動する例を、図 9-4 に示します。OPAx620 は反転構成の場合、帰還抵抗の両端に接続したコンデンサを使用して、信号内の高周波ノイズをフィルタリングします。

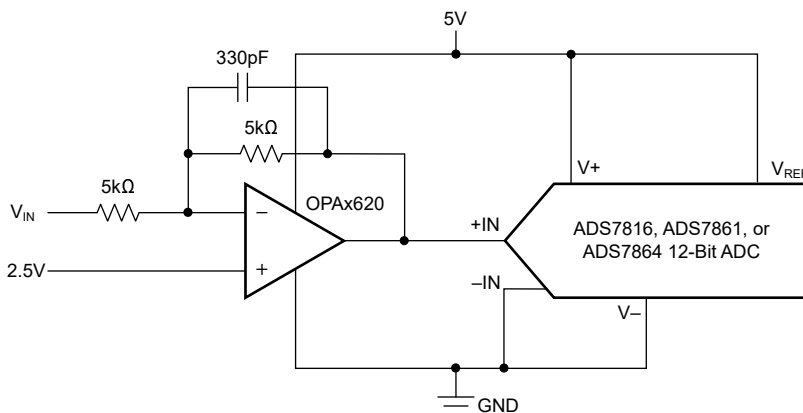


図 9-4. ADS7816 を駆動する反転構成の OPAx620

1. ADC 入力 = $0V \sim V_{REF}$ 。
2. $0V \sim 5V$ の出力の場合、 $V_{IN} = 0V \sim -5V$ です。

9.2.4 広帯域トランスインピーダンス アンプ

広帯域幅、低入力バイアス電流、低入力電圧 / 電流ノイズを備えた OPAx620 デバイスは、広帯域フォトダイオードトランスインピーダンス アンプの用途、特に低電圧単一電源設計に最適な選択肢です。フォトダイオード容量によって、回路の実効ノイズ ゲインが高周波で大きくなるため、低電圧ノイズは極めて重要です。

9.2.4.1 詳細な設計手順

トランスインピーダンス アンプ設計の主要要素は、OPAx620 の場合、想定されるダイオード容量、 C_D (寄生入力コモンモードとディファレンシャルモードの容量 $2 + 2\text{pF}$ を含む)、目的のトランスインピーダンス ゲイン (R_F)、および OPAx620 のゲイン帯域幅積 (GBW) (標準値 100MHz) です。これらの 3 つの変数が決定したら、帰還コンデンサの値 (C_F) を設定し、周波数応答を制御します。帰還容量の計算には、浮遊容量を含める必要があり、表面実装抵抗では通常 0.2pF です

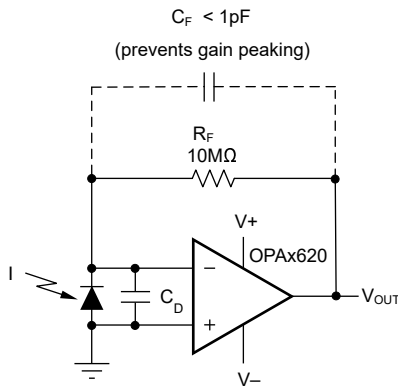


図 9-5. トランスインピーダンス アンプ

2 次バターワース周波数応答が最大限平坦になるように、式 1 に記載されている通りに帰還極を設定する必要があります。

$$\frac{1}{2 \times \pi \times R_F \times C_F} = \sqrt{\frac{\text{GBW}}{4 \times \pi \times R_F \times C_D}} \quad (5)$$

標準的な表面実装抵抗の寄生容量は約 0.2pF です。帰還容量の計算値から、寄生容量を差し引きます。式 2 は、帯域幅を計算します。

$$f_{-3\text{dB}} = \sqrt{\frac{\text{GBW}}{2 \times \pi \times R_F \times C_D}} \quad (6)$$

より高いトランスインピーダンス帯域幅を得るには、高速 FET 入力 OPA355 (200MHz GBW) または OPA657 (1600MHz GBW) を使用してください。

9.3 電源に関する推奨事項

OPAx620 ファミリー デバイスは、 $2.7\text{V} \sim 5.5\text{V}$ ($\pm 1.35\text{V} \sim \pm 2.75\text{V}$) で動作が規定されており、多くの仕様は $-40^\circ\text{C} \sim +125^\circ\text{C}$ で適用されます。

電源ピンの近くに $0.1\mu\text{F}$ のバイパス コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源からの誤差を低減できます。セクション 9.4.1 も参照してください。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

OPAx620 は、良好な高周波プリント基板 (PCB) レイアウト手法を採用します。グランド プレーン、短い信号パターン、直接の信号パターンを豊富に使用し、V+ ピンに優れたバイパス コンデンサを選択することで、クリーンで安定した動作を実現します。銅の面積が大きいほど、通常動作で発生する熱を放散する手段が提供されます。

TI では、いかなる高速アンプにもソケットを使用することを推奨していません。

10nF のセラミック バイパス コンデンサは最小推奨値です。低抵抗性負荷を駆動する際には、1μF またはそれ以上のタンタル コンデンサを並列に追加すると効果的です。高調波および相互変調歪みを低減するには、十分なバイパス キャパシタンスを確保することが不可欠です。

9.4.1.1 消費電力

消費電力は、電源電圧、信号、負荷条件によって異なります。DC 信号では、消費電力は、出力電流と導通型出力トランジスタの両端の電圧

$V_S - V_O$ の積に等しくなります。要求される出力電圧スイングを供給できる最低限の電源電圧を使用することで、電力消費を最小限に抑えることが可能です。

抵抗性負荷の場合、DC 出力電圧が電源電圧の半分のとき、最大消費電力が発生します。AC 信号での消費電力は少なくなります。『[パワー アンプのストレスと電力処理の制限](#)』アプリケーション速報では、異常な信号および負荷で消費電力を計算または測定する方法について説明しています。

過熱保護回路が作動する傾向にある場合、消費電力が過剰であるか、ヒート シンクが不十分であることを示しています。信頼性の高い動作を実現するには、最大接合部温度を[セクション 6.3](#)に記載された値に制限します。完全な設計での安全率を推定するには、160°C で過熱保護がトリガされるまで周囲温度を上げてください。過熱保護は、アプリケーションの予測最大周囲条件よりも 35°C 以上高い温度でトリガする必要があります。

9.4.2 レイアウト例

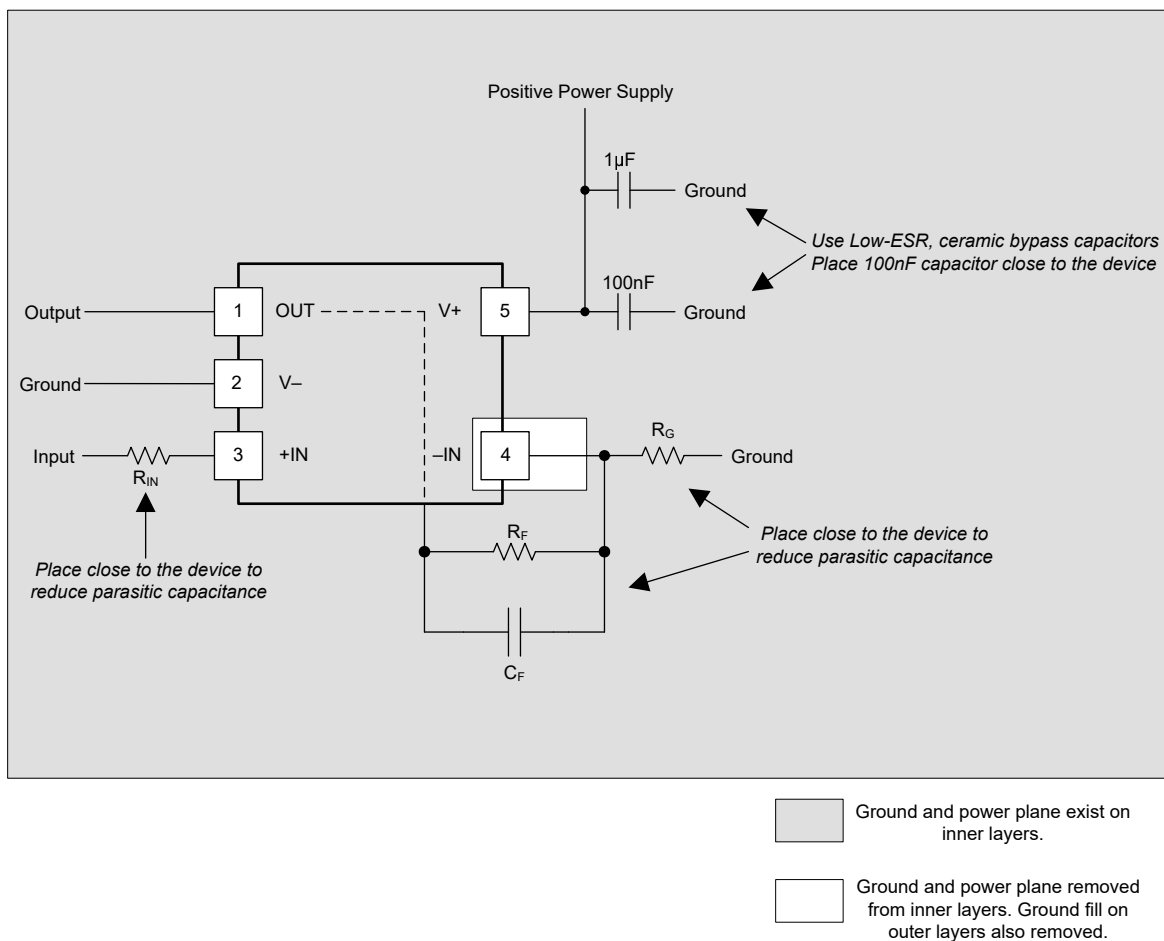


図 9-6. 非反転構成のオペアンプ基板のレイアウト

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『[ADS8326 16 ビット、高速、2.7V ~ 5.5V マイクロパワー サンプリングの A/D コンバータ](#)』
- テキサス インスツルメンツ、『[トランスインピーダンス アンプの直感的な補償](#)』
- テキサス インスツルメンツ、『[FilterPro™ ユーザー ガイド](#)』
- テキサス・インスツルメンツ、『[高速オペアンプのノイズ解析](#)』
- テキサス インスツルメンツ、『[OPA380 および OPA2380 高精度、高速トランスインピーダンス アンプ](#)』
- テキサス インスツルメンツ、『[OPA355, OPA2355, OPA3355 シャットダウン機能付き 200MHz、CMOS オペアンプ](#)』
- テキサス インスツルメンツ、『[OPA656 広帯域、ユニティ ゲイン安定、FET 入力オペアンプ](#)』
- テキサス インスツルメンツ、『[パワー アンプのストレスと電力処理の制限](#)』
- テキサス インスツルメンツ、『[放熱特性に優れた PowerPAD パッケージ](#)』

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (April 2026) to Revision A (June 2026)	Page
• DGK (VSSOP, 8) パッケージおよび関連する内容をデータシートに追加.....	1
• OPA2620 の仕様表にチャネル間クロストークを追加.....	7

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2620DGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2620
OPA620DBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	620B

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

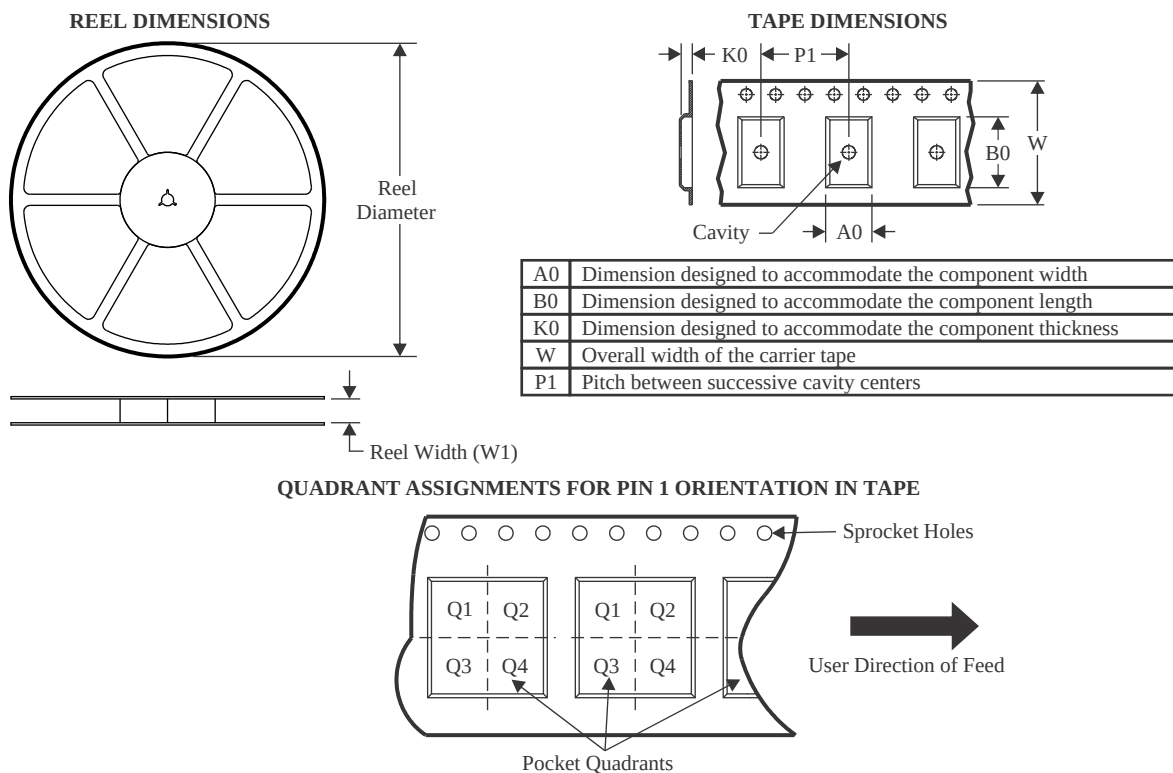
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

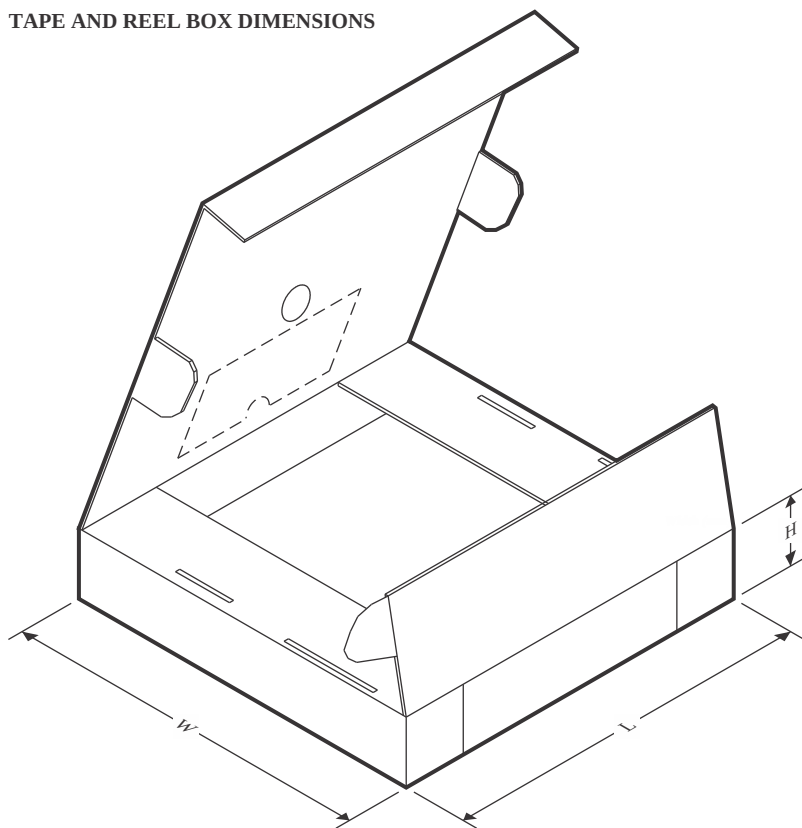
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2620DGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA620DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

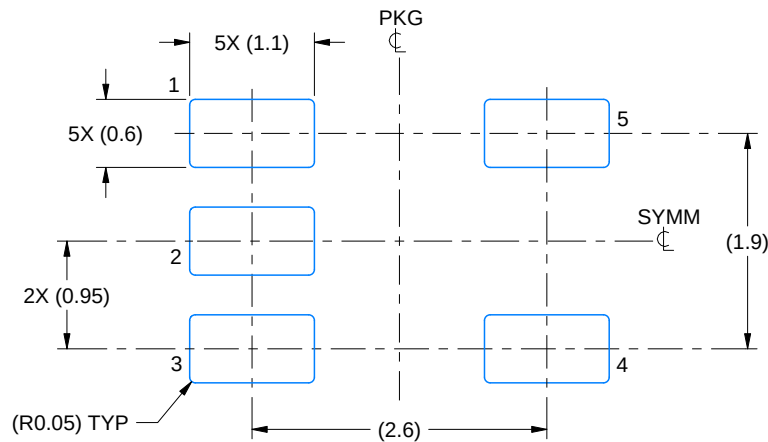
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2620DGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA620DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0

EXAMPLE BOARD LAYOUT

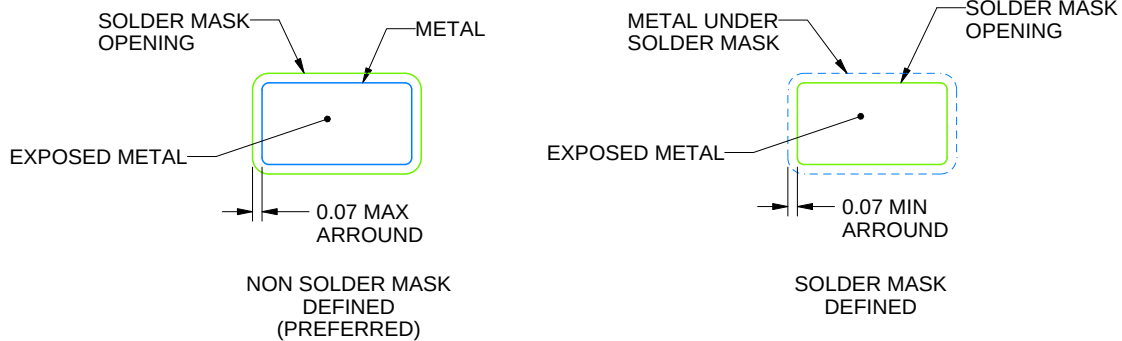
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

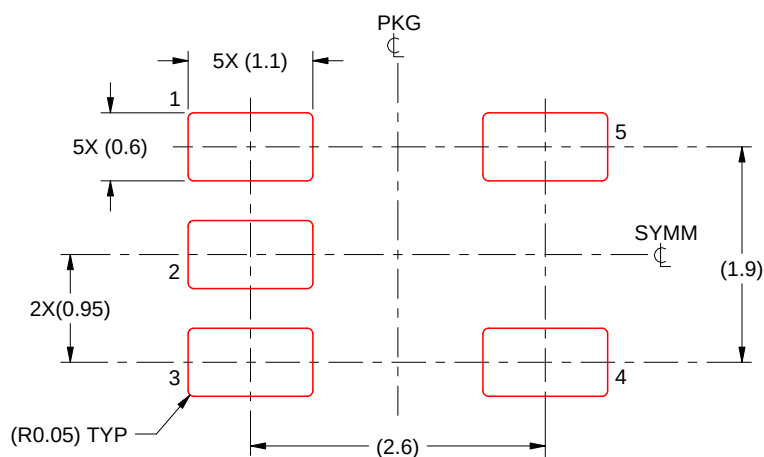
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



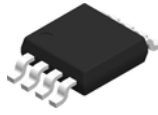
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

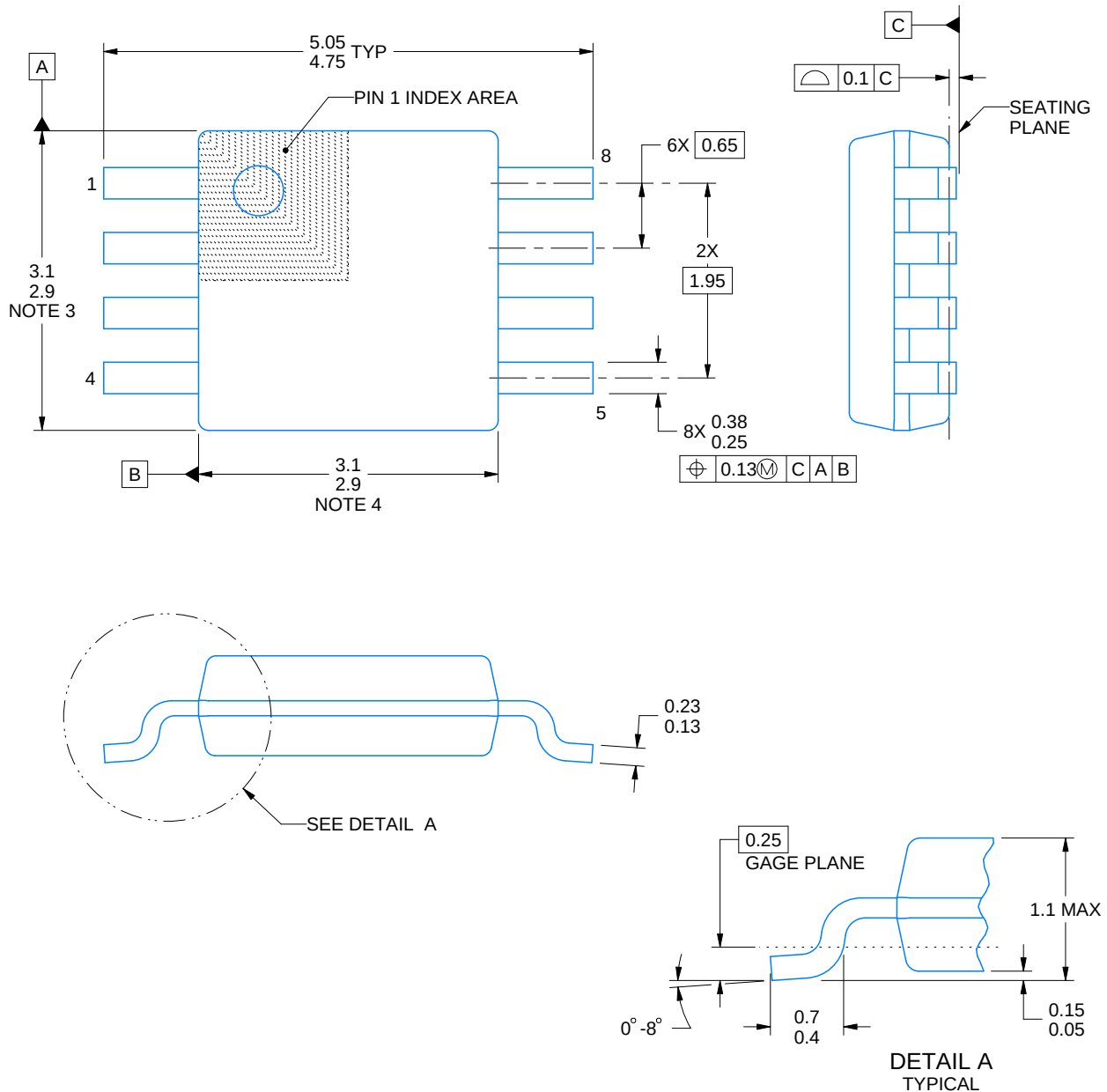
DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

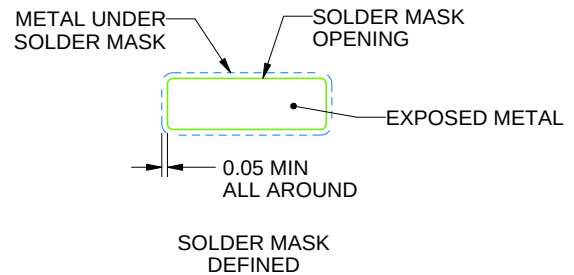
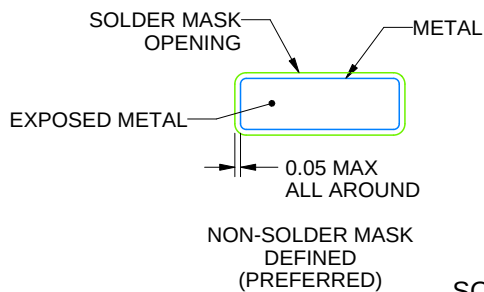
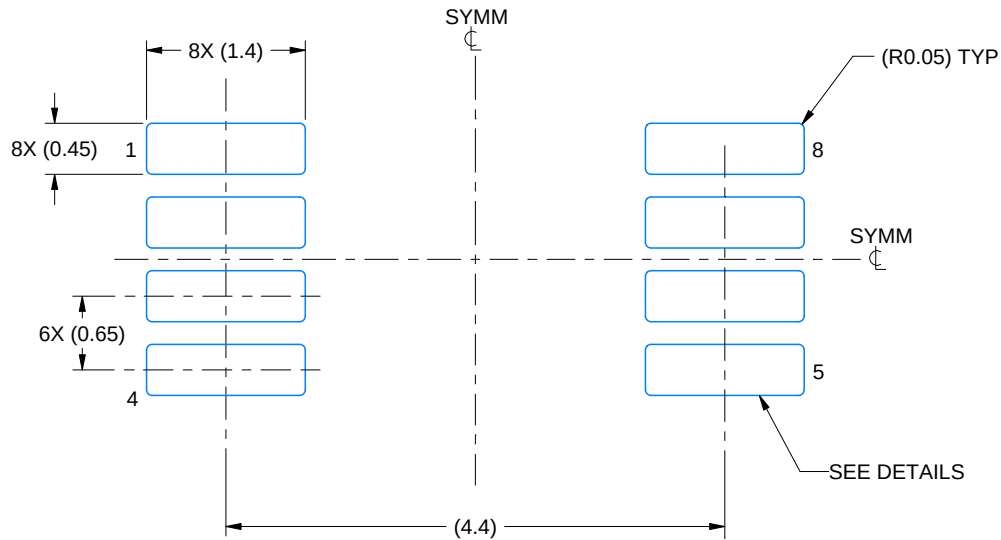
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

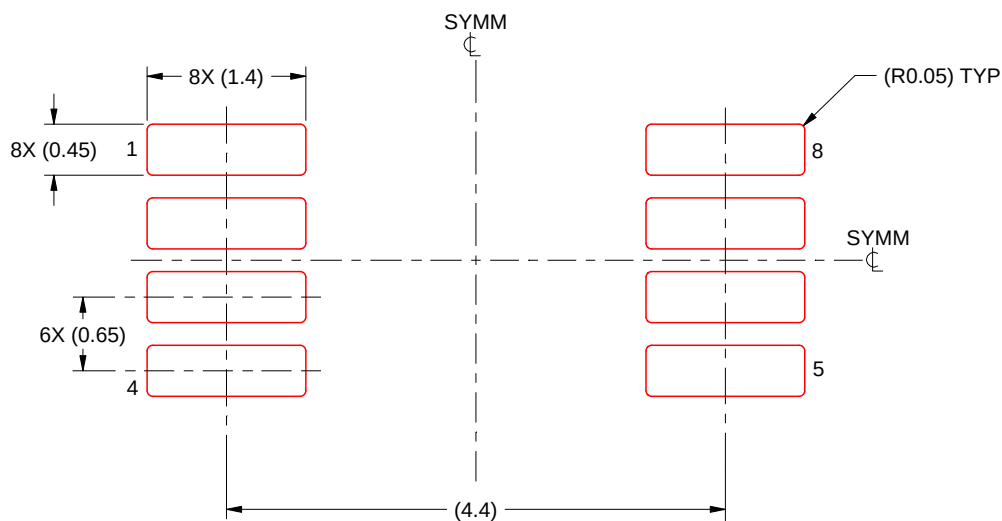
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月