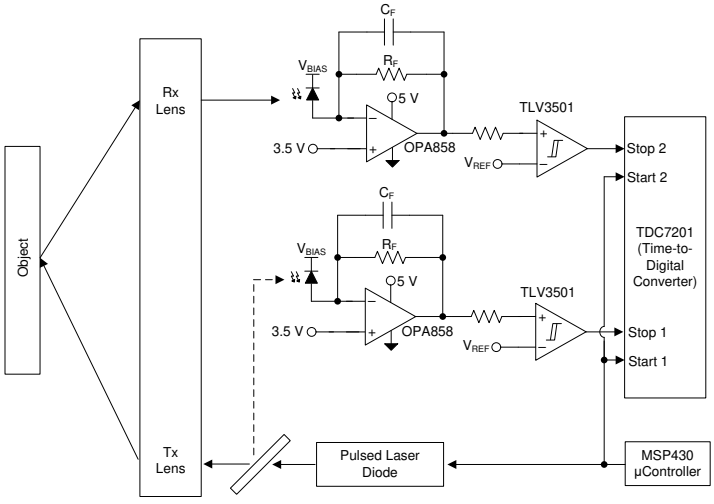
OPA858 5.5GHz ゲイン帯域幅積、7V/V ゲイン安定、FET 入力アンプ

1 特長

- 高いゲイン帯域幅積:5.5GHz
- 不完全補償型、ゲイン 7V/V 以上 (安定)
- 非常に低いバイアス電流 MOSFET 入力:10pA
- 小さい入力電圧ノイズ:2.5nV/√Hz
- スルーレート:2000V/µs
- 低入力容量:
  - 同相:0.6pF
  - 差動:0.2pF
- 広い入力同相範囲:
  - 正電源から 1.4V
  - 負電源を含む
- TIA 構成で 2.5V_{PP} の出力スイング
- 電源電圧範囲:3.3V ～ 5.25V
- 静止電流:20.5mA
- パッケージ:8 ピン WSON
- 温度範囲:-40°C ～ +125°C

2 アプリケーション

- 光学時間領域反射率測定 (OTDR)
- 3D スキャナ
- レーザーによる測距
- ソリッド ステート スキャン LIDAR
- 光学 ToF 位置センサ
- ドローン ビジョン
- 産業用ロボットの LIDAR
- 掃除ロボットの LIDAR
- シリコン光電子増倍素子 (SiPM) バッファ アンプ
- フォトマルチプライヤ管のポスト アンプ



高速タイム オブ フライト レシーバ

3 説明

OPA858 は、広帯域トランスインピーダンスおよび電圧アンプ アプリケーション用の広帯域、低ノイズの CMOS 入力オペアンプです。本デバイスをトランスインピーダンス アンプ (TIA) として構成した場合、5.5GHz のゲイン帯域幅積 (GBWP) により、数十から数百キロオームの範囲のトランス インピーダンス ゲインで高い閉ループ帯域幅が可能になります。

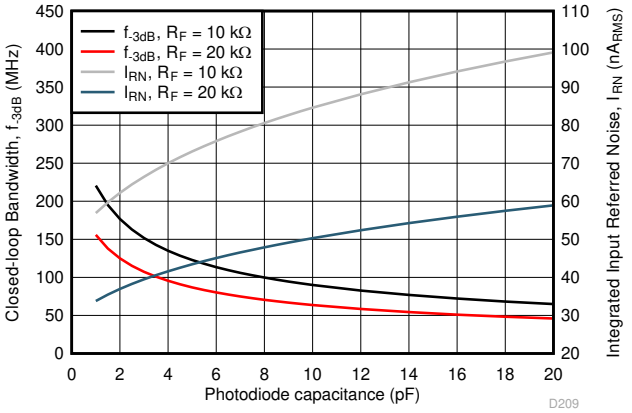
次のグラフは、アンプが TIA として構成されているときの OPA858 の帯域幅およびノイズ特性を、フォトダイオード容量の関数として示したものです。合計ノイズは、dc から左側のスケールで計算された周波数 (*f*) までの帯域幅の範囲にわたって計算されます。OPA858 のパッケージにはフィードバック ピン (FB) があるため、入力と出力の間の帰還回路接続が簡単になります。

OPA858 は、OPA858 を TDC7201 などの時間 / デジタル コンバータと組み合わせて使用する光学的タイム オブ フライト (ToF) システムで動作するよう最適化されています。OPA858 を使うと、THS4541 や LMH5401 デバイスなどの差動出力アンプを接続した高分解能 LIDAR システムの高速 A/D コンバータ (ADC) を駆動できます。

パッケージ情報

部品番号 (1)	パッケージ (2)	パッケージ サイズ(3)
OPA858	DSG (WSON、8)	2.00mm × 2.00mm
	ベア ダイ	0.751mm × 0.705mm

(1) *デバイス比較表* を参照してください。
(2) 詳細については、セクション 12 を参照してください。
(3) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



フォトダイ オード容量と帯域幅およびノイズとの関係

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 デバイス比較表.....2
5 ピン構成および機能.....3
6 仕様.....5
6.1 絶対最大定格.....5
6.2 ESD 定格.....5
6.3 推奨動作条件.....5
6.4 熱に関する情報.....5
6.5 電気的特性.....6
6.6 代表的特性.....8
7 パラメータ測定情報.....16
8 詳細説明.....17
8.1 概要.....17
8.2 機能ブロック図.....17
8.3 機能説明.....18
8.4 デバイスの機能モード.....21
9 アプリケーションと実装.....22
9.1 アプリケーション情報.....22
9.2 代表的なアプリケーション.....23
9.3 電源に関する推奨事項.....27
9.4 レイアウト.....28
10 デバイスおよびドキュメントのサポート.....30
10.1 デバイス サポート.....30
10.2 ドキュメントのサポート.....30
10.3 ドキュメントの更新通知を受け取る方法.....30
10.4 サポート・リソース.....30
10.5 商標.....30
10.6 静電気放電に関する注意事項.....30
10.7 用語集.....30
11 改訂履歴.....30
12 メカニカル、パッケージ、および注文情報.....31

4 デバイス比較表

デバイス	入力タイプ	最小安定ゲイン	電圧ノイズ (nV/√Hz)	入力容量 (pF)	ゲイン帯域幅 (GHz)
OPA858	CMOS	7 V/V	2.5	0.8	5.5
OPA855	バイポーラ	7 V/V	0.98	0.8	8
LMH6629	バイポーラ	10 V/V	0.69	5.7	4

Copyright © 2025 Texas Instruments Incorporated

5 ピン構成および機能

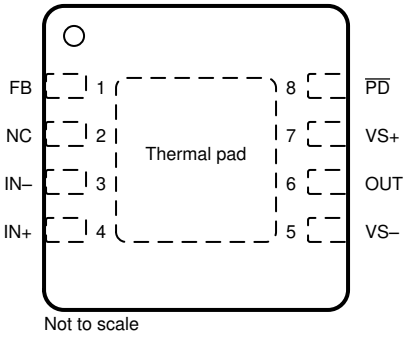


図 5-1. DSG パッケージ、8 ピン WSON (露出サーマル パッド付き) (上面図)

表 5-1. ピンの機能

ピン		タイプ	説明
名称	番号		
FB	1	入力	アンプの出力への帰還接続
IN-	3	入力	反転入力
IN+	4	入力	非反転入力
NC	2	—	接続しない
OUT	6	出力	アンプの出力
$\overline{PD}$	8	入力	パワー ダウン接続。$\overline{PD}$ = 論理 Low = 電源オフ モード、$\overline{PD}$ = 論理 High = 通常動作。
VS–	5	—	負電源電圧
VS+	7	—	正電源電圧
サーマル パッド		—	サーマル パッドを VS- に接続します。

Copyright © 2025 Texas Instruments Incorporated

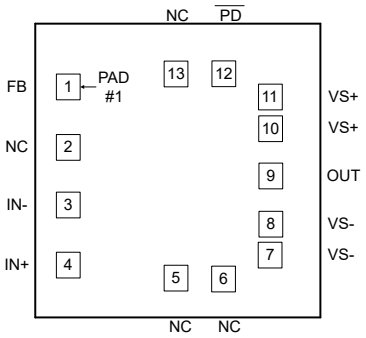


図 5-2. ベア ダイ パッケージ

表 5-2. 接着パッド機能

PAD		タイプ	説明
名称	番号		
FB	1	入力	アンプの出力への帰還接続
IN-	3	入力	反転入力
IN+	4	入力	非反転入力
NC	2、5、6、13	—	接続しない
OUT	9	出力	アンプの出力
$\overline{PD}$	12	入力	パワー ダウン接続。$\overline{PD}$ = 論理 Low = 電源オフ モード、$\overline{PD}$ = 論理 High = 通常動作。
VS–	7.8	—	負電源電圧
VS+	10.11	—	正電源電圧
裏面		—	VS– に接続

表 5-3. ベア ダイの情報

ダイの厚さ	裏面仕上げ	裏面電位	接着パッド メタライゼーション
381µm	シリコン (バックグラインド加工)	裏面のウェハーは VS– に電気的に接続されています	AlCu

表 5-4. ベア ダイ バージョンの接着パッドの座標 (ミクロン単位)

パッド番号	パッド名	X- 最小	Y- 最小	X- 最大	Y- 最大
1	FB	14.5	537.4	79.5	602.4
2	NC	14.5	379	79.5	444
3	IN-	14.5	227	79.5	292
4	IN+	14.5	68.6	79.5	133.6
5	NC	296.725	34.825	361.725	99.825
6	NC	421.725	34.825	486.725	99.825
7	VS–	545.5	93.8	610.5	158.8
8	VS–	545.5	178.8	610.5	243.8
9	OUT	545.5	303	610.5	368
10	VS+	545.5	427.2	610.5	492.2
11	VS+	545.5	512.2	610.5	577.2
12	$\overline{PD}$	421.325	571.175	486.325	636.175
13	NC	297.125	571.175	362.125	636.175

Copyright © 2025 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
V_S	全電源電圧 (V_{S+} – V_{S-})		5.5	V
V_{IN+}, V_{IN-}	入力電圧	(V_{S-}) – 0.5	(V_{S+}) + 0.5	V
V_{ID}	差動入力電圧		1	V
V_{OUT}	出力電圧	(V_{S-}) – 0.5	(V_{S+}) + 0.5	V
I_{IN}	連続入力電流		±10	mA
I_{OUT}	連続出力電流(2)		±100	mA
T_J	接合部温度		150	℃
T_A	自由空気での動作温度	-40	125	℃
T_{stg}	保存温度	-65	150	℃

(1) *「絶対最大定格」*の範囲を超える動作は、デバイスに永続的な損傷を与える可能性があります。*絶対最大定格* は、これらの条件において、または *推奨動作条件* に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。*「絶対最大定格」*の範囲内であっても *「推奨作動条件」*の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) エレクトロマイグレーションを制限するための長期的な連続出力電流。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±1000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±1500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_S	全電源電圧 (V_{S+} – V_{S-})	3.3	5	5.25	V
T_A	自由空気での動作温度	-40		125	℃

6.4 熱に関する情報

熱評価基準(1)		OPA858 DSG (WSON) 8 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	80.1	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	100	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	45	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	6.8	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	45.2	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	22.7	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性

V_{S+} = 5V、$V_{S–}$ = 0V、G = 7V/V、R_F = 453Ω、入力同相電圧が中間電源でバイアスされ、R_L = 200Ω、出力負荷は中間電源を基準、T_A = 25°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位	テスト レベル(1)
AC 特性							
SSBW	小信号帯域幅	V_{OUT} = 100 mV_{PP}		1.2		GHz	C
LSBW	大信号帯域幅	V_{OUT} = 2 V_{PP}		600		MHz	C
GBWP	ゲイン帯域幅積			5.5		GHz	C
	0.1dB 平坦度の帯域幅			130		MHz	C
SR	スルー レート (10%-90%)	V_{OUT} = 2-V ステップ		2000		V/µs	C
t_r	立ち上がり時間	V_{OUT} = 100-mV ステップ		0.3		ns	C
t_f	立ち下がり時間	V_{OUT} = 100-mV ステップ		0.3		ns	C
	0.1% までのセトリング タイム	V_{OUT} = 2-V ステップ		8		ns	C
	0.001% までのセトリング タイム	V_{OUT} = 2-V ステップ		3000		ns	C
	オーバーシュートまたはアンダーシュート	V_{OUT} = 2-V ステップ		7%			C
	オーバードライブ復帰時間	2 倍の出力オーバードライブ (0.1% 復帰時間)		200		ns	C
HD2	2 次高調波歪	f = 10MHz、V_{OUT} = 2V_{PP}		88		dBc	C
		f = 100MHz、V_{OUT} = 2V_{PP}		64			
HD3	3 次高調波歪	f = 10MHz、V_{OUT} = 2V_{PP}		86		dBc	C
		f = 100MHz、V_{OUT} = 2V_{PP}		68			
e_n	入力換算電圧ノイズ	f = 1MHz		2.5		nV/√Hz	C
Z_{OUT}	閉ループ出力インピーダンス	f = 1MHz		0.15		Ω	C
DC 特性							
A_{OL}	開ループ電圧ゲイン (2)		72	75		dB	A
V_{OS}	入力オフセット電圧(2)	T_A = 25°C	-5	±0.8	5	mV	A
$\Delta V_{OS}/\Delta T$	入力オフセット電圧ドリフト	T_A = –40°C～+125°C		±2		µV/°C	B
I_{BN}、I_{BI}	入力バイアス電流(2)	T_A = 25°C		±0.4	5	pA	A
I_{BOS}	入力オフセット電流(2)	T_A = 25°C		±0.01	5	pA	A
CMRR	同相信号除去比(2)	V_{CM} = ±0.5V、中間電圧基準	70	90		dB	A
入力							
	同相入力抵抗			1		GΩ	C
C_{CM}	同相入力キャパシタンス			0.62		pF	C
	差動入力抵抗			1		GΩ	C
C_{DIFF}	差動入力容量			0.2		pF	C
V_{IH}	同相入力 電圧 (high)(2)	CMRR > 66dB、V_{S+} = 3.3V	1.7	1.9		V	A
V_{IL}	同相入力 電圧 (low)(2)	CMRR > 66dB、V_{S+} = 3.3V		0	0.4	V	A
V_{IH}	同相入力 電圧 (high)(2)	CMRR > 66dB	3.4	3.6		V	A
		T_A = –40°C ～ +125°C、 CMRR > 66dB		3.4			B
V_{IL}	同相入力 電圧 (low)(2)	CMRR > 66dB		0	0.4	V	A
		T_A = –40°C ～ +125°C、 CMRR > 66dB		0.35			B

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性 (続き)

V_{S+} = 5V、$V_{S–}$ = 0V、G = 7V/V、R_F = 453Ω、入力同相電圧が中間電源でバイアスされ、R_L = 200Ω、出力負荷は中間電源を基準、T_A = 25°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位	テスト レベル(1)
出力							
V_{OH}	出力電圧 (high)	T_A = 25°C、V_{S+} = 3.3V	2.3	2.4		V	A
		T_A = 25℃	3.95	4.1			A
		T_A = –40℃～+125℃		3.9			B
V_{OL}	出力電圧 (low)	T_A = 25°C、V_{S+} = 3.3V		1.05	1.15	V	A
		T_A = 25℃		1.05	1.15		A
		T_A = –40℃～+125℃		1.2			B
	リニア出力駆動 (シンクおよびソース) (2)	R_L = 10Ω、A_{OL} > 60dB	65	80		mA	A
		T_A = –40℃ ～ +125℃、R_L = 10Ω、A_{OL} > 60dB		64			B
I_{SC}	出力短絡検出電流(2)		85	105		mA	A
電源							
I_Q	静止時電流	V_{S+} = 5V	18	20.5	24	mA	A
		V_{S+} = 3.3V	17.5	20	23.5		A
		V_{S+} = 5.25V	18	21	24		A
		T_A = 125℃		24.5			B
		T_A = -40℃		18.5			B
PSRR+	正の電源電圧変動除去比(2)		74	84		dB	A
PSRR–	負の電源電圧変動除去比(2)		70	80		dB	A
パワーダウン							
	電圧スレッショルド無効化	この電圧未満の場合、アンプはオフになります	0.65	1		V	A
	電圧スレッショルド有効化	この電圧よりも高い場合、アンプがオンになります		1.5	1.8	V	A
	パワーダウン静止時電流			70	140	µA	A
	$\overline{PD}$ バイアス電流			70	200	µA	A
	ターンオン時間の遅延	V_{OUT} が最終値の 90% までの時間		13		ns	C
	ターンオフ時間の遅延			120		ns	C

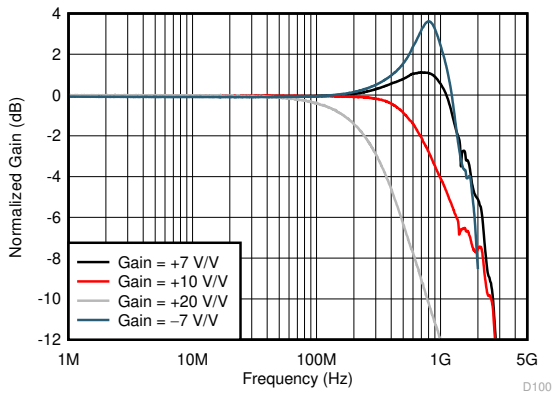
(1) テスト レベル (特性とシミュレーションにより設定されたすべての値): (A) 25°C で 100% テスト済み、特性評価とシミュレーションによる過熱制限あり、(B) 量産ではテストしていない、特性とシミュレーションにより設定された制限値、(C) 情報用の標準値のみ。

(2) 最小値および最大値の制限値は、ベア ダイには適用されません。

Copyright © 2025 Texas Instruments Incorporated

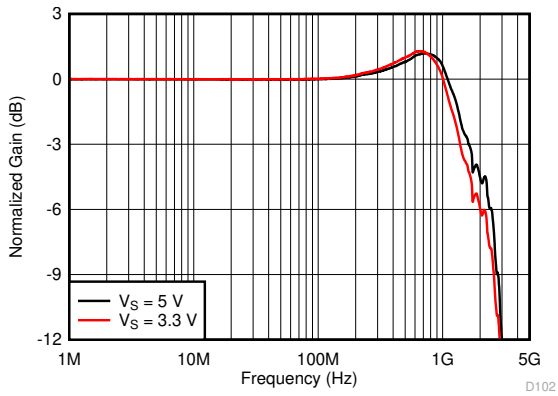
6.6 代表的特性

V_{S+} = 2.5V、$V_{S–}$ = -2.5V、V_{IN+} = 0V、R_F = 453Ω、ゲイン = 7V/V、R_L = 200Ω、出力負荷は中間電源を基準とし、T_A = 25°C、(特に記述のない限り)



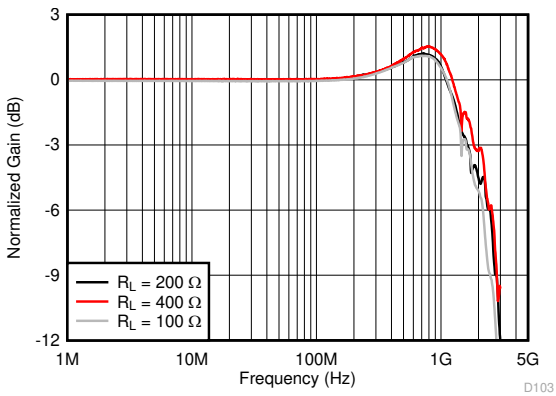
V_{OUT} = 100mV$_{PP}$、回路構成については、図 7-1 および 図 7-2 を参照してください

図 6-1. 小信号周波数応答とゲインとの関係



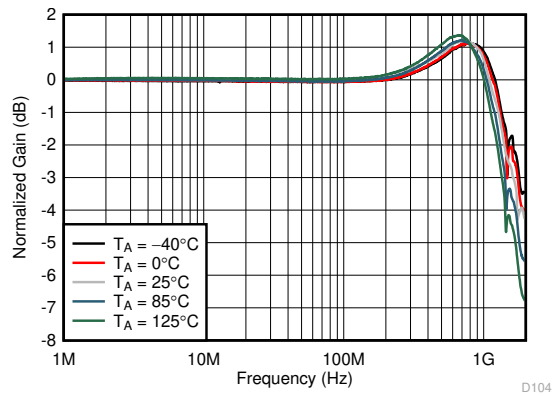
V_{OUT} = 100 mV$_{PP}$

図 6-2. 小信号周波数応答と電源電圧との関係



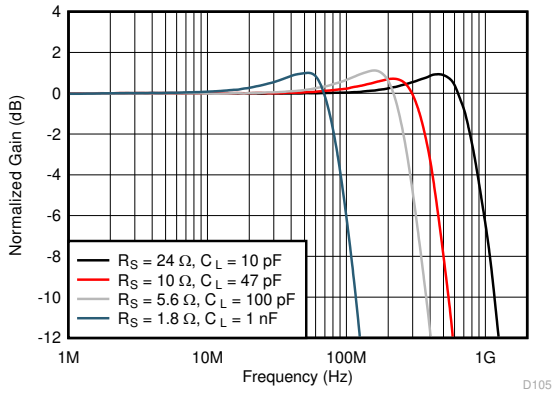
V_{OUT} = 100 mV$_{PP}$

図 6-3. 小信号周波数応答と出力負荷との関係



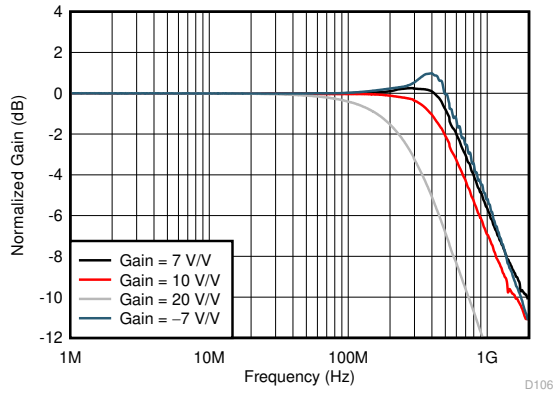
V_{OUT} = 100 mV$_{PP}$

図 6-4. 小信号周波数応答と周囲温度との関係



V_{OUT} = 100mV$_{PP}$、回路構成については、図 7-3 を参照してください

図 6-5. 小信号周波数応答と容量性負荷との関係



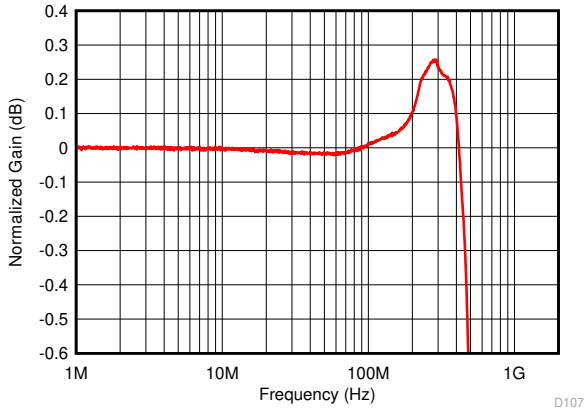
V_{OUT} = 2 V$_{PP}$

図 6-6. 大信号周波数応答とゲインとの関係

Copyright © 2025 Texas Instruments Incorporated

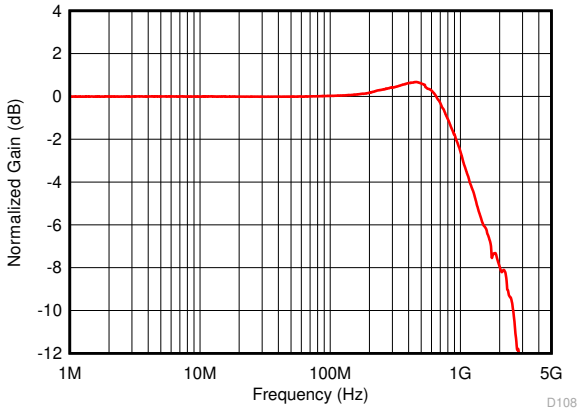
6.6 代表的特性 (続き)

V_{S+} = 2.5V、$V_{S–}$ = -2.5V、V_{IN+} = 0V、R_F = 453Ω、ゲイン = 7V/V、R_L = 200Ω、出力負荷は中間電源を基準とし、T_A = 25°C、(特に記述のない限り)



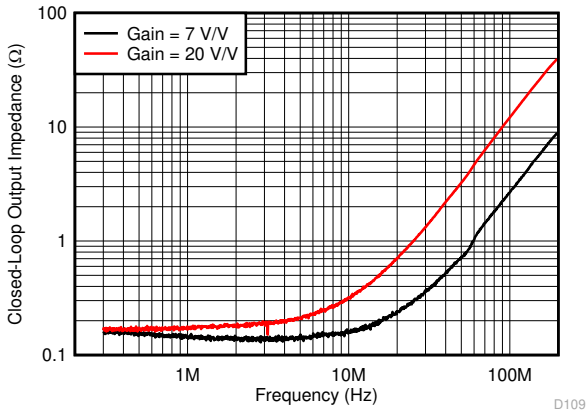
V_{OUT} = 2 V_{PP}

図 6-7. 0.1dB のゲイン フラットネスに対する大信号応答



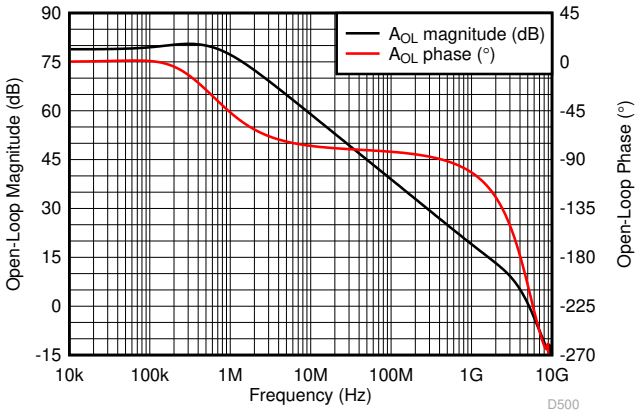
V_S = 3.3V　　V_{OUT} = 1 V_{PP}

図 6-8. 大信号周波数応答



小信号応答

図 6-9. 閉ループ出力インピーダンスと周波数との関係



小信号応答

図 6-10. 開ループ振幅および位相と周波数との関係

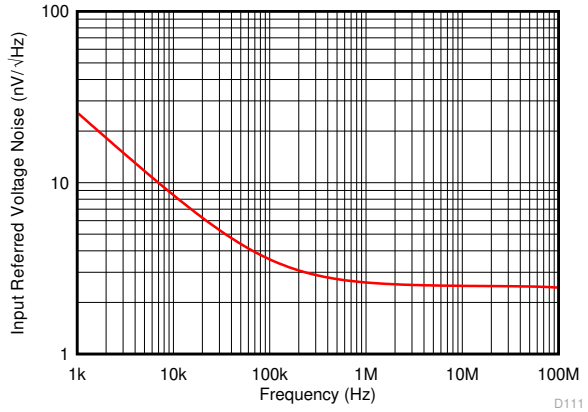
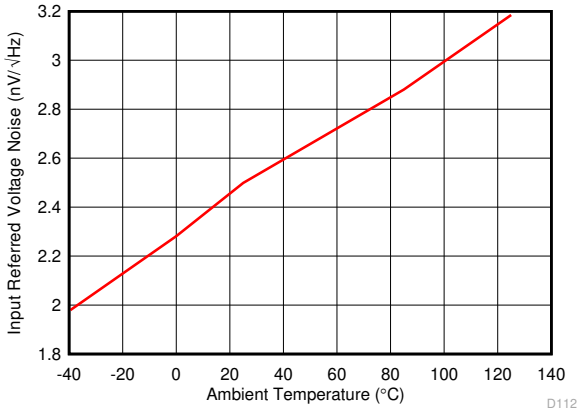


図 6-11. 電圧ノイズ密度と周波数との関係



周波数 = 10MHz

図 6-12. 電圧ノイズ密度と周囲温度との関係

Copyright © 2025 Texas Instruments Incorporated

6.6 代表的特性 (続き)

V_{S+} = 2.5V、$V_{S–}$ = -2.5V、V_{IN+} = 0V、R_F = 453Ω、ゲイン = 7V/V、R_L = 200Ω、出力負荷は中間電源を基準とし、T_A = 25°C、(特に記述のない限り)

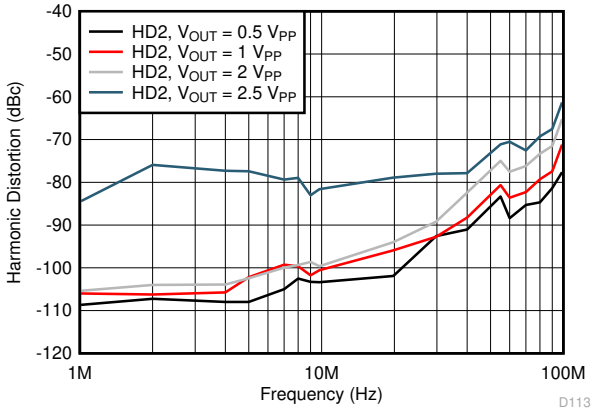


図 6-13. 高調波歪み (HD2) と出力スイングとの関係

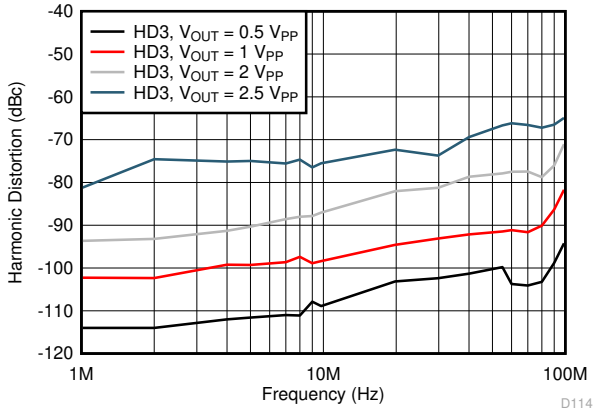


図 6-14. 高調波歪み (HD3) と出力スイングとの関係

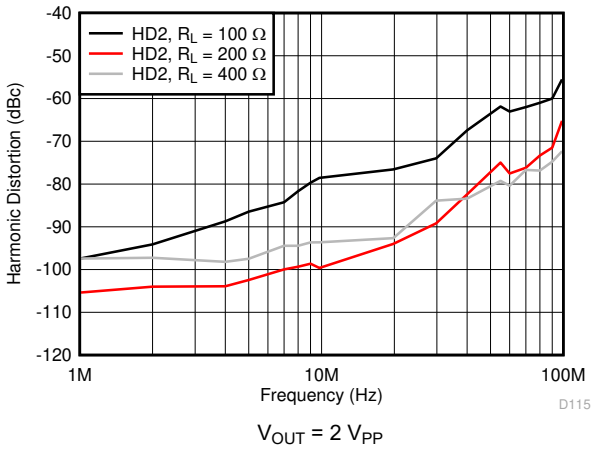


図 6-15. 高調波歪み (HD2) と出力電圧との関係

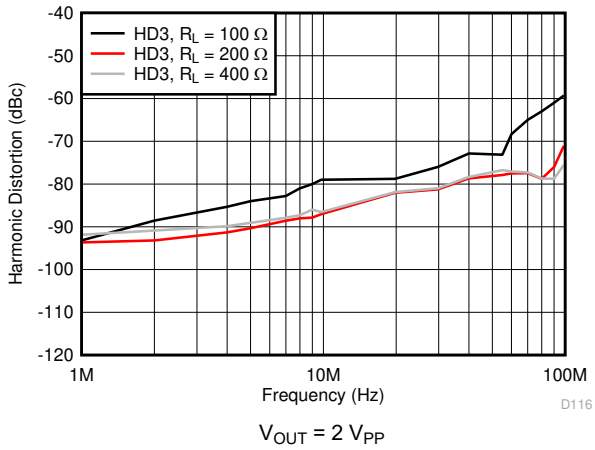


図 6-16. 高調波歪み (HD3) と出力電圧との関係

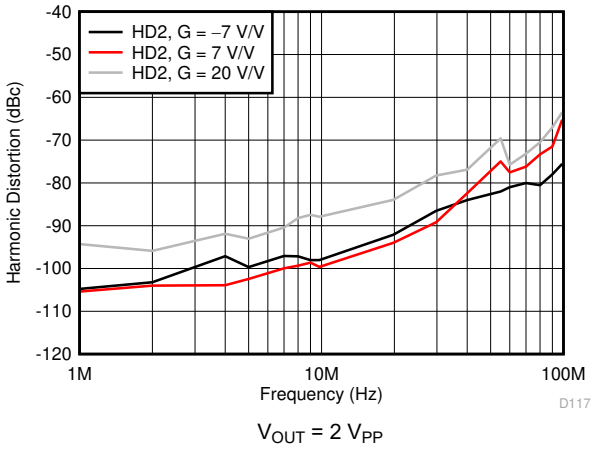


図 6-17. 高調波歪み (HD2) とゲインとの関係

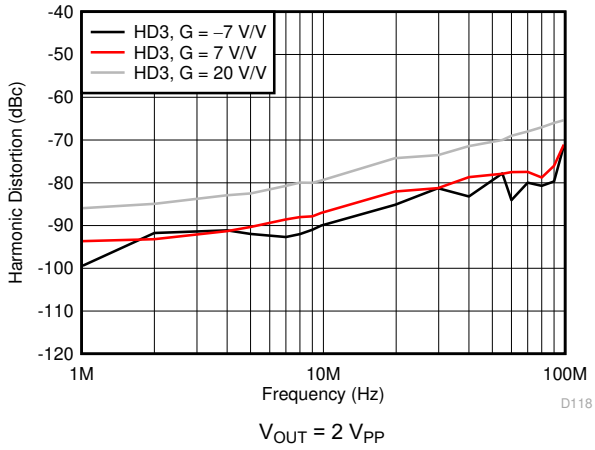
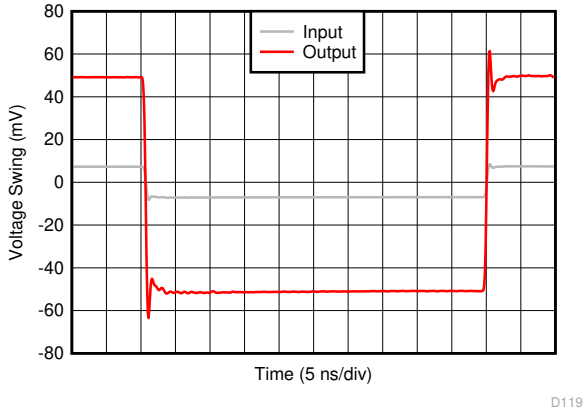


図 6-18. 高調波歪み (HD3) とゲインとの関係

Copyright © 2025 Texas Instruments Incorporated

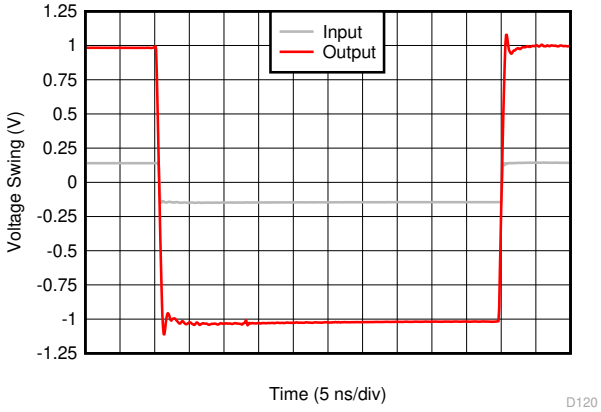
6.6 代表的特性 (続き)

V_{S+} = 2.5V、$V_{S–}$ = -2.5V、V_{IN+} = 0V、R_F = 453Ω、ゲイン = 7V/V、R_L = 200Ω、出力負荷は中間電源を基準とし、T_A = 25°C、(特に記述のない限り)



立ち上がり/立ち下がり時間の平均 (10% ～ 90%) = 450ps

図 6-19. 小信号過渡応答



立ち上がりおよび立ち下がり時間の平均 (10% ～ 90%) = 750ps

図 6-20. 大信号過渡応答

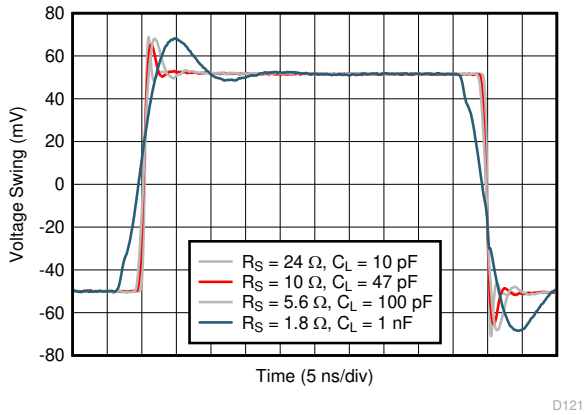
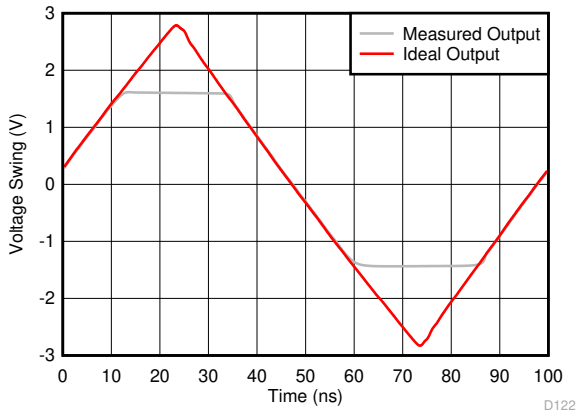
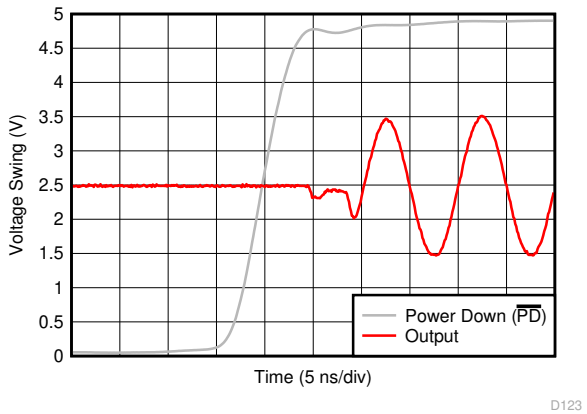


図 6-21. 小信号過渡応答と容量性負荷との関係



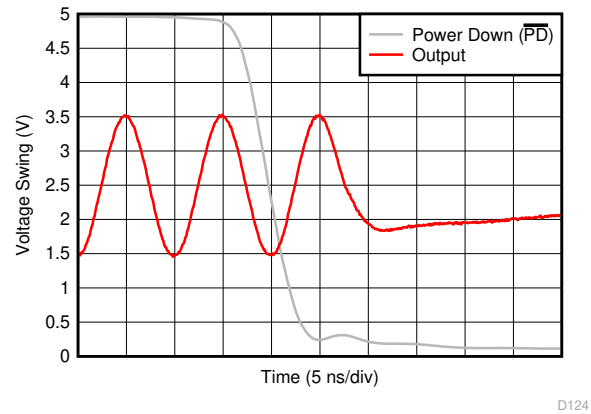
2 倍の出力オーバードライブ

図 6-22. 出力過負荷応答



V_{S+} = 5V、$V_{S–}$ = グランド

図 6-23. ターンオン過渡応答



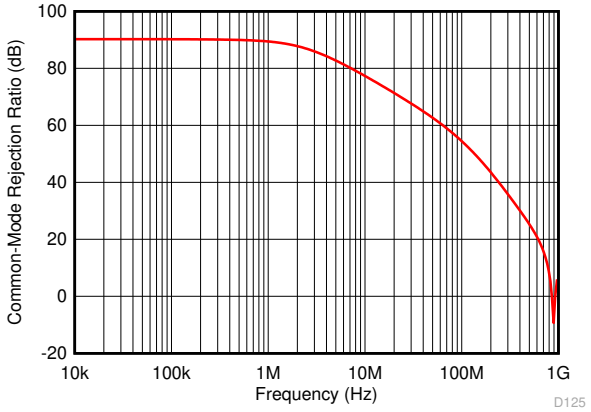
V_{S+} = 5V、$V_{S–}$ = グランド

図 6-24. ターンオフ過渡応答

Copyright © 2025 Texas Instruments Incorporated

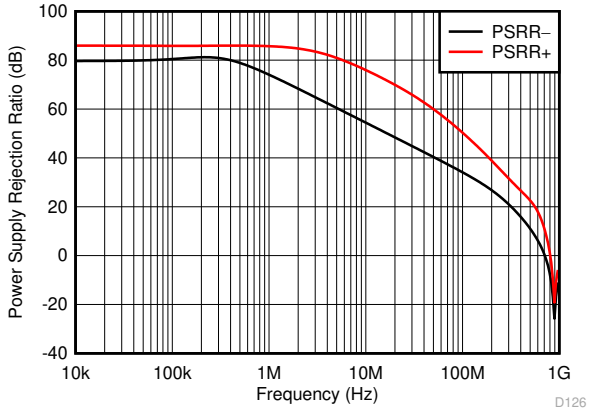
6.6 代表的特性 (続き)

V_{S+} = 2.5V、V_{S-} = -2.5V、V_{IN+} = 0V、R_F = 453Ω、ゲイン = 7V/V、R_L = 200Ω、出力負荷は中間電源を基準とし、T_A = 25°C、(特に記述のない限り)



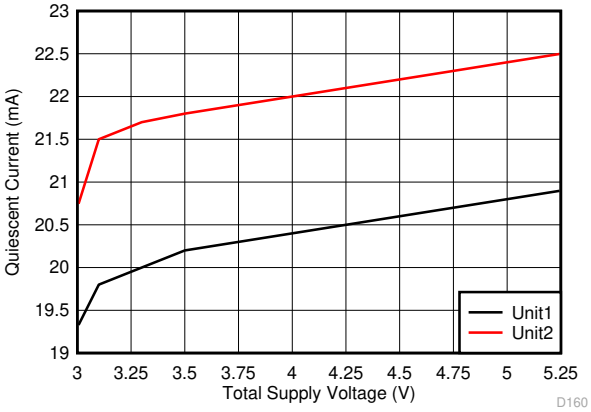
小信号応答

図 6-25. 同相除去比と周波数との関係



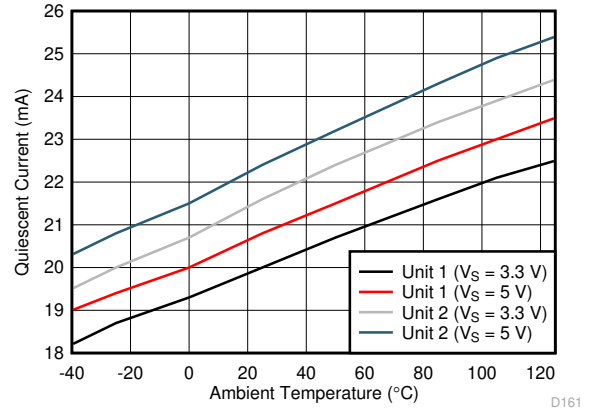
小信号応答

図 6-26. 電源除去比と周波数との関係



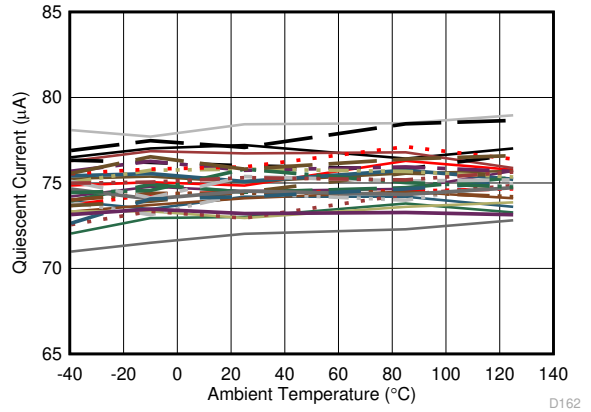
2 個の代表的なユニット

図 6-27. 静止電流と電源電圧との関係



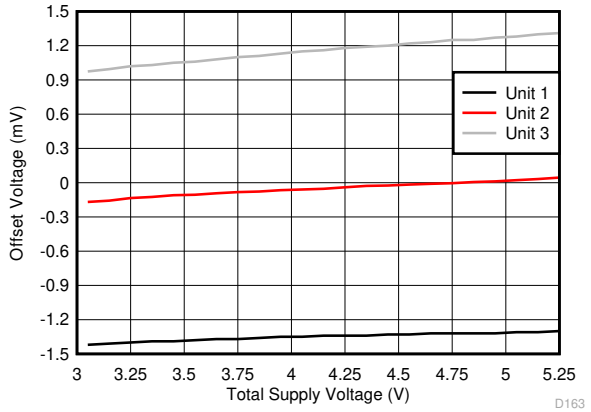
2 個の代表的なユニット

図 6-28. 静止電流と周囲温度の関係



30 ユニットをテスト

図 6-29. 静止電流 (アンプ ディセーブル) と周囲温度の関係



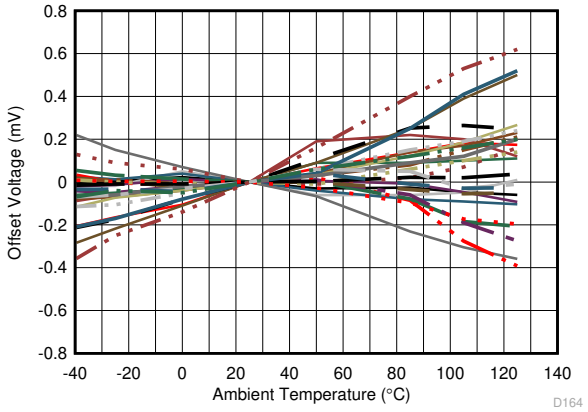
3 個の代表的なユニット

図 6-30. オフセット電圧と電源電圧との関係

Copyright © 2025 Texas Instruments Incorporated

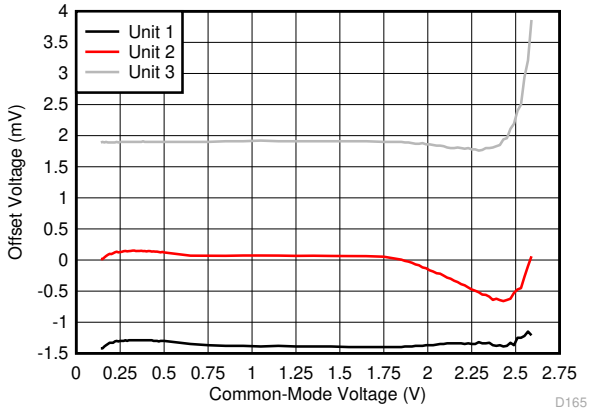
6.6 代表的特性 (続き)

V_{S+} = 2.5V、$V_{S–}$ = -2.5V、V_{IN+} = 0V、R_F = 453Ω、ゲイン = 7V/V、R_L = 200Ω、出力負荷は中間電源を基準とし、T_A = 25°C、(特に記述のない限り)



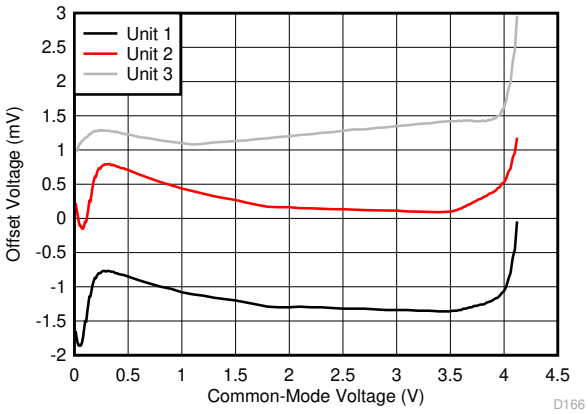
μ = 1μV/°C　　σ = 2.2μV/°C　　28 ユニットをテスト

図 6-31. オフセット電圧と周囲温度との関係



V_S = 3.3V　　3 個の代表的なユニット

図 6-32. オフセット電圧 対 入力同相電圧



V_S = 5V　　3 個の代表的なユニット

図 6-33. オフセット電圧 対 入力同相電圧

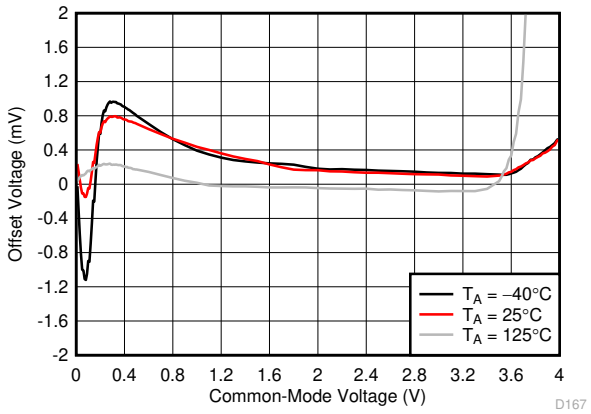
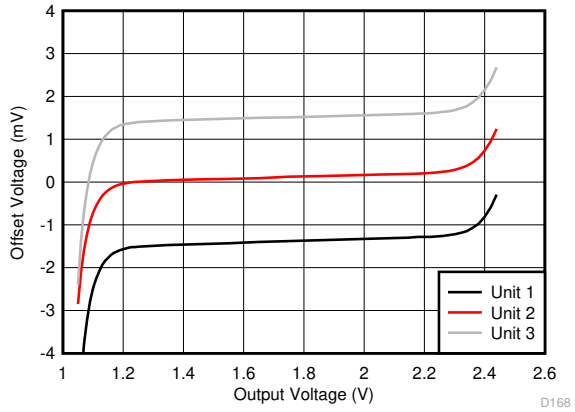


図 6-34. オフセット電圧、入力コモン モード電圧、周囲温度の関係

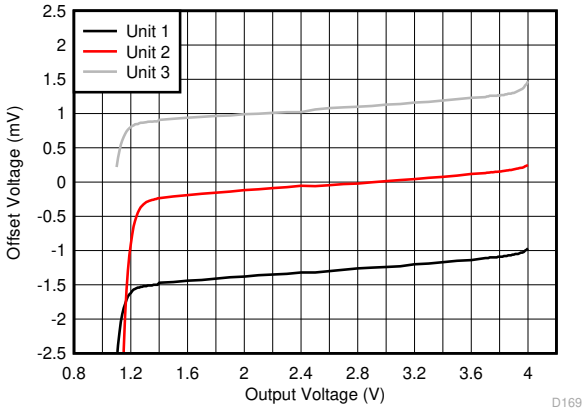
6.6 代表的特性 (続き)

V_{S+} = 2.5V、$V_{S–}$ = -2.5V、V_{IN+} = 0V、R_F = 453Ω、ゲイン = 7V/V、R_L = 200Ω、出力負荷は中間電源を基準とし、T_A = 25°C、(特に記述のない限り)



V_S = 3.3V　3 個の代表的なユニット

図 6-35. オフセット電圧と出力スイングとの関係



V_S = 5V　3 個の代表的なユニット

図 6-36. オフセット電圧と出力スイングとの関係

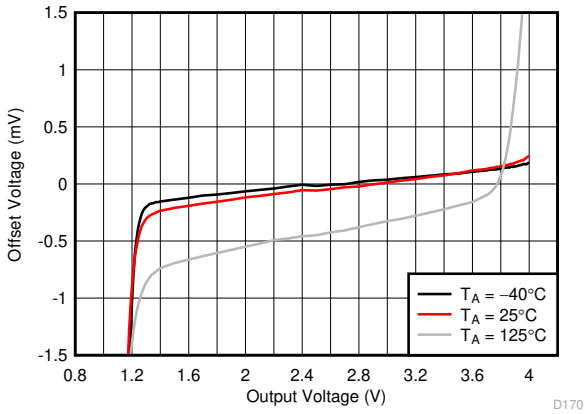
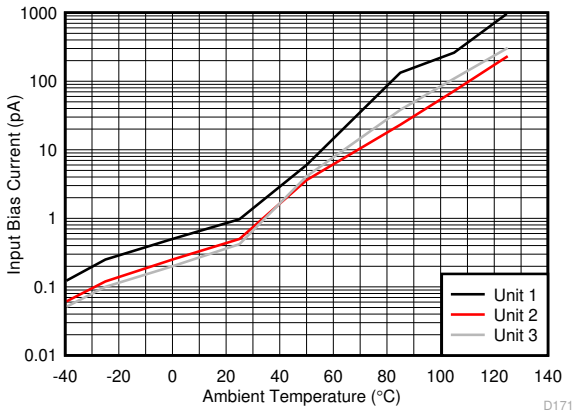


図 6-37. オフセット電圧と出力スイングと周囲温度との関係



3 個の代表的なユニット

図 6-38. 入力バイアス電流と周囲温度との関係

Copyright © 2025 Texas Instruments Incorporated

6.6 代表的特性 (続き)

V_{S+} = 2.5V、$V_{S–}$ = -2.5V、V_{IN+} = 0V、R_F = 453Ω、ゲイン = 7V/V、R_L = 200Ω、出力負荷は中間電源を基準とし、T_A = 25°C、(特に記述のない限り)

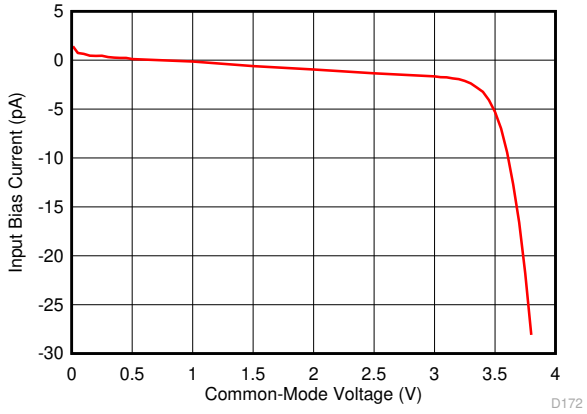
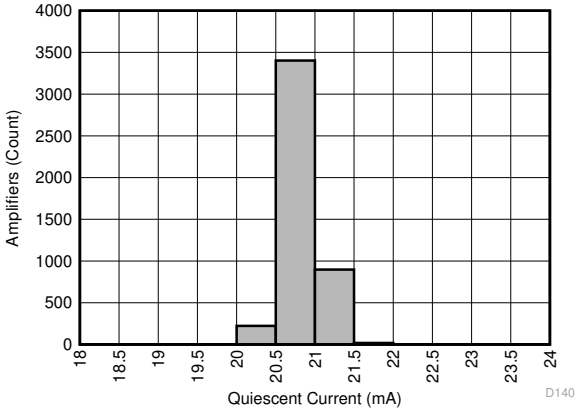
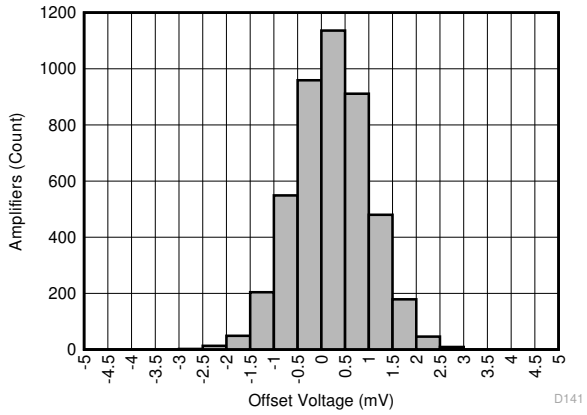


図 6-39. 入力バイアス電流と入力同相電圧との関係



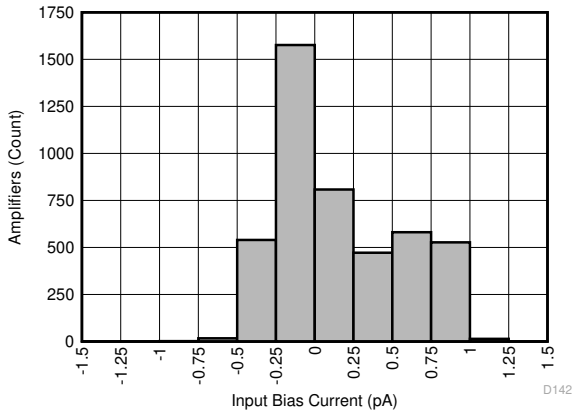
μ = 20.35mA　　σ = 0.2mA　　4555 ユニットをテスト

図 6-40. 静止時電流の分布



μ = -0.28mV　　σ = 0.8mV　　4555 ユニットをテスト

図 6-41. オフセット電圧の分布



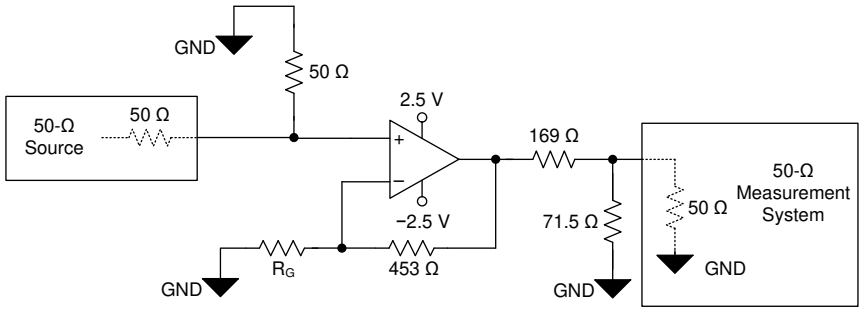
μ = –0.1pA　　σ = 0.39pA　　4555 ユニットをテスト

図 6-42. 入力バイアス電流の分布

Copyright © 2025 Texas Instruments Incorporated

7 パラメータ測定情報

OPA858 の各種テスト設定構成を 図 7-1、図 7-2 および 図 7-3 に示します。



R_G values depend on gain configuration

図 7-1. 非反転構成

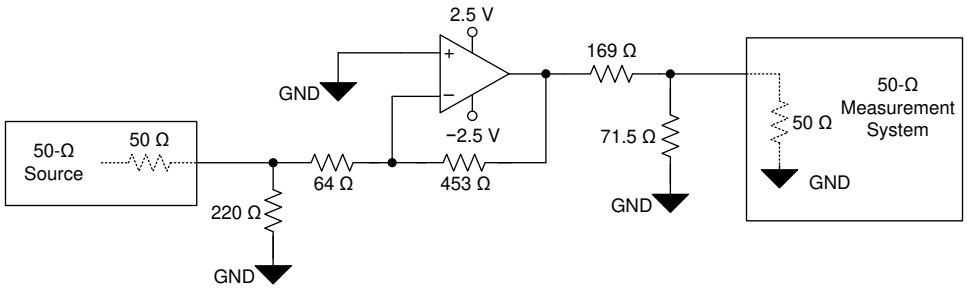


図 7-2. 反転構成 (ゲイン = -7V/V)

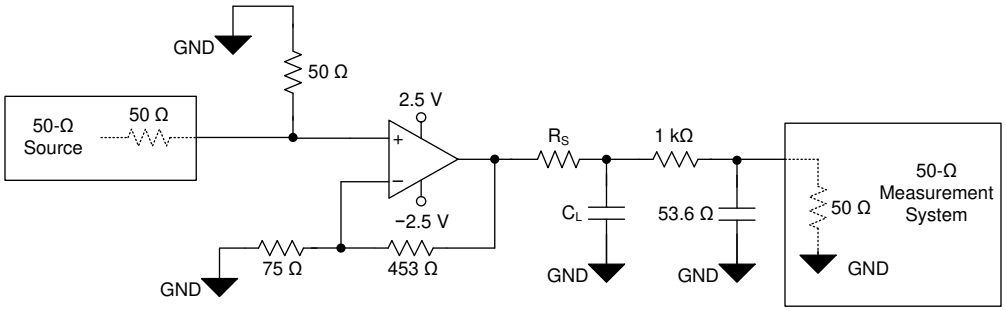


図 7-3. 容量性負荷ドライバ構成

Copyright © 2025 Texas Instruments Incorporated

8 詳細説明

8.1 概要

OPA858 の非常に広い 5.5GHz のゲイン帯域幅積 (GBWP) と 2.5nV/√Hz の広帯域電圧ノイズの組み合わせにより、広帯域トランスインピーダンス アプリケーション、高速データ収集システム、弱信号入力を必要とする低ノイズで高ゲインのフロントエンドを必要とするアプリケーションに適したアンプを実現します。OPA858 は、動的性能を最適化するため、複数の機能を組み合わせています。OPA858 は、広い小信号帯域幅に加えて、大信号帯域幅 (V_{OUT} = $2V_{PP}$) の 600Mhz、およびスルー レートが 2000V/µs です。

OPA858 は、2mm×2mm の 8 ピン WSON パッケージで供給され、アンプ出力と反転入力との間の単純な帰還回路接続のための帰還 (FB) ピンを備えています。アンプの入力ピンの過剰な容量が原因で位相マージンが減少し、不安定性が発生する可能性があります。OPA858 などの非常に広帯域のアンプの場合は、この問題がさらに悪化します。入力ノードの浮遊容量の影響を低減するため、OPA858 ピン配置は帰還ピンと反転入力ピンとの間に絶縁ピン (NC) を備えており、入力ピン間の物理的な間隔を広げることで、高周波での寄生カップリングを低減できます。また、OPA858 は超低容量入力段を備えており、合計入力容量はわずか 0.8pF です。

8.2 機能ブロック図

OPA858 は、2 つの高インピーダンス入力と低インピーダンス出力を備えた従来の電圧帰還オペアンプです。図 8-1 と図 8-2 の 2 つの基本オプションなど、標準のアプリケーション回路がサポートされています。各構成の dc 動作点は基準電圧 (V_{REF}) によってレベル シフトされます。この電圧は通常、単一電源動作時の中間電圧に設定されます。V_{REF} は通常、分割電源アプリケーションではグランドに接続されます。

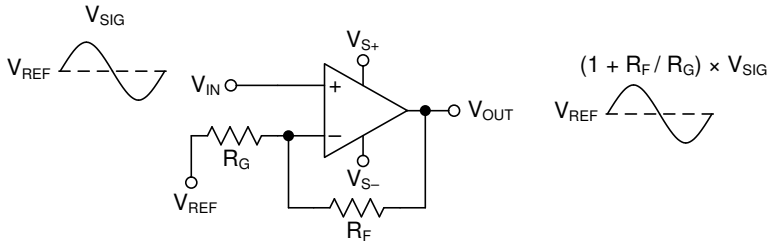


図 8-1. 非反転アンプ

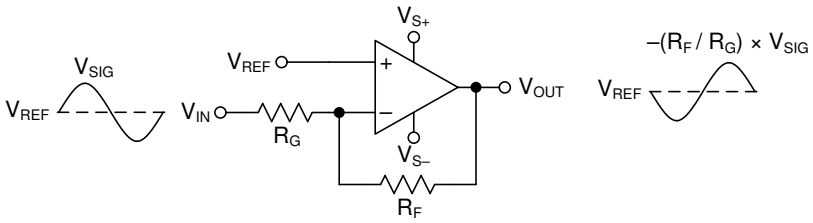


図 8-2. 反転アンプ

8.3 機能説明

8.3.1 入力および ESD 保護

OPA858 は、低電圧、高速の BiCMOS プロセスで製造されています。このように形状の小さなデバイスの場合、内部接合部ブレークダウン電圧は低く、その結果、図 8-3 に示すように、すべてのデバイス ピンは電源への内部 ESD 保護ダイオードで保護されています。アンプの入力の間には 2 つの逆並列ダイオードがあり、範囲超過または障害状態のときに入力をクランプします。

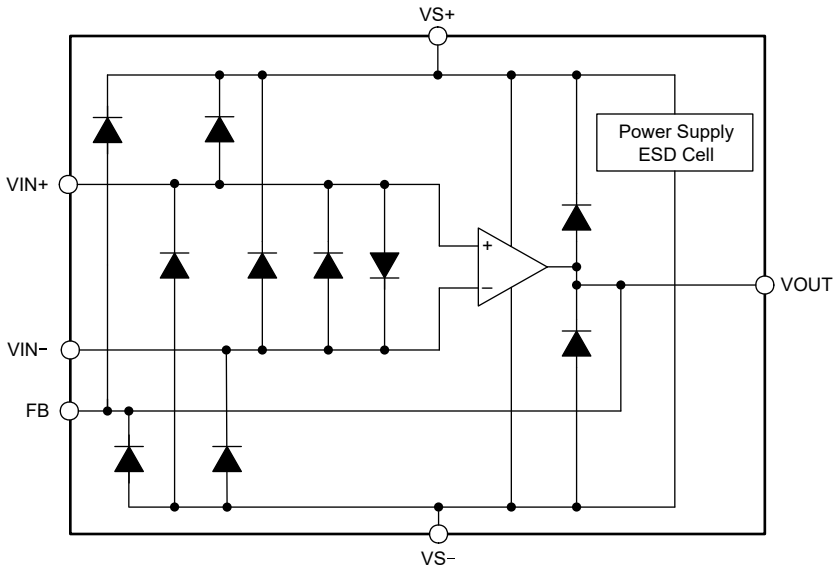


図 8-3. 内部 ESD 構造

8.3.2 フィードバック ピン

OPA858 ピン レイアウトは、高速アナログ設計で重要な注意事項である寄生インダクタンスおよび寄生容量を最小化するように最適化されています。FB ピン (ピン 1) はアンプの出力に内部的に接続されています。FB ピンは、無接続 (NC) ピン (ピン 2) によってアンプの反転入力 (ピン 3) と分離されています。NC ピンはフローティングのままにする必要があります。このピン レイアウトには、次の 2 つの利点があります。

1. 帰還抵抗 (R_F) は 図 8-4、パッケージの周囲に配置するのではなく、FB ピンと IN- ピンとの間に接続できます (を参照)。
2. NC ピンによって作成される絶縁により、FB ピンと IN- ピンの間の物理的な分離を増やすことで、FB ピンと IN- ピンの間の容量性結合を最小限に抑えることができます。

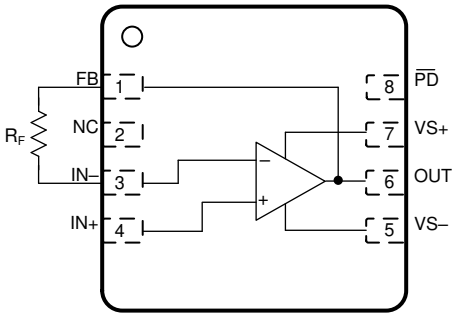


図 8-4. FB ピンと IN- ピンの間の R_F 接続

Copyright © 2025 Texas Instruments Incorporated

8.3.3 広いゲイン帯域幅積

図 6-10 に、OPA858 の開ループ振幅と位相応答を示します。A_{OL} が 60dB となる周波数を決定し、その周波数に 1000 を乗算することにより、任意のオペ アンプのゲイン帯域幅積を計算します。A_{OL} 応答の 2 番目の極は、振幅が 0dB を超える前に発生し、結果として生じる位相マージンは 0° 未満です。この結果は、ゲイン 0dB (1V/V) で不安定性を示しています。ユニティ ゲインが安定していないアンプを、非補償型アンプと呼びます。非補償型アンプは一般に、静止消費電力が同じユニティ ゲイン安定アンプと比較して、ゲイン帯域幅積が高く、スルー レートが高く、電圧ノイズが低くなっています。

図 8-5 に、OPA858 の開ループ振幅 (A_{OL}) を温度の関数とした例を示します。この結果は、温度範囲全体にわたる変動が最小限です。7V/V (16.9dB) のノイズ ゲインに構成された OPA858 の位相マージンは、温度範囲全体にわたって 55° に近くなります。同様に、図 8-6 プロセス変動の関数として OPA858 の A_{OL} 振幅を示します。この結果は、公称プロセス コーナーの A_{OL} 曲線と、公称からの偏差 1 標準偏差を示しています。シミュレーション結果は、アンプのゲインが 7V/V で構成されているときのプロセス変動の標準偏差内で位相マージンの差が 1° 未満であることを示しています

OPA858 の主要なアプリケーションの 1 つは、図 9-4 に示すように、高速トランスインピーダンス アンプ (TIA) です。TIA の低周波数ノイズゲインは 0dB (1V/V) です。高い周波数では、合計入力容量と帰還容量の比が、ノイズ ゲインを設定します。TIA の閉ループ帯域幅を最大化するため、帰還容量は通常入力容量より小さくなります。これは、高周波ノイズ ゲインが 0dB より大きくなることを意味します。その結果、TIA として構成されたオペアンプはユニティ ゲイン安定である必要はなく、そのため、非補償型アンプは TIA にとって実行可能な選択肢となります。*『トランスインピーダンス アンプについて知っておくべきこと - 第 1 部』*および *『トランスインピーダンス アンプについて知っておくべきこと - 第 2 部』*では、トランスインピーダンス アンプの補償について詳しく説明します。

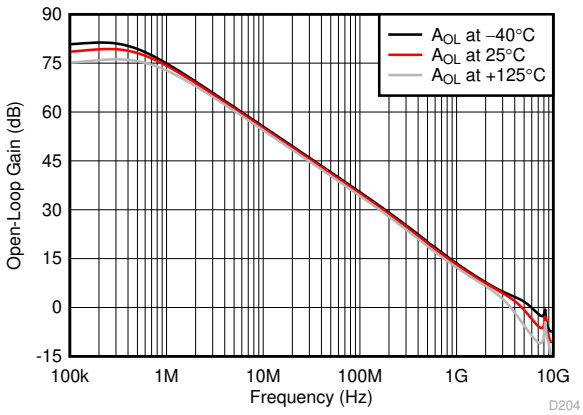


図 8-5. 開ループ ゲインと温度との関係

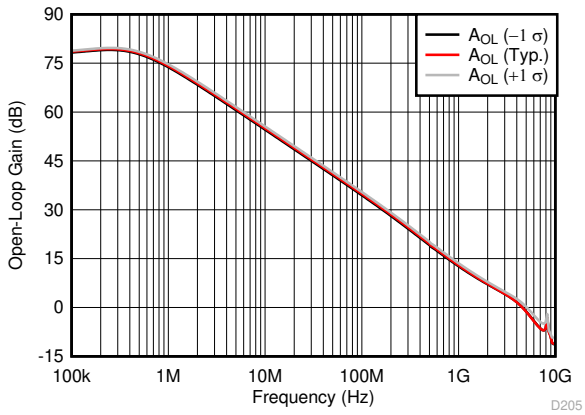


図 8-6. 開ループ ゲインとプロセス変動

8.3.4 スルーレートと出力段

OPA858 は広帯域幅に加えて 2000V/µs の高スルー レートを特長としています。光学時間領域反射率測定 (OTDR) や LIDAR など、パルスが 10ns 未満の高速パルス アプリケーションにとってスルー レートは重要なパラメータになります。OPA858 はスルー レートが高いため、本デバイスは 2-V、ns 未満のパルス エッジを正確に再現できます。図 6-20 も参照してください。帯域幅とスルー レートが広いため、OPA858 は高速シグナル チェーン フロント エンド用の優れたアンプとなります。

図 8-7 に、OPA858 の開ループ出力インピーダンスを周波数の関数として示します。広い周波数範囲にわたって高いスルーレートと低い出力インピーダンスを実現するため、OPA858 の出力スイングは約 3V に制限されています。OPA858 は通常、高速パイプライン ADC および入力範囲が制限されるフラッシュ ADC と組み合わせて使用されます。したがって、OPA858 出力スイング範囲と 、CMOS アンプ のクラスをリードする電圧ノイズ仕様との組み合わせにより、信号チェーンの全体的なダイナミック レンジが最大化されます。

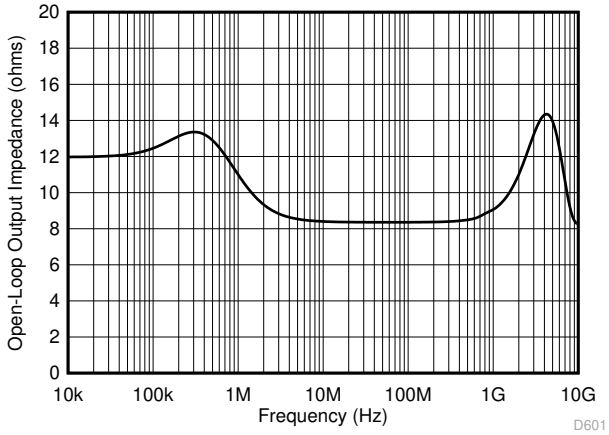


図 8-7. 開ループ出力インピーダンス (Z_{OL}) と周波数との関係

8.3.5 電流ノイズ

低周波数での CMOS および JFET 入力アンプの入力インピーダンスは数 GΩ を超えます。ただし、より高い周波数では、ドレイン、ソース、サブストレートに対するトランジスタの寄生静電容量によってインピーダンスが低下します。低周波数で高インピーダンスを行うため、バイアス電流と関連するショット ノイズを排除できます。高い周波数では、CMOS ゲート酸化膜と基礎となるトランジスタ チャネルの間の容量性結合の結果、入力電流ノイズが大きくなります (図 8-8 を参照)。この現象はトランジスタの構造の自然なアーティファクトであり、避けられない。

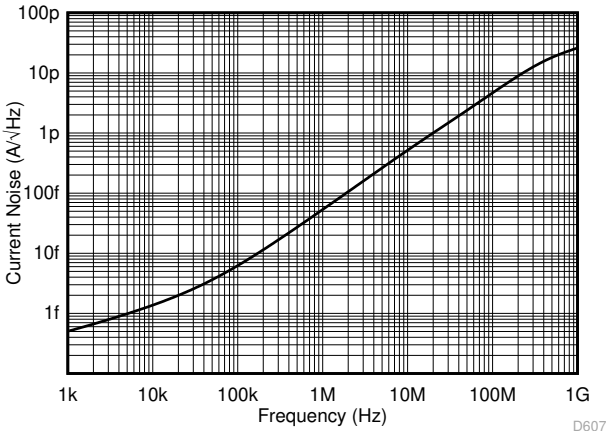


図 8-8. 入力電流ノイズ (I_{BN} および I_{BI}) と周波数との関係

Copyright © 2025 Texas Instruments Incorporated

8.4 デバイスの機能モード

8.4.1 分割電源と単一電源動作

OPA858 は、片面電源または分割電源で構成できます。図 9-8 も参照してください。入力同相モードがグランドに設定されている平衡電源を使用する両電源動作は、ラボ試験の容易さを向上させるのに役立ちます (ほとんどの信号ジェネレータ、ネットワーク アナライザ、スペクトラム アナライザ、その他のラボ用機器は通常、入力と出力をグランドに接続しているため)。分割電源動作では、サーマル パッドを負電源に接続します。

より新しいシステムは単一電源を使用して、効率の向上と、追加電源のコスト削減に貢献します。OPA858 は、入力同相と出力スイングがデバイスの線形動作範囲内にバイアスされている場合、性能を変化させない単一の正電源 (グランドの負電源) で使用できます。単一電源動作では、電源レール間の電圧差の半分のレベル シフトを行います。この構成により、入力同相および出力負荷基準電圧は電源の中間点に維持されます。ゲイン誤差を除去するため、リファレンス入力同相電圧を駆動するソースは、対象の周波数範囲全体にわたって出力インピーダンスを低くする必要があります。この場合は、サーマル パッドをグランドに接続します。

8.4.2 パワーダウン モード

OPA858 は、静止電流を低減して消費電力を節約するため、パワーダウン モードを備えています。図 6-23 と 図 6-24 は、$\overline{PD}$ ピンがディセーブルとイネーブルの状態をトグルするとき OPA858 の過渡応答を示しています。

$\overline{PD}$ ディスエーブルおよびイネーブル スレッショルド電圧は、負電源を基準としています。アンプが正電源を 3.3V、負電源をグラウンドに設定されている場合、ディスエーブル スレッショルド電圧は 0.65V、イネーブル スレッショルド電圧は 1.8V です。アンプが ±1.65V 電源に設定されている場合、ディスエーブル スレッショルド電圧は –1V、イネーブル スレッショルド電圧は 0.15V です。アンプが ±2.5V 電源に設定されている場合、ディスエーブル スレッショルド電圧は –1.85V、イネーブル スレッショルド電圧は –0.7V です。

図 8-9 に、$\overline{PD}$ ピンがイネーブル状態からディスエーブル状態に掃引されるときの標準的なアンプのスイッチング動作を示します。同様に、図 8-10 は、$\overline{PD}$ ピンがディセーブル状態からイネーブル状態にスイープされるときの標準的なアンプのスイッチング動作をに示します。ダウン スイープとアップ スイープとのスイッチング スレッショルドの小さな差は、$\overline{PD}$ のノイズ耐性を高めるためにアンプにヒステリシスが設計されていることによるものです。

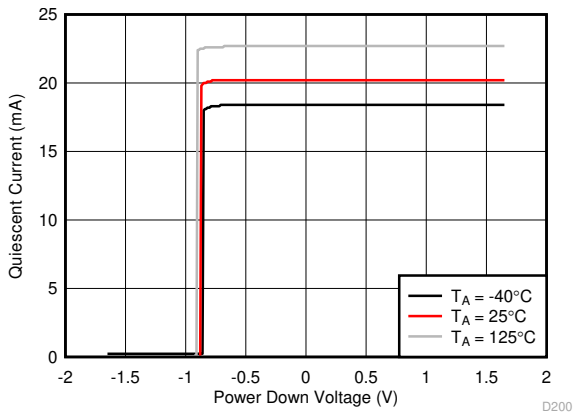


図 8-9. スイッチング スレッショルド ($\overline{PD}$ ピンを High から Low に掃引)

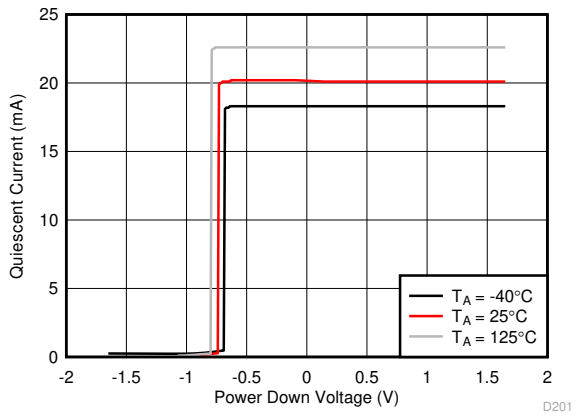


図 8-10. スイッチング スレッショルド ($\overline{PD}$ ピンを Low から High に掃引)

$\overline{PD}$ ピンを low に接続すると、アンプがディスエーブルになり、出力が高インピーダンス状態になります。アンプが非反転アンプとして構成されている場合、帰還 (R_F) およびゲイン (R_G) 抵抗ネットワークはアンプの出力への並列負荷を形成します。アンプの入力段を保護するため、OPA858 は反転入力ピンと非反転入力ピンの間に内部の双方向保護ダイオードを使用します。図 8-3 も参照してください。パワーダウン状態では、アンプの入力ピン間の差動電圧がダイオードの電圧降下を超えると、非反転入力ピンと出力ピンとの間に低インピーダンスの経路が追加されます。

Copyright © 2025 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

9.1.1 OPA858 をトランスインピーダンス アンプとして使用

この OPA858 設計は、業界で高まる広帯域、低ノイズのフォトダイオード アンプの需要に対応して最適化されています。トランスインピーダンス アンプの閉ループ帯域幅は、以下の関数です。

1. 総入力容量これには、フォトダイオードの容量、アンプの入力容量 (同相容量および差動容量)、PCB からの浮遊容量が含まれます。
2. オペアンプのゲイン帯域幅積 (GBWP)。
3. トランスインピーダンス ゲイン R_F。

図 9-1 に、APD のカソードが大きな正バイアス電圧に接続されるように、アバランシェ フォトダイオード (APD) 逆バイアスを備えた TIA として構成された OPA858 を示します。この構成では、APD は入力同相電圧に対して出力が負方向にスイングするように、オペアンプの帰還ループに電流を供給します。負方向の出力スイングを最大化するため、OPA858 同相モードは正の制限値である正の電源レールから 1.6V に近く設定します。

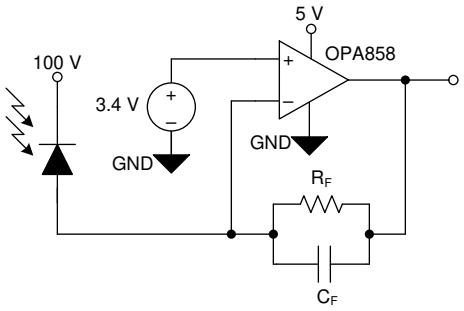


図 9-1. トランスインピーダンス アンプ回路

帰還抵抗 R_F と入力容量はノイズ ゲインでゼロを形成し、未チェックの場合は不安定になります。ゼロの影響を打ち消すため、ノイズ ゲイン伝達関数に帰還コンデンサ (C_F.) を追加して極を挿入します。『*高速アンプのトランスインピーダンスに関する考慮事項アプリケーション レポート*』では、特定のゲインと入力容量についてトランスインピーダンス アンプを補償する方法を示す理論と式について説明しています。アプリケーション レポートに掲載されている帯域幅と補償の式は 、Excel® カリキュレータで利用できます。『*トランスインピーダンス アンプについて知っておくべきこと—第 1 部*』では、カリキュレータへのリンクを提供しています。

上記の参照するアプリケーション レポートとブログ投稿に掲載されている式と計算ツールを使用して、TIA として構成されている OPA858 の帯域幅 (f_{3dB}) とノイズ (I_{RN}) 性能をモデル化します。結果のパフォーマンスを 図 9-2 と 図 9-3 に示します。左側の Y 軸は閉ループ帯域幅性能を示し、右側は積分入力換算ノイズを示しています。固定 R_F と C_{PD} について、I_{RN} を計算するためのノイズ帯域幅は、f_{-3dB} の周波数に設定されます。

Copyright © 2025 Texas Instruments Incorporated

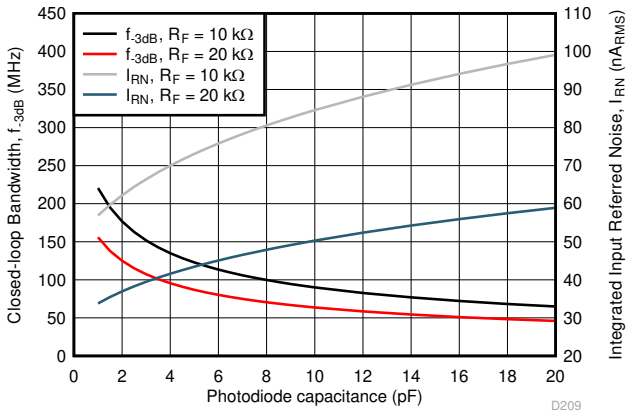


図 9-2. 帯域幅およびノイズ性能とフォトダイオード容量との関係

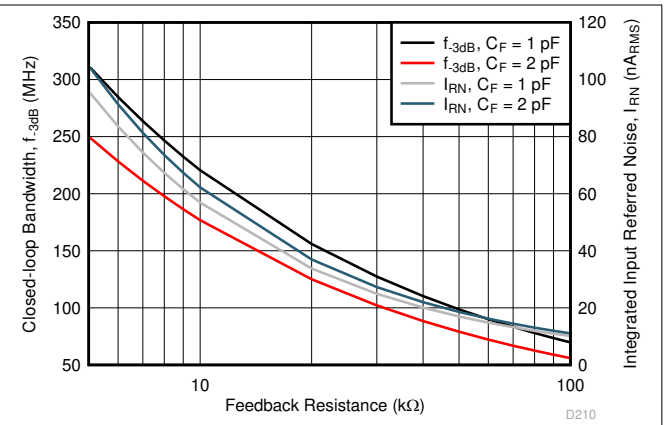


図 9-3. 帯域幅およびノイズ性能とフィードバック抵抗との関係

図 9-2 に、R_F = 10kΩ および 20kΩ のフォトダイオード容量 (C_{PD}) の関数としてのアンプ性能を示します。C_{PD} を大きくすると、閉ループ帯域幅が狭くなります。帯域幅を最大化するには、PCB の浮遊寄生容量を減らします。OPA858 は、システム性能への影響を最小限に抑えるため、合計入力容量が 0.8pF になるように設計されています。

図 9-3 に、C_{PD} = 1pF および 2pF について、R_F の関数としてアンプ性能を示します。R_F を大きくすると、帯域幅は狭くなります。光学フロントエンドシステムで信号対雑音比 (SNR) を最大化するには、TIA 段のゲインを最大化します。R_F を X の係数に増やすと信号レベルが X だけ増加しますが、抵抗ノイズの寄与は √X だけ増大するだけで、SNR が向上します。

9.2 代表的なアプリケーション

9.2.1 光学フロント エンド システム内の TIA を使用したものです

OPA858 は、GBWP が高く、入力電圧ノイズが低く、スルーレートが高いため、実用的な広帯域、高入力インピーダンスの電圧アンプとして活用できます。

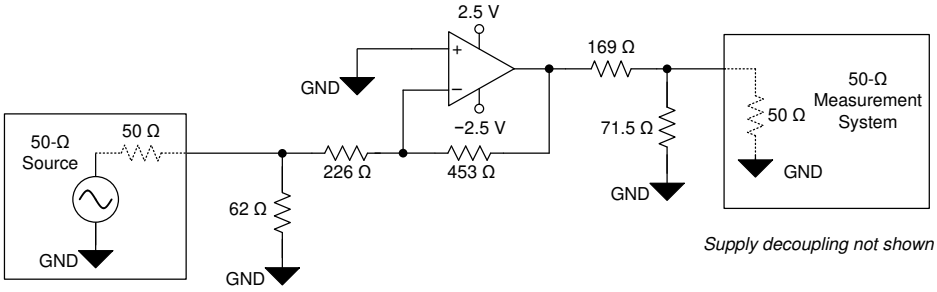


図 9-4. OPA858 2V/V のゲイン (ノイズ ゲイン シェーピングなし)

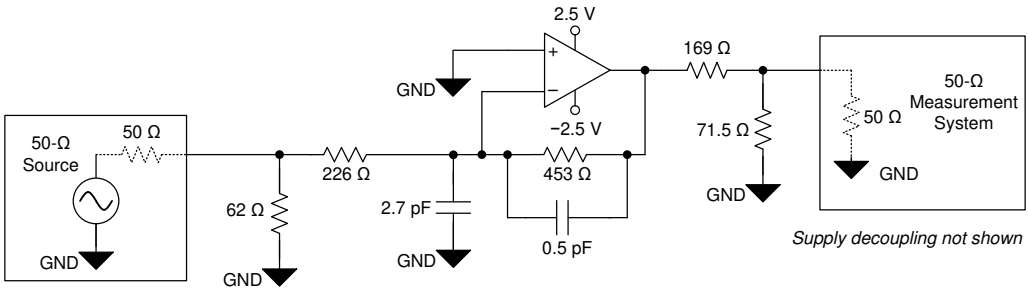


図 9-5. OPA858 2V/V のゲイン (ノイズ ゲイン シェーピング付き)

9.2.1.1 設計要件

表 9-1 に示す設計要件に基づいて、高帯域幅でゲインの大きい電圧アンプを設計しましょう。ここでは反転アンプの構成を選択していますが、その理論は非反転構成にも適用できます。反転構成では、非反転構成とは異なり、信号ゲインとノイズ ゲインの伝達関数は同じではありません。

表 9-1. 設計要件

ターゲット帯域幅 (MHz)	信号ゲイン (V/V)	帰還抵抗 (Ω)	周波数ピーク (dB)
> 750	-2	453	< 2

9.2.1.2 詳細な設計手順

OPA858 は、7V/V のゲインで 1dB 未満のピークが補償されます本デバイスを低ゲインで使用すると、ピークおよび潜在的な不安定性が増加します。図 9-4 に、-2V/V の信号ゲインに構成されている OPA858 を示しますアンプの dc ノイズ ゲイン (1/β) は、62Ω の終端抵抗と 50Ω のソース抵抗の影響を受け、式 1 で求められます。高い周波数では、インダクタやコンデンサなどのリアクティブ素子によってノイズ ゲインが影響を受けます。これらには、ディスクリート基板部品とプリント基板 (PCB) の寄生成分の両方が含まれます。

$$\text{Noise Gain} = \frac{1}{\beta} = \left(1 + \frac{453\ \Omega}{226\ \Omega + (62\ \Omega \,||\, 50\ \Omega)}\right) = 2.79\ \text{V/V} = 5.04\ \text{dB} \quad (1)$$

アンプの安定性と位相マージンは、アンプのループ ゲインに依存します。これは、アンプの A_{OL} とアンプの帰還係数 (β) の積です。負の帰還ループ システムの β は、入力にフィードバックされる出力信号の一部であり、アンプの場合はノイズ ゲインの逆数になります。図 9-5 に示すように、入力コンデンサと帰還コンデンサを追加することで、高い周波数でのアンプのノイズ ゲインを増加できます。注意深く行うと、1/β を増やすと、すべてのアンプが高ゲイン構成でユニティ ゲイン バッファ構成よりも安定するのと同様に、位相マージンが改善されます。コンデンサを追加した修正回路は高周波ノイズ ゲインを変化させますが、信号ゲインは変化しません。『*AN-1604 非補償型オペアンプ*』アプリケーション レポートでは、非補償型アンプのノイズ ゲイン シェーピング手法の詳細な分析を紹介し、外付け抵抗とコンデンサの値を選択する方法を示します。

図 9-6 は、図 9-4 に示すように構成された OPA858 の補正されていない周波数応答を示しています。ノイズ ゲイン シェーピング部品を追加していない場合、OPA858 は約 13dB のピークを示しています。

図 9-7 に、図 9-5 に示すように構成された OPA858 のノイズ ゲイン補償周波数応答を示します。ノイズ ゲイン シェーピング要素により、ピークが 1.5dB 未満に減少します。式 2 に示すように、2.7pF 入力コンデンサ、アンプの入力容量、ゲイン抵抗、および帰還抵抗は、周波数 *f* におけるノイズ ゲインにゼロを形成します。

$$f = \frac{1}{2\pi(R_F \,||\, R_G)C_{IN}} \quad (2)$$

ここで、

- R_F : 帰還抵抗
- R_G は入力またはゲイン抵抗 (ソースおよび終端抵抗の影響を含む)
- C_{IN} は合計入力容量で、外付けの 2.7pF コンデンサ、アンプ入力容量、すべての寄生 PCB 容量を含みます。

Copyright © 2025 Texas Instruments Incorporated

式 2 のゼロは、より高い周波数でのノイズ ゲインを大きくします。これは、非補償型アンプを補償するときに重要です。ただし、ノイズ ゲイン ゼロを採用するとループ ゲイン位相が小さくなり、その結果、位相マージンは小さくなります。ノイズ ゲイン ゼロによる位相低減を打ち消すため、0.5pF の帰還コンデンサを挿入して、ノイズ ゲイン曲線に極を追加します。この極は 式 3 に示す周波数で発生します。ノイズ ゲインの極とゼロの位置は、A_{OL} と 1/β の振幅曲線の間の閉鎖率が約 20dB になるように選択する必要があります。この閉鎖率を実現するには、1/β の大きさの曲線が A_{OL} 振幅曲線と交差する前に、ノイズ ゲインの極が発生する必要があります。言い換えると、ノイズ ゲインの極は $|A_{OL}| = |1/\beta|$ の前に発生する必要があります。これら 2 つの曲線が交差する点を、ループ ゲインのクロスオーバー周波数と呼びます。

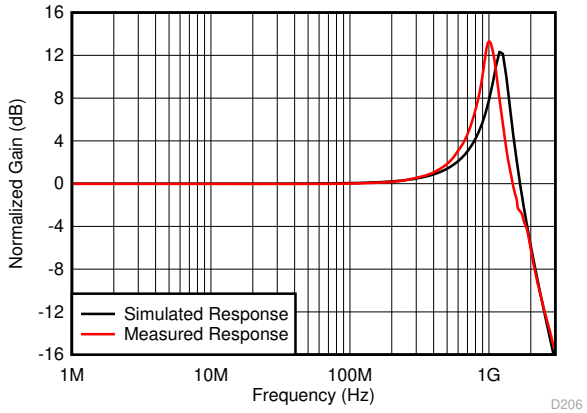
$$f = \frac{1}{2\pi R_F C_F} \tag{3}$$

ここで、

- C_F は帰還コンデンサ (追加された PCB 寄生容量を含む)

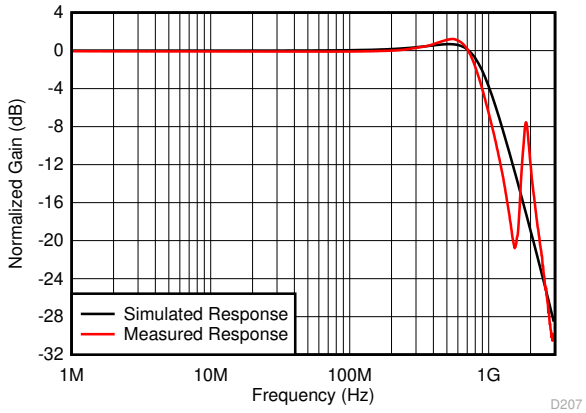
オペアンプの安定性の詳細については、『*安定性に関する TI プレシジョン ラボ シリーズ*』をご覧ください。

9.2.1.3 アプリケーション曲線



V_{OUT} = 100 mV_{PP}

図 9-6. ゲイン = -2V/V、補償されていない周波数応答



V_{OUT} = 100 mV_{PP}

図 9-7. ゲイン = -2V/V、補償された周波数応答

Copyright © 2025 Texas Instruments Incorporated

9.3 電源に関する推奨事項

OPA858 は 3.3V ～ 5.25V の電源で動作します。OPA858 は、片側電源、分割および平衡型バイポーラ電源、および不平衡型バイポーラ電源で動作します。OPA858 はレール ツー レールの入出力を備えていないため、入力同相および出力スイングの範囲は 3.3-V 電源で制限されます。

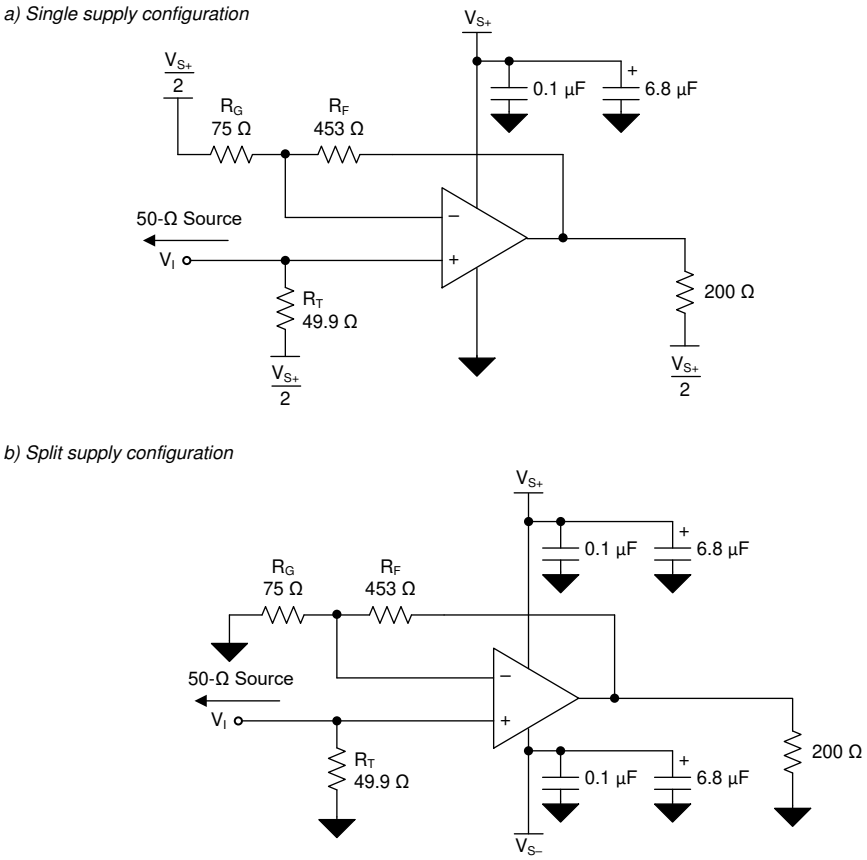


図 9-8. 分割および単一電源回路構成

9.4 レイアウト

9.4.1 レイアウトのガイドライン

OPA858 などの高い周波数のアンプを使用して最適な性能を実現するには、基板レイアウトの寄生素子と外部部品の種類に細心の注意を払う必要があります。性能を最適化するための推奨事項として以下が挙げられます。

- **信号 I/O ピンから AC グランドへの寄生容量を最小限に抑えます。**出力ピンと反転入力ピンの寄生容量が、不安定性の原因になる場合があります。不要な容量を減らすため、信号入力および出力ピンの下に電源パターンとグランド パターンを切断します。その他に、グランド プレーンと電源プレーンが基板上の他の場所で途切れないようにする必要があります。アンプを TIA として構成する際には、必要な帰還コンデンサが 0.15pF 未満の場合は、抵抗からの寄生容量を最小化するために、2 つの直列抵抗を使うことを検討します。それぞれの値は、帰還ループ内で 1 つの抵抗の半分です。
- **電源ピンから高周波バイパス コンデンサまでの距離を最小限 (0.25 インチ未満) にします。**アンプの最大電源電圧の 3 倍以上の電圧定格を持つ、0.1-µF、C0G、NPO タイプの高品質 pF デカップリング コンデンサを使用してください。この構成により、アンプのゲイン帯域幅仕様全体にわたって、アンプの電源ピンへの低インピーダンスのパスが確実に確立されます。デバイスのピンの配置では、グランドおよび電源プレーンのレイアウトを信号 I/O ピンの近くに配置しないようにしてください。ピンとデカップリング コンデンサ間のインダクタンスを最小にするため、電源パターンおよびグランド パターンは狭くならないようにします。電源接続は、必ずこれらのコンデンサによってデカップリングする必要があります。低い周波数で効果的な、より大きなデカップリング コンデンサ (2.2-µF から 6.8-µF) を電源ピンに使用する必要があります。これらのデカップリング コンデンサは、デバイスからさらに離して配置します。プリント基板 (PCB) の同じ領域にある複数のデバイス間でデカップリング コンデンサを共有します。
- **外付け部品を慎重に選択および配置することで、OPA858 の高周波性能が維持されます。**リアクタンスが小さい抵抗を使用します。最もよく機能するのは表面実装抵抗で、レイアウト全体をより厳密にすることができます。高周波アプリケーションでは、巻線抵抗を決して使用しないでください。出力ピンと反転入力ピンは寄生容量の影響を最も受けやすいので、帰還抵抗と直列出力抵抗 (ある場合) は、出力ピンにできるだけ近付けて配置します。(非反転入力終端抵抗といった) 他のネットワーク部品は、パッケージの近くに配置します。外部抵抗をシャントする寄生容量が少ない場合も、抵抗の値が大きいと、時定数が大きくなり、性能が低下する可能性があります。OPA858 を電圧アンプとして構成する場合は、抵抗値を可能な限り低くし、負荷駆動に関する考慮事項と一致するようにします。抵抗値を小さくすると、抵抗ノイズ項が低く保たれ、寄生容量の影響が最小化されます。ただし、抵抗値を小さくすると、R_F と R_G はアンプの出力負荷ネットワークの一部になるため、ダイナミック消費電力が増加します。

9.4.2 レイアウト例

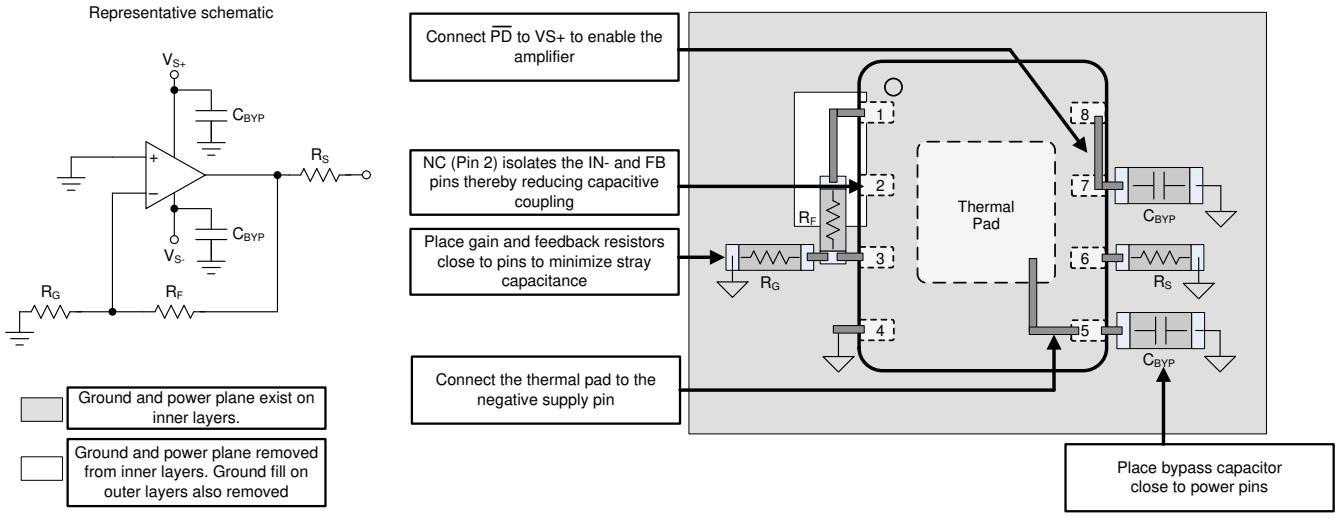


図 9-9. レイアウトに関する推奨事項

Copyright © 2025 Texas Instruments Incorporated

OPA858 をトランスインピーダンスアンプとして構成するときは、アバランシェフォトダイオード (APD) とアンプの間のインダクタンスを最小限に抑えるよう注意してください。フォトダイオードは、PCB 上でアンプと同じ面に必ず配置してください。アンプと APD を PCB の反対側に配置すると、ビアのインダクタンスによる寄生効果が増加します。APD パッケージは非常に大きくなる可能性があるため、APD を理想的なものよりも離れた場所に配置する必要があることがよくあります。図 9-10 に、2 つのデバイス間に距離を追加すると、APD とオペアンプの帰還回路の間のインダクタンスが増加することを示します。このインダクタンスにより APD 容量がノイズ ゲイン伝達関数から分離されるため、不完全補償型アンプの安定性に悪影響を及ぼします。ノイズ ゲインは 式 4 で求められます。帰還回路間に追加された PCB 配線インダクタンスにより 式 4 の分母が増加するため、ノイズ ゲインと位相マージンが低減されます。TO-CAN パッケージのリード付き APD を使用する場合、TO-CAN パッケージのリードをできるだけ短くして、インダクタンスをさらに最小限に抑えます。

$$\text{Noise Gain} = \left(1 + \frac{Z_F}{Z_{IN}}\right) \tag{4}$$

ここで、

- Z_F は帰還ネットワークの合計インピーダンスです。
- Z_{IN} は入力ネットワークの合計インピーダンスです。

図 9-10 に示すレイアウトは、図 9-11 のガイドラインの一部に従うことで改善されます。従うべき主な 2 つのルールは次のとおりです。

1. アンプの反転入力にできるだけ近い場所に、絶縁抵抗 R_{ISO} を追加します。R_{ISO} の値は 10Ω ～ 20Ω の範囲で選択します。この抵抗は、配線のインダクタンスとアンプの内部容量に起因する潜在的な共振を減衰させます。
2. 帰還素子 (R_F と C_F) と R_{ISO} 間のループを、APD ピンにできるだけ近づけて配置します。この閉鎖により、よりバランスのとれたレイアウトが実現し、APD とフィードバック回路の間の誘導性絶縁が低減されます。

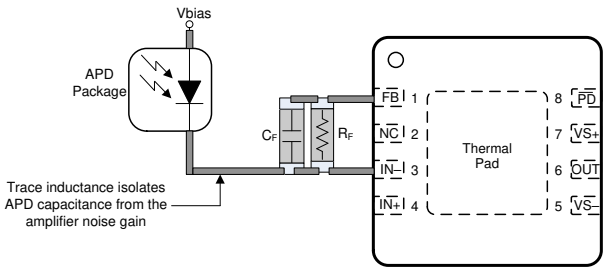


図 9-10. 非理想的 TIA レイアウト

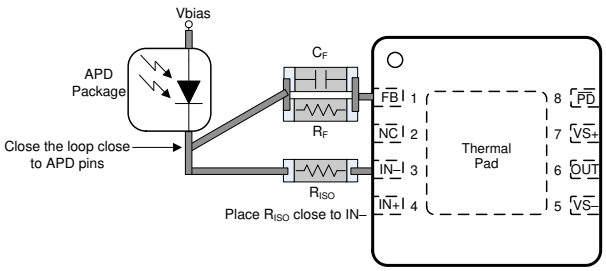


図 9-11. TIA レイアウトの改善

10 デバイスおよびドキュメントのサポート

10.1 デバイス サポート

10.1.1 開発サポート

- *LIDAR パルス ToF リファレンス デザイン*
- *高速データ コンバータを使用する LIDAR パルスのタイム オブ フライト (ToF) リファレンス デザイン*
- *広帯域の光フロント エンド リファレンス デザイン*

10.2 ドキュメントのサポート

10.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、*『OPA858EVM ユーザー ガイド』*
- テキサス インスツルメンツ、*トレーニング ビデオ:『高速トランスインピーダンス アンプの設計の流れ』*
- テキサス インスツルメンツ、*トレーニング ビデオ:トランスインピーダンス アンプ回路の設計方法*
- テキサス インスツルメンツ、*トレーニング ビデオ:『トレーニング ビデオ:TINA-TI モデルを汎用 SPICE モデルに変換する方法』*
- テキサス インスツルメンツ、*『高速アンプのトランスインピーダンスに関する考慮事項』アプリケーション レポート*
- テキサス インスツルメンツ、*『ブログ: トランスインピーダンス アンプについて知っておくべきこと—第 1 部』*
- テキサス インスツルメンツ、*『ブログ: トランスインピーダンス アンプについて知っておくべきこと—第 2 部』*

10.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
、Excel® is a registered trademark of Microsoft Corporation.
すべての商標は、それぞれの所有者に帰属します。

10.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision A (July 2018) to Revision B (May 2025)	Page
• ベア ダイ パッケージと関連する内容をデータシートに追加	1

Changes from Revision * (April 2018) to Revision A (July 2018)	Page
• 事前情報から量産データ (アクティブ) に変更	1

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA858IDSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	X858
OPA858IDSGR.B	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	X858
OPA858IDSGT	Active	Production	WSON (DSG) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	X858
OPA858IDSGT.B	Active	Production	WSON (DSG) | 8	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	X858
OPA858YR	Active	Production	DIESALE (Y) | 0	3000 | LARGE T&R	Yes	Call TI	N/A for Pkg Type	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF OPA858 :

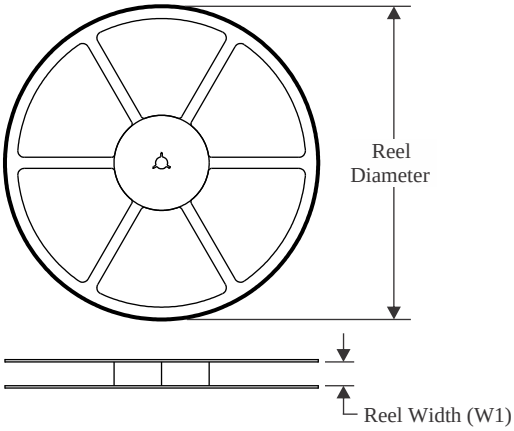
- Automotive : OPA858-Q1

NOTE: Qualified Version Definitions:

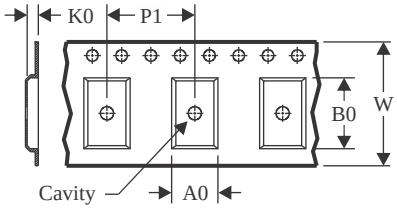
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

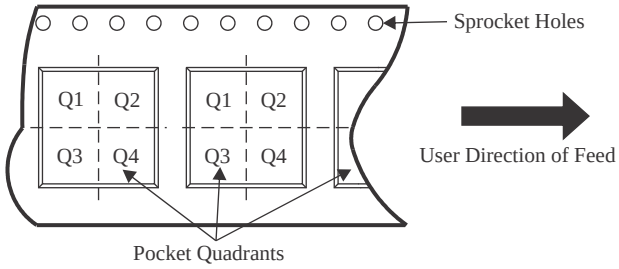


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

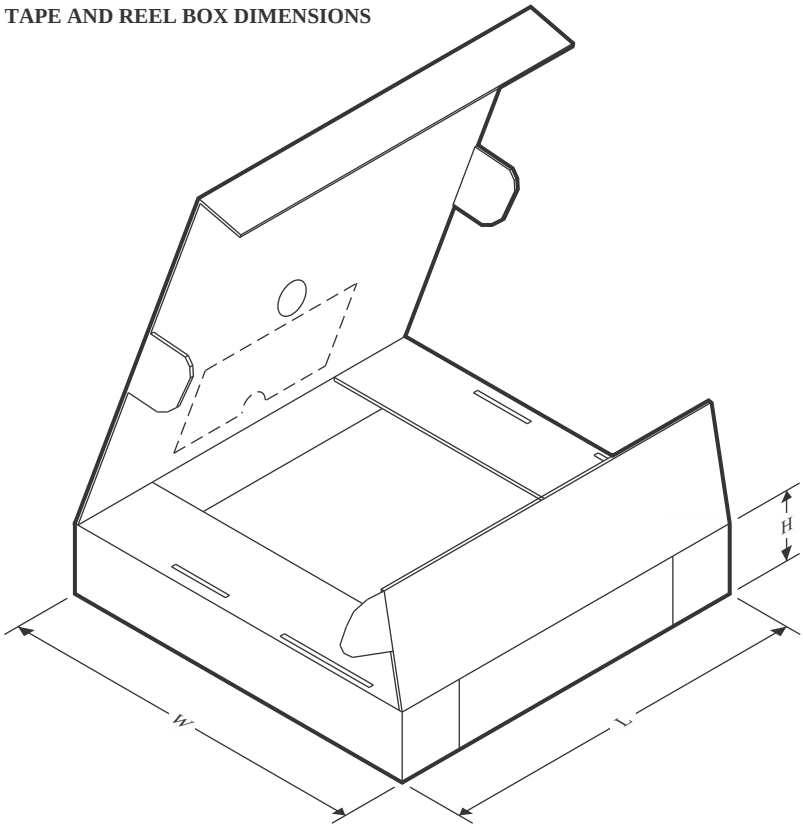
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA858IDSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
OPA858IDSGT	WSON	DSG	8	250	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
OPA858YR	DIESALE	Y	0	3000	180.0	8.4	0.74	0.78	0.45	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA858IDSGR	WSON	DSG	8	3000	210.0	185.0	35.0
OPA858IDSGT	WSON	DSG	8	250	210.0	185.0	35.0
OPA858YR	DIESALE	Y	0	3000	210.0	185.0	35.0

GENERIC PACKAGE VIEW

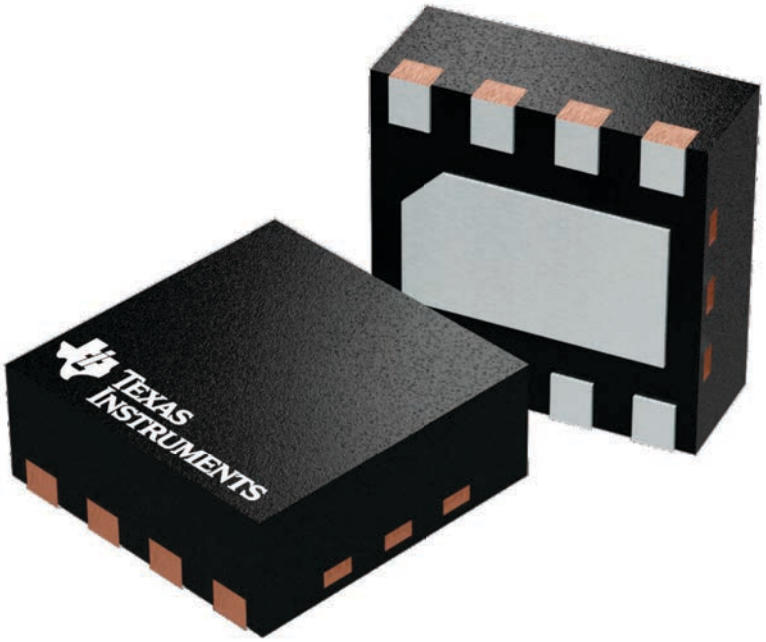
DSG 8

WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



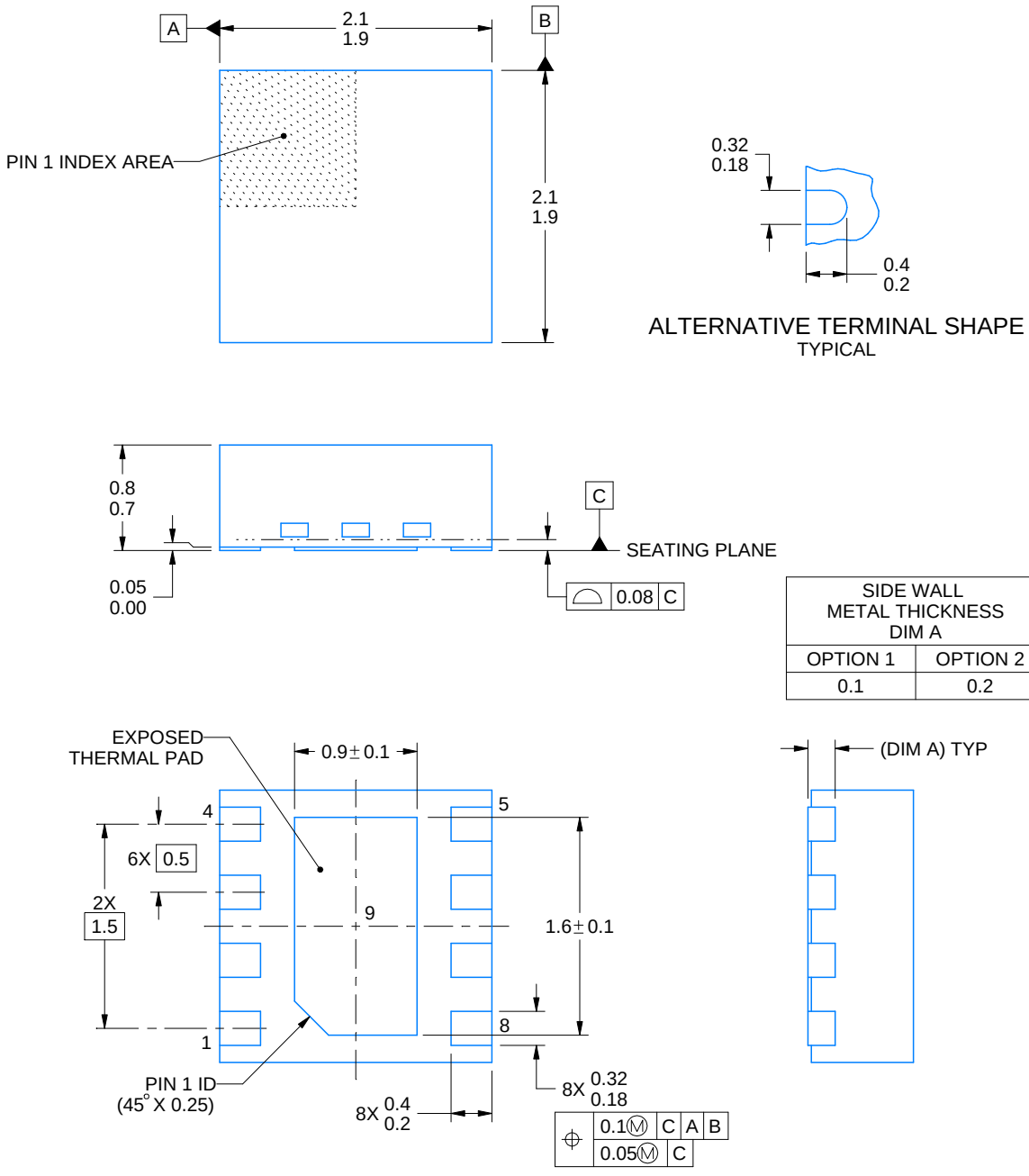
4224783/A

PACKAGE OUTLINE

DSG0008A

WSON - 0.8 mm max height

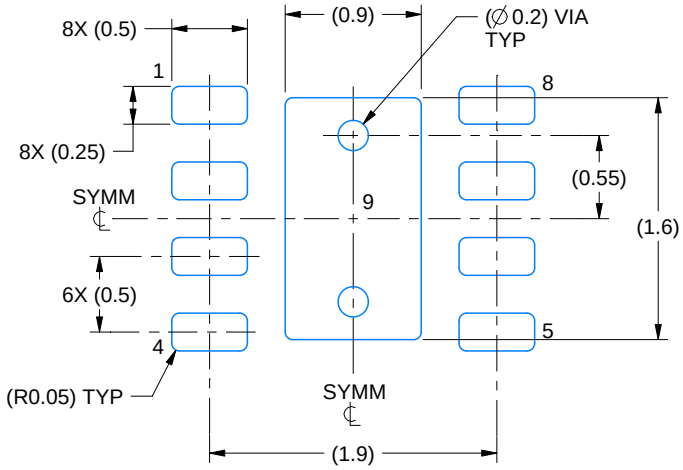
PLASTIC SMALL OUTLINE - NO LEAD



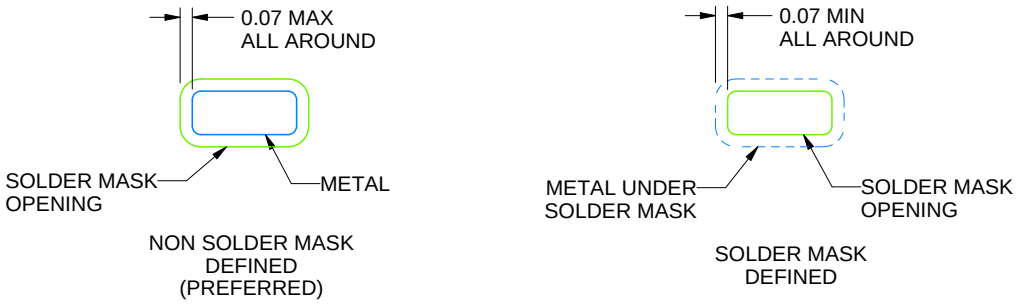
4218900/E 08/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

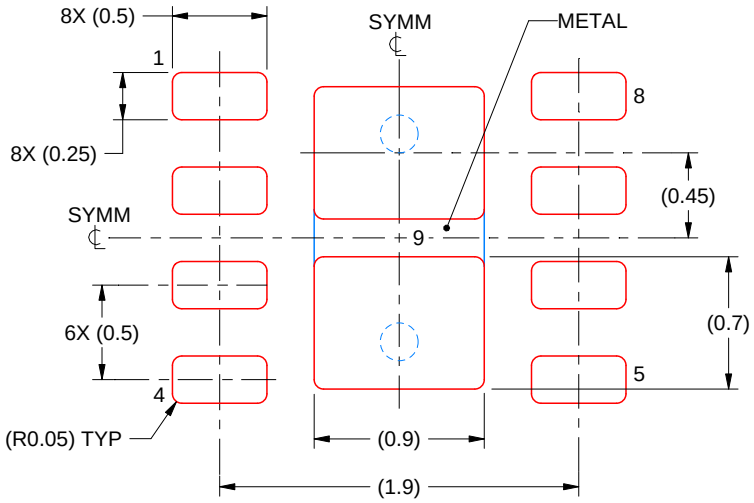


SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月