

OPA955 11GHz ゲイン帯域幅積、7V/V ゲイン安定、バイポーラ入力アンプ

1 特長

- 高いゲイン帯域幅積: 11GHz
- 不完全補償型、ゲイン 7V/V 以上 (安定)
- 超低入力電圧ノイズ: 0.79nV/√Hz
- スルーレート: 3750V/μs
- 低入力容量:
 - 同相: 0.9pF
 - 差動: 0.2pF
- 広い入力同相範囲:
 - 正電源から 0.4V
 - 負電源から 1.1V
- 合計出力スイング 3V_{pp}
- 電源電圧範囲: 3.3V ~ 5.25V
- 静止電流: 20.2mA
- パッケージ: 8 ピン WSON
- 温度範囲: -40°C ~ +125°C

2 アプリケーション

- 光時間領域反射率測定 (OTDR) フロント エンド
- ToF LiDAR フロント エンド
- アクティブ プローブ の設計
- 光学体外診断 (IVD) フロント エンド
- ソリッド ステート スキャン LiDAR フロント エンド
- シリコン光電子増倍素子 (SiPM) バッファ アンプ
- フォトマルチプライヤ管のポスト アンプ
- 高速データ アクイジション (DAQ)

3 説明

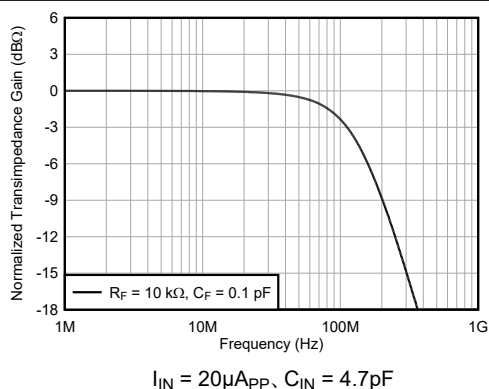
OPA955 は、広帯域トランスインピーダンスおよび電圧帰還アンプ アプリケーション用の広帯域、超低ノイズのバイポーラ入力オペアンプです。本デバイスをトランスインピーダンス アンプ (TIA) として構成した場合、11GHz のゲイン帯域幅積 (GBWP) により、数十キロオームの範囲のトランスインピーダンス ゲインで高い閉ループ帯域幅が可能になります。以下のグラフに、低容量フォトダイオード (PD) アプリケーションにおける、OPA955 のトランスインピーダンス帯域幅とトランスインピーダンス パルス応答性能を示します。

OPA955 は、広帯域トランスインピーダンス アプリケーション、高速データ アクイジション システム、弱い信号入力を持つ超低ノイズで高ゲインのフロント エンドを必要とするアプリケーションに活用できるアンプです。たとえば、OPA955 は、光学的タイム オブ フライト (ToF) システム、TDC7201 などの時間/デジタル コンバータ、LMH13000 などの内蔵レーザー ドライバとともに動作可能です。また、OPA955 を使うと、THS4541 または LMH5401 デバイスなどの差動出力アンプを接続した高分解能 LiDAR システムの高速 A/D コンバータ (ADC) を駆動できます。周波数応答を最適化する場合、OPA955 パッケージには帰還ピン (FB) があるため、入力と出力の間の帰還回路接続が簡単になります。

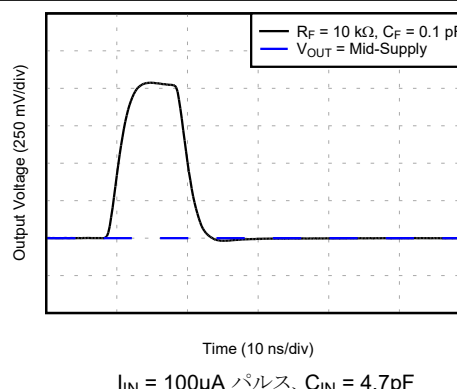
パッケージ情報

型番 ⁽¹⁾	パッケージ ⁽²⁾	パッケージ サイズ ⁽³⁾
OPA955	DSG (WSON, 8)	2mm × 2mm

- 「[デバイス比較表](#)」を参照してください。
- 詳細については、[セクション 12](#) を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



トランスインピーダンス帯域幅と周波数との関係



トランスインピーダンス パルス応答



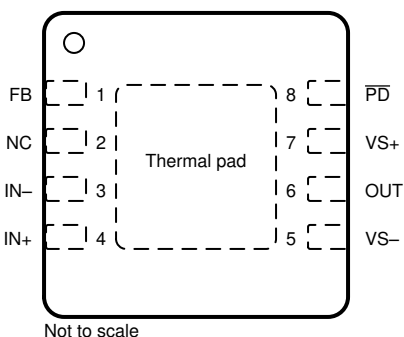
目次

1 特長.....	1	8.3 機能説明.....	12
2 アプリケーション.....	1	8.4 デバイスの機能モード.....	13
3 説明.....	1	9 アプリケーションと実装.....	13
4 デバイス比較表.....	2	9.1 電源に関する推奨事項.....	14
5 ピン構成および機能.....	3	9.2 レイアウト.....	15
6 仕様.....	4	10 デバイスおよびドキュメントのサポート.....	17
6.1 絶対最大定格.....	4	10.1 デバイス サポート.....	17
6.2 ESD 定格.....	4	10.2 ドキュメントのサポート.....	17
6.3 推奨動作条件.....	4	10.3 ドキュメントの更新通知を受け取る方法.....	17
6.4 熱に関する情報.....	4	10.4 サポート・リソース.....	17
6.5 電気的特性.....	6	10.5 商標.....	17
6.6 代表的特性.....	8	10.6 静電気放電に関する注意事項.....	17
7 パラメータ測定情報.....	10	10.7 用語集.....	17
8 詳細説明.....	11	11 改訂履歴.....	17
8.1 概要.....	11	12 メカニカル、パッケージ、および注文情報.....	18
8.2 機能ブロック図.....	11		

4 デバイス比較表

デバイス	入力タイプ	最小安定ゲイン (V/V)	電圧ノイズ (nV/√Hz)	電流ノイズ (pA/√Hz)	入力容量 (pF)	ゲイン帯域幅 (GHz)
OPA955	バイポーラ	7	0.79	0.55	1.1	11
OPA855	バイポーラ	7	0.98	2.5	0.8	8
OPA856	バイポーラ	1	0.9	2.5	1.1	1.1
OPA858	CMOS	7	2.5	0.055	0.8	5.5
OPA859	CMOS	1	3.3	0.055	0.8	0.9
LMH6629	バイポーラ	10	0.69	2.6	2.1	4
OPA818	JFET	7	2.2	0.145	2.4	2.7

5 ピン構成および機能



**図 5-1. DSG パッケージ、
8 ピン WSON (露出サーマルパッド付き)
(上面図)**

表 5-1. ピンの機能

ピン		タイプ	説明
名称	番号		
FB	1	入力	アンプの出力への帰還接続
IN-	3	入力	反転入力
IN+	4	入力	非反転入力
NC	2	—	接続しない
OUT	6	出力	アンプの出力
PD	8	入力	パワー ダウン接続。PD = 論理 Low = 電源オフ モード、PD = 論理 High = 通常動作。
VS-	5	—	負電源電圧
VS+	7	—	正電源電圧
サーマル パッド		—	サーマル パッドを熱拡散の電源またはグラウンド プレーンに接続。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V_S	全電源電圧 ($V_{S+} - V_{S-}$)		5.5	V
V_{IN+}, V_{IN-}	入力電圧	$(V_{S-}) - 0.5$	$(V_{S+}) + 0.5$	V
V_{ID}	差動入力電圧		1	V
V_{OUT}	出力電圧	$(V_{S-}) - 0.5$	$(V_{S+}) + 0.5$	V
I_{IN}	連続入力電流		± 10	mA
I_{OUT}	連続出力電流 ⁽²⁾		± 50	mA
T_J	接合部温度		150	°C
T_A	自由空気での動作温度	-40	125	°C
T_{stg}	保存温度	-65	150	°C

- (1) 「絶対最大定格」の範囲を超える動作は、デバイスに永続的な損傷を与える可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用了場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) エレクトロマイグレーションを制限するための長期的な連続出力電流。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	± 1500	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JS-002 に準拠、すべてのピン ⁽²⁾	± 1500	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_S	全電源電圧 ($V_{S+} - V_{S-}$)	3.3	5	5.25	V
T_A	自由空気での動作温度	-40		125	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		OPA955	単位
		DSG (WS0N)	
		8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	80.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	100	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	45	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	6.8	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	45.2	°C/W

熱評価基準 ⁽¹⁾		OPA955	単位
		DSG (WSON)	
		8 ピン	
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	22.7	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

6.5 電気的特性

$V_{S+} = 5V$ 、 $V_{S-} = 0V$ 、 $G = 7V/V$ 、 $R_F = 453\Omega$ 、入力同相電圧が中間電源でバイアスされ、 $R_L = 200\Omega$ 、出力負荷は中間電源を基準、 $T_A = 25^\circ C$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
AC 特性						
SSBW	小信号帯域幅	$V_{OUT} = 100 \text{ mV}_{PP}$		2.8		GHz
LSBW	大信号帯域幅	$V_{OUT} = 2 \text{ V}_{PP}$		1.2		GHz
GBWP	ゲイン帯域幅積			11		GHz
	0.1dB 平坦度の帯域幅			800		MHz
SR	スルー レート (10%-90%)	$V_{OUT} = 2\text{-V}$ ステップ		3750		V/ μs
t_r	立ち上がり時間	$V_{OUT} = 100\text{-mV}$ ステップ		0.13		ns
t_f	立ち下がり時間	$V_{OUT} = 100\text{-mV}$ ステップ		0.13		ns
	0.1% までのセトリング タイム	$V_{OUT} = 2\text{-V}$ ステップ		2.3		ns
	0.01% までのセトリング タイム	$V_{OUT} = 2\text{-V}$ ステップ		10		ns
	オーバーシュートまたはアンダーシュート	$V_{OUT} = 2\text{-V}$ ステップ		10		%
	オーバードライブ復帰時間	2 倍の出力オーバードライブ		3		ns
HD2	2 次高調波歪	$f = 10\text{MHz}$ 、 $V_{OUT} = 2V_{PP}$		-79		dBc
		$f = 100\text{MHz}$ 、 $V_{OUT} = 2V_{PP}$		-62		
HD3	3 次高調波歪	$f = 10\text{MHz}$ 、 $V_{OUT} = 2V_{PP}$		-88		dBc
		$f = 100\text{MHz}$ 、 $V_{OUT} = 2V_{PP}$		-74		
e_n	入力換算電圧ノイズ	$f = 1\text{MHz}$		0.79		nV/ $\sqrt{\text{Hz}}$
e_i	入力換算電流ノイズ	$f = 1\text{MHz}$		0.55		pA/ $\sqrt{\text{Hz}}$
z_o	閉ループ出力インピーダンス	$f = 1\text{MHz}$		0.06		Ω
DC 特性						
A_{OL}	開ループ電圧ゲイン		70	76		dB
V_{OS}	入力オフセット電圧	$T_A = 25^\circ C$	-1.5	± 0.2	1.5	mV
$\Delta V_{OS}/\Delta T$	入力オフセット電圧ドリフト	$T_A = -40^\circ C \sim 125^\circ C$		1		$\mu V/^\circ C$
I_B	入力バイアス電流 ⁽¹⁾	$T_A = 25^\circ C$	-5	-2	-0.1	μA
$\Delta I_B/\Delta T$	入力バイアス電流ドリフト	$T_A = -40^\circ C \sim +125^\circ C$		-0.08		$\mu A/^\circ C$
I_{BOS}	入力オフセット電流	$T_A = 25^\circ C$	-0.6	± 0.2	0.6	μA
$\Delta I_{BOS}/\Delta T$	入力オフセット電流ドリフト	$T_A = -40^\circ C \sim +125^\circ C$		1		nA/ $^\circ C$
CMRR	同相信号除去比	$V_{CM} = \pm 0.5V$ (中間電圧基準)	80	86		dB
入力						
	同相入力抵抗			2.3		M Ω
C_{CM}	同相入力キャパシタンス			0.9		pF
	差動入力抵抗			50		k Ω
C_{DIFF}	差動入力容量			0.2		pF
V_{IH}	同相入力範囲 (high)	CMRR > 80dB、 $V_{S+} = 3.3V$	2.7	2.9		V
V_{IL}	同相入力範囲 (low)	CMRR > 80dB、 $V_{S+} = 3.3V$		0.9	1.4	V
V_{IH}	同相入力範囲 (high)	CMRR > 80dB	4.4	4.6		V
V_{IH}	同相入力範囲 (high)	$T_A = -40^\circ C \sim +125^\circ C$ 、CMRR > 80dB		4.55		V
V_{IL}	同相入力範囲 (low)	CMRR > 80dB		1.1	1.35	V
V_{IL}	同相入力範囲 (low)	$T_A = -40^\circ C \sim +125^\circ C$ 、CMRR > 80dB		1.3		V

$V_{S+} = 5V$, $V_{S-} = 0V$, $G = 7V/V$, $R_F = 453\Omega$, 入力同相電圧が中間電源でバイアスされ、 $R_L = 200\Omega$, 出力負荷は中間電源を基準、 $T_A = 25^\circ C$ (特に記述のない限り)

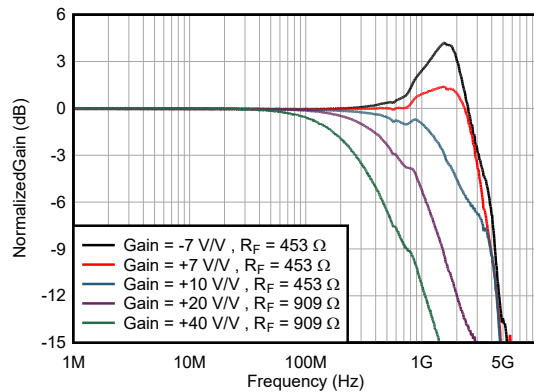
パラメータ		テスト条件	最小値	標準値	最大値	単位
出力						
V _{OH}	出力電圧 (high) ⁽²⁾	T _A = 25°C、V _{S+} = 3.3V	2.35	2.4		V
V _{OH}	出力電圧 (high) ⁽²⁾	T _A = 25°C	3.95	4.1		V
		T _A = -40°C ~ +125°C		4		
V _{OL}	出力電圧 (low) ⁽²⁾	T _A = 25°C、V _{S+} = 3.3V		1.05	1.15	V
V _{OL}	出力電圧 (low) ⁽²⁾	T _A = 25°C		1.05	1.15	V
		T _A = -40°C ~ +125°C		1.0		
I _{O_LIN}	リニア出力駆動 (シンクおよびソース)	R _L = 10Ω、A _{OL} ≥ 60dB	65	80		mA
		T _A = -40°C ~ +125°C、R _L = 10Ω、A _{OL} > 60dB		70		
I _{SC}	出力短絡電流		80	105		mA
電源						
I _Q	静止時電流		18	20.2	22	mA
		T _A = -40°C		18.7		
		T _A = 125°C		22		
PSRR+	正の電源電圧変動除去比		80	86		dB
PSRR-	負の電源電圧変動除去比		70	80		
パワーダウَن						
	電圧スレッシュホールド無効化	アンプのオフをこの電圧に追従します	0.65	0.95		V
	電圧スレッシュホールド有効化	この電圧を超えるとアンプがオン		1	1.8	V
	パワーダウَن静止時電流			465	520	μA
	$\overline{PD}$ バイアス電流			30	50	μA
	ターンオン時間の遅延	V _{OUT} が最終値の 90% までの時間		120		ns
	ターンオフ時間の遅延			30		ns

(1) 入力ピンに流れ込む電流は負と見なされます

(2) アンプの出力が飽和した

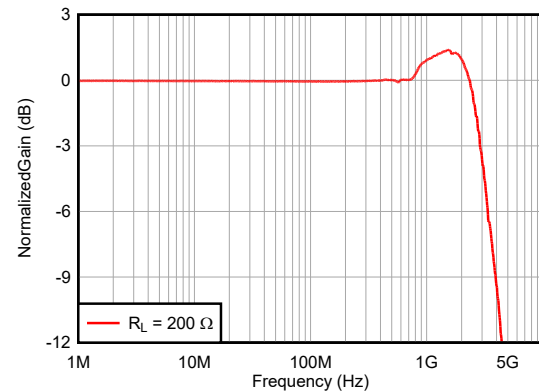
6.6 代表的特性

$T_A = 25^\circ\text{C}$, $V_{S+} = 2.5\text{V}$, $V_{S-} = -2.5\text{V}$, $V_{IN+} = 0\text{V}$, $R_F = 453\Omega$, ゲイン = 7V/V , $R_L = 200\Omega$, 出力負荷は中間電源を基準 (特に記述のない限り)



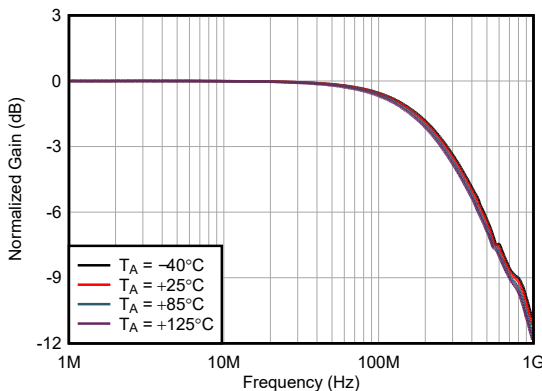
$V_{OUT} = 100\text{mV}_{PP}$. 回路構成については、[セクション 7](#) を参照してください

図 6-1. 小信号周波数応答とゲインとの関係



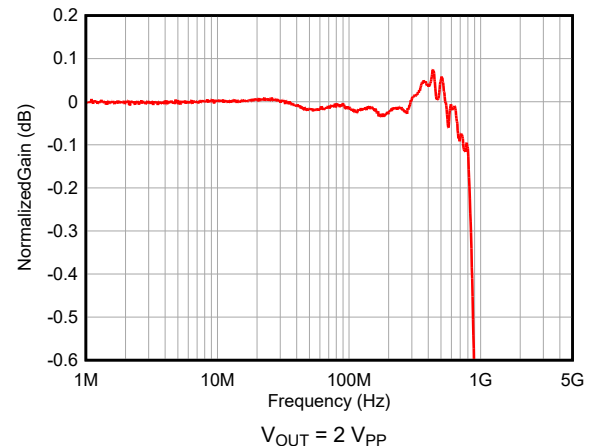
$V_{OUT} = 100\text{ mV}_{PP}$

図 6-2. 小信号周波数応答と出力負荷との関係



ゲイン = 40V/V , $R_F = 909\Omega$, $V_{OUT} = 100\text{mV}_{PP}$

図 6-3. 小信号周波数応答と周囲温度との関係



$V_{OUT} = 2\text{ V}_{PP}$

図 6-4. 0.1dB のゲイン フラットネスに対する大信号応答

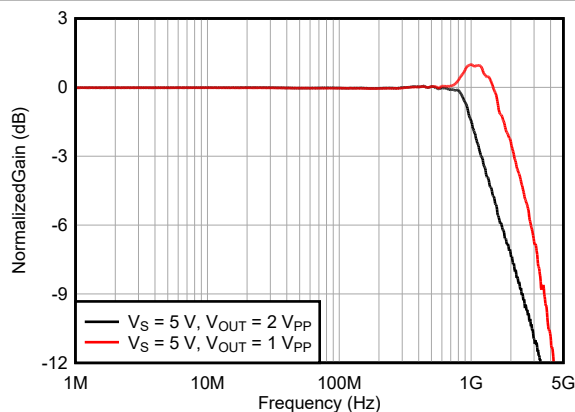
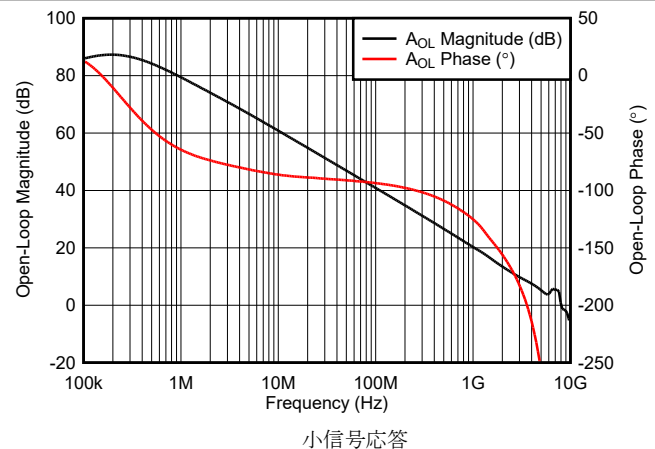


図 6-5. 小信号周波数応答と電源電圧との関係



小信号応答

図 6-6. 開ループ振幅および位相と周波数との関係

6.6 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_{S+} = 2.5\text{V}$ 、 $V_{S-} = -2.5\text{V}$ 、 $V_{IN+} = 0\text{V}$ 、 $R_F = 453\Omega$ 、ゲイン = 7V/V 、 $R_L = 200\Omega$ 、出力負荷は中間電源を基準 (特に記述のない限り)

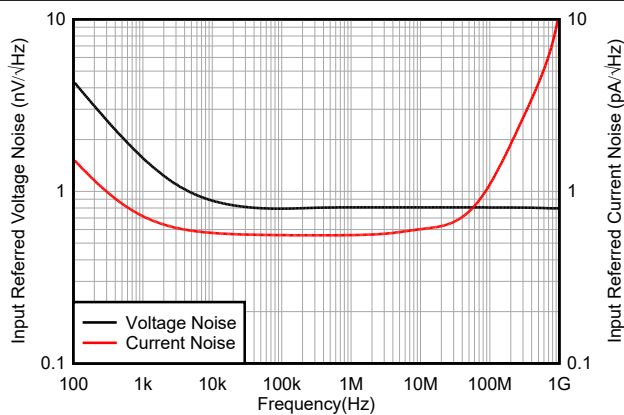


図 6-7. 電圧ノイズおよび電流ノイズ密度と周波数との関係

7 パラメータ測定情報

OPA955 の各種テスト設定構成を 図 7-1、図 7-2 および 図 7-3 に示します。OPA955 を +20V/V および +40V/V のゲインに構成するときは、帰還抵抗 R_F を 909 Ω に設定します。

図 6-1 は、図 7-2 に示すように構成されたアンプで -7V/V の反転構成でのアンプのピークが 5dB であることを示しています。この回路構成では 50 Ω マッチングされた終端により、アンプのノイズゲインは 5.3V/V に構成されます。これは、推奨される +7V/V より低くなります。

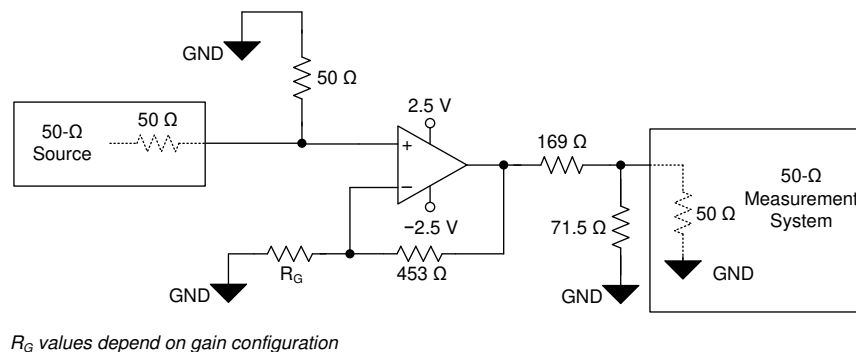


図 7-1. 非反転構成

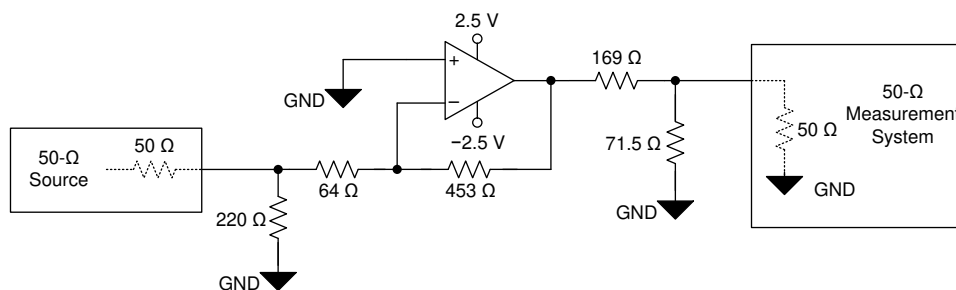


図 7-2. 反転構成 (ゲイン = -7V/V)

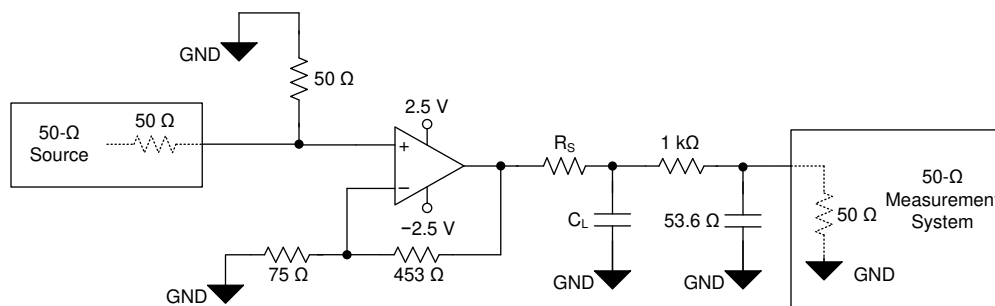


図 7-3. 容量性負荷ドライバ構成

8 詳細説明

8.1 概要

OPA955 の非常に広い 11GHz のゲイン帯域幅積 (GBWP) と 0.79nV/√Hz の広帯域電圧ノイズの組み合わせにより、広帯域トランスインピーダンス アプリケーション、高速データ収集システム、弱信号入力が必要とする低ノイズで高ゲインのフロントエンドを必要とするアプリケーションに適したアンプを実現します。OPA955 は、動的性能を最適化するため、複数の機能を組み合わせています。OPA955 は広い小信号帯域幅に加えて、1.2GHz、大信号帯域幅 (2V_{pp}) と 3750V/μs のスルー レートを備えているため、高速パルス アプリケーションに適したオプションです。

8.2 機能ブロック図

OPA955 は、2 つの高インピーダンス入力と低インピーダンス出力を備えた従来の電圧帰還オペアンプです。図 8-1、図 8-2 の 2 つの基本オプションなど、標準アプリケーション回路がサポートされています。出力オフセット電圧を最小限に抑えるには、非反転型ピンの抵抗を使用してバイアス電流をキャンセルします。非反転構成では、非反転ピンに抵抗を追加することでシステムにノイズが増加するため、SNR が重要な場合は抵抗を除去できます。反転構成では、通常、非反転ノードは DC 電圧に接続されます。したがって、大容量の 1μF コンデンサを抵抗と並列に追加してノイズをシャントすることで、バイアス キャンセル抵抗からの高周波ノイズへの影響をバイパスできます。各構成の dc 動作点は基準電圧 (V_{REF}) によってレベル シフトされます。この電圧は通常、単一電源動作時の中間電圧に設定されます。V_{REF} は通常、分割電源アプリケーションではグラウンドに接続されます。

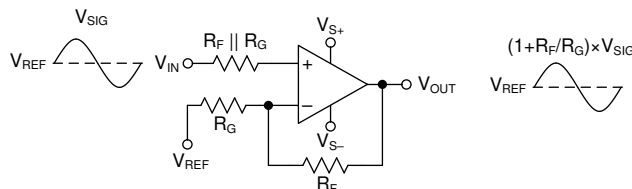


図 8-1. 非反転アンプ

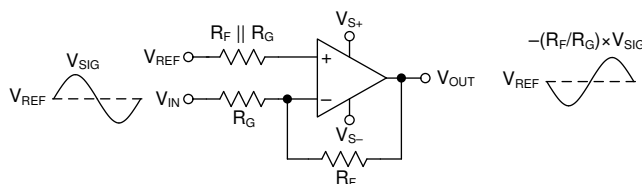


図 8-2. 反転アンプ

8.3 機能説明

8.3.1 入力およびESD 保護

OPA955 は、低電圧、高速の BiCMOS プロセスで製造されています。このように形状の小さなデバイスの場合、内部接合部ブレークダウン電圧は低く、その結果、[図 8-3](#) に示すように、すべてのデバイス ピンは電源への内部 ESD 保護ダイオードで保護されています。アンプの入力の間には 2 つの逆並列ダイオードがあり、範囲超過または障害状態のときに入力をクランプします。

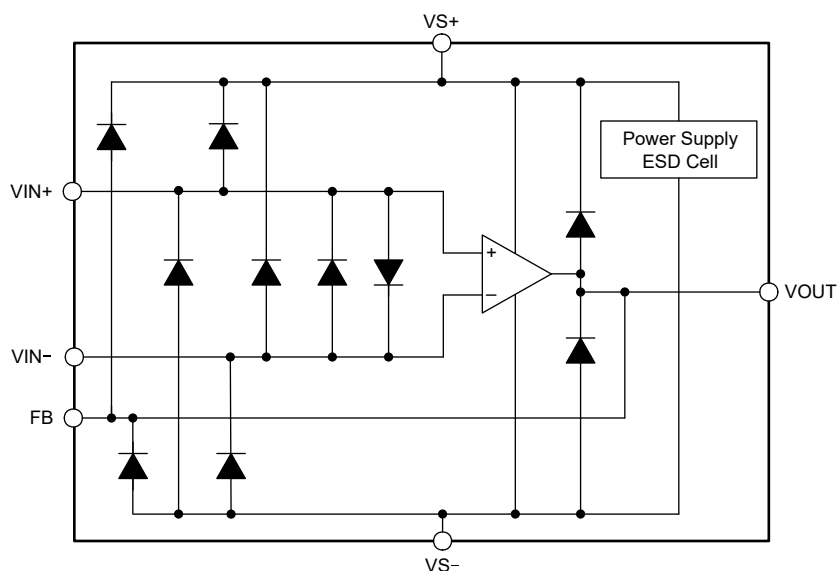


図 8-3. 内部 ESD 構造

8.3.2 フィードバック ピン

OPA955 ピン レイアウトは、高速アナログ設計で重要な注意事項である寄生インダクタンスおよび寄生容量を最小化するように最適化されています。FB ピン (ピン 1) はアンプの出力に内部的に接続されています。FB ピンは、無接続 (NC) ピン (ピン 2) によってアンプの反転入力 (ピン 3) と分離されています。NC ピンはフローティングのままにする必要があります。このピン レイアウトには、次の 2 つの利点があります。

1. 帰還抵抗 (R_F) は [図 8-4](#)、パッケージの周囲に配置するのではなく、FB ピンと IN- ピンとの間に接続できます (を参照)。
2. NC ピンによって作成される絶縁により、FB ピンと IN- ピンの間の物理的な分離を増やすことで、FB ピンと IN- ピンの間の容量性結合を最小限に抑えることができます。

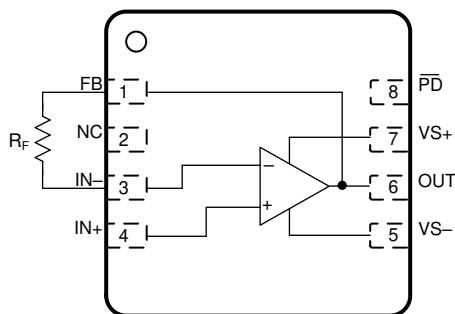


図 8-4. FB ピンと IN- ピンの間の R_F 接続

8.4 デバイスの機能モード

8.4.1 分割電源と単一電源動作

OPA955 は、片面電源または分割電源で構成できます。図 9-1 も参照してください。入力同相モードがグランドに設定されている平衡電源を使用する両電源動作は、ラボ試験の容易さを向上させるのに役立ちます (ほとんどの信号ジェネレータ、ネットワーク アナライザ、スペクトラム アナライザ、その他のラボ用機器は通常、入力と出力をグランドに接続しているため)。分割電源動作では、サーマル パッドを負電源に接続します。

より新しいシステムは単一電源を使用して、効率の向上と、追加電源のコスト削減に貢献します。OPA955 は、入力同相と出力シングがデバイスの線形動作範囲内にバイアスされている場合、性能を変化させない単一の正電源 (グランドの負電源) で使用できます。単一電源動作では、電源レール間の電圧差の半分のレベル シフトを行います。この構成により、入力同相および出力負荷基準電圧は電源の中間点に維持されます。ゲイン誤差を除去するため、リファレンス入力同相電圧を駆動するソースは、対象の周波数範囲全体にわたって出力インピーダンスを低くする必要があります。この場合は、サーマル パッドをグランドに接続します。

9 アプリケーションと実装

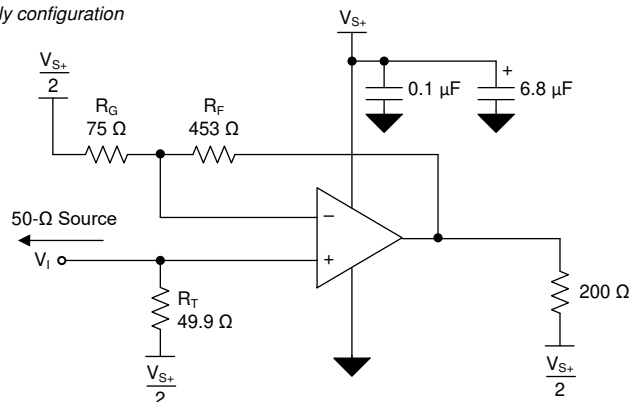
注

以下のアプリケーションのセクションにある情報は、TI コンポーネントの仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 電源に関する推奨事項

OPA955 は、3.3V ~ 5.25V の電源で動作します。OPA955 は、単一側電源、分割/平衡型バイポーラ電源、不平衡型バイポーラ電源で動作します。OPA955 はレール ツー レールの入出力を備えていないため、入力同相および出力サインの範囲は 3.3V 電源で制限されます。

a) Single supply configuration



b) Split supply configuration

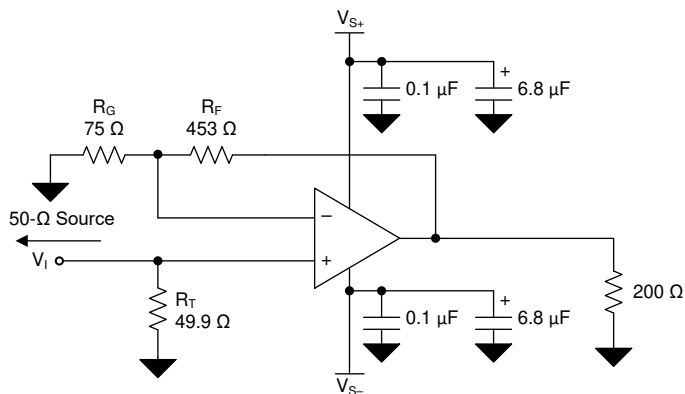


図 9-1. 分割および単一電源回路構成

9.2 レイアウト

9.2.1 レイアウトのガイドライン

OPA955 などの高い周波数のアンプを使用して最適な性能を実現するには、基板レイアウトの寄生素子と外部部品の種類に細心の注意を払う必要があります。性能を最適化するための推奨事項として以下が挙げられます。

- **信号 I/O ピンから AC グランドへの寄生容量を最小限に抑えます。** 出力ピンと反転入力ピンの寄生容量が、不安定性の原因になる場合があります。不要な容量を減らすため、信号入力および出力ピンの下に電源パターンとグランドパターンを切断します。その他に、グランドプレーンと電源プレーンが基板上の他の場所で途切れないようにする必要があります。アンプを TIA として構成する際には、必要な帰還コンデンサが 0.15pF 未満の場合は、抵抗からの寄生容量を最小化するために、2 つの直列抵抗を使うことを検討します。それぞれの値は、帰還ループ内で 1 つの抵抗の半分です。
- **電源ピンから高周波バイパス コンデンサまでの距離を最小限 (0.25 インチ未満) にします。** アンプの最大電源電圧の 3 倍以上の電圧定格を持つ、100pF ~ 0.1μF、C0G、NPO タイプの高品質デカップリング コンデンサを使用してください。この構成により、アンプのゲイン帯域幅仕様全体にわたって、アンプの電源ピンへの低インピーダンスのパスが確実に確立されます。デバイスのピンの配置では、グランドおよび電源プレーンのレイアウトを信号 I/O ピンの近くに配置しないようにしてください。ピンとデカップリング コンデンサ間のインダクタンスを最小にするため、電源パターンおよびグランドパターンは狭くならないようにします。電源接続は、必ずこれらのコンデンサによってデカップリングする必要があります。低い周波数で効果的な、より大きなデカップリング コンデンサ (2.2-μF から 6.8-μF) を電源ピンに使用する必要があります。これらのデカップリング コンデンサは、デバイスからさらに離して配置します。プリント基板 (PCB) の同じ領域にある複数のデバイス間でデカップリング コンデンサを共有します。
- **外付け部品を慎重に選択および配置することで、OPA955 の高周波性能が維持されます。** リアクタンスが小さい抵抗を使用します。最もよく機能するのは表面実装抵抗で、レイアウト全体をより厳密にすることができます。高周波アプリケーションでは、巻線抵抗を決して使用しないでください。出力ピンと反転入力ピンは寄生容量の影響を最も受けやすいので、帰還抵抗と直列出力抵抗 (ある場合) は、出力ピンにできるだけ近付けて配置します。(非反転入力終端抵抗といった) 他のネットワーク部品は、パッケージの近くに配置します。外部抵抗をシャントする寄生容量が少ない場合も、抵抗の値が大きいと、時定数が大きくなり、性能が低下する可能性があります。OPA955 を電圧アンプとして構成する場合は、抵抗値を可能な限り低くし、負荷駆動に関する考慮事項と一致するようにします。抵抗値を小さくすると、抵抗ノイズ項が低く保たれ、寄生容量の影響が最小化されます。ただし、抵抗値を小さくすると、 R_F と R_G はアンプの出力負荷ネットワークの一部になるため、ダイナミック消費電力が増加します。

9.2.2 レイアウト例

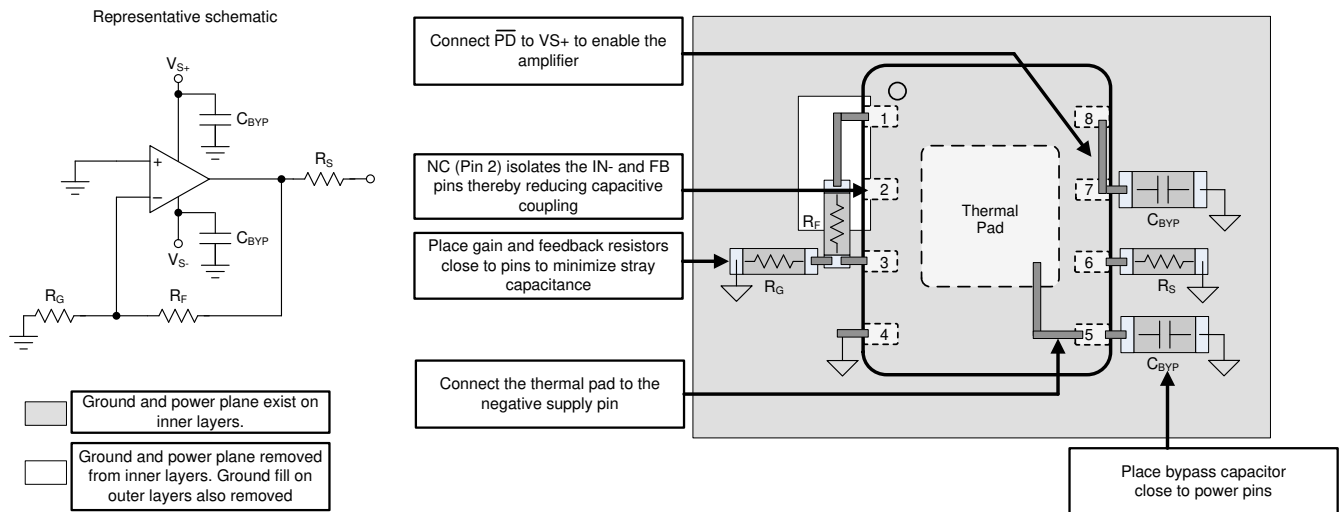


図 9-2. レイアウトに関する推奨事項

OPA955 をトランスインピーダンスアンプとして構成するときは、アバランシェフォトダイオード (APD) とアンプの間のインダクタンスを最小限に抑えるよう注意してください。フォトダイオードは、PCB 上でアンプと同じ面に必ず配置してください。アンプと APD を PCB の反対側に配置すると、ビアのインダクタンスによる寄生効果が増加します。APD パッケージは非常に大きくなる可能性があるため、APD を理想的なものよりも離れた場所に配置する必要があることがよくあります。図 9-3 に、2 つのデバイス間に距離を追加すると、APD とオペアンプの帰還回路の間のインダクタンスが増加することを示します。このインダクタンスにより APD 容量がノイズ ゲイン伝達関数から分離されるため、不完全補償型アンプの安定性に悪影響を及ぼします。ノイズ ゲインは式 1 で求められます。帰還回路間に追加された PCB 配線インダクタンスにより式 1 の分母が増加するため、ノイズ ゲインと位相マージンが低減されます。TO-CAN パッケージのリード付き APD を使用する場合、TO-CAN パッケージのリードをできるだけ短くして、インダクタンスをさらに最小限に抑えます。

$$\text{Noise Gain} = \left(1 + \frac{Z_F}{Z_{IN}} \right) \quad (1)$$

ここで、

- Z_F は帰還ネットワークの合計インピーダンスです。
- Z_{IN} は入力ネットワークの合計インピーダンスです。

図 9-3 に示すレイアウトは、図 9-4 のガイドラインの一部に従うことで改善されます。従うべき主な 2 つのルールは次のとおりです。

1. アンプの反転入力にできるだけ近い場所に、絶縁抵抗 R_{ISO} を追加します。 R_{ISO} の値は $10\Omega \sim 20\Omega$ の範囲で選択します。この抵抗は、配線のインダクタンスとアンプの内部容量に起因する潜在的な共振を減衰させます。
2. 帰還素子 (R_F と C_F) と R_{ISO} 間のループを、APD ピンにできるだけ近づけて配置します。この閉鎖により、よりバランスのとれたレイアウトが実現し、APD とフィードバック回路の間の誘導性絶縁が低減されます。

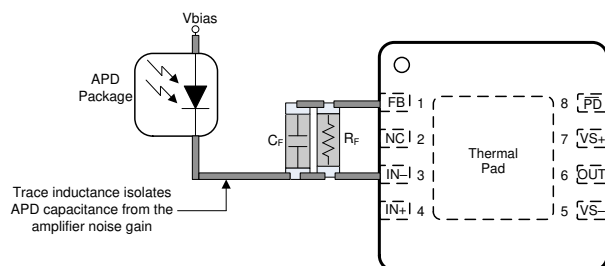


図 9-3. 理想的ではない TIA レイアウト

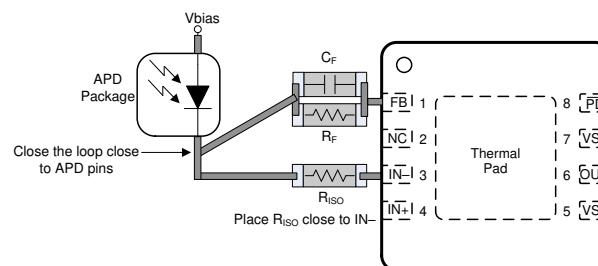


図 9-4. TIA レイアウトの改善

10 デバイスおよびドキュメントのサポート

10.1 デバイス サポート

10.1.1 開発サポート

- [LIDAR パルス ToF リファレンス デザイン](#)
- [高速データコンバータを使用する LIDAR パルスのタイム オブ フライト \(ToF\) リファレンス デザイン](#)
- [広帯域の光フロント エンドリファレンス デザイン](#)

10.2 ドキュメントのサポート

10.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『[DEM-OPA-WSN8-EVM](#)』
- テキサス インスツルメンツ、[トレーニング ビデオ:『高速トランスインピーダンス アンプの設計の流れ』](#)
- テキサス インスツルメンツ、[トレーニング ビデオ:トランスインピーダンス アンプ回路の設計方法](#)
- テキサス インスツルメンツ、[トレーニング ビデオ:『トレーニング ビデオ:TINA-TI モデルを汎用 SPICE モデルに変換する方法』](#)
- テキサス・インスツルメンツ、[『高速アンプのトランスインピーダンスに関する考慮事項』アプリケーションレポート](#)
- テキサス インスツルメンツ、[『ブログ: トランスインピーダンス アンプについて知っておくべきこと—第 1 部』](#)
- テキサス インスツルメンツ、[『ブログ: トランスインピーダンス アンプについて知っておくべきこと—第 2 部』](#)

10.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.4 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
July 2026	*	初版リリース

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
XOPA955DSGR	Active	Preproduction	WSO8 (DSG) 8	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

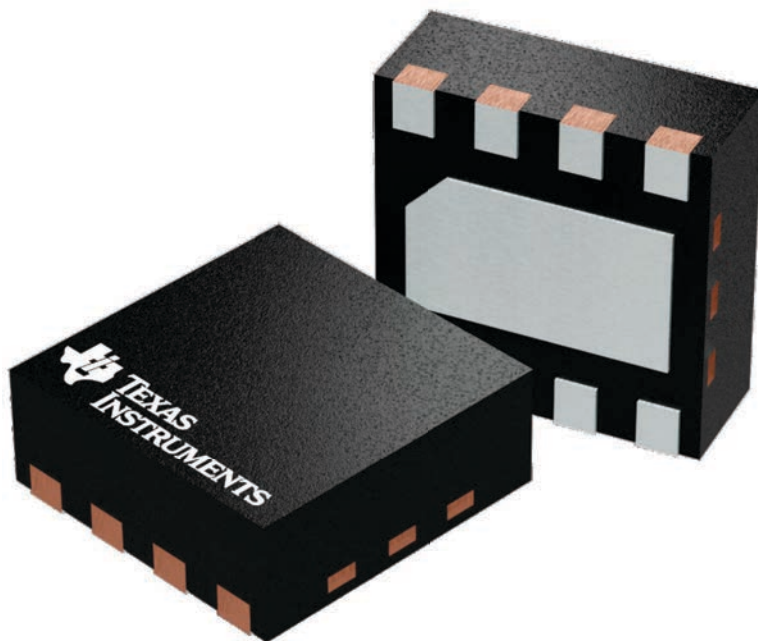
DSG 8

WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224783/A

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月