TEXAS INSTRUMENTS
OPA990, OPA2990, OPA4990
JAJSGX0I – FEBRUARY 2019 – REVISED AUGUST 2021

OPAx990 40V、レール・ツー・レール入出力、低オフセット電圧、低消費電力オペアンプ

1 特長

- 低いオフセット電圧:±300μV
- 低いオフセット電圧ドリフト:±0.6μV/℃
- 低いノイズ:1kHz 時に 30nV/√Hz
- 大きい同相除去比:115dB
- 小さいバイアス電流:±10pA
- レール・ツー・レール入出力
- 多重化対応 / コンパレータ入力
  - 電源レールまでの差動入力でアンプが動作
  - アンプを開ループで、またはコンパレータとして使用可能
- 広帯域幅:1.1MHz GBW
- 高いスルーレート:4.5V/μs
- 低い静止電流:120μA (アンプ 1 個あたり)
- 広い電源範囲:±1.35V～±20V、2.7V～40V
- 堅牢な EMIRR 性能:1.8 GHz 時に 78dB
- 差動および同相入力電圧範囲は電源レールまで

2 アプリケーション

- 多重化データ収集システム
- 試験および計測機器
- モーター・ドライブ:出力段と制御モジュール
- パワー・デリバリ:UPS 、サーバー、商用ネットワークの電源
- ADC ドライバとリファレンス・バッファ・アンプ
- プログラマブル・ロジック・コントローラ
- アナログ入出力モジュール
- ハイサイドおよびローサイド電流センシング
- 高精度コンパレータ

3 概要

OPAx990 ファミリ (OPA990、OPA2990、OPA4990) は、高電圧 (40V) 汎用オペアンプ・ファミリです。これらのデバイスは、レール・ツー・レールの入出力、小さいオフセット (±300μV、標準値)、小さいオフセット・ドリフト (±0.6μV/℃、標準値) などの優れた DC 精度と AC 性能を備えています。

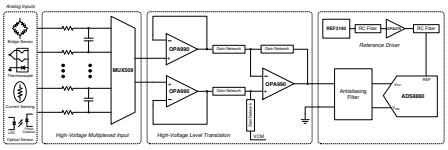
OPAx990 は、電源レールまでの差動および同相入力電圧範囲、大きい短絡電流 (± 80mA)、高いスルーレート (4.5V/μs)、シャットダウンなどの独自機能を備えており、高電圧産業用アプリケーション向けの非常に柔軟で堅牢な高性能オペアンプです。

OPAx990 ファミリのオペアンプは、標準パッケージ (SOT-23、SOIC、TSSOP など) だけでなくマイクロサイズ・パッケージ (X2QFN、WSON、SOT-553 など) でも供給され、-40℃～125℃で仕様が規定されています。

製品情報

部品番号(1)	パッケージ	本体サイズ (公称)
OPA990	SOT-23 (5)	2.90mm × 1.60mm
	SOT-23 (6)	2.90mm × 1.60mm
	SC70 (5)	2.00mm × 1.25mm
	SOT-553 (5)(2)	1.60mm × 1.20mm
OPA2990	SOIC (8)	4.90mm × 3.90mm
	SOT-23 (8)	2.90mm × 1.60mm
	TSSOP (8)	3.00mm × 4.40mm
	VSSOP (8)	3.00mm × 3.00mm
	VSSOP (10)	3.00mm × 3.00mm
	WSON (8)	2.00mm × 2.00mm
	X2QFN (10)	2.00mm × 1.50mm
OPA4990	SOIC (14)	8.65mm × 3.90mm
	TSSOP (14)	5.00mm × 4.40mm
	WQFN (16)	3.00mm × 3.00mm
	X2QFN (14)	2.00mm × 2.00mm

(1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照してください。
(2) このパッケージはプレビューのみです。



OPAx990 を使用した高電圧の多重化データ収集システム

英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.com で閲覧でき、その内容が常に優先されます。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

目次

1 特長 1
2 アプリケーション 1
3 概要 1
4 改訂履歴 2
5 ピン構成と機能 4
6 仕様 10
6.1 絶対最大定格 10
6.2 ESD 定格 10
6.3 推奨動作条件 10
6.4 シングル・チャネルの熱に関する情報 11
6.5 デュアル・チャネルの熱に関する情報 11
6.6 クワッド・チャネルの熱に関する情報 12
6.7 電気的特性 13
6.8 代表的特性 16
7 詳細説明 24
7.1 概要 24
7.2 機能ブロック図 24
7.3 機能説明 25
7.4 デバイスの機能モード 33
8 アプリケーションと実装 34
8.1 アプリケーション情報 34
8.2 代表的なアプリケーション 34
9 電源に関する推奨事項 36
10 レイアウト 36
10.1 レイアウトのガイドライン 36
10.2 レイアウト例 36
11 デバイスおよびドキュメントのサポート 39
11.1 デバイスのサポート 39
11.2 ドキュメントのサポート 39
11.3 Receiving Notification of Documentation Updates 39
11.4 サポート・リソース 39
11.5 商標 39
11.6 Electrostatic Discharge Caution 39
11.7 Glossary 40
12 メカニカル、パッケージ、および注文情報 40

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision H (May 2021) to Revision I (August 2021) **Page**

- 「*製品情報*」表の OPA2990 VSSOP-8 パッケージ (DGK) からプレビューの注を削除 1
- 「ピン構成および機能」セクションの OPA2990 VSSOP-8 パッケージ (DGK) からプレビュー版の注を削除 4
- 「ピン構成および機能」セクションに、DDF と TDDF パッケージの違いについての注を追加 4
- 「推奨動作条件」のシャットダウン領域を示す誤字を、他のデータシートと一致するように訂正 10
- 「シングル・チャネルの熱に関する情報」セクションで、SOT-23-6 (DBV-6) の接合部から周囲への熱抵抗値を 1174.5℃/W から 174.5℃/W に変更。 11
- 「シャットダウン」セクションで、SHDN ピンのロジック Low 信号に関する明確化の記述を追加 32
- 「シャットダウン」セクションのイネーブルおよびディセーブル時間の記述を、「電気的特性」セクションに合わせて、それぞれ 30µs および 3µs から 11µs および 2.5µs に訂正 32

Changes from Revision G (December 2020) to Revision H (May 2021) **Page**

- 「*製品情報*」表の OPA4990 WQFN (16) パッケージからプレビューの注を削除 1
- 「*製品情報*」表の OPA4990 X2QFN (14) パッケージからプレビューの注を削除 1
- 「ピン構成および機能」セクションの OPA4990 および OPA4990S RTE パッケージ (WQFN) からプレビュー版の注を削除 4
- 「仕様」セクションから図表一覧を削除 10
- 「シャットダウン」セクションのシャットダウン・ピンのスレッショルドと最大電圧レベルを明確化 32
- 「デバイスおよびドキュメント」セクションから「関連リンク」を削除 39

Changes from Revision F (May 2020) to Revision G (December 2020) **Page**

- 文書全体にわたって表、図、相互参照の採番方法を更新 1
- 「*製品情報*」表の OPA2990 SOT-23 (8) パッケージからプレビューの注を削除 1
- OPA2990 VSSOP (10) パッケージを「*製品情報*」表に追加 1
- OPA990S のピン機能で SHDN の注を明確化 4
- 「ピン構成および機能」セクションの OPA2990 DDF パッケージ (SOT-23) からプレビュー版の注を削除 4

Copyright © 2022 Texas Instruments Incorporated

- 「ピン構成および機能」セクションの OPA2990S DGS パッケージ (VSSOP) からプレビュー版の注を削除..... 4
- 「ピン機能」セクションの OPA2990S の SHDN 表記を明確化.....4
- 「ピン機能」セクションの OPA4990S の SHDN 表記を明確化.....4

Changes from Revision E (December 2019) to Revision F (May 2020) **Page**

- 「*製品情報*」表の OPA2990 X2QFN (10) パッケージからプレビューの注を削除.....1
- 「ピン構成および機能」セクションの OPA2990S RUG パッケージ (X2QFN) からプレビュー版の注を削除..... 4
- 「デュアル・チャネルの熱情報」セクションの RUG (X2QFN) を変更..... 4

Changes from Revision D (July 2019) to Revision E (December 2019) **Page**

- OPA990 と OPA4990 のデバイス・ステータスを「*事前情報*」から「*量産データ*」に変更..... 1
- 「*製品情報*」表の OPA990 SOT-23 (5) パッケージからプレビューの注を削除..... 1
- 「*製品情報*」表の OPA990S SOT-23 (6) パッケージからプレビューの注を削除.....1
- 「*製品情報*」表の OPA990 SC70 (5) パッケージからプレビューの注を削除.....1
- 「*製品情報*」表の OPA4990 SOIC (14) パッケージからプレビューの注を削除.....1
- 「*製品情報*」表の OPA4990 TSSOP (14) パッケージからプレビューの注を削除..... 1
- 「ピン構成および機能」セクションの OPA990 DBV パッケージ (SOT-23) からプレビュー版の注を削除..... 4
- 「ピン構成および機能」セクションの OPA990 DCK パッケージ (SC70) からプレビュー版の注を削除..... 4
- 「ピン構成および機能」セクションの OPA4990 D (SOIC) および TSSOP (PW) パッケージからプレビュー版の注を削除..... 4
- 「ピン構成および機能」セクションの OPA990S DBV パッケージ (SOT-23) からプレビュー版の注を削除.....4

Changes from Revision C (May 2019) to Revision D (July 2019) **Page**

- 「*製品情報*」表の OPA2990 WSON (8) パッケージからプレビューの注を削除..... 1
- 「ピン構成および機能」セクションの OPA2990 DSG パッケージ (WSON) からプレビュー版の注を削除.....4
- 「電気的特性」表に「シャットダウン」を追加..... 13
- 「詳細説明」セクションに「シャットダウン」セクションを追加..... 32

Changes from Revision B (April 2019) to Revision C (May 2019) **Page**

- 「*製品情報*」表の OPA2990 TSSOP (8) パッケージからプレビューの注を削除..... 1
- 「ピン構成および機能」セクションの OPA2990 PW パッケージ (TSSOP) からプレビュー版の注を削除.....4

Changes from Revision A (March 2019) to Revision B (April 2019) **Page**

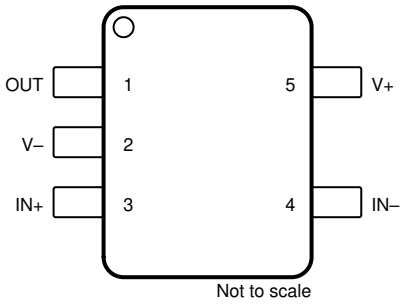
- 「*製品情報*」表の OPA2990 SOIC (8) パッケージからプレビューの注を削除.....1
- 「ピン構成および機能」セクションの OPA2990 D パッケージ (SOIC) からプレビュー版の注を削除..... 4

Changes from Revision * (February 2019) to Revision A (March 2019) **Page**

- OPA2990 のデバイス・ステータスを「*事前情報*」から「*量産データ*」に変更..... 1

Copyright © 2022 Texas Instruments Incorporated

5 ピン構成と機能



A. DRL パッケージはプレビュー版のみです。

図 5-1. OPA990 DBV および DRL パッケージ(A)
5 ピン SOT-23 および SOT-553
上面図

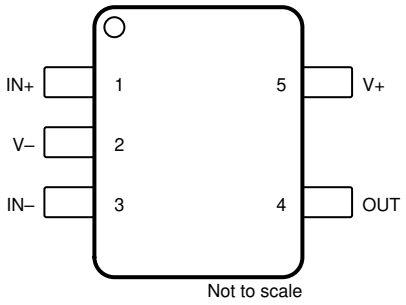
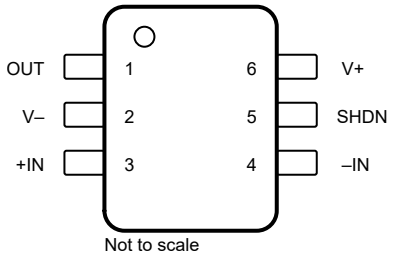


図 5-2. OPA990 DCK パッケージ
5 ピン SC70
上面図

表 5-1. ピンの機能：OPA990

ピン			I/O	説明
名称	DBV および DRL	DCK		
IN+	3	1	I	非反転入力
IN-	4	3	I	反転入力
OUT	1	4	O	出力
V+	5	5	—	正 (最高) 電源
V-	2	2	—	負 (最低) 電源



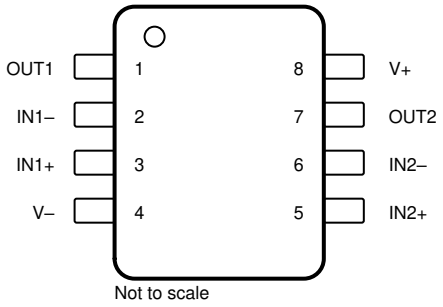
A. DRL パッケージはプレビュー版のみです。

図 5-3. OPA990S DBV および DRL パッケージ(A)
6 ピン SOT-23 および SOT-563
上面図

表 5-2. ピンの機能：OPA990S

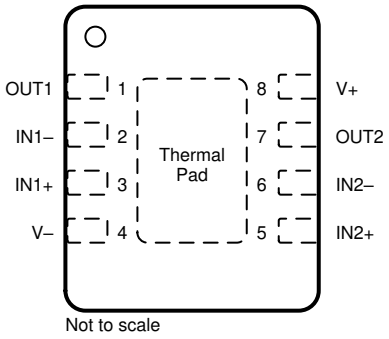
ピン		I/O	説明
名称	番号		
IN+	3	I	非反転入力
IN-	4	I	反転入力
OUT	1	O	出力
SHDN	5	I	シャットダウン：Low=アンプがイネーブル、High=アンプがディセーブル。詳細については、「シャットダウン」セクションを参照してください。
V+	6	—	正 (最高) 電源
V-	2	—	負 (最低) 電源

Copyright © 2022 Texas Instruments Incorporated



A. DDF と TDDF は、テープやリール内でのピン 1 の向きが異なります。詳細については、「メカニカル、パッケージ、および注文情報」セクションを参照してください。

図 5-4. OPA2990 D、DDF、DGK、PW、TDDF パッケージ(A)
8 ピン SOIC、SOT-23-8、TSSOP、VSSOP
上面図



A. サーマル・パッドを V- に接続します。詳細については、「露出サーマル・パッド付きパッケージ」セクションを参照してください。

図 5-5. OPA2990 DSG パッケージ(A)
8 ピン WSON (露出サーマル・パッド付き)
上面図

表 5-3. ピンの機能：OPA2990

ピン		I/O	説明
名称	番号		
IN1+	3	I	非反転入力、チャネル 1
IN1-	2	I	反転入力、チャネル 1
IN2+	5	I	非反転入力、チャネル 2
IN2-	6	I	反転入力、チャネル 2
OUT1	1	O	出力、チャネル 1
OUT2	7	O	出力、チャネル 2
V+	8	—	正 (最高) 電源
V-	4	—	負 (最低) 電源

Copyright © 2022 Texas Instruments Incorporated

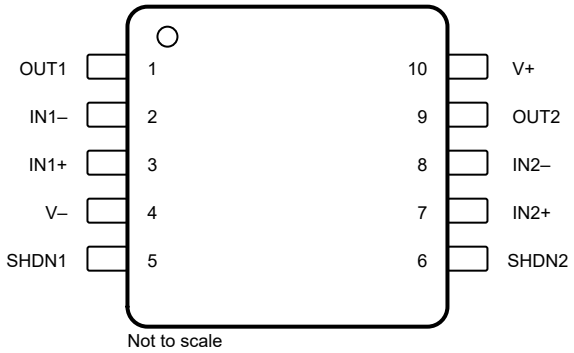


図 5-6. OPA2990S DGS パッケージ
10 ピン VSSOP
上面図

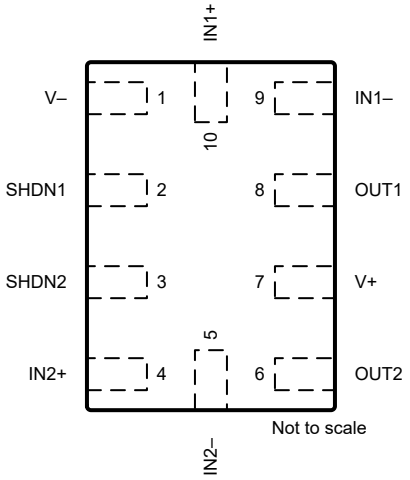


図 5-7. OPA2990S RUG パッケージ
10 ピン X2QFN
上面図

表 5-4. ピンの機能：OPA2990S

ピン			I/O	説明
名称	VSSOP	X2QFN		
IN1+	3	10	I	非反転入力、チャネル 1
IN1-	2	9	I	反転入力、チャネル 1
IN2+	7	4	I	非反転入力、チャネル 2
IN2-	8	5	I	反転入力、チャネル 2
OUT1	1	8	O	出力、チャネル 1
OUT2	9	6	O	出力、チャネル 2
SHDN1	5	2	I	シャットダウン、チャネル 1：Low=アンプがイネーブル、High=アンプがディセーブル。詳細については、「シャットダウン」セクションを参照してください。
SHDN2	6	3	I	シャットダウン、チャネル 2：Low=アンプがイネーブル、High=アンプがディセーブル。詳細については、「シャットダウン」セクションを参照してください。
V+	10	7	—	正 (最高) 電源
V-	4	1	—	負 (最低) 電源

Copyright © 2022 Texas Instruments Incorporated

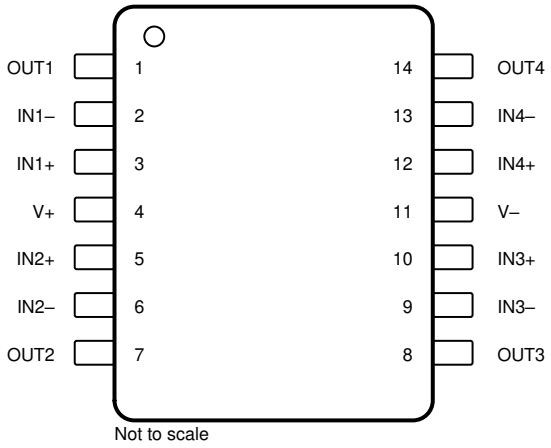
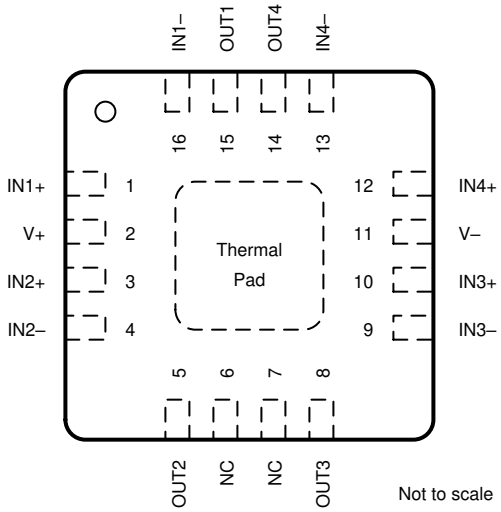


図 5-8. OPA4990 D および PW パッケージ
14 ピン SOIC および TSSOP
上面図



A. サーマル・パッドを V- に接続します。詳細については、「露出サーマル・パッド付きパッケージ」セクションを参照してください。

図 5-9. OPA4990 RTE パッケージ(A)
16 ピン WQFN (露出サーマル・パッド付き)
上面図

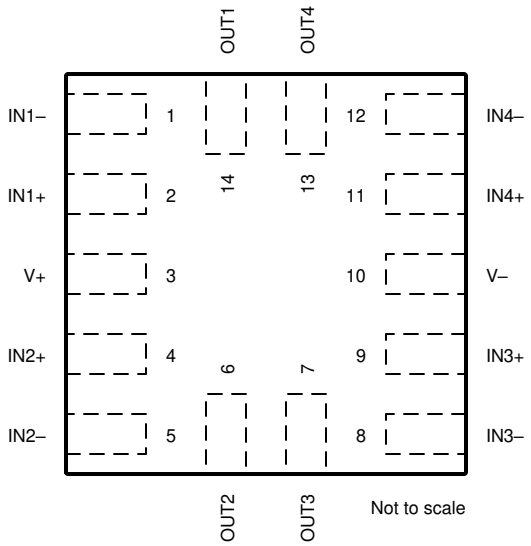


図 5-10. OPA4990 RUC パッケージ
14 ピン X2QFN (露出サーマル・パッド付き)
上面図

表 5-5. ピンの機能：OPA4990

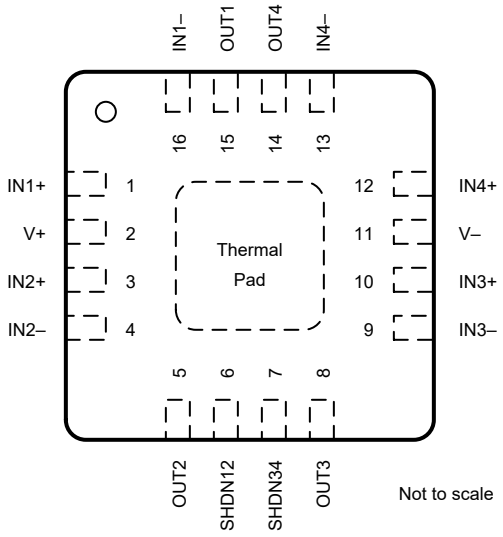
ピン				I/O	説明
名称	SOIC と TSSOP	WQFN	X2QFN		
IN1+	3	1	2	I	非反転入力、チャネル 1
IN1-	2	16	1	I	反転入力、チャネル 1
IN2+	5	3	4	I	非反転入力、チャネル 2

Copyright © 2022 Texas Instruments Incorporated

表 5-5. ピンの機能：OPA4990 (continued)

ピン				I/O	説明
名称	SOIC と TSSOP	WQFN	X2QFN		
IN2-	6	4	5	I	反転入力、チャネル 2
IN3+	10	10	9	I	非反転入力、チャネル 3
IN3-	9	9	8	I	反転入力、チャネル 3
IN4+	12	12	11	I	非反転入力、チャネル 4
IN4-	13	13	12	I	反転入力、チャネル 4
NC	—	6、7	—	—	無接続
OUT1	1	15	14	O	出力、チャネル 1
OUT2	7	5	6	O	出力、チャネル 2
OUT3	8	8	7	O	出力、チャネル 3
OUT4	14	14	13	O	出力、チャネル 4
V+	4	2	3	—	正 (最高) 電源
V-	11	11	10	—	負 (最低) 電源

Copyright © 2022 Texas Instruments Incorporated



A. サーマル・パッドを V- に接続します。詳細については、「露出サーマル・パッド付きパッケージ」セクションを参照してください。

図 5-11. OPA4990S RTE パッケージ(A)
16 ピン WQFN (露出サーマル・パッド付き)
上面図

表 5-6. ピンの機能：OPA4990S

ピン		I/O	説明
名称	番号		
IN1+	1	I	非反転入力、チャネル 1
IN1-	16	I	反転入力、チャネル 1
IN2+	3	I	非反転入力、チャネル 2
IN2-	4	I	反転入力、チャネル 2
IN3+	10	I	非反転入力、チャネル 3
IN3-	9	I	反転入力、チャネル 3
IN4+	12	I	非反転入力、チャネル 4
IN4-	13	I	反転入力、チャネル 4
OUT1	15	O	出力、チャネル 1
OUT2	5	O	出力、チャネル 2
OUT3	8	O	出力、チャネル 3
OUT4	14	O	出力、チャネル 4
SHDN12	6	I	シャットダウン、チャネル 1 および 2：Low=アンプがイネーブル、High=アンプがディセーブル。詳細については、「シャットダウン」セクションを参照してください。
SHDN34	7	I	シャットダウン、チャネル 3 および 4：Low=アンプがイネーブル、High=アンプがディセーブル。詳細については、「シャットダウン」セクションを参照してください。
VCC+	2	—	正 (最高) 電源
VCC-	11	—	負 (最低) 電源

Copyright © 2022 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
電源電圧、V_S = (V+) - (V-)		0	42	V
信号入力ピン	同相電圧(3)	(V-) - 0.5	(V+) + 0.5	V
	差動電圧(3)		V_S + 0.2	V
	電流(3)	-10	10	mA
シャットダウン・ピン電圧(4)		V-	(V-) + 20	V
出力短絡(2)		連続		
動作時の周囲温度、T_A		-55	150	℃
接合部温度、T_J			150	℃
保管温度、T_{stg}		-65	150	℃

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
(2) グランドへの短絡、1 パッケージ当たり 1 アンプ。短絡電流が長時間流れると、特に電源電圧が高い場合、過熱や最終的な破壊が発生する可能性があります。詳細については、「熱保護」セクションを参照してください。
(3) 入力ピンは、電源レールに対してダイオード・クランプされています。入力信号のスイングが 0.5V より大きく電源レールを超える可能性がある場合は、電流を 10mA 以下に制限する必要があります。
(4) V+ を超えることはできません。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠 (1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 (2)	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 制御プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 制御プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

動作時周囲温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V_S	電源電圧、(V+) - (V-)	2.7	40	V
V_I	入力電圧範囲	(V-) - 0.2	(V+) + 0.2	V
V_{IH}	シャットダウン・ピンでの High レベル入力電圧 (アンプはディセーブル)	(V-) + 1.1	(V-) + 20V(1)	V
V_{IL}	シャットダウン・ピンでの Low レベル入力電圧 (アンプがイネーブル)	(V-)	(V-) + 0.2	V
T_A	仕様温度範囲	-40	125	℃

(1) V+ を超えることはできません。

Copyright © 2022 Texas Instruments Incorporated

6.4 シングル・チャネルの熱に関する情報

熱評価基準 (1)		OPA990、OPA990S					単位
		DBV (SOT-23)		DCK (SC70)	DRL (2) (SOT-553)		
		5 ピン	6 ピン	5 ピン	5 ピン	6 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	192.1	174.5	204.6	未定	未定	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	113.6	113.4	116.5	未定	未定	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	60.5	55.8	51.8	未定	未定	℃/W
Ψ_{JT}	接合部から上面への熱特性パラメータ	37.2	39.6	24.9	未定	未定	℃/W
Ψ_{JB}	接合部から基板への熱特性パラメータ	60.3	55.6	51.5	未定	未定	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	N/A	N/A	N/A	未定	未定	℃/W

(1) 従来および新しい熱評価基準の詳細については、アプリケーション・レポート『半導体および IC パッケージの熱評価基準』、SPRA953 を参照してください。
(2) OPA990 では、このパッケージ・オプションはプレビュー版です。

6.5 デュアル・チャネルの熱に関する情報

熱評価基準 (1)		OPA2990、OPA2990S							単位
		D (SOIC)	DDF (SOT-23-8)	DGK (VSSOP)	DGS (VSSOP)	DSG (WSON)	PW (TSSOP)	RUG (X2QFN)	
		8 ピン	8 ピン	8 ピン	10 ピン	8 ピン	8 ピン	10 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	138.7	150.4	189.3	152.2	81.6	188.4	149.6	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	78.7	85.6	75.8	67.3	101.6	77.1	58.3	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	82.2	70.0	111.0	95.5	48.3	119.1	77.7	℃/W
Ψ_{JT}	接合部から上面への熱特性パラメータ	27.8	8.1	15.4	67.9	6.0	14.2	1.3	℃/W
Ψ_{JB}	接合部から基板への熱特性パラメータ	81.4	69.6	109.3	94.3	48.3	117.4	77.5	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	N/A	N/A	N/A	N/A	22.8	N/A	N/A	℃/W

(1) 従来および新しい熱評価基準の詳細については、アプリケーション・レポート『半導体および IC パッケージの熱評価基準』、SPRA953 を参照してください。

Copyright © 2022 Texas Instruments Incorporated

6.6 クワッド・チャネルの熱に関する情報

熱評価基準 (1)		OPA4990、OPA4990S				単位
		D (SOIC)	PW (TSSOP)	RTE(2) (WQFN)	RUC (WQFN)	
		14 ピン	14 ピン	16 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	105.2	134.7	53.5	143.0	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	61.2	55.0	58.3	46.4	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	61.1	79.0	28.6	81.8	℃/W
Ψ_{JT}	接合部から上面への熱特性パラメータ	21.4	9.2	2.1	1.0	℃/W
Ψ_{JB}	接合部から基板への熱特性パラメータ	60.7	78.1	28.6	81.5	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	N/A	N/A	12.6	N/A	℃/W

(1) 従来および新しい熱評価基準の詳細については、アプリケーション・レポート『半導体および IC パッケージの熱評価基準』、SPRA953 を参照してください。
(2) OPA4990 では、このパッケージ・オプションはプレビュー版です。

Copyright © 2022 Texas Instruments Incorporated

6.7 電気的特性

V_S = (V+) - (V-) = 2.7V～40V (±1.35V～±20V)、T_A = 25℃、R_L = 10kΩ を V_S / 2 に接続、V_{CM} = V_S / 2、V_{OUT} = V_S / 2 の場合 (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V_{OS}	入力オフセット電圧	V_{CM} = V-			±0.3	±1.5	mV
			T_A = -40℃～125℃			±1.75	
dV_{OS}/dT	入力オフセット電圧ドリフト		T_A = -40℃～125℃		±0.6		µV/℃
PSRR	入力オフセット電圧と電源との関係	V_{CM} = V-、V_S = 4V～40V	T_A = -40℃～125℃		±0.1	±1.3	µV/V
		V_{CM} = V-、V_S = 2.7V～40V[2]			±0.75	±6.6	
	チャネル・セパレーション	f = 0Hz			5		µV/V
入力バイアス電流							
I_B	入力バイアス電流				±10		pA
I_{OS}	入力オフセット電流				±5		pA
ノイズ							
E_N	入力電圧ノイズ	f = 0.1Hz～10Hz			6		μV_{PP}
					1		μV_{RMS}
e_n	入力電圧ノイズ密度	f = 1kHz			30		nV/√Hz
		f = 10kHz			28		
i_N	入力電流ノイズ	f = 1kHz			2		fA/√Hz
入力電圧範囲							
V_{CM}	同相電圧範囲			(V-) - 0.2		(V+) + 0.2	V
CMRR	同相信号除去比	V_S = 40V、(V-) - 0.1V < V_{CM} < (V+) - 2V (PMOS ペア)	T_A = -40℃～125℃	100	115		dB
		V_S = 4V、(V-) - 0.1V < V_{CM} < (V+) - 2V (PMOS ペア)		75	90		
		V_S = 2.7V、(V-) - 0.1V < V_{CM} < (V+) - 2V (PMOS ペア)[2]		70	90		
		V_S = 2.7V～40V、(V+) - 1V < V_{CM} < (V+) + 0.1V (NMOS ペア)			80		
		(V+) - 2V < V_{CM} < (V+) - 1V		「代表的特性」セクションの「オフセット電圧 (遷移領域)」を参照してください			
入力容量							
Z_{ID}	差動				540 || 3		GΩ || pF
Z_{ICM}	同相				6 || 1		TΩ || pF

Copyright © 2022 Texas Instruments Incorporated

6.7 電気的特性 (continued)

V_S = (V+) - (V-) = 2.7V～40V (±1.35V～±20V)、T_A = 25℃、R_L = 10kΩ を V_S / 2 に接続、V_{CM} = V_S / 2、V_{OUT} = V_S / 2 の場合 (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
開ループ・ゲイン							
A_{OL}	開ループ電圧ゲイン	V_S = 40V、V_{CM} = V_S / 2、(V-) + 0.1V < V_O < (VCC+) - 0.1V		120	145		dB
			T_A = -40℃～125℃		142		
		V_S = 4V、V_{CM} = V_S / 2、(V-) + 0.1V < V_O < (VCC+) - 0.1V		104	130		
			T_A = -40℃～125℃		125		
		V_S = 2.7V、V_{CM} = V_S / 2、(V-) + 0.1V < V_O < (VCC+) - 0.1V(2)		101	118		dB
			T_A = -40℃～125℃		117		dB
周波数特性							
GBW	ゲイン帯域幅積				1.1		MHz
SR	スルーレート	V_S = 40V、G = +1、C_L = 20pF			4.5		V/µs
t_S	セトリング・タイム	0.1% まで、V_S = 40V、V_{STEP} = 10V、G = +1、CL = 20pF			4		µs
		0.1% まで、V_S = 40V、V_{STEP} = 2V、G = +1、CL = 20pF			2		
		0.01% まで、V_S = 40V、V_{STEP} = 10V、G = +1、CL = 20pF			5		
		0.01% まで、V_S = 40V、V_{STEP} = 2V、G = +1、CL = 20pF			3		
	位相マージン	G = +1、R_L = 10kΩ、C_L = 20pF			60		°
	過負荷復帰時間	V_{IN} × ゲイン > V_S			600		ns
THD+N	全高調波歪 + ノイズ	V_S = 40V、V_O = 1V_{RMS}、G = 1、f = 1kHz			0.00162%		
出力							
	レールからの電圧出力スイング	正および負のレールのヘッドルーム	V_S = 40V、R_L=無負荷		2		mV
			V_S = 40V、R_L = 10kΩ		45	60	
			V_S = 40V、R_L = 2kΩ		200	300	
			V_S = 2.7V、R_L=無負荷		1		
			V_S = 2.7V、R_L = 10kΩ		5	20	
			V_S = 2.7V、R_L = 2kΩ		25	50	
I_{SC}	短絡電流				±80		mA
C_{LOAD}	容量性負荷ドライブ			「代表的特性」セクションの「小信号オーバーシュートと容量性負荷との関係」を参照してください			
Z_O	開ループ出力インピーダンス	f = 1MHz、I_O = 0A			575		Ω

Copyright © 2022 Texas Instruments Incorporated

6.7 電気的特性 (continued)

V_S = (V+) - (V-) = 2.7V～40V (±1.35V～±20V)、T_A = 25℃、R_L = 10kΩ を V_S / 2 に接続、V_{CM} = V_S / 2、V_{OUT} = V_S / 2 の場合 (特に記述のない限り)。

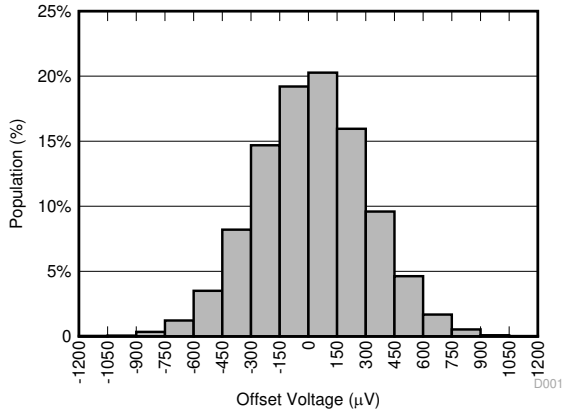
パラメータ		テスト条件		最小値	標準値	最大値	単位
電源							
I_Q	アンプごとの静止電流	OPA2990、OPA4990、I_O = 0A			120	150	μA
			T_A = -40℃～125℃			160	
		OPA990、I_O = 0A			130	170	
			T_A = -40℃～125℃			175	
	ターンオン時間	T_A = 25℃、V_S = 40V、V_S のランプ・レート> 0.3V/μs の場合			40		μs
シャットダウン							
I_{QSD}	アンプごとの静止電流	V_S = 2.7V～40V、すべてのアンプがディセーブル、SHDN = V- + 2V			20	30	μA
Z_{SHDN}	シャットダウン時の出力インピーダンス	V_S = 2.7V～40V、アンプがディセーブル、SHDN = V- + 2V			10 || 12		GΩ || pF
V_{IH}	ロジック High スレッショルド電圧 (アンプがディセーブル)	有効な入力が High の場合、SHDN ピンの電圧は最大スレッショルドより高く、かつ (V-) + 20V 以下の必要があります			(V-) + 0.8	(V-) + 1.1	V
V_{IL}	ロジック Low スレッショルド電圧 (アンプがイネーブル)	有効な入力が Low の場合、SHDN ピンの電圧は最小スレッショルドより低く、かつ V- 以上の必要があります		(V-) + 0.2	(V-) + 0.8		V
t_{ON}	アンプのイネーブル時間 (1)	G = +1、V_{CM} = V-、V_O = 0.1 × V_S / 2			11		μs
t_{OFF}	アンプのディスエーブル時間 (1)	V_{CM} = V-、V_O = V_S / 2			2.5		μs
	SHDN ピンの入力バイアス電流 (ピンごとの)	V_S = 2.7V～40V、(V-) + 20V ≧ SHDA ≧ (V-) + 0.9V			500		nA
		V_S = 2.7V～40V、(V-) ≦ SHDN ≦ (V-) + 0.7V			150		

(1) ディセーブル時間 (t_{OFF}) とイネーブル時間 (t_{ON}) は、SHDN ピンに印加される信号の 50% ポイントと、出力電圧が 10% (ディセーブル) または 90% (イネーブル) レベルに達する時点との間の時間間隔として定義されます。
(2) 特性のみで規定されています。

Copyright © 2022 Texas Instruments Incorporated

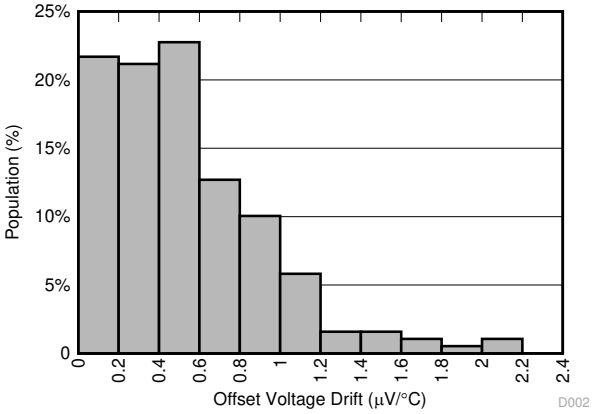
6.8 代表的特性

T_A = 25℃、V_S = ±20V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 10pF の場合 (特に記述のない限り)



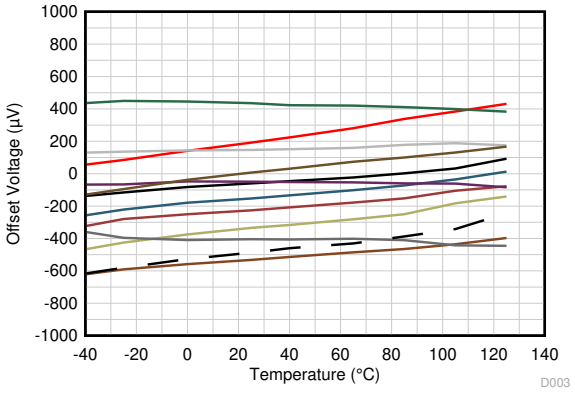
15526 個のアンプにおける分布、T_A = 25℃

図 6-1. オフセット電圧の製品分布



190 個のアンプにおける分布

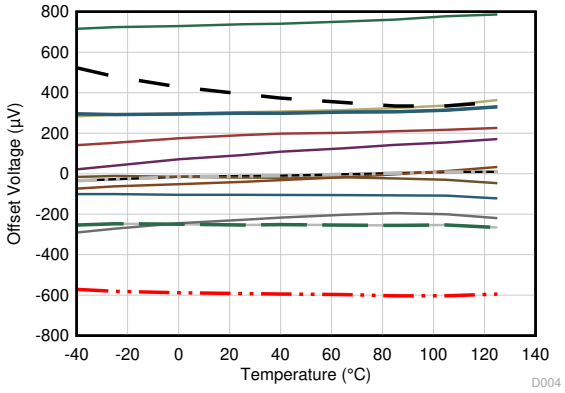
図 6-2. オフセット電圧ドリフトの分布



V_{CM} = V+

各色は 1 つのサンプル・デバイスを表します。

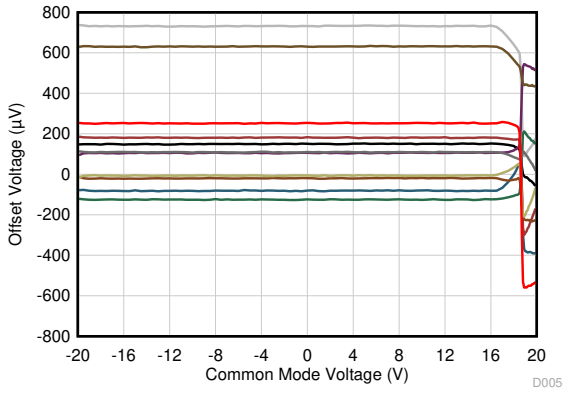
図 6-3. オフセット電圧と温度との関係



V_{CM} = V-

各色は 1 つのサンプル・デバイスを表します。

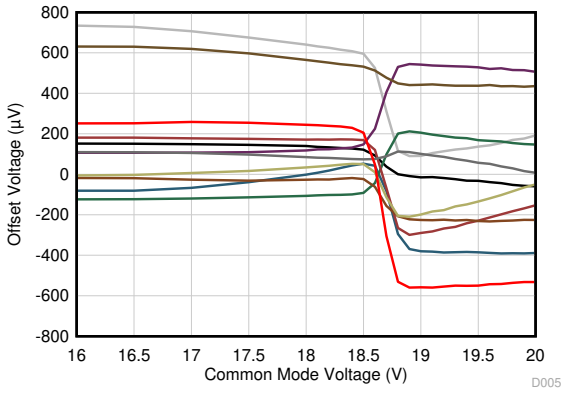
図 6-4. オフセット電圧と温度との関係



T_A = 25℃

各色は 1 つのサンプル・デバイスを表します。

図 6-5. オフセット電圧と同相電圧との関係



T_A = 25℃

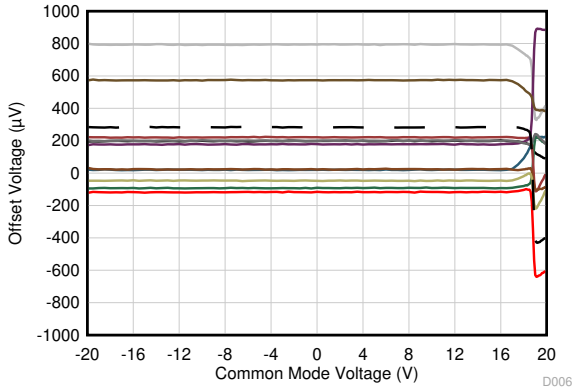
各色は 1 つのサンプル・デバイスを表します。

図 6-6. オフセット電圧と同相電圧との関係 (遷移領域)

Copyright © 2022 Texas Instruments Incorporated

6.8 代表的特性 (continued)

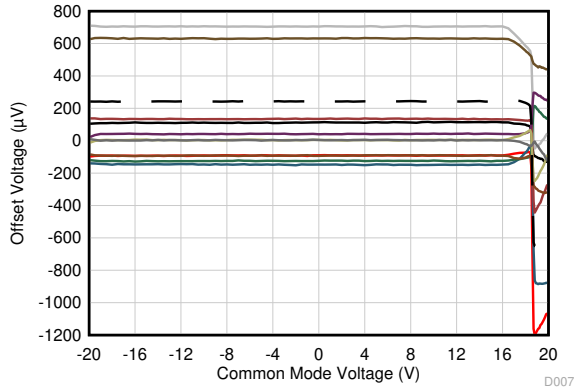
T_A = 25℃、V_S = ±20V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 10pF の場合 (特に記述のない限り)



T_A = 125℃

各色は 1 つのサンプル・デバイスを表します。

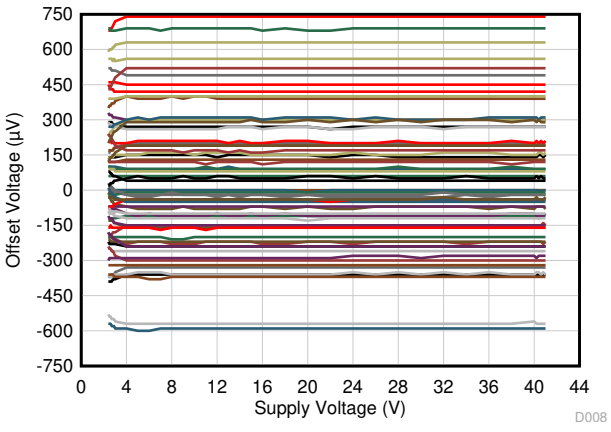
図 6-7. オフセット電圧と同相電圧との関係



T_A = -40℃

各色は 1 つのサンプル・デバイスを表します。

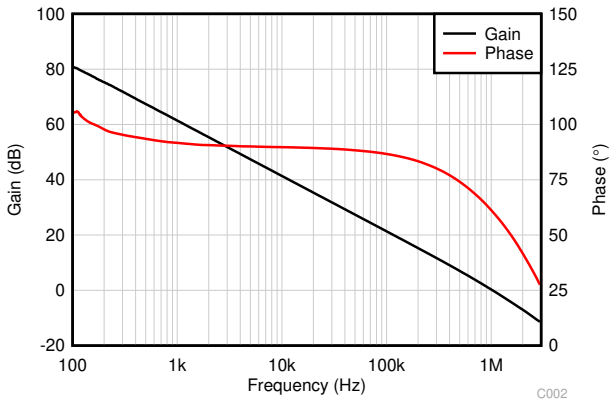
図 6-8. オフセット電圧と同相電圧との関係



V_{CM} = V-

各色は 1 つのサンプル・デバイスを表します。

図 6-9. オフセット電圧と電源電圧との関係



C_L = 20pF

図 6-10. 開ループのゲインおよび位相と周波数との関係

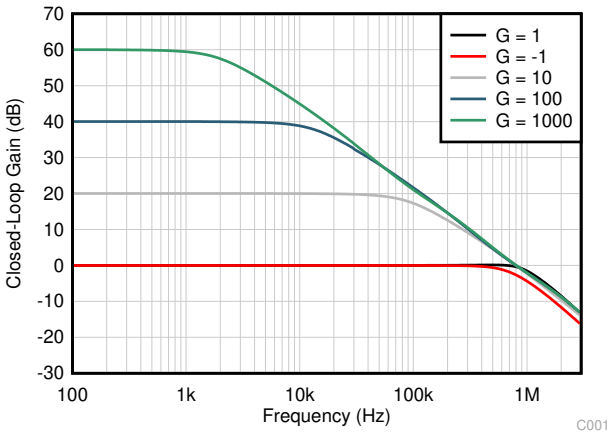


図 6-11. 閉ループのゲインと周波数との関係

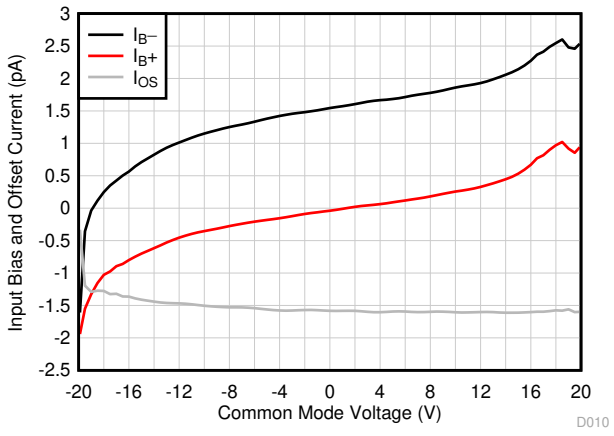


図 6-12. 入力バイアス電流と同相電圧との関係

6.8 代表的特性 (continued)

T_A = 25℃、V_S = ±20V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 10pF の場合 (特に記述のない限り)

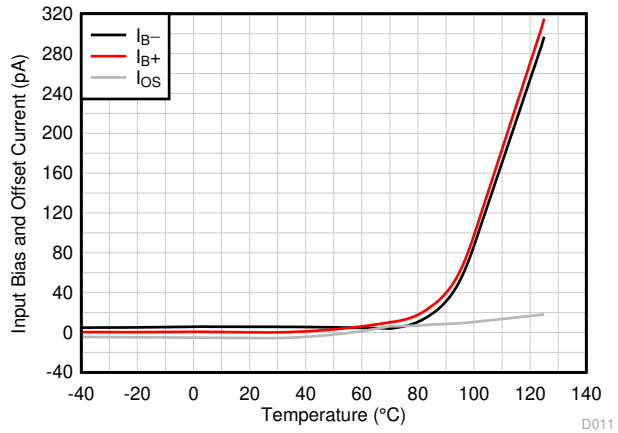


図 6-13. 入力バイアス電流と温度との関係

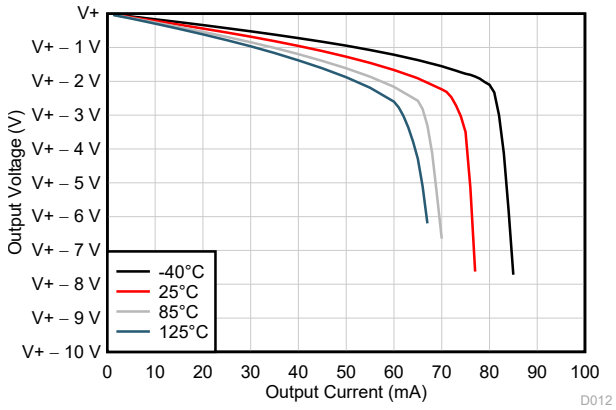


図 6-14. 出力電圧スイングと出力電流との関係 (ソース)

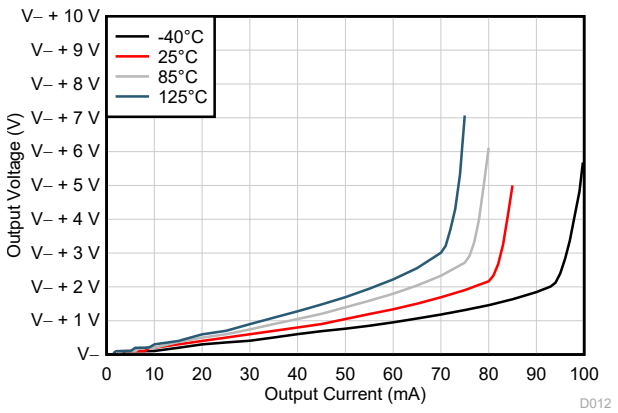
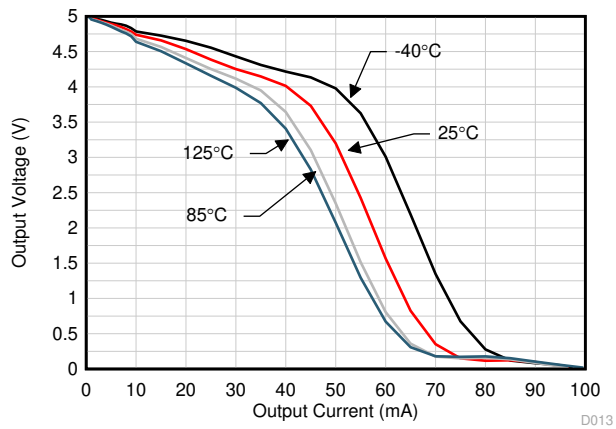
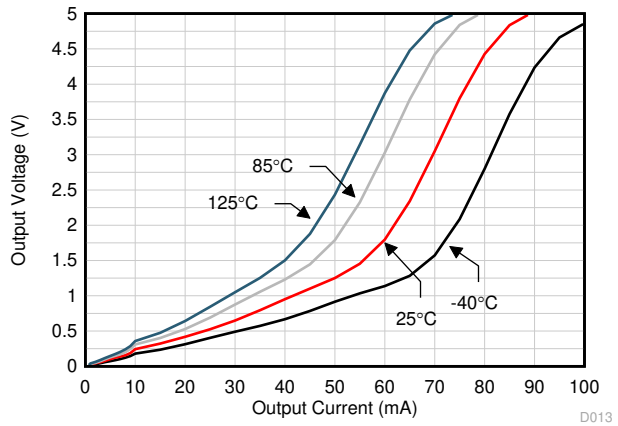


図 6-15. 出力電圧スイングと出力電流との関係 (シンク)



V_S = 5V

図 6-16. 出力電圧スイングと出力電流との関係 (ソース)



V_S = 5V

図 6-17. 出力電圧スイングと出力電流との関係 (シンク)

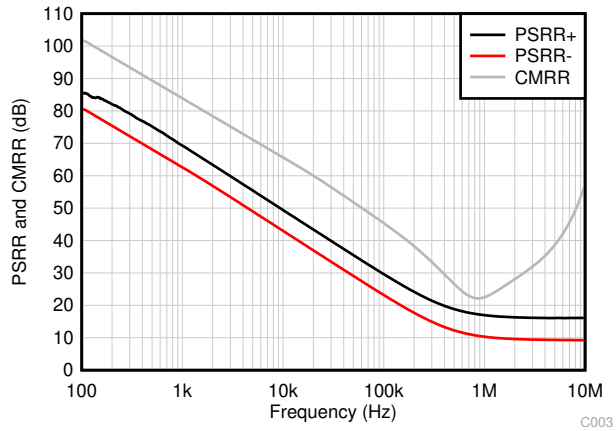
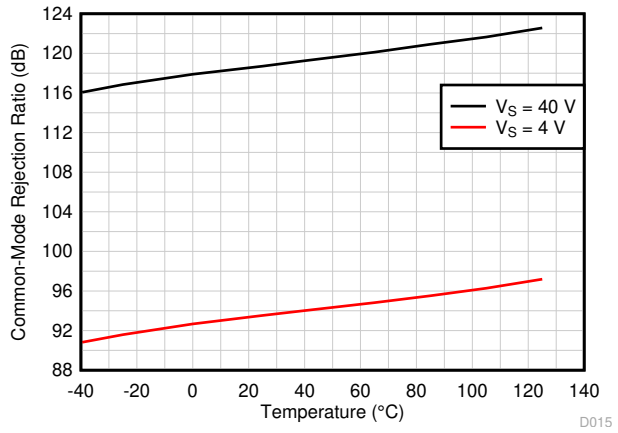


図 6-18. CMRR および PSRR と周波数との関係

Copyright © 2022 Texas Instruments Incorporated

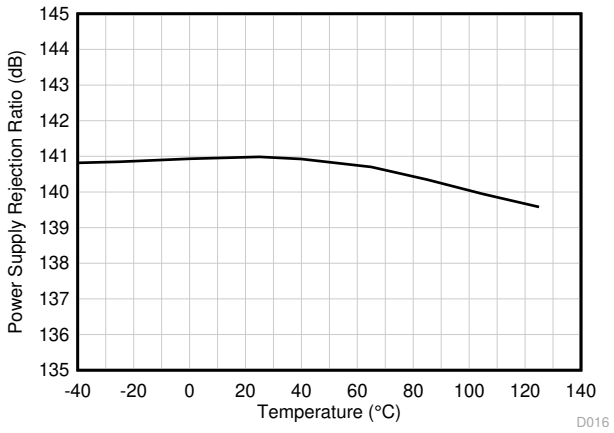
6.8 代表的特性 (continued)

T_A = 25℃、V_S = ±20V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 10pF の場合 (特に記述のない限り)



f = 0Hz

図 6-19. CMRR と温度との関係 (dB)



f = 0Hz

図 6-20. PSRR と温度との関係 (dB)

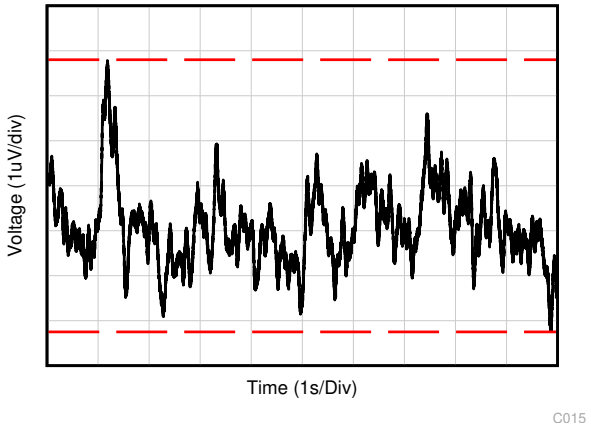


図 6-21. 0.1Hz～10Hz のノイズ

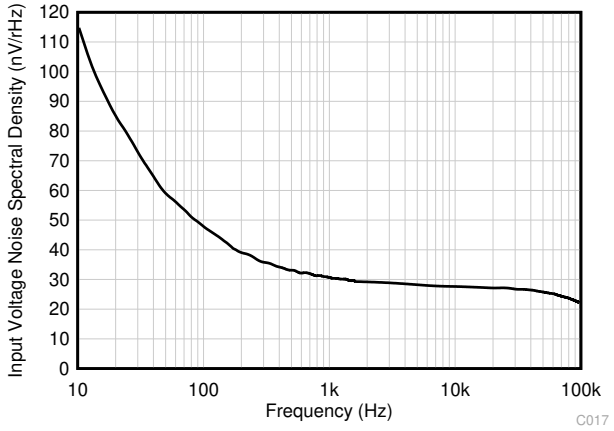
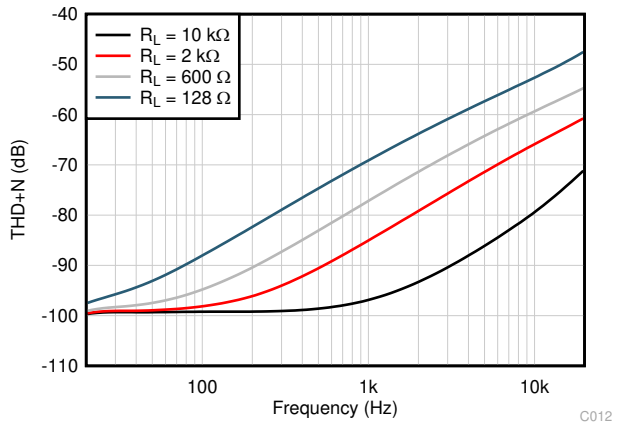
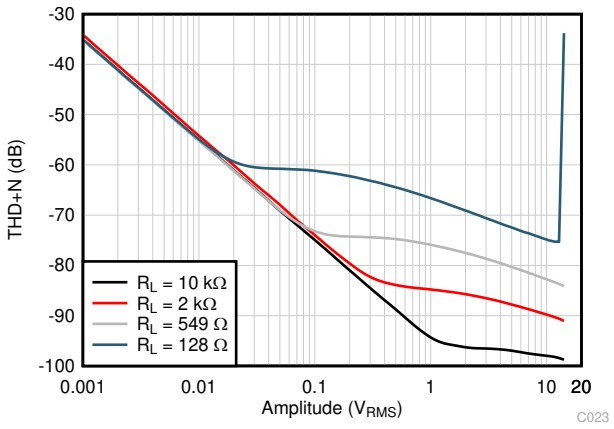


図 6-22. 入力電圧ノイズのスペクトル密度と周波数との関係



BW = 80kHz、V_{OUT} = 1V_{RMS}

図 6-23. THD+N 比と周波数との関係



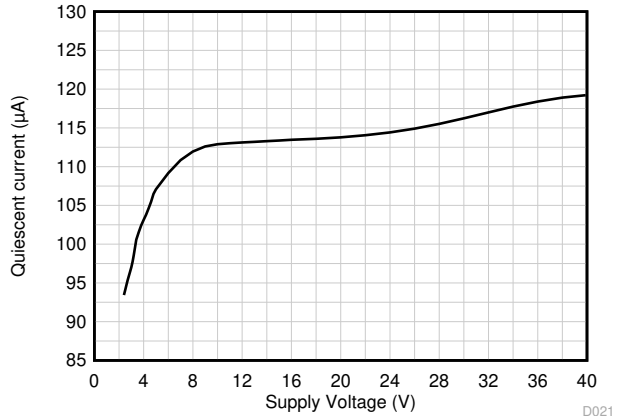
BW = 80kHz、f = 1kHz

図 6-24. THD+N 比と出力振幅との関係

Copyright © 2022 Texas Instruments Incorporated

6.8 代表的特性 (continued)

T_A = 25℃、V_S = ±20V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 10pF の場合 (特に記述のない限り)



V_{CM} = V-

図 6-25. 静止電流と電源電圧との関係

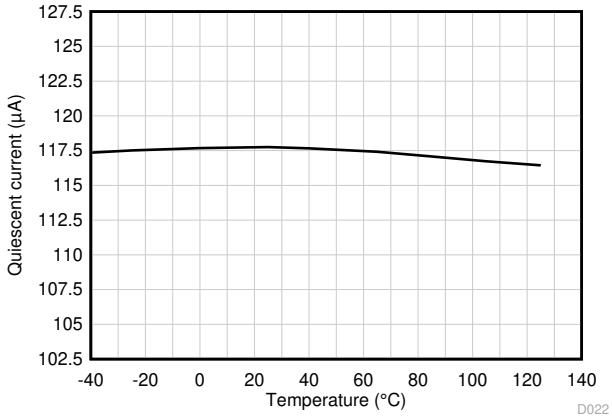


図 6-26. 静止電流と温度との関係

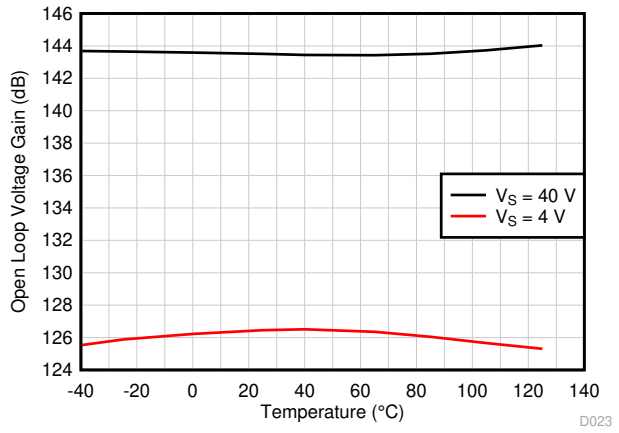


図 6-27. 開ループ電圧ゲインと温度との関係 (dB)

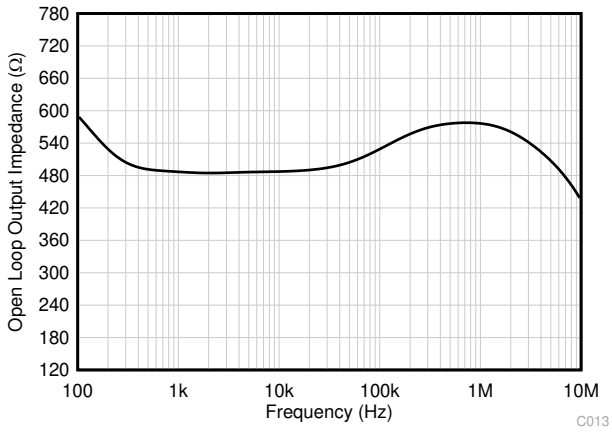
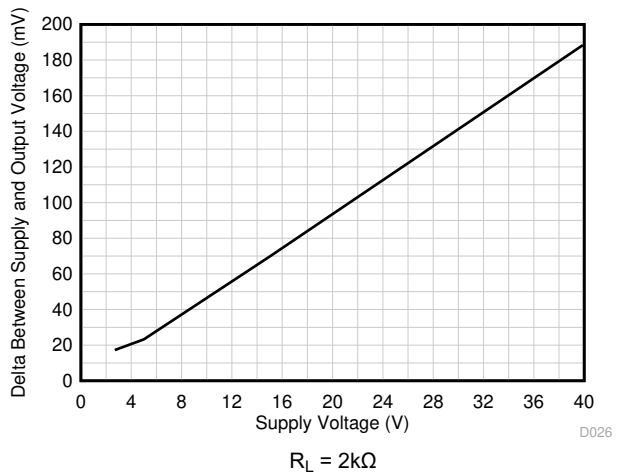
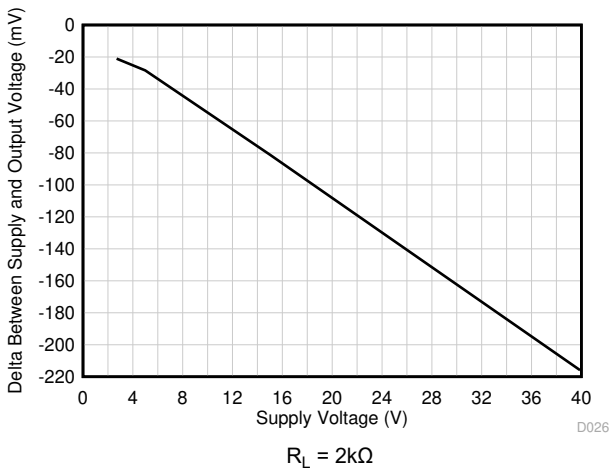


図 6-28. 開ループ出力インピーダンスと周波数との関係



R_L = 2kΩ

図 6-29. 出力スイングと電源電圧との関係、正のスイング



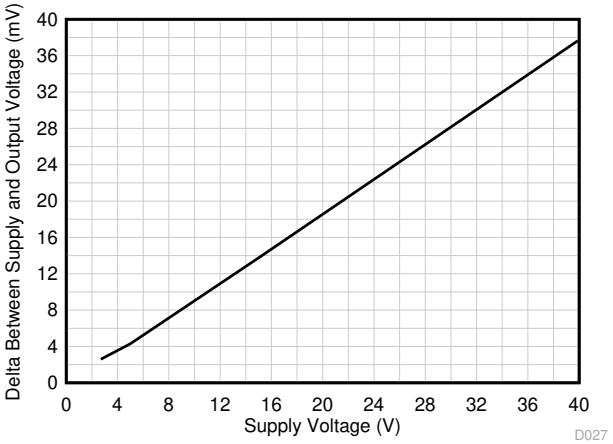
R_L = 2kΩ

図 6-30. 出力スイングと電源電圧との関係、負のスイング

Copyright © 2022 Texas Instruments Incorporated

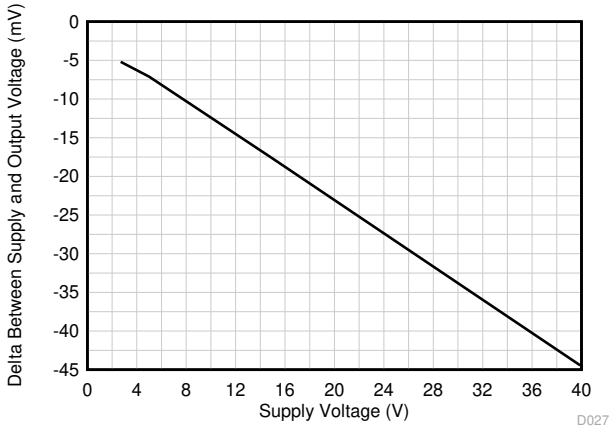
6.8 代表的特性 (continued)

T_A = 25℃、V_S = ±20V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 10pF の場合 (特に記述のない限り)



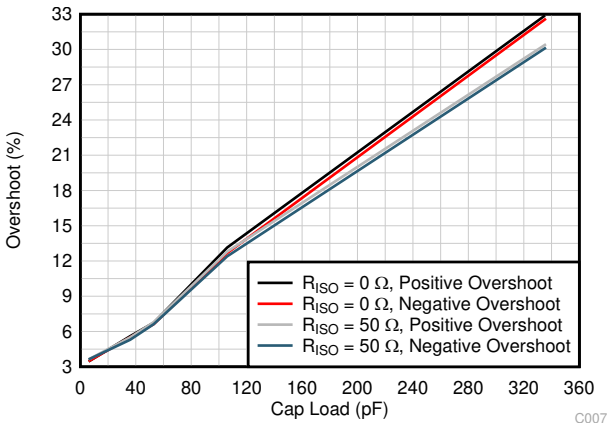
R_L = 10kΩ

図 6-31. 出力スイングと電源電圧との関係、正のスイング



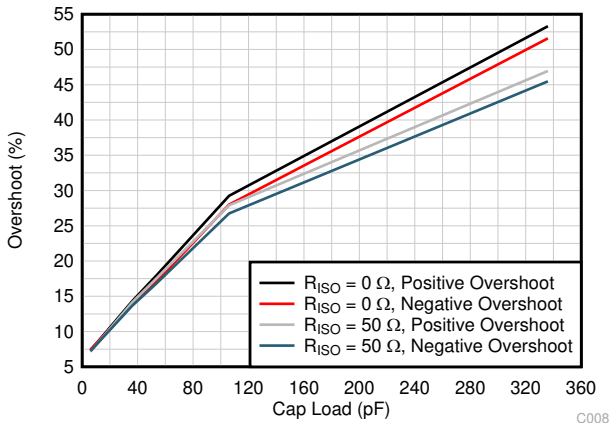
R_L = 10kΩ

図 6-32. 出力スイングと電源電圧との関係、負のスイング



G = -1、出力ステップ 10mV

図 6-33. 小信号オーバーシュートと容量性負荷との関係



G = 1、10mV の出力ステップ

図 6-34. 小信号オーバーシュートと容量性負荷との関係

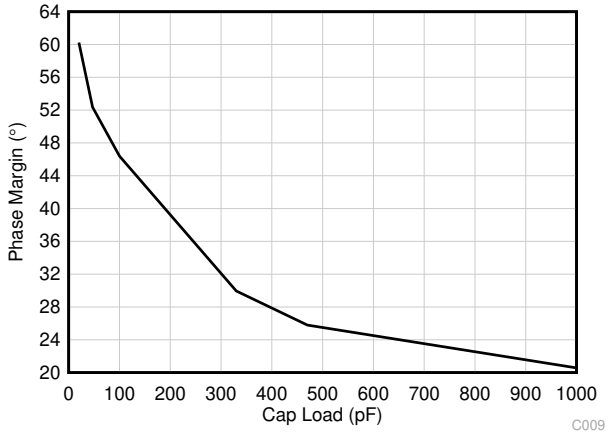
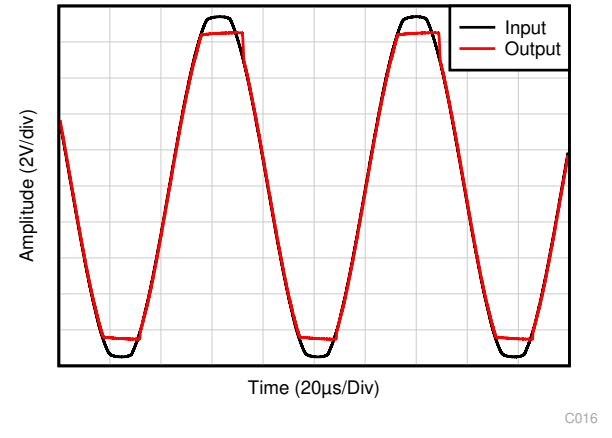


図 6-35. 位相マージンと容量性負荷との関係



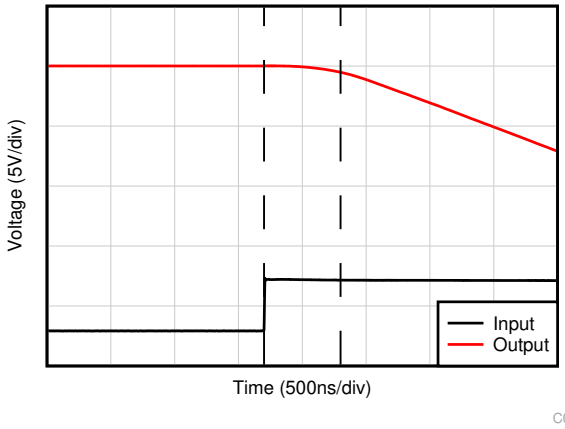
V_{IN} = ±20V、V_S = V_{OUT} = ±17V

図 6-36. 位相反転なし

Copyright © 2022 Texas Instruments Incorporated

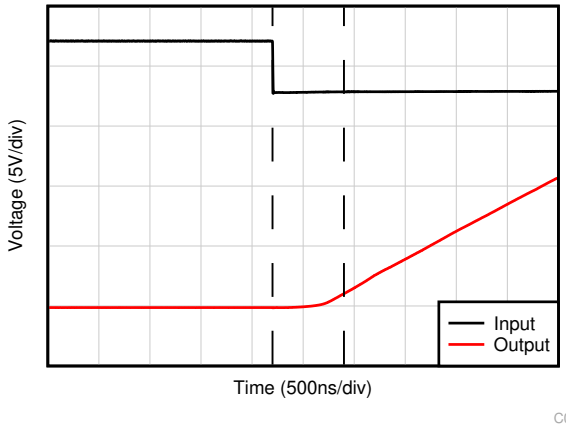
6.8 代表的特性 (continued)

T_A = 25℃、V_S = ±20V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 10pF の場合 (特に記述のない限り)



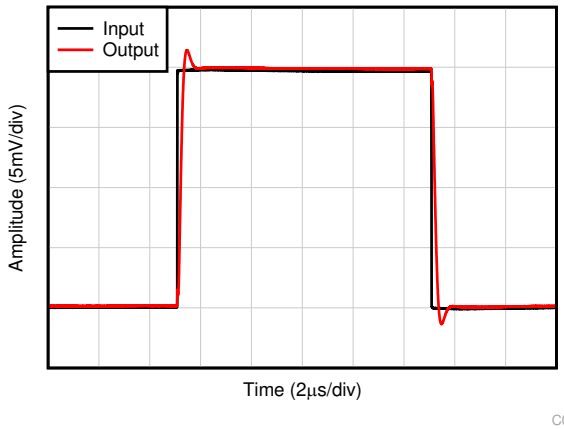
G = -10

図 6-37. 正の過負荷からの回復



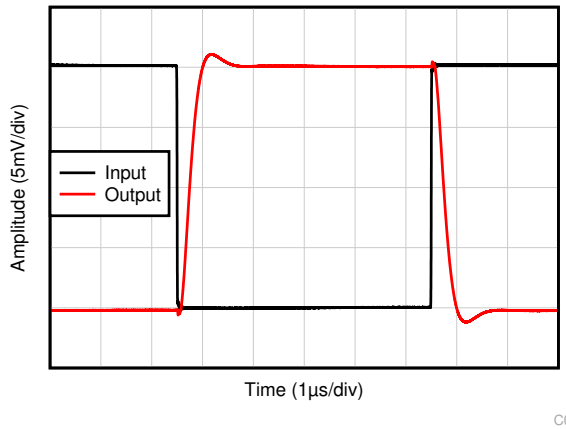
G = -10

図 6-38. 負の過負荷からの回復



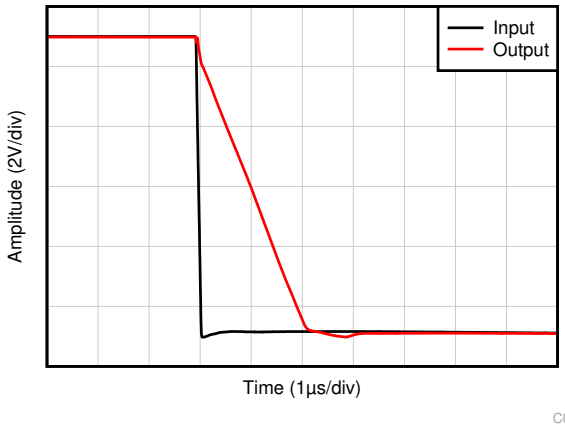
C_L = 20pF、G = 1、20mV ステップ応答

図 6-39. 小信号ステップ応答



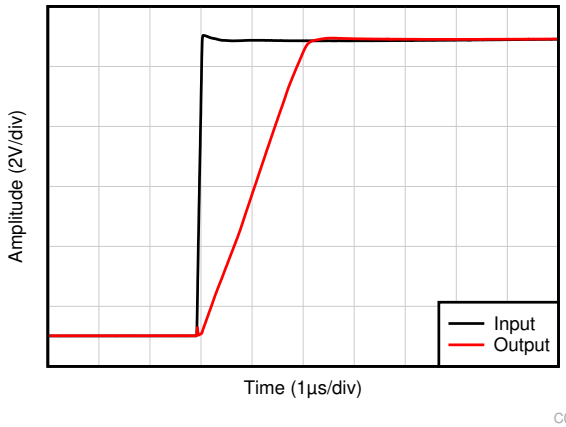
C_L = 20pF、G = -1、20mV ステップ応答

図 6-40. 小信号ステップ応答



C_L = 20pF、G = 1

図 6-41. 大信号ステップ応答、立ち下がり



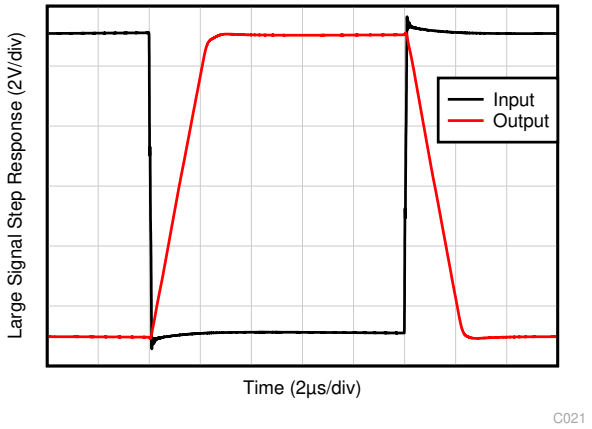
C_L = 20pF、G = 1

図 6-42. 大信号ステップ応答、立ち上がり

Copyright © 2022 Texas Instruments Incorporated

6.8 代表的特性 (continued)

T_A = 25℃、V_S = ±20V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 10pF の場合 (特に記述のない限り)



C_L = 20pF、G = -1

図 6-43. 大信号ステップ応答

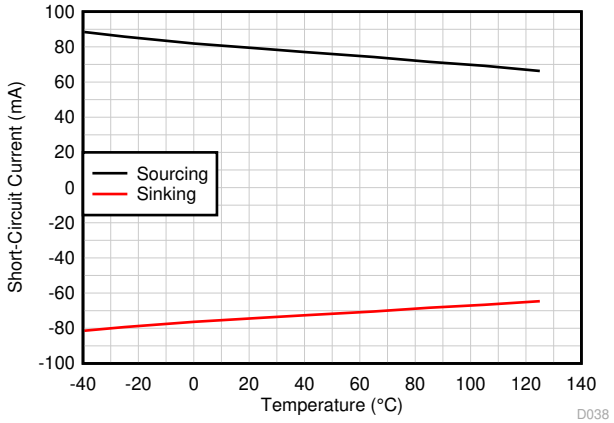


図 6-44. 短絡電流と温度との関係

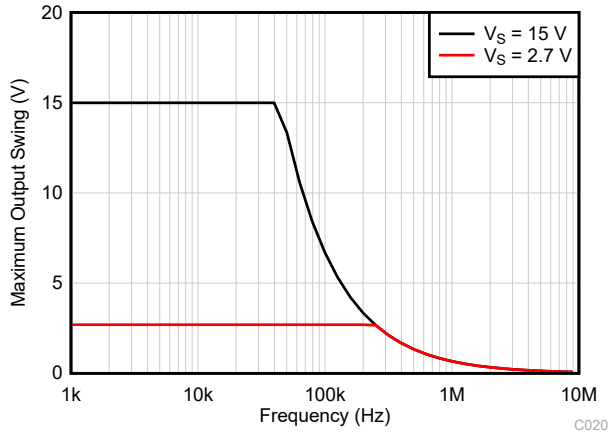


図 6-45. 最大出力電圧と周波数との関係

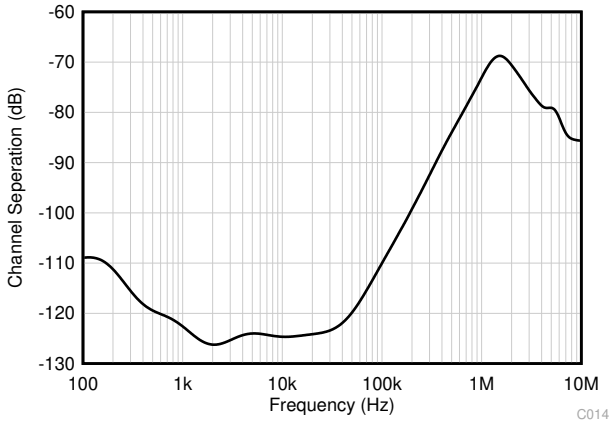


図 6-46. チャネル・セパレーションと周波数との関係

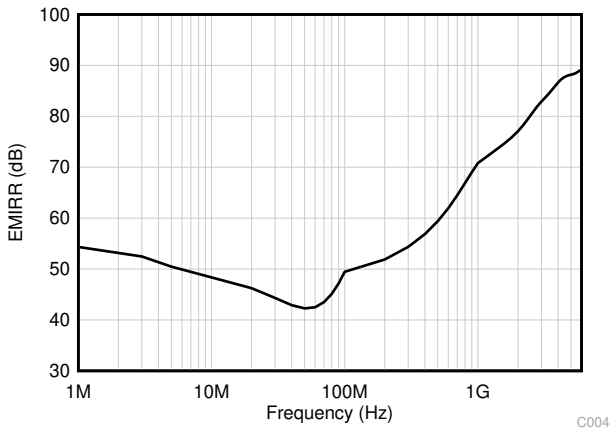


図 6-47. EMIRR (電磁干渉除去比) と周波数との関係

Copyright © 2022 Texas Instruments Incorporated

7 詳細説明

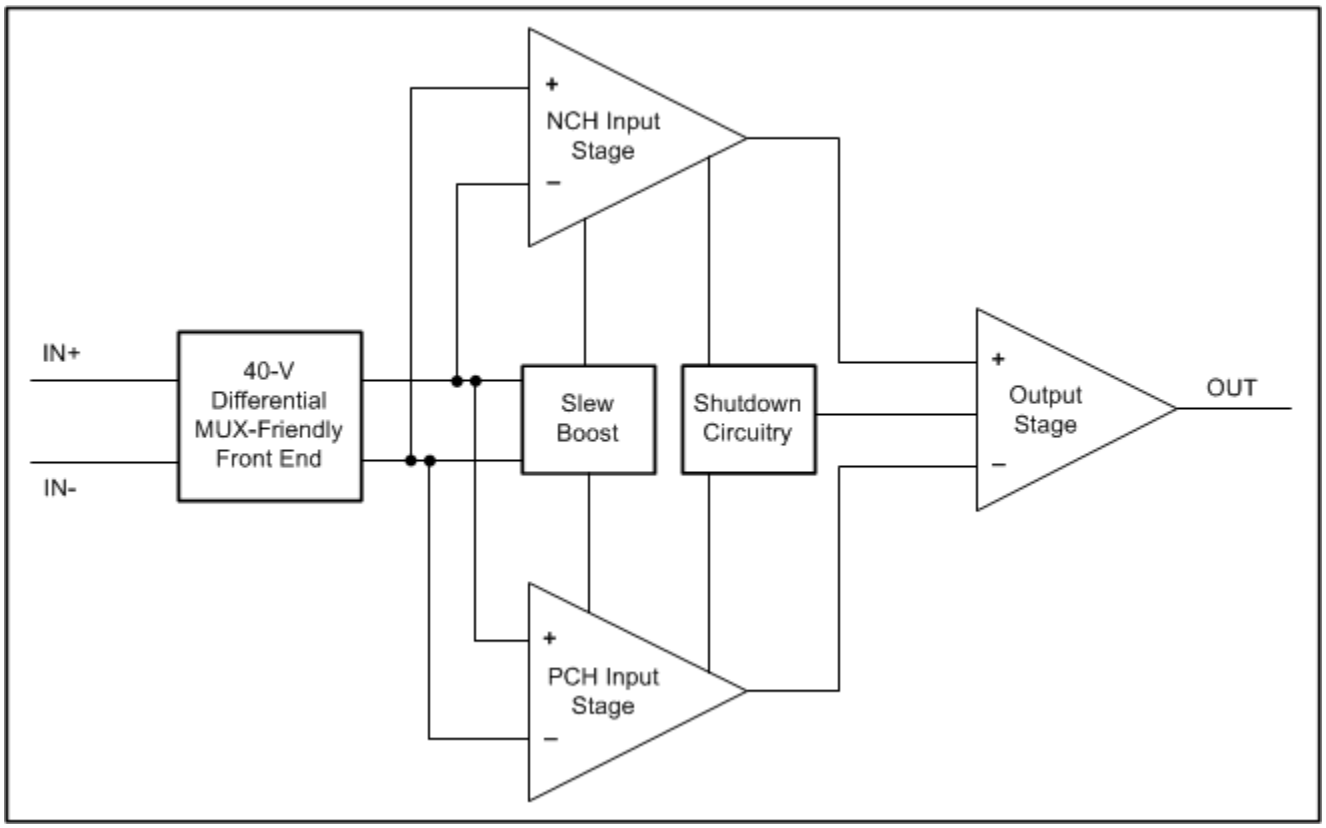
7.1 概要

OPAx990 ファミリ (OPA990、OPA2990、OPA4990) は、高電圧 (40V) の汎用オペアンプ・ファミリです。

これらのデバイスは、レール・ツー・レールの入出力、小さいオフセット (±300μV、標準値)、小さいオフセット・ドリフト (±0.6μV/℃、標準値) などの優れた DC 精度と AC 性能を備えています。

OPAx990 は、電源レールまでの差動および同相入力電圧範囲、大きい短絡電流 (± 80mA)、高いスルーレート (4.5V/μs)、シャットダウンなどの独自機能を備えており、高電圧産業用アプリケーション向けの非常に柔軟で堅牢な高性能オペアンプです。

7.2 機能ブロック図



Copyright © 2022 Texas Instruments Incorporated

7.3 機能説明

7.3.1 入力保護回路

OPAx990 は、独自の入力アーキテクチャを使用して入力保護ダイオードを不要にしながら、過渡条件での堅牢な入力保護を実現します。高速過渡ステップ応答によってアクティブになる従来型の入力ダイオード保護方式を、図 7-1 に示します。この方式では、図 7-2 に示すように代替の電流パスが存在するため、信号歪みやセトリング時間の遅延が発生しますは。低ゲイン回路の場合、これらの高速ランプ入力信号は順バイアスのバック・ツー・バック・ダイオードになり、入力電流が増加し、セトリング・タイムが長くなります。

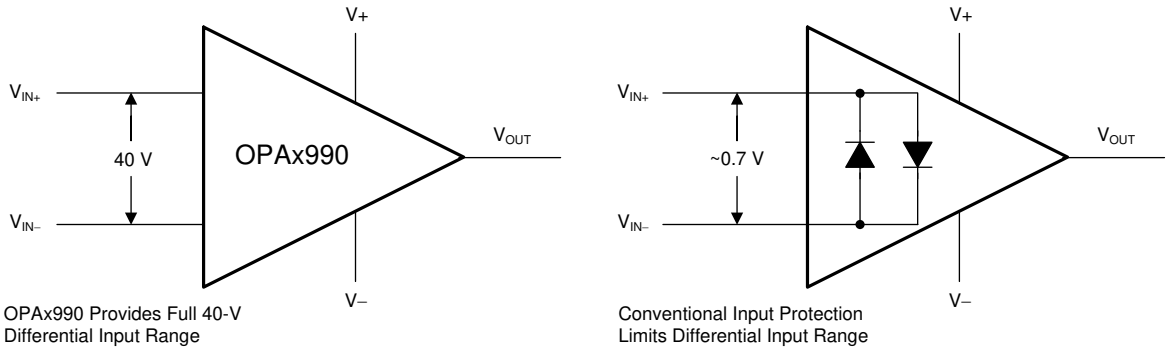


図 7-1. OPAx990 の入力保護機能は差動入力能力を制限しない

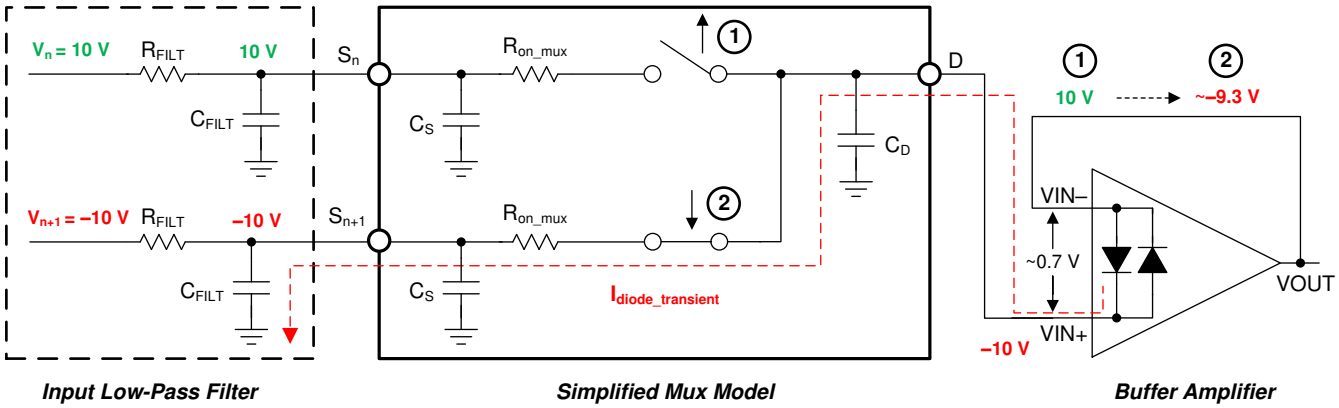


図 7-2. バック・ツー・バック・ダイオードはセトリングの問題を引き起こす

OPAx990 ファミリのオペアンプは、特許取得済みの入力保護アーキテクチャによって高電圧アプリケーション用に真の高インピーダンス差動入力機能を提供します。このアーキテクチャでは、信号歪みの増加やセトリング時間の遅延が発生しないため、マルチチャネルの高スイッチ入力アプリケーションに最適なオペアンプとなります。OPA990 は最大 40V の差動スイング (オペアンプの反転ピンと非反転ピンとの間の電圧) を許容できるため、コンパレータとして、またはデータ・アクイジション・システムなどの高速ランプ入力信号を使用するアプリケーションに適しています。詳細については、TI TechNote「MUX 対応高精度オペアンプ」を参照してください。

7.3.2 EMI 除去

OPAx990 は、内蔵の電磁干渉 (EMI) フィルタリングを使用して、ワイヤレス通信や、アナログ信号チェーンとデジタル・コンポーネントを組み合わせた高密度実装の基板などのソースから引き起こされる EMI の影響を低減します。EMI 耐性は、回路設計手法により改善可能です。OPAx990 は、このような設計の改善を活用しています。テキサス・インスツルメンツは、10MHz から 6GHz までの幅広い周波数スペクトルにわたって、オペアンプの耐性を正確に測定および数量化する機能を開発しました。OPAx990 でこのテストを行った結果を、図 7-3 に示します。実際のアプリケーションで一般的に発生する特定の周波数における OPAx990 の EMIRR IN+ 値を、表 7-1 に示します。「オペアンプの EMI 除去率」アプリケ

ーション・レポートには、オペアンプに関連する EMIRR 性能の詳細情報が記載されており、www.ti.com からダウンロードできます。

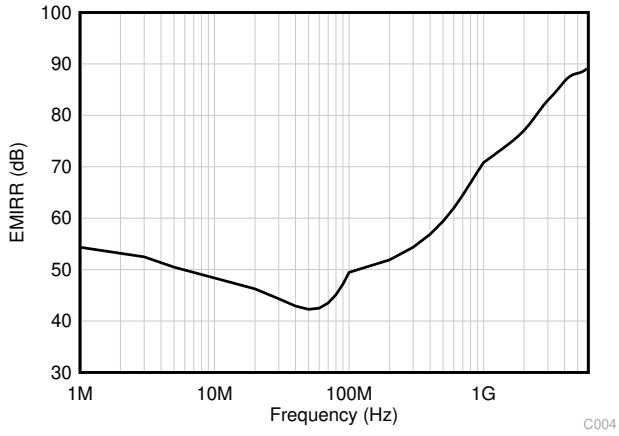


図 7-3. EMIRR テスト

表 7-1. 対象周波数における OPA990 の EMIRR IN+

周波数	アプリケーションまたは割り当て	EMIRR IN+
400MHz	モバイル無線、モバイル衛星、宇宙での運用、気象、レーダー、超高周波 (UHF) アプリケーション	59.5dB
900MHz	GSM (モバイル通信) アプリケーション向けのグローバル・システム、無線通信、ナビゲーション、GPS (最高 1.6GHz まで)、GSM、航空モバイル、UHF アプリケーション	68.9dB
1.8GHz	GSM アプリケーション、モバイル・パーソナル通信、ブロードバンド、衛星、L バンド (1GHz～2GHz)	77.8dB
2.4GHz	802.11b、802.11g、802.11n、Bluetooth®、モバイル・パーソナル通信、産業用、科学用および医療用 (ISM) 無線帯域、アマチュア無線および衛星、S バンド (2GHz～4GHz)	78.0dB
3.6GHz	無線測位、航空通信およびナビゲーション、衛星、モバイル、S バンド	88.8dB
5GHz	802.11a、802.11n、航空通信とナビゲーション、モバイル通信、宇宙と衛星の運用、C バンド (4GHz～8GHz)	87.6dB

Copyright © 2022 Texas Instruments Incorporated

7.3.3 過熱保護動作

あらゆるアンプは、内部消費電力によって内部 (接合部) の温度が上昇します。この現象を「自己発熱」と呼びます。OPAx990 の絶対最大接合部温度は 150℃です。この温度を超えると、デバイスが損傷します。OPAx990 には過熱保護機能があり、自己発熱による損傷を低減できます。この保護機能はデバイスの温度を監視し、温度が 170℃を超えるとオペアンプの出力ドライブをオフにします。OPA990 の消費電力 (0.81W) のために自己発熱が大きくなるアプリケーションの例を、図 7-4 に示します。熱に関する計算から、周囲温度が 65℃の場合、デバイスの接合部温度は 177℃に達することが示されます。しかし、実際のデバイスでは出力ドライブがオフになるので、接合部の温度は安全域に回復します。過熱保護時の回路の動作を、図 7-4 に示します。通常の動作では、デバイスはバッファとして動作し、出力は 3V になります。自己発熱によりデバイスの接合部温度が内部制限値を超えた場合、過熱保護機能によって出力が強制的に高インピーダンス状態になり、出力は抵抗 R_L によってグランドにプルダウンされます。過剰な消費電力を引き起こした条件が解消されない場合、出力の障害が修正されるまで、アンプはシャットダウン状態とイネーブル状態をいったりきたりします。

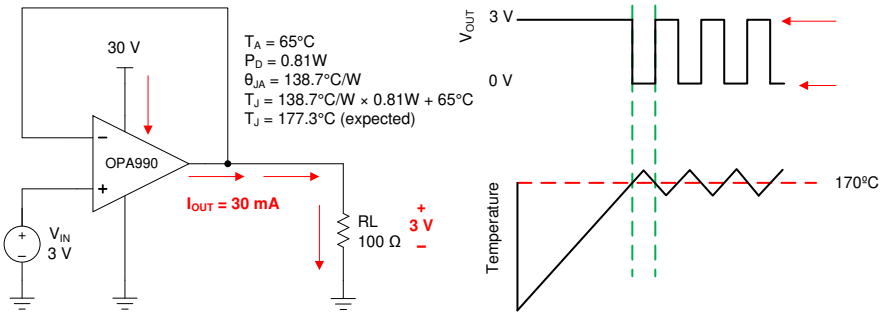


図 7-4. 過熱保護動作

7.3.4 容量性負荷および安定度

OPAx990 は抵抗性の出力段を採用しており、中程度の容量性負荷を駆動できます。また、絶縁抵抗を活用することで、大きな容量性負荷を駆動するように簡単に構成できます。ゲインを大きくするとアンプの能力が拡張され、より大きな抵抗性負荷を駆動できるようになります。図 7-5 および 図 7-6 を参照してください。アンプが動作時に安定するかどうか判断するには、オペアンプの回路構成、レイアウト、ゲイン、出力負荷など、いくつかの要因を考慮します。

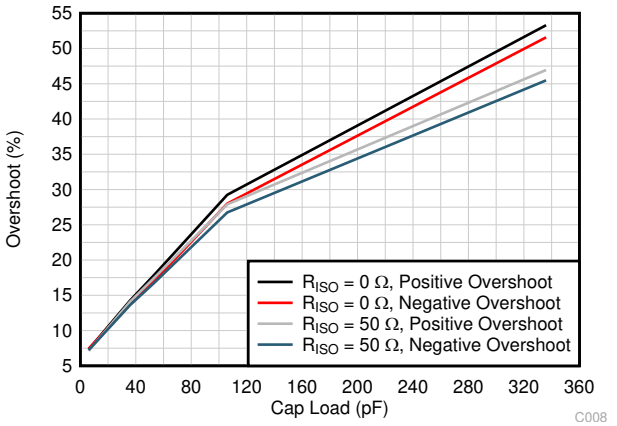


図 7-5. 小信号オーバーシュートと容量性負荷との関係 (出力ステップ 10mV、G = 1)

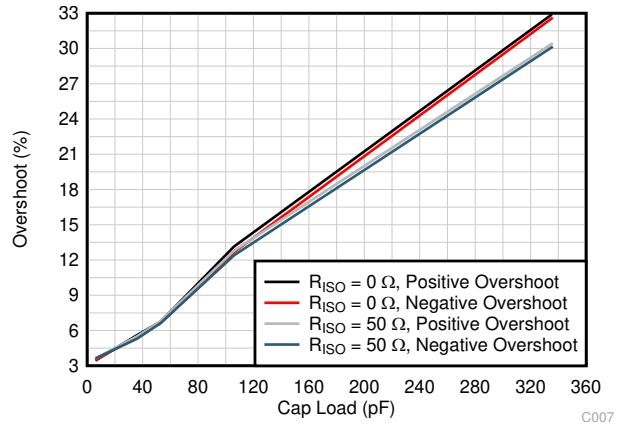


図 7-6. 小信号オーバーシュートと容量性負荷との関係 (出力ステップ 10mV、G = -1)

ユニティ・ゲイン構成で駆動能力を高めるため、図 7-7 に示すように、小さな抵抗 R_{ISO} を出力と直列に挿入し、容量性負荷の駆動能力を増やします。この抵抗は、リンギングを大幅に低減し、純粋な容量性負荷に対して DC 性能を維持します。ただし、容量性負荷と抵抗性負荷が並列に接続されている場合、分圧回路が生まれるため、出力にゲイン誤差が生じ、出力スイングがわずかに減少します。発生する誤差は R_{ISO} / R_L の比に比例し、一般に低い出力レベルでは無視できます。OPAx990 は容量性負荷の駆動能力が大きいため、リファレンス・バッファ、MOSFET ゲート・ドライブ、ケーブル・シ

Copyright © 2022 Texas Instruments Incorporated

ールド・ドライブなどのアプリケーションに最適です。図 7-7 に示す回路は、絶縁抵抗 R_{ISO} を使用してオペアンプの出力を安定させます。R_{ISO} は、システムの開ループ・ゲインを変更して位相マージンを増やします。

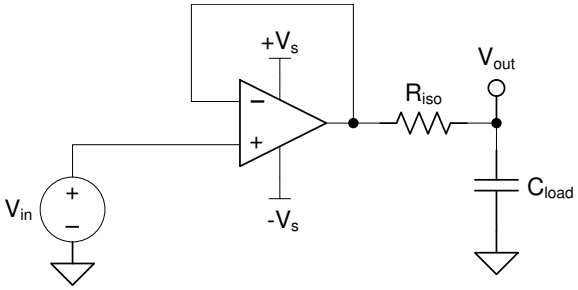


図 7-7. OPA990 により容量性負荷の駆動能力を拡張

Copyright © 2022 Texas Instruments Incorporated

7.3.5 同相電圧範囲

OPAx990 は 40V の真のレール・ツー・レール入力オペアンプで、入力同相範囲がどちらの電源レールよりも 200mV 拡張されています。図 7-8 に示すように、相補型 N チャネルと P チャネルの差動入力ペアを並列接続することで、この広い範囲を実現しています。N チャネル・ペアは、正のレールに近い入力電圧、通常は (V+) - 1V から、正電源を 100mV 上回る電圧でアクティブになります。P チャネル・ペアは、負の電源電圧より 100mV 下から、ほぼ (V+) - 2V までの入力でアクティブになります。小さな遷移領域、通常は (V+) - 2V から (V+) - 1V において、両方の入力ペアがオンになります。この遷移領域は、プロセスの差異に応じて多少変化する可能性があります。また、この領域内では PSRR、CMRR、オフセット電圧、オフセット・ドリフト、ノイズ、THD の性能が、領域外で動作するときよりも低下する可能性があります。

入力電圧オフセットに関して、デバイスの標準的な遷移領域の詳細を、図 6-5 に示します。

同相電圧範囲と PMOS/NMOS ペアの相互作用の詳細については、「相補型ペア入力段を持つオペアンプ」アプリケーション・ノートを参照してください。

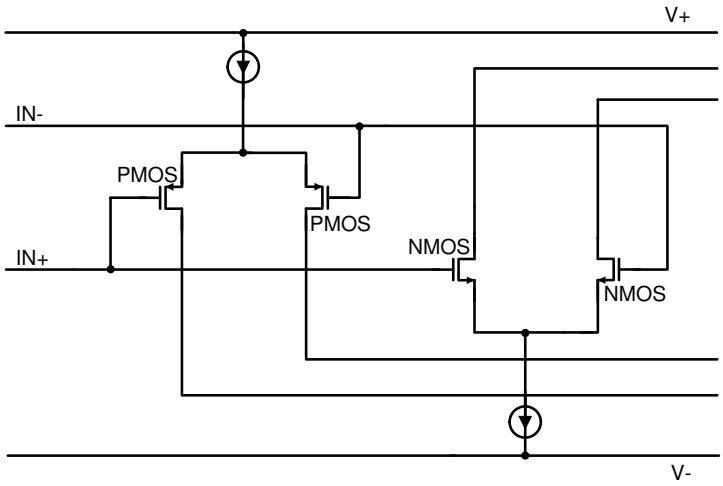


図 7-8. レール・ツー・レール入力段

7.3.6 位相反転の防止

OPAx990 ファミリには、位相反転の保護機能が搭載されています。多くのオペアンプでは、入力がリニア同相範囲を超えて駆動されると、位相反転が発生します。この条件が最も多く発生するのは非反転回路で、入力が指定された同相電圧範囲を超えて駆動されると、出力は逆のレールに反転します。OPAx990 はレール・ツー・レール入力のオペアンプなので、同相範囲はレールまで拡張できます。入力信号がレールを超えても位相反転は起きません。代わりに、出力は適切なレールに制限されます。この特性を、図 7-9 に示します。位相反転の詳細については、「相補型ペア入力段を持つオペアンプ」アプリケーション・ノートを参照してください。

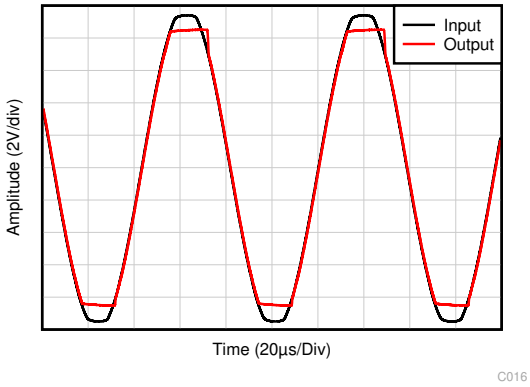


図 7-9. 位相反転が発生しない

7.3.7 電気的オーバーストレス

設計者は多くの場合、オペアンプが電気的オーバーストレス (EOS) にどの程度耐えられるのかという質問をします。これらの質問は、主にデバイスの入力に関するものですが、電源電圧ピンや、さらに出力ピンにも関係する場合があります。これらの各ピンの機能には電気的ストレスの制限が定められており、使用される半導体の製造プロセスの電圧ブレークダウン特性と、ピンに接続される特定の回路によって決定されます。また、これらの回路には内部静電気放電 (ESD) 保護機能が組み込まれており、製品の組み立て前と組み立て中の両方で、偶発的な ESD イベントから保護します。

この基本的な ESD 回路と、電気的オーバーストレス・イベントとの関連性を十分に理解しておくと役に立ちます。OPAx990 に含まれる ESD 回路の図を、図 7-10 に示します (破線で囲まれている部分)。ESD 保護回路には、いくつかの電流ステアリング・ダイオードが含まれており、これらは入力ピンや出力ピンから接続され、内部の電源ラインに戻るようルーティングされます。これらのダイオードは、オペアンプ内部の吸収デバイスや電源 ESD セルで接続されます。この保護回路は、通常の回路動作中は非アクティブに保たれるよう設計されます。

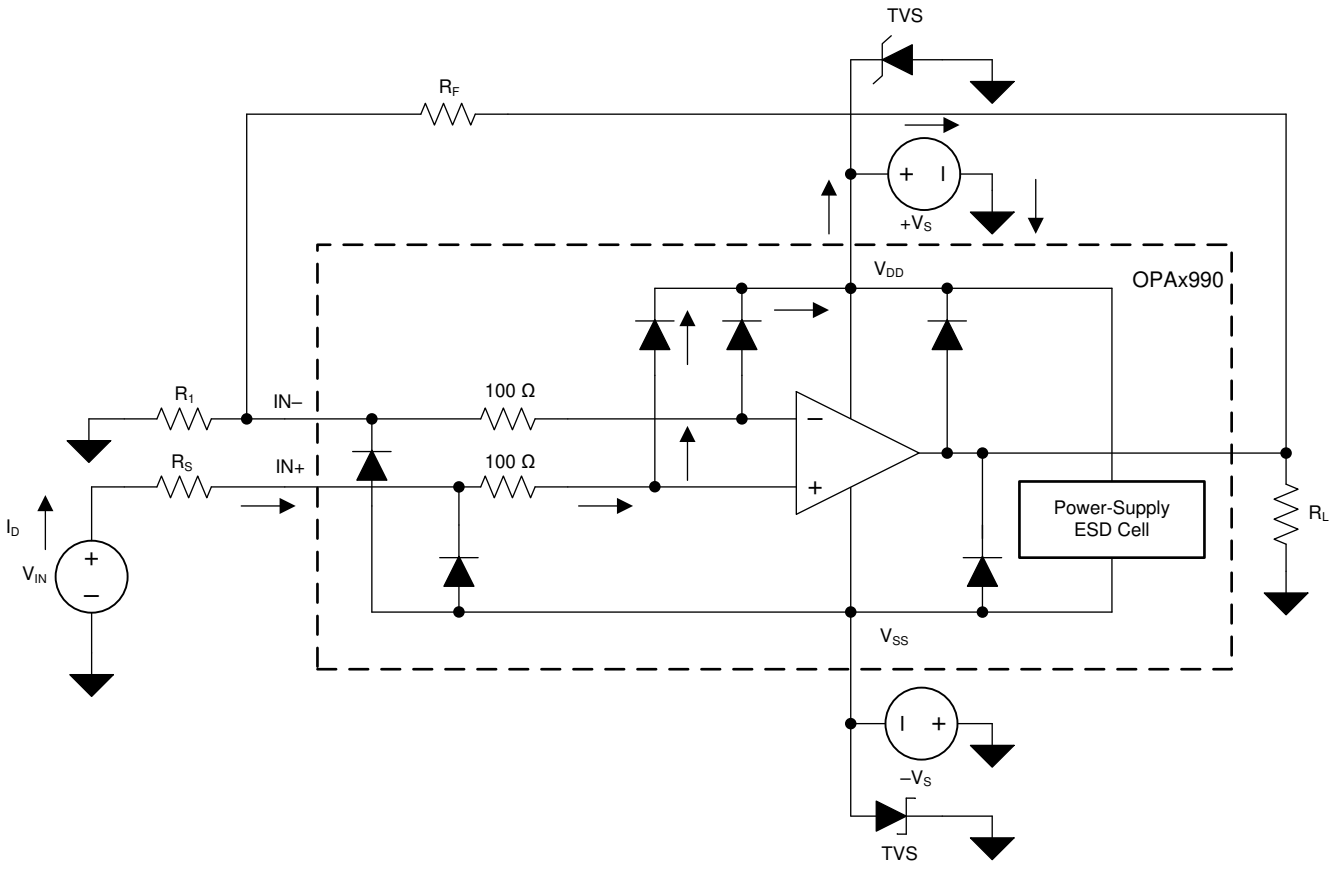


図 7-10. 代表的な回路アプリケーションと比較して等価な内部 ESD 回路

ESD イベントは持続時間が非常に短く、電圧が非常に高い (例:1kV、100ns) のに対して、EOS イベントは持続時間が長く、電圧も低くなります (例:50V、100ms)。ESD ダイオードは、回路外の ESD 保護 (つまり、PCB にはんだ付けする前にデバイスの組み立て、テスト、保管を行うとき) を目的として設計されています。ESD イベントの間、ESD 信号は ESD ステアリング・ダイオードを通過して吸収回路 (「ESD 電源回路」とラベル付けされています) に渡されます。ESD 吸収回路は、電源を安全なレベルにクランプします。

この動作は回路外保護のためには必要なものですが、回路内でこの動作をアクティブにすると、過大な電流と損傷が発生します。過渡電圧サプレッサ (TVS) を使用すると、回路内の ESD イベント発生時に ESD 吸収回路がオンになることで生じる損傷を防止できます。適切な電流制限抵抗と TVS ダイオードから構成される ESD ダイオードを使用して EOS イベントから保護できます。

Copyright © 2022 Texas Instruments Incorporated

7.3.8 過負荷からの回復

過負荷からの回復は、オペアンプの出力が飽和状態から線形状態に回復するために必要な時間として定義されます。高い入力電圧または高いゲインのいずれかが原因で、出力電圧が定格動作電圧を超えると、オペアンプの出力デバイスは飽和領域に入ります。デバイスが飽和領域に入った後、出力デバイスのチャージ・キャリアは線形状態に回復するための時間を必要とします。チャージ・キャリアが線形状態に戻ると、デバイスは指定されたスルーレートでスルーを開始します。したがって、過負荷状態の場合の伝搬遅延は、過負荷復帰時間とスルー時間の合計になります。OPAx990 の過負荷復帰時間は約 600ns です。

7.3.9 代表的な仕様と分布

設計者は多くの場合、より堅牢な回路を設計するため、アンプの標準仕様について質問します。プロセス・テクノロジーや製造手順には自然に差異が発生するため、アンプのすべての仕様は、アンプの入力オフセット電圧など、理想的な値からある程度の偏差が生じます。これらの偏差は多くの場合、ガウス分布 (「ベル曲線」) または正規分布に従います。回路設計者は、「電気的特性」表に最小値または最大値の仕様がない場合でも、この情報を活用してシステムの最低限の品質を確保できます。

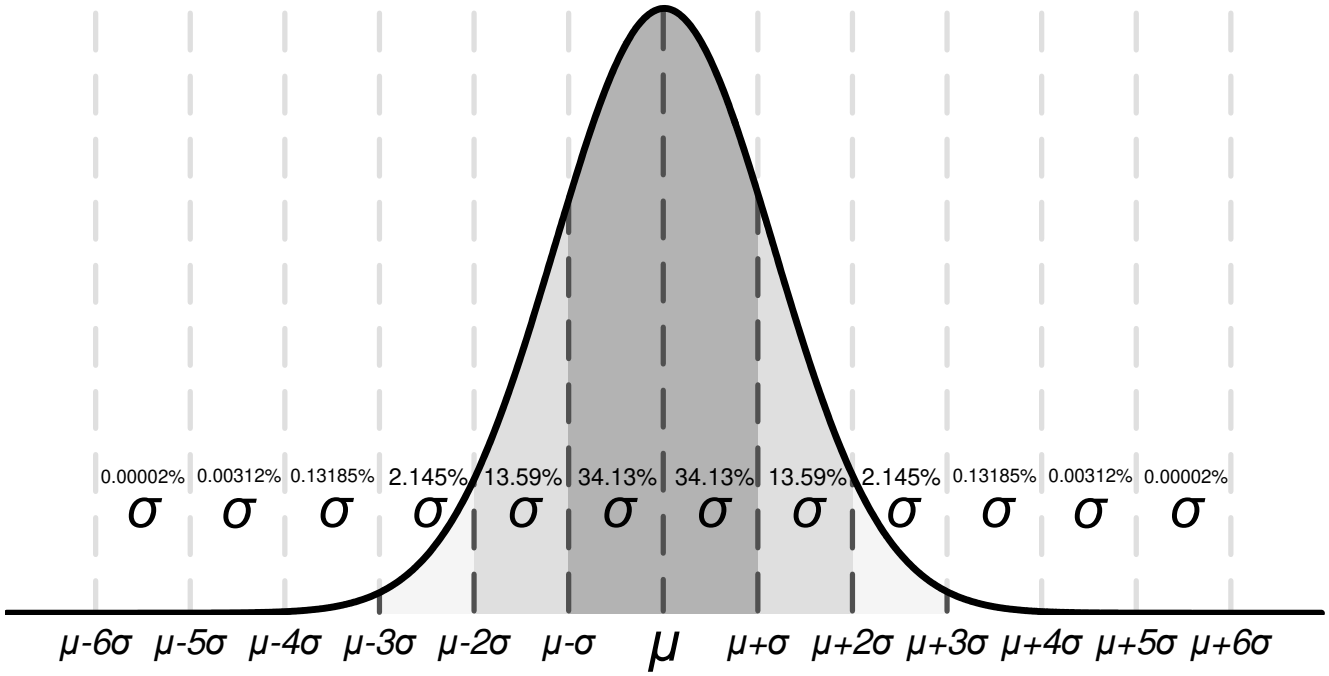


図 7-11. 理想的なガウス分布

分布の例を、図 7-11 に示します。ここで、μ (ミュー) は分布の平均値、σ (シグマ) はシステムの標準偏差です。このような分布を示す仕様では、すべてのユニットの約 2/3 (68.26%) が平均値から 1 標準偏差 (シグマ) 以内 (μ-σ から μ+σ までの範囲) に存在していると予想できます。

「電気的特性」表の「標準値」列に記載されている値は、仕様に応じてさまざまな方法で表現されます。一般的な目安として、仕様の性質上平均値が 0 以外の場合 (ゲイン帯域幅など)、標準値は平均値 (μ) と等しくなります。ただし、入力オフセット電圧のように、その性質上仕様の平均値が 0 に近い場合、最も正確に標準値を表すため、標準値は平均値に 1 標準偏差を加えた値 (μ + σ) と等しくなります。

このグラフを使用して、ユニット内の仕様のおおよその確率を計算できます。たとえば OPAx990 の場合、入力電圧オフセットの標準値は 300μV なので、すべての OPAx990 デバイスのうち 68.2% は -300μV～+300μV のオフセットを持つと予想されます。4σ (±1200μV) では、分布の 99.9937% のオフセット電圧は ±1200μV 未満です。これは、母集団のうちこの制限値を超えているものは 0.0063%、15,873 ユニットのうち約 1 個ということです。

Copyright © 2022 Texas Instruments Incorporated

仕様の最小値または最大値の列に値が記載されているものはテキサス・インスツルメンツによって保証されており、これらの制限値を超えたユニットは生産から除去されます。たとえば、OPAx990 ファミリの最大オフセット電圧は 25℃において 1.5mV で、これは約 5σ (約 170 万ユニットのうち 1 つ) に相当し、確率としては非常に低いため、テキサス・インスツルメンツはオフセット電圧が 1.5mV を超えるユニットが生産から除去されることを保証しています。

最小値または最大値の列に値が記載されていない仕様については、アプリケーションに十分な余裕のあるシグマ値を選択し、この値を使用してワーストケース条件を設計することを検討してください。たとえば、6σ の値は約 5 億ユニットのうち 1 つです。これは非常に可能性が低く、システムの設計で大きな余裕を持たせるために適切な可能性があります。この場合、OPAx990 ファミリにはオフセット電圧ドリフトの最大値または最小値はありませんが、図 6-2 および「電気的特性」表の標準値である 0.6μV/℃に基づいて、オフセット電圧ドリフトの 6σ 値は約 3.6μV/℃と計算できます。ワーストケースのシステム条件を設計する場合、この値を使用すると、実際の最小値または最大値を使用せずに、温度範囲全体で可能性があるワーストケースのオフセットを推定できます。

ただし、時間の経過に伴うプロセスの変動と調整によって、標準偏差と平均値の標準値が変動する可能性があるため、仕様の最小値または最大値の列に値が記載されていないものについて、テキサス・インスツルメンツはデバイスの性能を保証できません。この情報は、デバイスの性能を推定する目的でのみ使用する必要があります。

7.3.10 露出サーマル・パッド付きパッケージ

OPAx990 ファミリは、露出サーマル・パッドを備えた WSON-8 (DSG) や WQFN-16 (RTE) などのパッケージで供給されます。パッケージ内で、ダイは導電性コンパウンドを使用して、このサーマル・パッドに取り付けられます。このため、露出サーマル・パッド付きのパッケージを使用する場合、サーマル・パッドは V- に接続するか、フローティングのままにする必要があります。V- 以外の電位にサーマル・パッドを取り付けることは許可されず、これを行った場合にデバイスの性能は保証されません。

7.3.11 シャットダウン

OPAx990S デバイスには、オペアンプをディセーブルして低消費電力のスタンバイ・モードに移行する 1 つ以上のシャットダウン・ピン (SHDN) が搭載されています。このモードでは、オペアンプの消費電流は通常約 20μA です。SHDN ピンはアクティブ High なので、SHDN ピンへの入力が有効なロジック High のとき、シャットダウン・モードがイネーブルになります。このアンプは、SHDN ピンへの入力が有効なロジック Low のときイネーブルになります。

SHDN ピンは、オペアンプの負の電源レールを基準としています。シャットダウン機能のスレッショルドは約 800mV (標準値) で、電源電圧に応じて変化しません。スムーズなスイッチング特性を確保するため、スイッチング・スレッショルドにはヒステリシスが含まれています。最適なシャットダウン動作を確保するため、SHDN ピンは有効なロジック信号で駆動する必要があります。有効なロジック Low は、V- と V- + 0.2V の間の電圧として定義されます。有効なロジック High は、V- + 1.1V と V- + 20V の間の電圧として定義されます。シャットダウン・ピンの回路にはプルダウン抵抗が含まれており、駆動されていないピンの電圧は本質的に負の電源レールにプルダウンされます。したがって、アンプをイネーブルするには、SHDN ピンをフローティングのままにするか、有効なロジック Low に駆動します。アンプをディセーブルするには、SHDN ピンを有効なロジック High に駆動する必要があります。SHDN ピンで許容される最大電圧は、V- + 20V または V+ のどちらか低い方です。V- + 20V または V+ のどちらか低い方を超えると、デバイスが損傷します。

SHDN ピンは高インピーダンスの CMOS 入力です。シングルおよびデュアル・オペアンプ・パッケージのチャネルは独立して制御され、クワッド・オペアンプ・パッケージのチャネルはペアで制御されます。バッテリ駆動のアプリケーションでは、この機能を使用することによって平均電流を大幅に低下させ、バッテリ駆動時間を延長することができます。シャットダウンからの標準的なイネーブル時間は 11μs、ディセーブル時間は 2.5μs です。ディセーブル状態のとき、出力は高インピーダンス状態です。このアーキテクチャにより、OPAx990S ファミリはゲート付きアンプ、マルチプレクサ、またはプログラマブル・ゲイン・アンプとして動作できます。シャットダウン時間 (t_{OFF}) は負荷条件に依存し、負荷抵抗が増加すると増加します。特定のシャットダウン時間内にシャットダウン (ディセーブル) を確実に実行するには、指定された 10kΩ 負荷を中間電源 (VS / 2) に接続する必要があります。OPAx990S を負荷なしで使用すると、結果的にターンオフ時間が大幅に増加します。

Copyright © 2022 Texas Instruments Incorporated

7.4 デバイスの機能モード

OPAx990 には単一機能モードがあり、電源電圧が 2.7V (±1.35V) を上回ると動作します。OPAx990 の最大電源電圧は 40V (±20V) です。

OPAx990S デバイスにはシャットダウン・ピンがあり、オペアンプを低消費電力モードに設定するため使用できます。詳細については、「シャットダウン」セクションを参照してください。

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

OPAx990 ファミリは、DC 精度と AC 性能が優れています。これらのデバイスは、最高 40V の電源レールで動作し、真のレール・ツー・レール入出力、低いオフセット電圧とオフセット電圧ドリフトに加えて、1.1MHz の帯域幅と、高い出力駆動を実現しています。これらの特長から、OPAx990 は高電圧の産業用アプリケーションに適した、堅牢で高性能なオペアンプです。

8.2 代表的なアプリケーション

8.2.1 高電圧のバッファ付きマルチプレクサ

OPAx990S シャットダウン・デバイスは、高電圧のバッファ付きマルチプレクサを作り出すように構成できます。出力は共通バス上で互いに接続でき、シャットダウン・ピンを使用して、パススルーする目的のチャネルを選択できます。アンプ回路は、イネーブル遷移よりも大幅に高速にディセーブル遷移が発生するように設計されているため、アンプは自然に「ブレイク・ビフォー・メイク」のスイッチ・トポロジとなります。アンプの出力はシャットダウン時に高インピーダンス状態になるため、複数のチャネル出力を互いに接続してもバス競合のリスクはありません。さらに、出力は入力から絶縁されているため、各チャネルの入力のインピーダンスと出力のインピーダンスとの間で、アンプのゲイン段や ADC ドライバ回路のような望ましくない相互作用が発生する心配はありません。また、このトポロジでは MOSFET スイッチの代わりにアンプを使用するため、R_{ON} 効果による電荷注入や信号誤差など、他のマルチプレクサの一般的な問題も解消されます。

基本的な 2:1 マルチプレクサのトポロジ例を、図 8-1 に示します。SEL が Low のとき、チャネル 1 が選択され、アクティブになります。SEL が High のとき、チャネル 2 が選択され、アクティブになります。OPAx990S シャットダウン機能の使用方法の詳細については、「電気的特性」表の「シャットダウン」セクションを参照してください。

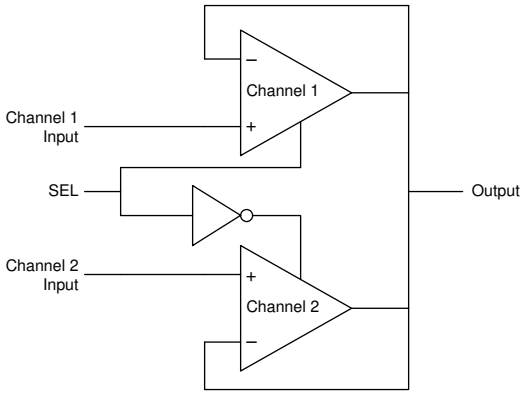


図 8-1. 高電圧のバッファ付きマルチプレクサ

8.2.2 スルーレート制限による入力保護

バルブやモーターの制御システムでは、電圧や電流の突然の変化によって機械的損傷が発生する場合があります。ドライブ回路へのコマンド電圧のスルーレートを制御することで、負荷電圧の上昇および下降を安全なレートで実行できます。対称型スルーレートのアプリケーション (正のスルー・レートと負のスルー・レートが等しい) では、追加のオペアンプ 1 個により、特定のアナログ・ゲイン段に対してスルーレート制御が行われます。OPAx990 は独自の入力保護機能を備え、出力電流とスルーレートが大きいため、デュアル電源とシングル電源の両方のシステムでスルーレート制御を実現する最適なアンプとなります。スルーレート制限設計の OPA990 を、図 8-2 に示します。

Copyright © 2022 Texas Instruments Incorporated

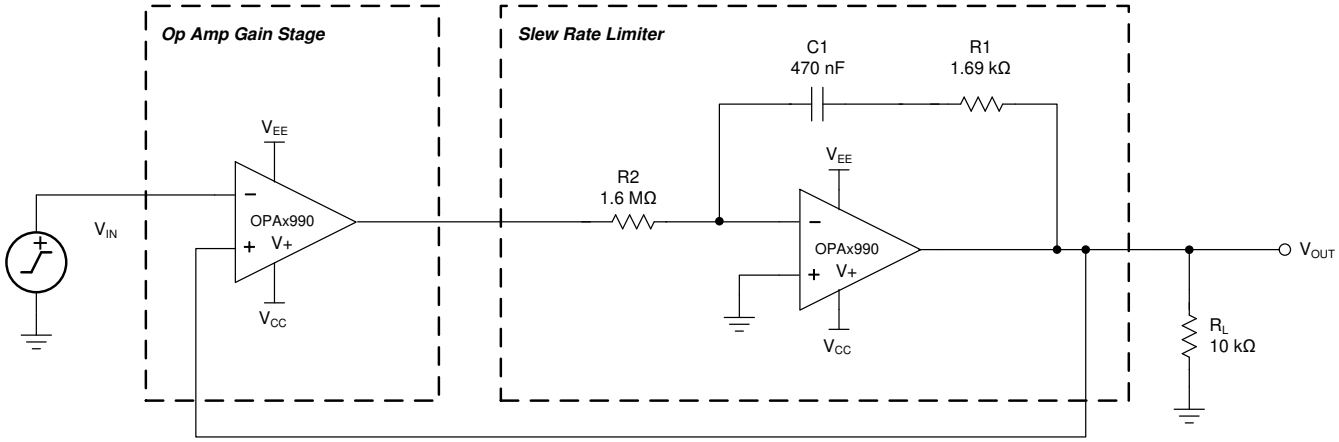


図 8-2. スルー・レート・リミッタは、オペアンプを 1 つだけ使用

9 電源に関する推奨事項

OPAx990 は、2.7V～40V (±1.35V～±20V) で動作が規定されています。多くの仕様は -40℃～125℃、または特定の電源電圧とテスト条件で適用されます。動作電圧または温度に関して大きな変動を示す可能性があるパラメータについては、「代表的特性」セクションを参照してください。

注意

40V を超える電源電圧を印加すると、デバイスに永続的な損傷を与える可能性があります。「絶対最大定格」を参照してください。

電源ピンの近くに 0.1µF のバイパス・コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源からの誤差を低減できます。バイパス・コンデンサの配置の詳細については、「レイアウト」セクションを参照してください。

10 レイアウト

10.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を使用してください。

- ノイズが回路全体の電源ピンとオペアンプ自体を経由して、アナログ回路に伝播することがあります。バイパス・コンデンサは、アナログ回路に対してローカルに低インピーダンスの電源を供給し、結合ノイズを低減するために使用されます。
  - 各電源ピンとグランドとの間に、低 ESR の 0.1µF セラミック・バイパス・コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、V+ からグランドに対して単一のバイパス・コンデンサを接続します。
- 回路のアナログ部とデジタル部のグランド配線を分離することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランド・プレーン専用です。グランド・プレーンは熱の分散に役立ち、EMI ノイズのピックアップを低減します。グランド電流の流れに注意して、デジタル・グランドとアナログ・グランドが物理的に分離されていることを確認します。
- 寄生カップリングを低減するには、入力配線を電源や出力の配線からできるだけ離して配置します。これらの配線を分離しておけない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに良い結果が得られます。
- 外付け部品は、可能な限りデバイスに近く配置します。図 10-2 に示すように、RF と RG を反転入力に近づけて配置すると、寄生容量が最小化されます。
- 入力の配線はできる限り短くします。入力配線は回路の最も敏感な部分であることに常に注意してください。
- 重要な配線の周囲に、駆動される低インピーダンスのガード・リングを配置することを検討します。ガード・リングを使用すると、付近に存在する、さまざまな電位の配線からのリーク電流を大幅に低減できます。
- 最高の性能を実現するため、基板組み立ての後で PCB を清掃することを推奨します。
- 高精度の集積回路では、プラスチック・パッケージへの水分の侵入により性能が変化する場合があります。PCB を水で洗浄してから、PCB アセンブリをベーキングして、清掃プロセス中にデバイスのパッケージに取り込まれた水分を除去することを推奨します。ほとんどの場合、清掃後に 85℃で 30 分間の低音ベーキングを行えば十分です。

10.2 レイアウト例

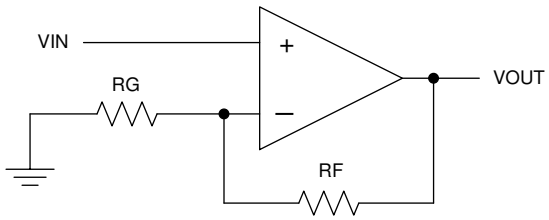


図 10-1. 回路図

Copyright © 2022 Texas Instruments Incorporated

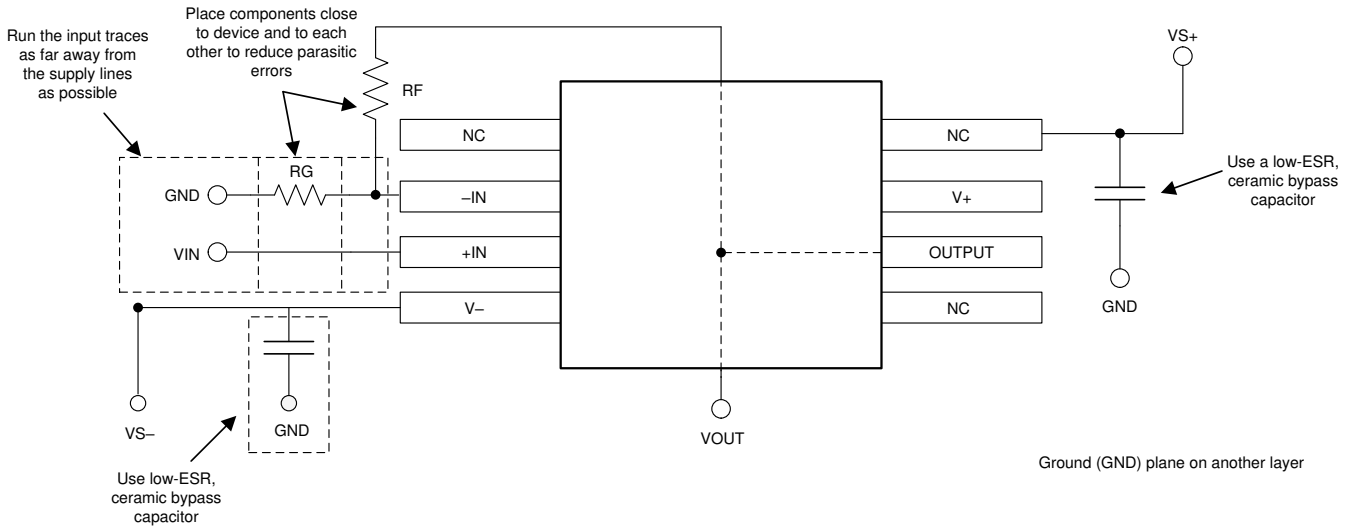


図 10-2. 非反転構成のオペアンプ基板のレイアウト

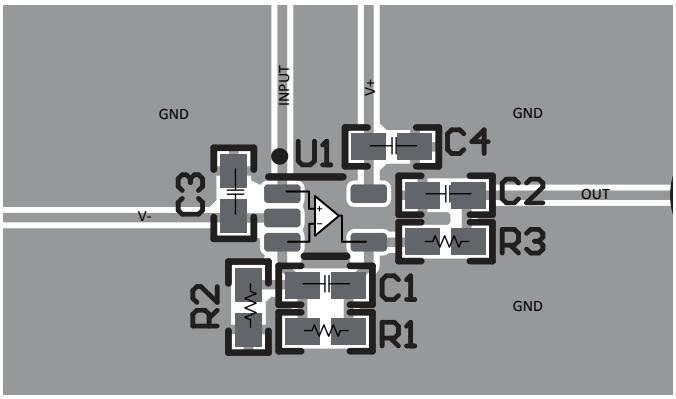


図 10-3. SC70 (DCK) パッケージのレイアウト例

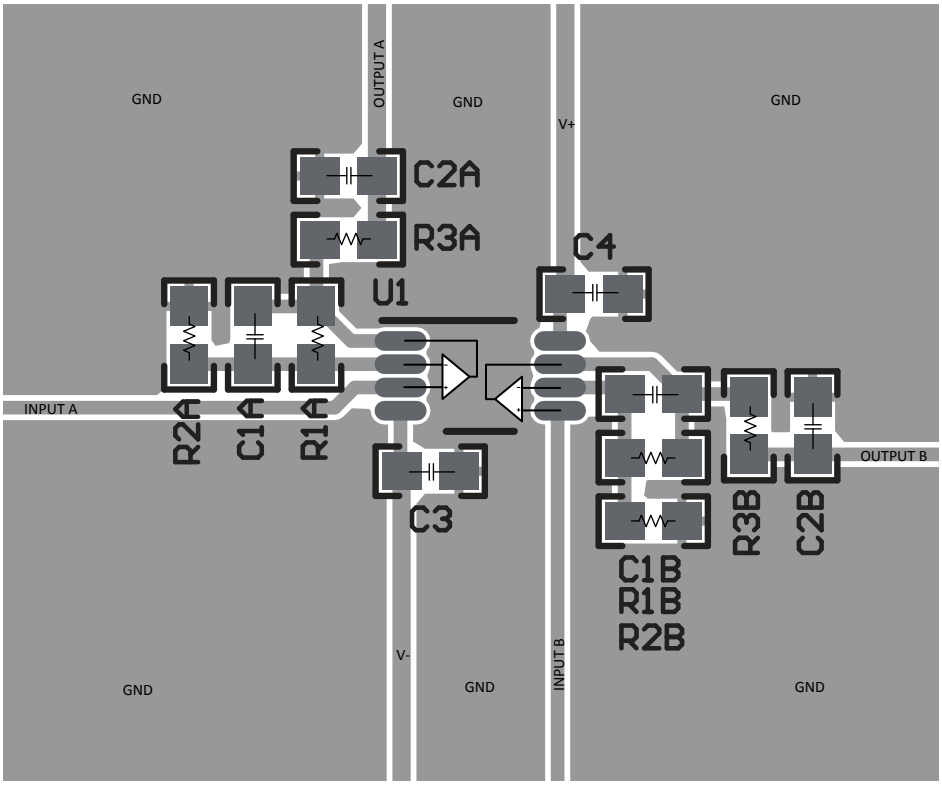


図 10-4. VSSOP-8 (DGK) パッケージのレイアウト例

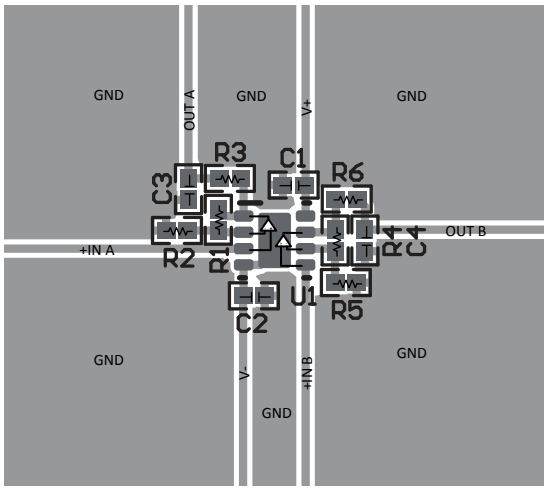


図 10-5. WSON-8 (DSG) パッケージのレイアウト例

Copyright © 2022 Texas Instruments Incorporated

11 デバイスおよびドキュメントのサポート

11.1 デバイスのサポート

11.1.1 開発サポート

11.1.1.1 TINA-TI™ (無料のダウンロード・ソフトウェア)

TINA™ は、SPICE エンジンをベースにした単純かつ強力な、使いやすい回路シミュレーション・プログラムです。TINA-TI は、TINA ソフトウェアの全ての機能を持つ無償バージョンで、パッシブ・モデルとアクティブ・モデルに加えて、マクロ・モデルのライブラリがプリロードされています。TINA-TI には、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI は Analog eLab Design Center から無料でダウンロードでき、ユーザーが結果をさまざまな方法でフォーマットできる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイック・スタート・ツールを作成できます。

注

これらのファイルを使用するには、TINA ソフトウェア (DesignSoft™ から入手できます) または TINA-TI ソフトウェアがインストールされている必要があります。TINA-TI フォルダから、無料の TINA-TI ソフトウェアをダウンロードしてください。

11.2 ドキュメントのサポート

11.2.1 関連資料

テキサス・インスツルメンツ、『MUX 対応高精度オペアンプ』アプリケーション・ブリーフ

テキサス・インスツルメンツ、『オペアンプの EMI 除去率』アプリケーション・レポート

テキサス・インスツルメンツ、『相補型ペア入力段を持つオペアンプ』アプリケーション・ノート

11.3 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on ti.com. Click on *Subscribe to updates* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

11.4 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

11.5 商標

TINA-TI™ is a trademark of Texas Instruments, Inc and DesignSoft, Inc.
TINA™ and DesignSoft™ are trademarks of DesignSoft, Inc.
TI E2E™ is a trademark of Texas Instruments.
Bluetooth® is a registered trademark of Bluetooth SIG, Inc.
すべての商標は、それぞれの所有者に帰属します。

11.6 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

Copyright © 2022 Texas Instruments Incorporated

11.7 Glossary

TI Glossary This glossary lists and explains terms, acronyms, and definitions.

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2022 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2990IDDFR	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O90F
OPA2990IDDFR.A	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O90F
OPA2990IDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	2H9T
OPA2990IDGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2H9T
OPA2990IDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OP2990
OPA2990IDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OP2990
OPA2990IDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OP2990
OPA2990IDRG4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OP2990
OPA2990IDSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	O29G
OPA2990IDSGR.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O29G
OPA2990IDSGRG4	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O29G
OPA2990IDSGRG4.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O29G
OPA2990IPWR	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O2990P
OPA2990IPWR.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O2990P
OPA2990IPWRG4	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O2990P
OPA2990IPWRG4.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O2990P
OPA2990SIDGSR	Active	Production	VSSOP (DGS) | 10	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	OP29
OPA2990SIDGSR.A	Active	Production	VSSOP (DGS) | 10	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	OP29
OPA2990SIRUGR	Active	Production	X2QFN (RUG) | 10	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	H9F
OPA2990SIRUGR.A	Active	Production	X2QFN (RUG) | 10	3000 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	H9F
OPA2990TIDDFR	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O90F
OPA2990TIDDFR.A	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O90F
OPA4990IDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPA4990D
OPA4990IDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPA4990D
OPA4990IPWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	OPA49PW
OPA4990IPWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	OPA49PW
OPA4990IRTER	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O49RT
OPA4990IRTER.A	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O49RT
OPA4990IRTERG4	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O49RT

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA4990IRTERG4.A	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O49RT
OPA4990IRUCR	Active	Production	QFN (RUC) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	FMF
OPA4990IRUCR.A	Active	Production	QFN (RUC) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	FMF
OPA4990SIRTER	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O4990S
OPA4990SIRTER.A	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O4990S
OPA990IDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	O90V
OPA990IDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O90V
OPA990IDBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O90V
OPA990IDBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O90V
OPA990IDCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	1FL
OPA990IDCKR.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	1FL
OPA990SIDBVR	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O90S
OPA990SIDBVR.A	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O90S
OPA990SIDBVRG4	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O90S
OPA990SIDBVRG4.A	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O90S

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF OPA4990 :

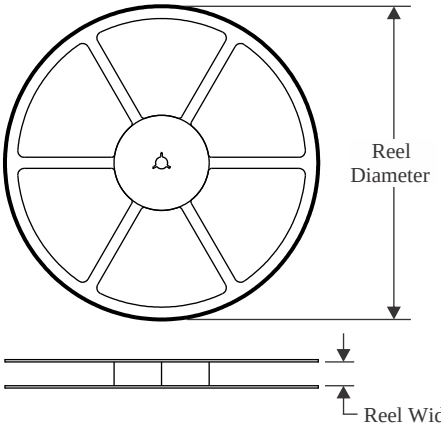
- Automotive : OPA4990-Q1

NOTE: Qualified Version Definitions:

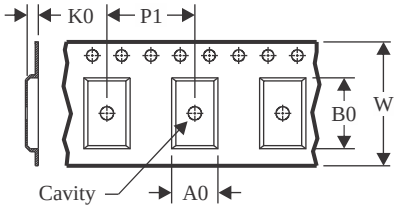
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

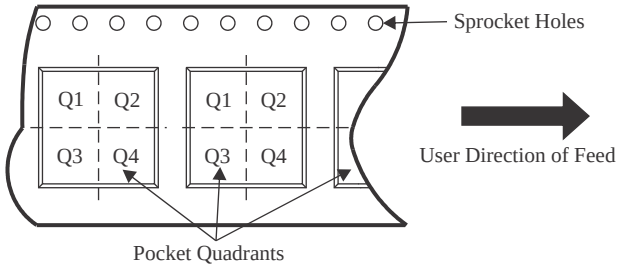


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

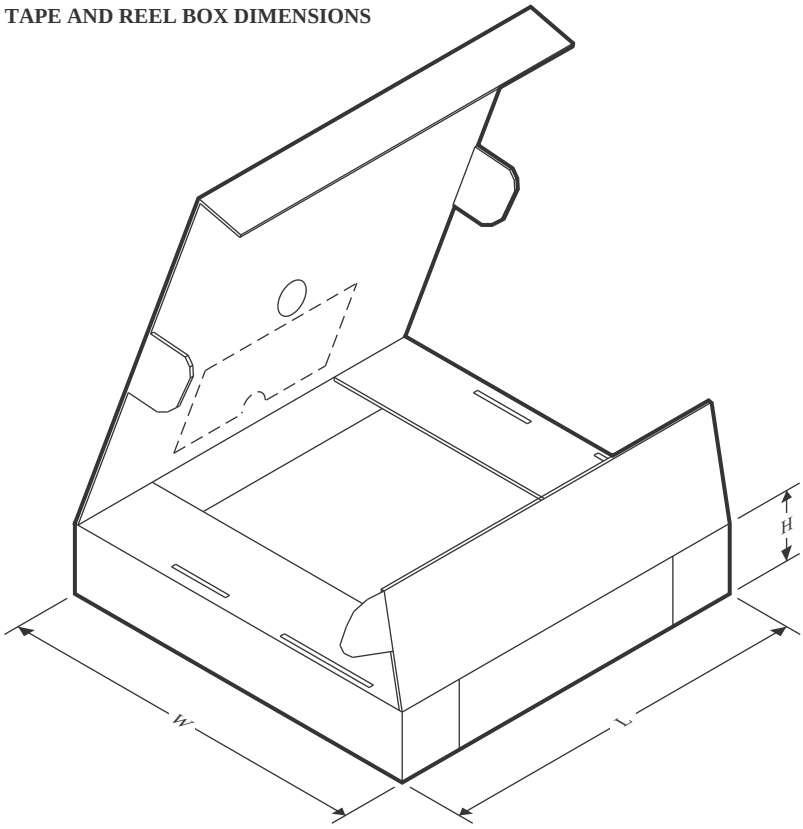


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2990IDDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA2990IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2990IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2990IDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2990IDSGR	WSON	DSG	8	3000	178.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
OPA2990IDSGRG4	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
OPA2990IPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
OPA2990IPWRG4	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
OPA2990SIDGSR	VSSOP	DGS	10	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2990SIRUGR	X2QFN	RUG	10	3000	178.0	8.4	1.75	2.25	0.56	4.0	8.0	Q1
OPA2990TIDDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q2
OPA4990IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
OPA4990IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
OPA4990IRTER	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA4990IRTERG4	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA4990IRUCR	QFN	RUC	14	3000	180.0	9.5	2.16	2.16	0.5	4.0	8.0	Q2
OPA4990SIRTER	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
OPA990IDBVR	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA990IDBVRG4	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA990IDCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
OPA990SIDBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA990SIDBVRG4	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

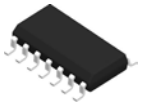
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2990IDDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
OPA2990IDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA2990IDR	SOIC	D	8	2500	353.0	353.0	32.0
OPA2990IDRG4	SOIC	D	8	2500	353.0	353.0	32.0
OPA2990IDSGR	WSON	DSG	8	3000	208.0	191.0	35.0
OPA2990IDSGRG4	WSON	DSG	8	3000	210.0	185.0	35.0
OPA2990IPWR	TSSOP	PW	8	2000	353.0	353.0	32.0
OPA2990IPWRG4	TSSOP	PW	8	2000	353.0	353.0	32.0
OPA2990SIDGSR	VSSOP	DGS	10	2500	366.0	364.0	50.0
OPA2990SIRUGR	X2QFN	RUG	10	3000	205.0	200.0	33.0
OPA2990TIDDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
OPA4990IDR	SOIC	D	14	2500	353.0	353.0	32.0
OPA4990IPWR	TSSOP	PW	14	2000	353.0	353.0	32.0
OPA4990IRTER	WQFN	RTE	16	3000	360.0	360.0	36.0
OPA4990IRTERG4	WQFN	RTE	16	3000	367.0	367.0	35.0
OPA4990IRUCR	QFN	RUC	14	3000	205.0	200.0	30.0
OPA4990SIRTER	WQFN	RTE	16	3000	360.0	360.0	36.0
OPA990IDBVR	SOT-23	DBV	5	3000	208.0	191.0	35.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA990IDBVRG4	SOT-23	DBV	5	3000	210.0	185.0	35.0
OPA990IDCKR	SC70	DCK	5	3000	190.0	190.0	30.0
OPA990SIDBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0
OPA990SIDBVRG4	SOT-23	DBV	6	3000	210.0	185.0	35.0

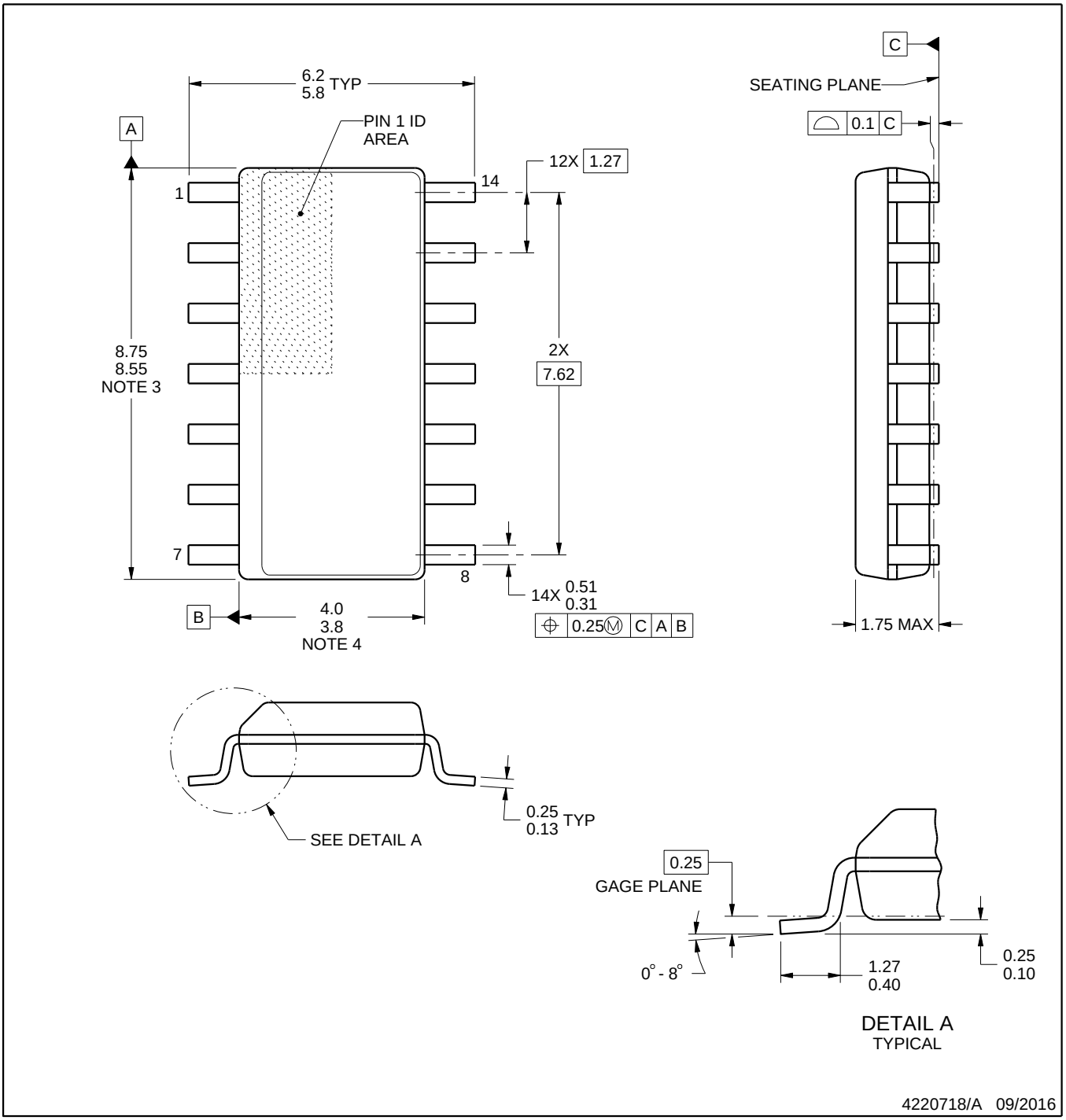


PACKAGE OUTLINE

D0014A

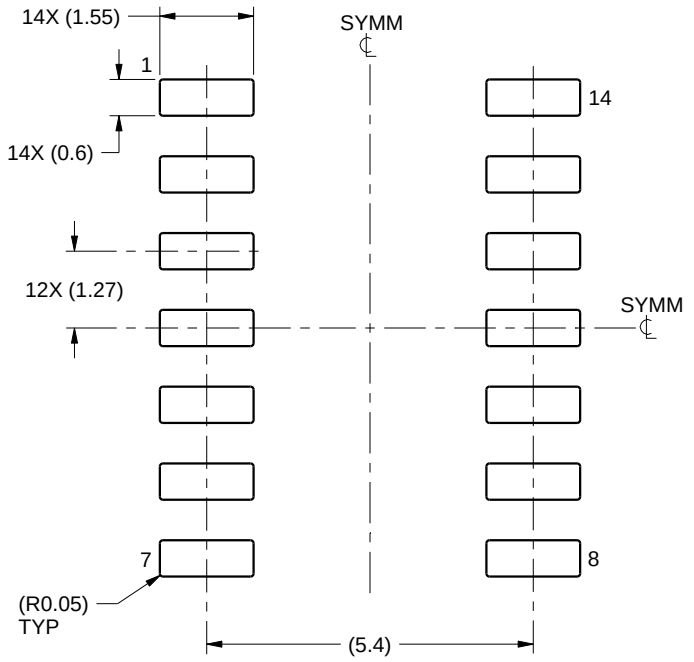
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

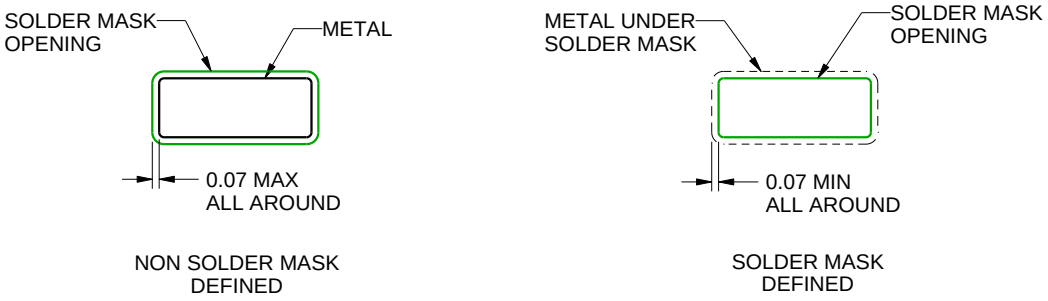


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

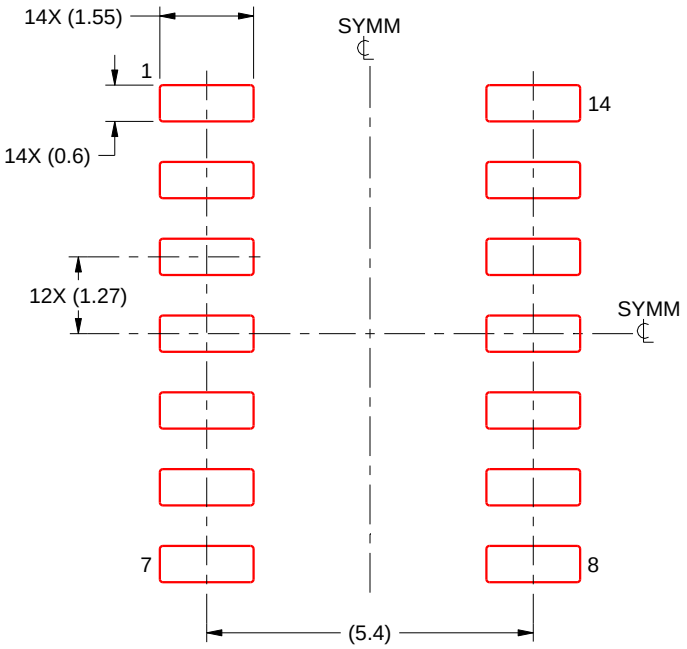
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

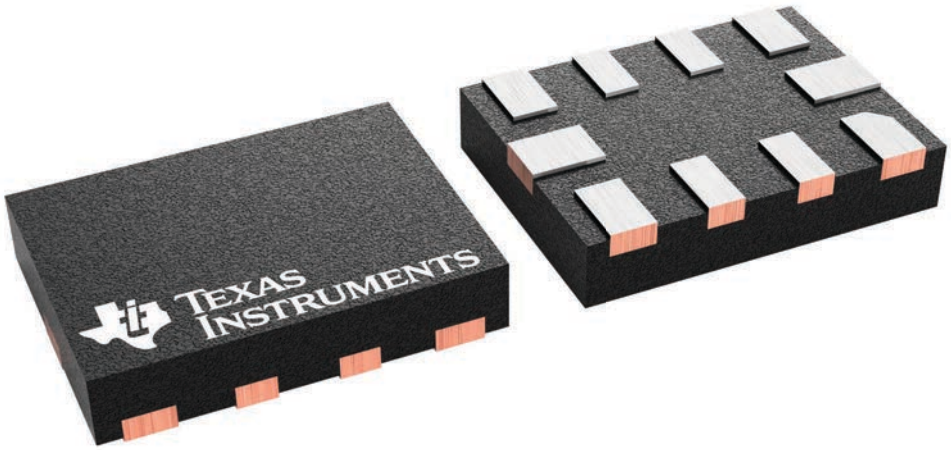
RUG 10

X2QFN - 0.4 mm max height

1.5 x 2, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



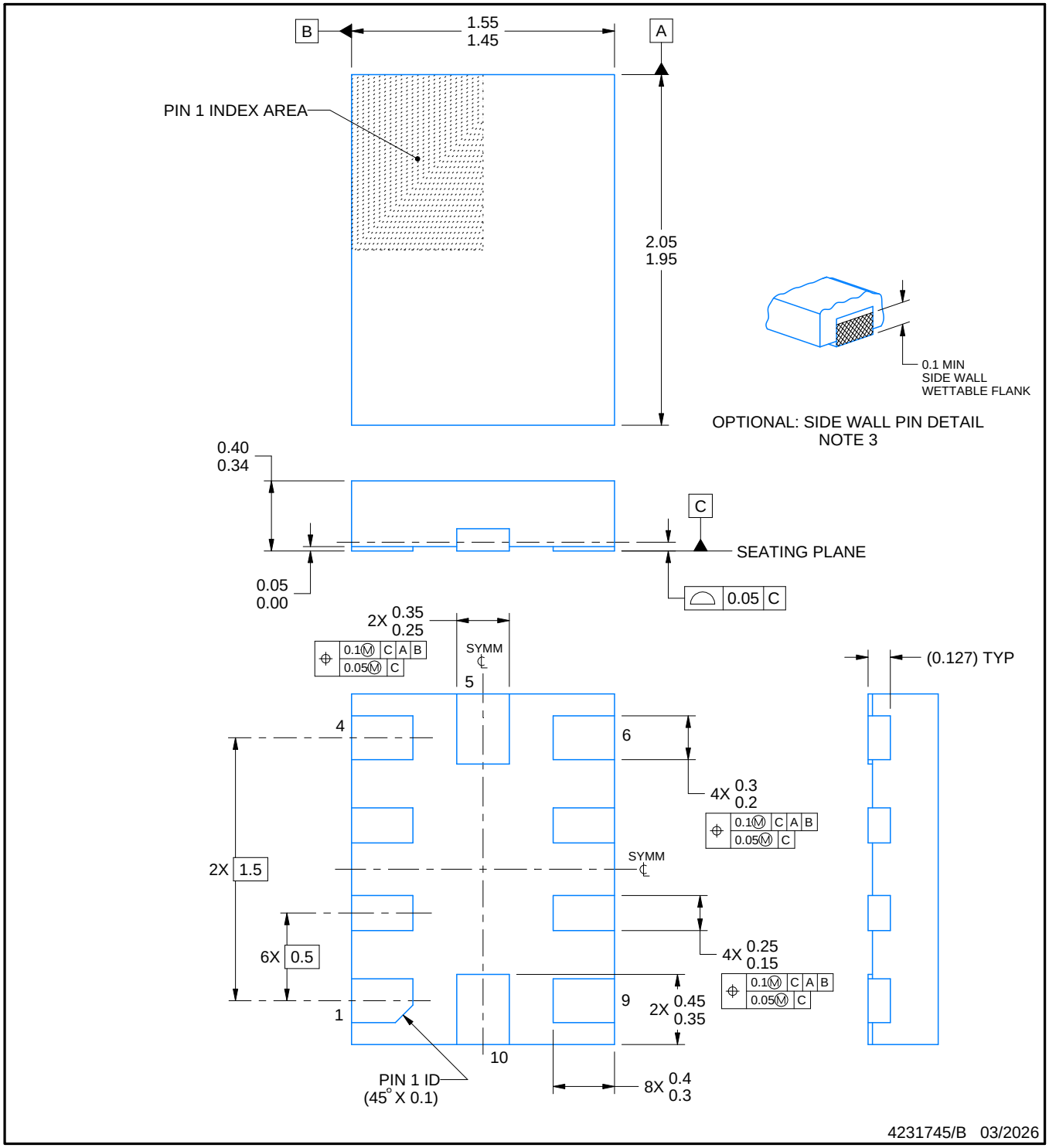
4231768/A

RUG0010A

PACKAGE OUTLINE

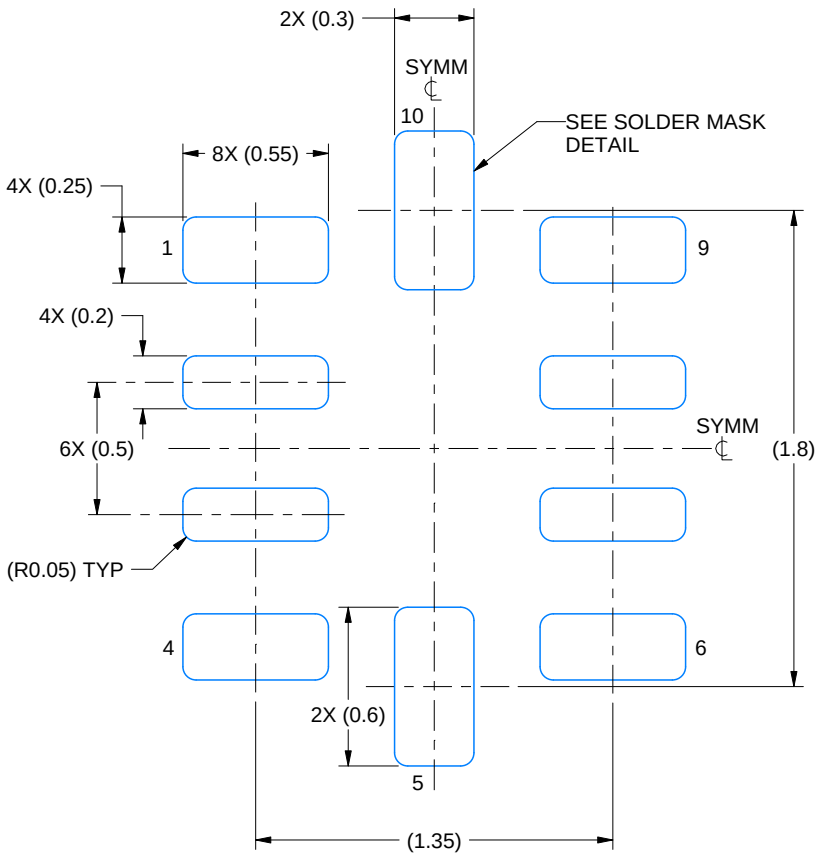
X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

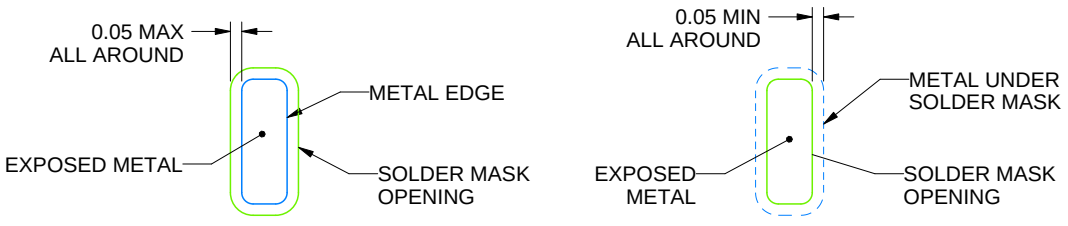


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Minimum 0.1 mm solder wetting on pin side wall. Available for wettable flank version only.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 35X



SOLDER MASK DETAILS

4231745/B 03/2026

NOTES: (continued)

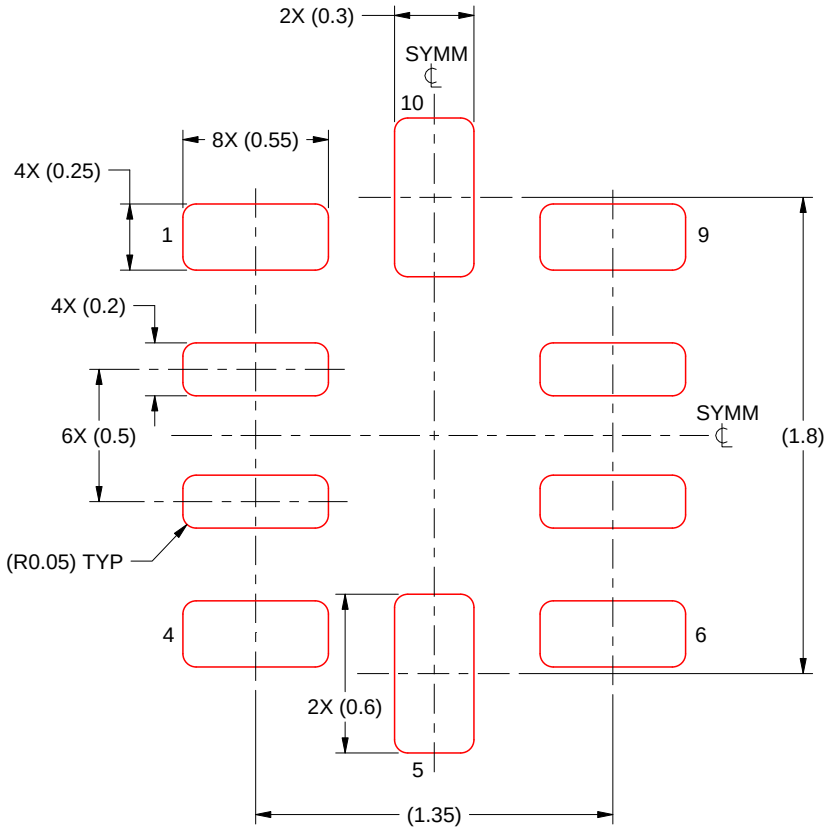
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

RUG0010A

X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 35X

4231745/B 03/2026

NOTES: (continued)

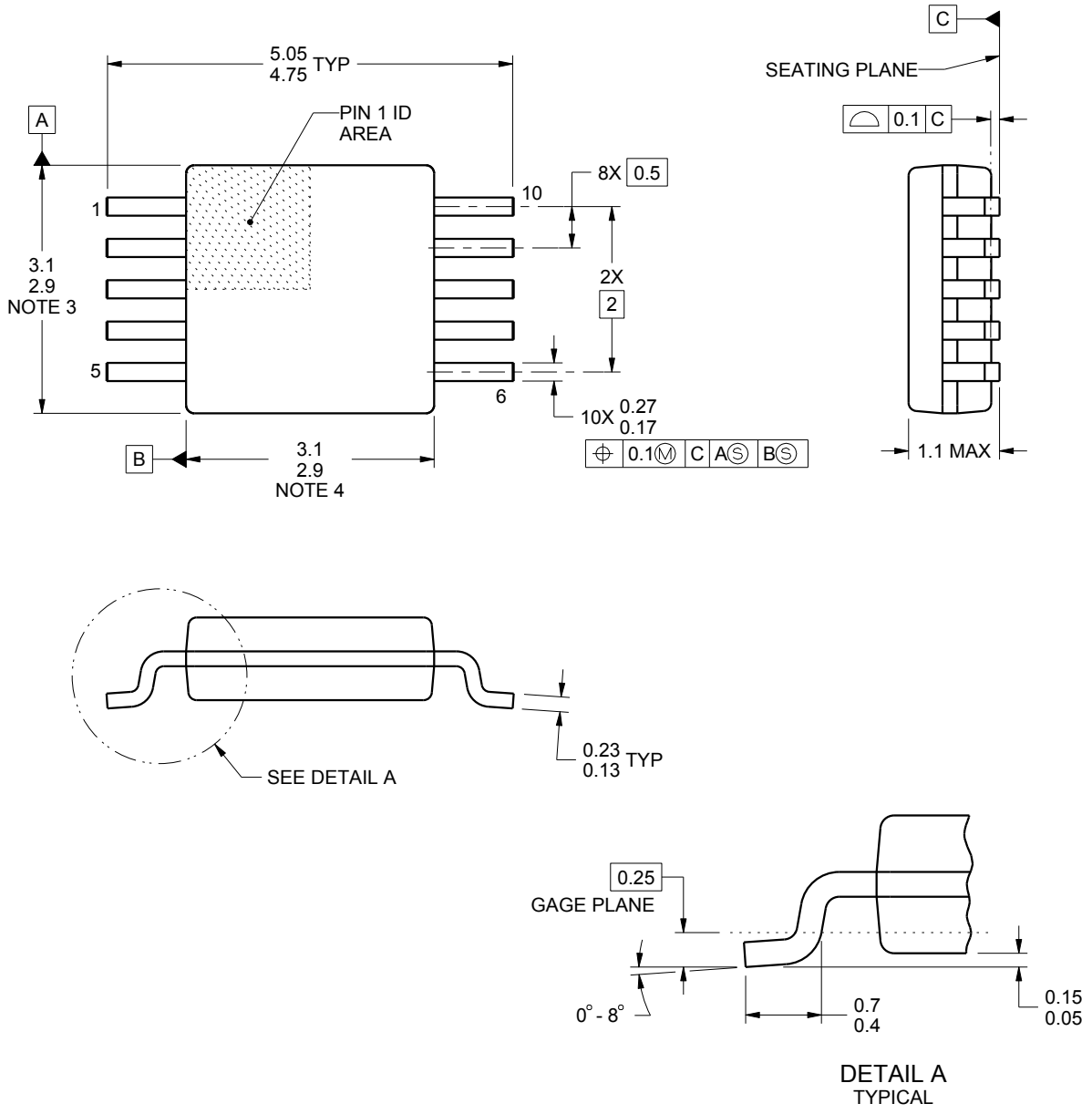
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DGS0010A

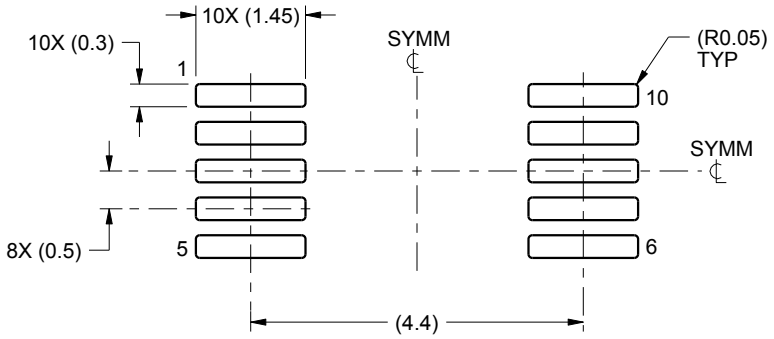
VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

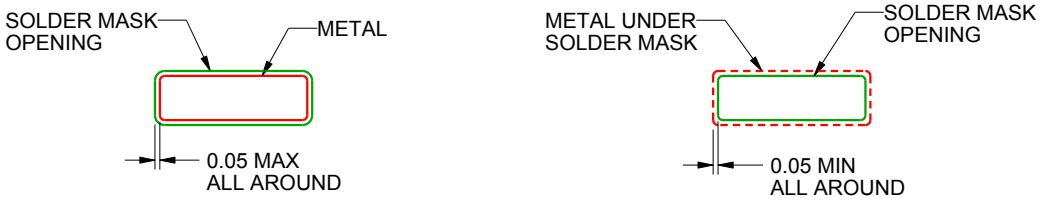


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187, variation BA.



LAND PATTERN EXAMPLE
SCALE:10X

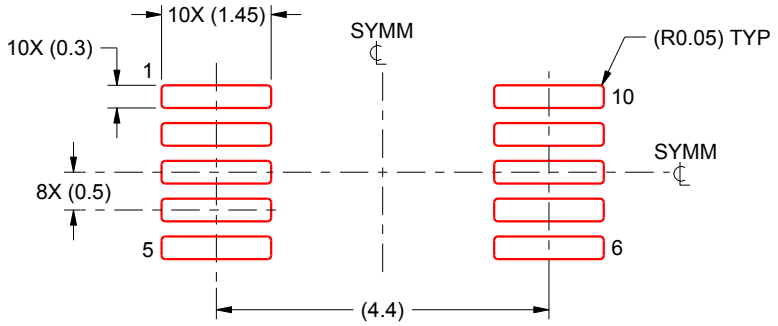


SOLDER MASK DETAILS
NOT TO SCALE

4221984/A 05/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221984/A 05/2015

NOTES: (continued)

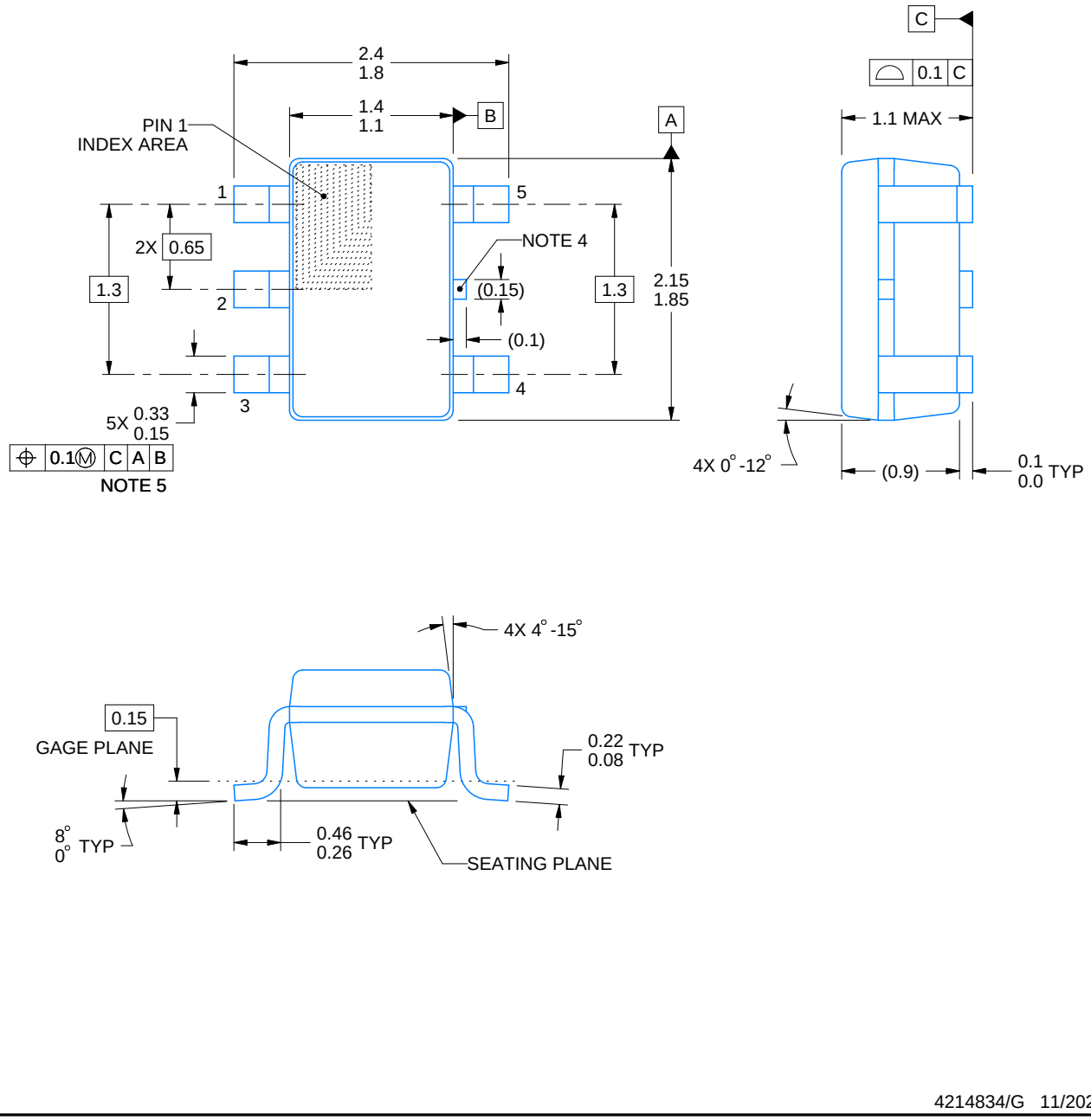
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

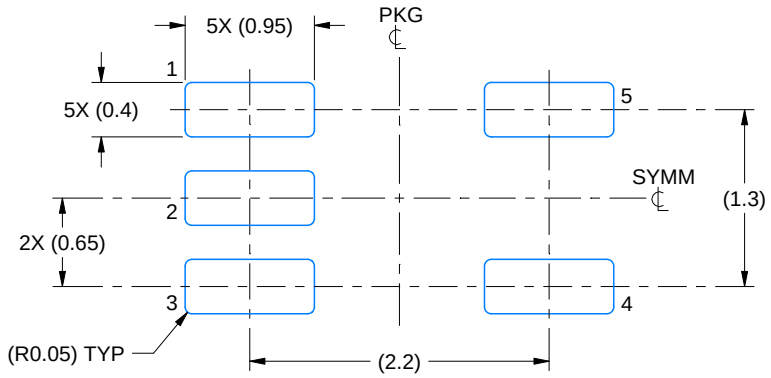
SMALL OUTLINE TRANSISTOR



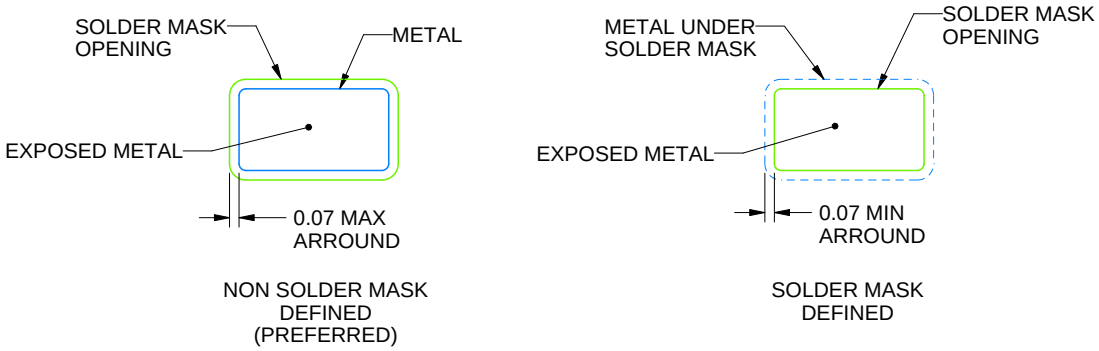
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

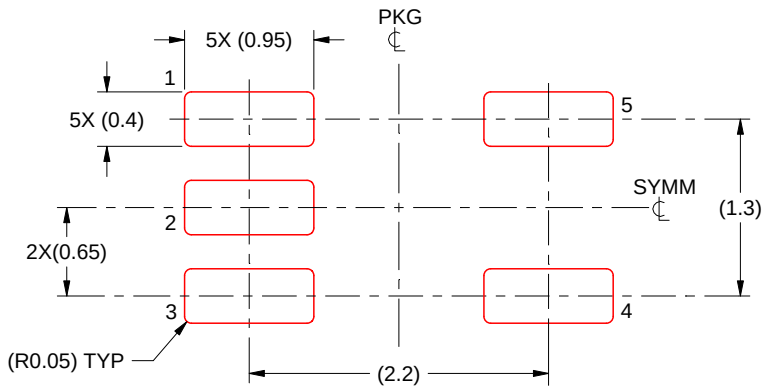


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

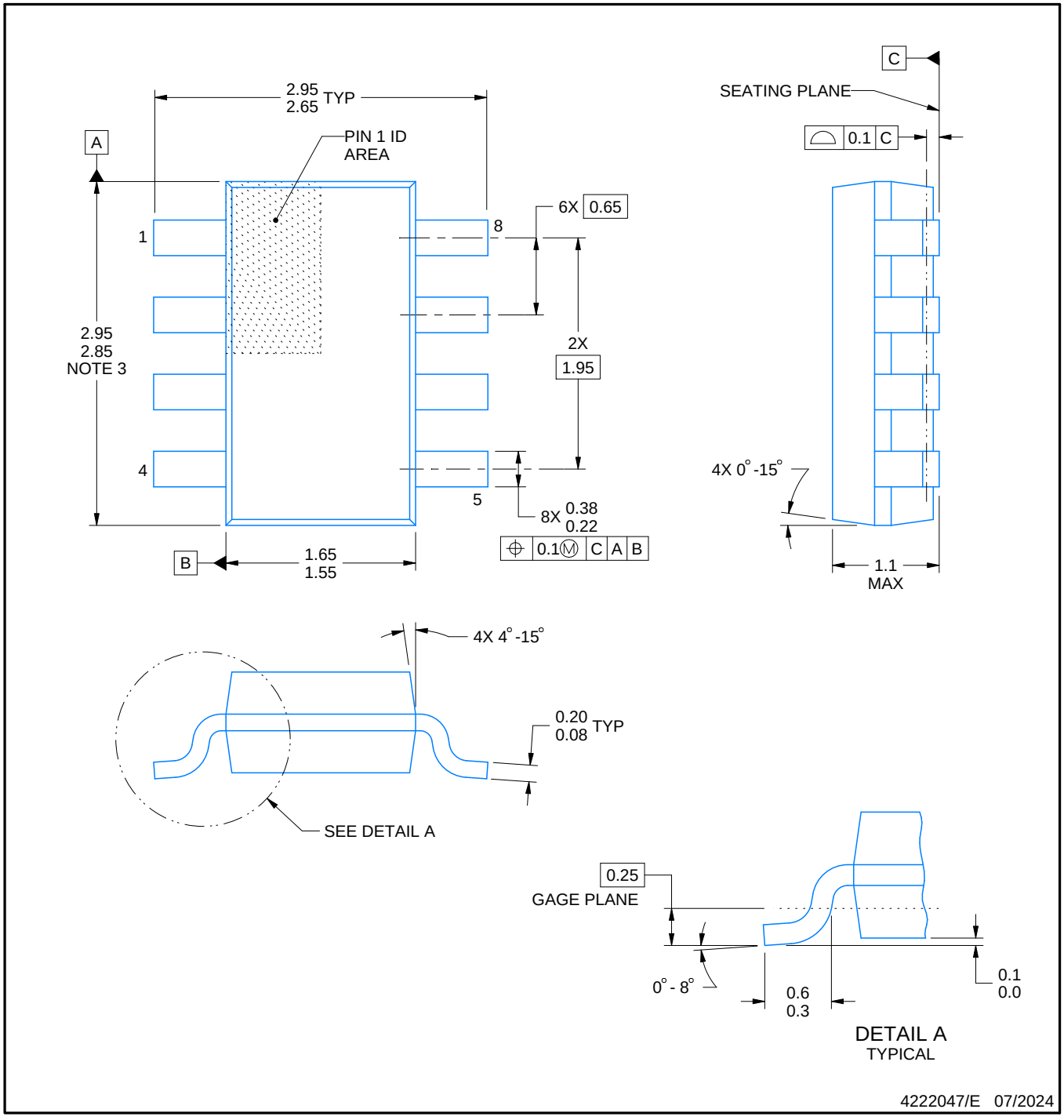
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DDF0008A

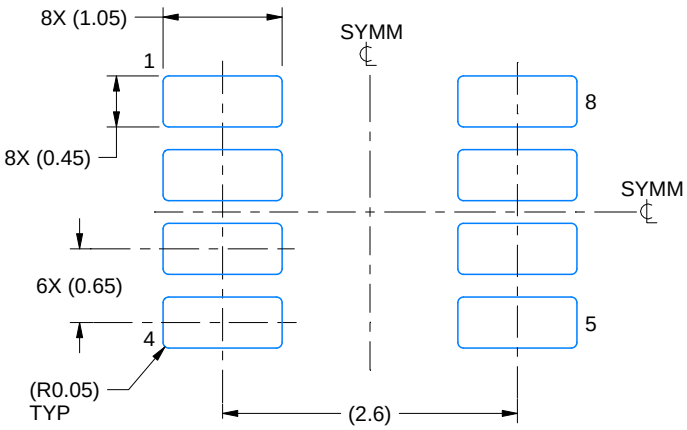
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

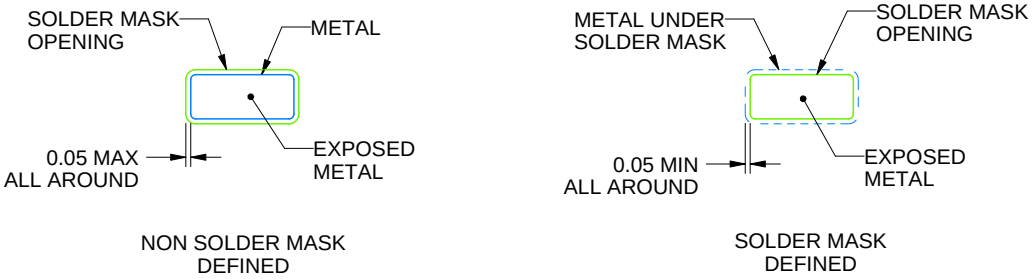


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

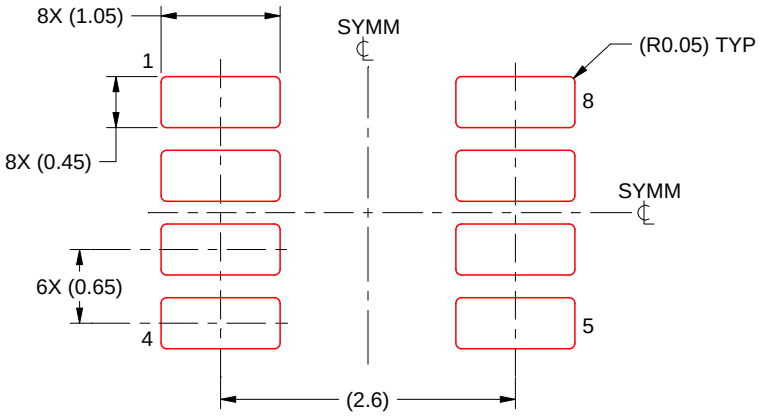
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DDF0008A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

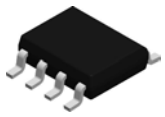


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

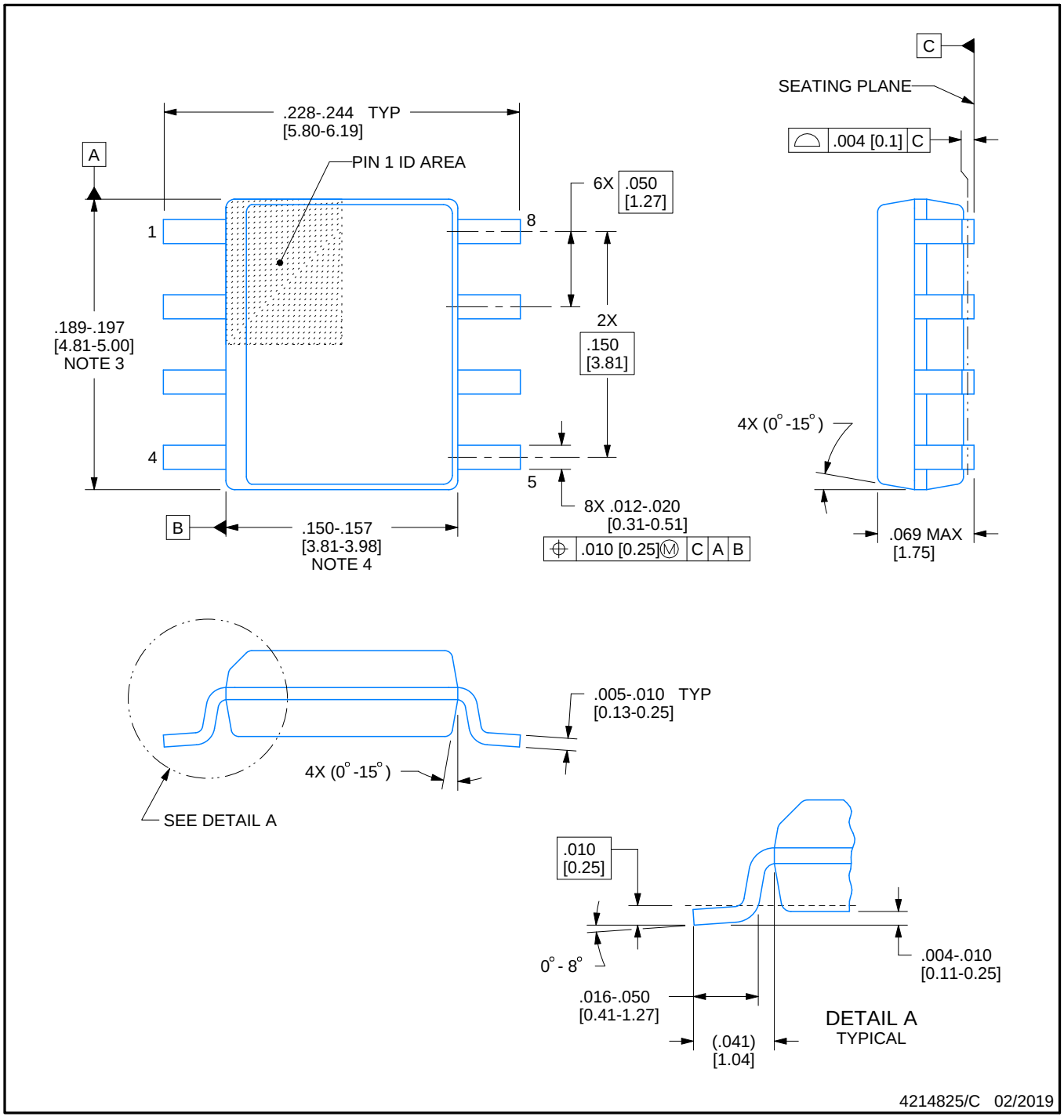


PACKAGE OUTLINE

D0008A

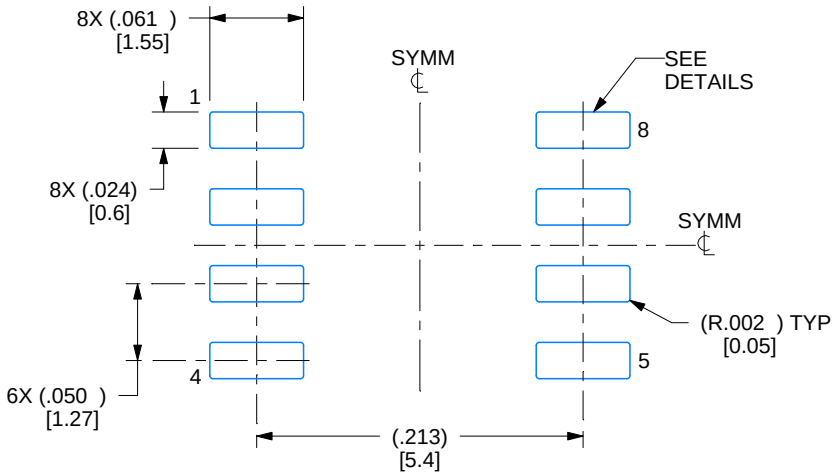
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

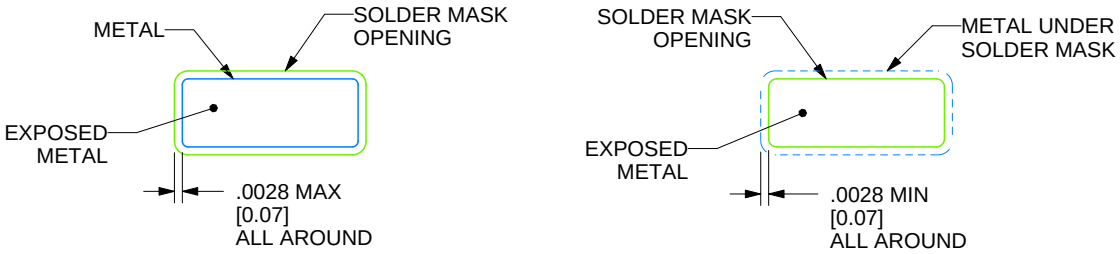


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

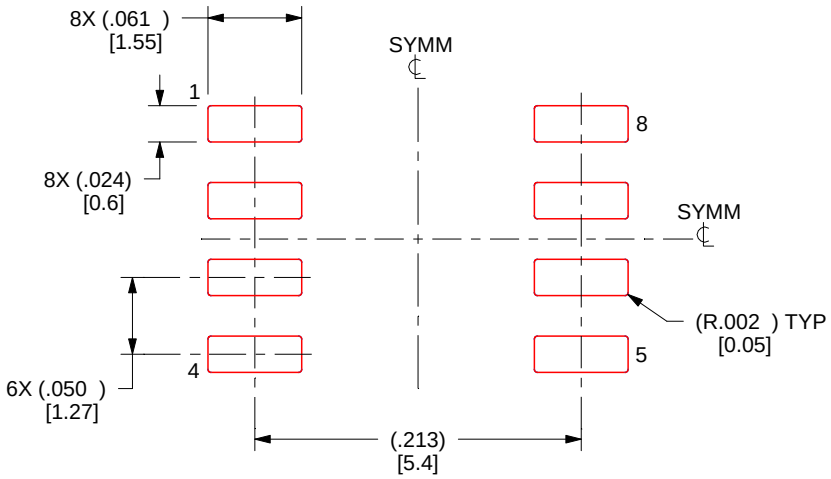
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

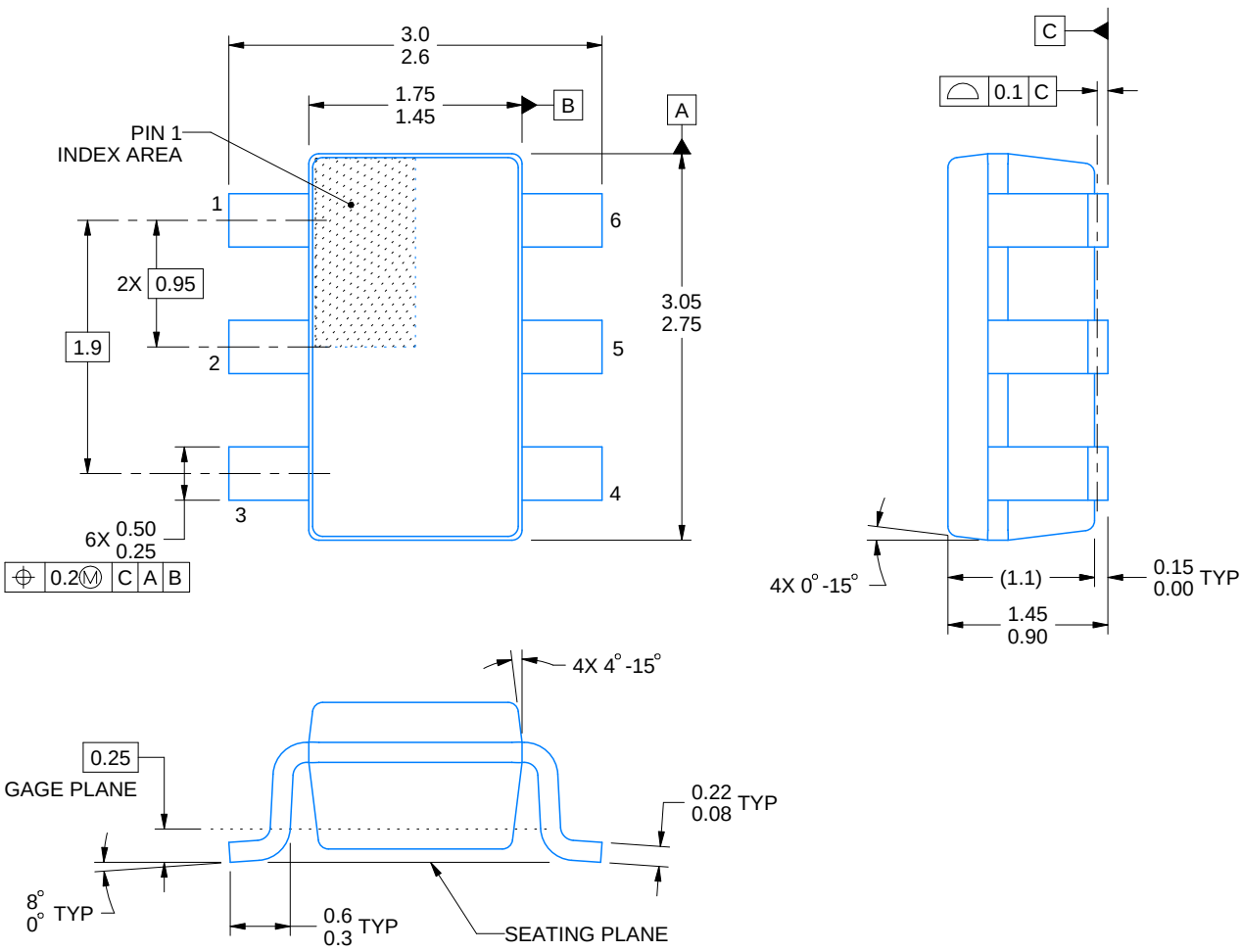
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0006A

SOT-23 - 1.45 mm max height

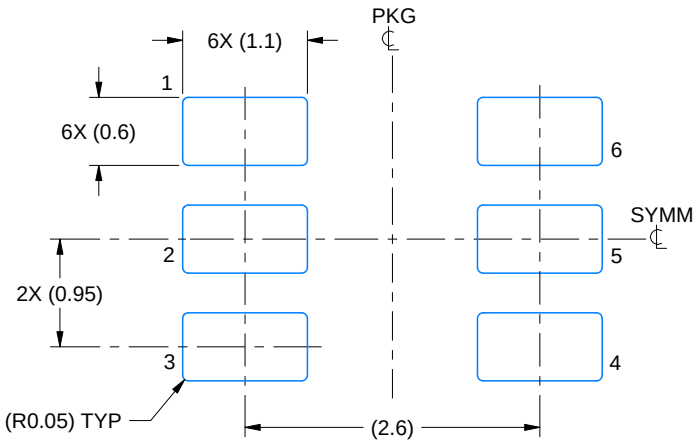
SMALL OUTLINE TRANSISTOR



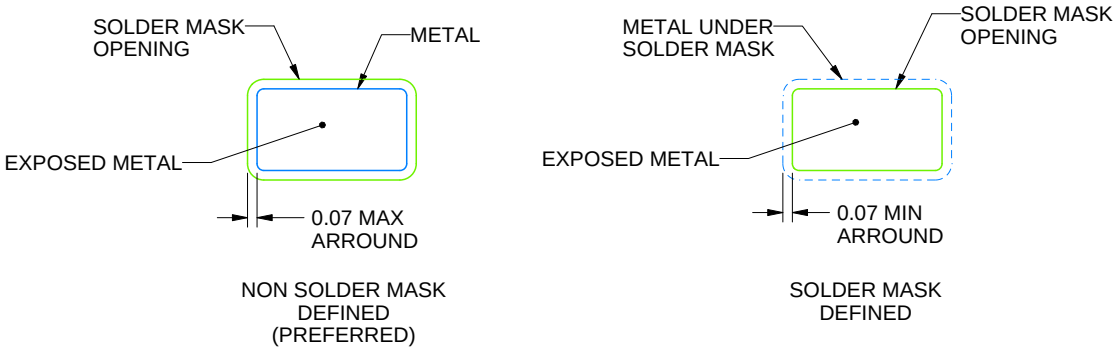
4214840/G 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Refernce JEDEC MO-178.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

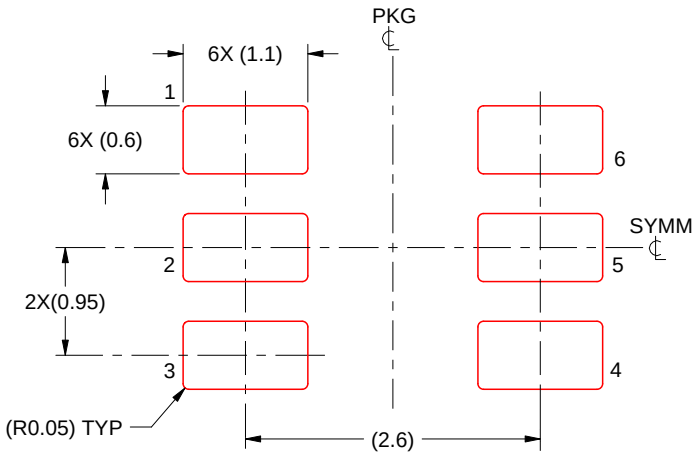


SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

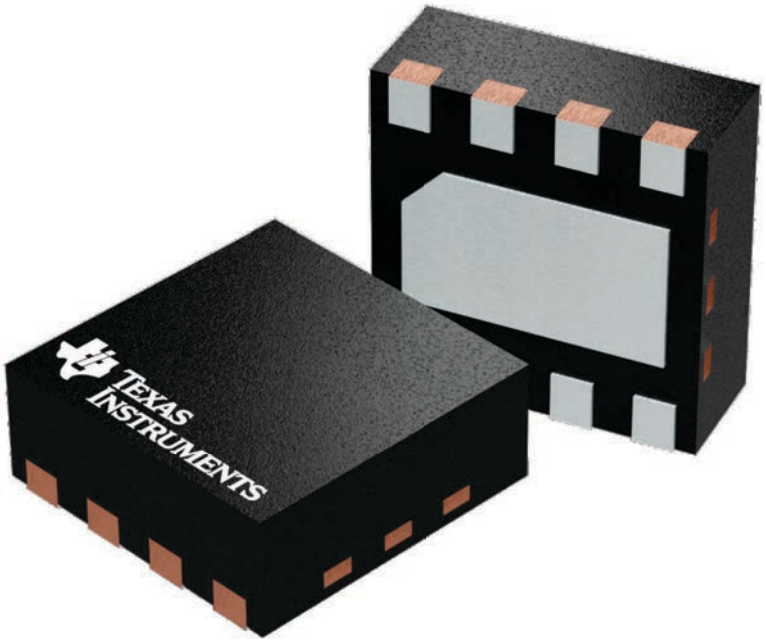
DSG 8

WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



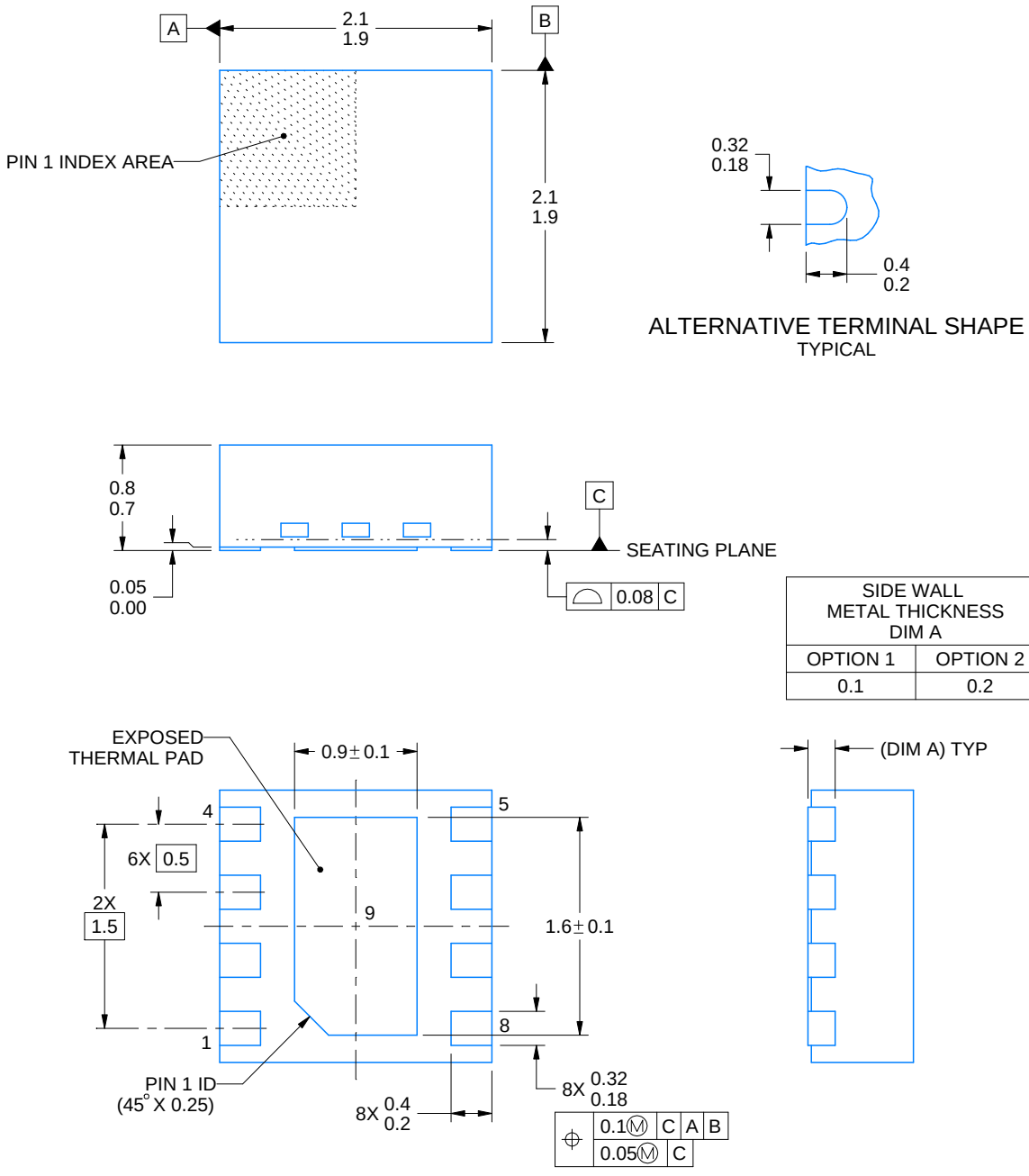
4224783/A

PACKAGE OUTLINE

DSG0008A

WSON - 0.8 mm max height

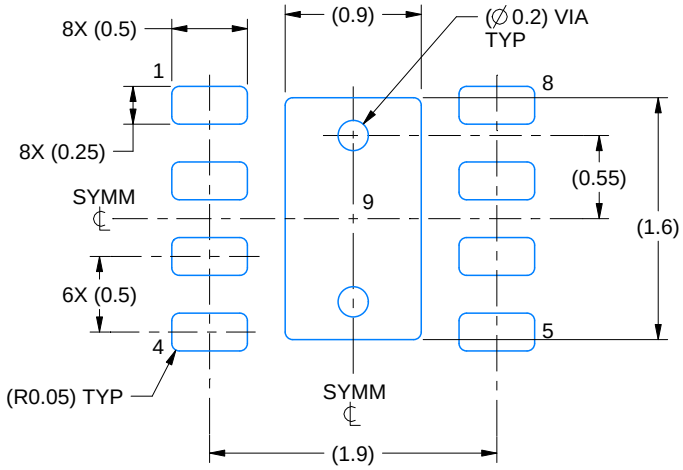
PLASTIC SMALL OUTLINE - NO LEAD



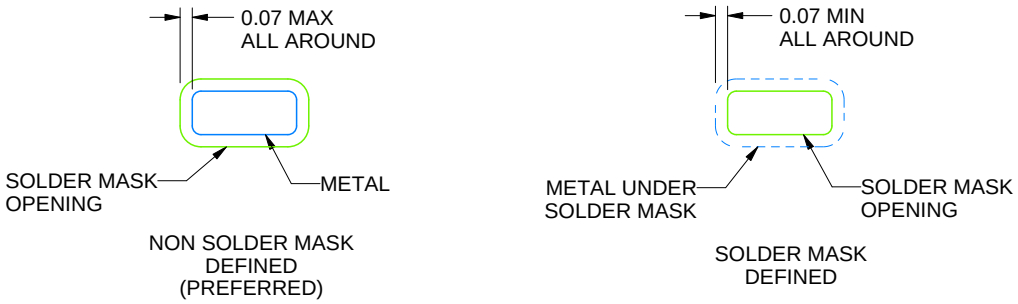
4218900/E 08/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

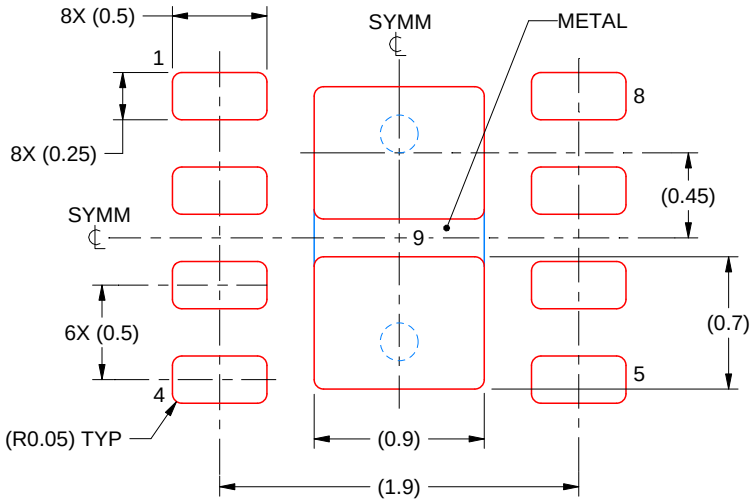


SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

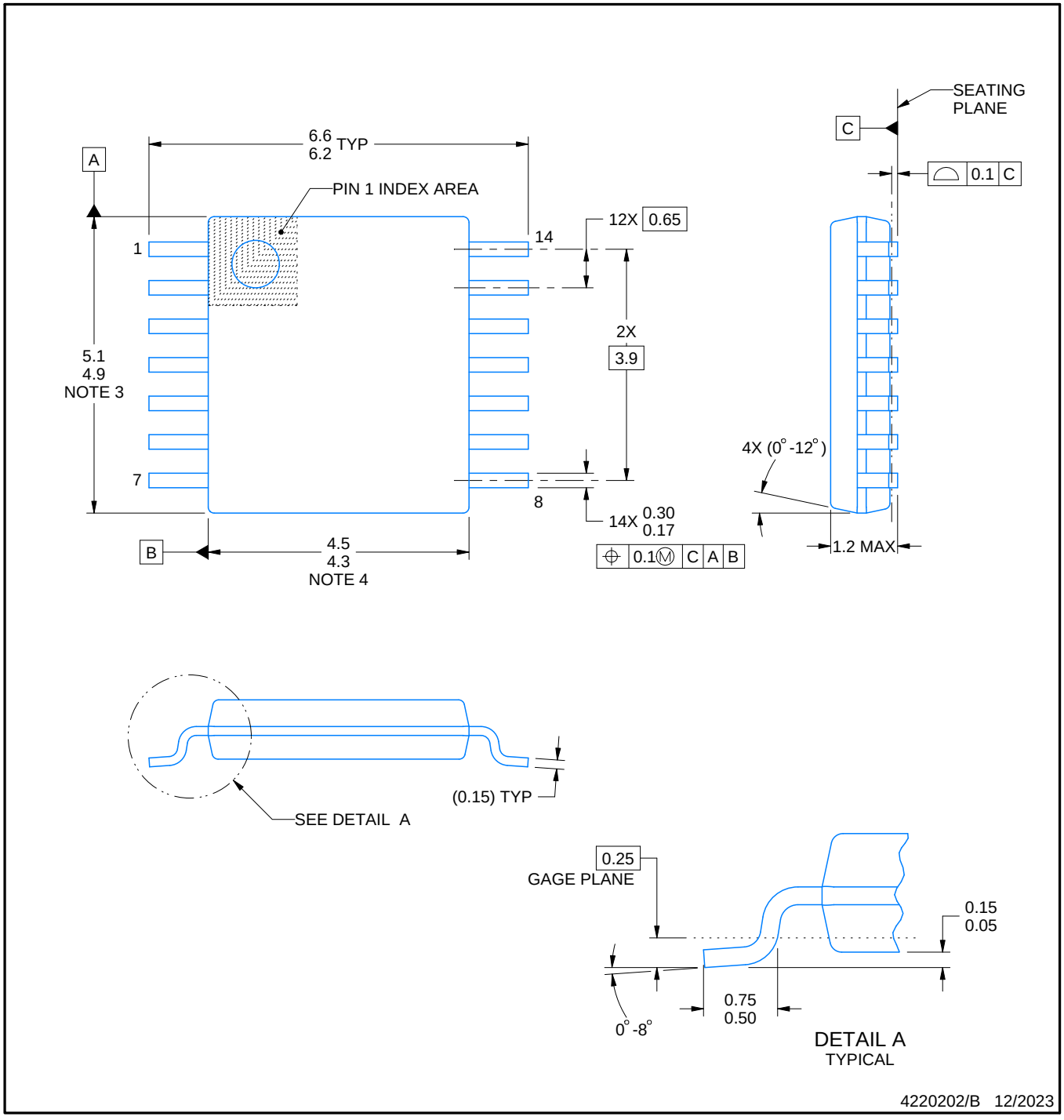
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

PW0014A

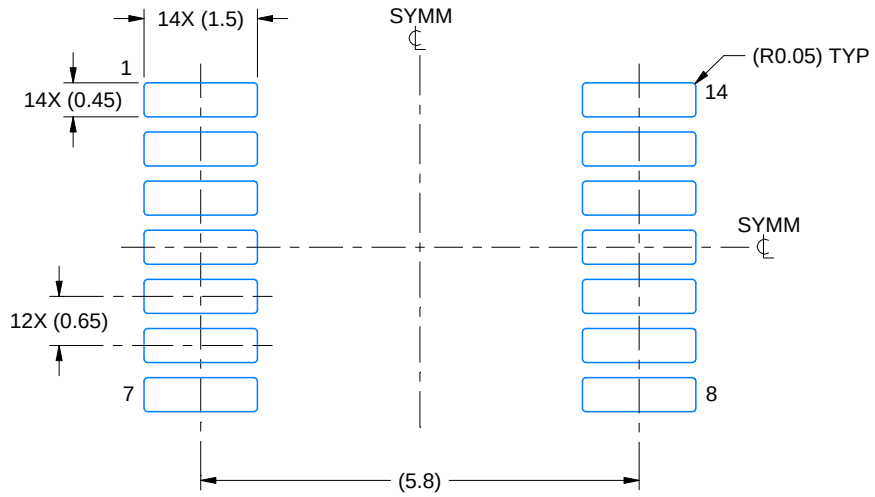
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

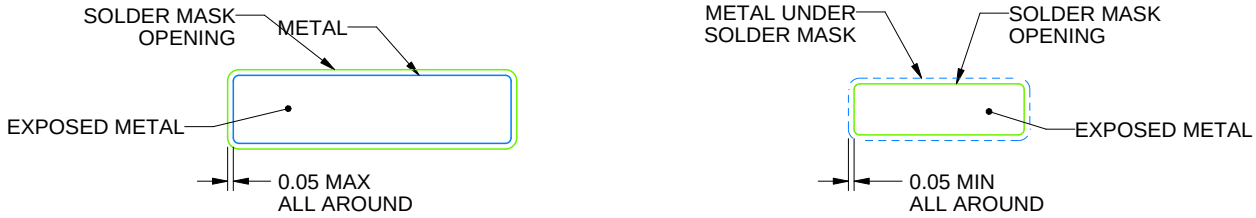


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

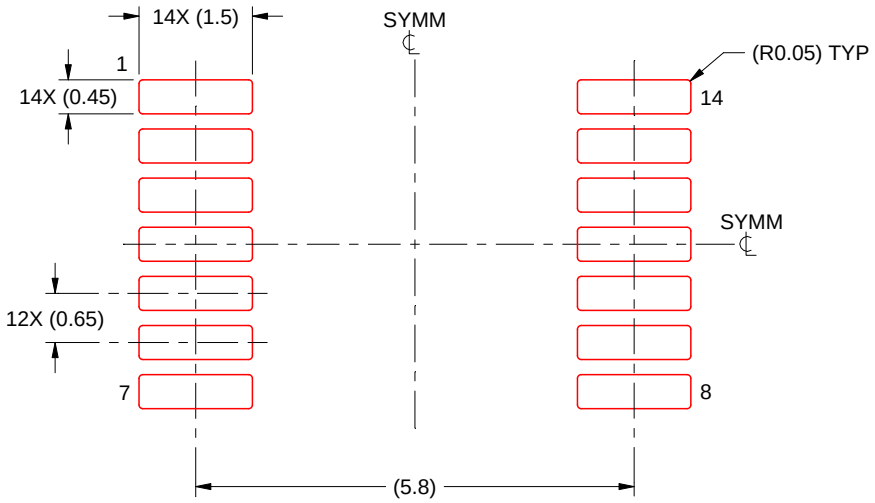


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

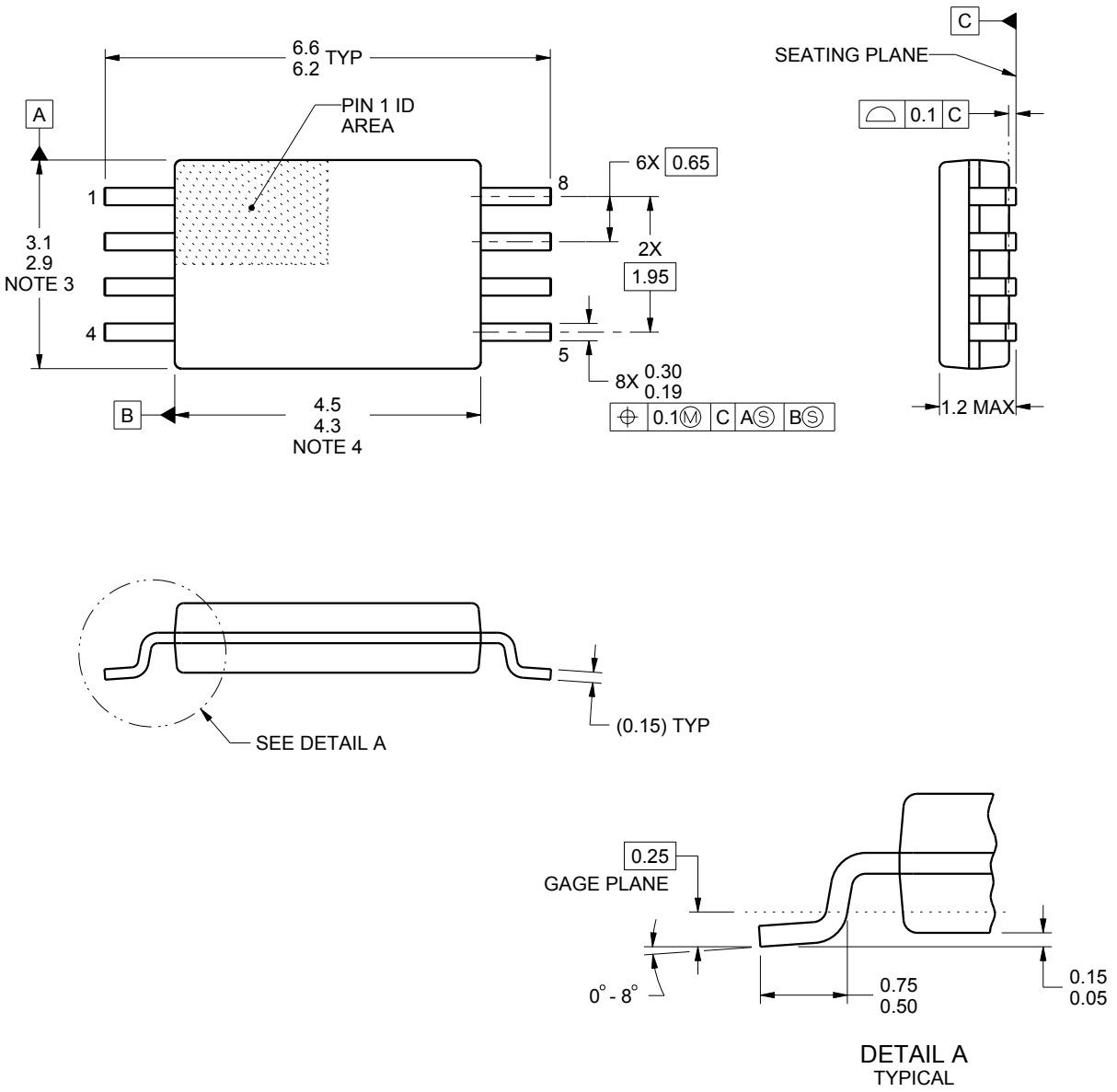
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0008A

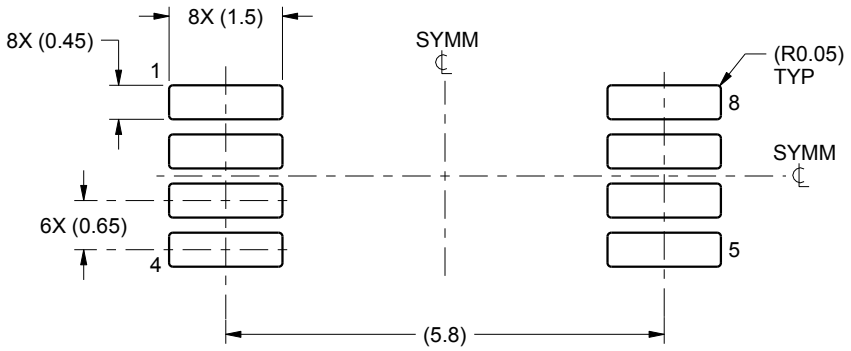
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

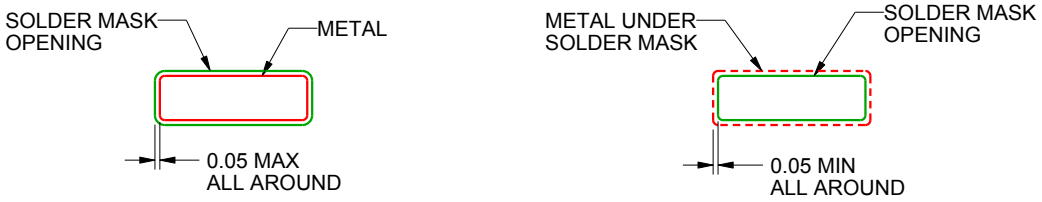


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X

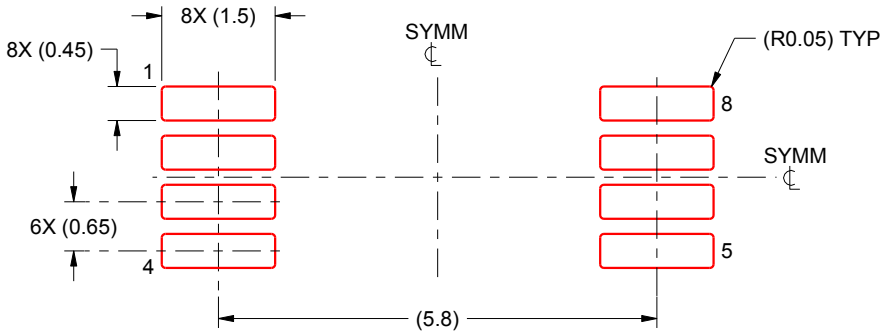


SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

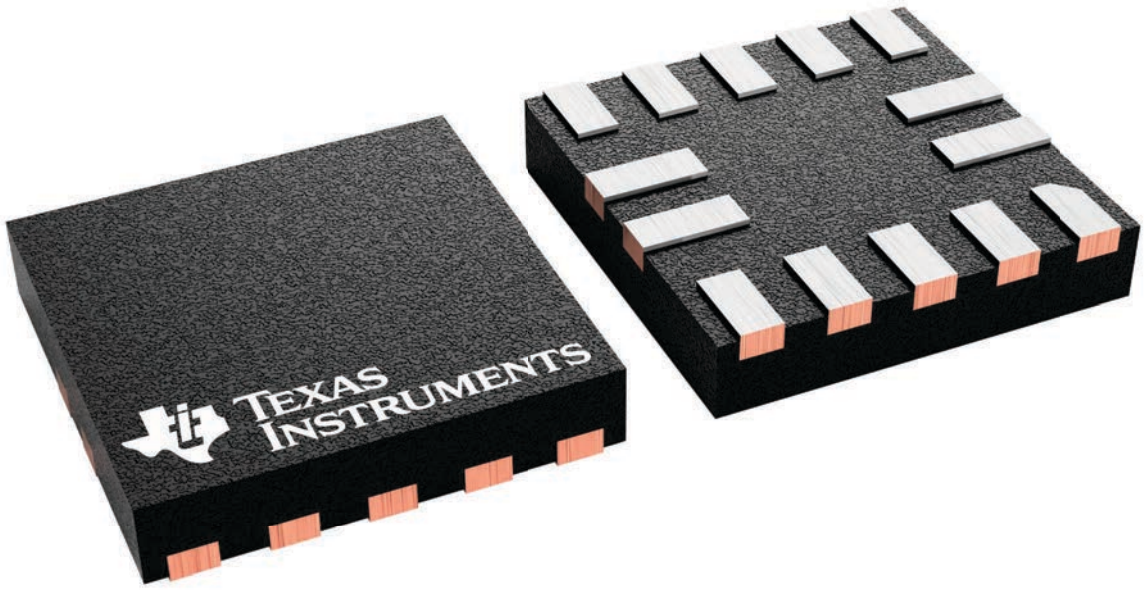
RUC 14

X2QFN - 0.4 mm max height

2 x 2, 0.4 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

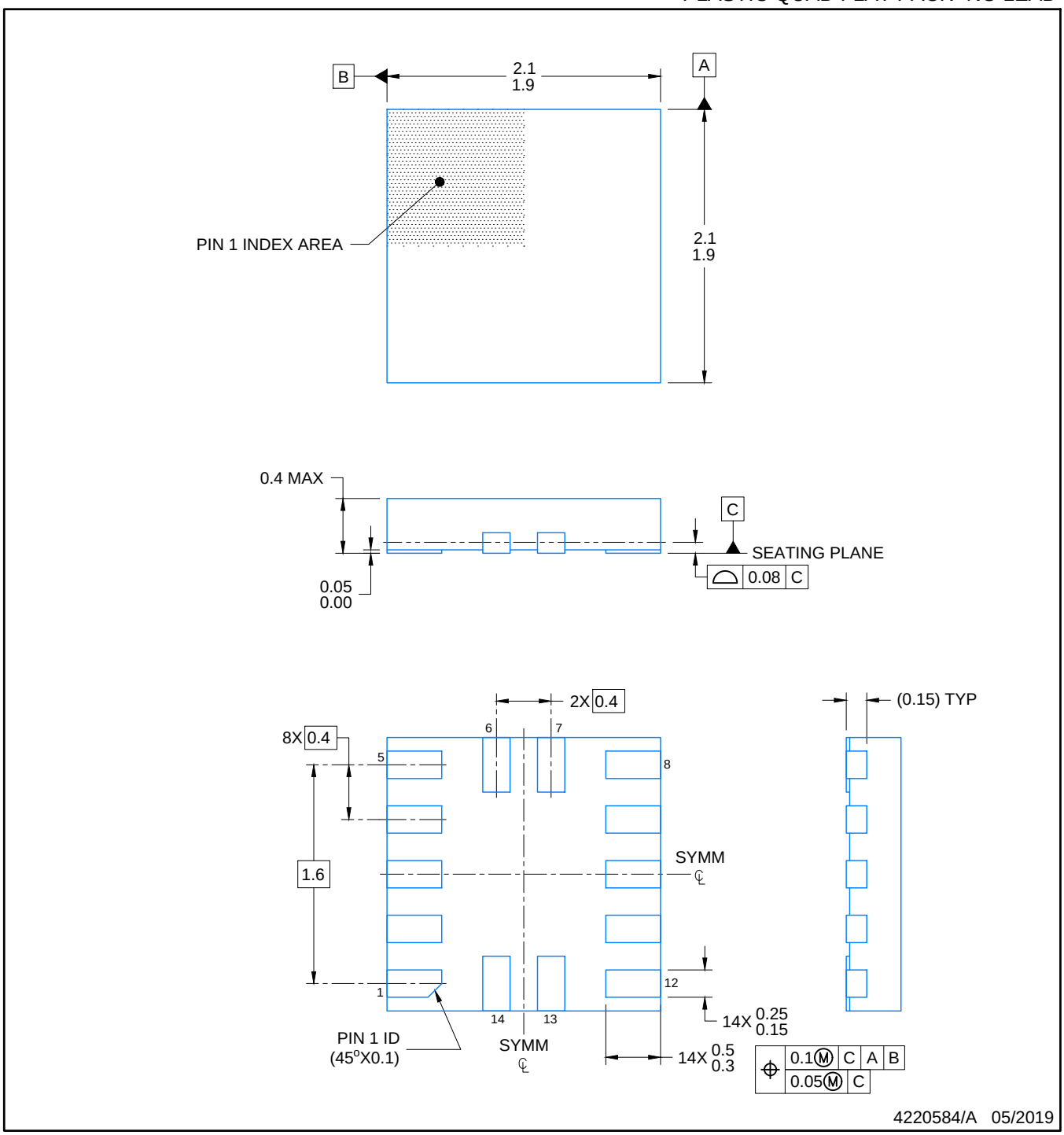


PACKAGE OUTLINE

RUC0014A

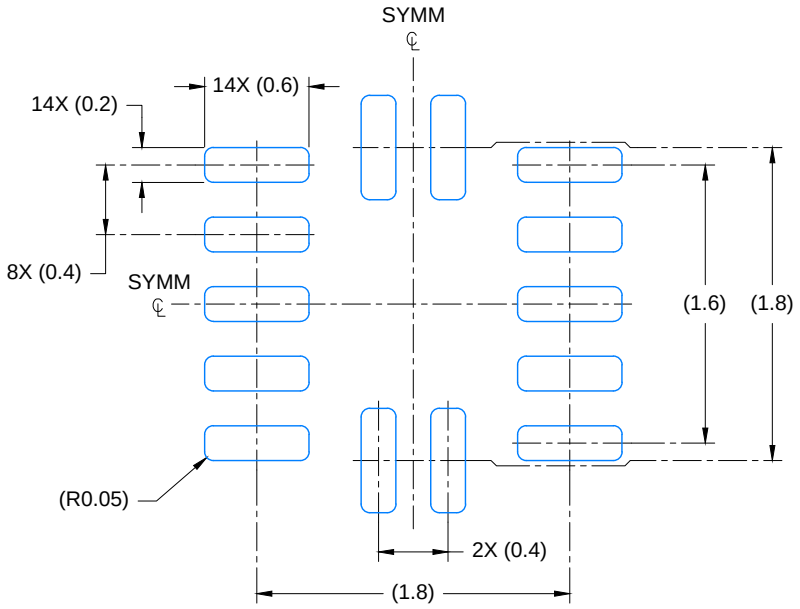
X2QFN - 0.4 mm max height

PLASTIC QUAD FLAT PACK- NO LEAD

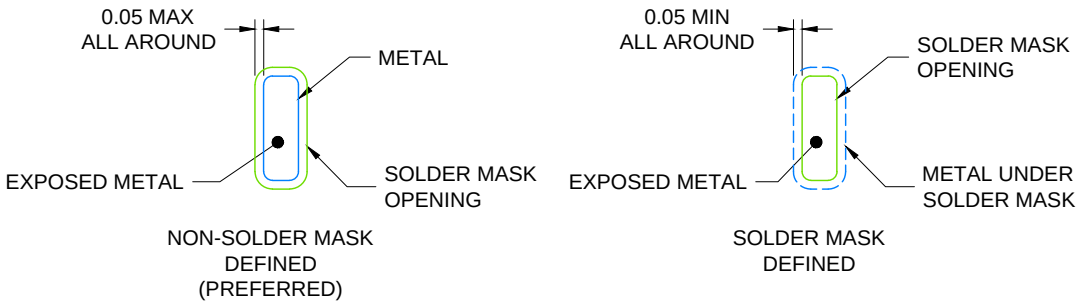


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 23X

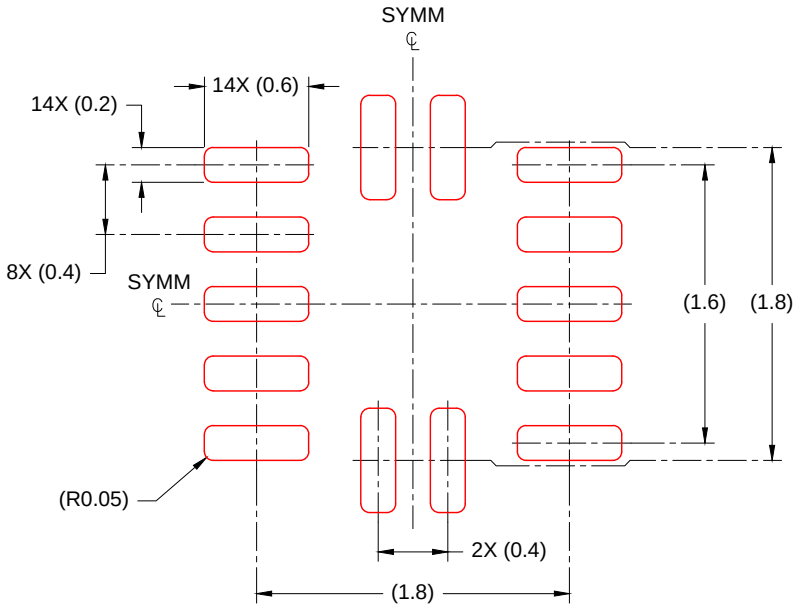


SOLDER MASK DETAILS

4220584/A 05/2019

NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.100mm THICK STENCIL
SCALE: 23X

4220584/A 05/2019

NOTES: (continued)

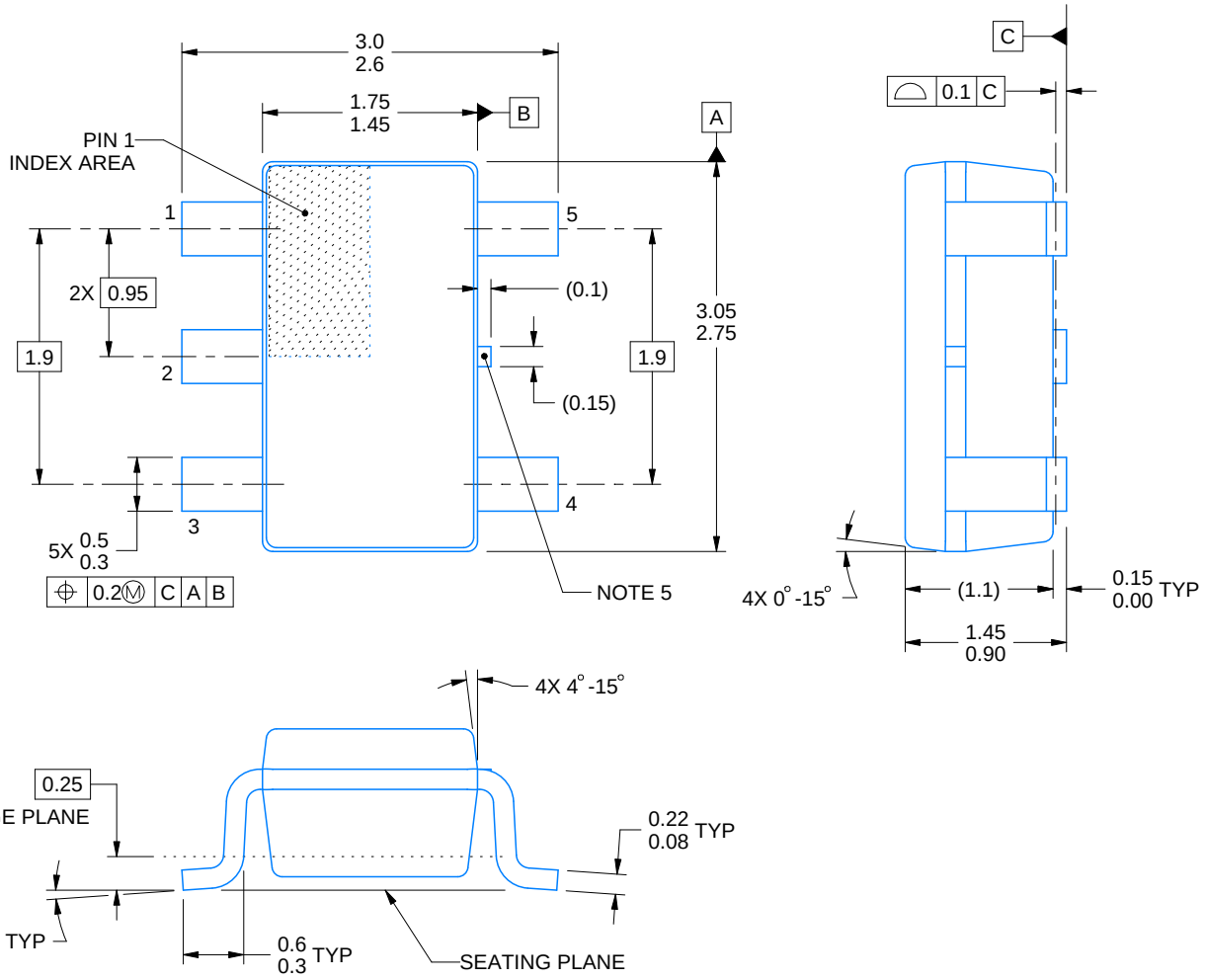
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

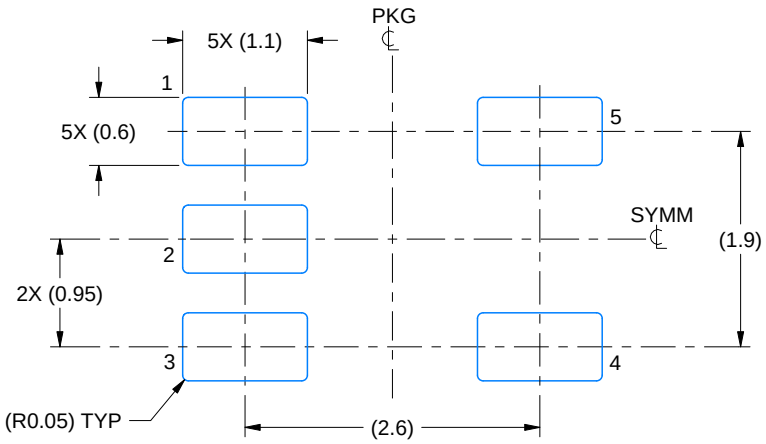
SMALL OUTLINE TRANSISTOR



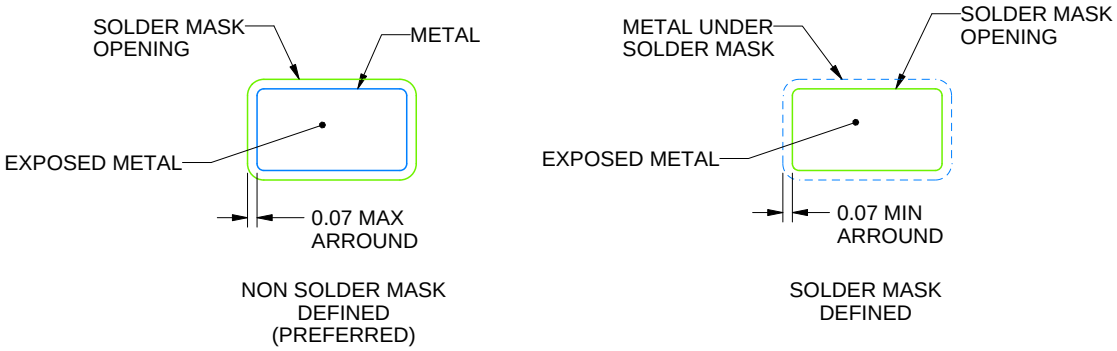
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

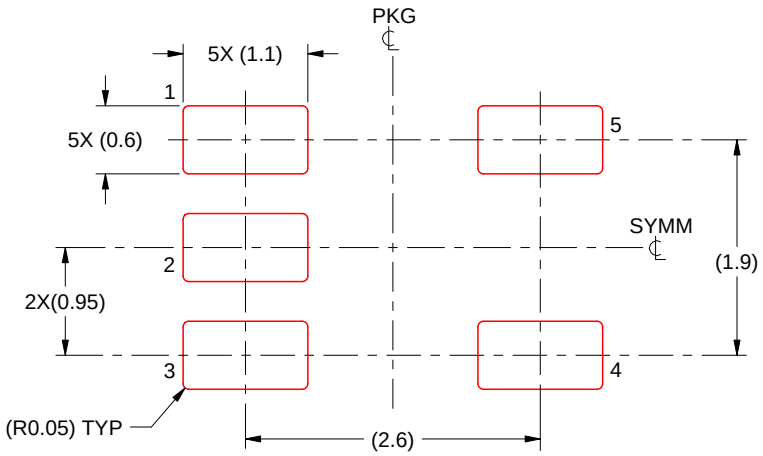


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

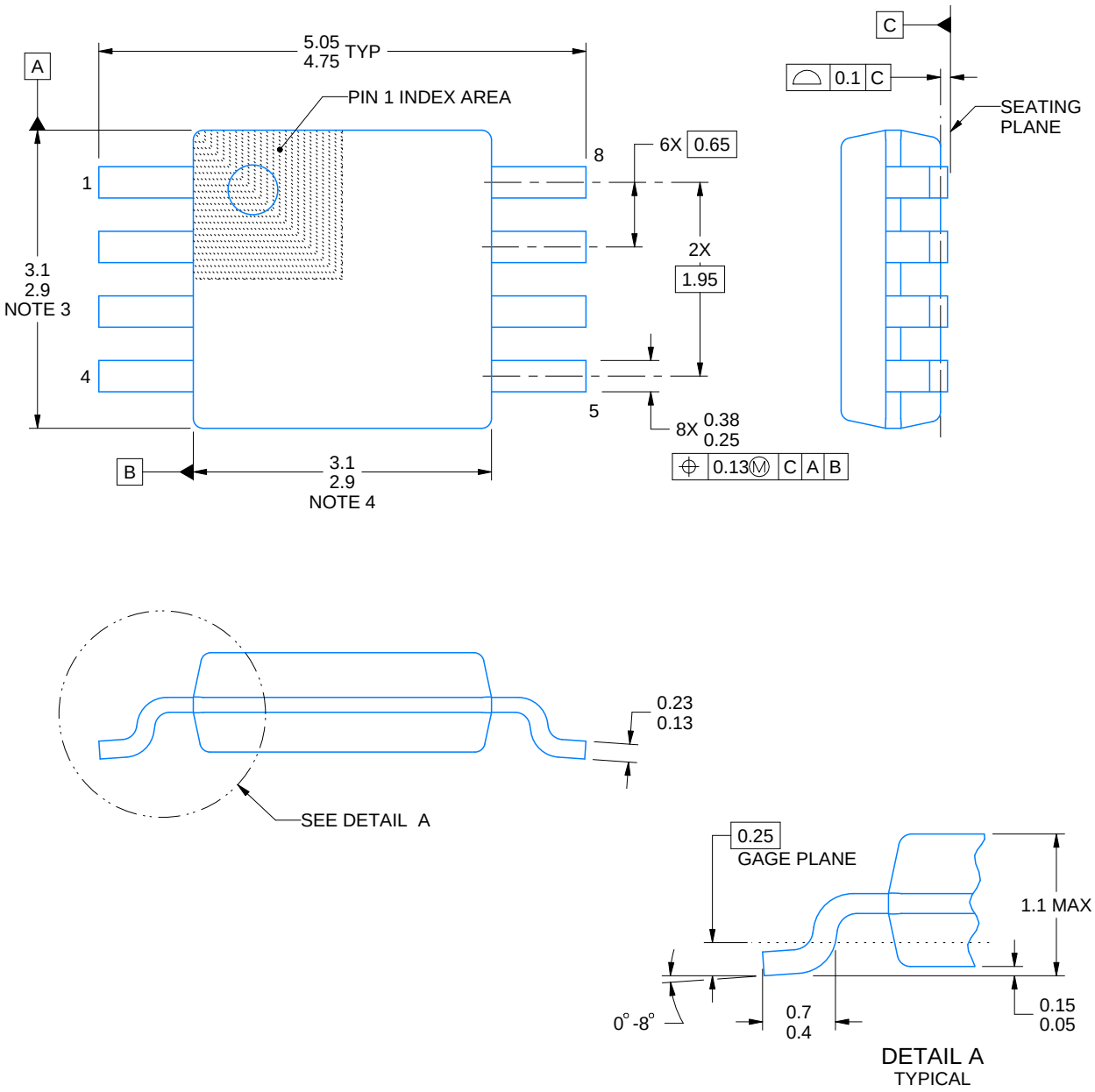
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

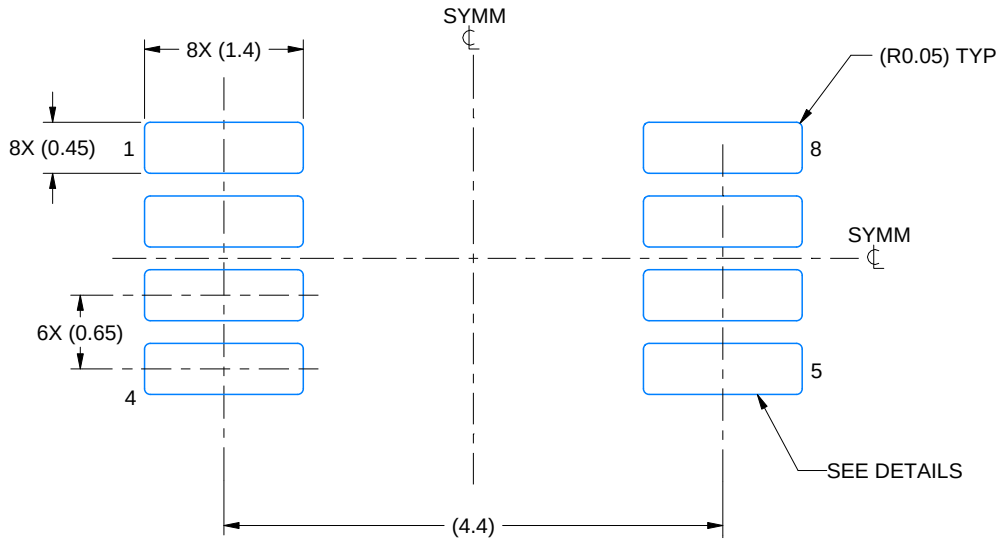
SMALL OUTLINE PACKAGE



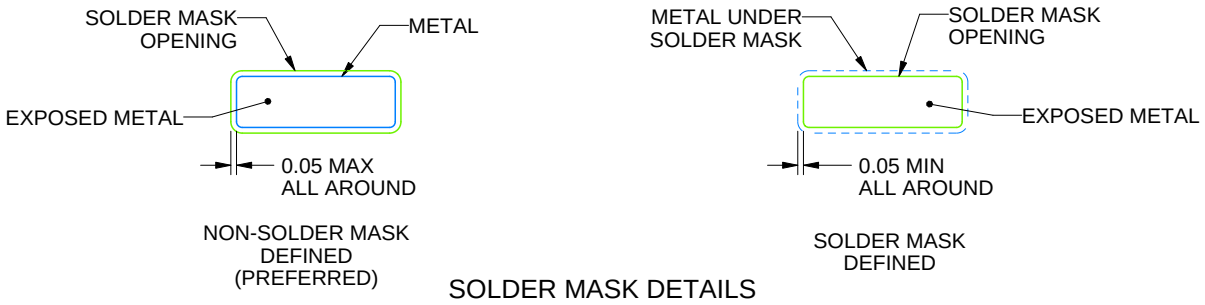
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

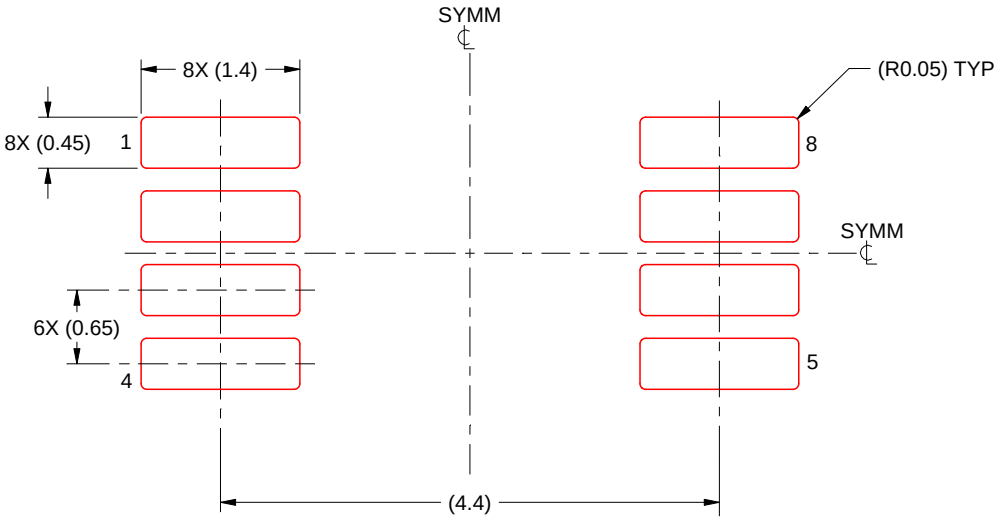


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

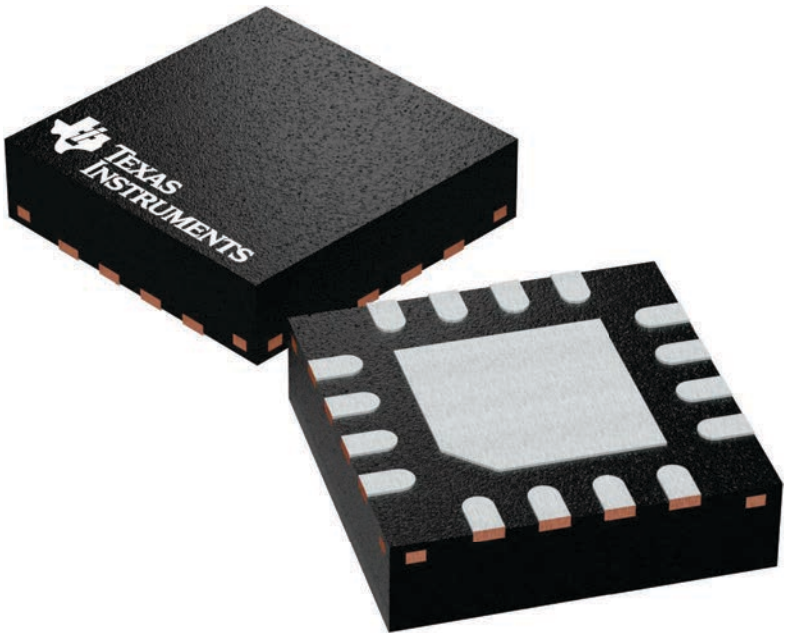
RTE 16

WQFN - 0.8 mm max height

3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

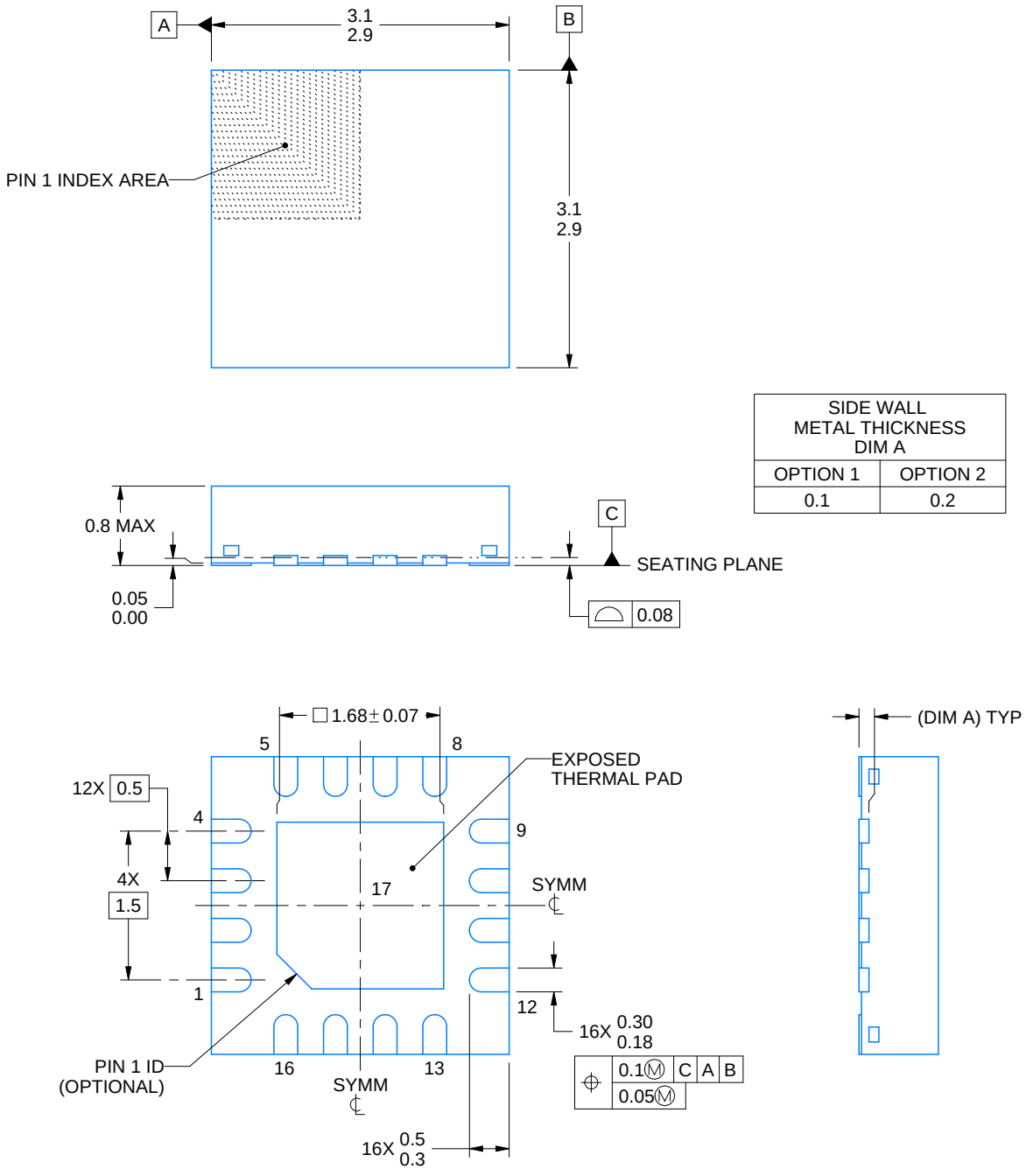


RTE0016C

PACKAGE OUTLINE

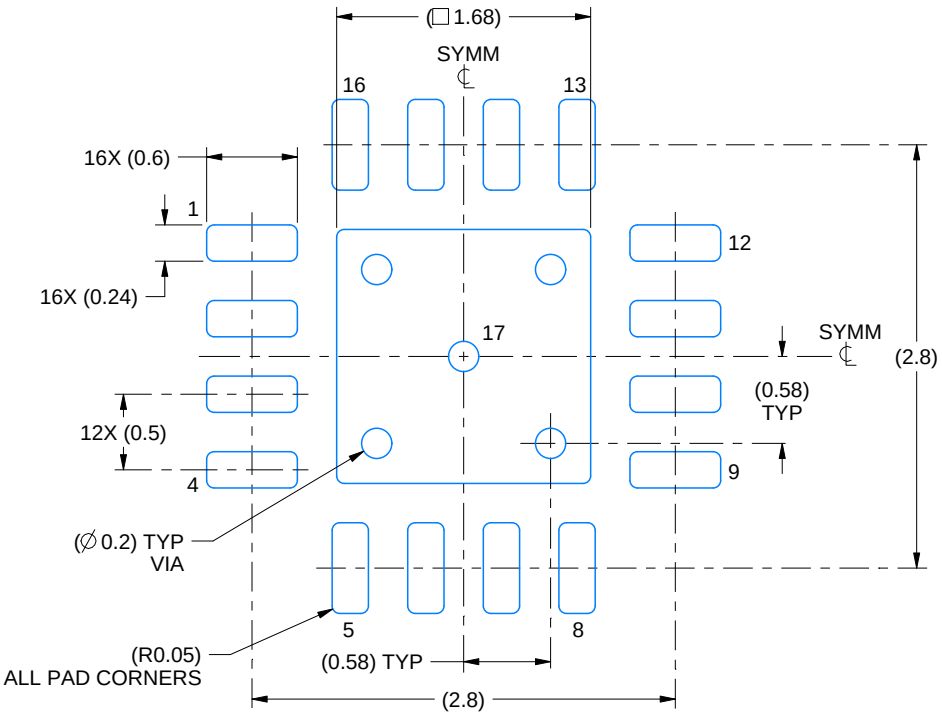
WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

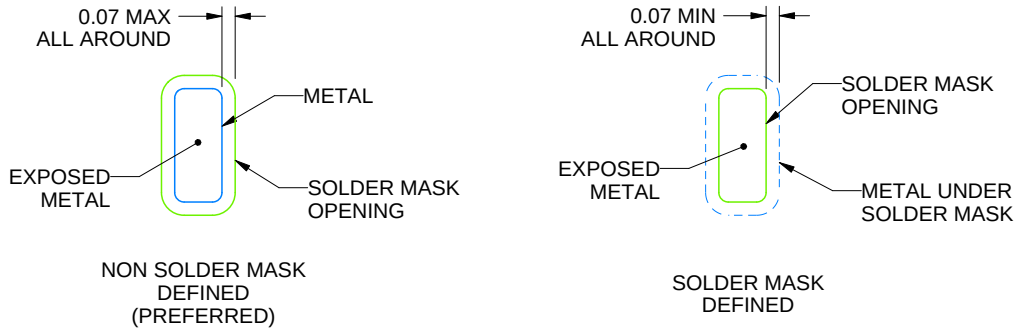


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

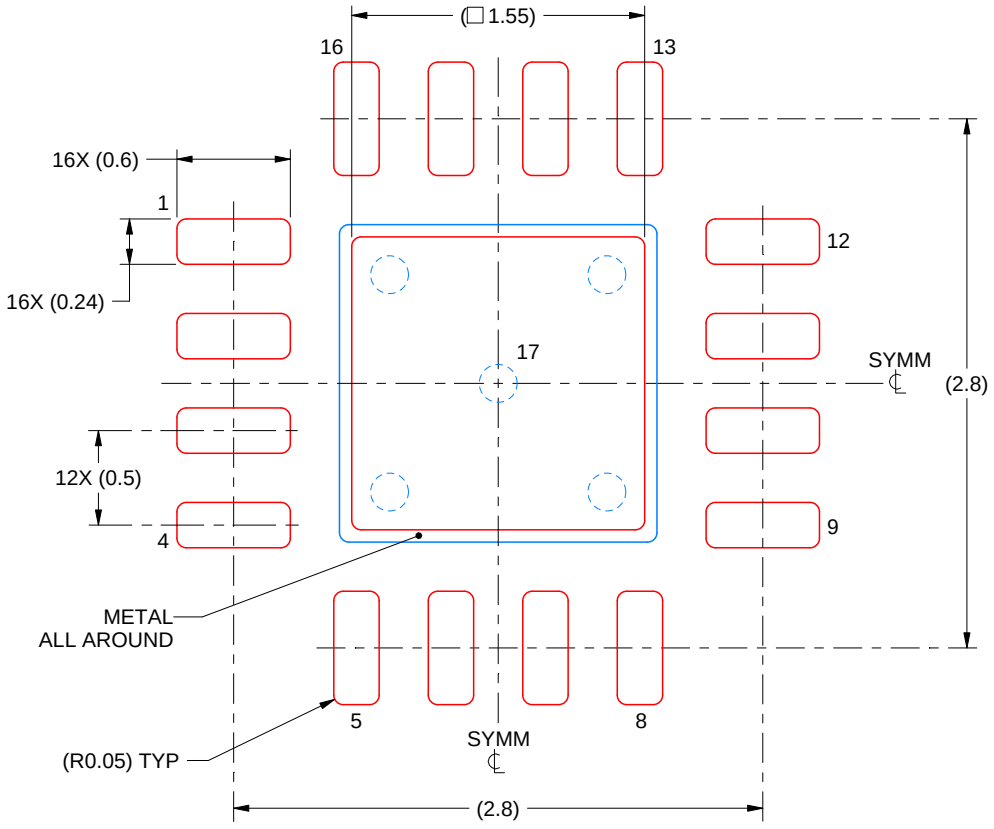


SOLDER MASK DETAILS

4219117/B 04/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4219117/B 04/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月