# OPAx991-EP 40V、レール ツー レール入出力、低オフセット電圧、低ノイズ オペアンプ、強化プラスチック封止

## 1 特長

- 改良型プラスチック パッケージ
  - 単一の制御されたベースライン
  - 単一の製造、アセンブリ、テスト施設
  - 金線
  - NiPdAu リード仕上げ
  - 軍用温度範囲 (–55℃～125℃) を供給可能
  - 長期にわたる製品ライフ サイクル
  - 製品変更通知期間の延長
  - 製品のトレーサビリティ
  - モールド コンパウンドの改良による低いガス放出
- 入力オフセット電圧:±125μV
- 低ノイズ:1kHz で標準値 10.8nV/√Hz
- 高い同相除去:130dB
- 低バイアス電流:±10pA
- レール ツー レール入出力
- 広い帯域幅:4.5MHz GBW
- 高ピーク スルーレート:21V/μs
- 高い容量性負荷ドライブ:1nF
- MUX 対応入力
- 低い静止電流:アンプ 1 個あたり 560μA
- 広い電源電圧範囲:±1.35V ～ ±20V または 2.7V ～ 40V
- 堅牢な EMIRR 性能:入力ピンと電源ピンに EMI/RFI フィルタを搭載

## 2 アプリケーション

- 陸上移動無線
- ソナー
- 低消費電力オーディオ プリアンプ
- 多重化データ アクイジション システム
- 試験および計測機器
- ADC ドライバ アンプ
- SAR ADC リファレンス バッファ
- プログラマブル ロジック コントローラ
- ハイサイドおよびローサイド電流検出

## 3 説明

OPAx991-EP は高電圧 (40V) 汎用オペアンプであり、強化プラスチック パッケージで供給されます。これらのデバイスは、レール ツー レール入出力、低いオフセット (±125μV、標準値)、低いオフセット ドリフト (±0.3μV/℃、標準値)、低ノイズ (10.8nV/√Hz、1.8$\mu V_{PP}$)、4.5MHz の帯域幅など、非常に優れた DC 精度と AC 性能を備えています。

電源レールまでの差動および同相入力電圧範囲、大出力電流 (±75mA)、高ピーク スルーレート (21V/μs)、高い容量性負荷ドライブ (1nF) などの独自の機能により、OPAx991-EP は高電圧アプリケーション向けの堅牢な高性能オペアンプとなっています。

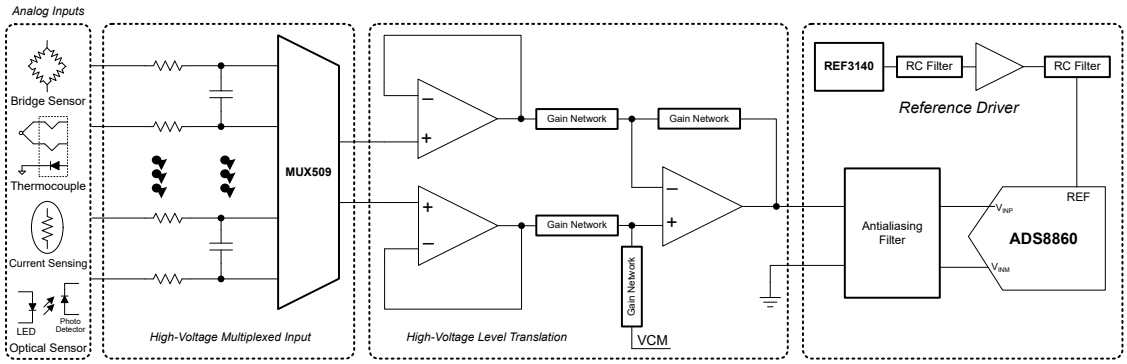
OPA4991-EP は 14 ピンの SOT-23 (DYY) パッケージ、OPA991-EP は 5 ピンの SOT-23 (DBV) パッケージで供給され、どちらも –55°C ～ 125°C で仕様が規定されています。

**パッケージ情報**

| 部品番号 | パッケージ (1) | パッケージ サイズ(2) |
|---|---|---|
| OPA991-EP(3) | DBV (SOT-23、5) | 2.90mm × 2.80mm |
| OPA4991-EP | DYY (SOT-23、14) | 4.20mm × 1.90mm |

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。
(3) このパッケージはプレビューのみです。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。




**高電圧シグナル チェーンにおける OPAx991-EP**


Copyright © 2026 Texas Instruments Incorporated

# 目次

**1 特長** ... 1
**2 アプリケーション** ... 1
**3 説明** ... 1
**4 ピン構成および機能** ... 4
**5 仕様** ... 6
5.1 絶対最大定格 ... 6
5.2 ESD 定格 ... 6
5.3 推奨動作条件 ... 6
5.4 熱に関する情報 ... 6
5.5 電気的特性 ... 7
5.6 代表的特性 ... 9
**6 詳細説明** ... 16
6.1 概要 ... 16
6.2 機能ブロック図 ... 16
6.3 機能説明 ... 17
6.4 デバイスの機能モード ... 25
**7 アプリケーションと実装** ... 26
7.1 使用上の注意 ... 26
7.2 代表的なアプリケーション ... 28
7.3 電源に関する推奨事項 ... 30
7.4 レイアウト ... 30
**8 デバイスおよびドキュメントのサポート** ... 32
8.1 デバイス サポート ... 32
8.2 ドキュメントのサポート ... 32
8.3 ドキュメントの更新通知を受け取る方法 ... 32
8.4 サポート・リソース ... 32
8.5 商標 ... 32
8.6 静電気放電に関する注意事項 ... 33
8.7 用語集 ... 33
**9 改訂履歴** ... 33
**10 メカニカル、パッケージ、および注文情報** ... 34

# 4 ピン構成および機能

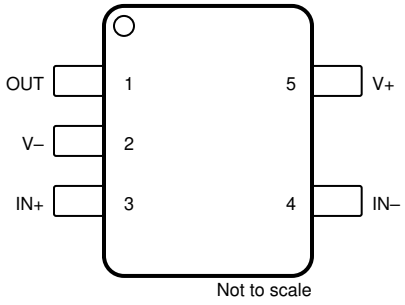



**図 4-1. OPA991-EP DBV パッケージ**
**5 ピン SOT-23**
**(上面図)**

**表 4-1. ピン機能：OPA991-EP**

| ピン | | I/O | 説明 |
|---|---|---|---|
| 名称 | 番号 | | |
| IN+ | 3 | I | 非反転入力 |
| IN- | 4 | I | 反転入力 |
| OUT | 1 | O | 出力 |
| V+ | 5 | — | 正 (最高) 電源 |
| V- | 2 | — | 負 (最低) 電源 |


Copyright © 2026 Texas Instruments Incorporated

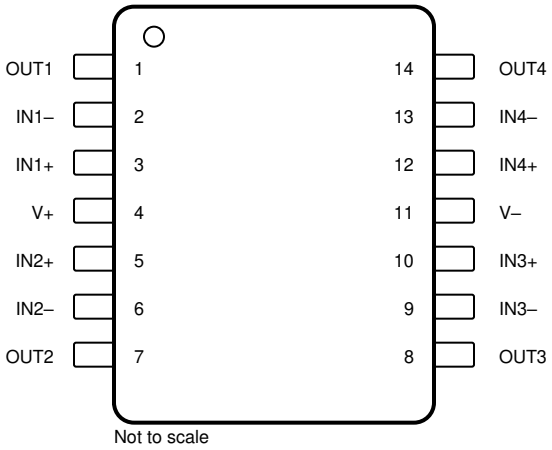



**図 4-2. OPA4991-EP DYY パッケージ**
**14 ピン SOT-23**
**(上面図)**

**表 4-2. ピン機能：OPA4991-EP**

| ピン | | I/O | 説明 |
|---|---|---|---|
| 名称 | 番号 | | |
| IN1+ | 3 | I | 非反転入力、チャネル 1 |
| IN1– | 2 | I | 反転入力、チャネル 1 |
| IN2+ | 5 | I | 非反転入力、チャネル 2 |
| IN2– | 6 | I | 反転入力、チャネル 2 |
| IN3+ | 10 | I | 非反転入力、チャネル 3 |
| IN3– | 9 | I | 反転入力、チャネル 3 |
| IN4+ | 12 | I | 非反転入力、チャネル 4 |
| IN4– | 13 | I | 反転入力、チャネル 4 |
| OUT1 | 1 | O | 出力、チャネル 1 |
| OUT2 | 7 | O | 出力、チャネル 2 |
| OUT3 | 8 | O | 出力、チャネル 3 |
| OUT4 | 14 | O | 出力、チャネル 4 |
| V+ | 4 | — | 正 (最高) 電源 |
| V- | 11 | — | 負 (最低) 電源 |

Copyright © 2026 Texas Instruments Incorporated

# 5 仕様

## 5.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り)(1)

| | | 最小値 | 最大値 | 単位 |
|---|---|---|---|---|
| 電源電圧、$V_S$ = (V+) - (V-) | | 0 | 42 | V |
| 信号入力ピン | 同相電圧(3) | (V–) – 0.5 | (V+) + 0.5 | V |
| | 差動電圧、$V_{ID}$ = \| ($V_{IN+}$) – ($V_{IN-}$) \|(3) | | $V_S$ + 0.2 | V |
| | 電流(3) | -10 | 10 | mA |
| 出力短絡(2) | | 連続 | | |
| 動作時周囲温度、$T_A$ | | -55 | 150 | °C |
| 接合部温度、$T_J$ | | | 150 | °C |
| 保管温度、$T_{stg}$ | | -65 | 150 | °C |

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。推奨動作条件の範囲外で使用する場合、それが絶対最大定格の範囲内であっても、デバイスが完全に機能しない可能性があり、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

(2) グランドへの短絡、パッケージあたり 1 台のアンプ。デバイスは、過剰な出力電流による電気的損傷を抑えるように設計されていますが、特に電源電圧が高い場合に短絡電流が増加すると過熱が発生し、最終的には熱破壊を引き起こす可能性があります。詳細については、「過熱保護動作」セクションを参照してください。

(3) 入力ピンは、電源レールに対してダイオード クランプされています。入力信号のスイングが 0.5V より大きく電源レールを超える可能性がある場合は、電流を 10mA 以下に制限する必要があります。

## 5.2 ESD 定格

| | | | | 値 | 単位 |
|---|---|---|---|---|---|
| $V_{(ESD)}$ | 静電放電 | 人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1) | OPA4991-EP | ±2000 | V |
| | | | OPA991-EP | ±1000 | |
| | | 荷電デバイス モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠(2) | | ±1000 | |

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

## 5.3 推奨動作条件

動作時周囲温度範囲内 (特に記述のない限り)

| | | 最小値 | 最大値 | 単位 |
|---|---|---|---|---|
| $V_S$ | 電源電圧、(V+) - (V-) | 2.7 | 40 | V |
| $V_I$ | 入力電圧範囲 | (V–) – 0.1 | (V+) + 0.1 | V |
| $T_A$ | 規定周囲温度 | -55 | 125 | °C |

## 5.4 熱に関する情報

| 熱評価基準(1) | | OPA4991-EP | OPA991-EP | 単位 |
|---|---|---|---|---|
| | | DYY (SOT-23) | DBV (SOT-23) | |
| | | 14 ピン | 5 ピン | |
| $R_{\theta JA}$ | 接合部から周囲への熱抵抗 | 121.6 | 187.4 | °C/W |
| $R_{\theta JC(top)}$ | 接合部からケース (上面) への熱抵抗 | 53.6 | 86.2 | °C/W |
| $R_{\theta JB}$ | 接合部から基板への熱抵抗 | 47.8 | 54.6 | °C/W |
| $\Psi_{JT}$ | 接合部から上面への特性パラメータ | 2.1 | 27.8 | °C/W |
| $\Psi_{JB}$ | 接合部から基板への特性パラメータ | 47.6 | 54.3 | °C/W |


Copyright © 2026 Texas Instruments Incorporated

| 熱評価基準(1) | | OPA4991-EP | OPA991-EP | 単位 |
|---|---|---|---|---|
| | | DYY (SOT-23) | DBV (SOT-23) | |
| | | 14 ピン | 5 ピン | |
| $R_{\theta JC(bot)}$ | 接合部からケース (底面) への熱抵抗 | 該当なし | 該当なし | °C/W |

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

## 5.5 電気的特性

$V_S$ = (V+) – (V–) = 2.7V ～ 40V (±1.35V ～ ±20V)、$T_A$ = 25°C、$R_L$ = 10kΩ を $V_S$/2 に接続、$V_{CM}$ = $V_S$/2、$V_{OUT}$ = $V_S$/2 の場合 (特に記述のない限り)。

| パラメータ | | テスト条件 | | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|---|
| **オフセット電圧** | | | | | | | |
| $V_{OS}$ | 入力オフセット電圧 | $V_{CM}$ = V- | | | ±125 | ±895 | μV |
| | | | $T_A$ = –55°C ～ 125°C | | | ±925 | |
| $dV_{OS}/dT$ | 入力オフセット電圧ドリフト | $T_A$ = –55°C ～ 125°C | | | ±0.3 | | μV/°C |
| PSRR | 入力オフセット電圧と電源との関係 | $V_{CM}$ = V–、$T_A$ = –55°C ～ 125°C | $V_S$ = 4 V～40 V | | ±0.3 | ±1 | μV/V |
| | | | $V_S$ = 2.7V ～ 40V(2) | | ±1 | ±5 | |
| | チャネル セパレーション | f = 0Hz | | | 5 | | μV/V |
| **入力バイアス電流** | | | | | | | |
| $I_B$ | 入力バイアス電流 | | | | ±10 | | pA |
| $I_{OS}$ | 入力オフセット電流 | | | | ±10 | | pA |
| ***ノイズ*** | | | | | | | |
| $E_N$ | 入力電圧ノイズ | f = 0.1Hz～10Hz | | | 1.8 | | $\mu V_{PP}$ |
| | | | | | 0.3 | | $\mu V_{RMS}$ |
| $e_N$ | 入力電圧ノイズ密度 | f = 1kHz | | | 10.8 | | nV/√Hz |
| | | f = 10kHz | | | 9.4 | | |
| $i_N$ | 入力電流ノイズ | f = 1kHz | | | 82 | | fA/√Hz |
| **入力電圧範囲** | | | | | | | |
| $V_{CM}$ | 同相電圧範囲 | | | (V–) – 0.1 | | (V+) + 0.1 | V |
| CMRR | 同相信号除去比 | (V–) – 0.1V < $V_{CM}$ < (V+) – 2V (メイン入力ペア)、$T_A$ = –55°C ～ 125°C | $V_S$ = 40V | 107 | 130 | | dB |
| | | | $V_S$ = 4V | 82 | 100 | | |
| | | | $V_S$ = 2.7V(2) | 75 | 95 | | |
| | | $V_S$ = 2.7V ～ 40V、(V+) – 1V < $V_{CM}$ < (V+) + 0.1V (補助入力ペア)、$T_A$ = –55°C ～ 125°C | | | 85 | | |
| **入力容量** | | | | | | | |
| $Z_{ID}$ | 差動 | | | | 100 \|\| 9 | | MΩ \|\| pF |
| $Z_{ICM}$ | 同相 | | | | 6 \|\| 1 | | TΩ \|\| pF |
| **開ループ ゲイン** | | | | | | | |
| $A_{OL}$ | 開ループ電圧ゲイン | $V_S$ = 40V、$V_{CM}$ = V–、(V–) + 0.1V < $V_O$ < (V+) – 0.1V | | 120 | 145 | | dB |
| | | | $T_A$ = –55°C ～ 125°C | | 142 | | |
| | | $V_S$ = 4V、$V_{CM}$ = V–、(V–) + 0.1V < $V_O$ < (V+) – 0.1V | | 104 | 130 | | |
| | | | $T_A$ = –55°C ～ 125°C | | 125 | | |
| | | $V_S$ = 2.7V、$V_{CM}$ = V–、(V–) + 0.1V < $V_O$ < (V+) – 0.1V(2) | | 101 | 120 | | |
| | | | $T_A$ = –55°C ～ 125°C | | 118 | | |
| **周波数応答** | | | | | | | |
| GBW | ゲイン帯域幅積 | | | | 4.5 | | MHz |
| SR | スルーレート(3) | $V_S$ = 40V、G = +1、$C_L$ = 20pF | 20mV < $V_{ID}$ < 150 mV | | 0.5 | | V/μs |
| | | | $V_{ID}$ > 150mV | | 21 | | |

## 5.5 電気的特性 (続き)

$V_S$ = (V+) – (V–) = 2.7V ～ 40V (±1.35V ～ ±20V)、$T_A$ = 25℃、$R_L$ = 10kΩ を $V_S$/2 に接続、$V_{CM}$ = $V_S$/2、$V_{OUT}$ = $V_S$/2 の場合 (特に記述のない限り)。

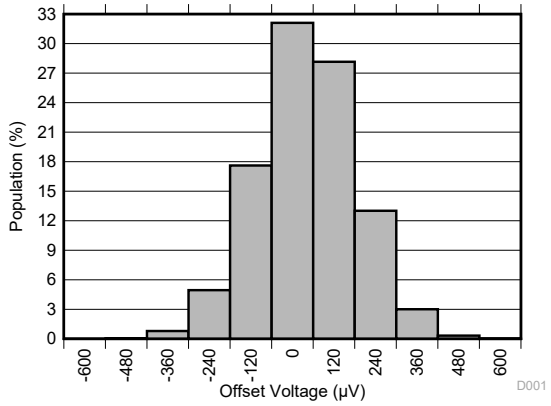
| パラメータ | | テスト条件 | | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|---|
| $t_S$ | セトリング タイム | 0.01% まで、$V_S$ = 40V、G = +1、$C_L$ = 20pF | $V_{STEP}$ = 10V | | 2.5 | | μs |
| | | | $V_{STEP}$ = 2V | | 1.5 | | |
| | | 0.1% まで、$V_S$ = 40V、G = +1、$C_L$ = 20pF | $V_{STEP}$ = 10V | | 2 | | |
| | | | $V_{STEP}$ = 2V | | 1 | | |
| | 位相マージン | G = +1、$R_L$ = 10kΩ、$C_L$ = 20pF | | | 60 | | ° |
| | 過負荷回復時間 | $V_{IN}$ × ゲイン > $V_S$ | | | 400 | | ns |
| THD+N | 全高調波歪み + ノイズ (1) | $V_S$ = 40V、$V_O$ = 3$V_{RMS}$、G = +1、f = 1kHz | | | 0.00021 | | % |
| **出力** | | | | | | | |
| | 電圧出力スイング (レールから) | 正および負のレールのヘッドルーム | $V_S$ = 40V、$R_L$ = 無負荷 (2) | | 5 | 10 | mV |
| | | | $V_S$ = 40V、$R_L$ = 10kΩ | | 50 | 70 | |
| | | | $V_S$ = 40V、$R_L$ = 2kΩ | | 300 | 350 | |
| | | | $V_S$ = 2.7V、$R_L$ = 無負荷 (2) | | 1 | 6 | |
| | | | $V_S$ = 2.7V、$R_L$ = 10kΩ | | 5 | 12 | |
| | | | $V_S$ = 2.7V、$R_L$ = 2kΩ | | 25 | 40 | |
| $I_{SC}$ | 短絡電流 | | | | ±75 | | mA |
| $C_{LOAD}$ | 容量性負荷駆動能力 | | | | 1000 | | pF |
| $Z_O$ | オープン ループ出力インピーダンス | f = 1MHz、$I_O$ = 0A | | | 525 | | Ω |
| **電源** | | | | | | | |
| $I_Q$ | アンプごとの静止電流 | $V_{CM}$ = V–、$I_O$ = 0A | OPA4991-EP | | 560 | 685 | μA |
| | | | OPA991-EP | | 560 | 691 | |
| | | $V_{CM}$ = V–、$I_O$ = 0A、$T_A$ = –55°C ～ 125°C | OPA4991-EP | | | 750 | |
| | | | OPA991-EP | | | 769 | |

(1) 3 次フィルタ、-3dB で帯域幅 = 80kHz。
(2) 特性評価のみによって規定されています。
(3) 詳細については、スルー ブーストを参照してください。


Copyright © 2026 Texas Instruments Incorporated

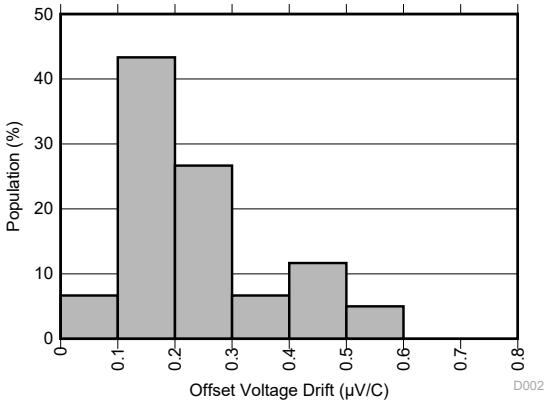
## 5.6 代表的特性

$T_A$ = 25℃、$V_S$ = ±20V、$V_{CM}$ = $V_S$ / 2、$R_{LOAD}$ = 10kΩ を $V_S$ / 2 に接続、$C_L$ = 10pF の場合 (特に記述のない限り)



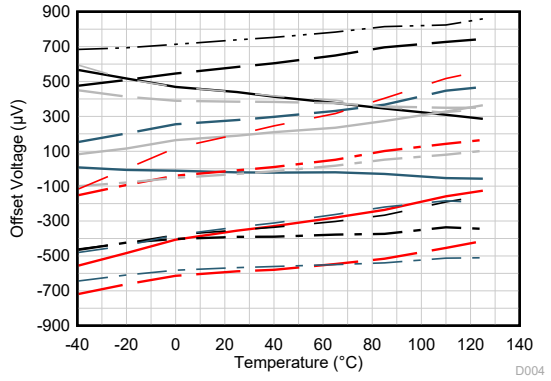

15462 個のアンプにおける分布、$T_A$ = 25℃

**図 5-1. オフセット電圧の生産分布**



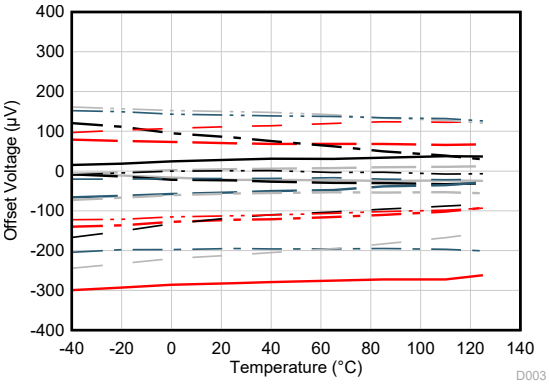

60 個のアンプにおける分布

**図 5-2. オフセット電圧ドリフトの分布**



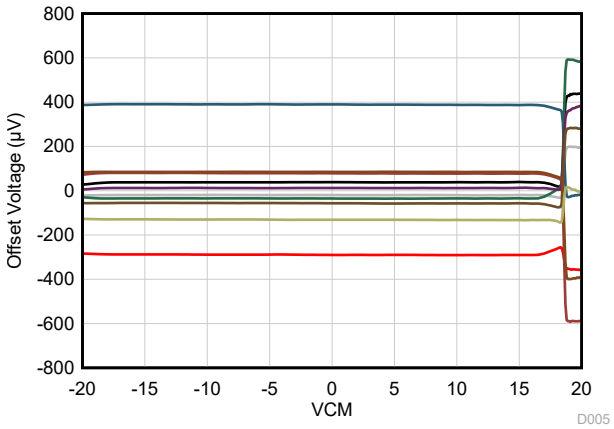

$V_{CM}$ = V+

**図 5-3. オフセット電圧と温度との関係**



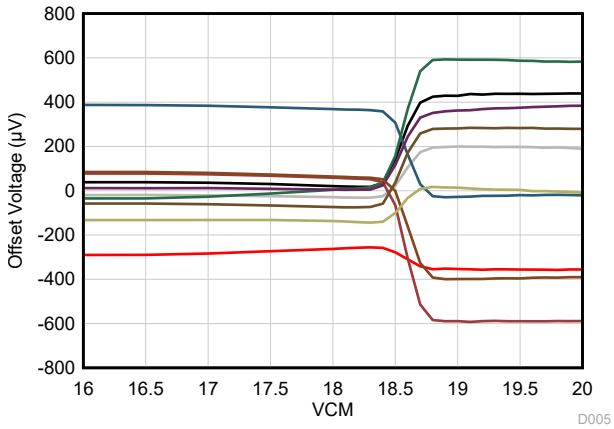

$V_{CM}$ = V-

**図 5-4. オフセット電圧と温度との関係**




$T_A$ = 25℃

**図 5-5. オフセット電圧と同相電圧との関係**



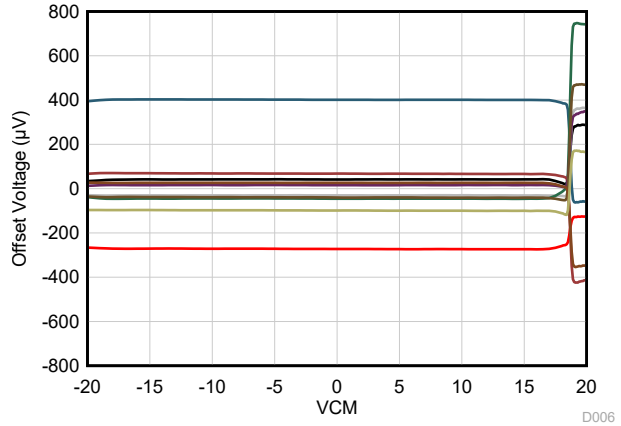

$T_A$ = 25℃

**図 5-6. オフセット電圧と同相電圧との関係 (遷移領域)**

Copyright © 2026 Texas Instruments Incorporated

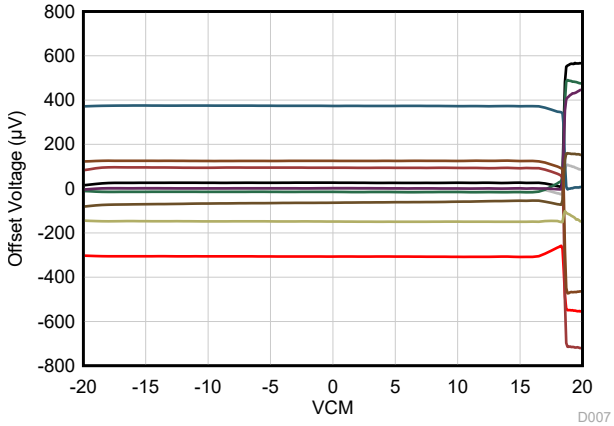
## 5.6 代表的特性 (続き)

$T_A$ = 25℃、$V_S$ = ±20V、$V_{CM}$ = $V_S$ / 2、$R_{LOAD}$ = 10kΩ を $V_S$ / 2 に接続、$C_L$ = 10pF の場合 (特に記述のない限り)




$T_A$ = 125℃

**図 5-7. オフセット電圧と同相電圧との関係**




$T_A$ = -40℃

**図 5-8. オフセット電圧と同相電圧との関係**

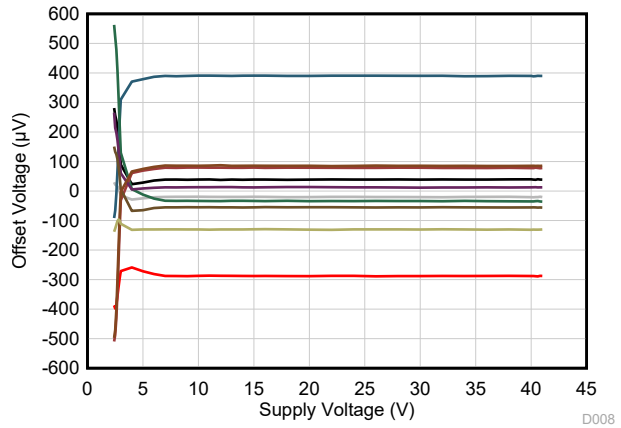
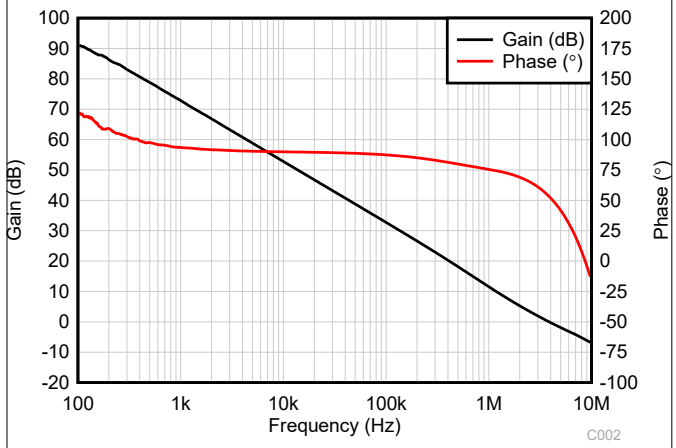



**図 5-9. オフセット電圧と電源電圧との関係**




$C_L$ = 20pF

**図 5-10. 開ループ ゲインおよび位相と周波数との関係**

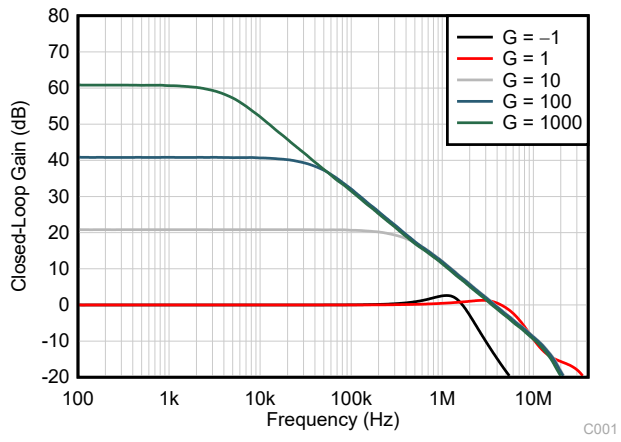



**図 5-11. 閉ループ ゲインと周波数との関係**

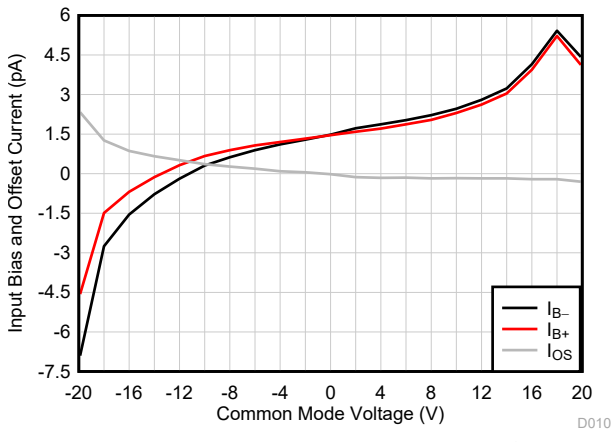



**図 5-12. 入力バイアス電流と同相電圧との関係**


Copyright © 2026 Texas Instruments Incorporated

## 5.6 代表的特性 (続き)

$T_A$ = 25℃、$V_S$ = ±20V、$V_{CM}$ = $V_S$ / 2、$R_{LOAD}$ = 10kΩ を $V_S$ / 2 に接続、$C_L$ = 10pF の場合 (特に記述のない限り)

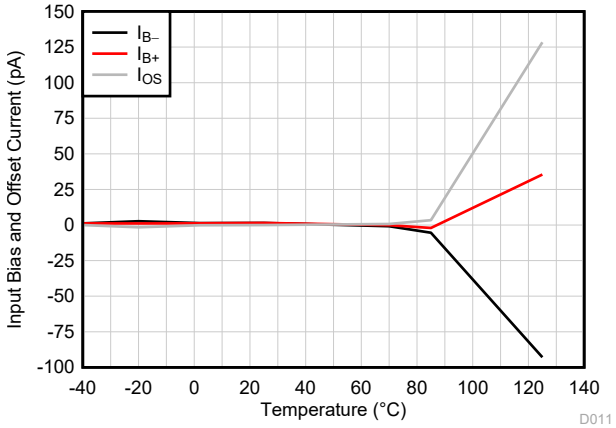



図 5-13. 入力バイアス電流と温度との関係

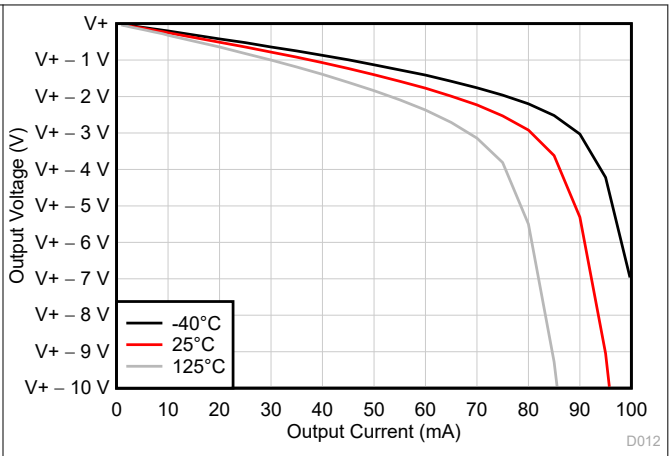



図 5-14. 出力電圧スイングと出力電流との関係 (ソース)

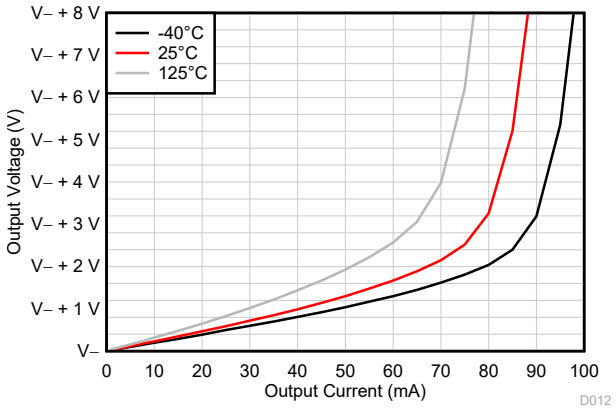



図 5-15. 出力電圧スイングと出力電流との関係 (シンク)

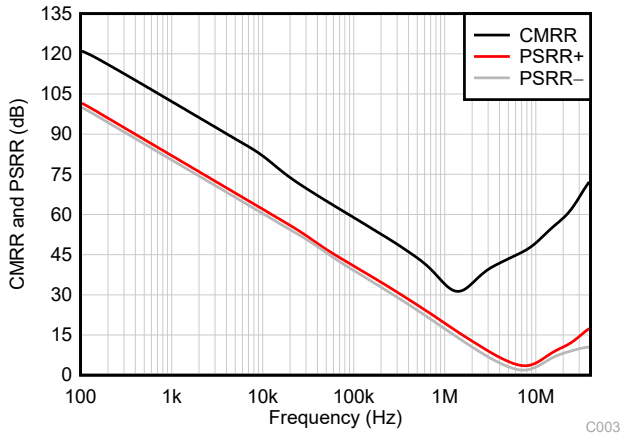
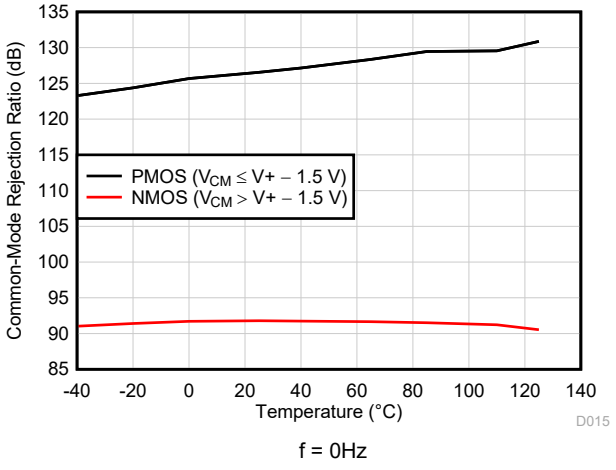
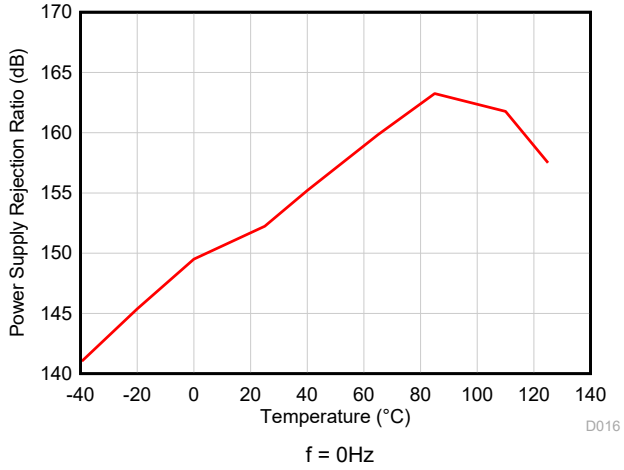



図 5-16. CMRR および PSRR と周波数との関係




f = 0Hz

図 5-17. CMRR と温度との関係 (dB)




f = 0Hz

図 5-18. PSRR と温度との関係 (dB)

## 5.6 代表的特性 (続き)

$T_A$ = 25℃、$V_S$ = ±20V、$V_{CM}$ = $V_S$ / 2、$R_{LOAD}$ = 10kΩ を $V_S$ / 2 に接続、$C_L$ = 10pF の場合 (特に記述のない限り)

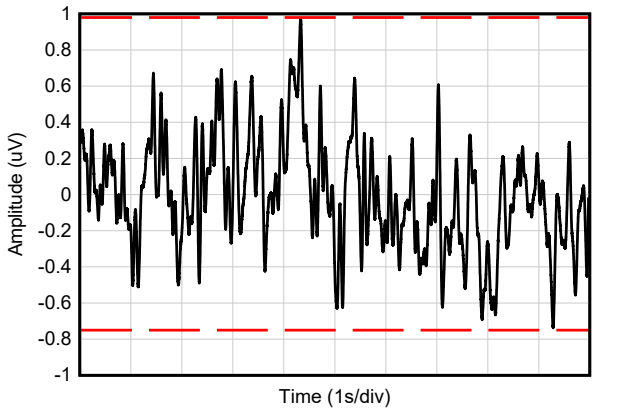



図 5-19. 0.1Hz～10Hz のノイズ

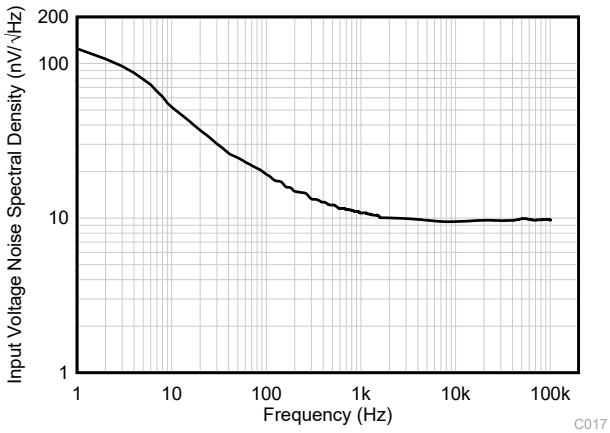
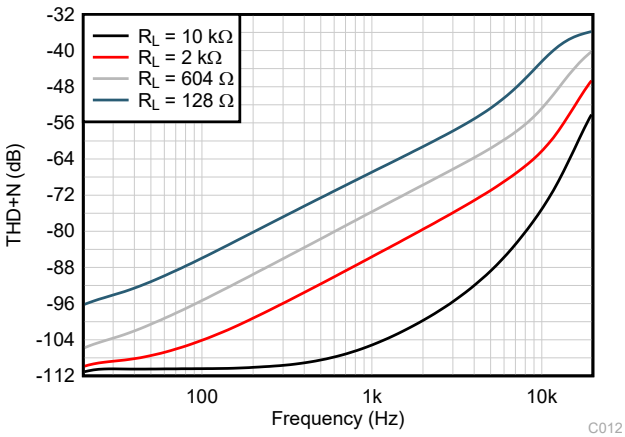
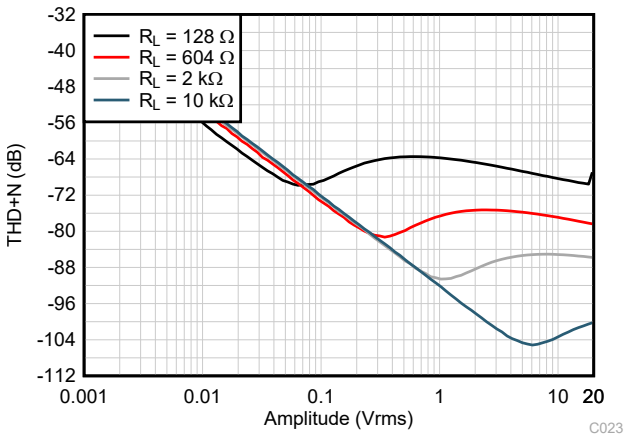



図 5-20. 入力電圧ノイズ スペクトル密度と周波数との関係



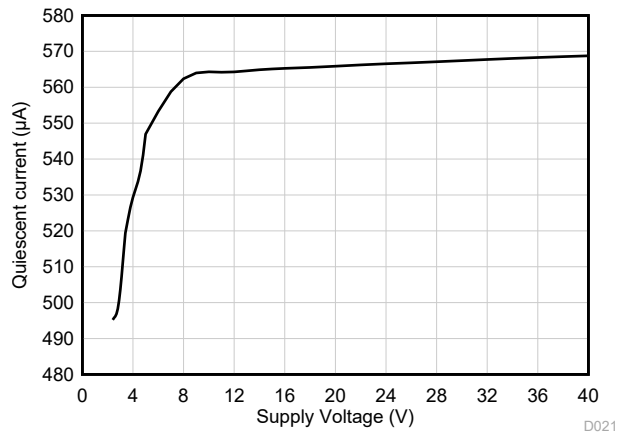

BW = 80kHz、$V_{OUT}$ = 1$V_{RMS}$

図 5-21. THD+N 比と周波数との関係




BW = 80kHz、f = 1kHz

図 5-22. THD+N と出力振幅との関係




$V_{CM}$ = V-

図 5-23. 静止電流と電源電圧との関係

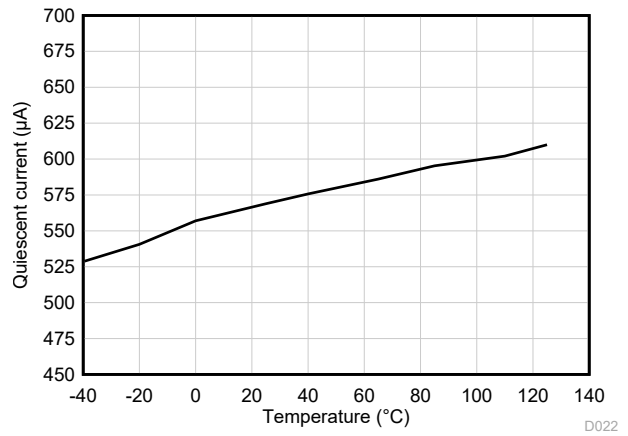



図 5-24. 静止電流と温度との関係


Copyright © 2026 Texas Instruments Incorporated

## 5.6 代表的特性 (続き)

$T_A$ = 25℃、$V_S$ = ±20V、$V_{CM}$ = $V_S$ / 2、$R_{LOAD}$ = 10kΩ を $V_S$ / 2 に接続、$C_L$ = 10pF の場合 (特に記述のない限り)

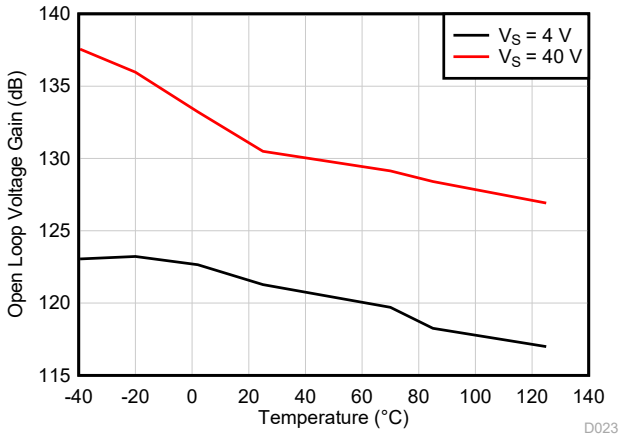



図 5-25. 開ループ電圧ゲインと温度との関係 (dB)

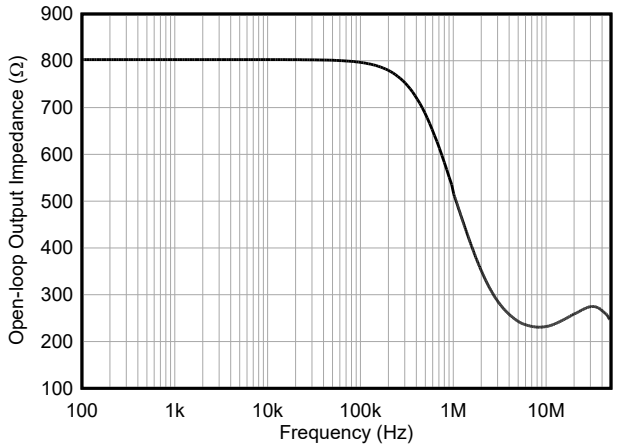
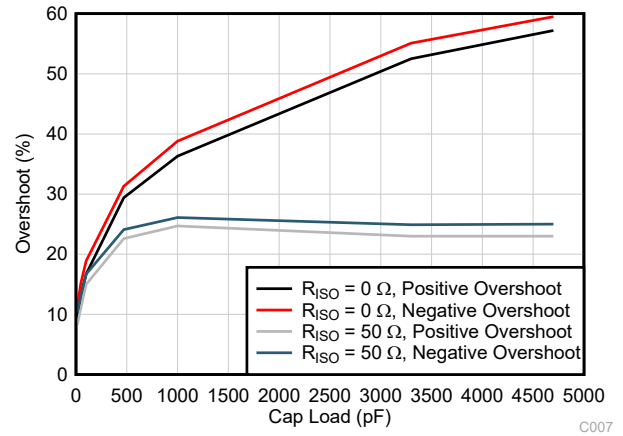
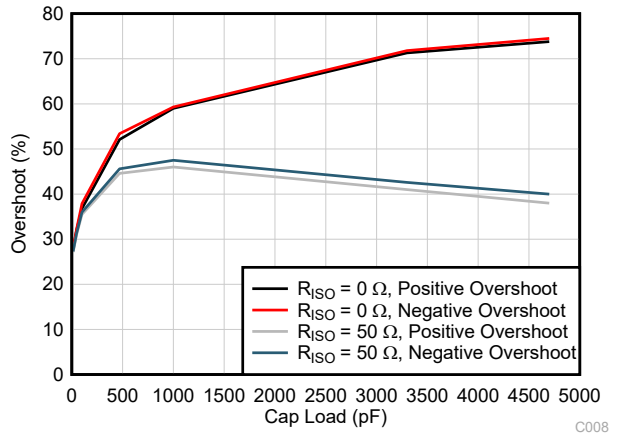



図 5-26. 開ループ出力インピーダンスと周波数との関係




G = -1、10mV 出力ステップ

図 5-27. 小信号オーバーシュートと容量性負荷との関係




G = 1、10mV 出力ステップ

図 5-28. 小信号オーバーシュートと容量性負荷との関係

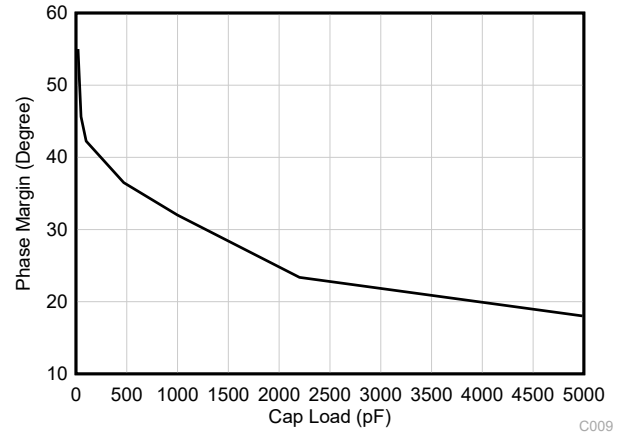
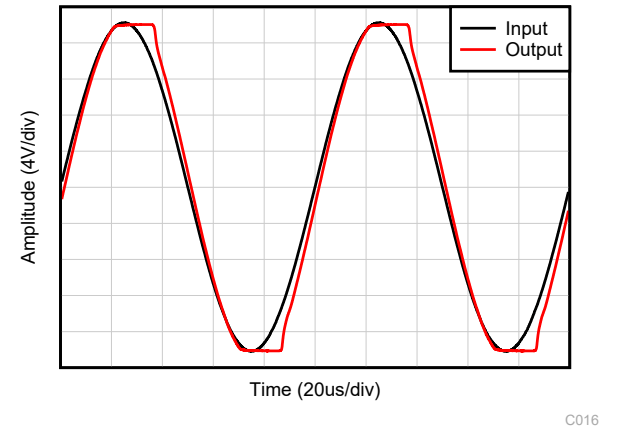



図 5-29. 位相マージンと容量性負荷との関係

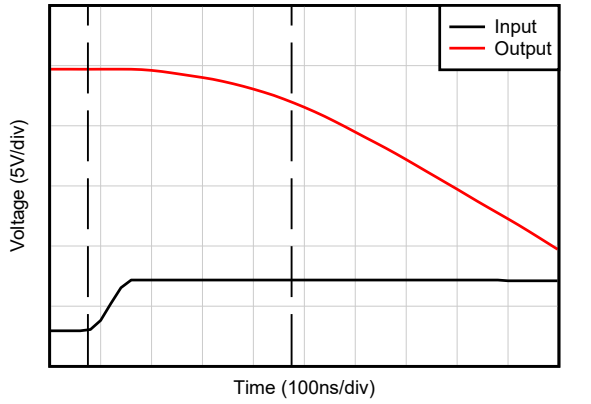



$V_{IN}$ = ±20V、$V_S$ = $V_{OUT}$ = ±17V

図 5-30. 位相反転が発生しない

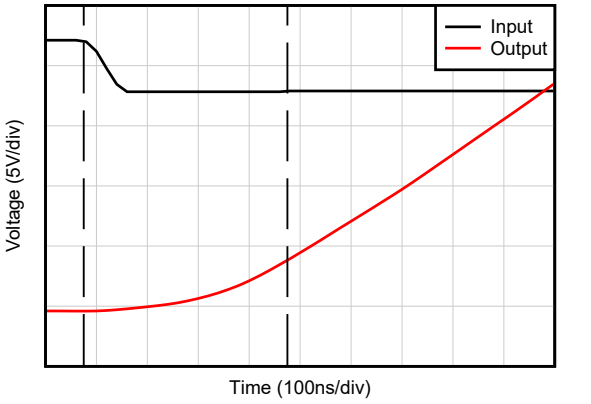
## 5.6 代表的特性 (続き)

$T_A$ = 25℃、$V_S$ = ±20V、$V_{CM}$ = $V_S$ / 2、$R_{LOAD}$ = 10kΩ を $V_S$ / 2 に接続、$C_L$ = 10pF の場合 (特に記述のない限り)



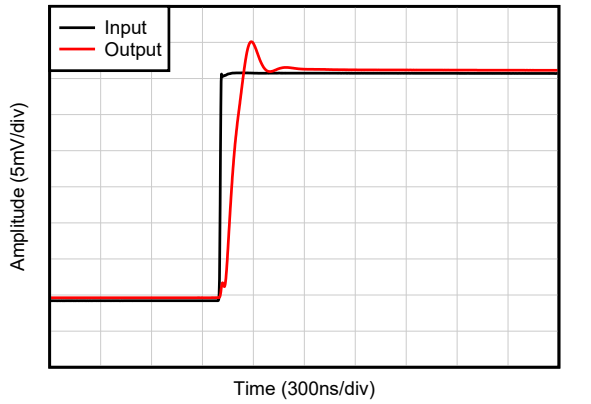

G = -10

**図 5-31. 正の過負荷からの回復**



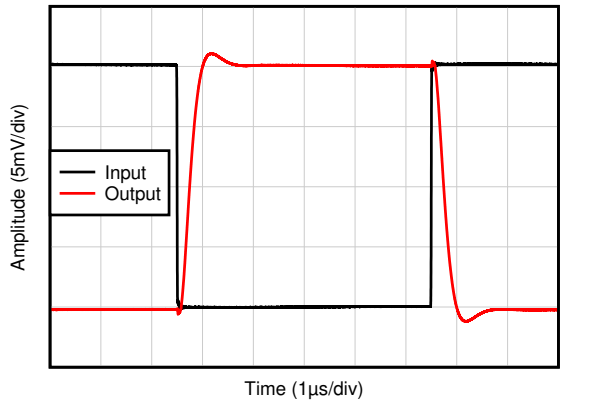

G = -10

**図 5-32. 負の過負荷からの回復**



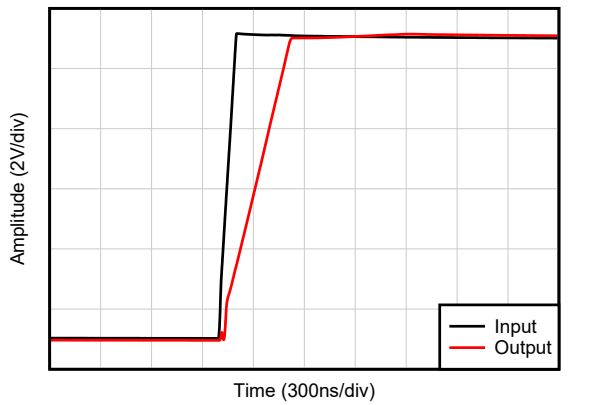

$C_L$ = 20pF、G = 1、20mV ステップ応答

**図 5-33. 小信号ステップ応答、立ち上がり**



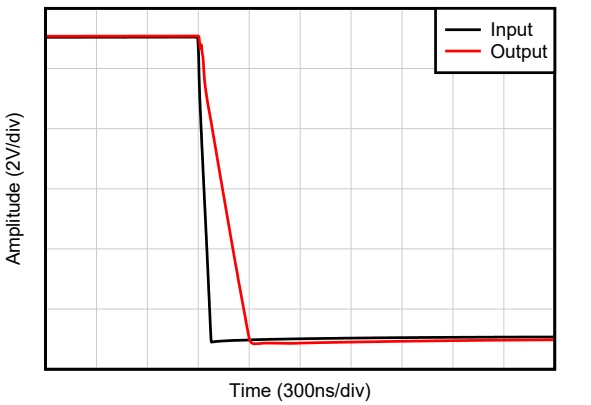

$C_L$ = 20pF、G = -1、20mV ステップ応答

**図 5-34. 小信号ステップ応答**




$C_L$ = 20pF、G = 1

**図 5-35. 大信号ステップ応答 (立ち上がり)**



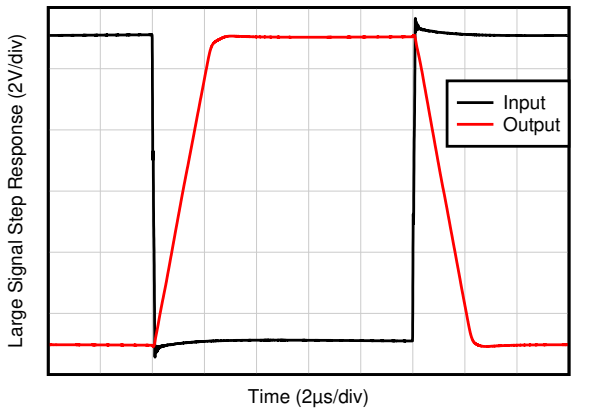

$C_L$ = 20pF、G = 1

**図 5-36. 大信号ステップ応答 (立ち下がり)**


Copyright © 2026 Texas Instruments Incorporated

## 5.6 代表的特性 (続き)

$T_A$ = 25℃、$V_S$ = ±20V、$V_{CM}$ = $V_S$ / 2、$R_{LOAD}$ = 10kΩ を $V_S$ / 2 に接続、$C_L$ = 10pF の場合 (特に記述のない限り)




$C_L$ = 20pF、G = -1

**図 5-37. 大信号ステップ応答**

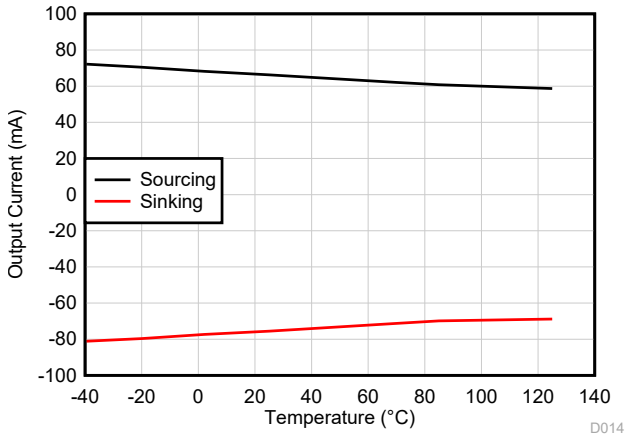



**図 5-38. 短絡電流と温度との関係**

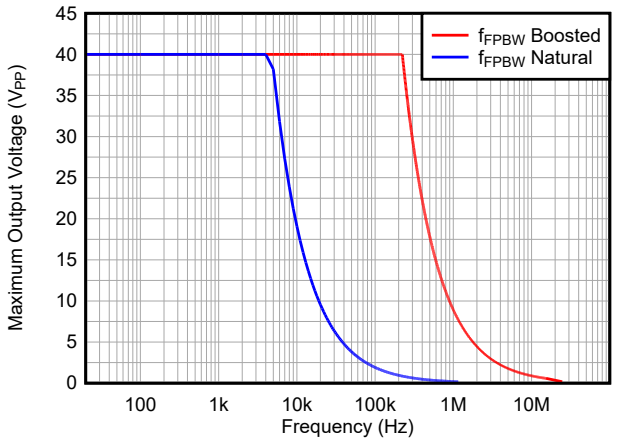



**図 5-39. 最大出力電圧と周波数との関係**

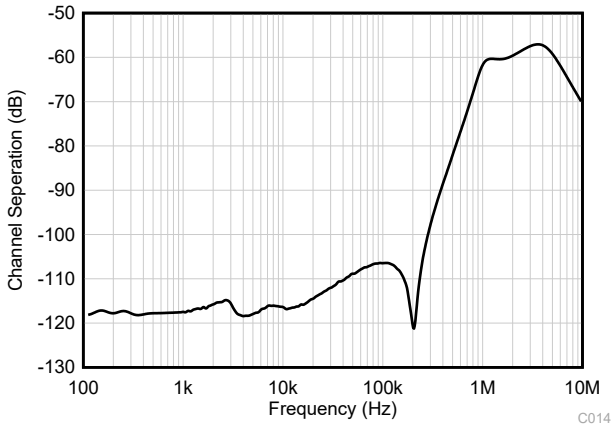



**図 5-40. チャネル セパレーションと周波数との関係**

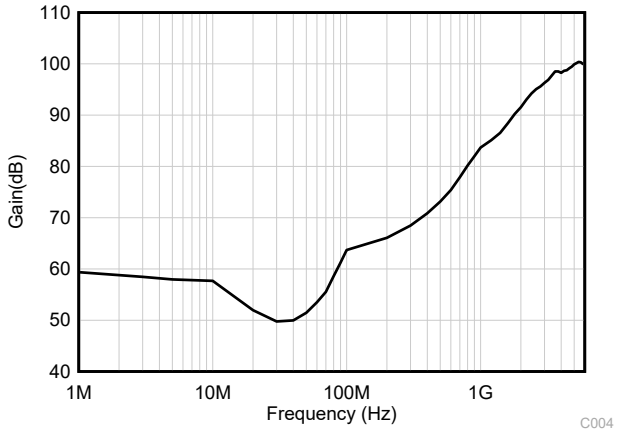



**図 5-41. 入力における EMIRR (電磁干渉除去比) と周波数との関係**

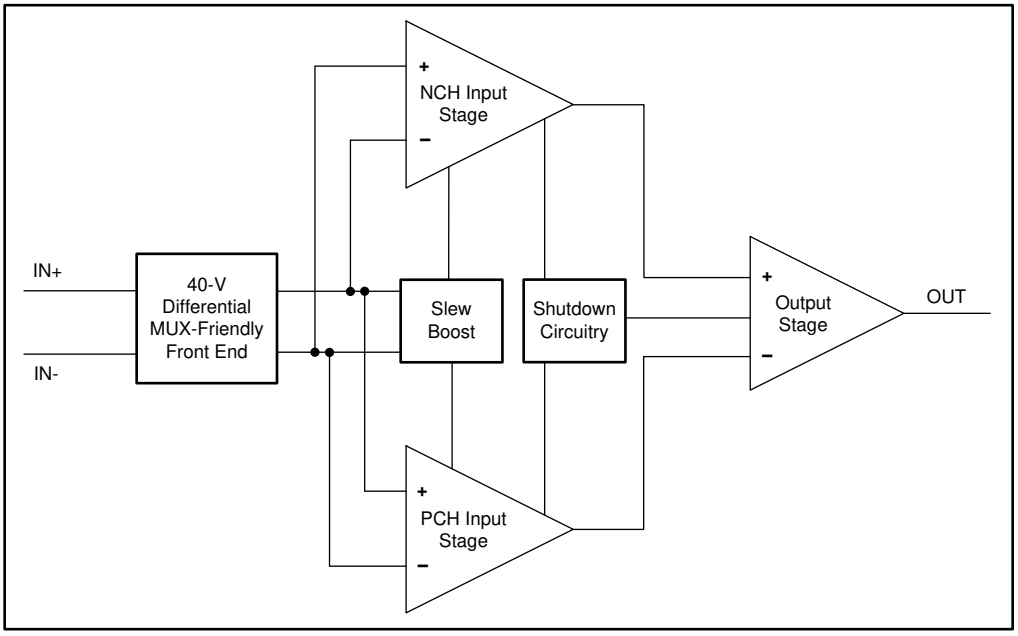
# 6 詳細説明

## 6.1 概要

OPAx991-EP デバイスは 40V のデュアル汎用オペアンプです。こらのデバイスは、レール ツー レールの入出力、低いオフセット (±125μV、標準値)、低いオフセット ドリフト (±0.3μV/℃、標準値)、4.5MHz の帯域幅などの優れた DC 精度と AC 性能を備えています。

電源レールまでの差動および同相入力電圧範囲、大きい出力電流 (±75mA)、高いピーク スルーレート (21V/μs) などの独自の機能を備えた OPAx991-EP は、高電圧アプリケーション向けの堅牢な高性能オペアンプです。

## 6.2 機能ブロック図





Copyright © 2026 Texas Instruments Incorporated

## 6.3 機能説明

### 6.3.1 入力保護回路

OPAx991-EP は、独自の入力アーキテクチャを使用して入力保護ダイオードを不要にしながら、過渡条件での堅牢な入力保護を実現します。高速過渡ステップ応答によってアクティブになる従来型の入力ダイオード保護方式を、図 6-1 に示します。この方法では図 6-2 に示すように、代替電流パスのため信号歪みとセトリング タイムの遅延が発生します。低ゲイン回路の場合、これらの高速ランプ入力信号は、入力電流を増やすバック ツー バック ダイオードを順バイアスし、セトリング時間が延びます。

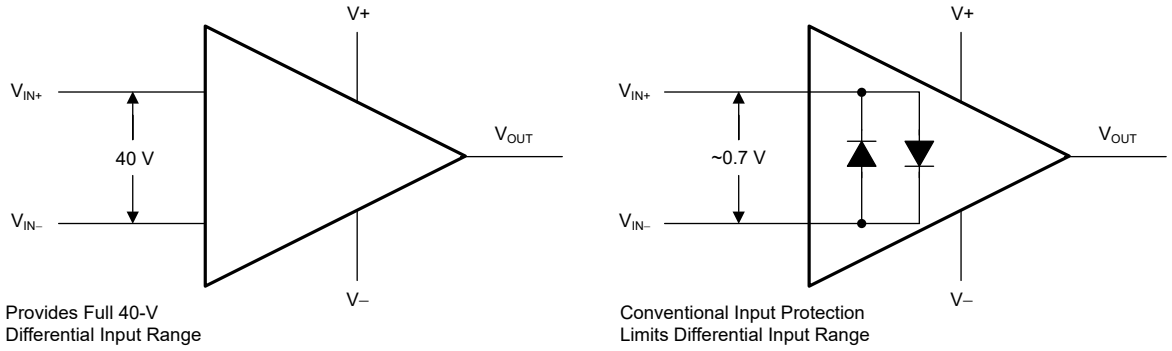



**図 6-1. OPAx991-EP の入力保護機能では差動入力能力が未制限**

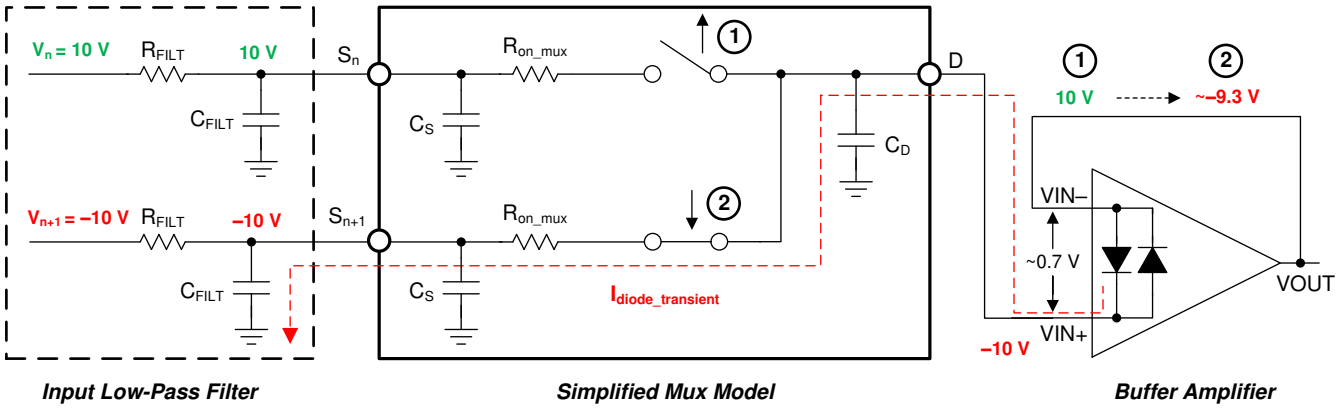



**図 6-2. バック ツー バック ダイオードではセトリングの問題が発生する**

OPAx991-EP ファミリのオペアンプは、特許取得済みの入力保護アーキテクチャによって高電圧アプリケーション用に真のハイインピーダンス差動入力機能を提供します。このアーキテクチャでは、信号歪みの増加やセトリング タイムの遅延が発生しないため、マルチチャネルの高スイッチ入力アプリケーションに最適なオペアンプとなります。OPAx991-EP は最大 40V の差動スイング (オペアンプの反転ピンと非反転ピンとの間の電圧) を許容できるため、コンパレータとして、またはデータ アクイジション システムなどの高速ランプ入力信号を使用するアプリケーションに適しています。詳細については、TI TechNote『マルチプレクサ対応高精度オペアンプ』を参照してください。

### 6.3.2 EMI 除去

OPAx991-EP は、統合型の電磁干渉 (EMI) フィルタリングを使用して、ワイヤレス通信や、アナログ信号チェーンとデジタル部品を組み合わせた高密度実装のボードなどから発生する EMI の影響を低減します。EMI 耐性は、回路設計手法により改善可能です。OPAx991-EP は、このような設計の改善を活用しています。テキサス インスツルメンツは、10MHz ～ 6GHz の幅広い周波数スペクトルにわたって、オペアンプの耐性を正確に測定および数量化しています。図 6-3 は、OPAx991-EP に対するこのテストの結果を示しています。表 6-1 は、実際のアプリケーションで一般的に見られる特定の周波数における OPAx991-EP の EMIRR IN+ 値を示しています。「オペアンプの EMI 除去率」アプリケーション レポートには、オペアンプに関連する EMIRR 性能の詳細情報が記載されており、www.ti.com からダウンロードできます。

Copyright © 2026 Texas Instruments Incorporated

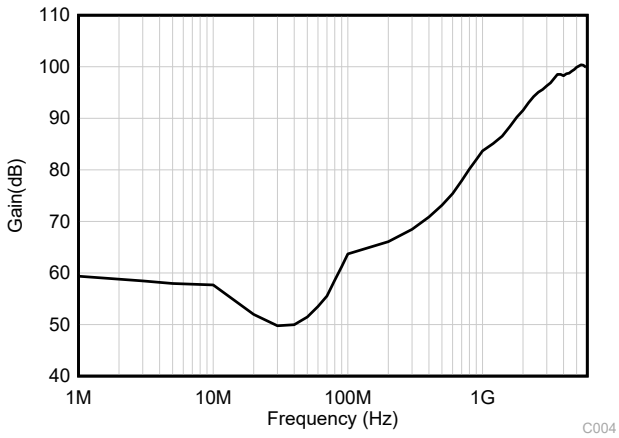



**図 6-3. EMIRR テスト**

**表 6-1. 特定周波数における OPAx991-EP の EMIRR IN+**

| FREQUENCY | アプリケーションまたは割り当て | EMIRR IN+ |
|---|---|---|
| 400MHz | モバイル無線、モバイル衛星、宇宙での運用、気象、レーダー、極超短波 (UHF) アプリケーション | 73.2dB |
| 900MHz | GSM (モバイル通信) アプリケーション向けのグローバル システム、無線通信、ナビゲーション、GPS (最高 1.6GHz まで)、GSM、航空モバイル、UHF アプリケーション | 82.5dB |
| 1.8GHz | GSM アプリケーション、モバイル パーソナル通信、ブロードバンド、衛星、L バンド (1GHz～2GHz) | 89.7dB |
| 2.4GHz | 802.11b、802.11g、802.11n、Bluetooth®、モバイル パーソナル通信、産業用、科学用および医療用 (ISM) 無線帯域、アマチュア無線および衛星、S バンド (2GHz～4GHz) | 93.9dB |
| 3.6GHz | 無線測位、航空通信およびナビゲーション、衛星、モバイル、S バンド | 95.7dB |
| 5GHz | 802.11a、802.11n、航空通信とナビゲーション、モバイル通信、宇宙と衛星での運用、C バンド (4GHz～8GHz) | 98.0dB |


Copyright © 2026 Texas Instruments Incorporated

### 6.3.3 過熱保護

あらゆるアンプは、内部消費電力によって内部 (接合部) の温度が上昇します。この現象を「自己発熱」と呼びます。OPAx991-EP の絶対最大接合部温度は 150℃ です。この温度を超えると、デバイスが損傷します。OPAx991-EP には過熱保護機能があり、自己発熱による損傷を低減できます。この保護機能はデバイスの温度を監視し、温度が 170℃ を超えるとオペアンプの出力ドライブをオフにします。OPA4991-EP の消費電力 (0.81W) のために自己発熱が大きくなるアプリケーションの例を、図 6-4 に示します。熱に関する計算から、周囲温度が 65℃の場合、デバイスの接合部温度は 177℃に達することが示されます。しかし、実際のデバイスでは出力ドライブがオフになるので、接合部の温度は安全域に回復します。過熱保護時の回路の動作を、図 6-4 に示します。通常の動作では、デバイスはバッファとして動作し、出力は 3V になります。自己発熱によりデバイスの接合部温度が内部制限値を超えた場合、過熱保護機能によって出力が強制的に高インピーダンス状態になり、出力は抵抗 $R_L$ によってグランドにプルダウンされます。過剰な消費電力を引き起こした条件が解消されない場合、出力の障害が修正されるまで、アンプはシャットダウン状態とイネーブル状態をいったりきたりします。

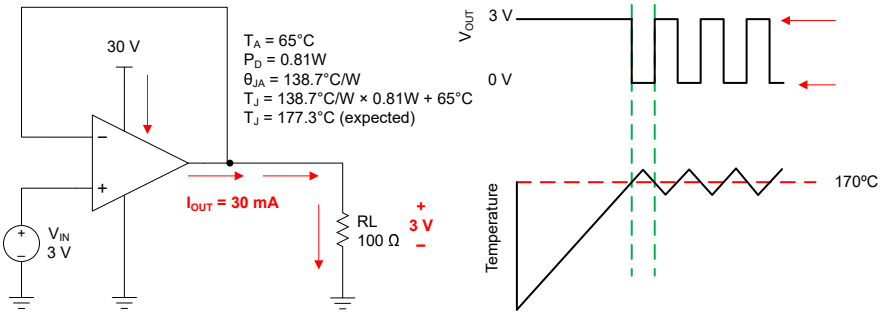



**図 6-4. 過熱保護**

デバイスが長時間にわたって高出力電力で高い接合部温度における動作を続けると、デバイスがサーマル シャットダウンに入っているかどうかにかかわらず、デバイスの熱放散によってデバイスの性能が徐々に低下し、最終的には致命的な破壊を引き起こす可能性があります。設計者は、高温時にデバイスの出力電力を制限するか、高出力電力の条件下で周囲温度と接合部温度を制御する必要があります。

### 6.3.4 容量性負荷および安定度

OPAx991-EP は抵抗性の出力段を採用しており、中程度の容量性負荷を駆動できます。また、絶縁抵抗を活用することで、大きな容量性負荷を駆動するように簡単に構成できます。ゲインを大きくするとアンプの能力が拡張され、より大きな容量性負荷を駆動できるようになります。図 6-5 および図 6-6 を参照してください。アンプが動作時に安定するかどうか判断するには、オペアンプの回路構成、レイアウト、ゲイン、出力負荷など、いくつかの要因を考慮します。

Copyright © 2026 Texas Instruments Incorporated

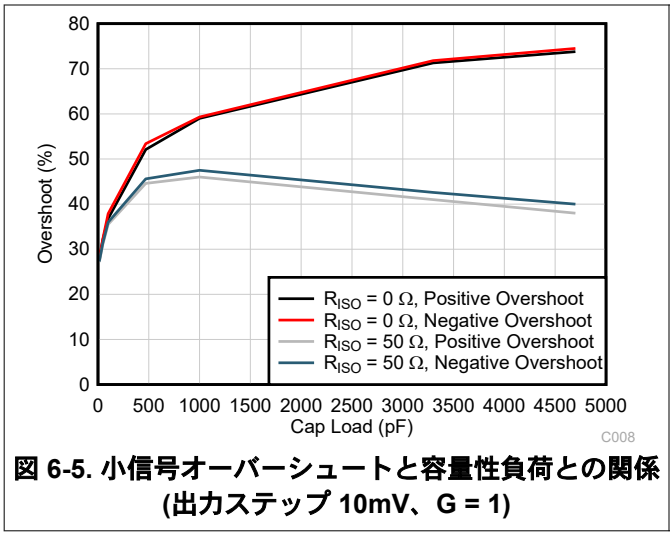



**図 6-5. 小信号オーバーシュートと容量性負荷との関係 (出力ステップ 10mV、G = 1)**

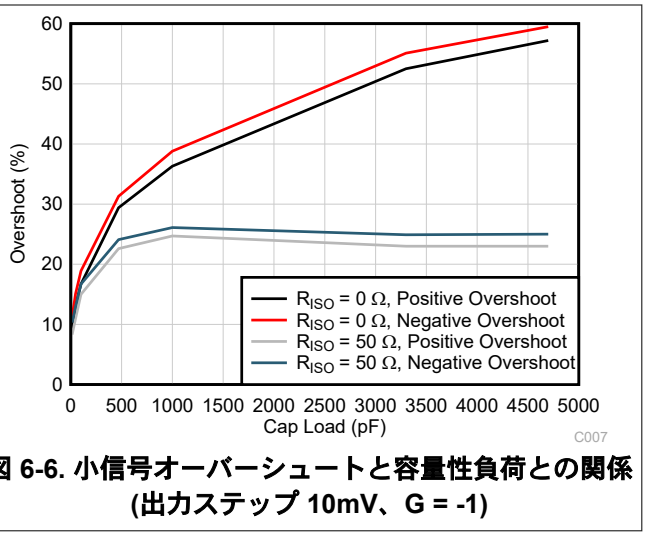



**図 6-6. 小信号オーバーシュートと容量性負荷との関係 (出力ステップ 10mV、G = -1)**

ユニティ ゲイン構成で駆動能力を高めるため、図 6-7 に示すように、小さな抵抗 $R_{ISO}$ を出力と直列に挿入し、容量性負荷の駆動能力を増やします。この抵抗は、リンギングを大幅に低減し、純粋な容量性負荷に対して DC 性能を維持します。ただし、容量性負荷と抵抗性負荷が並列に接続されている場合、分圧回路が生まれるため、出力にゲイン誤差が生じ、出力スイングがわずかに減少します。発生する誤差は $R_{ISO}$ / $R_L$ の比に比例し、一般に低い出力レベルでは無視できます。OPAx991-EP は容量性負荷の駆動能力が大きいため、リファレンス バッファ、MOSFET ゲートドライブ、ケーブル シールド ドライブなどのアプリケーションに最適です。図 6-7 に示す回路では、絶縁抵抗 $R_{ISO}$ を使ってオペアンプ出力を安定化しています。$R_{ISO}$ は、システムの開ループ ゲインを変更して位相マージンを増やします。

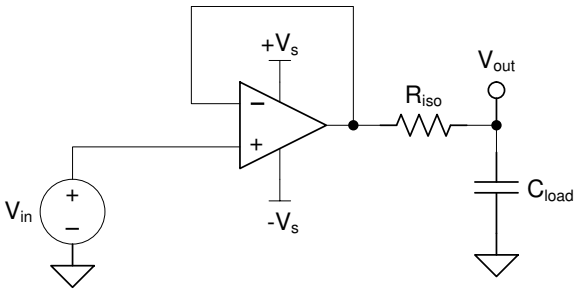



**図 6-7. OPAx991-EP により容量性負荷の駆動能力を拡張**


Copyright © 2026 Texas Instruments Incorporated

### 6.3.5 同相電圧範囲

OPAx991-EP は 40V の真のレール ツー レール入力オペアンプで、入力同相範囲がどちらの電源レールよりも 100mV 拡張されています。図 6-8 に示すように、相補型 N チャネルと P チャネルの差動入力ペアを並列接続することで、この広い範囲を実現しています。N チャネル ペアは、正電源レールに近い入力電圧、通常は (V+) – 1V から、正電源より 100mV 高い入力電圧でアクティブになります。P チャネル ペアは、負電源より 100mV 低い電圧から、約 (V+) − 2V までの入力でアクティブになります。両方の入力ペアが動作する小さな遷移領域があり、通常は (V+) – 2V to (V+) – 1V の範囲となっています。この遷移領域は、プロセスの差異に応じて多少変化する可能性があります。また、この領域内では PSRR、CMRR、オフセット電圧、オフセット ドリフト、ノイズ、THD の性能が、領域外で動作するときよりも低下する可能性があります。

入力電圧オフセットに関して、デバイスの標準的な遷移領域の詳細を、図 5-5 に示します。

同相電圧範囲と PMOS/NMOS ペアの相互作用の詳細については、「相補型ペア入力段を持つオペアンプ」アプリケーション ノートを参照してください。

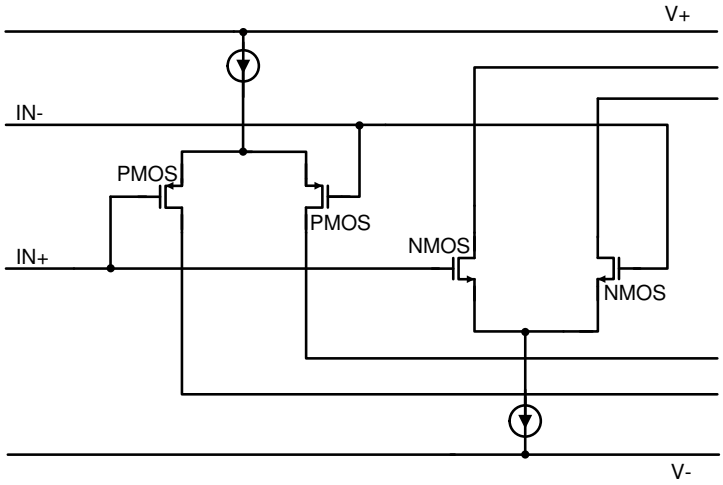



**図 6-8. レール ツー レール入力段**

### 6.3.6 位相反転の防止

OPAx991-EP ファミリには、位相反転の防止機能が搭載されています。多くのオペアンプでは、入力がリニア同相範囲を超えて駆動されると、位相反転が発生します。この条件が最も多く発生するのは非反転回路で、入力が指定された同相電圧範囲を超えて駆動されると、出力は逆のレールに反転します。OPAx991-EP はレール ツー レール入力のオペアンプなので、同相範囲はレールを超えて拡張できます。入力信号がレールを超えても位相反転は起きません。代わりに、出力は適切なレールに制限されます。この特性を図 6-9 に示します。位相反転の詳細については、『相補型ペア入力段を持つオペアンプ』アプリケーション ノートを参照してください。

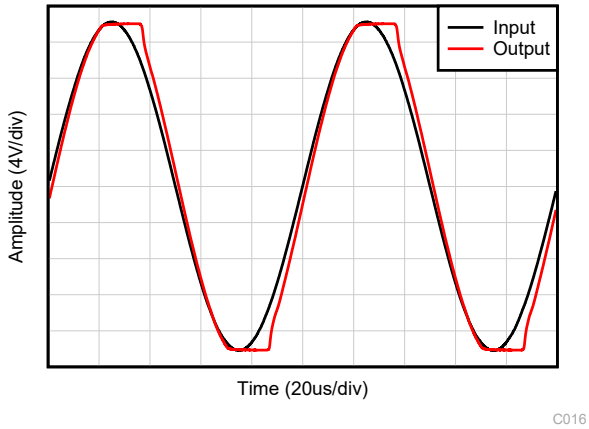



**図 6-9. 位相反転が発生しない**

### *6.3.7 電気的オーバーストレス*

設計者は多くの場合、オペアンプが電気的オーバーストレス (EOS) にどの程度耐えられるのかという質問をします。これらの質問は、主にデバイスの入力に関するものですが、電源電圧ピンや、さらに出力ピンにも関係する場合があります。これらの各ピンの機能には、特定の半導体製造プロセスの電圧ブレークダウン特性と、ピンに接続された特定の回路とで決まる電気的ストレスの制限値があります。また、これらの回路には内部静電気放電 (ESD) 保護機能が組み込まれており、製品の組み立て前と組み立て中の両方で、偶発的な ESD イベントから保護します。

この基本的な ESD 回路と、電気的オーバーストレス イベントとの関連性を十分に理解しておくと役に立ちます。図 6-10 に、OPAx991-EP に含まれる ESD 回路の図を示します (破線で囲まれている部分)。ESD 保護回路には、いくつかの電流ステアリング ダイオードが含まれており、これらは入力ピンや出力ピンから接続され、内部の電源ラインに戻るようルーティングされます。これらのダイオードは、オペアンプ内部の吸収デバイスや電源 ESD セルで接続されます。この保護回路は、通常の回路動作中は非アクティブに保たれるよう設計されます。


Copyright © 2026 Texas Instruments Incorporated

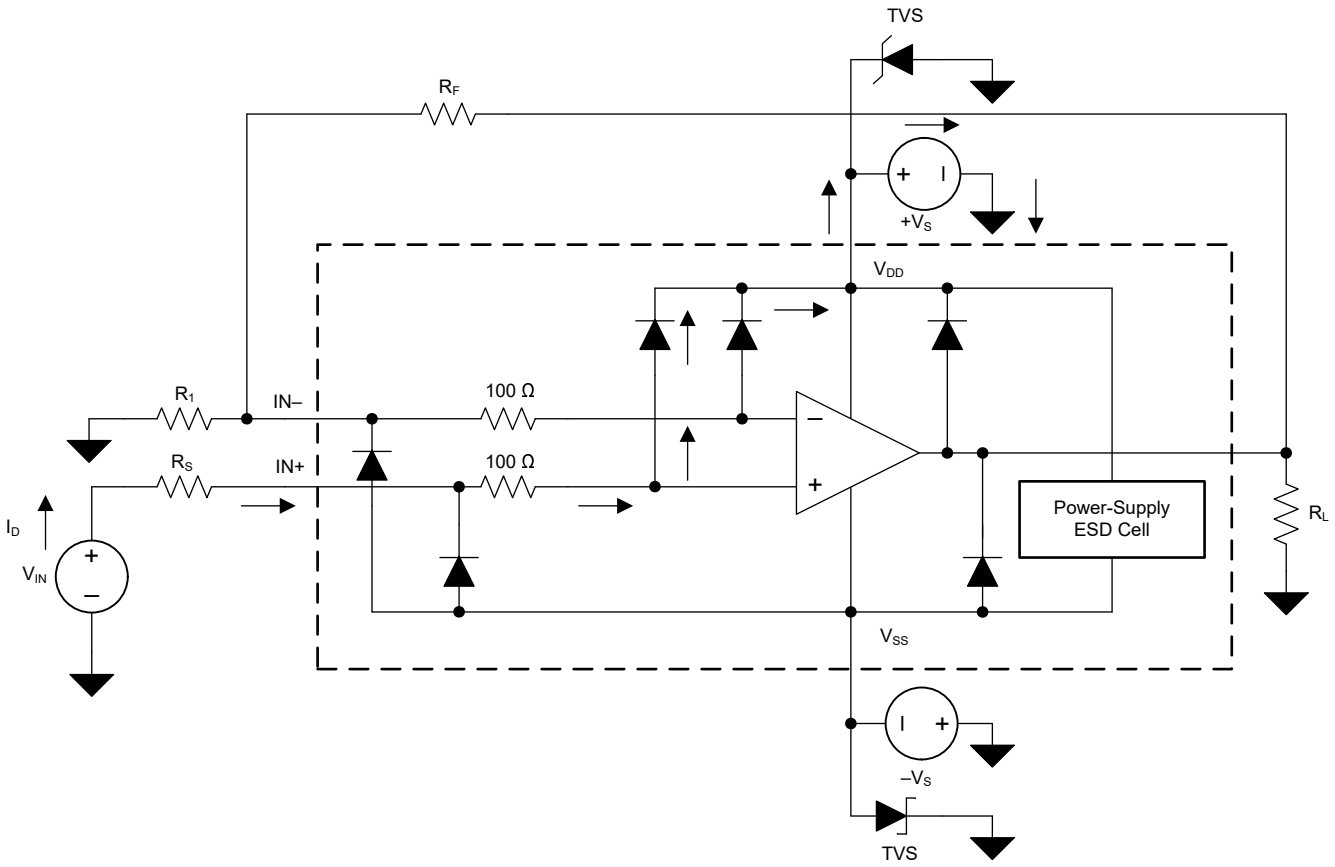



**図 6-10. 代表的な回路アプリケーションと比較して等価な内部 ESD 回路**

ESD イベントは持続時間が非常に短く、電圧が非常に高い (例：1kV、100ns) のに対して、EOS イベントは持続時間が長く、電圧も低くなります (例：50V、100ms)。ESD ダイオードは、回路外の ESD 保護 (つまり、PCB に半田付けする前にデバイスの組み立て、テスト、保管を行うとき) を目的として設計されています。ESD イベントの間、ESD 信号は ESD ステアリング ダイオードを通過して吸収回路 (「ESD 電源回路」とラベル付けされています) に渡されます。ESD 吸収回路は、電源を安全なレベルにクランプします。

この動作は回路外保護のためには必要なものですが、回路内でこの動作をアクティブにすると、過大な電流と損傷が発生します。過渡電圧サプレッサ (TVS) を使用すると、回路内の ESD イベント発生時に ESD 吸収回路がオンになることで生じる損傷を防止できます。適切な電流制限抵抗と、TVS ダイオードを使用すると、デバイスの ESD ダイオードで EOS イベントからの保護を行えます。

Copyright © 2026 Texas Instruments Incorporated

### 6.3.8 過負荷回復

過負荷からの回復は、オペアンプの出力が飽和状態から線形状態に回復するために必要な時間として定義されます。高い入力電圧または高いゲインのいずれかが原因で、出力電圧が定格動作電圧を超えると、オペアンプの出力デバイスは飽和領域に入ります。デバイスが飽和領域に入った後、出力デバイスのチャージ キャリアは線形状態に回復するための時間を必要とします。チャージ キャリアが線形状態に戻ると、デバイスは指定されたスルーレートでスルーを開始します。したがって、過負荷状態の場合の伝搬遅延は、過負荷復帰時間とスルー時間の合計になります。OPAx991-EP の過負荷復帰時間は約 400ns です。

### 6.3.9 代表的な仕様と分布

設計者は多くの場合、より堅牢な回路を設計するため、アンプの標準仕様についての疑問を抱きます。プロセス技術や製造工程では自然に差異が発生するため、入力オフセット電圧など、あらゆるアンプの仕様において、規定値からの多少の偏差が生じます。これらの偏差は多くの場合、ガウス分布 (正規分布またはベル曲線) に従います。回路設計者は、「電気的特性」表に最小値または最大値の仕様がない場合でも、この情報を活用してシステムの最低限の品質を確保できます。

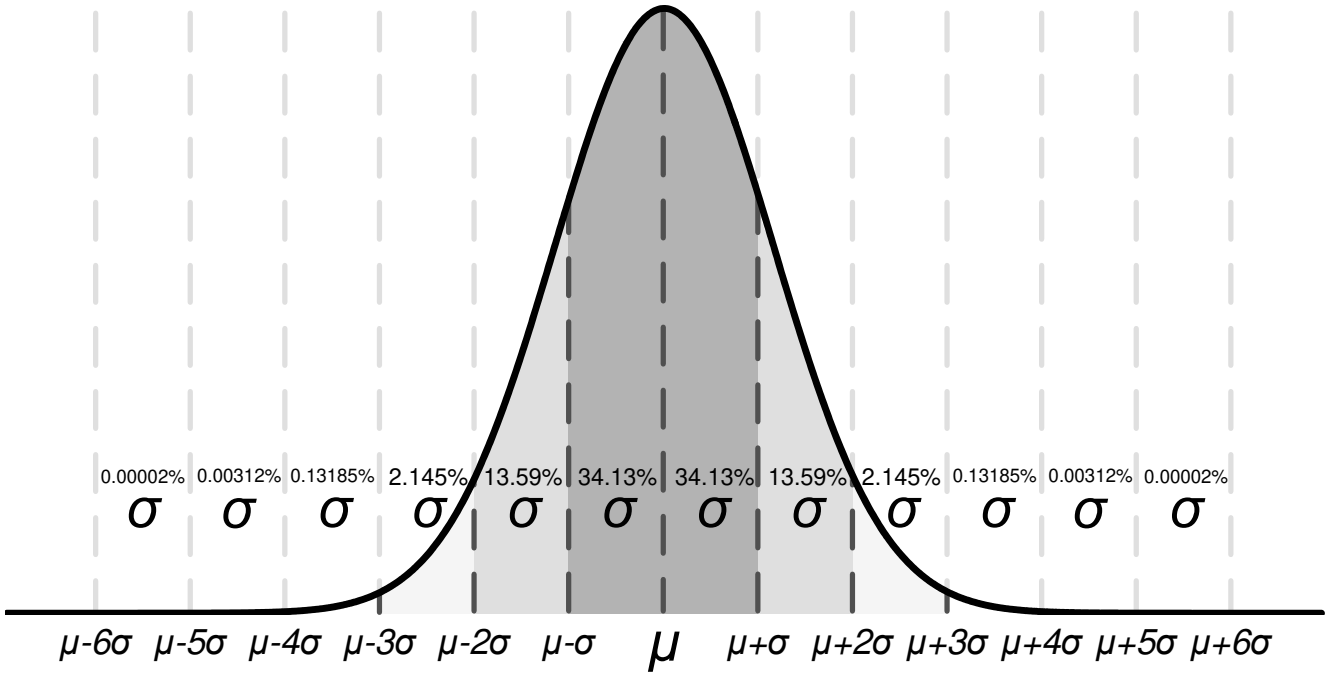



**図 6-11. 理想的なガウス分布**

分布の例を、図 6-11 に示します。ここで、μ (ミュー) は分布の平均値、σ (シグマ) はシステムの標準偏差です。このような分布を示す仕様では、すべてのユニットのうち約 2/3 (68.26%) の値は、平均値から 1 標準偏差、すなわち 1 シグマ (μ – σ から μ + σ まで) 以内と推定できます。

「電気的特性」表の「標準値」列に記載されている値は、仕様に応じてさまざまな方法で表現されます。一般的な目安として、仕様の性質上平均値が 0 以外の場合 (ゲイン帯域幅など)、標準値は平均値 (μ) と等しくなります。ただし、入力オフセット電圧のように、その性質上仕様の平均値が 0 に近い場合、最も正確に標準値を表すため、標準値は平均値に 1 標準偏差を加えた値 (μ + σ) と等しくなります。

このグラフを使用して、ユニットの仕様のおおよその確率を計算できます。たとえば OPAx991-EP の場合、入力電圧オフセットの標準値は 125μV なので、すべての OPAx991-EP デバイスのうち 68.2% は –125μV ～ 125μV のオフセットを持つと予想されます。4σ (±500μV) では、分布の 99.9937% のオフセット電圧は ±500μV 未満です。これは、母集団のうちこの制限値を超えているものは 0.0063%、15873 ユニットのうち約 1 個ということです。


Copyright © 2026 Texas Instruments Incorporated

仕様の最小値または最大値の列に値が記載されているものはテキサス・インスツルメンツによって指定されており、これらの制限値を超えたユニットは生産から除去されます。たとえば、OPAx991-EP ファミリの最大オフセット電圧は 25℃ において 895µV で、これは 5σ (約 170 万ユニットのうち 1 つ) をやや下回り、確率としては非常に低く、オフセット電圧が 895µV を超えるユニットは生産から除去されます。

最小値または最大値の列に値が記載されていない仕様については、アプリケーションに十分な余裕のあるシグマ値を選択し、この値を使用してワーストケース条件を設計することを検討してください。たとえば、6σ の値は約 5 億ユニットのうち 1 つです。これは非常に可能性が低く、システムの設計で大きな余裕を持たせるために適切な可能性があります。この場合、OPAx991-EP ファファミリにはオフセット電圧ドリフトの最大値または最小値の規定はありませんが、図 5-2 と「電気的特性」内の標準値 0.3µV/°C に基づいて計算すると、オフセット電圧ドリフトの 6σ 値は約 1.8µV/°C になります。ワーストケースのシステム条件を想定して設計する場合、実際の最小値や最大値の規定がなくても、この値を使用して温度範囲全体で考えられる最大オフセットを推定できます。

ただし、時間の経過に伴うプロセスの変動や調整によって、標準的な平均値と標準偏差が変動する可能性があるため、最小値または最大値の仕様列に値が記載されていない限り、TI はデバイスの性能を保証できません。この情報は、デバイスの性能を推定する目的でのみ使用してください。

## 6.4 デバイスの機能モード

OPAx991-EP には単一機能モードがあり、電源電圧が 2.7V (±1.35V) を上回ると動作します。OPAx991-EP の最大電源電圧は 40V (±20V) です。

# 7 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

## 7.1 使用上の注意

OPAx991-EP ファミリは、DC 精度と AC 性能が優れています。これらのデバイスは、最高 40V の電源レールで動作し、真のレール ツー レール入出力、低いオフセット電圧とオフセット電圧ドリフトに加えて、4.5MHz の帯域幅と、高い出力駆動を実現しています。これらの特長から、OPAx991-EP は高電圧の産業用アプリケーションに適した堅牢で高性能なオペアンプです。

### *7.1.1 スルー ブースト*

OPAx991-EP ファミリはスルー ブースト アーキテクチャを採用しており、大振幅の入力ステップからの回復を高速化します。デバイスの出力の変化率は、差動入力電圧 ($V_{ID}$) に応じてスケーリングされ、小信号または線形領域、自然スルー領域、スルー昇圧領域という三つの異なる動作モードになります。したがって、デバイスの実効スルーレートは、固定特性を持つのではなく、入力信号の関数となります。大信号の入力ステップでは、入力間の電圧差が大きい間 ($V_{ID}$ > 150mV) は、通常、出力は高速な立ち上がりエッジを示します。その後、入力電圧が互いに近づくと ($V_{ID}$ < 150mV)、デバイスの出力変化率が減少し、出力がセトリングします。

特定のアプリケーションでのアンプの出力変化率は、回路構成、寄生成分、その他の要因によって異なることに注意してください。以下のデータはデバイスの開ループ ステップ応答を反映しており、「電気的特性」に規定されている値は、代表的な回路実装で期待される閉ループ ステップ応答を示しています。

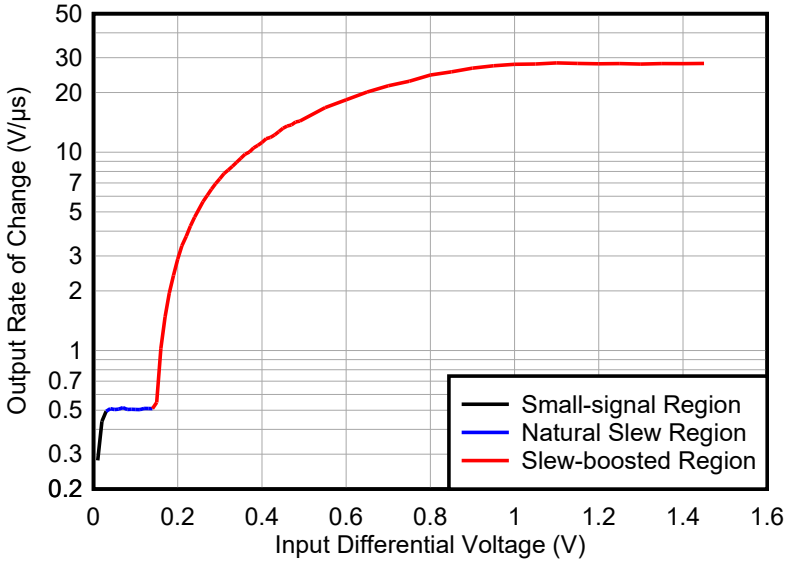



**図 7-1. OPAx991-EP の出力変化率と入力差動電圧との関係**

アンプがスルー状態に入ると、内部ミラー容量が充電されている間、静止電流は通常わずかに増加します。OPAx991-EP の出力スルー ブースト回路が作動すると、ミラー容量の充電レートが「ブースト」され、図 7-2 に示すように電源電流が一時的に上昇します。入力間の電圧差が大きく開いてスルー ブースト機能が作動するアプリケーションや使用事例では、電力バジェットを検討する際に、この大きな電源電流を考慮する必要があります。


Copyright © 2026 Texas Instruments Incorporated

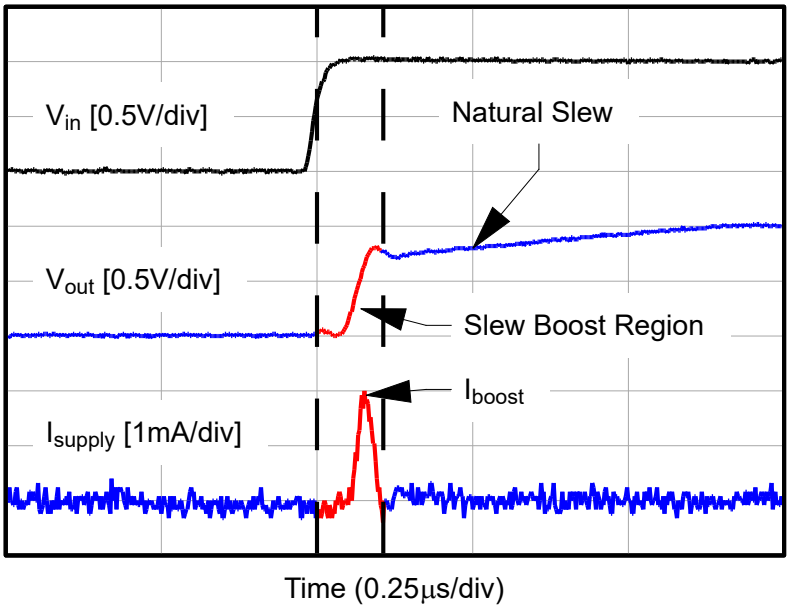



**図 7-2. OPAx991-EP の大信号ステップ応答特性**

デバイスのフルパワー帯域幅 (FPBW) 曲線は、アンプが特定の周波数において目立った歪みなしに再現できる最大ピーク ツー ピーク電圧 ($V_{PP}$) を表します。純粋な正弦波入力信号を使用してフルパワー帯域幅曲線内で動作させると、視覚的に歪みのない出力信号が発生します。一方、フルパワー帯域幅の境界を超えて動作すると、スルーレート制限に起因して視覚的に大きく歪んだ三角波が発生します。このタイプの出力歪みは、スルー誘起歪みと呼ばれます。

このデバイスのスルーレートは差動入力電圧 ($V_{ID}$) に応じてスケーリングされるため、OPAx991-EP には、スルーレートで制限される二つの異なる FPBW 境界があります。一つはスルーブースト動作モード用、もう一つは自然スルー領域用です。自然な FPBW を超えると、予想される全高調波歪 (THD) が増加することに注意してください。スルーに起因する歪みを低減するため、自然な FPBW 曲線内での動作を推奨します。

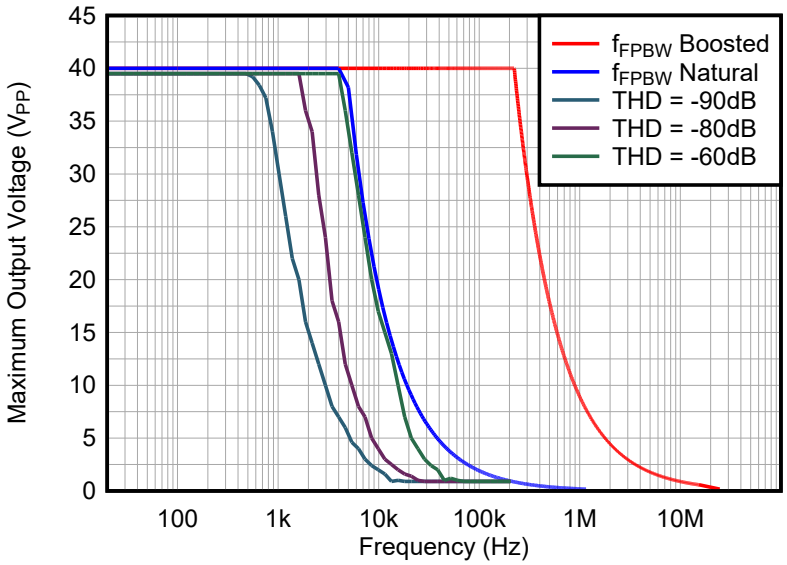



**図 7-3. OPAx991-EP の自然環境および昇圧スルーにおける最大出力電圧と周波数との関係**

スルーブースト アーキテクチャの詳細と、それに関連する THD への影響 (OPAx991 ファミリの実測データを含む) については、『フルパワー帯域幅とオペアンプ歪み』アプリケーション ノートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

## 7.2 代表的なアプリケーション

### 7.2.1 ローサイド電流測定

図 7-4 に、ローサイド電流検出アプリケーション用に構成された OPAx991-EP を示します。理論、計算、シミュレーション、測定データを含め、図 7-4 に示されている回路の詳細な分析については、TI Precision Design『TIPD129、0A ～ 1A 単一電源ローサイド電流検出ソリューション』を参照してください。

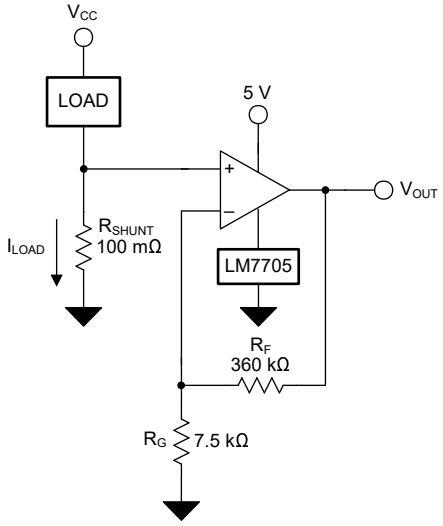



**図 7-4. ローサイド電流検出アプリケーションの OPAx991-EP**

#### 7.2.1.1 設計要件

この設計の設計要件は次のとおりです。

- 負荷電流:0A ～ 1A
- 出力電圧:4.9V
- 最大シャント電圧:100mV


Copyright © 2026 Texas Instruments Incorporated

#### 7.2.1.2 詳細な設計手順

図 7-4 の回路の伝達関数は、式 1 に示すとおりです。

$$V_{OUT} = I_{LOAD} \times R_{SHUNT} \times Gain \tag{1}$$

負荷電流 ($I_{LOAD}$) により、シャント抵抗 ($R_{SHUNT}$) の両端で電圧降下が発生します。負荷電流は 0A～1A の範囲で設定されます。最大負荷電流時のシャント電圧を 100mV 未満に維持するために、最大シャント抵抗は 式 2 を使用して定義されます。

$$R_{SHUNT} = \frac{V_{SHUNT_MAX}}{I_{LOAD_MAX}} = \frac{100mV}{1A} = 100m\Omega \tag{2}$$

式 2 を使用して計算すると、$R_{SHUNT}$ は 100mΩ となります。$I_{LOAD}$ と $R_{SHUNT}$ によって生成される電圧降下は OPAx991-EP によって増幅され、0V ～ 4.9V の出力電圧を生成します。OPAx991-EP が必要な出力電圧を生成するために必要なゲインは、式 3 を使用して計算します。

$$Gain = \frac{\left(V_{OUT_MAX} - V_{OUT_MIN}\right)}{\left(V_{IN_MAX} - V_{IN_MIN}\right)} \tag{3}$$

式 3 を使用して計算すると、必要なゲインは 49V/V となります。これは抵抗 $R_F$ と $R_G$ で設定します。OPAx991-EP のゲインを 49V/V に設定するための抵抗 $R_F$ と $R_G$ のサイズは、式 4 を使用して計算します。

$$Gain = 1 + \frac{\left(R_F\right)}{\left(R_G\right)} \tag{4}$$

$R_F$ を 360kΩ とすると、$R_G$ は 7.5kΩ と計算されます。$R_F$ と $R_G$ は、標準の値の抵抗で 49:1 の比率を生み出せるよう、360kΩ と 7.5kΩ を選択します。49:1 の比率にできるなら、他の抵抗を使用してもかまいません。図 7-4 に示す回路で測定された伝達関数を、図 7-5 に示します。

#### 7.2.1.3 アプリケーション曲線

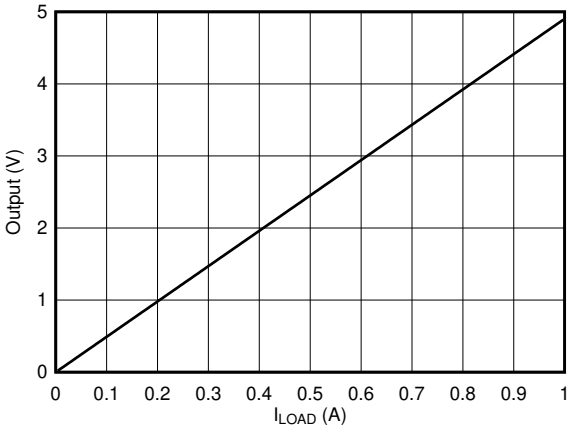



**図 7-5. ローサイド、電流検出、伝達関数**

## 7.3 電源に関する推奨事項

OPAx991-EP は 2.7V ～ 40V (±1.35V ～ ±40V) での動作が規定されており、多くの仕様は –55℃ ～ 125℃ で適用されます。動作電圧または温度に関して大きな変動を示す可能性があるパラメータについては、「代表的特性」を参照してください。

> **注意**
>
> 40V を超える電源電圧を印加すると、デバイスに永続的な損傷を与える可能性があります。「絶対最大定格」を参照してください。

電源ピンの近くに 0.1µF のバイパス コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源からの誤差を低減できます。バイパス コンデンサの配置の詳細については、「レイアウト」を参照してください。

## 7.4 レイアウト

### *7.4.1 レイアウトのガイドライン*

デバイスで最高の動作性能を実現するには、以下のような適切な PCB レイアウト手法を使用してください。

- ノイズが回路全体の電源ピンとオペアンプ自体を経由して、アナログ回路に伝播することがあります。バイパス コンデンサは、アナログ回路に対してローカルに低インピーダンスの電源を供給し、結合ノイズを低減するために使用されます。
  - 各電源ピンとグランドとの間に、低 ESR の 0.1µF セラミック バイパス コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、V+ からグランドに対して 1 つのバイパス コンデンサを接続します。
- 回路のアナログ部とデジタル部を別々に接地することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランド プレーン専用です。グランド プレーンは熱の分散に役立つとともに、EMI ノイズを拾う可能性を低減します。グランド電流の流れに注意して、デジタル グランドとアナログ グランドを物理的に確実に分離してください。
- 寄生カップリングを低減するには、入力配線を電源配線や出力配線からできるだけ離して配置します。これらの配線を分離して配置できない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに良い結果が得られます。
- 外付け部品は、可能な限りデバイスに近く配置します。図 7-7 に示すように、RF と RG を反転入力に近づけて配置すると、寄生容量が最小化されます。
- 入力配線は、できる限り短くしてください。入力配線は、回路の中で最も影響を受けやすい部分であることを常に意識してください。
- 重要な配線の周囲では、駆動型の低インピーダンス ガード リングを配置することを検討してください。ガード リングを使用すると、付近のさまざまな電位にある配線からのリーク電流を大幅に低減できます。
- 最高の性能を実現するため、基板組み立ての後で PCB を清掃することを推奨します。
- 高精度の集積回路では、プラスチック パッケージへの水分の侵入により性能が変化する場合があります。PCB を水で洗浄してから、PCB アセンブリをベーキングして、清掃プロセス中にデバイスのパッケージに侵入した水分を除去することを推奨します。ほとんどの場合、洗浄後に 85℃で 30 分間の低温ベーキングを行えば十分です。


Copyright © 2026 Texas Instruments Incorporated

### 7.4.2 レイアウト例

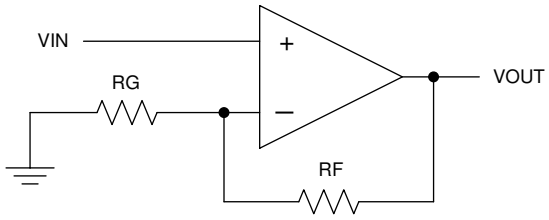



**図 7-6. 回路図**

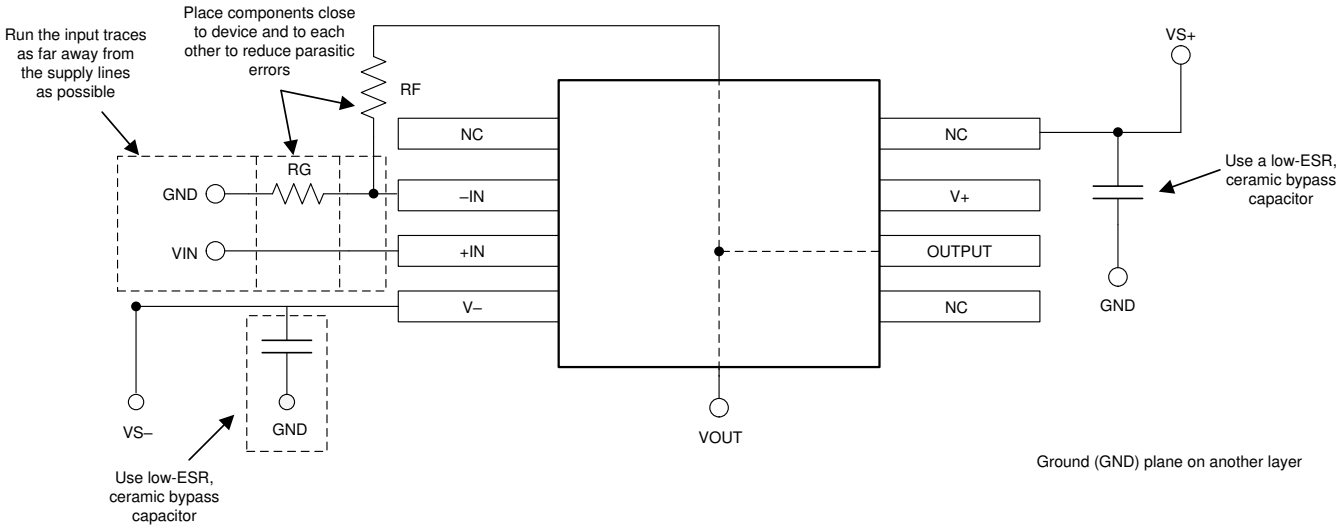



**図 7-7. 非反転構成のオペアンプ基板のレイアウト**

# 8 デバイスおよびドキュメントのサポート

## 8.1 デバイス サポート

### *8.1.1 開発サポート*

#### 8.1.1.1 TINA-TI™ (無料のダウンロード ソフトウェア)

TINA™ は、SPICE エンジンをベースにした単純かつ強力な、使いやすい回路シミュレーション プログラムです。TINA-TI は、TINA ソフトウェアのすべての機能を持つ無償バージョンで、パッシブ モデルとアクティブ モデルに加えて、マクロ モデルのライブラリがプリロードされています。TINA-TI には、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI は Analog eLab Design Center から無料でダウンロードでき、ユーザーが結果をさまざまな方法でフォーマットできる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイック スタート ツールを作成できます。

---

**注**

これらのファイルを使用するには、TINA ソフトウェア (DesignSoft™ から入手できます) または TINA-TI ソフトウェアがインストールされている必要があります。TINA-TI フォルダから、無料の TINA-TI ソフトウェアをダウンロードしてください。

---

## 8.2 ドキュメントのサポート

### *8.2.1 関連資料*

関連資料については、以下を参照してください。

テキサス インスツルメンツ、『アナログ エンジニア向け回路クックブック：増幅器』ソリューション ガイド

テキサス・インスツルメンツ、『AN-31 アンプ回路コレクション』アプリケーション ノート

テキサス・インスツルメンツ、『MUX 対応高精度オペアンプ』アプリケーション ノート

テキサス・インスツルメンツ、『オペアンプの EMI 除去率』アプリケーション レポート

テキサス・インスツルメンツ、『相補型ペア入力段を持つオペアンプ』アプリケーション ノート

## 8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

## 8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

## 8.5 商標

TINA-TI™ is a trademark of Texas Instruments, Inc and DesignSoft, Inc.
TINA™ and DesignSoft™ are trademarks of DesignSoft, Inc.
テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
Bluetooth® is a registered trademark of Bluetooth SIG, Inc.
すべての商標は、それぞれの所有者に帰属します。


Copyright © 2026 Texas Instruments Incorporated

## 8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

## 8.7 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

## 9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

**Changes from Revision B (November 2022) to Revision C (September 2026)** **Page**

- 「特長」と「概要」のスルーレートの表現を「高ピーク スルーレート」に変更し、「特長」の入力の表現を「マルチプレクサ フレンドリ / コンパレータ」から「マルチプレクサ フレンドリ」に変更 1
- 「特長」および「入力保護回路」の入力構造の説明を更新 1
- 「パッケージ情報」表およびドキュメント全体に、DBV パッケージのシングルチャネル OPA991-EP を追加 1
- 「ESD レーティング」に OPA991-EP パッケージを追加 6
- 「熱に関する情報」に OPA991-EP (DBV) パッケージを追加 6
- スルーレート仕様に $V_{ID}$ > 150mV の条件を追加し、20mV < $V_{ID}$ < 150mV の条件を追加 7
- 図 6-26 と 6-39 を変更 9
- 自然スルー条件およびスルー ブースト条件でのデバイスのスルーレートに関する説明を含む「スルー ブースト」セクションを追加 26

**Changes from Revision A (August 2022) to Revision B (November 2022)** **Page**

- 熱抵抗値を更新 6
- 最大出力電圧スイング ($V_S$ = 40V、$R_L$ = 10kΩ) を 55mV から 70mV に増加 7

**Changes from Revision * (June 2022) to Revision A (August 2022)** **Page**

- デバイス ステータスを「事前情報」から「量産データ」に変更 1
- 「製品情報」表の SOT-23 (14) パッケージからプレビューの注を削除 1

Copyright © 2026 Texas Instruments Incorporated

# 10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。


Copyright © 2026 Texas Instruments Incorporated

## PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package \| Pins | Package qty \| Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|---|---|---|---|---|---|---|---|---|---|
| OPA4991MDYYREP | Active | Production | SOT-23-THIN (DYY) \| 14 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -55 to 125 | OPA4991EP |
| OPA4991MDYYREP.A | Active | Production | SOT-23-THIN (DYY) \| 14 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -55 to 125 | OPA4991EP |
| POPA991MDBVREP | Active | Preproduction | SOT-23 (DBV) \| 5 | 3000 \| LARGE T&R | - | Call TI | Call TI | -55 to 125 | |
| V62/21615-01XE | Active | Production | SOT-23-THIN (DYY) \| 14 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -55 to 125 | OPA4991EP |

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF OPA4991-EP, OPA991-EP :**

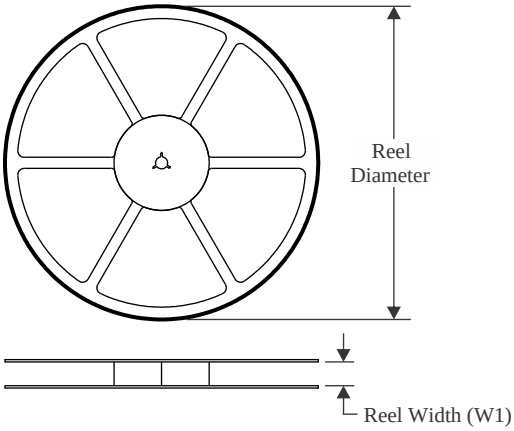
- Catalog : OPA4991, OPA991
- Automotive : OPA4991-Q1, OPA991-Q1

NOTE: Qualified Version Definitions:

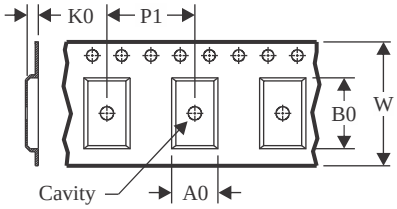
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

## TAPE AND REEL INFORMATION

**REEL DIMENSIONS**

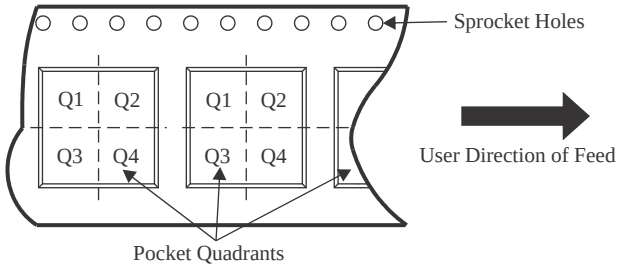



**TAPE DIMENSIONS**




| | |
|---|---|
| A0 | Dimension designed to accommodate the component width |
| B0 | Dimension designed to accommodate the component length |
| K0 | Dimension designed to accommodate the component thickness |
| W | Overall width of the carrier tape |
| P1 | Pitch between successive cavity centers |

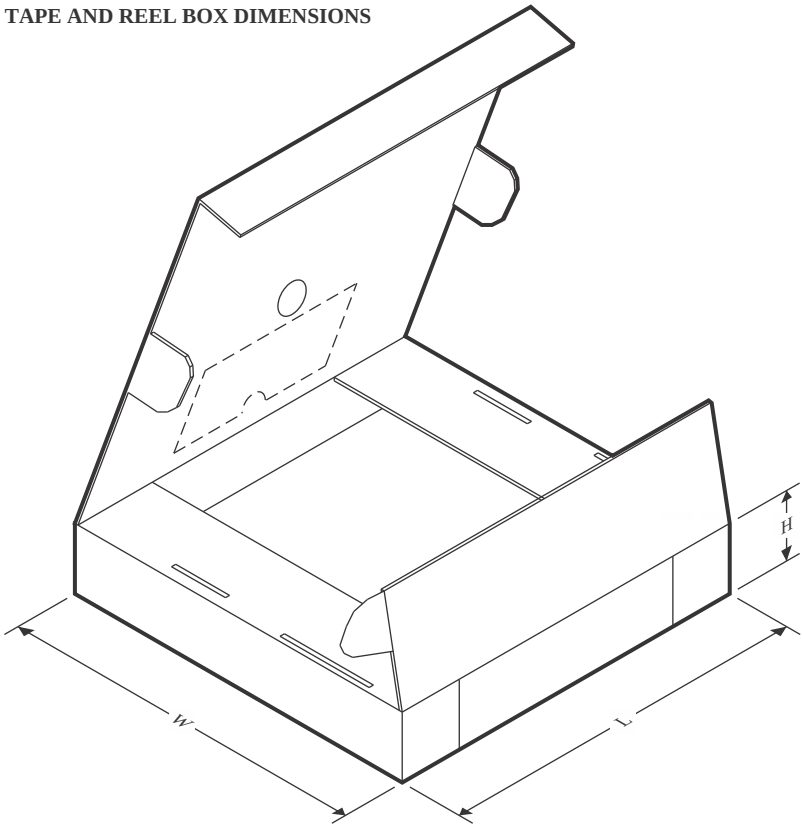
**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**




*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| OPA4991MDYYREP | SOT-23-THIN | DYY | 14 | 3000 | 330.0 | 12.4 | 4.8 | 3.6 | 1.6 | 8.0 | 12.0 | Q3 |

TAPE AND REEL BOX DIMENSIONS




*All dimensions are nominal

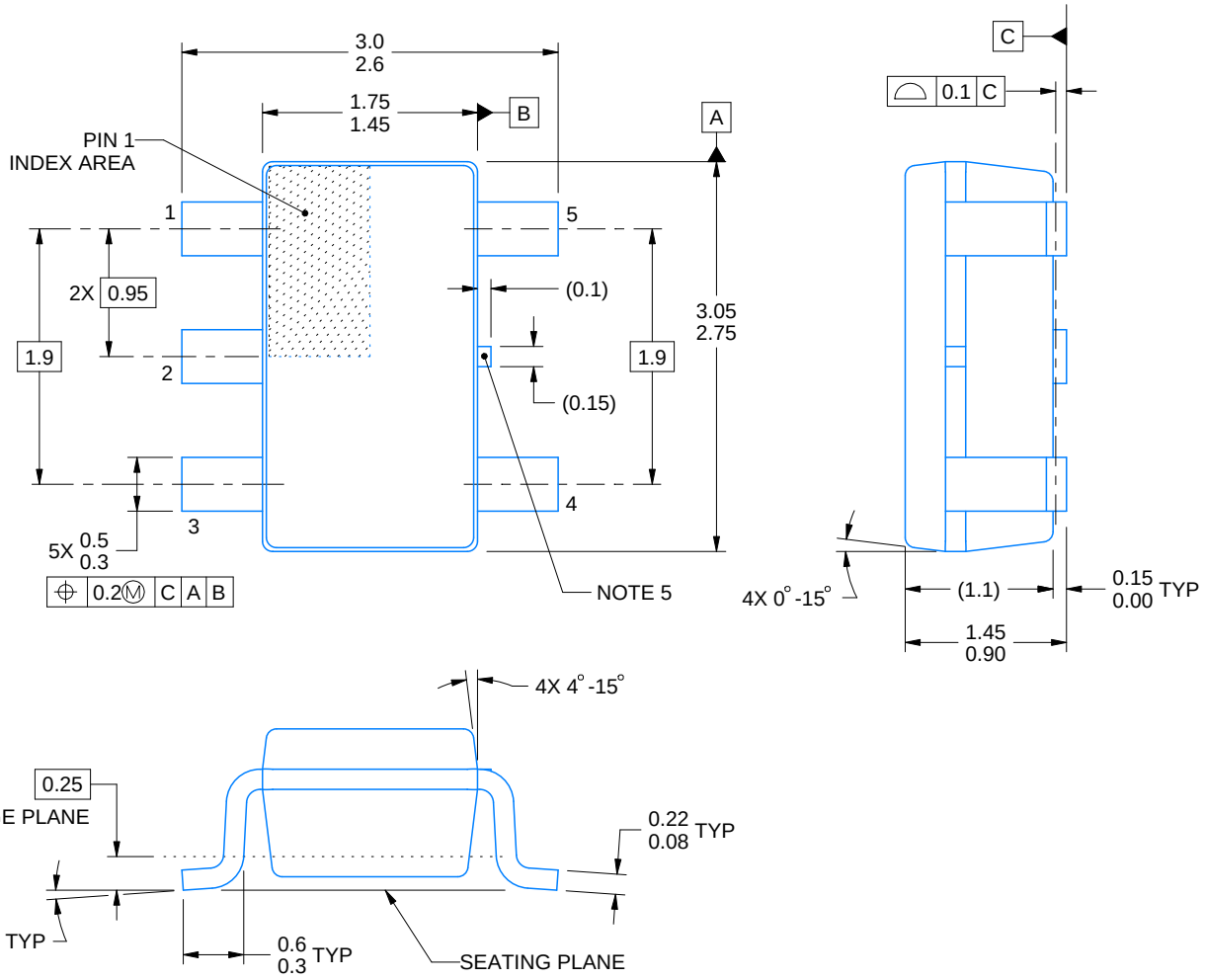
| Device | Package Type | Package Drawing | Pins | SPQ | Length (mm) | Width (mm) | Height (mm) |
|---|---|---|---|---|---|---|---|
| OPA4991MDYYREP | SOT-23-THIN | DYY | 14 | 3000 | 336.6 | 336.6 | 31.8 |

# PACKAGE OUTLINE

## DBV0005A

## SOT-23 - 1.45 mm max height

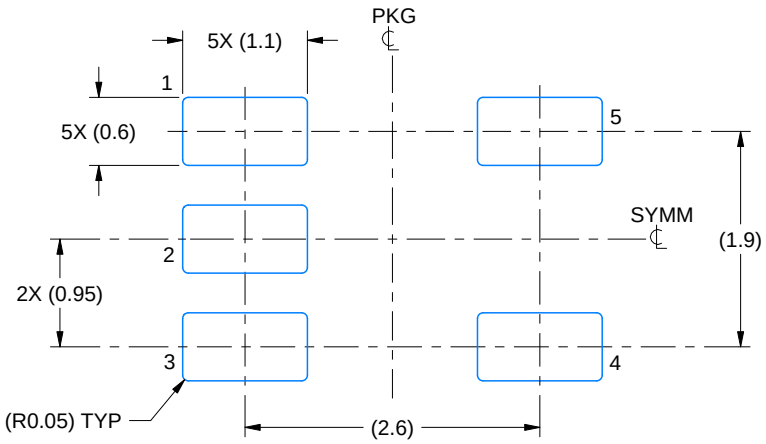
SMALL OUTLINE TRANSISTOR



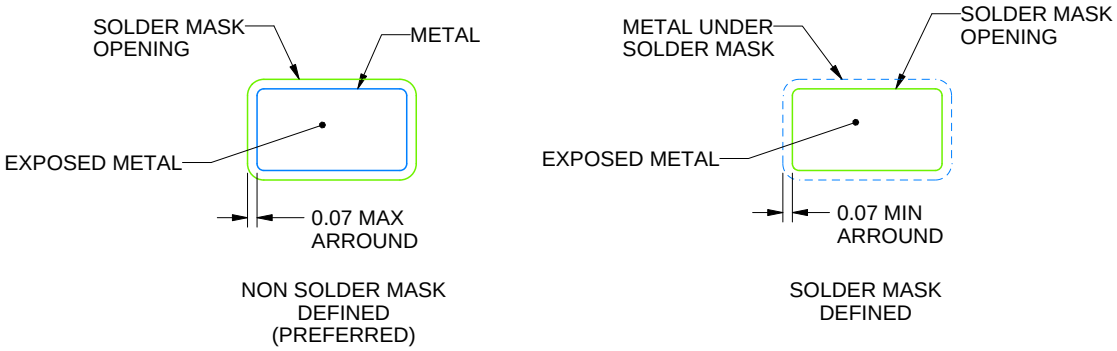

4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.




LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

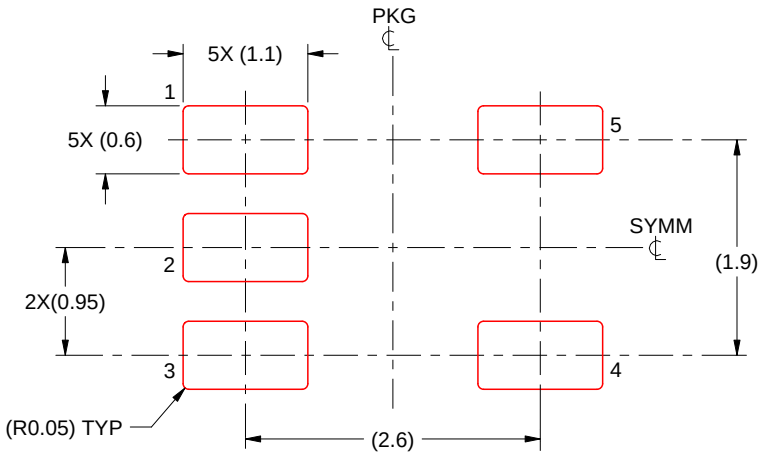



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.




SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

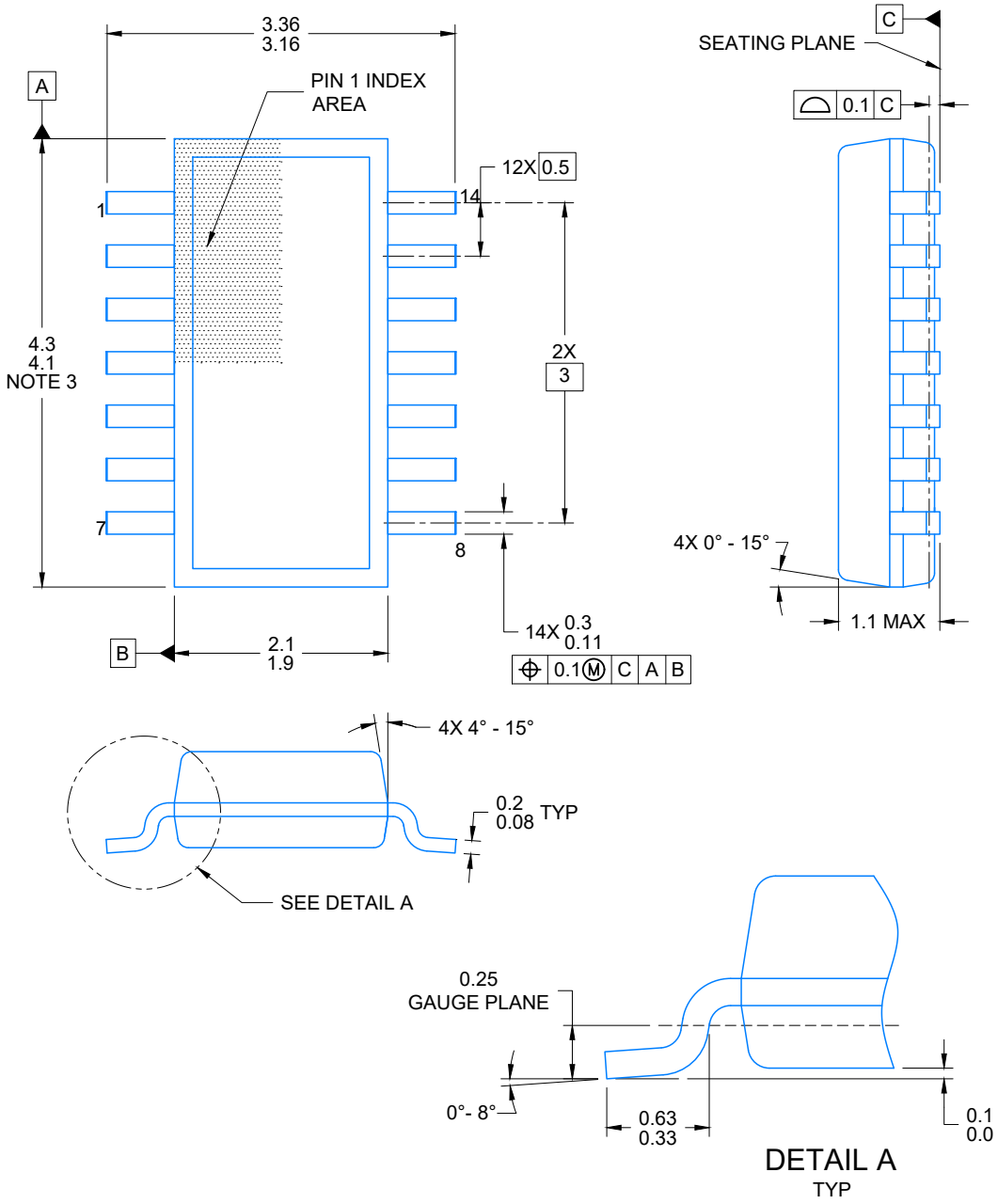
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

# PACKAGE OUTLINE

## DYY0014A

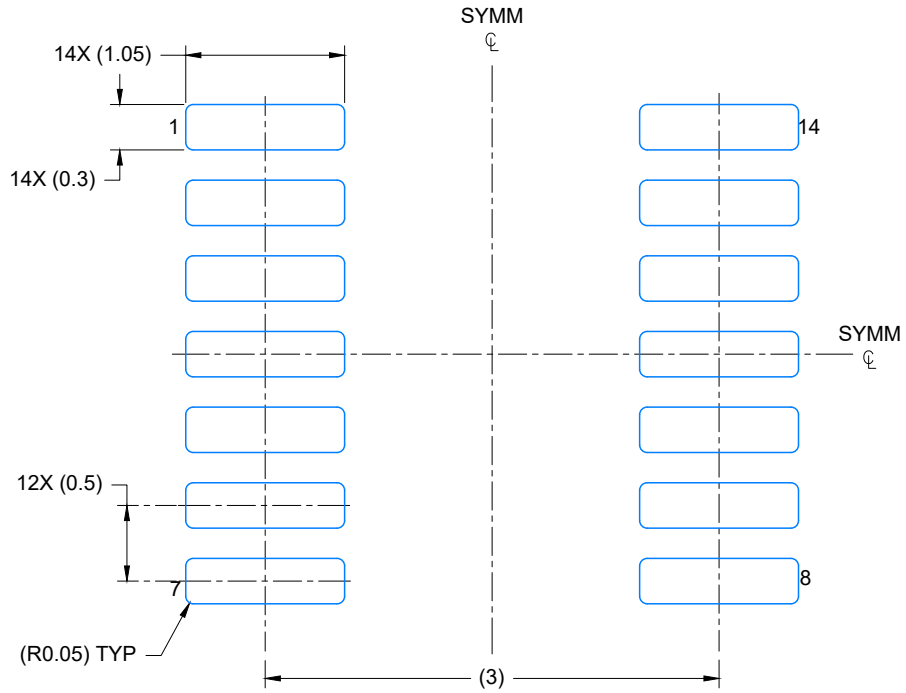
## SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

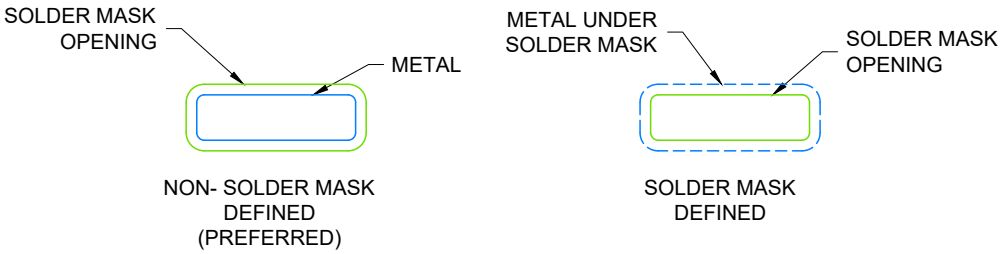



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AB




LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

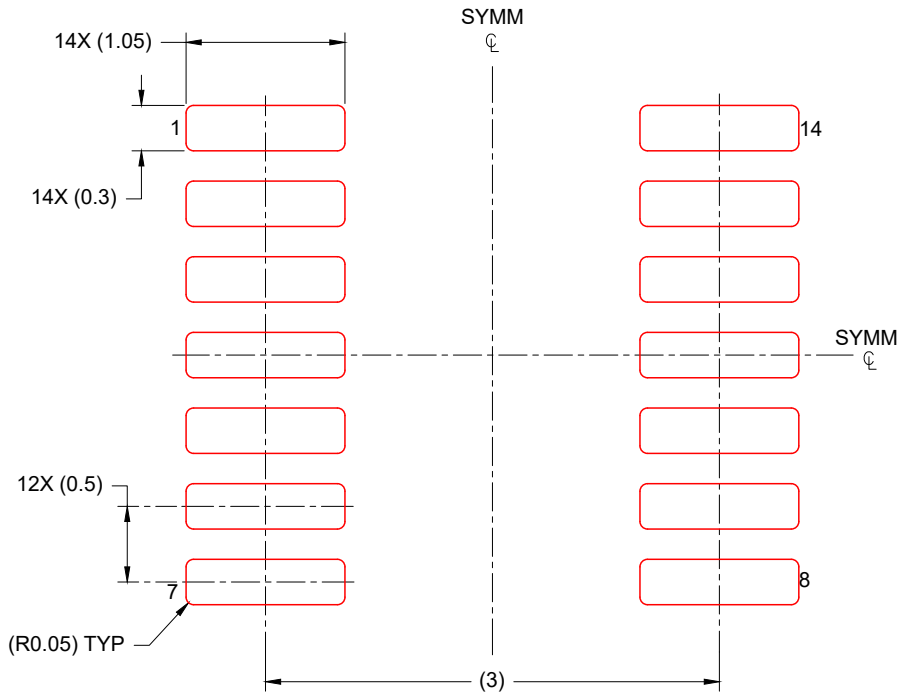



SOLDER MASK DETAILS

4224643/D 07/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.




SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224643/D 07/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

# 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月