



単電源、シングルエンド、MUX付、 高精度プログラマブル・ゲイン・アンプ

特長

- レール・ツー・レール入出力
- オフセット：25 μ V (typ)、100 μ V (max)
- ゼロ・ドリフト：0.35 μ V/ $^{\circ}$ C (typ)、1.2 μ V/ $^{\circ}$ C (max)
- 低ノイズ：12nV/ $\sqrt{\text{Hz}}$
- 入力オフセット電流：最大 \pm 5nA (+25 $^{\circ}$ C)
- ゲイン誤差：最大0.1% (G \leq 32)、最大0.3% (G > 32)
- バイナリ・ゲイン：1、2、4、8、16、32、64、128 (PGA112、PGA116)
- スコープ・ゲイン：1、2、5、10、20、50、100、200 (PGA113、PGA117)
- ゲイン切替時間：200ns
- 2チャンネルMUX：PGA112、PGA113
10チャンネルMUX：PGA116、PGA117
- 4つの内部キャリブレーション・チャンネル
- CDAC ADCのドライブ用に最適化されたアンプ
- 出力スイング：50mV (対電源レール)
- 複数電圧システムに対応したAV_{DD}とDV_{DD}
- I_Q = 1.1mA (標準)
- ソフトウェア/ハードウェア・シャットダウン：
I_Q \leq 4 μ A (標準)
- 温度範囲：-40 $^{\circ}$ C ~ +125 $^{\circ}$ C

- デイジー・チェーン対応のSPI™インターフェイス (10MHz)

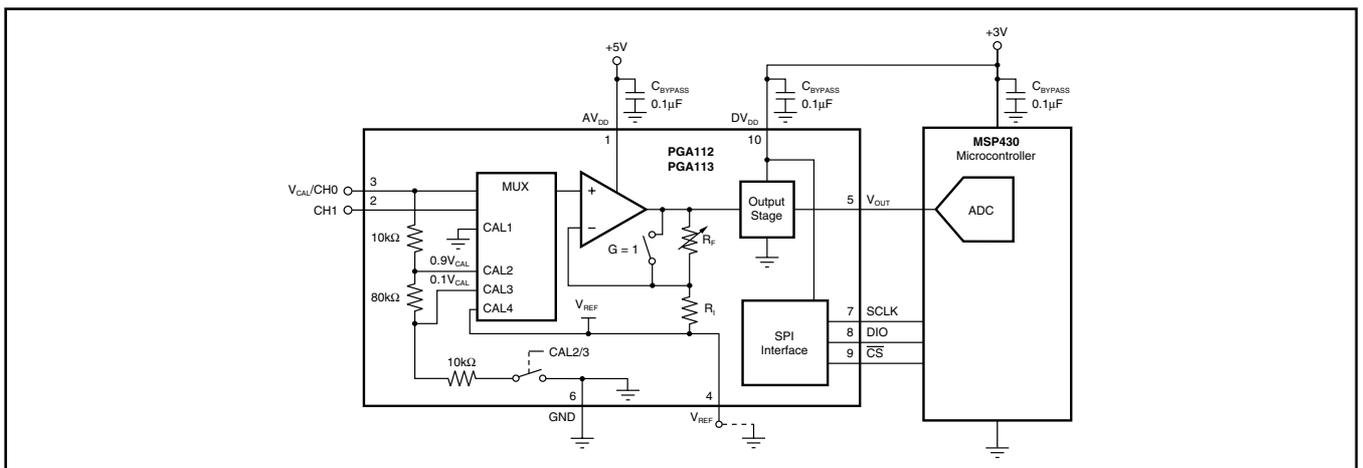
アプリケーション

- 電力計の遠隔読み取り
- 自動ゲイン制御
- ポータブル・データ・アキュジション
- PCベースのデータ・アキュジション・システム
- 試験機器、計測機器
- プログラマブル・ロジック・コントローラ
- バッテリ駆動機器
- ハンドヘルド試験装置

概要

PGA112およびPGA113 (バイナリ/スコープ・ゲイン) は、2つのアナログ入力、3ピンSPIインターフェイス、およびソフトウェア・シャットダウン機能を持ち、MSOP-10パッケージに収められました。PGA116およびPGA117 (バイナリ/スコープ・ゲイン) は、10個のアナログ入力、デイジー・チェーン対応4ピンSPIインターフェイス、およびハードウェア/ソフトウェア・シャットダウン機能を持ち、TSSOP-20パッケージに収められました。

すべてのモデルが、システム・レベル・キャリブレーションの



SPIはMotorola社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



最新の英語版資料
<http://focus.ti.com/lit/ds/symlink/pga112.pdf>

ための内部キャリブレーション・チャンネルを備えています。各チャンネルはそれぞれ、GND、0.9V_{CAL}、0.1V_{CAL}、およびV_{REF}に接続されています。チャンネル0に接続される外部電圧V_{CAL}は、システム・キャリブレーションのリファレンスとして使用されます。バイナリ・ゲインは1、2、4、8、16、32、64、および128、スコープ・ゲインは1、2、5、10、20、50、100、および200です。



静電気放電対策

これらのデバイスは、限定的な ESD (静電破壊) 保護機能を内蔵しています。保存時または取り扱い時は、MOS ゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを伝導性のフォームに入れる必要があります。

パッケージ

製品名	MUX 入力数	ゲイン (各8種)	SPI デイジーチェーン	シャットダウン		パッケージ
				ハードウェア	ソフトウェア	
PGA112	2	バイナリ	なし	なし	✓	MSOP-10
PGA113	2	スコープ	なし	なし	✓	MSOP-10
PGA116	10	バイナリ	✓	✓	✓	TSSOP-20
PGA117	10	スコープ	✓	✓	✓	TSSOP-20

製品情報⁽¹⁾

製品名	説明 (ゲイン/チャンネル)	パッケージ・リード	パッケージ・コード	パッケージ捺印
PGA112	バイナリ ⁽²⁾ /2 チャンネル	MSOP-10	DGS	P112
PGA113	スコープ ⁽³⁾ /2 チャンネル	MSOP-10	DGS	P113
PGA116 ⁽⁴⁾	バイナリ ⁽²⁾ /10 チャンネル	TSSOP-20	PW	PGA116
PGA117 ⁽⁴⁾	スコープ ⁽³⁾ /10 チャンネル	TSSOP-20	PW	PGA117

- (1) 最新のパッケージおよびご注文情報については、このドキュメントの巻末にある「付録：パッケージ・オプション」を参照するか、TIのWebサイト (www.ti.com または www.tij.co.jp) をご覧ください。
- (2) バイナリ・ゲイン：1、2、4、8、16、32、64、および128
- (3) スコープ・ゲイン：1、2、5、10、20、50、100、および200
- (4) 2008年予定

絶対最大定格⁽¹⁾

		PGA112, PGA113, PGA116, PGA117	単位
電源電圧		+7	V
信号入力端子、電圧 ⁽²⁾		GND - 0.5 ~ (AV _{DD}) + 0.5	V
信号入力端子、電流 ⁽²⁾		±10	mA
出力短絡		連続	
動作温度		-40 ~ +125	°C
保存温度		-65 ~ +150	°C
接合部温度		+150	°C
ESD 耐圧:	人体モデル (HBM)	3000	V
	デバイス帯電モデル (CDM)	1000	V
	マシン・モデル (MM)	300	V

- (1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。これはストレスの定格のみについて示してあり、このデータシートに示された値を越える状態での本製品の機能動作は含まれていません。
- (2) 入力端子は、電源レールにダイオード・クランプされています。電源レールから0.5V以上スイング可能な入力信号は、10mA以下に電流制限する必要があります。

電気的特性：V_S = AV_{DD} = DV_{DD} = +5V

太字は、仕様温度範囲T_A = -40°C ~ +125°Cに適用。

T_A = +25°C、DV_{DD}/2にR_L = 10kΩ/C_L = 100pFを接続、およびV_{REF} = GND。(特に記述のない限り)

パラメータ	条件	PGA112, PGA113			単位
		MIN	TYP	MAX	
オフセット電圧					
入力オフセット電圧	V _{OS} AV _{DD} = DV _{DD} = +5V, V _{REF} = V _{IN} = AV _{DD} /2, V _{CM} = 2.5V AV _{DD} = DV _{DD} = +5V, V _{REF} = V _{IN} = AV _{DD} /2, V _{CM} = 4.5V		±25	±100	μV
対温度、-40°C ~ +125°C	dV _{OS} /dT AV _{DD} = DV _{DD} = +5V, V _{CM} = 2.5V		±75	±325	μV
対温度、-40°C ~ +85°C	AV _{DD} = DV _{DD} = +5V, V _{CM} = 2.5V		0.35	1.2	μV/°C
対温度、-40°C ~ +125°C	AV _{DD} = DV _{DD} = +5V, V _{CM} = 4.5V		0.15	0.9	μV/°C
対温度、-40°C ~ +85°C	AV _{DD} = DV _{DD} = +5V, V _{CM} = 4.5V		0.6	1.8	μV/°C
対温度、-40°C ~ +125°C	AV _{DD} = DV _{DD} = +5V, V _{CM} = 4.5V		0.3	1.3	μV/°C
対電源	PSRR AV _{DD} = DV _{DD} = +2.2V ~ +5.5V, V _{CM} = 0.5V, V _{REF} = V _{IN} = AV _{DD} /2		5	20	μV/V
全温度範囲、-40°C ~ +125°C	AV _{DD} = DV _{DD} = +2.2V ~ +5.5V, V _{CM} = 0.5V, V _{REF} = V _{IN} = AV _{DD} /2		5	40	μV/V
入力ON-チャンネル電流					
入力ON-チャンネル電流(Ch0, Ch1)	I _{IN} V _{REF} = V _{IN} = AV _{DD} /2		±1.5	±5	nA
全温度範囲、-40°C ~ +125°C	V _{REF} = V _{IN} = AV _{DD} /2		代表的特性参照		nA
入力電圧範囲	I _{VR}	GND - 0.1		AV _{DD} + 0.1	V
過電圧入力範囲	出力位相非反転 ⁽²⁾	GND - 0.3		AV _{DD} + 0.3	V
入力インピーダンス(チャンネル-ON) ⁽³⁾					
チャンネル入力容量	C _{CH}		2		pF
チャンネル・スイッチ抵抗	R _{SW}		150		Ω
アンプ入力容量	C _{AMP}		3		pF
アンプ入力抵抗	R _{AMP}	対 GND入力抵抗	10		GΩ
V _{CAL} /CHO	R _{IN}	CAL1または、CAL2を選択	100		kΩ
ゲイン選択					
公称ゲイン	バイナリ・ゲイン：1, 2, 4, 8, 16, 32, 64, 128 スコープ・ゲイン：1, 2, 5, 10, 20, 50, 100, 200	1		128	
DCゲイン誤差	G = 1 V _{OUT} = GND + 85mV ~ DV _{DD} - 85mV 1 < G ≤ 32 V _{OUT} = GND + 85mV ~ DV _{DD} - 85mV G ≥ 50 V _{OUT} = GND + 85mV ~ DV _{DD} - 85mV	1	0.006	0.1	%
DCゲイン・ドリフト	G = 1 V _{OUT} = GND + 85mV ~ DV _{DD} - 85mV 1 < G ≤ 32 V _{OUT} = GND + 85mV ~ DV _{DD} - 85mV G ≥ 50 V _{OUT} = GND + 85mV ~ DV _{DD} - 85mV		0.5	0.3	ppm/°C
CAL2 DCゲイン誤差 ⁽⁴⁾	Op Amp + Input = 0.9V _{CAL} , V _{REF} = V _{CAL} = AV _{DD} /2, G = 1		2		ppm/°C
CAL2 DCゲイン・ドリフト ⁽⁴⁾	Op Amp + Input = 0.1V _{CAL} , V _{REF} = V _{CAL} = AV _{DD} /2, G = 1		0.02		%
CAL3 DCゲイン誤差 ⁽⁴⁾	Op Amp + Input = 0.9V _{CAL} , V _{REF} = V _{CAL} = AV _{DD} /2, G = 1		2		ppm/°C
CAL3 DCゲイン・ドリフト ⁽⁴⁾	Op Amp + Input = 0.1V _{CAL} , V _{REF} = V _{CAL} = AV _{DD} /2, G = 1		0.02		%
入力インピーダンス(チャンネル-OFF) ⁽³⁾					
入力インピーダンス	C _{CH} 図1参照		2		pF
入力OFF-チャンネル電流					
入力Off-チャンネル電流(Ch0, Ch1) ⁽⁵⁾	I _{LKG} V _{REF} = GND, V _{OFF-CHANNEL} = AV _{DD} /2, V _{ON-CHANNEL} = AV _{DD} /2 - 0.1V V _{REF} = GND, V _{OFF-CHANNEL} = AV _{DD} /2, V _{ON-CHANNEL} = AV _{DD} /2 - 0.1V		±0.05	±1	nA
全温度範囲、-40°C ~ +125°C			代表的特性参照		
チャンネル間クロストーク			130		dB

- ゲイン誤差は、入力電圧の関数です。(GND + 85mV ≤ V_{OUT} ≤ DV_{DD} - 85mV)の範囲外のゲイン誤差は、0.5% (typ)まで増加します。
- この範囲を超える入力電圧は、デバイスの恒久的な破壊を防ぐために、各チャンネルの入力保護ダイオードを通して10mA未満に電流制限する必要があります。
- 図1を参照。
- 合計のV_{OUT}誤差は、入力オフセット電圧誤差にゲインを乗算して計算する必要があります。オペアンプのG = 1誤差も含まれます。
- 最大仕様は、最終的な試験時間および能力によって制限されます。

電気的特性：V_S = AV_{DD} = DV_{DD} = +5V

太字は、仕様温度範囲T_A = -40°C ~ +125°Cに適用。

T_A = +25°C、DV_{DD}/2にR_L = 10kΩ/C_L = 100pFを接続、およびV_{REF} = GND。(特に記述のない限り)

パラメータ	条件	PGA112, PGA113			単位
		MIN	TYP	MAX	
出力					
出力電圧振幅	I _{OUT} = ±0.25mA, AV _{DD} ≥ DV _{DD} ⁽⁶⁾	GND + 0.05		DV _{DD} - 0.05	V
	I _{OUT} = ±5mA, AV _{DD} ≥ DV _{DD} ⁽⁶⁾	GND + 0.25		DV _{DD} - 0.25	V
DC 出力非線形性	V _{OUT} = GND + 85mV ~ DV _{DD} - 85mV ⁽⁷⁾		0.0015		%FSR
短絡電流	I _{SC}		-30/+60		mA
容量性負荷	C _{LOAD}		代表的特性参照		
ノイズ					
入力電圧ノイズ密度	e _n	f > 10kHz, C _L = 100pF, V _S = 5V		12	nV/√Hz
		f > 10kHz, C _L = 100pF, V _S = 2.2V		22	nV/√Hz
入力電圧ノイズ	e _n	f = 0.1Hz ~ 10Hz, C _L = 100pF, V _S = 5V		0.362	μV _{PP}
		f = 0.1Hz ~ 10Hz, C _L = 100pF, V _S = 2.2V		0.736	μV _{PP}
入力電流密度	I _n	f = 10kHz, C _L = 100pF		400	fA/√Hz
スルー・レート					
スルー・レート	SR		表 1 参照		V/μs
セトリング時間					
セトリング時間	t _S		表 1 参照		μs
周波数応答					
周波数応答			表 1 参照		MHz
全高調波歪 (THD) + ノイズ					
		G = 1, f = 1kHz, V _{OUT} = 4V _{PP} at 2.5V _{DC} , C _L = 100pF		0.003	%
		G = 10, f = 1kHz, V _{OUT} = 4V _{PP} at 2.5V _{DC} , C _L = 100pF		0.005	%
		G = 50, f = 1kHz, V _{OUT} = 4V _{PP} at 2.5V _{DC} , C _L = 100pF		0.03	%
		G = 128, f = 1kHz, V _{OUT} = 4V _{PP} at 2.5V _{DC} , C _L = 100pF		0.08	%
		G = 200, f = 1kHz, V _{OUT} = 4V _{PP} at 2.5V _{DC} , C _L = 100pF		0.1	%
		G = 1, f = 20kHz, V _{OUT} = 4V _{PP} at 2.5V _{DC} , C _L = 100pF		0.02	%
		G = 10, f = 20kHz, V _{OUT} = 4V _{PP} at 2.5V _{DC} , C _L = 100pF		0.01	%
		G = 50, f = 20kHz, V _{OUT} = 4V _{PP} at 2.5V _{DC} , C _L = 100pF		0.03	%
		G = 128, f = 20kHz, V _{OUT} = 4V _{PP} at 2.5V _{DC} , C _L = 100pF		0.08	%
		G = 200, f = 20kHz, V _{OUT} = 4V _{PP} at 2.5V _{DC} , C _L = 100pF		0.11	%
POWER SUPPLY					
動作電圧範囲 ⁽⁶⁾	AV _{DD}		2.2	5.5	V
	DV _{DD}		2.2	5.5	V
アナログ静止電流	I _{OA}	I _O = 0, G = 1, V _{OUT} = V _{REF}		0.33	mA
全温度範囲, -40°C ~ +125°C				0.45	mA
デジタル静止電流 ⁽⁸⁾⁽⁹⁾⁽¹⁰⁾	I _{OD}	I _O = 0, G = 1, V _{OUT} = V _{REF} , SCLK at 10MHz, CS = Logic 0, DIO = Logic 0		0.75	mA
全温度範囲, -40°C ~ +125°C ⁽⁸⁾⁽⁹⁾⁽¹⁰⁾		I _O = 0, G = 1, V _{OUT} = V _{REF} , SCLK at 10MHz, CS = Logic 0, DIO = Logic 0		1.2	mA
シャット・ダウン電流 アナログ+デジタル ⁽⁸⁾⁽⁹⁾	I _{SDA} + I _{SDD}	I _O = 0, V _{OUT} = V _{REF} , G = 1, SCLK Idle		4	μA
		I _O = 0, V _{OUT} = 0, G = 1, SCLK at 10MHz, CS = Logic 0, DIO = Logic 0		245	μA
パワー・オン・リセット (POR)					
POR トリップ電圧		デジタル・インターフェイスはデイスエーブル、コマンド・レジスタは PORに設定される。DV _{DD} < POR トリップ電圧		1.6	V

(6) AV_{DD}がDV_{DD}より低い場合、出力はAV_{DD} + 300mVにクランプされます。

(7) 測定は試験装置のノイズおよび試験時間によって制限されます。

(8) V_{REF}ピンに流れ込む電流およびV_{REF}ピンから流れ出る電流を含みません。内部のR_FおよびR_Iが常にV_{OUT}とV_{REF}の間に接続されています。

(8) デジタル・ロジック・レベル：DIO = ロジック0。10μAの内部電流源。

(10) オペアンプが構造上出力する電流を含みます。

電気的特性：V_S = AV_{DD} = DV_{DD} = +5V

太字は、仕様温度範囲T_A = -40°C ~ +125°Cに適用。

T_A = +25°C、DV_{DD}/2にR_L = 10kΩ/C_L = 100pFを接続、およびV_{REF} = GND。(特に記述のない限り)

パラメータ	条件	PGA112, PGA113			単位
		MIN	TYP	MAX	
温度範囲					
仕様範囲		-40		+125	°C
動作範囲		-40		+125	°C
熱抵抗 MSOP-10	θ _{JA}		164		C/W
デジタル入力 (SCLK, \overline{CS} , DIO)					
ロジックLow		0		0.3DV _{DD}	V
入力リーク電流 (SCLK, \overline{CS} のみ)		-1		+1	μA
プル・ダウン電流 (DIOのみ)			10		μA
ロジックHigh		0.7DV _{DD}		DV _{DD}	V
ヒステリシス			700		mV
デジタル出力 (DIO)					
ロジックHigh	I _{OH} = -3mA (sourcing)	DV _{DD} - 0.4		DV _{DD}	V
ロジックLow	I _{OL} = +3mA (sinking)	GND		GND + 0.4	V
チャンネルとゲイン・タイミング					
チャンネル選択時間			0.2		μs
ゲイン選択時間			0.2		μs
シャットダウン・モード・タイミング					
イネーブル時間			4.0		μs
ディスエーブル時間	V _{OUT} はハイ・インピーダンス、 R _F とR _I はV _{OUT} 、V _{REF} に接続		2.0		μs
パワー・オン・リセット (POR) タイミング					
POR パワー・アップ時間	DV _{DD} ≥ 2V		40		μs
POR パワー・ダウン時間	DV _{DD} ≤ 1.5V		5		μs

バイナリ・ゲイン (V/V)	(Typ) -3dB 周波数 (MHz)	スルー・レート 立ち下がり (V/μs)	スルー・レート 立ち上がり (V/μs)	0.1% セトリング 時間：4V _{PP} (μs)	0.01% セトリング 時間：4V _{PP} (μs)	スコープ・ゲイン (V/V)	(Typ) -3dB 周波数 (MHz)	スルー・レート 立ち下がり (V/μs)	スルー・レート 立ち上がり (V/μs)	0.1% セトリング 時間：4V _{PP} (μs)	0.01% セトリング 時間：4V _{PP} (μs)
1	10	8	3	2	2.55	1	10	8	3	2	2.55
2	3.8	9	6.4	2	2.6	2	3.8	9	6.4	2	2.6
4	2	12.8	10.6	2	2.6	5	1.8	12.8	10.6	2	2.6
8	1.8	12.8	10.6	2	2.6	10	1.8	12.8	10.6	2.2	2.6
16	1.6	12.8	12.8	2.3	2.6	20	1.3	12.8	9.1	2.3	2.8
32	1.8	12.8	13.3	2.3	3	50	0.9	9.1	7.1	2.4	3.8
64	0.6	4	3.5	3	6	100	0.38	4	3.5	4.4	7
128	0.35	2.5	2.5	4.8	8	200	0.23	2.3	2	6.9	10

表1. 周波数応答：対ゲイン (C_L = 100pF、R_L = 10kΩ)

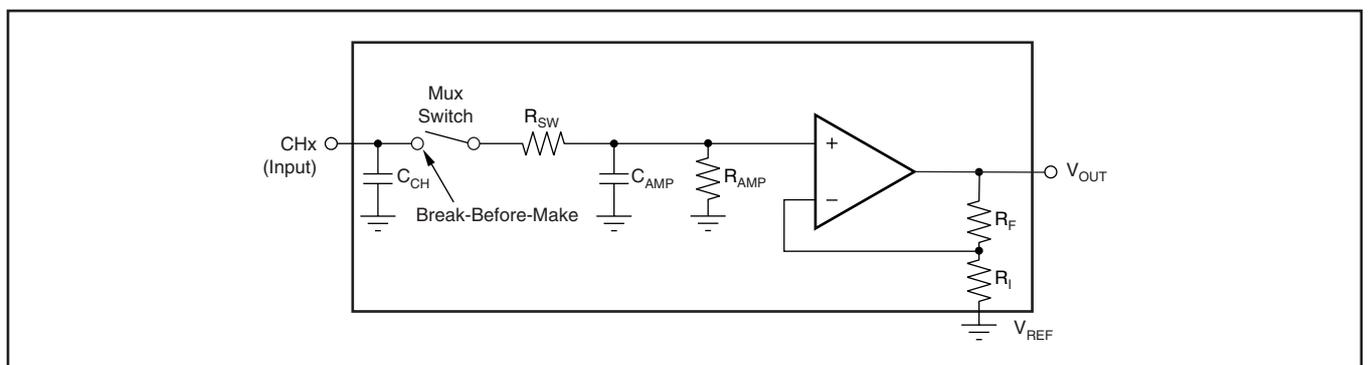


図1. 入力等価回路

SPIタイミング：V_S = AV_{DD} = DV_{DD} = +2.2V~+5V

太字は、仕様温度範囲T_A = -40°C~+125°Cに適用されます。

T_A = +25°C、DV_{DD}/2にR_L = 10kΩ/C_L = 100pFを接続、およびV_{REF} = GND。(特に記述のない限り)

パラメータ	テスト条件	PGA112, PGA113, PGA116, PGA117			単位
		MIN	TYP	MAX	
入力容量 (SCLK, $\overline{\text{CS}}$, DIO 端子)			1		pF
入力立ち上り/下り時間 ⁽¹⁾ ($\overline{\text{CS}}$, SCLK, DIO端子)	t _{RFI}			2	μs
出力立ち上り/下り時間 (DIO端子) ⁽¹⁾	t _{RFO}			10	ns
$\overline{\text{CS}}$ High 時間 ($\overline{\text{CS}}$ 端子) ⁽¹⁾	t _{CSH}	40			ns
SCLKエッジから $\overline{\text{CS}}$ 立下りまでの時間	t _{CSO}	10			ns
$\overline{\text{CS}}$ 立下りから最初のSCLKエッジまでの時間	t _{CSSC}	10			ns
SCLK 周波数 ⁽²⁾	f _{SCLK}			10	MHz
SCLK High 時間 ⁽³⁾	t _{HI}	40			ns
SCLK Low 時間 ⁽³⁾	t _{LO}	40			ns
SCLK最終エッジから $\overline{\text{CS}}$ 立ち上がりまでの時間 ⁽¹⁾	t _{SCCS}	10			ns
$\overline{\text{CS}}$ 立ち上がりからSCLKエッジまでの時間 ⁽¹⁾	t _{CS1}	10			ns
DIN セット・アップ時間	t _{SU}	10			ns
DIN ホールド時間	t _{HD}	10			ns
SCLKからDOUT有効までの伝播遅延 ⁽¹⁾	t _{DO}			25	ns
$\overline{\text{CS}}$ 立ち上がりからDOUT、Hi-Zまで ⁽¹⁾	t _{SOZ}			20	ns

(1) 設計で確認。製品テストは行っていません。

(2) デバイスをデジチェーン・モードで使用する場合、SCLKの最大クロック周波数は、伝播遅延時間 (t_{DO} ≤ 25ns)、データ入力セット・アップ時間 (t_{SU} ≥ 10ns)、SCLK “High” 時間 (t_{HI} ≥ 40ns)、およびDOUT立ち上がり/立ち下がり時間 (t_{RFO} ≤ 10ns)の組み合わせにより決定されます。また、最大クロック周波数は、デジチェーン内のデバイス数に直接依存します。

(3) t_{HI}およびt_{LO}は、1/SCLK(max)以上とする必要があります。

SPIタイミング図

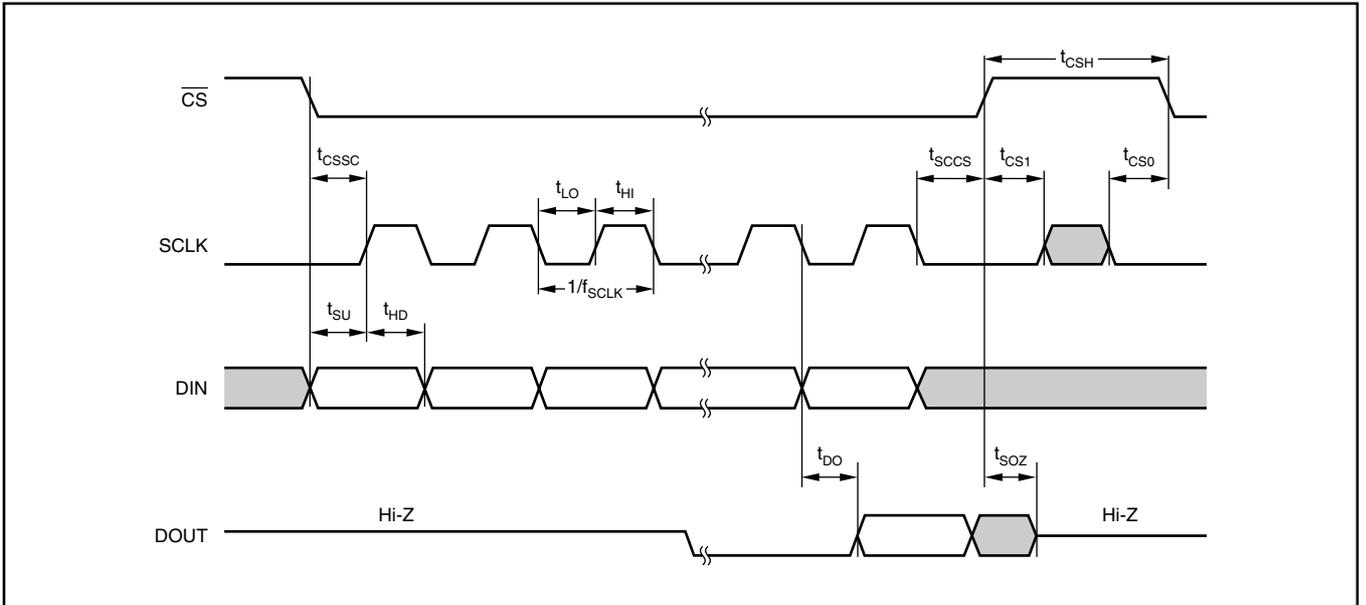


図2. SPIモード0, 0

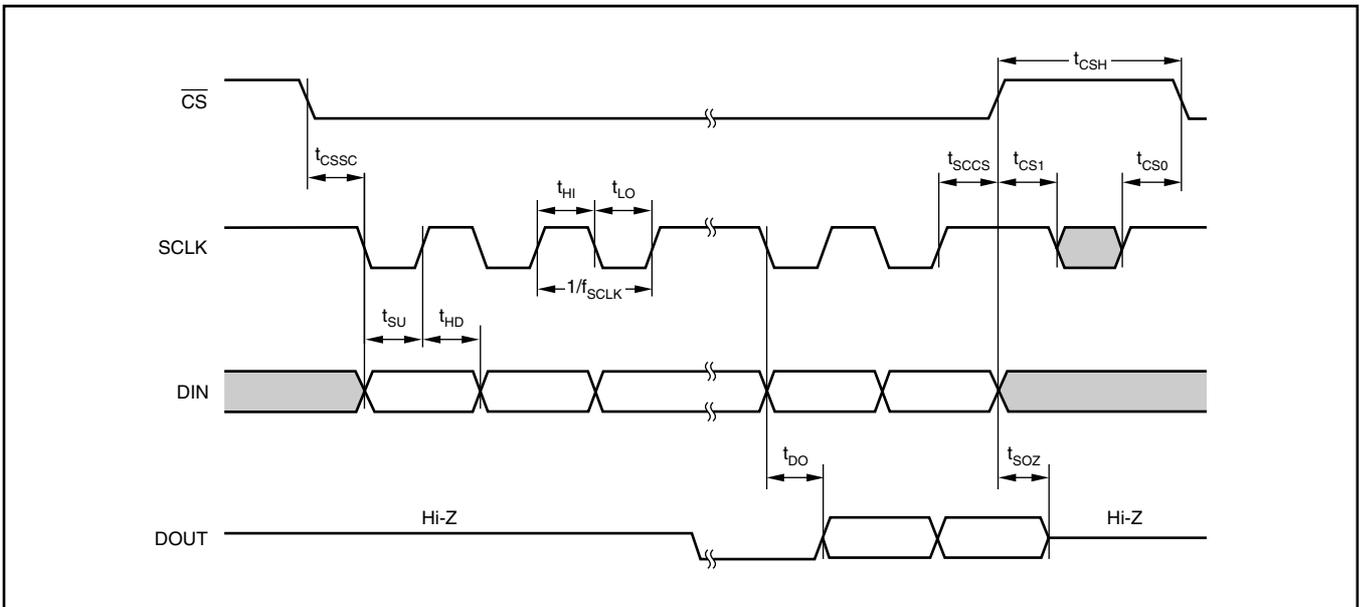
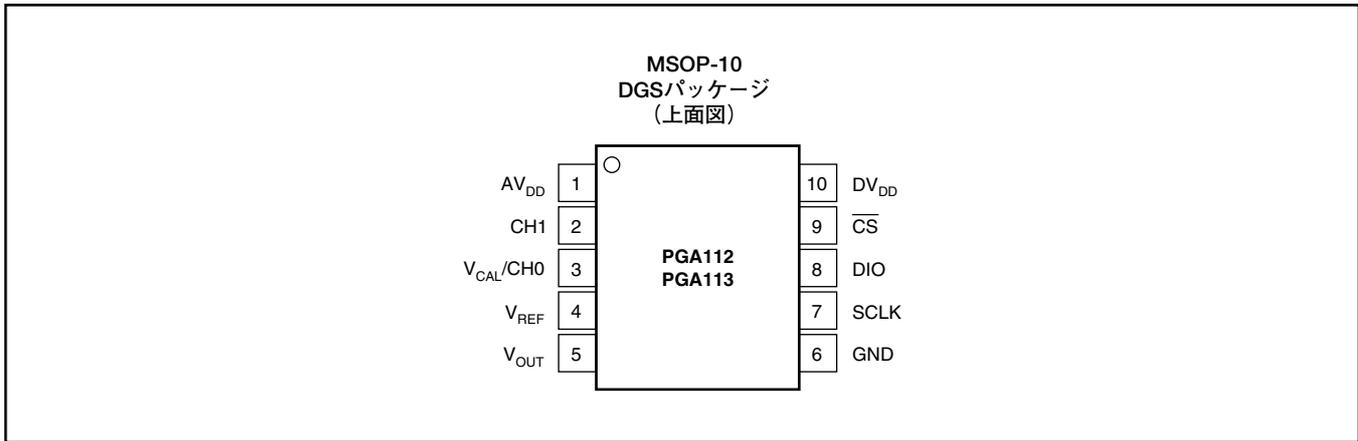


図3. SPIモード1, 1

ピン配置

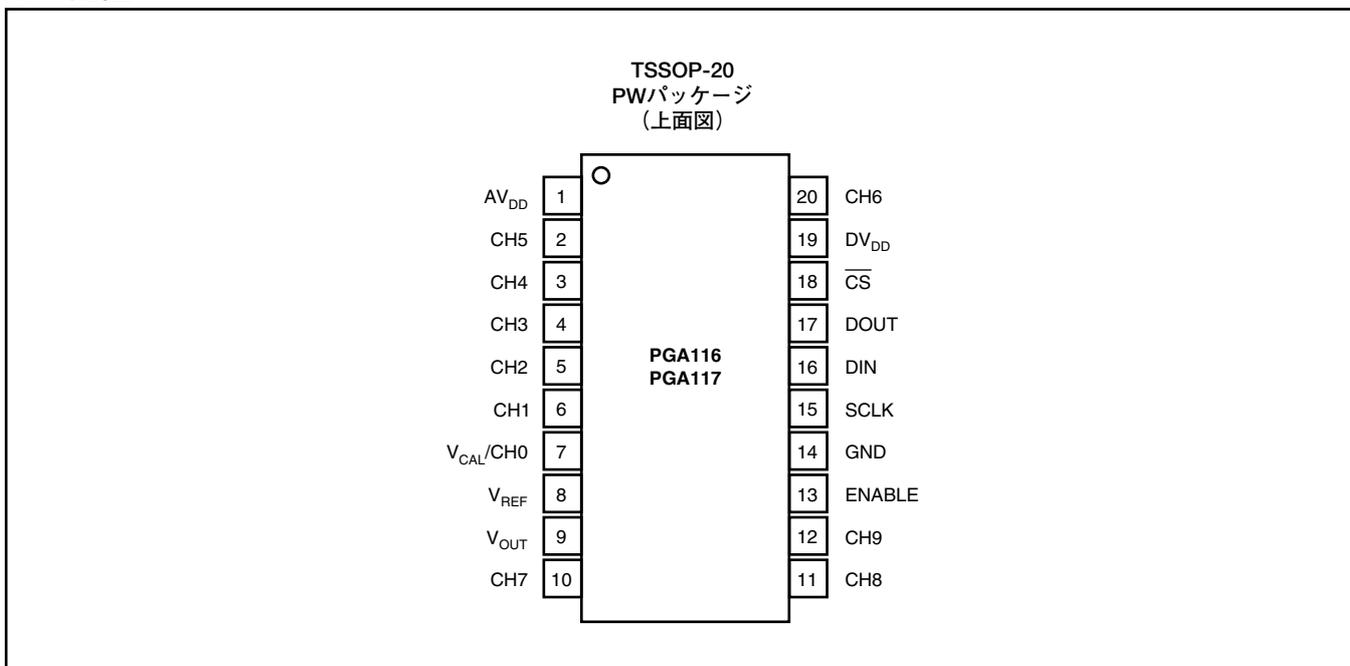


ピン構成

PGA112、PGA113端子機能

MSOP パッケージ 端子番号	名称	説明
1	AV _{DD}	アナログ電源 (+2.2V ~ +5.5V)
2	CH1	入力MUXチャンネル1
3	V _{CAL} /CH0	入力MUXチャンネル0、およびV _{CAL} 入力。システムのキャリブレーションに使用する時は、この端子に低インピーダンスの外部リファレンス電圧を接続して内部キャリブレーション・チャンネルに使用。4つの内部キャリブレーション・チャンネルはそれぞれGND、0.9V _{CAL} 、0.1V _{CAL} 、V _{REF} に接続、CAL2、CAL3を選択した場合、V _{CAL} には100kΩ (typ) が接続される、その他の場合、V _{CAL} /CH0はハイインピーダンス。
4	V _{REF}	リファレンス入力端子。V _{OUT} オフセット・シフト用の外部リファレンスを接続、または電源中点をリファレンスとするシステムでは電源の中点を接続。V _{REF} は、2mA以上のソースとシンク能力を持つ低インピーダンスのリファレンスに接続、またはGNDへの接続が必要。
5	V _{OUT}	アナログ電圧出力。AV _{DD} < DV _{DD} のとき、V _{OUT} はAV _{DD} + 300mVにクランプされる。
6	GND	グランド端子
7	SCLK	SPIシリアル・インターフェイス・クロック入力
8	DIO	SPIシリアル・インターフェイス・データ入出力。内部10μA電流源でプル・ダウン。
9	$\overline{\text{CS}}$	SPIシリアル・インターフェイス・チップセレクト
10	DV _{DD}	デジタルとオペアンプ出力段電源 (+2.2V ~ +5.5V)。複数電源のシステムでADC入力の過電圧/ロックアップの予防に使用できる (例：マイクロ・コントローラとADCが+3V、PGAが+5V)。デジタルI/OはDV _{DD} によってレベルが決まります。DV _{DD} は0.1μFのセラミック・コンデンサでバイパスする。また、DV _{DD} はPGAのデジタル部、更にオペアンプの出力段の電流を供給します。

ピン配置



ピン構成

PGA116、PGA117端子機能

MSOP パッケージ 端子番号	名称	説明
1	AV _{DD}	アナログ電源 (+2.2V ~ +5.5V)
2	CH5	入力MUXチャンネル5
3	CH4	入力MUXチャンネル4
4	CH3	入力MUXチャンネル3
5	CH2	入力MUXチャンネル2
6	CH1	入力MUXチャンネル1
7	V _{CAL} /CH0	入力MUXチャンネル0、およびV _{CAL} 入力。システムのキャリブレーションに使用する時は、この端子に低インピーダンスの外部リファレンス電圧を接続して内部キャリブレーション・チャンネルに使用。4つの内部キャリブレーション・チャンネルはそれぞれGND、0.9V _{CAL} 、0.1V _{CAL} 、V _{REF} に接続、CAL2、CAL3を選択した場合、V _{CAL} には100kΩ (typ) が接続される、その他の場合、V _{CAL} /CH0はハイインピーダンス。
8	V _{REF}	リファレンス入力端子。V _{OUT} オフセット・シフト用の外部リファレンスを接続、または電源中点をリファレンスとするシステムでは電源の中点を接続。V _{REF} は、2mA以上のソースとシンク能力を持つ低インピーダンスのリファレンスに接続、またはGNDへの接続が必要。
9	V _{OUT}	アナログ電圧出力。AV _{DD} < DV _{DD} のとき、V _{OUT} はAV _{DD} + 300mVにクランプされる。
10	CH7	入力MUXチャンネル7
11	CH8	入力MUXチャンネル8
12	CH9	入力MUXチャンネル9
13	ENABLE	ハードウェア・イネーブル端子。Lowでシャットダウン・モードに入る (I _Q < 1μA)
14	GND	グラウンド端子
15	SCLK	SPIシリアル・インターフェイス・クロック入力
16	DIN	SPIシリアル・インターフェイス・データ入力。内部10μA電流源でプル・ダウン。
17	DOUT	SPIシリアル・インターフェイス・データ出力。標準SPIインターフェイスで \overline{CS} をHighにするとDOUTはハイインピーダンスになる。
18	\overline{CS}	SPIシリアル・インターフェイス・チップセレクト
19	DV _{DD}	デジタルとオペアンプ出力段電源 (+2.2V ~ +5.5V)。複数電源のシステムでADC入力の過電圧/ロックアップの予防に使用できる (例: マイクロ・コントローラとADCが+3V、PGAが+5V)。デジタルI/OはDV _{DD} によってレベルが決まります。DVDDは0.1μFのセラミック・コンデンサでバイパスする。また、DV _{DD} はPGAのデジタル部、更にオペアンプの出力段の電流を供給します。
20	CH6	入力MUXチャンネル6

アプリケーション回路例

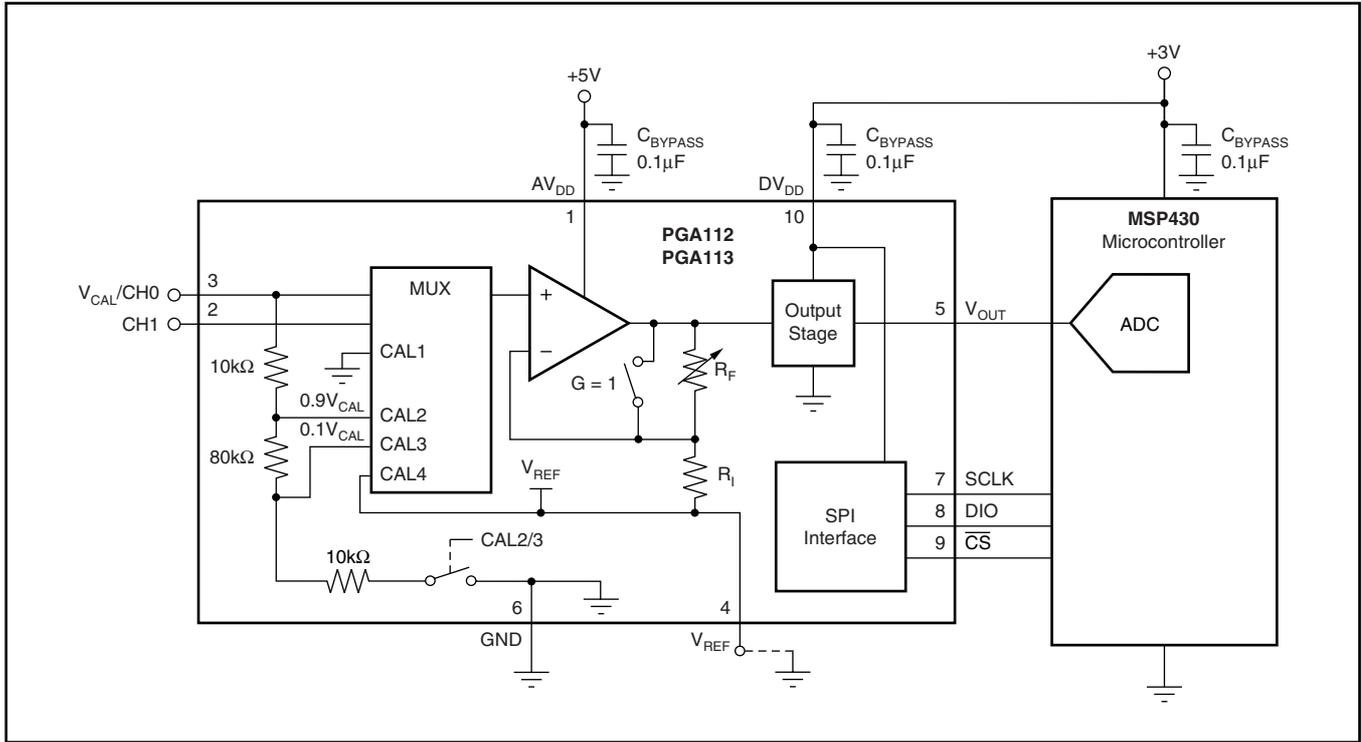


図4. PGA112、PGA113 (MSOP-10)

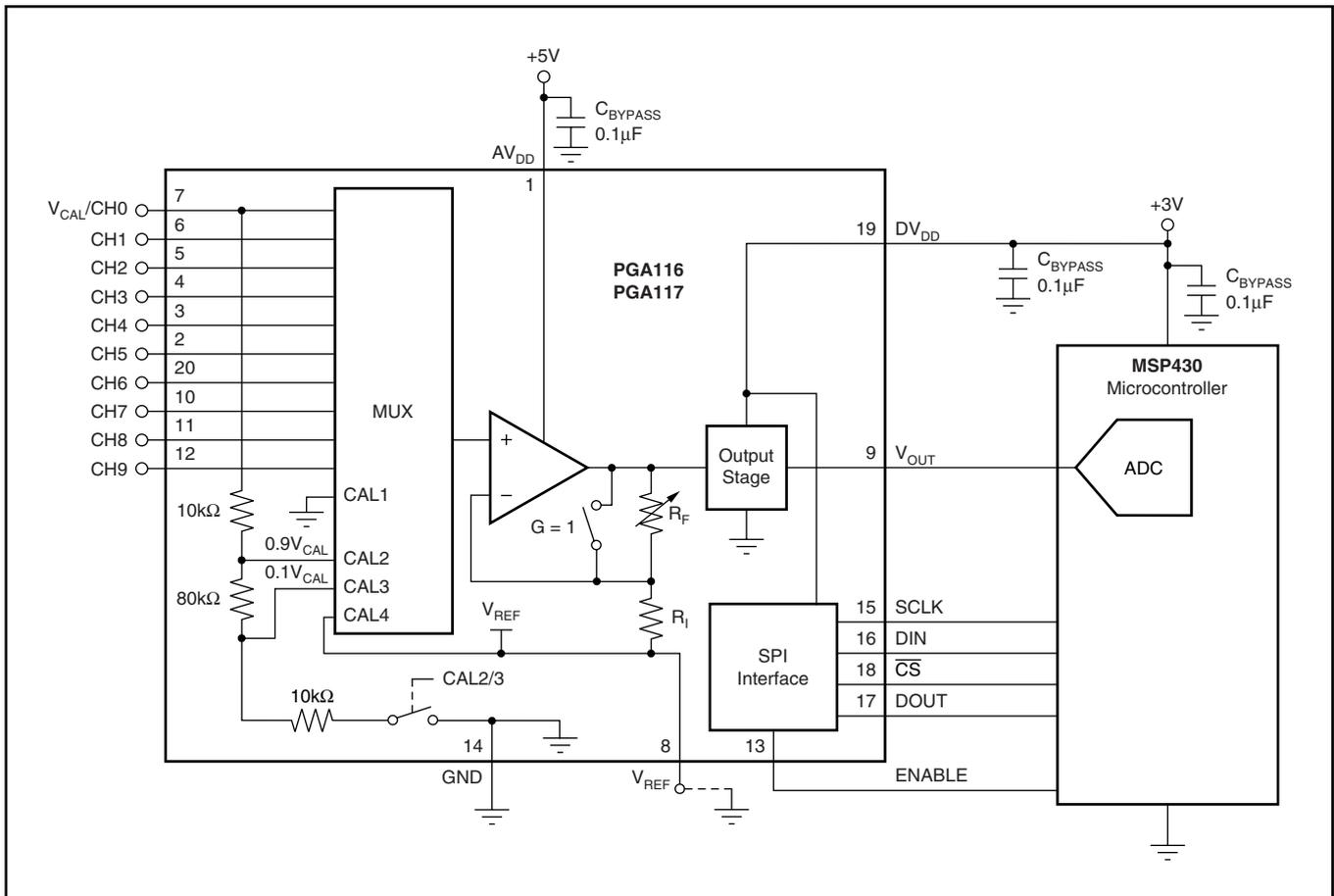


図5. PGA116、PGA117 (TSSOP-20)

代表的特性

$T_A = +25^\circ\text{C}$ 、 $AV_{DD} = DV_{DD} = 5\text{V}$ 、 $DV_{DD}/2$ に $R_L = 10\text{k}\Omega$ を接続、 $V_{REF} = \text{GND}$ 、および $C_L = 100\text{pF}$ (特に記述のない限り)。

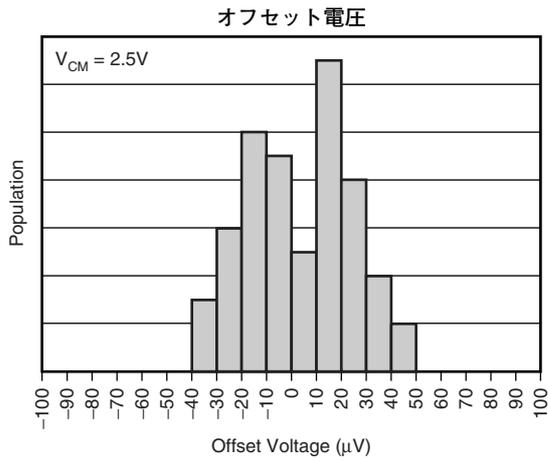


図6

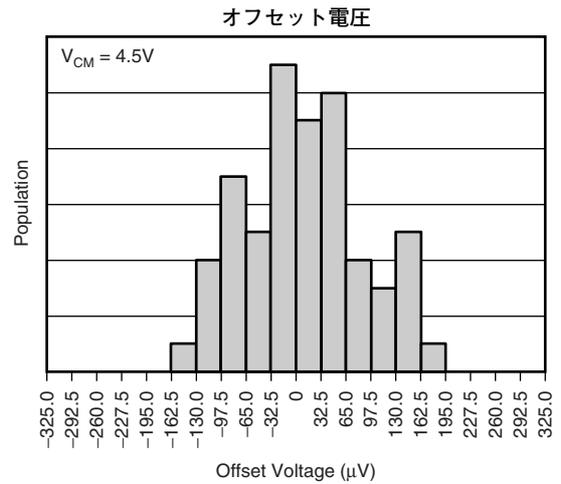


図7

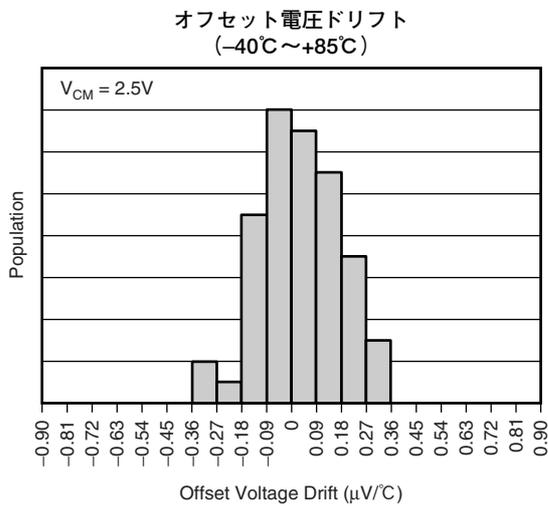


図8

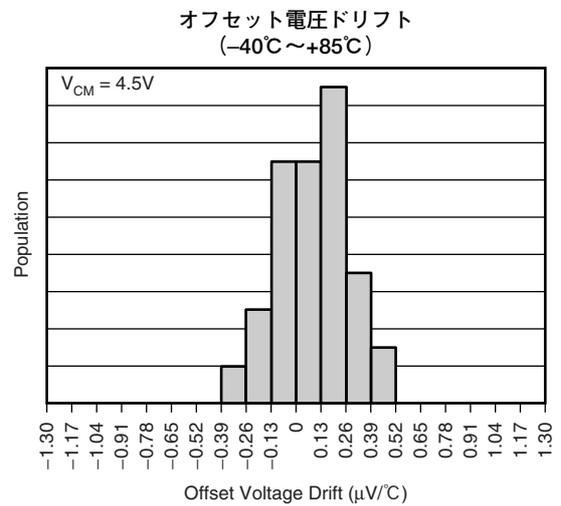


図9

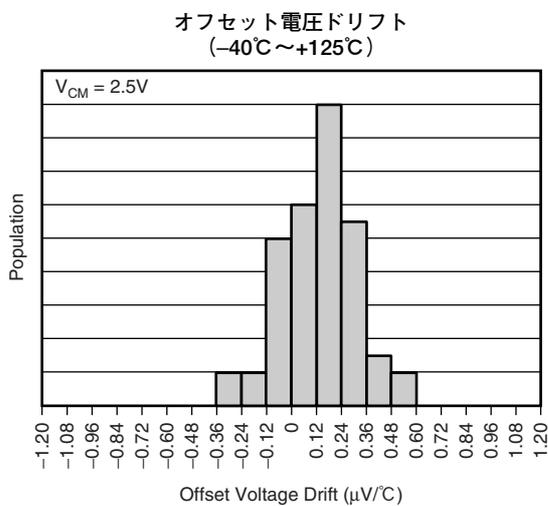


図10

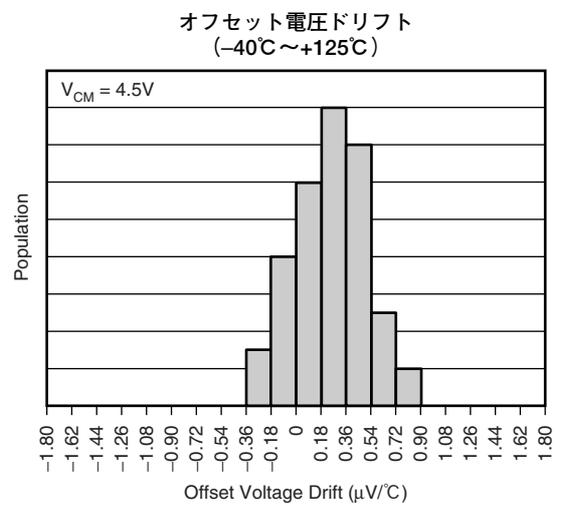


図11

代表的特性

$T_A = +25^\circ\text{C}$ 、 $AV_{DD} = DV_{DD} = 5\text{V}$ 、 $DV_{DD}/2$ に $R_L = 10\text{k}\Omega$ を接続、 $V_{REF} = \text{GND}$ 、および $C_L = 100\text{pF}$ (特に記述のない限り)。

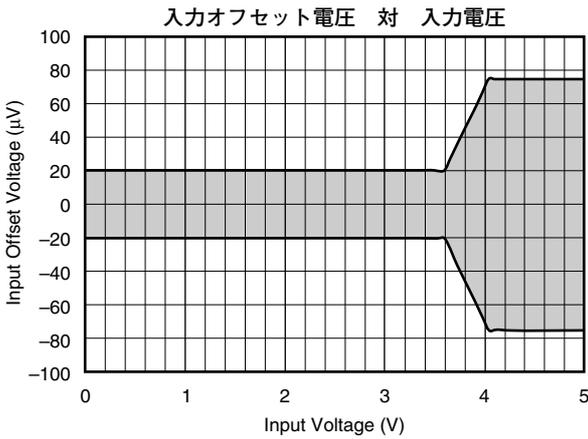


図12

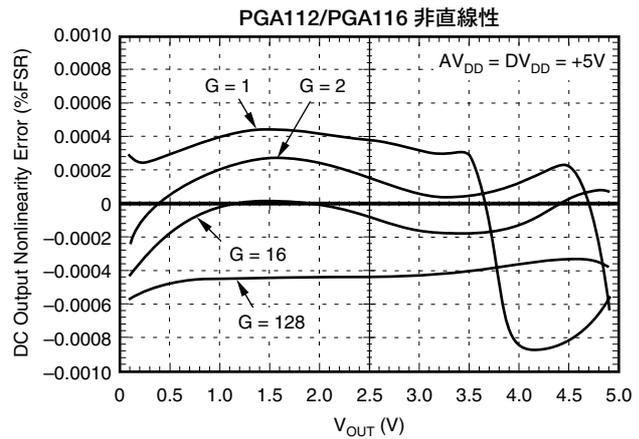


図13

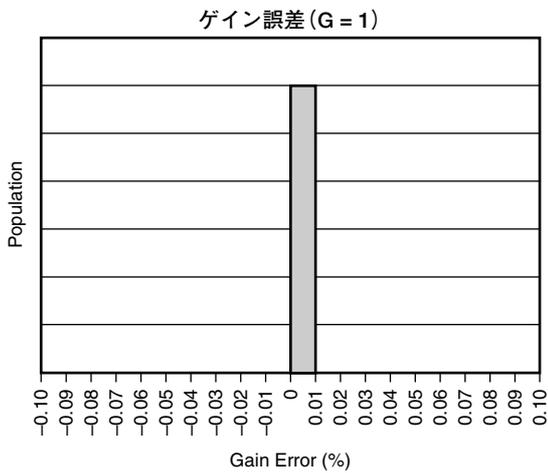


図14

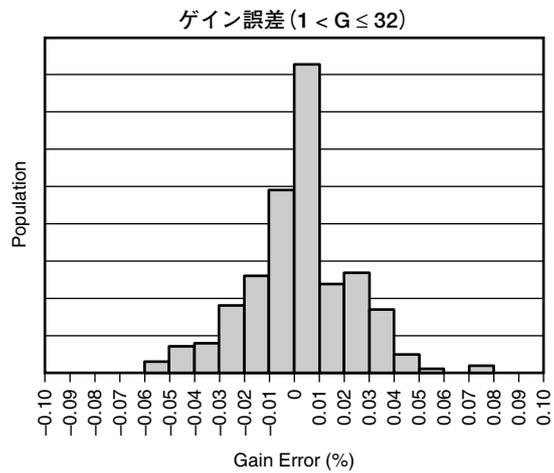


図15

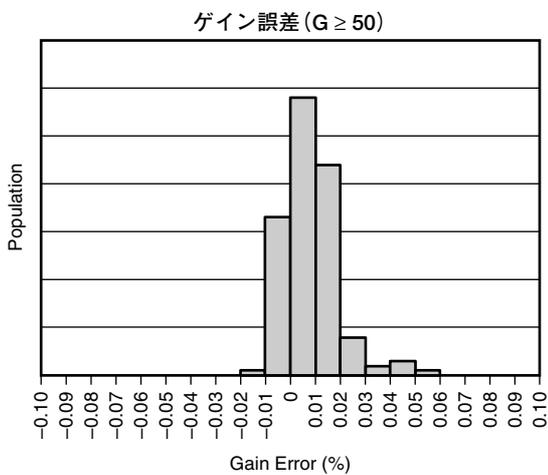


図16

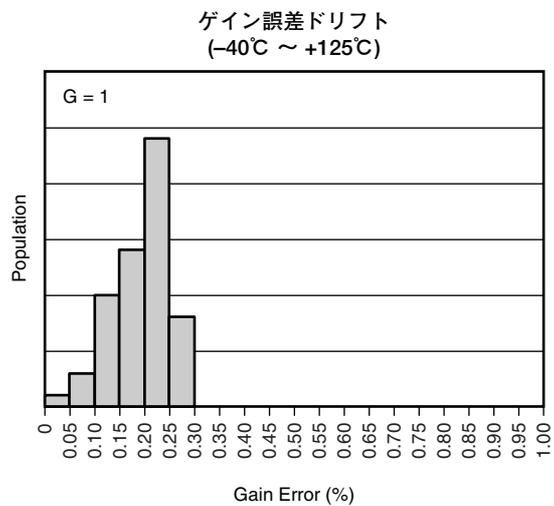


図17

代表的特性

$T_A = +25^\circ\text{C}$ 、 $AV_{DD} = DV_{DD} = 5\text{V}$ 、 $DV_{DD}/2$ に $R_L = 10\text{k}\Omega$ を接続、 $V_{REF} = \text{GND}$ 、および $C_L = 100\text{pF}$ (特に記述のない限り)。

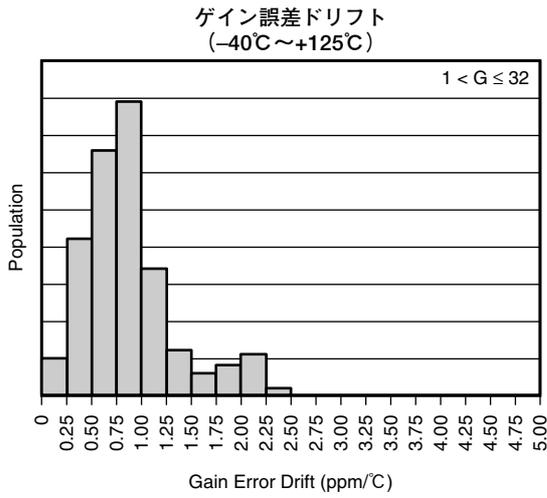


図18

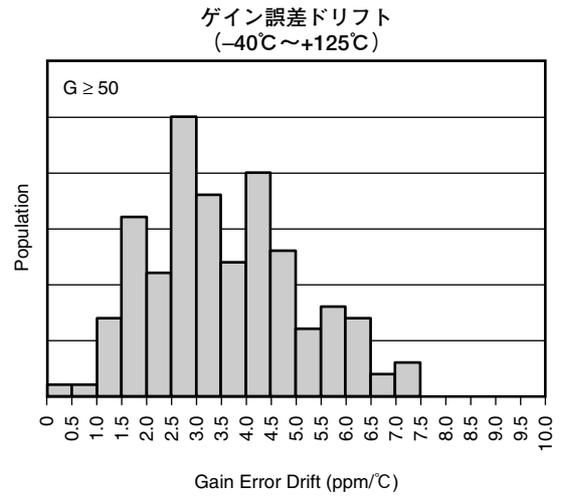


図19

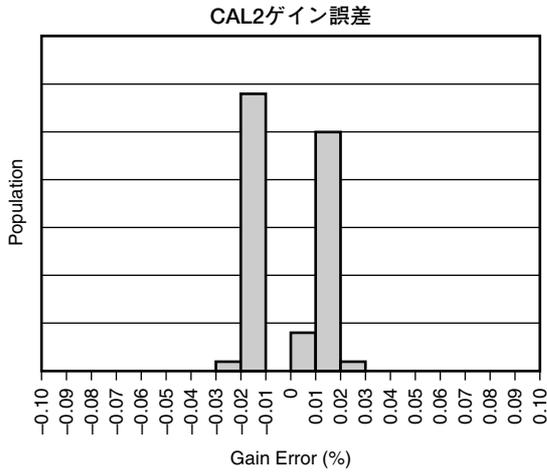


図20

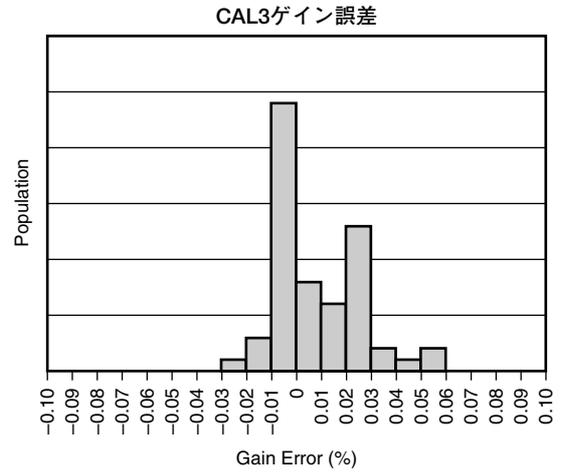


図21

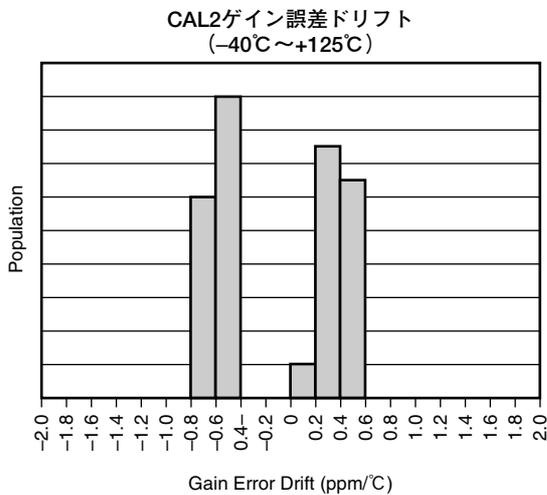


図22

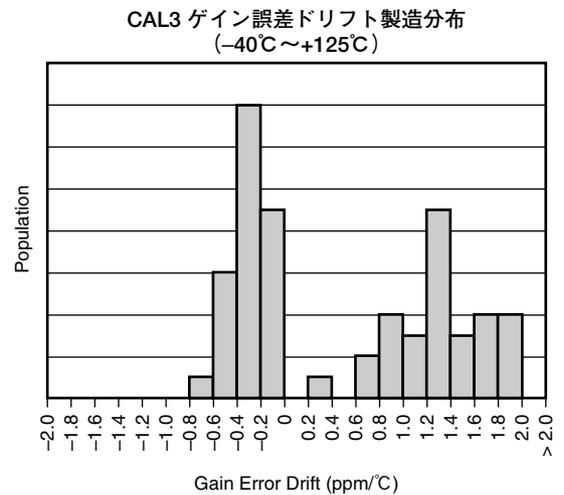


図23

代表的特性

$T_A = +25^\circ\text{C}$ 、 $AV_{DD} = DV_{DD} = 5\text{V}$ 、 $DV_{DD}/2$ に $R_L = 10\text{k}\Omega$ を接続、 $V_{REF} = \text{GND}$ 、および $C_L = 100\text{pF}$ (特に記述のない限り)。

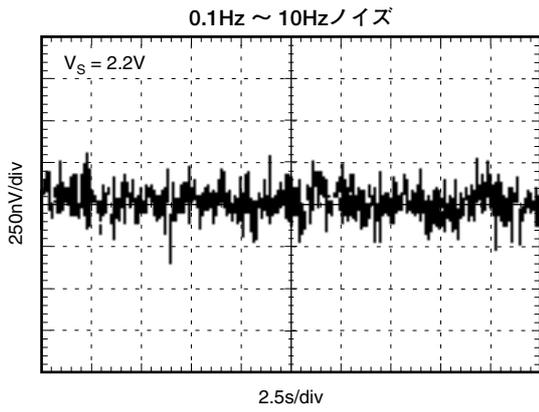


図24

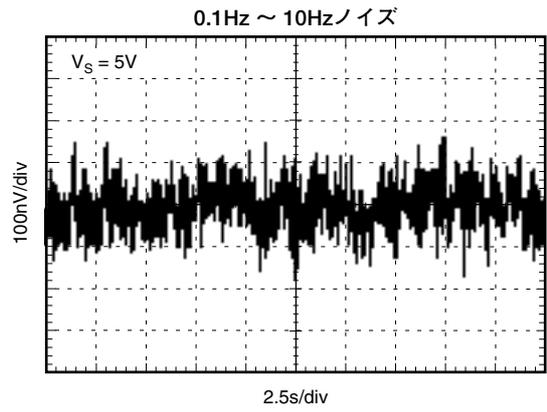


図25

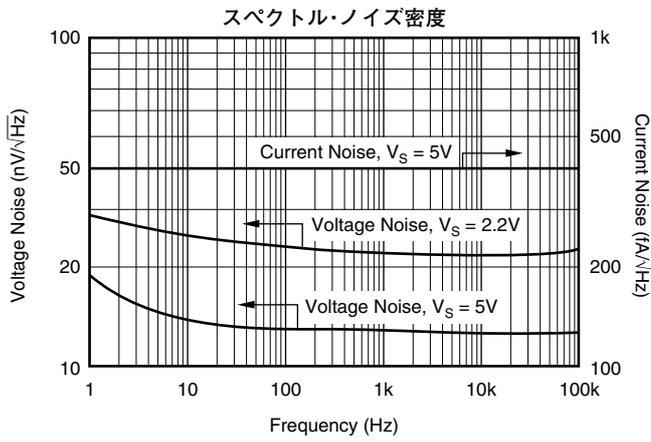


図26

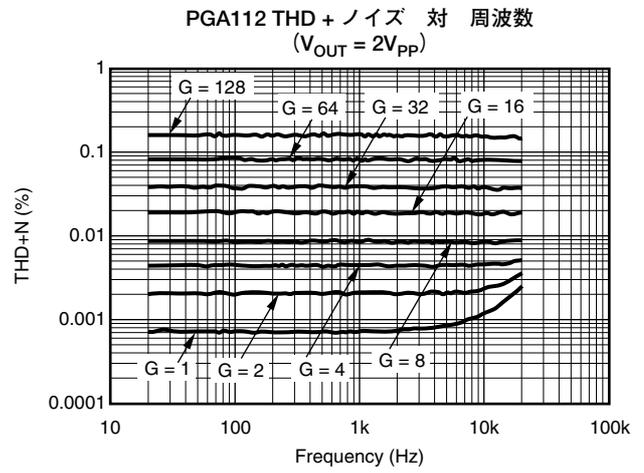


図27

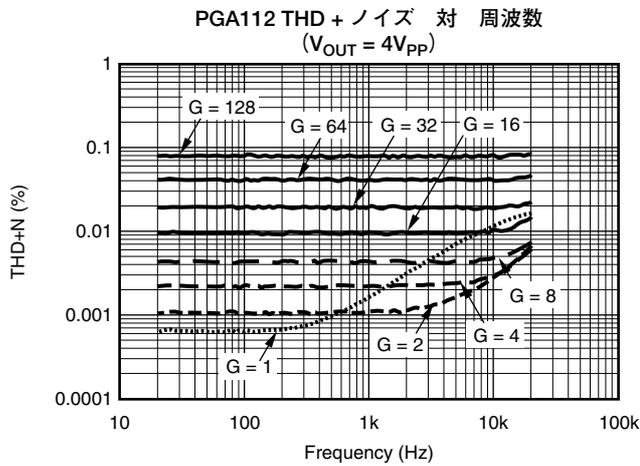


図28

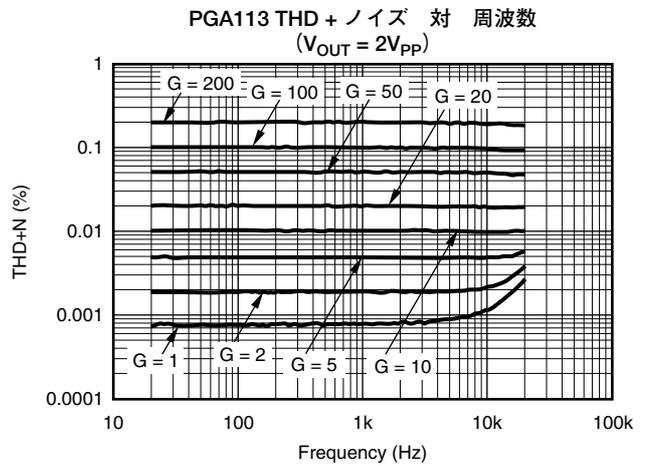


図29

代表的特性

$T_A = +25^\circ\text{C}$ 、 $AV_{DD} = DV_{DD} = 5\text{V}$ 、 $DV_{DD}/2$ に $R_L = 10\text{k}\Omega$ を接続、 $V_{REF} = \text{GND}$ 、および $C_L = 100\text{pF}$ (特に記述のない限り)。

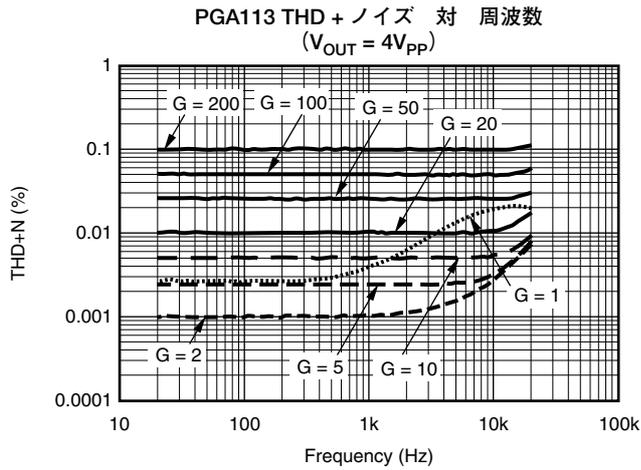


図30

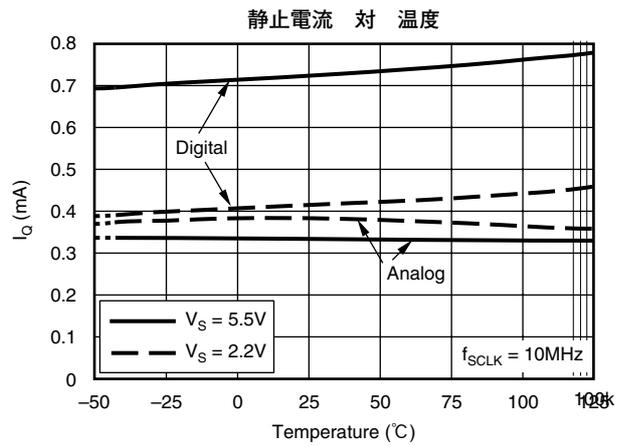


図31

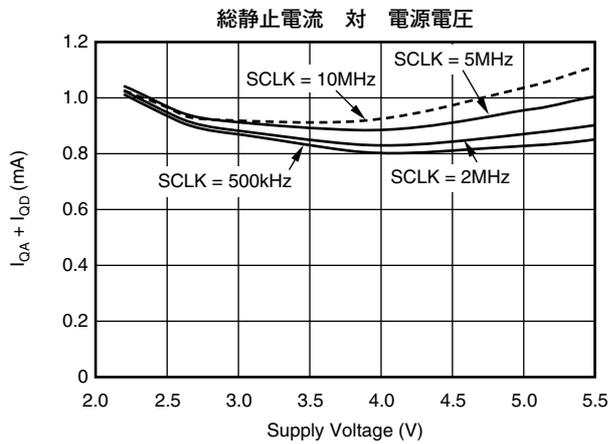


図32

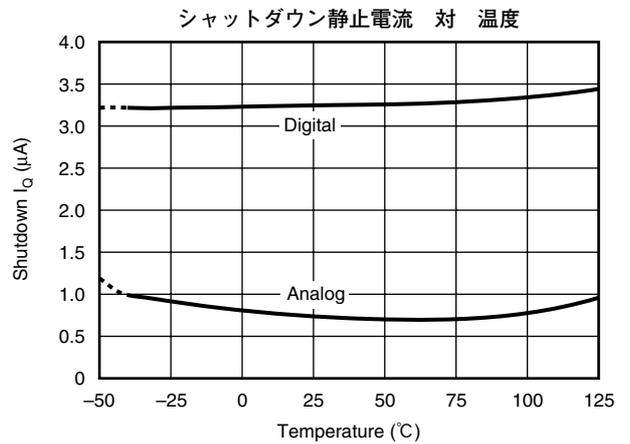


図33

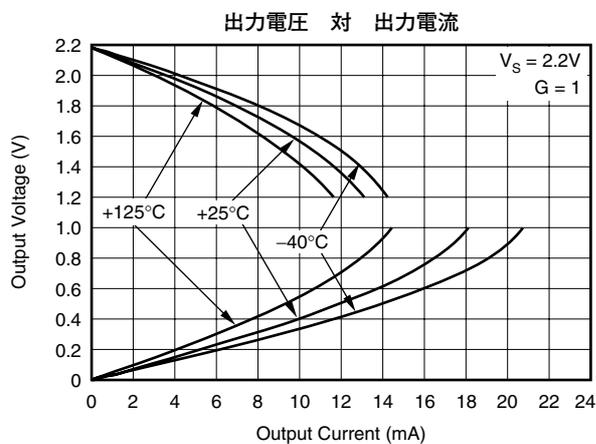


図34

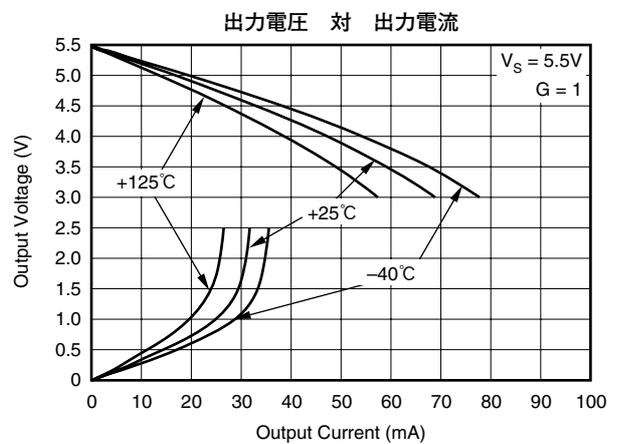


図35

代表的特性

$T_A = +25^\circ\text{C}$ 、 $AV_{DD} = DV_{DD} = 5\text{V}$ 、 $DV_{DD}/2$ に $R_L = 10\text{k}\Omega$ を接続、 $V_{REF} = \text{GND}$ 、および $C_L = 100\text{pF}$ (特に記述のない限り)。

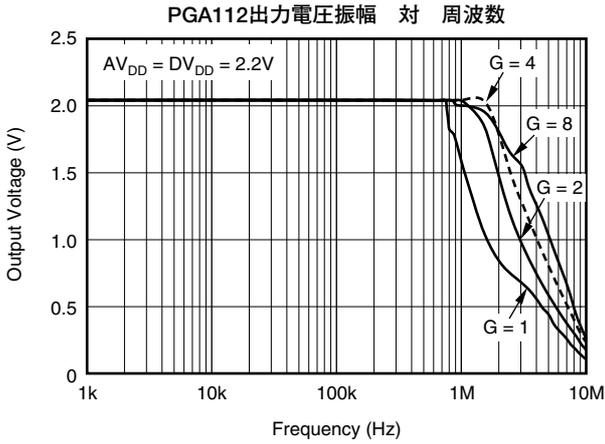


図36

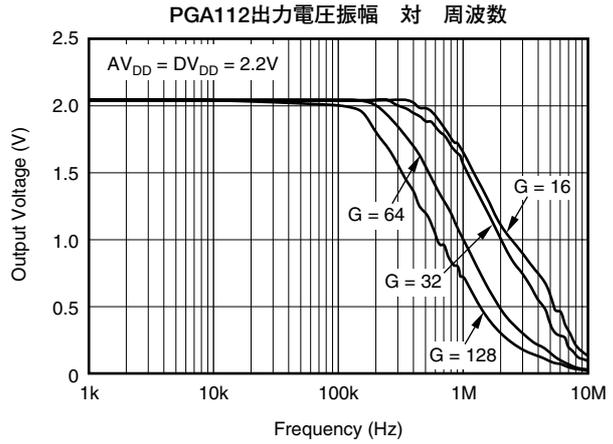


図37

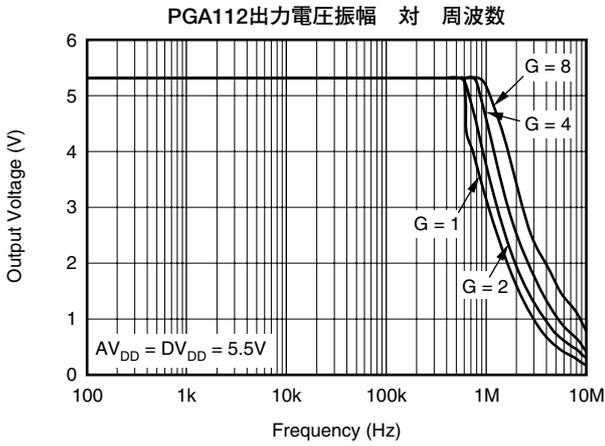


図38

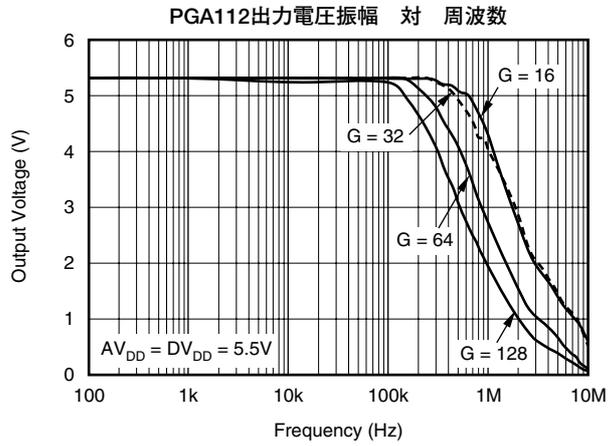


図39

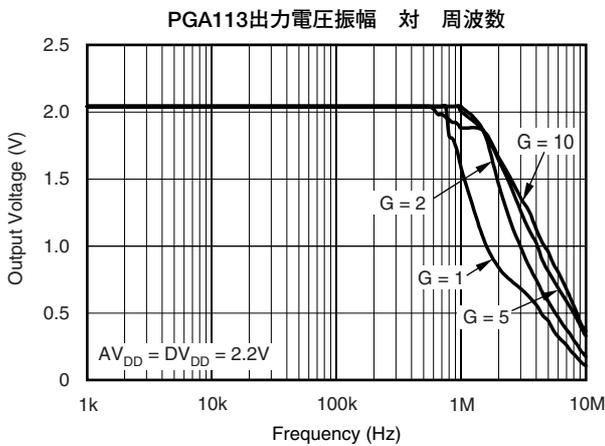


図40

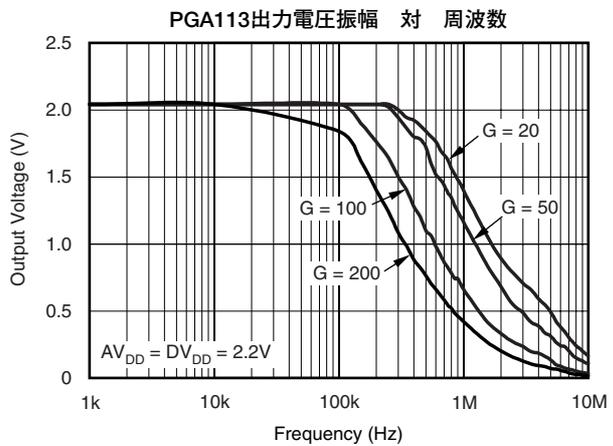


図41

代表的特性

$T_A = +25^\circ\text{C}$ 、 $A_{V_{DD}} = DV_{DD} = 5V$ 、 $DV_{DD}/2$ に $R_L = 10k\Omega$ を接続、 $V_{REF} = GND$ 、および $C_L = 100pF$ (特に記述のない限り)。

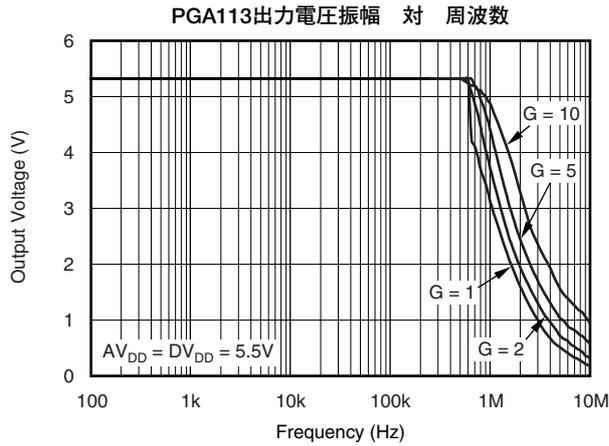


図42

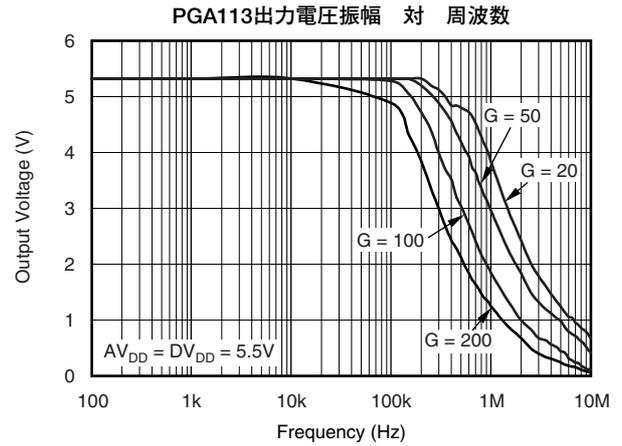


図43

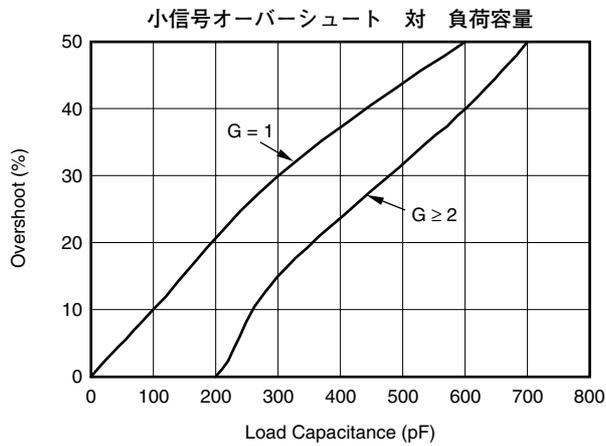


図44

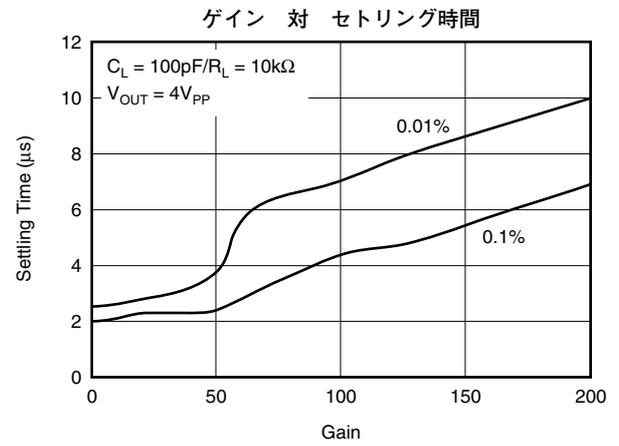


図45

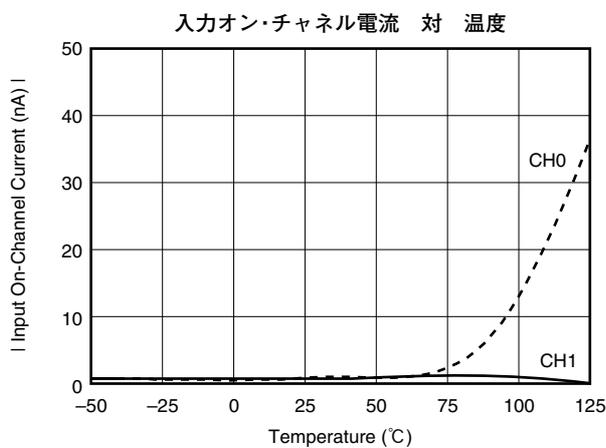


図46

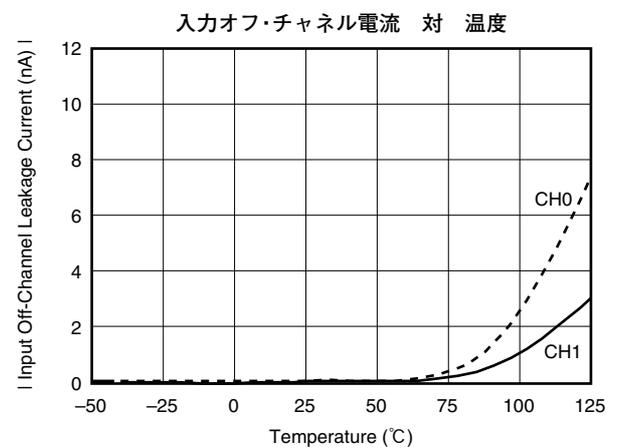


図47

代表的特性

$T_A = +25^\circ\text{C}$ 、 $AV_{DD} = DV_{DD} = 5\text{V}$ 、 $DV_{DD}/2$ に $R_L = 10\text{k}\Omega$ を接続、 $V_{REF} = \text{GND}$ 、および $C_L = 100\text{pF}$ (特に記述のない限り)。

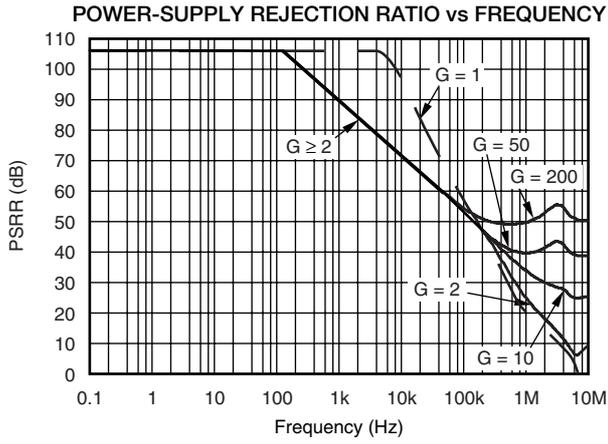


図48

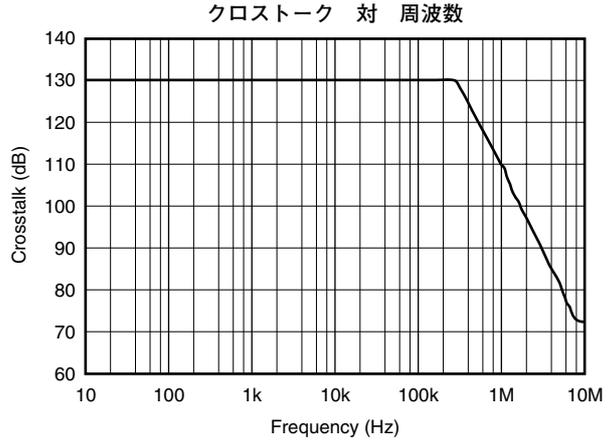


図49

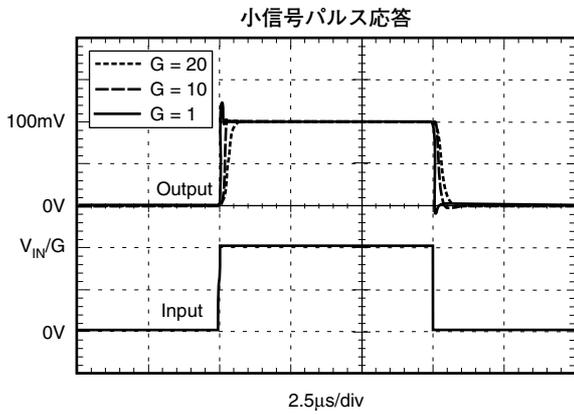


図50

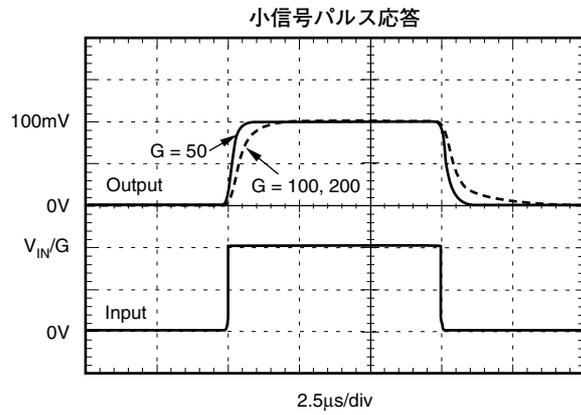


図51

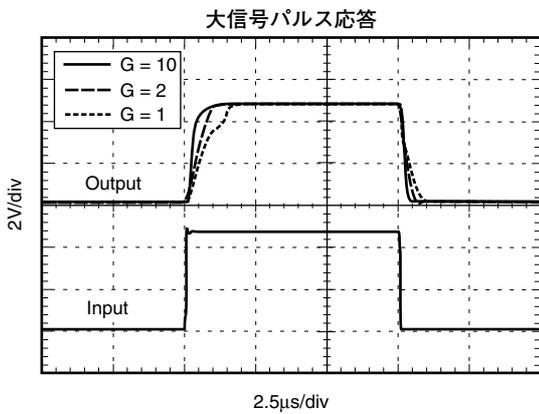


図52

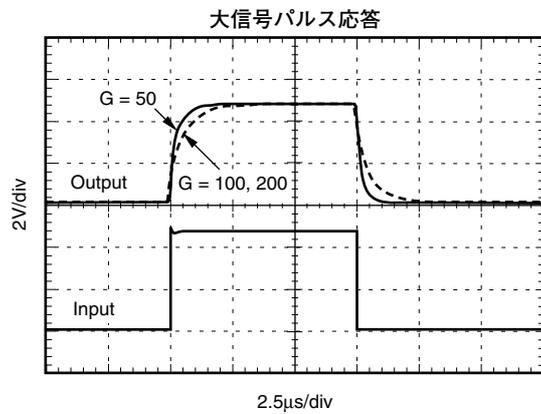
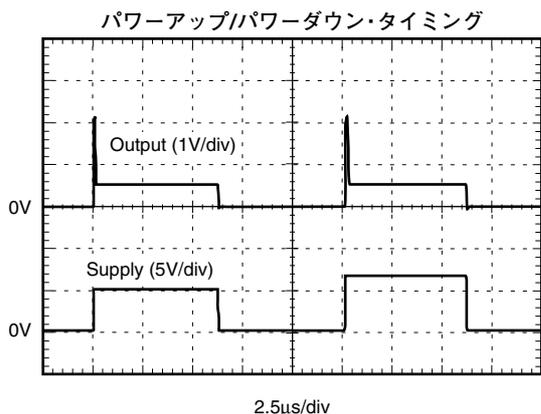


図53

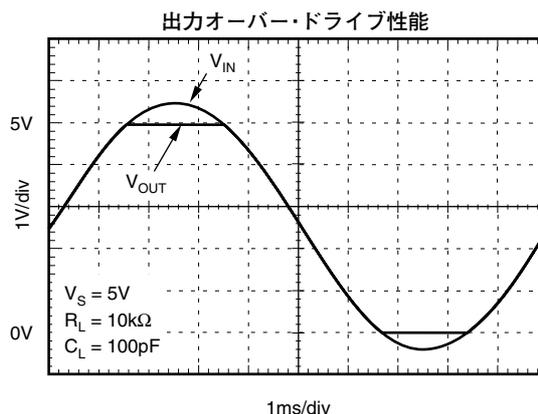
代表的特性

$T_A = +25^\circ\text{C}$ 、 $AV_{DD} = DV_{DD} = 5\text{V}$ 、 $DV_{DD}/2$ に $R_L = 10\text{k}\Omega$ を接続、 $V_{REF} = \text{GND}$ 、および $C_L = 100\text{pF}$ (特に記述のない限り)。



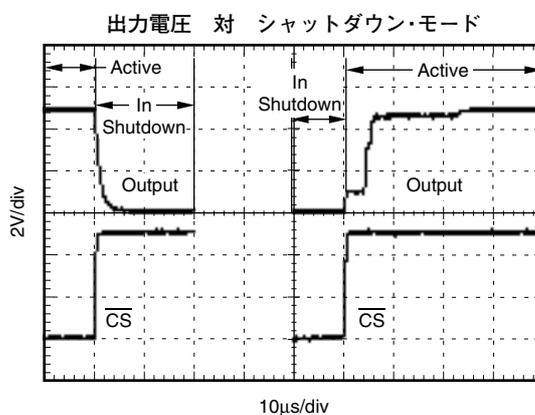
2.5µs/div

図54



1ms/div

図55



10µs/div

図56

シリアル・インターフェイス情報

シリアル・デジタル・インターフェイス：SPIモード

PGAでは、標準のシリアル・ペリフェラル・インターフェイス (SPI) を使用します。図55および表2に示すように、SPIモード 0.0および1.1共にサポートされています。

$\overline{\text{CS}}$ が“Low” (立ち下がりエッジ) になってから“High” (立ち上がりエッジ) になるまでの間隔が、16クロックの偶数倍 (16、

32、64、など) でなければ、デバイスは何も行いません。この条件により、信頼性の高いシリアル通信が実行されます。また、この条件は、データの同期のためにSPIを既知の開始状態にすばやくリセットする方法も提供します。送信されたデータは、 $\overline{\text{CS}}$ の立ち上がりエッジに同期して内部でラッチされます。

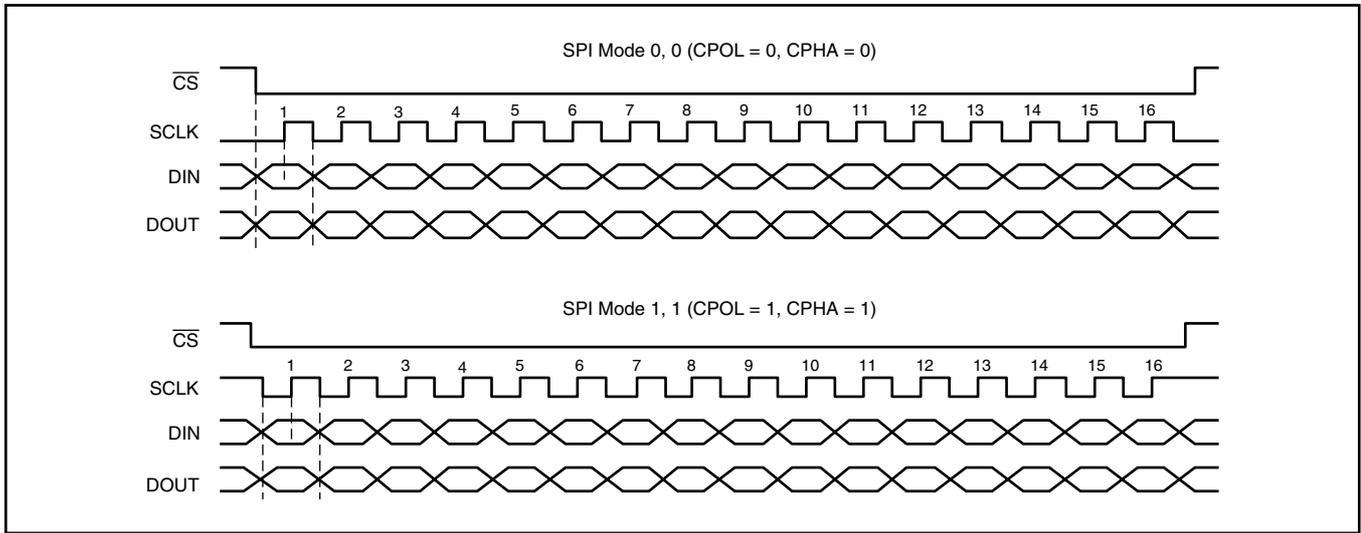


図57. SPIモード0.0およびモード1.1

モード	CPOL	CPHA	CPOL 説明	CPHA 説明
0, 0	0	0 ⁽¹⁾	クロック・アイドル low	クロックの立ち上がりエッジでデータを読み取ります、データはクロックの立下りエッジで変化。
1, 1	1	1 ⁽²⁾	クロック・アイドル high	クロックの立ち上がりエッジでデータを読み取ります、データはクロックの立下りエッジで変化。

表2. SPIモード設定の説明

- (1) CPHA = 0は、有効な \overline{CS} に続く最初のクロック・エッジ(立ち上がりまたは立ち下がり)でのサンプルを意味します。
- (2) CPHA = 1は、有効な \overline{CS} に続く2番目のクロック・エッジ(立ち上がりまたは立ち下がり)でのサンプルを意味します。

PGA116/PGA117の、 \overline{CS} 、DIN、およびSCLKはシュミット・トリガCMOSロジック入力です。DINには、PGA116/PGA117でデジチェーン通信をサポートするための内部プル・ダウンがあります。DOUTは、CMOSロジック出力です。 \overline{CS} が“High”のとき、DOUTの状態はハイ・インピーダンスになります。 \overline{CS} が“Low”のとき、DOUTは図58のようにドライブされます。

PGA112/PGA113には、デジタル出力およびデジタル入力ゲートがあり、ともにDIOピンに内部接続されています。DINは入力専用ゲートで、DOUTは3ステート出力が可能なデジタル出力です。DIOピンには、ハイ・インピーダンスのSPI DOUTラインを持つシステムでピンがフローティングとなるのを防ぐために、10 μ Aのプル・ダウン電流源が備えられています。 \overline{CS} が“High”のとき、内部DOUTゲートの状態はハイ・インピーダンスになります。 \overline{CS} が“Low”のとき、DIOの状態は、前回の有効なSPI通信によって異なります。DIOは出力となってデータをクロック・アウトするか、または入力のままでデータを受信します。この構造を図59に示します。

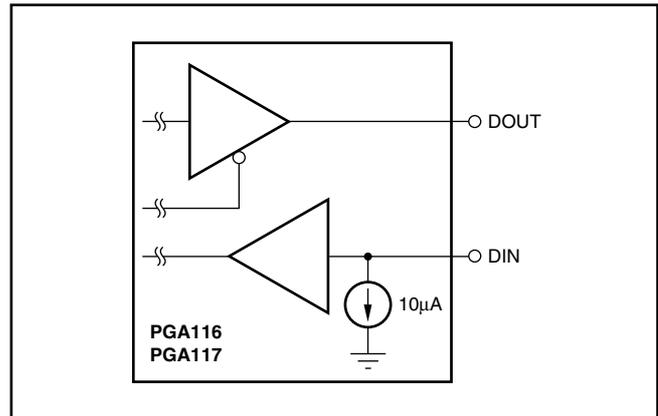


図58. デジタルI/O構造 - PGA116/PGA117

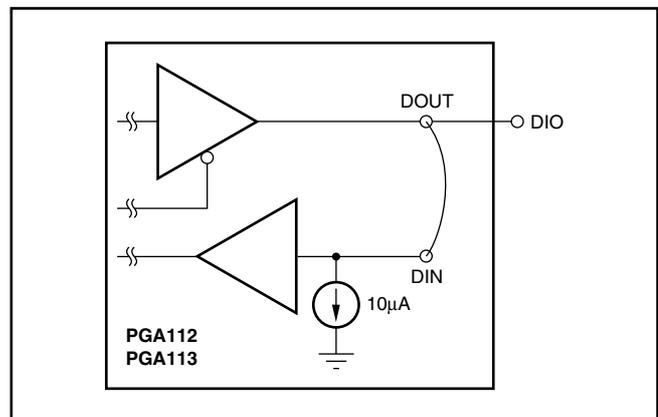


図59. デジタルI/O構造 - PGA112/PGA113

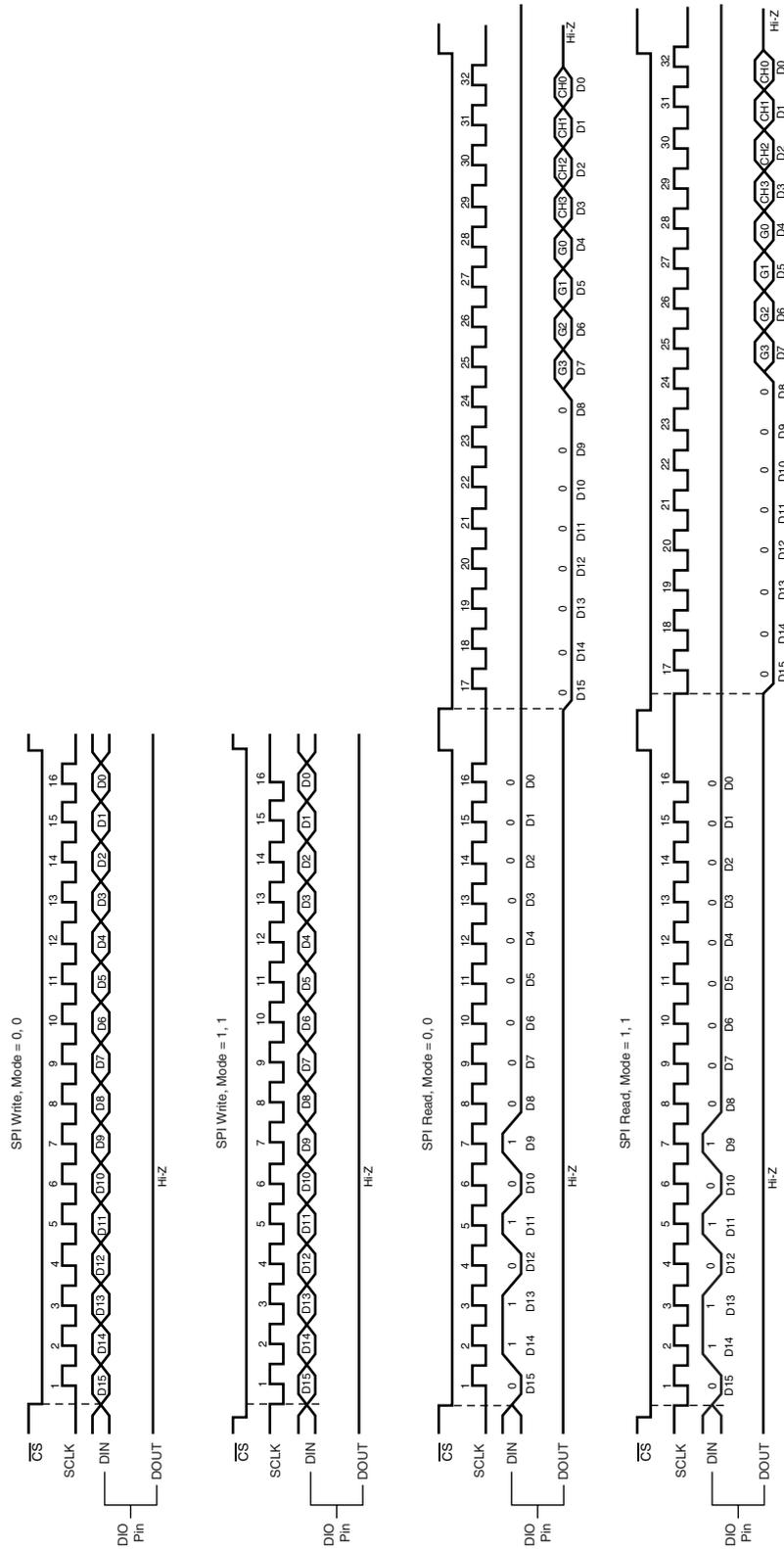


図60. SPIシリアル・インターフェイスのタイミング

SPIコマンド：PGA112/PGA113のみ

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	3線SPIコマンド
0	1	1	0	1	0	1	0	0	0	0	0	0	0	0	0	読み取り
0	0	1	0	1	0	1	0	G3	G2	G1	G0	CH3	CH2	CH1	CH0	書き込み
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	NOP書き込み
1	1	1	0	0	0	0	1	0	0	0	0	0	0	0	0	SDN_DIS書き込み
1	1	1	0	0	0	0	1	1	1	1	1	0	0	0	1	SDN_EN書き込み

表3. SPIコマンド (PGA112/PGA113) ⁽¹⁾⁽²⁾

(1) SDN = シャットダウン・モード。SDN_ENコマンドを実行すると、シャットダウン・モードに入ります。シャットダウン・モードは、SDN_DISコマンド、または任意の有効な書き込みコマンドによってクリアされます(直前の有効な書き込み構成に戻ります)。

(2) 内部ゲイン/チャンネル選択レジスタのPOR(パワー・オン・リセット)値は、オール0です。これにより、ゲイン = 1、およびチャンネル = $V_{CAL}/CH0$ に設定されます。

G3	G2	G1	G0	バイナリ・ゲイン	スコープ・ゲイン
0	0	0	0	1	1
0	0	0	1	2	2
0	0	1	0	4	5
0	0	1	1	8	10
0	1	0	0	16	20
0	1	0	1	32	50
0	1	1	0	64	100
0	1	1	1	128	200

表4. ゲイン選択ビット (PGA112/PGA113)

CH3	CH2	CH1	CH0	PGA112 PGA113
0	0	0	0	$V_{CAL}/CH0$
0	0	0	1	CH1
0	0	1	0	X ⁽¹⁾
0	0	1	1	X
0	1	0	0	X
0	1	0	1	X
0	1	1	0	X
0	1	1	1	X
1	0	0	0	X
1	0	0	1	X
1	0	1	0	Reserved
1	0	1	1	X
1	1	0	0	CAL1 ⁽²⁾
1	1	0	1	CAL2 ⁽³⁾
1	1	1	0	CAL3 ⁽⁴⁾
1	1	1	1	CAL4 ⁽⁵⁾

表5. MUXチャンネル選択ビット (PGA112/PGA113)

- (1) X = 未使用チャンネル
(2) CAL1 : GNDに接続
(3) CAL2 : $0.9V_{CAL}$ に接続
(4) CAL3 : $0.1V_{CAL}$ に接続
(5) CAL4 : V_{REF} に接続

アプリケーション情報

機能説明

PGA112/PGA113およびPGA116/PGA117は、入力マルチプレクサを備えた、シングルエンド入力、単電源のプログラマブル・ゲイン・アンプです。マルチプレクサ・チャンネル選択およびゲイン選択は、標準のSPIインターフェイスを通して行います。PGA112/PGA113は2チャンネル入力MUX、PGA116/PGA117は10チャンネル入力MUXを備えています。PGA112およびPGA116はバイナリ・ゲイン選択(1、2、4、8、16、32、64、128)、PGA113およびPGA117はスコープ・ゲイン選択(1、2、5、10、20、50、100、200)に対応しています。すべてのモデルが、アナログ電源(AV_{DD})とデジタル電源(DV_{DD})の分離電源アーキテクチャを採用しています。この分離電源アーキテクチャにより、アナログ電源が+5Vでデジタル電源が+3Vなど、電源電圧の混在したシステムにおけるA/Dコンバータ(ADC)やマイクロ・コントローラとのインターフェイスが容易になります。システム・レベルのキャリブレーションのために、4つの内部キャリブレーション・チャンネルが用意されています。各チャンネルはそれぞれ、GND、 $0.9V_{CAL}$ 、 $0.1V_{CAL}$ 、および V_{REF} に接続されています。 $V_{CAL}/CH0$ に接続される外部電圧 V_{CAL} は、システム・キャリブレーションのリファレンスとして機能します。 V_{CAL} がシステムADCのリファレンスである場合、ADCのゲインおよびオフセット・キャリブレーションが、PGAで1つのMUX入力だけを使用して簡単に実現できます。キャリブレーションを使用しない場合、 $V_{CAL}/CH0$ は標準のMUX入力として使用できます。4つのモデルすべてに V_{REF} ピンが備えられ、このピンをグラウンドに接続するか、または電源中点を仮想グラウンドとして使用する単電源システムでは、このピンを電源中점에接続してスケールングを容易にすることができます。PGA112/PGA113には、待機電力低減のためのソフトウェア制御のシャット・ダウン機能があります。PGA116/PGA117には、待機電力低減のためにハードウェア制御とソフトウェア制御の両方のシャット・ダウン機能があります。PGA112/PGA113は3線式SPIデジタル・インターフェイス、PGA116/PGA117は4線式SPIデジタル・インターフェイスを備えています。PGA116/117には、デイズチェーン機能もあります。

オペアンプ：入力段

PGAのオペアンプは、レール・ツー・レール入出力(RRIO)の単電源オペアンプです。入力トポロジは、2つの別個の入力段を並列に使用して、レール・ツー・レール入力を実現しています。図61に示すように、各入力にはグラウンドまでの動作のためにPMOSトランジスタが使用されています。また、正の電源レールまでの動作のために、各入力に並列にNMOSトランジスタが使用されています。同相入力電圧(このPGAは内部で非反転ゲインに設定されるため、これはシングルエンド入力を意味します)が、正電源より約1.5V(typ)低いレベルを通過すると、NMOS

とPMOSトランジスタの間で遷移が行われます。この遷移の結果、小さな入力オフセット電圧遷移が生じ、これは選択されたPGAゲインによる出力に反映されます。図62および図63に示されるように、この遷移は増加か減少のいずれかであり、デバイスごとに異なります。これらの図は、 $AV_{DD} = +5V$ で動作する2つの異なるデバイス間で生じる可能性のある入力オフセット電圧の差を示しています。厳密な遷移領域はデバイスごとに異なるため、この入力遷移領域よりも上および下の入力オフセット電圧を電氣的特性の表に示しています。

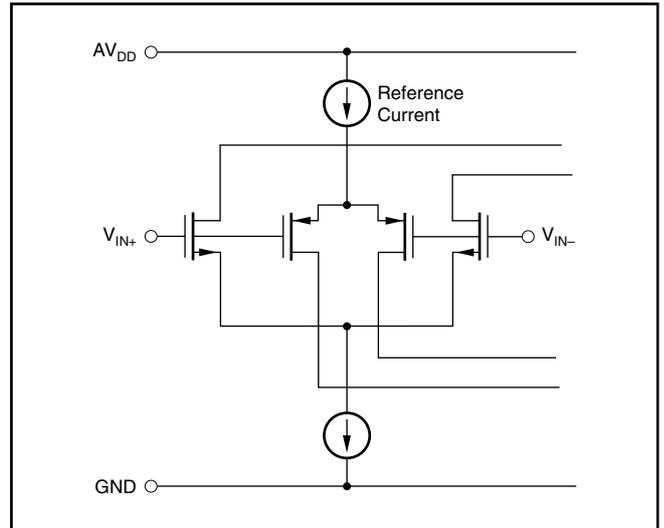


図61. PGAのレール・ツー・レール入力段

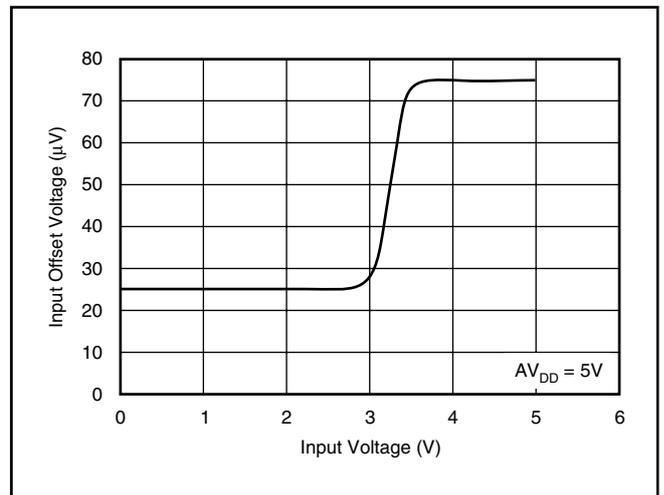


図62. V_{OS} 対入力電圧 - ケース1

オペアンプ：一般的なゲイン式

図64に、PGA112/113をゲイン・ブロックとして使用する基本構成を示します。 V_{OUT}/V_{IN} は、選択したモデルに応じて、バイナリまたはスコープ・ゲインでの選択された非反転ゲインです。

$$V_{OUT} = G \times V_{IN} \quad (1)$$

ここで

$G=1, 2, 4, 8, 16, 32, 64, \text{および} 128$ (バイナリ・ゲイン)

$G=1, 2, 5, 10, 20, 50, 100, \text{および} 200$ (スコープ・ゲイン)

図65に $V_{REF} = AV_{DD}/2$ の場合のPGA構成、およびゲイン式を示します。CH0を選択した場合は V_{OUT0} が V_{OUT} であり、CH1を選択した場合は V_{OUT1} が V_{OUT} です。 $G=1$ の場合は、内部帰還抵抗 R_F が短絡されるため、 V_{REF} ピンが無効になることに注意してください。この構成により、電源中点の仮想グラウンドを中心に正および負の電圧偏移が得られます。

$$V_{OUT0} = G \times V_{IN0} - AV_{DD}/2 \times (G - 1) \quad (2)$$

$G=1$ の場合は、 $V_{OUT0} = G \times V_{IN0}$ となります。

$$V_{OUT1} = G \times (V_{IN1} + AV_{DD}/2) - AV_{DD}/2 \times (G - 1)$$

$$V_{OUT1} = G \times V_{IN1} + AV_{DD}/2,$$

$$- AV_{DD}/2 < G \times V_{IN1} < +AV_{DD}/2 \quad (3)$$

ここで

$G=1, 2, 4, 8, 16, 32, 64, \text{および} 128$ (バイナリ・ゲイン)

$G=1, 2, 5, 10, 20, 50, 100, \text{および} 200$ (スコープ・ゲイン)

表6に、バイナリ・ゲインとスコープ・ゲインの両方に対して、オペアンプの内部帰還抵抗 (R_F) およびオペアンプの内部入力抵抗 (R_I) の内部TYP値を示します。

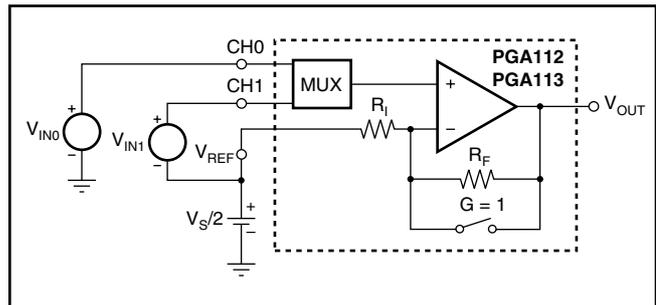


図65. 電源中点の仮想グラウンドを中心に正/負出力のPGA112/PGA113構成

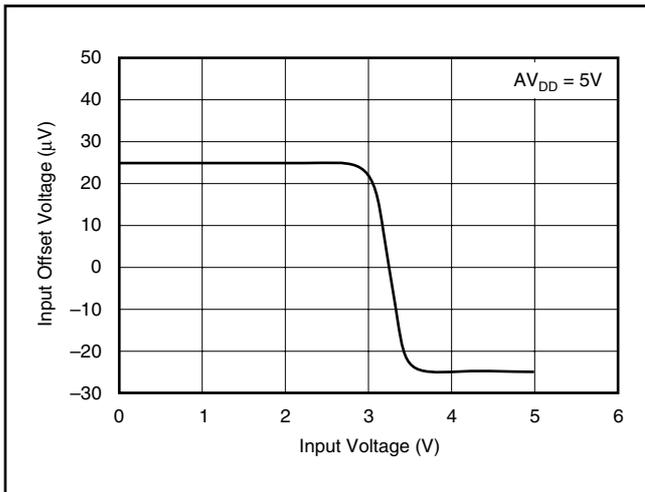


図63. V_{OS} 対入力電圧 - ケース2

バイナリ・ゲイン (V/V)	R_F (Ω)	R_I (Ω)	スコープ・ゲイン (V/V)	R_F (Ω)	R_I (Ω)
1	0	3.25k	1	0	3.25k
2	3.25k	3.25k	2	3.25k	3.25k
4	9.75k	3.25k	5	13k	3.25k
8	22.75k	3.25k	10	29.25k	3.25k
16	48.75k	3.25k	20	61.75k	3.25k
32	100.75k	3.25k	50	159.25k	3.25k
64	204.75k	3.25k	100	321.75k	3.25k
128	412.75k	3.25k	200	646.75k	3.25k

表6. 各ゲインに対する R_F および R_I のTYP値

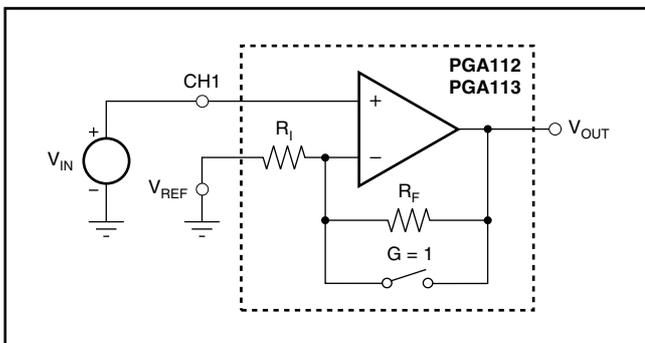


図64. PGA112/PGA113をゲイン・ブロックとして使用

オペアンプ：ゲインごとの周波数応答

表7に、PGAゲインに応じて小信号帯域幅およびスルー・レートがどのように変化するかを示します。

フルパワー帯域幅(特定のゲインに対してPGAを正弦波が通過できる最大の周波数)は、スルー・レートと式(4)の関係にあります。

$$SR (V/\mu s) = 2\pi f \times V_{OP} = (1 \times 10^{-6}) \quad (4)$$

ここで

SR = スルー・レート (V/ μ s)

f = 周波数 (Hz)

V_{OP} = 出力ピーク電圧 (V)

例：

G = 8の場合は、SR = 10.6V/ μ sとなります (スルー・レート立ち上がりは最小スルー・レートです)。

5Vシステムの場合、0.1V < V_{OUT} < 4.9Vまたは $V_{OUTPP} = 4.8V$ または $V_{OUTP} = 2.4V$ を選択します。

$$SR (V/\mu s) = 2\pi f \times V_{OP} (1 \times 10^{-6})$$

$$10.6 = 2\pi f (2.4) (1 \times 10^{-6}) \rightarrow f = 702.9kHz$$

この例では、G = 8の構成の場合、最大702.9kHzの周波数で4.8V_{PP}の正弦波を生成できることが示されます。この計算では、この例の周波数の理論的な上限だけが示され、正弦波の歪については示されていません。許容される歪は、アプリケーションによって異なります。一般的なガイドラインとして、正弦波の歪を最小限に抑えるために、計算されたスルー・レートの2~3倍の値を確保してください。例えば、許容される歪に応じて、アプリケーションでG = 8、4.8V_{PP}を使用するのは、最大234kHz~351kHzの周波数範囲までとする必要があります。与えられたゲインとスルー・レートの要件に対し、信号の周波数を減衰なしで伝達するための適切な小信号帯域幅 (typ=3dB周波数)を確認してください。

アナログMUX

アナログ入力MUXには、PGA112/PGA113では2つの入力チャンネル、PGA116/PGA117では10個の入力チャンネルがあります。MUXスイッチは、Break-Before-Make動作を行うよう設計されているため、2つの入力信号源が短絡される心配がありません。

システムのキャリブレーションを容易にするため、アナログMUXには4つの入力MUX CALチャンネルが内蔵されています。これらのCALチャンネルを使用して、ADCのゲイン誤差およびオフセット誤差を校正できます。このキャリブレーションでは、1より大きなゲインに対してPGAのオフセット誤差およびゲイン誤差を除くことはできませんが、ほとんどのシステムでは、ADCの精度が大きく向上します。また、これらのCALチャンネルは、ADCがPGAから可能な最小電圧および最大電圧を読み取るためにも使用できます。これらの最小レベルおよび最大レベルが既知であれば、これらのレベルが測定された場合に、測定されたアナログ入力信号が範囲外である状況を通知できるよう、システムのアーキテクチャを設計できます。

CALチャンネルを使用するには、 $V_{CAL}/CH0$ をシステムのADCリファレンスに接続する必要があります。 $V_{CAL}/CH0$ からグラウンドに対しては、標準で100k Ω の負荷が存在します。表8に、 V_{REF} = グラウンド時のCALチャンネルの使用方法を示します。表9に、 $V_{REF} = AV_{DD}/2$ 時のCALチャンネルの使用方法を示します。ゲインおよび非直線性の精度を維持するために、 V_{REF} ピンは、DCとACの両方に対して低インピーダンスであるソースに接続する必要があります。 V_{OUT} と V_{REF} の間に3.25k Ω の抵抗があるため、 V_{REF} ピンでのワーストケースの電流需要はG = 1のときに生じます。 $AV_{DD}/2 = 2.5V$ の5Vシステムでは、 V_{REF} ピンのバッファは、グラウンドから+5Vまでスイングできる V_{OUT} に対して、最小2.5V/3.25k $\Omega = 0.7mA$ をソースおよびシンクする必要があります。

バイナリ・ゲイン (V/V)	代表 -3dB 周波数 (MHz)	スルー・レート-立ち下がり (V/ μ s)	スルー・レート-立ち上がり (V/ μ s)	0.1% セトリング 時間: 4V _{PP} (μ s)	0.01% セトリング 時間: 4V _{PP} (μ s)	スコープ・ゲイン (V/V)	代表 -3dB 周波数 (MHz)	スルー・レート-立ち下がり (V/ μ s)	スルー・レート-立ち上がり (V/ μ s)	0.1% セトリング 時間: 4V _{PP} (μ s)	0.01% セトリング 時間: 4V _{PP} (μ s)
1	10	8	3	2	2.55	1	10	8	3	2	2.55
2	3.8	9	6.4	2	2.6	2	3.8	9	6.4	2	2.6
4	2	12.8	10.6	2	2.6	5	1.8	12.8	10.6	2	2.6
8	1.8	12.8	10.6	2	2.6	10	1.8	12.8	10.6	2.2	2.6
16	1.6	12.8	12.8	2.3	2.6	20	1.3	12.8	9.1	2.3	2.8
32	1.8	12.8	13.3	2.3	3	50	0.9	9.1	7.1	2.4	3.8
64	0.6	4	3.5	3	6	100	0.38	4	3.5	4.4	7
128	0.35	2.5	2.5	4.8	8	200	0.23	2.3	2	6.9	10

表7. 周波数応答：対ゲイン ($C_L = 100pF$, $R_L = 10k\Omega$)

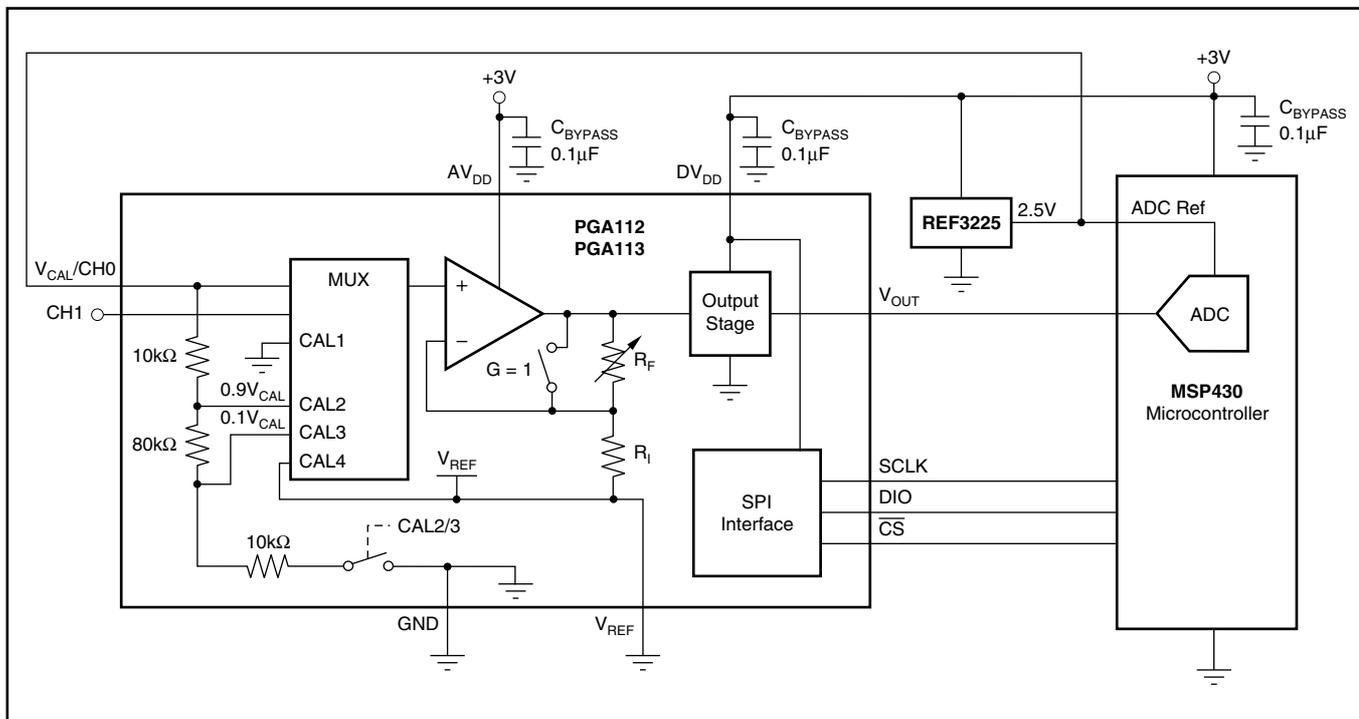


図66. $V_{REF} = \text{GND}$ 時のCALチャンネルの使用

機能	MUX 選択	ゲイン選択	MUX 入力	OP AMP (+In)	OP AMP (V_{OUT})	説明
最小信号	CAL1	1	GND	GND	50mV	MUX、オペアンプ、およびADCが読み取れる最小信号レベル。オペアンプの V_{OUT} は、負方向の飽和により制限。
ゲイン・キャリブレーション	CAL2	1	$0.9 \times (V_{CAL}/CH0)$	2.25V	2.25V	ADCのシステム・フルスケールまたはゲイン・キャリブレーションのための90% ADC Ref。
最大信号	CAL2	2	$0.9 \times (V_{CAL}/CH0)$	2.25V	2.95V	MUX、オペアンプ、およびADCが読み取れる最大信号レベル。オペアンプの V_{OUT} は、正方向の飽和により制限。システムはADCの最大入力2.5V (ADC Ref = 2.5V) により制限。
オフセット・キャリブレーション	CAL3	1	$0.1 \times (V_{CAL}/CH0)$	0.25V	0.25V	ADCシステム・オフセット・キャリブレーションのための10% ADC Ref。
最小信号	CAL4	1	V_{REF}	GND	50mV	MUX、オペアンプ、およびADCが読み取れる最小信号レベル。オペアンプの V_{OUT} は、負方向の飽和により制限。

表8. $V_{REF} = \text{GND}$ 時のMUX CALチャンネルの使用 ($AV_{DD} = 3V$ 、 $DV_{DD} = 3V$ 、ADC Ref = 2.5V、および $V_{REF} = \text{GND}$)

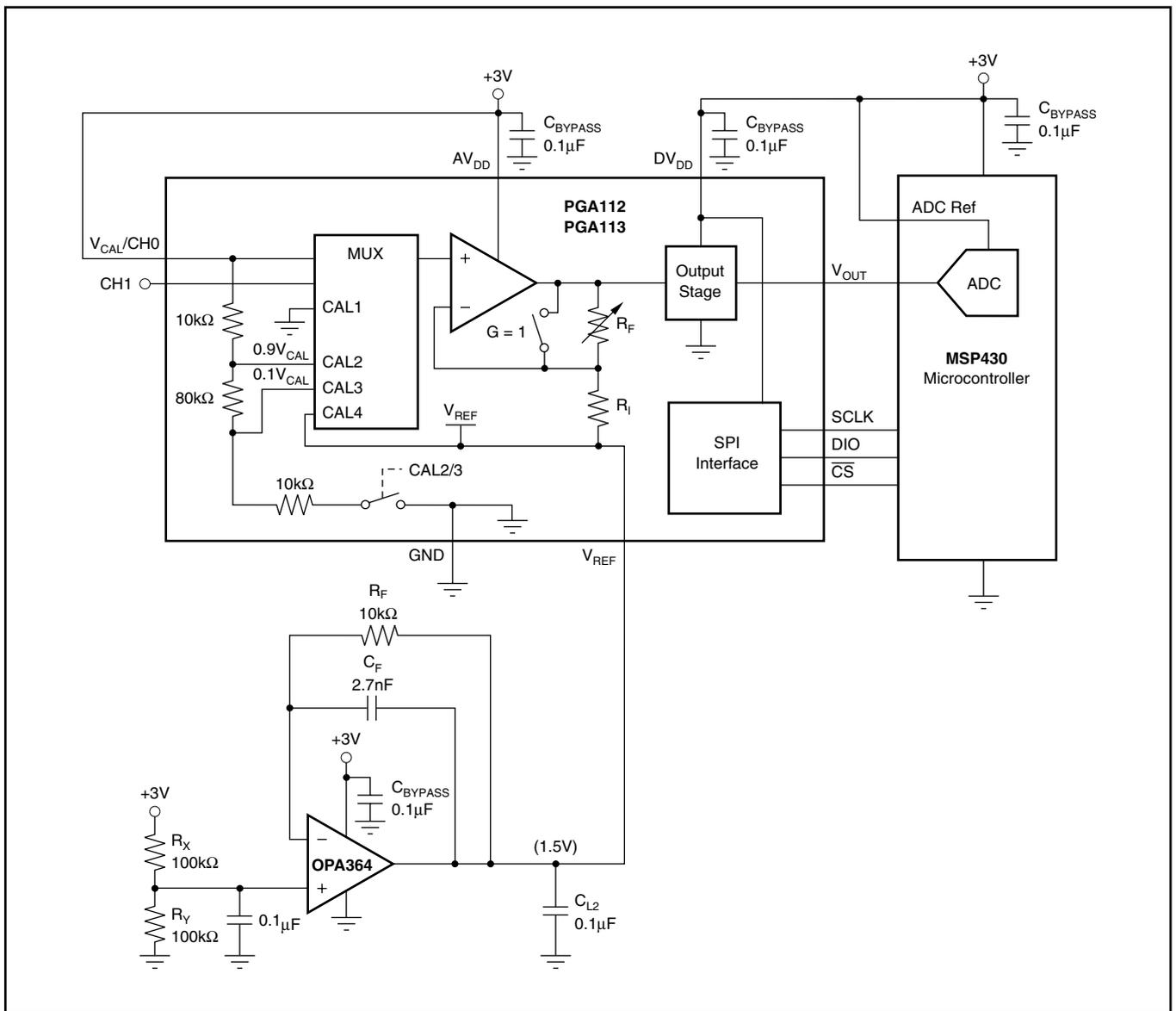


図67. $V_{REF} = AV_{DD}/2$ 時のCALチャネルの使用

機能	MUX 選択	ゲイン 選択	MUX 入力	OP AMP (+In)	OP AMP (V_{OUT})	説明
最小信号	CAL1	1	GND	GND	50mV	MUX、オペアンプ、およびADCが読み取れる最小信号レベル。オペアンプの V_{OUT} は、負方向の飽和により制限。
ゲイン・キャリブレーション	CAL2	1	$0.9 \times (V_{CAL}/CH0)$	2.7V	2.7V	ADCのシステム・フルスケールまたはゲイン・キャリブレーションのための90% ADC Ref。
最大信号	CAL2	4 or 5	$0.9 \times (V_{CAL}/CH0)$	2.25V	2.95V	MUX、オペアンプ、およびADCが読み取れる最大信号レベル。オペアンプの V_{OUT} は、正方向の飽和により制限。
オフセット・キャリブレーション	CAL3	1	$0.1 \times (V_{CAL}/CH0)$	0.3V	0.3V	ADCのシステム・オフセット・キャリブレーションのための10% ADC Ref。
V_{REF} チェック	CAL4	1	V_{REF}	1.5V	1.5V	V_{REF} として使用する電源の midpoint。

表9. $V_{REF} = AV_{DD}/2$ 時のMUX CALチャネルの使用 ($AV_{DD} = 3V$ 、 $DV_{DD} = 3V$ 、ADC Ref = 3V、および $V_{REF} = 1.5V$)

PGA112/PGA113を使用した システム・キャリブレーション

ADコンバータ (ADC) は主に2つの誤差が生じますが、システム・レベルのキャリブレーションによってこれらの誤差を簡単に取り除くことができます。図68に示すように、これらの誤差はゲイン誤差およびオフセット誤差です。図68には、12ビットADCの標準的な伝達関数を示しています。アナログ入力をX軸に取り、範囲は $0V \sim (V_{REF_ADC} - 1LSB)$ です。ここで、 V_{REF_ADC} はADCリファレンス電圧です。Y軸は、ADCコンバータから結果として得られるデジタル・コードを16進数で表したものです。赤い点線は理想的な伝達関数を示し、0000hが0Vのアナログ入力、0FFFhが $(V_{REF_ADC} - 1LSB)$ のアナログ入力を表しています。青い実線は、オフセット誤差を示します。青い実線にはオフセット誤差とゲイン誤算の両方が含まれていますが、0Vのアナログ入力ではオフセット誤差電圧 V_{Z_ACTUAL} を測定できます。黒い破線は、ゲイン誤差を含む伝達関数を示しています。黒い破線は、青い実線からオフセット誤差を除いたものに等しく、 V_{Z_ACTUAL} と V_{Z_IDEAL} を用いて測定および計算できます。黒い破線と赤い点線の差が、ゲイン誤差です。ゲイン誤差およびオフセット誤差は、ゼロ入力とフルスケール入力の測定値から計算できます。これらの誤差計算に基づき、ADCのゲイン誤差およびオフセット誤差を取り除くための校正済みADC値を計算できます。

実際には、内部のオフセット誤差およびゲイン誤差により、ADCのゼロ入力 (0V) やフルスケール入力 ($V_{REF_ADC} - 1LSB$) が常に測定可能なわけではありません。ただし、フルスケール入力およびゼロ入力に非常に近い点で測定を行えば、校正点からADCの理想伝達関数の各端点までの間に直線性を仮定することで、ゼロとフルスケールの両方を非常に正確に校正することができます。ゼロ・キャリブレーションの場合は、 $10\% V_{REF_ADC}$ を選択します。この値は、内部オフセット誤差より

も大きく、ADCのノイズ・フロア範囲から十分に離れている必要があります。ゲイン・キャリブレーションの場合は、 $90\% V_{REF_ADC}$ を選択します。この値は、内部ゲイン誤差よりも小さく、 V_{REF} の公差範囲よりも十分に低い必要があります。これらの注意点を次にまとめます。

ゼロ・キャリブレーション：

- オフセット誤差によりADCは理想的なゼロ入力を測定できない。
- グランドよりも十分に大きくし、ノイズ・フロアおよびADCのオフセット誤差を上回る必要がある。
- したがって、ゼロ・キャリブレーションには $10\% V_{REF_ADC}$ を選択する。

ゲイン・キャリブレーション：

- ゲイン誤差によりADCは理想的なフルスケール入力を測定できない。
- フルスケールよりも十分に小さくし、 V_{REF} の公差およびADCのゲイン誤差を下回る必要がある。
- したがって、ゲイン・キャリブレーションには $90\% V_{REF_ADC}$ を選択する。

図69の12ビットADCの例では、 $10\% V_{REF_ADC}$ および $90\% V_{REF_ADC}$ の値を使用したADCのキャリブレーション方法を示しています (V_{REF_ADC} はADCリファレンス電圧)。 $V_{IN} = 0$ の校正点ではないため、 $10\% V_{REF}$ 値にはゲイン誤差が含まれることに注意してください。最初に、 $90\% V_{REF}$ および $10\% V_{REF}$ 点を使用して、ゲイン誤差の測定値を計算します。次に、ゲイン誤差の測定値を使用して、 $10\% V_{REF}$ 値からゲイン誤差を取り除き、 $10\% V_{REF}$ の測定値を求めます。 $10\% V_{REF}$ 測定値を使用して、オフセット誤差の測定値を計算します。

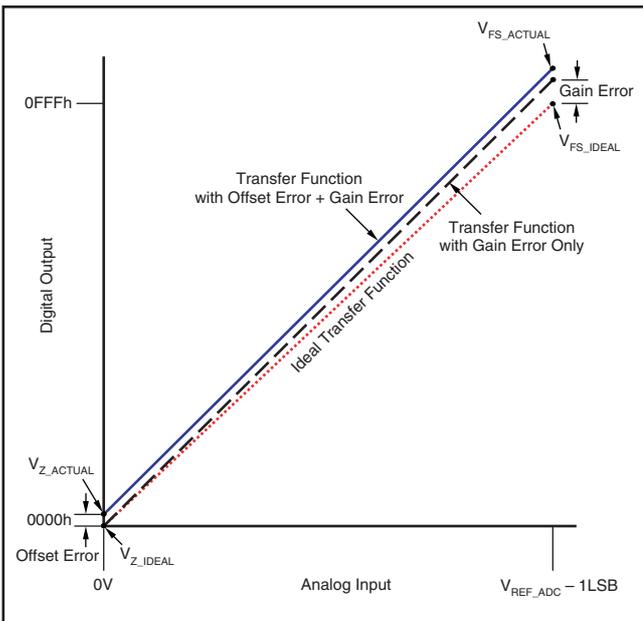


図68. ADCのオフセット誤差とゲイン誤差

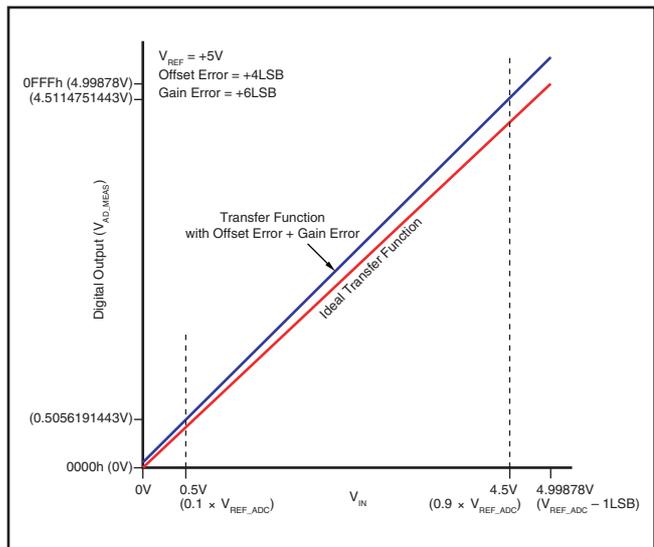


図69. 12ビットでのゲイン誤差およびオフセット誤差のADCキャリブレーション例

ADCの結果値におけるゲイン誤差およびオフセット誤差は、 $10\%V_{REF_ADC}$ および $90\%V_{REF_ADC}$ の校正点を用いてキャリブレーションを行えます。キャリブレーションは V_{REF_ADC} に対してレシオメトリックであるため、エンド・アプリケーションで V_{REF_ADC} の厳密な値がわからなくてもかまいません。

校正ADC値の計算は、次の手順で行います。

1. $V_{IN} = 90\% \times V_{REF}$ および $V_{IN} = 10\% \times V_{REF}$ でのADC値を取得します。 $10\%V_{REF}$ および $90\%V_{REF}$ のADC値が得られます。

$$V_{REF90} = 0.9(V_{REF_ADC}) \quad (5)$$

$$V_{REF10} = 0.1(V_{REF_ADC}) \quad (6)$$

$$V_{MEAS90} = ADC_{MEASUREMENT} (V_{REF90} \text{ 時}) \quad (7)$$

$$V_{MEAS10} = ADC_{MEASUREMENT} (V_{REF10} \text{ 時}) \quad (8)$$

2. ADCゲインの測定値を計算します。 $10\%V_{REF}$ および $90\%V_{REF}$ の測定点を接続する曲線の傾きが計算され、理想的な $10\%V_{REF}$ と理想的な $90\%V_{REF}$ の間の傾きと比較されます。その結果が、ゲインの測定値です。

$$G_{MEAS} = \frac{V_{MEAS90} - V_{MEAS10}}{V_{REF90} - V_{REF10}} \quad (9)$$

3. ADCオフセットの測定値を計算します。オフセットの測定値は、 $10\%V_{REF}$ 測定値と(理想 $10\%V_{REF} \times$ ゲイン測定値)との差を取ることで計算されます。

$$O_{MEAS} = V_{MEAS10} - (V_{REF10} \times G_{MEAS}) \quad (10)$$

4. ADC校正値を計算します。

$$V_{AD_MEAS} = \text{Any } V_{IN} \text{ ADC}_{MEASUREMENT} \quad (11)$$

$$V_{ADC_CAL} = \frac{V_{AD_MEAS} - O_{MEAS}}{G_{MEAS}} \quad (12)$$

これにより、ゲイン誤差およびオフセット誤差を取り除くことで任意のADC値を校正できます。ADC値からオフセット測定値を減算し、さらにゲイン測定値で除算することにより、補正された値が得られます。この校正を、特定のアプリケーションに応じたタイミングで実行することにより、温度に対するオフセット誤差もキャリブレーションで取り除くことができます。

例えば、次の条件を考えます。

- 12ビットADC
- ADCゲイン誤差 = +6LSB
- ADCオフセット誤差 = +4LSB
- ADCリファレンス (V_{REF_ADC}) = +5V
- 温度 = +25°C

表10に、結果のシステム精度を示します。

V_{IN}	ADC 精度 キャリブレーションなし	ADC 精度 PGA112 キャリブレーション
$10\%V_{REF_ADC}$	8.80 Bits	12.80 Bits
$90\%V_{REF_ADC}$	7.77 Bits	11.06 Bits

表10. システム精度のビット⁽¹⁾ (対 0.5LSB)

(1) 精度が異なるのは、 $V_{IN} = 10\%V_{REF_ADC}$ と $V_{IN} = 90\%V_{REF_ADC}$ の最大入力オフセット電圧が異なるためです。

アプリケーション：汎用入力スケールリング

図70は、PGAの柔軟性を示す汎用入力スケールリング・アプリケーションの例です。 V_{IN0} は、CH0にAC結合された $\pm 100\text{mV}$ 入力です。PGA112/PGA113は、 $+5\text{V}$ 電源電圧 V_S から電源供給され、 V_{REF} ピンが $V_S/2 (+2.5\text{V})$ に接続されています。 V_{CH0} は、 $V_S/2 (+2.5\text{V})$ を中心としてレベル・シフトされた $\pm 100\text{mV}$ 入力です。CH0にはゲイン20が適用され、また、PGA113の構成により、 V_{OUT} の出力電圧は $V_S/2 (+2.5\text{V})$ を中心とした $\pm 2\text{V}$ となります。

CH1は $G = 1$ に設定され、抵抗によるデバイダとスケールリング・ネットワークにより、 $\pm 5\text{V}$ または 0V を読み取ることができます。この設定により、バイポーラからシングルエンドへの入力スケールリングを実現しています。

表11に、異なるADCリファレンス電圧に対する R_A 、 R_X 、 R_B のスケールリング抵抗値を示します。 V_{REF_ADC} は、PGA112/PGA113の出力に接続されたADCに対して使用するリファレンス電圧です。ADCの入力範囲は $0\text{V} \sim V_{REF_ADC}$ と仮定します。「バイポーラ入力から単電源へのスケールリング」セクションに、表11に示されていないリファレンスに対して抵抗値を計算するアルゴリズムを示しています。一般的なガイドラインとして、 R_B は、オン・チャンネル入力電流に R_B を乗算した結果が入力オフセット電圧以下となるように選択する必要があります。この値により、スケールリング・ネットワークが入力オフセット電圧に新たな誤差を付加しないことを確実にします。個々のアプリケーションに応じて、他の設計上のトレードオフが必要になる場合があります。

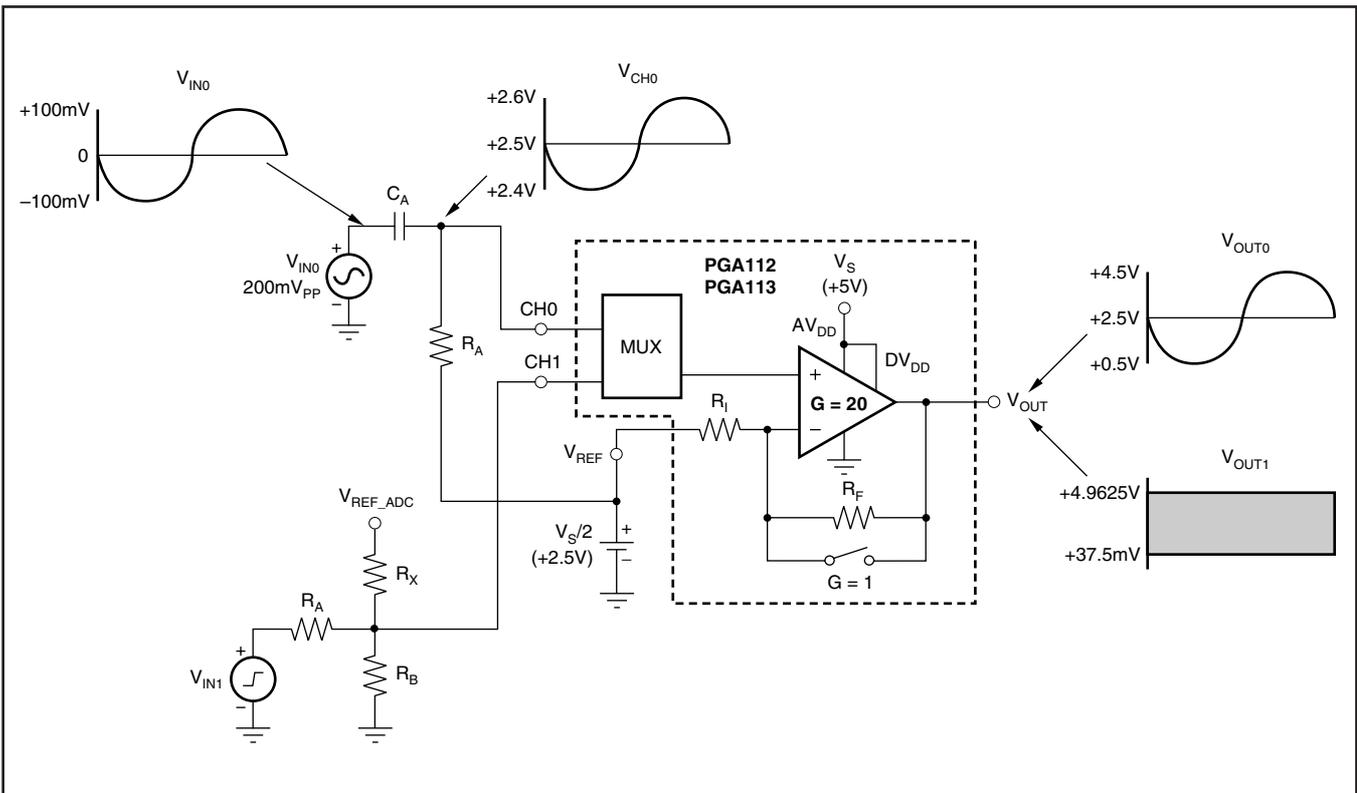


図70. 汎用入力スケールリング

V_{REF_ADC} (V)	V_{IN1} (V)	CH1 入力	R_A (k Ω)	R_X (Ω)	R_B (k Ω)
2.5	-5	0.047613	9.2	4.81k	10
	0	1.247613			
	5	2.447613			
2.5	-10	0.050317	3.16	2.4k	10
	0	1.250317			
	10	2.450317			
3	-5	0.058003	13.5	5.76k	10
	0	1.498003			
	5	2.938003			
3	-10	0.059303	4.02	2.87k	10
	0	1.499303			
	10	2.939303			
4.096	-5	0.082224	37	7.87k	10
	0	2.048304			
	5	4.014384			
4.096	-10	0.086018	6.49	3.92k	10
	0	2.052098			
	10	4.018178			
5	-5	0.093506	24	965	10
	0	2.493506			
	5	4.893506			
5	-10	0.095227	9.2	4.81k	10
	0	2.495227			
	10	4.895227			

表11. バイポーラからシングルエンドへの入力スケーリング⁽¹⁾⁽²⁾

- (1) スケーリングは、標準の0.1%抵抗値を使用し、 $0.02(V_{REF_ADC}) \sim 0.98(V_{REF_ADC})$ を基にしています。
- (2) V_{IN1} が対称であり、CH1入力の最小値および最大値に対してスケーリングが対称であると仮定しています。

バイポーラ入力から単電源へのスケーリング

このプロセスでは、 V_{IN1} が対称であり、CH1入力の最小値および最大値に対して対称のスケーリングが使用されていることを仮定しています。以下の手順は、表11に示されていないリファレンスに対して抵抗値を計算するアルゴリズムを示しています。

手順1：以下を選択します。

a. $V_{REF_ADC} = 2.5V$ (ADCリファレンス電圧)

b. $|V_{IN1}| = 5$

(V_{IN} の大きさ。± V_{IN1} に対するスケーリングを仮定)

c. R_B を標準抵抗値として選択します。 R_B が精度低下の主要な原因とならないように、オン・チャンネル入力電流に R_B を乗算した結果が入力オフセット電圧以下となる必要があります。

$R_B = 10k\Omega$ (抵抗の初期値として選択)

d. V_{IN1} の負側の最大値に対して、ADC入力に必要な V_{REF_ADC} のパーセンテージ (10進形式) を選択します。

$k_{VO-} = 0.02$

($V_{IN1} = -V_{IN1}$ のとき、CH1入力 = $k_{VO-} \times V_{REF_ADC}$)

e. V_{IN1} の正側の最大値に対して、ADC入力に必要な V_{REF_ADC} のパーセンテージ (10進形式) を選択します。このスケーリングは対称性に基づいているため、 k_{VO+} が上限で V_{REF_ADC} から離れるパーセンテージは、 k_{VO-} が計算される下限でのパーセンテージと同じになる必要があります。

$k_{VO+} = 1 - k_{VO-}$

$k_{VO+} = 1 - 0.02 = 0.98$

($V_{IN1} = +V_{IN1}$ のとき、CH1入力 = $k_{VO+} \times V_{REF_ADC}$)

手順2：以下を計算します。

a. 分析を単純化するために、 k_{VO} という1つの定数を作成します。

$$k_{VO} = k_{VO+} - k_{VO-}$$

$$0.96 = 0.98 - 0.02$$

b. 抵抗値の計算を単純化するために、定数 g を作成します。

$$g = \frac{k_{VO} \times V_{REF_ADC}}{2 \times |V_{IN1}| - k_{VO} \times V_{REF_ADC}}$$

$$0.315789474 = \frac{0.96 \times 2.5}{2 \times 5 - 0.96 \times 2.5}$$

c. R_B の初期値と定数 g から R_A が選択されます。

$$R_A = \frac{2 \times R_B \times g}{1 - g}$$

$$9.23077k\Omega = \frac{2 \times 10k\Omega \times 0.315789474}{1 - 0.315789474}$$

d. R_B の初期値と R_A の計算値から R_X を計算できます。

$$R_X = \frac{R_B \times R_A}{R_B + R_A}$$

$$4.81k\Omega = \frac{10k\Omega \times 9.23077k\Omega}{10k\Omega + 9.23077k\Omega}$$

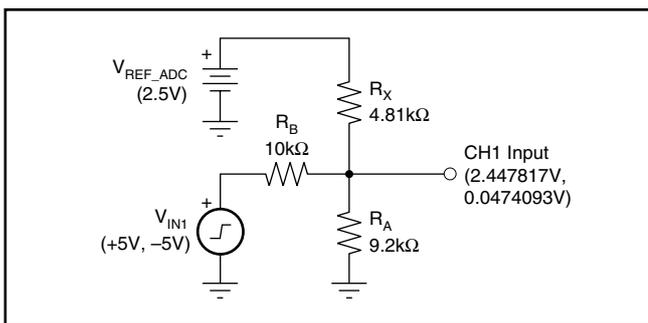


図71. バイポーラからシングルエンドへの入力アルゴリズム

アプリケーション：高ゲイン/広帯域幅に関する注意事項

PGA112/PGA113およびPGA116/PGA117の広帯域幅および高ゲイン能力の組み合わせにより、最適なアプリケーション性能を得るために考慮できる、プリント基板 (PCB) 設計およびシステムの推奨事項がいくつかあります。

1. 電源バイパス – 各電源ピンは個別にバイパスします。電源ピンから、同じPCBプレーン上のICのグランド・ピンとの間に、セラミック・コンデンサを直接接続してください。それにより、ビアを使用してグランド・プレーンと電圧プレーンを接続できます。この構成により、PGAのローカル・バイパスに寄生誘導性パスが生じるのを防止できます。適切なアナログ設計手法では、各電圧に対してPCB上に大容量のタンタル・バイパス・コンデンサの使用が推奨されます。

2. 信号パターンの配線 - V_{OUT} および他の低インピーダンス・パターンは、高インピーダンスのMUXチャンネル入力から遠ざけてください。信号配線が不適切であると、正のフィードバックや不要な発振や、ステップ変化信号で過度のオーバーシュートやリングが生じる可能性があります。入力信号のノイズが特に大きい場合は、信号パターンの両側にガード・パターンを設けてMUX入力チャンネルを分離してください。ガード・パターンは、PGA付近、およびPCBへの信号入力点で、グランドに接続します。多層PCBでは、隣接する層のMUX入力パターンの近くに並列パターンがないようにしてください。他の層からの容量性結合が問題となる可能性があります。グランド・プレーンを使用して、他の層の信号パターンからMUX入力信号パターンを隔離します。

また、PGAへのデジタル信号は互いにまとめて、アナログMUX入力信号からできるだけ離して配線してください。ほとんどのデジタル信号は、立ち上がり/立ち下がり時間が速く、低インピーダンスのドライブ能力を持つため、入力MUXチャンネルの高インピーダンス入力に容易に結合される可能性があります。この結合により、不要なノイズが生じて V_{OUT} にまで影響を与えます。

3. 入力MUXチャンネルとソース・インピーダンス - 入力MUXチャンネルは高インピーダンスです。高ゲインと組み合わせると、チャンネルが不要なノイズを拾う可能性があります。入力信号

ソースは低インピーダンス ($< 10k\Omega$) になるようにして下さい。また、MUX入力ピンにセラミック・バイパス・コンデンサを直接接続して、入力MUXチャンネルをバイパスすることも考えて下さい。

100pF以上のバイパス・コンデンサを推奨します。インピーダンスを低くし、バイパス・コンデンサを入力MUXチャンネルに直接配置することで、隣接PCBパターンからの寄生容量性結合およびピン間容量による、チャンネル間のクロストークを最小限に抑えることができます。

アプリケーション：ADCのドライブ/インターフェイス

CDAC SAR ADCには、入力サンプリング・コンデンサ C_{SH} が含まれ、図72に示すように入力信号をサンプル期間中にサンプリングできます。サンプル期間の後、 C_{SH} は入力信号から切り離されます。 C_{SH} に格納された電荷の比較は、ADC変換プロセス中に実行されます。オペアンプの安定性、入力信号のセトリング、および入力信号調整回路からの電荷需要について最適な性能を得るために、ほとんどのADCアプリケーションは、オペアンプ出力とADC入力に抵抗(R_{FILT})およびコンデンサ(C_{FILT})のフィルタを配置することで最適化されています。PGA112/PGA113の場合、 $C_{FILT} = 1nF$ および $R_{FILT} = 100\Omega$ に設定することにより、アプリケーションのセトリング・タイムおよび精度の要求に応じて、最大500kHzの速度で動作するサンプリング・コンバータに対して最適なシステム性能が得られます。

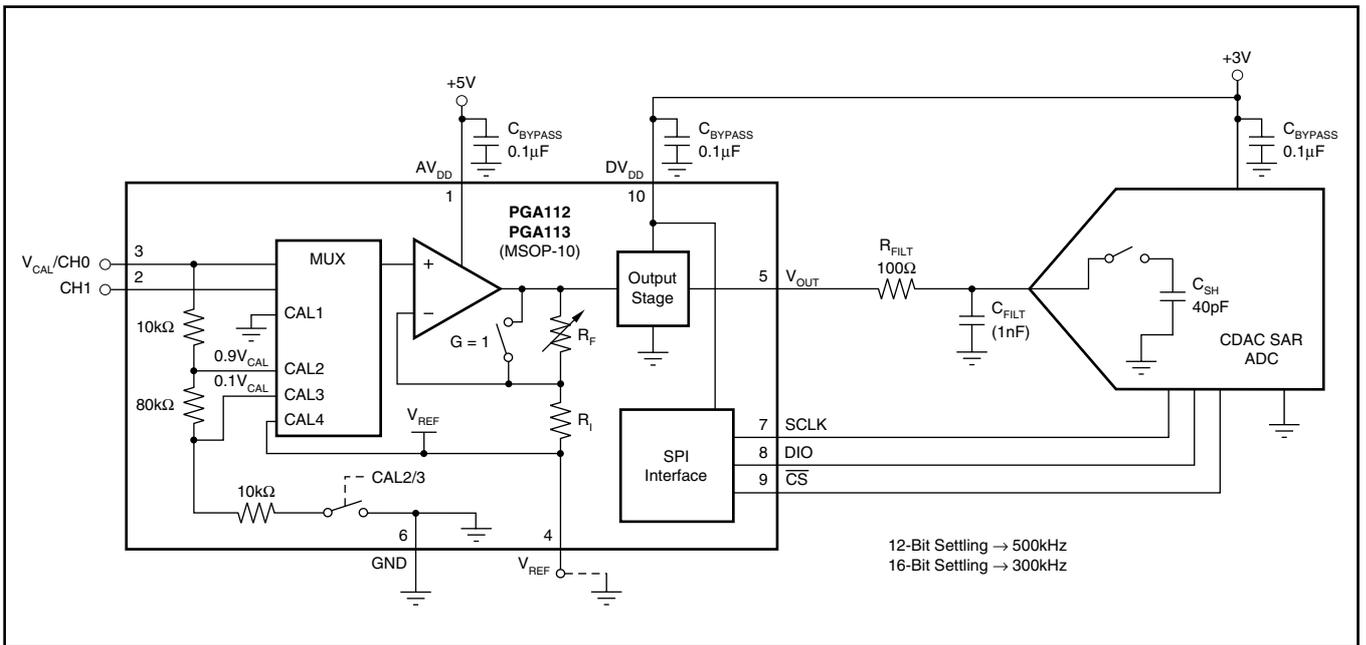


図72. ADCのドライブ/インターフェイス

電源

図73は、アナログ電源 AV_{DD} が+5Vでデジタル電源電圧 DV_{DD} が+3Vである標準的な電源電圧混在システムを示しています。PGAのアナログ出力段と、SPIインターフェイスのデジタル回路は、ともに DV_{DD} から電源が供給されています。 DV_{DD} に必要な電力を考慮する際、電気的特性の表を使用して、 V_{OUT} 上に予想される負荷電流を加算します。この負荷電流は、 DV_{DD} によって供給される必要があります。この分離電源アーキテクチャにより、マイクロコントローラに互換性のあるロジックレベルが確保されます。また、PGA出力によってオンボードADCの入力が過電圧状態になるのを防ぐ効果もあります。そのような状態になると、デバイスのラッチアップやシステムのロックアップが生じ、電源シーケンシングが必要になる可能性があります。各電源ピンは、直接デバイス上でグラウンドに対して $0.1\mu\text{F}$ のセラミックコンデンサにより個別にバイパスする必要があります。システムに電源が1つしかない場合は、 AV_{DD} と DV_{DD} を両方とも同じ電源に接続できます。ただし、各電源ピン上で直接、単一点のグラウンドに対して個別のバイパスコンデンサを使用することを推奨します。 V_{OUT} は AV_{DD} にダイオードクランプされています(図71を参照)。そのため、 DV_{DD} は($AV_{DD} + 0.3\text{V}$)以下に設定してください。 DV_{DD} および AV_{DD} は、+2.2V~+5.5Vの動作電圧範囲内にする必要があります。

最初のパワーオン時には、PGAの状態は $G = 1$ およびチャンネル0がアクティブです。

注意：ほとんどのアプリケーションでは、 V_{OUT} が AV_{DD} に電流をドライブして AV_{DD} の電圧レベルが上昇するのを防ぐために、 $AV_{DD} \geq DV_{DD}$ に設定してください。

シャット・ダウンとパワー・オン・リセット (POR)

PGA112/PGA113にはソフトウェア・シャットダウン・モード、PGA116/PGA117にはハードウェアとソフトウェアの両方のシャットダウン・モードがあります。PGAは、シャット・ダウンされると低電力スタンバイ・モードに入ります。電気的特性の表に、SPIインターフェイスのクロックがオンの場合とオフの場合の、シャットダウン・モードでの消費電流が示されています。シャットダウン・モードでは、 R_F と R_I が引き続き V_{OUT} - V_{REF} 間に接続されています。

DV_{DD} が1.6V未満の場合、デジタル・インターフェイスはディスエーブルになり、チャンネルおよびゲイン選択はそれぞれのPOR状態であるゲイン = 1およびチャンネル = $V_{CAL}/CH0$ に保持されます。 DV_{DD} が1.8Vを上回ると、デジタル・インターフェイスはイネーブルになりますが、ゲインおよびチャンネルは、有効なSPI通信が受信されるまでPOR状態のまま変化しません。

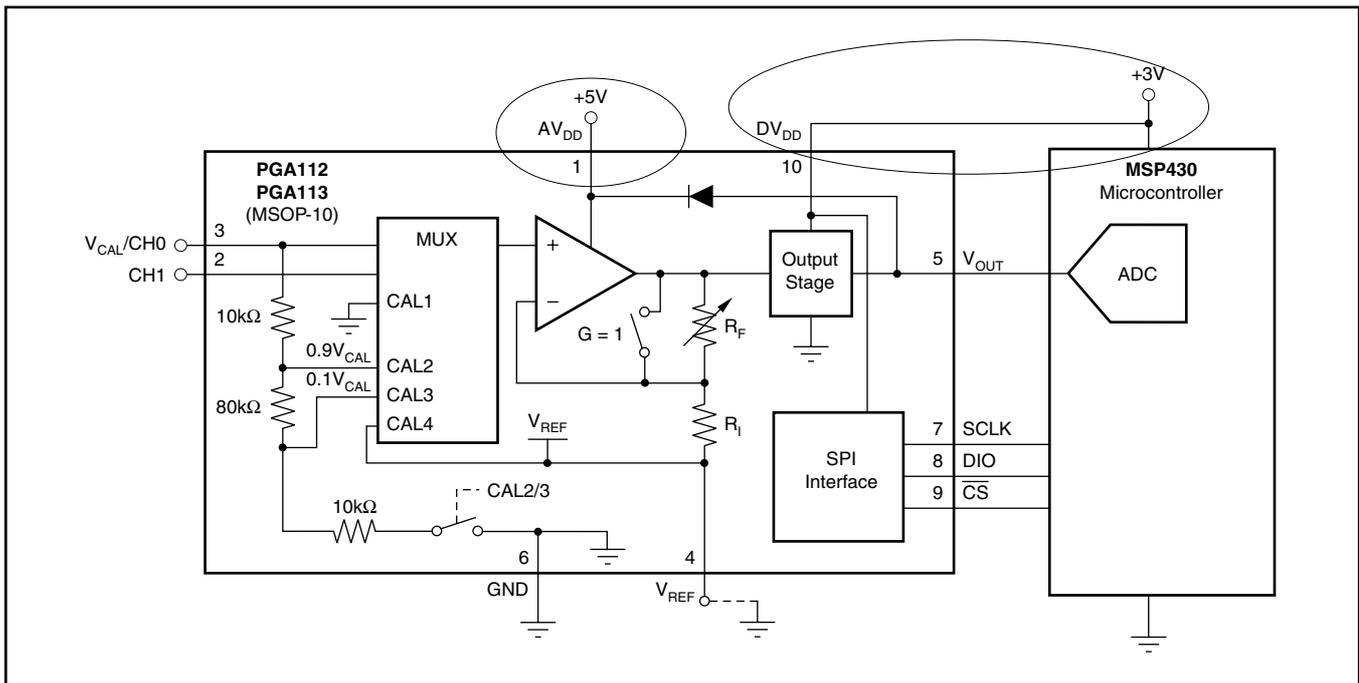


図73. 分離電源アーキテクチャ： $AV_{DD} \neq DV_{DD}$

パッケージ・オプション

パッケージ情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
PGA112AIDGSR	ACTIVE	MSOP	DGS	10	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
PGA112AIDGSRG4	ACTIVE	MSOP	DGS	10	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
PGA112AIDGST	ACTIVE	MSOP	DGS	10	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
PGA112AIDGSTG4	ACTIVE	MSOP	DGS	10	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
PGA113AIDGSR	ACTIVE	MSOP	DGS	10	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
PGA113AIDGSRG4	ACTIVE	MSOP	DGS	10	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
PGA113AIDGST	ACTIVE	MSOP	DGS	10	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
PGA113AIDGSTG4	ACTIVE	MSOP	DGS	10	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
PGA116AIPW	PREVIEW	TSSOP	PW	20	70	TBD	Call TI	Call TI
PGA116AIPWR	PREVIEW	TSSOP	PW	20	2000	TBD	Call TI	Call TI
PGA117AIPW	PREVIEW	TSSOP	PW	20	70	TBD	Call TI	Call TI
PGA117AIPWR	PREVIEW	TSSOP	PW	20	2000	TBD	Call TI	Call TI

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンブ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

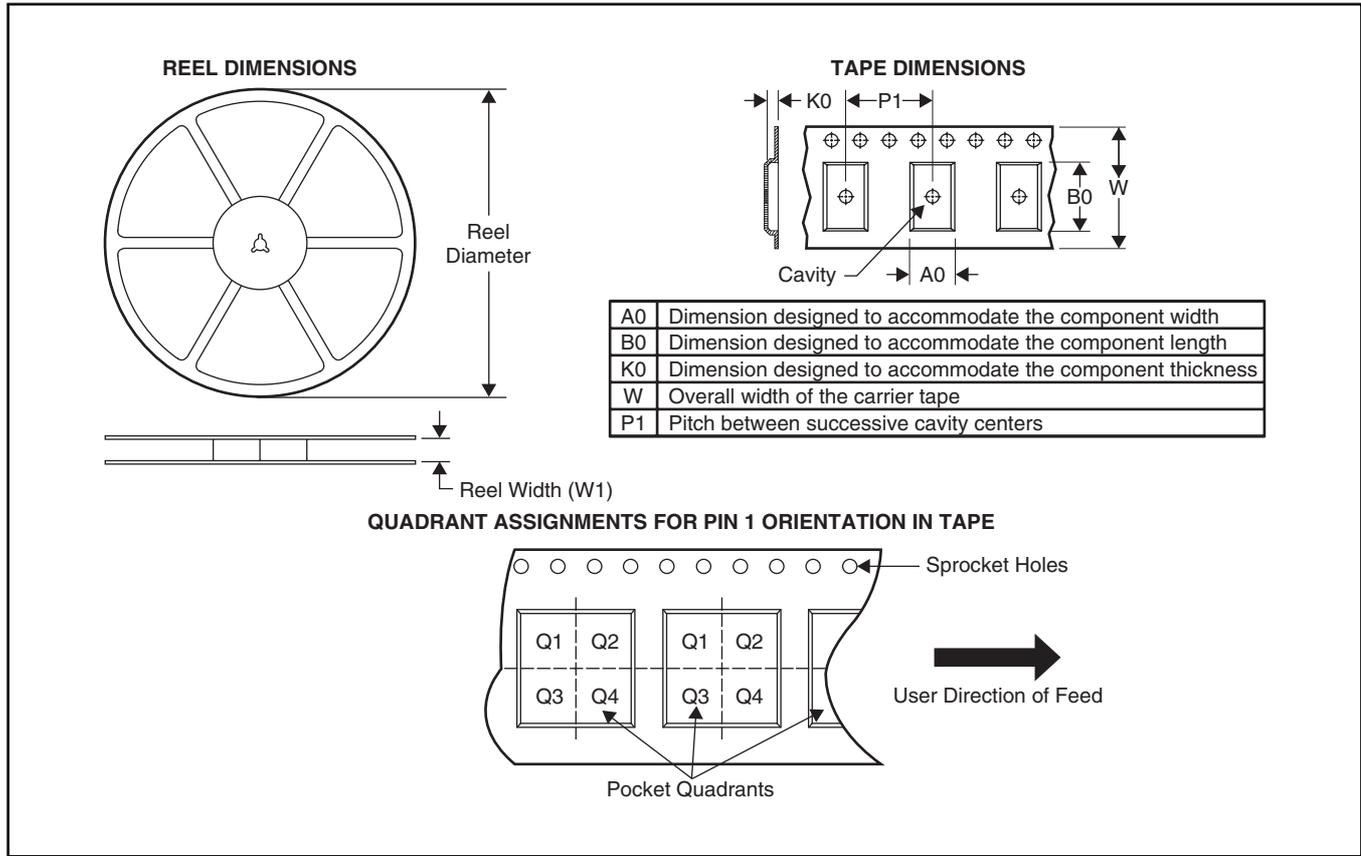
Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行わないものとします。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

パッケージ・材料情報

テープおよびリール・ボックス情報

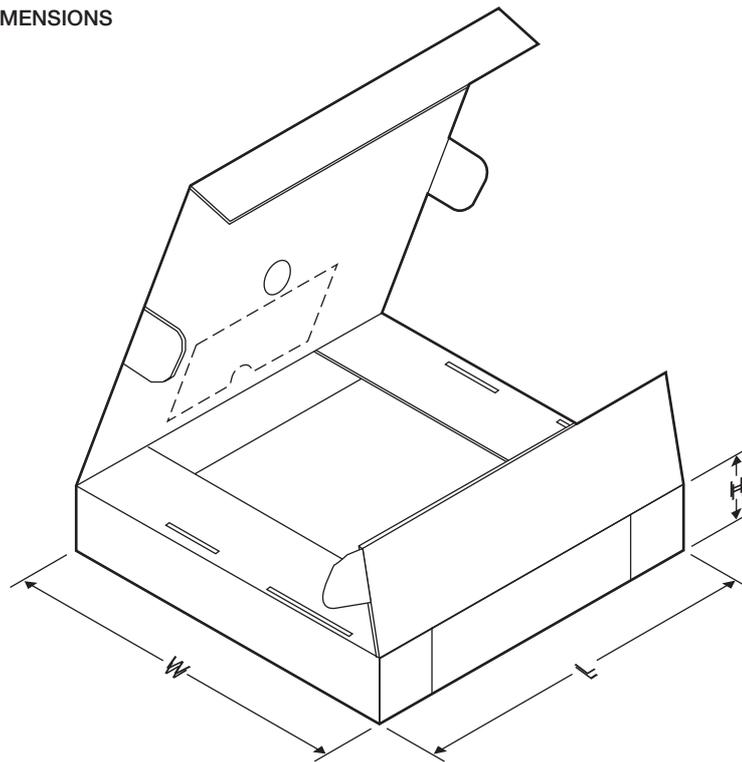


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
PGA112AIDGSR	MSOP	DGS	10	2500	330.0	12.4	5.3	3.3	1.3	8.0	12.0	Q1
PGA112AIDGST	MSOP	DGS	10	250	180.0	12.4	5.3	3.3	1.3	8.0	12.0	Q1
PGA113AIDGSR	MSOP	DGS	10	2500	330.0	12.4	5.3	3.3	1.3	8.0	12.0	Q1
PGA113AIDGST	MSOP	DGS	10	250	180.0	12.4	5.3	3.3	1.3	8.0	12.0	Q1

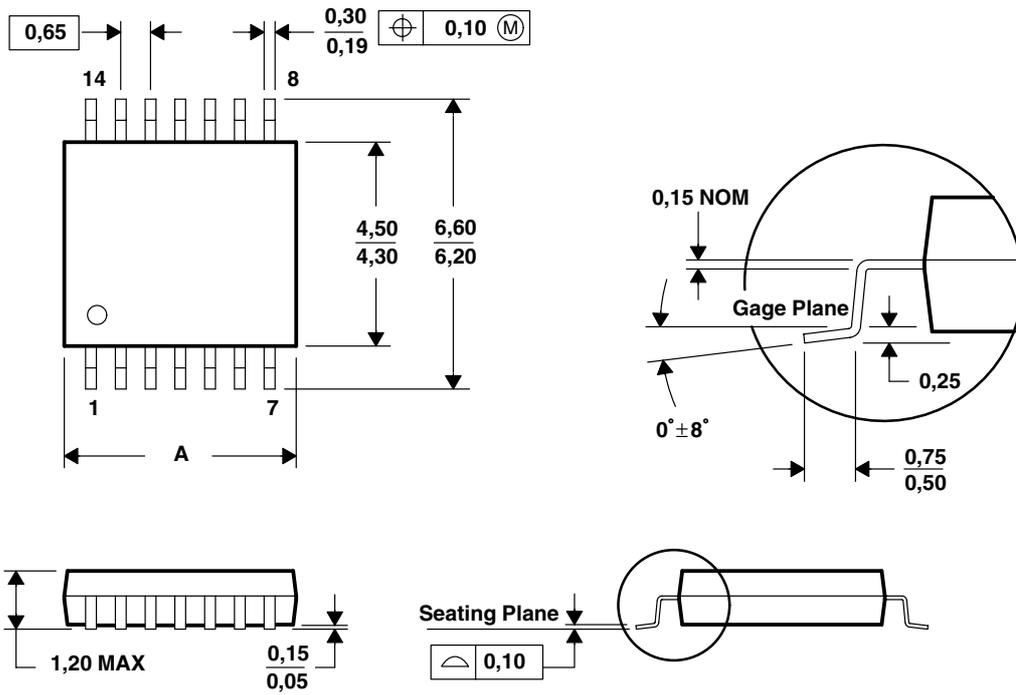
パッケージ・マテリアル情報

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

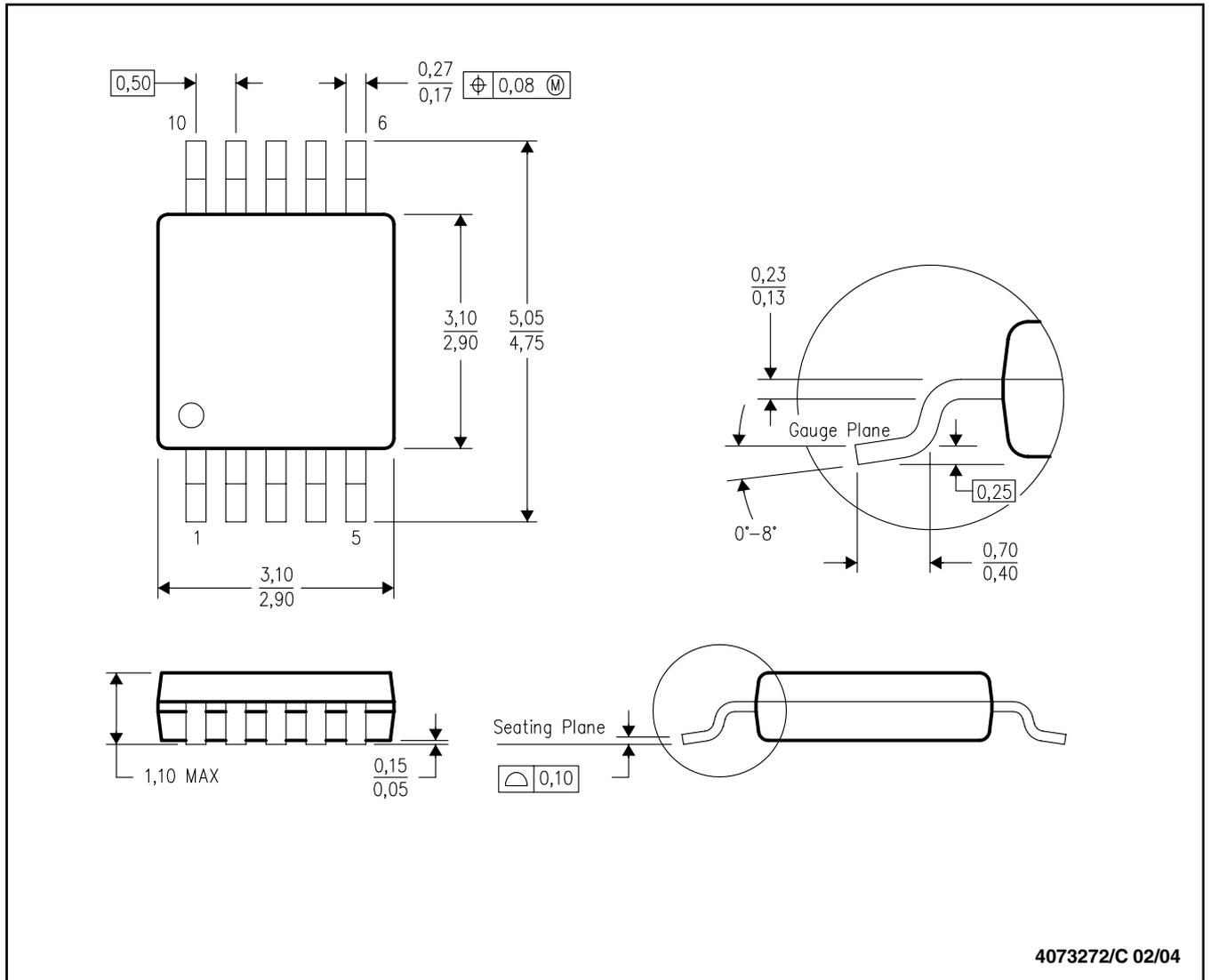
Device	PackageType	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
PGA112AIDGSR	MSOP	DGS	10	2500	370.0	355.0	55.0
PGA112AIDGST	MSOP	DGS	10	250	370.0	355.0	55.0
PGA113AIDGSR	MSOP	DGS	10	2500	370.0	355.0	55.0
PGA113AIDGST	MSOP	DGS	10	250	195.0	200.0	45.0



DIM \ PINS **	8	14	16	20	24	28
	A MAX	3,10	5,10	5,10	6,60	7,90
A MIN	2,90	4,90	4,90	6,40	7,70	9,60

4040064/F 01/97

- NOTES: A. 直線寸法はすべてミリメートルです。
 B. 本図は予告なく変更することがあります。
 C. ボディ長には、モールド・フラッシュや突起は含まれません。
 D. JEDEC MO-153に準拠します。



- NOTES: A. 直線寸法はすべてミリメートルです。
 B. 本図は予告なく変更することがあります。
 C. ボディ長には、モールド・フラッシュや突起は含まれません。
 D. JEDEC MO-187バリエーション BAに準拠します。

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIJの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIJが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIJが第三者の製品もしくはサービスについて情報を提供することは、TIJが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認を意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIJが特別に指定した製品である場合は除きます。TIJが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIJが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIJがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIJは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2008, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使用すること。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0 ~ 40 °C、相対湿度: 40 ~ 85%で保管・輸送及び取り扱うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260 °C以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上