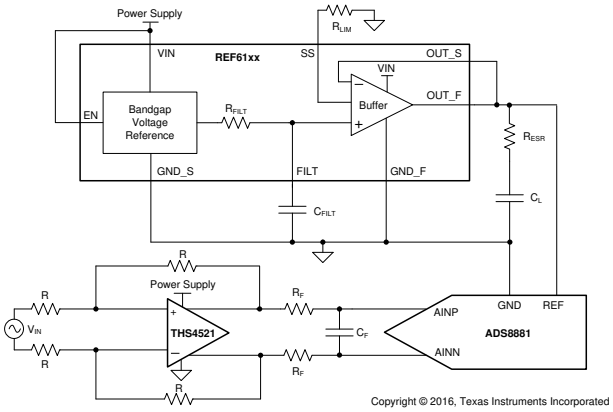
REF61xx 高精度電圧リファレンス、内蔵 ADC ドライブ バッファ付き

1 特長

- 優れた温度ドリフト性能
  - -40°C から +125°C について 8ppm/°C (最大値)
- 超低ノイズ
  - 合計ノイズ:5μV_{RMS} (47μF のコンデンサを使用した場合)
  - 1/f ノイズ (0.1Hz ～ 10Hz):3μV_{PP}/V
- ADC ドライブ バッファ内蔵
  - 低い出力インピーダンス:< 50mΩ (0kHz ～ 200kHz)
  - ADS8881 を使用した 18 ビット精度の最初のサンプル
  - バースト モードの DAQ システムに対応
- 低い消費電流:820μA
- 低シャットダウン電流:1μA
- 高い初期精度:±0.05%
- 低ノイズと歪み
  - 信号対雑音比:100.5dB、THD:-125dB (ADS8881)
  - 信号対雑音比:106dB、THD:-120dB (ADS127L01)
- 出力電流駆動:±4mA
- プログラマブル短絡電流
- ADS88xx ファミリの SAR ADC および ADS127xx ファミリの広帯域 ΔΣ ADC の REF ピンの駆動は検証済み

2 アプリケーション

- ATE テスタとオシロスコープ
- 試験および計測機器
- PLC 用アナログ入力モジュール
- 医療用機器
- 高精度データ アクイジション システム



代表的なアプリケーション

3 説明

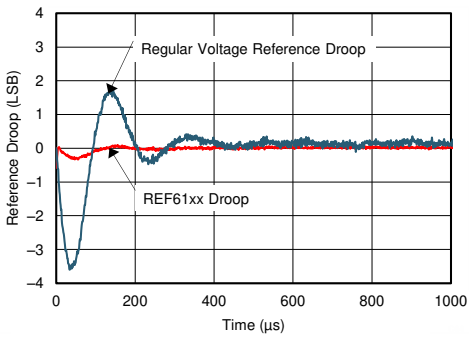
REF6000 ファミリの電圧リファレンスには、低出力インピーダンスのバッファが搭載されているため、ユーザーは高精度データ コンバータの REF ピンを直接駆動しながら、直線性、歪み、ノイズ性能を維持できます。大半の高精度 SAR ADC およびデルタ シグマ ADC は、変換プロセス中にバイナリ重み付けコンデンサを REF ピンに切り替えます。この動的負荷に対応するため、電圧リファレンスの出力を、低出力インピーダンス (高帯域幅) バッファでバッファする必要があります。REF6000 ファミリのデバイスは、ADS88xx ファミリの SAR ADC、ADS127xx ファミリのデルタ シグマ ADC、および他の D/A コンバータ (DAC) の REF ピンを駆動するのに最適です (ただし、これらに限定されません)。

REF6000 ファミリの電圧リファレンスは、ADS8881 の REF ピンを駆動しながら、最初の変換時でも最小限のドループで出力電圧を 1LSB (18 ビット) 以内に維持できます。この機能は、バースト モード、イベント トリガ、等価時間サンプリング、可変サンプリング レートのデータ アクイジション システムに非常に便利です。REF61xx の REF6000 ファミリのバリアントでは、電圧リファレンスと低出力インピーダンス バッファの両方の組み合わせについて、わずか 8ppm/°C の最大温度ドリフト、0.05% の初期精度が規定されています。REF6000 ファミリの各種温度ドリフトの選択肢については、デバイス比較表を参照してください。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
REF61xx	DGK (VSSOP、8)	3.00mm × 4.90mm

(1) 詳細については、セクション 12 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



リファレンス ドループの比較 (1LSB = 19.07μV、ADS8881 は 1MSPS)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 デバイス比較表.....2
5 ピン構成および機能.....3
ピンの機能.....3
6 仕様.....4
6.1 絶対最大定格 (1).....4
6.2 ESD 定格.....4
6.3 推奨動作条件.....4
6.4 熱に関する情報.....4
6.5 電気的特性.....5
6.6 代表的特性.....7
7 パラメータ測定情報.....15
7.1 半田付けの熱による変動.....15
7.2 熱ヒステリシス.....16
7.3 参照ドループの測定.....17
7.4 1/f ノイズ性能.....19
8 詳細説明.....20
8.1 概要.....20
8.2 機能ブロック図.....20
8.3 機能説明.....21
8.4 デバイスの機能モード.....24
9 アプリケーションと実装.....25
9.1 使用上の注意.....25
9.2 代表的なアプリケーション.....25
9.3 電源に関する推奨事項.....28
9.4 レイアウト.....28
10 デバイスおよびドキュメントのサポート.....29
10.1 ドキュメントのサポート.....29
10.2 ドキュメントの更新通知を受け取る方法.....29
10.3 サポート・リソース.....29
10.4 商標.....29
10.5 静電気放電に関する注意事項.....29
10.6 用語集.....29
11 改訂履歴.....29
12 メカニカル、パッケージ、および注文情報.....30

4 デバイス比較表

デバイス ファミリ	温度ドリフト
REF60xx	-40°C から 125°C について 5ppm/°C
REF61xx	-40°C から 125°C について 8ppm/°C
REF62xx	0°C から 70°C について 3ppm/°C

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

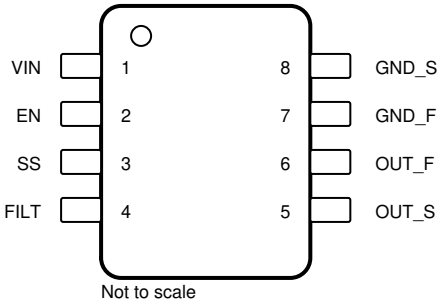


図 5-1. DGK パッケージ 8 ピン VSSOP 上面図

表 5-1. ピンの機能

ピン		タイプ	説明
名称	番号		
EN	2	入力	Enable ピン
FILT	4	—	フィルタ コンデンサのピン。安定性のため、FILT ピンとグランドとの間にコンデンサ (C_{FILT}) ≥ 1µF を接続する必要があります。
GND_F	7	グランド	グランド フォース ピン
GND_S	8	グランド	グランド センス ピン
OUT_F	6	出力	出力電圧フォース ピン
OUT_S	5	入力	出力電圧検出ピン
SS	3	—	短絡電流制限ピン。このピンに抵抗を接続して、出力短絡電流制限を設定します。電流を最大限に制限するには、VIN ピンに接続します
VIN	1	電源	入力電源電圧ピン

ピンの機能

6 仕様

6.1 絶対最大定格 (1)

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
入力電圧	V_{IN}	-0.3	6	V
	V_{EN}	-0.3	V_{IN} + 0.3	V
動作温度、T_A		-55	150	°C
接合部温度、T_j			150	°C
保管温度、T_{stg}		-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±1000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±250	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

			最小値	公称値	最大値	単位
V_{IN}	電源入力電圧 (I_{OUT} = 0mA)	REF6125	3		5.5	V
		REF6130、REF6133、REF6141、REF6145	V_{OUT} + 0.25		5.5	
		REF6150	5.3		5.5	
V_{EN}	イネーブル電圧		0		V_{IN}	V
I_L	出力電流	REF6125、REF6130、REF6133、REF6141	-4		4	mA
		REF6145	-3.5		3.5	
		REF6150	-3		3	
T_A	動作温度		-40	25	125	°C

6.4 熱に関する情報

熱評価基準(1)		REF61xx DGK (VSSOP) 8 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	158.5	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	51.2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	79.5	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	5.2	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	78.0	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『*半導体および IC パッケージの熱評価基準*』アプリケーション レポートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性

T_A = 25°C で、REF6150 を除くすべてのデバイスで V_{IN} = 5V、REF6150 で V_{IN} = 5.4V、I_L = 0mA、C_L = 22µF、C_{FILT} = 1µF、V_{EN} = 5V (特に記述のない限り)

パラメータ		テスト条件			最小値	標準値	最大値	単位
精度とドリフト								
	出力電圧精度				-0.05%		0.05%	
	出力電圧の温度係数(1)						8	ppm/°C
ラインおよび負荷のレギュレーション								
$\Delta V_{O(\Delta VI)}$	ライン レギュレーション	REF6125	V_{OUT} + 0.5V ≤ V_{IN} ≤ 5.5V	T_A = 25°C		4	20	ppm/V
				T_A = -40°C ～ +125°C			30	
		REF6130、REF6133、REF6141、REF6145	V_{OUT} + 0.25V ≤ V_{IN} ≤ 5.5V	T_A = 25°C		4	20	
				T_A = -40°C ～ +125°C			30	
		REF6150	V_{OUT} + 0.3V ≤ V_{IN} ≤ 5.5V	T_A = 25°C		7	60	
				T_A = -40°C ～ +125°C			120	
$\Delta V_{O(\Delta IL)}$	ロード レギュレーション、ソース、シンク	REF6125、REF6130、REF6133、REF6141	I_L = 0mA ～ 4mA、V_{IN} = V_{OUT} + 600mV	T_A = 25°C		2	20	ppm/mA
				T_A = -40°C ～ +125°C			30	
		REF6145	I_L = 0mA ～ 3.5mA、V_{IN} = V_{OUT} + 600mV	T_A = 25°C		2	20	
				T_A = -40°C ～ +125°C			30	
		REF6150	I_L = 0mA ～ 3mA、V_{IN} = V_{OUT} + 400mV	T_A = 25°C		2	20	
				T_A = -40°C ～ +125°C			50	
I_{SC}	短絡電流	SS = オープン				10.5		mA
ノイズ								
	合計積分ノイズ	C_L = 22µF				5		μV_{RMS}
		C_L = 47µF				5		
	低周波ノイズ	0.1Hz ≤ f ≤ 10Hz				3		$\mu V_{PP}/V$
出力インピーダンス								
	出力インピーダンス	f = DC ～ 200kHz、C_L = 47µF				50		mΩ
ターンオン時間								
t_{on}	ターンオン時間	0.1% セトリング、C_L = 47µF、SS = オープン、REF6125				100		ms
ヒステリシスと長期ドリフト								
	長期的安定性	25°C で 0 ～ 1000h				80		ppm
		25°C で 1000h ～ 2000h				20		
	出力電圧ヒステリシス(2)	25°C、–40°C、125°C、25°C (サイクル 1)				33		ppm
		25°C、–40°C、125°C、25°C (サイクル 2)				8		
容量性負荷								
C_L	安定した出力コンデンサ値				10		47	µF

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

T_A = 25°C で、REF6150 を除くすべてのデバイスで V_{IN} = 5V、REF6150 で V_{IN} = 5.4V、I_L = 0mA、C_L = 22µF、C_{FILT} = 1µF、V_{EN} = 5V (特に記述のない限り)

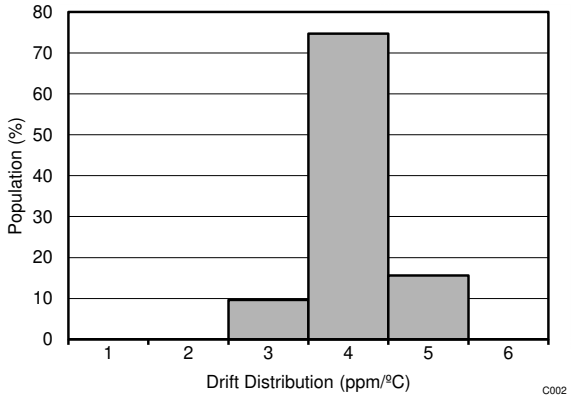
パラメータ		テスト条件			最小値	標準値	最大値	単位
出力電圧								
V_{OUT}	出力電圧	REF6125				2.5		V
		REF6130				3		
		REF6133				3.3		
		REF6141				4.096		
		REF6145				4.5		
		REF6150				5		
電源								
I_{CC}	電源電流	REF6125、REF6130、REF6133、REF6141	アクティブ モード、V_{EN} = 5V	T_A = 25°C		0.82	0.90	mA
				T_A = –40°C ～ +125°C			1.1	
		REF6145、REF6150	アクティブ モード、V_{EN} = 5V	T_A = 25°C		0.83	0.95	
				T_A = –40°C ～ +125°C			1.15	
		シャットダウン モード、V_{EN} = 0V		T_A = 25°C		1	3	µA
				T_A = –40°C ～ +125°C			15	
	イネーブル ピン電圧	アクティブ モードにおける電圧リファレンス (EN = 1)			1.6			V
		シャットダウン モードにおける電圧リファレンス (EN = 0)					0.6	
	イネーブル ピンの電流	V_{EN} = 5V				100	150	nA
	ドロップアウト電圧	REF6125		I_L = 0mA		500	500	mV
				I_L = 4mA			600	
		REF6130、REF6133、REF6141		I_L = 0mA		50	250	
				I_L = 4mA			600	
		REF6145		I_L = 0mA		50	250	
				I_L = 3.5mA			600	
		REF6150		I_L = 0mA		100	300	
				I_L = 3mA			400	

(1) 温度ドリフトは、ボックス方式に従って規定されています。詳細については、セクション 8.3 を参照してください。
(2) セクション 7.2 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

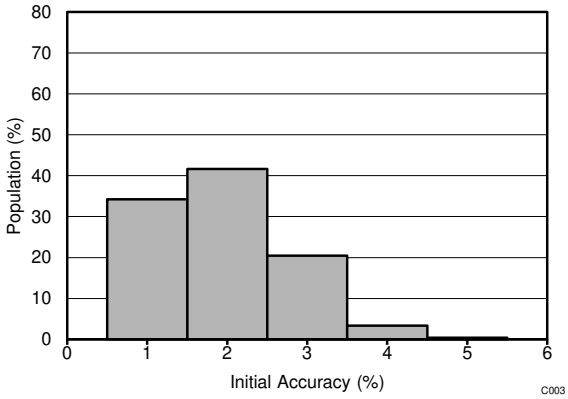
6.6 代表的特性

T_A = 25℃、I_L = 0mA、V_{IN} = 5V で、REF6125 を使用 (特に記述のない限り)



T_A = -40°C ～ +125°C

図 6-1. ドリフトの分布



T_A = –40°C ～ +85°C

図 6-2. ドリフトの分布

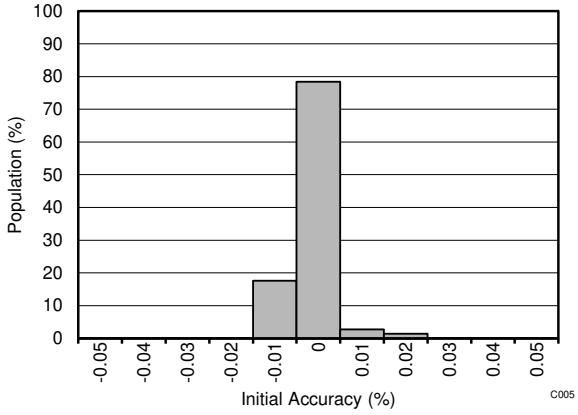


図 6-3. 初期精度の分布

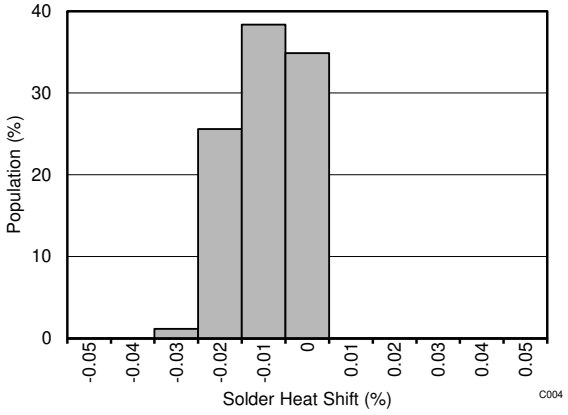


図 6-4. 半田付けの熱によるシフトの分布

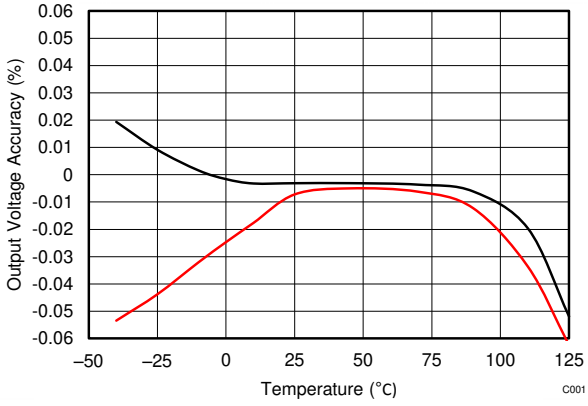


図 6-5. 出力電圧精度と温度との関係

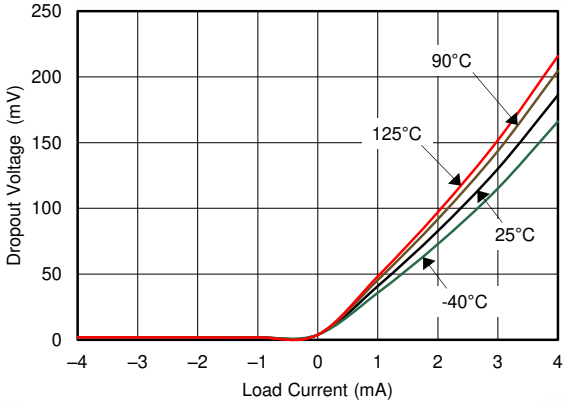
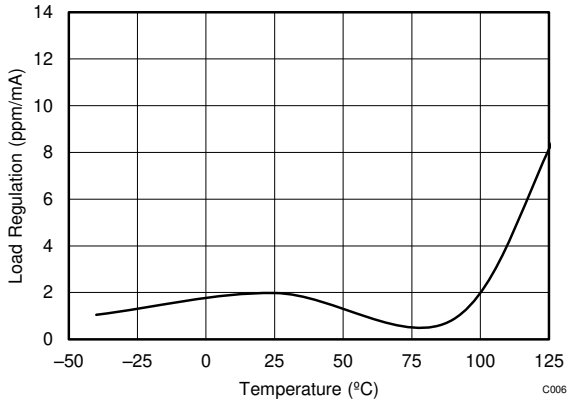


図 6-6. ドロップアウト電圧と負荷電流との関係

Copyright © 2026 Texas Instruments Incorporated

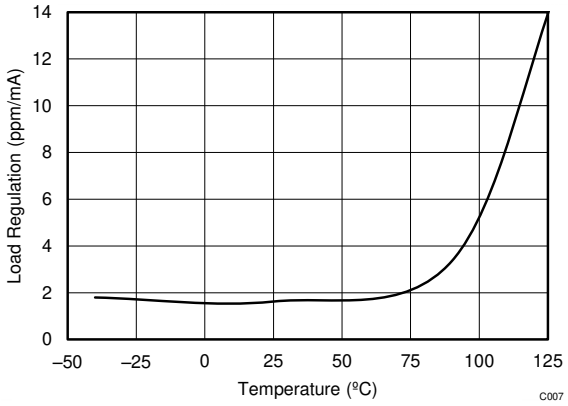
6.6 代表的特性 (続き)

T_A = 25℃、I_L = 0mA、V_{IN} = 5V で、REF6125 を使用 (特に記述のない限り)



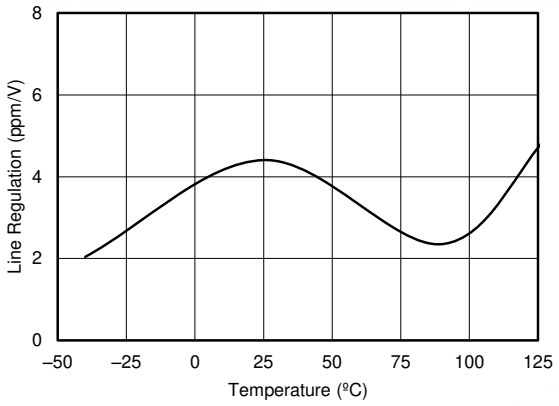
V_{IN} = V_{OUT} + 600mV、
I_L = 0mA ～ 4mA

図 6-7. ソース時ロード レギュレーションと温度との関係



V_{IN} = V_{OUT} + 600mV、
I_L = 0mA ～ 4mA

図 6-8. シンク時ロード レギュレーションと温度との関係



V_{OUT} + 0.25V ≤ V_{IN} ≤ 5.5V

図 6-9. ライン レギュレーションと温度との関係

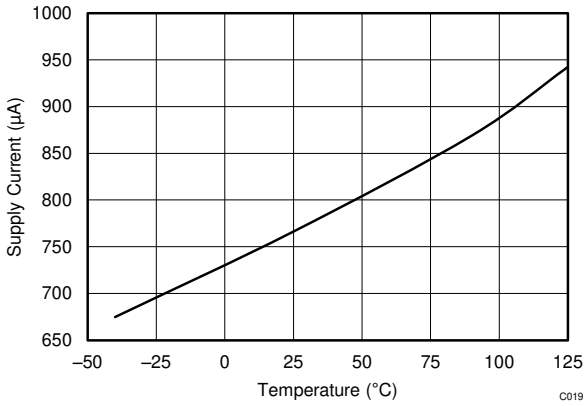


図 6-10. 電源電流と温度との関係

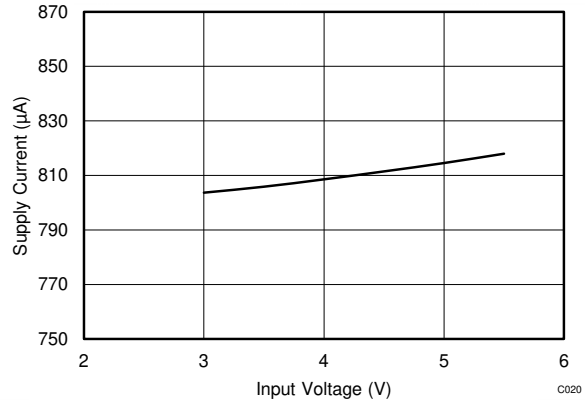


図 6-11. 消費電流と入力電圧との関係

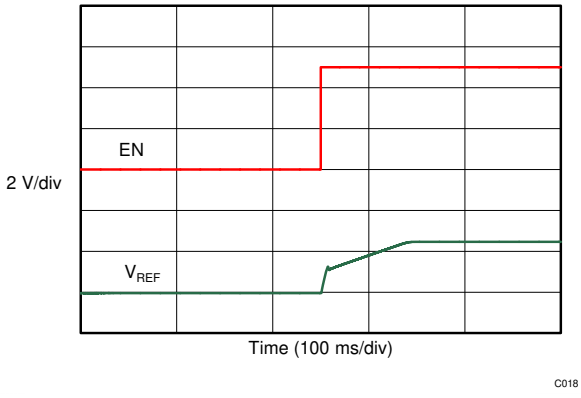


図 6-12. ターンオンのセトリング タイム

Copyright © 2026 Texas Instruments Incorporated

6.6 代表的特性 (続き)

T_A = 25℃、I_L = 0mA、V_{IN} = 5V で、REF6125 を使用 (特に記述のない限り)

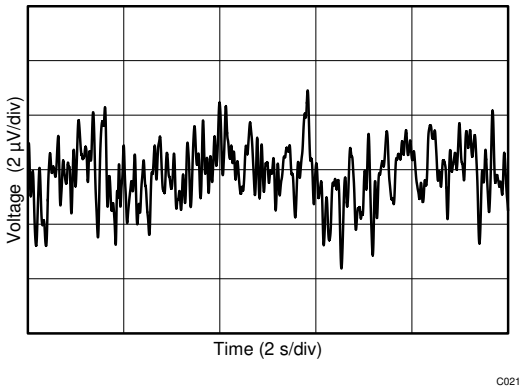


図 6-13. 0.1Hz～10Hz のノイズ

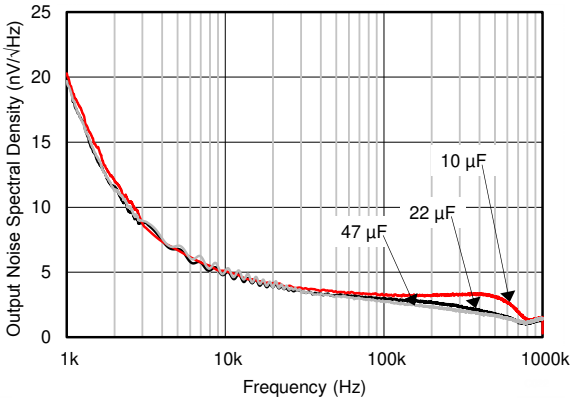


図 6-14. 出力電圧ノイズのスペクトラム

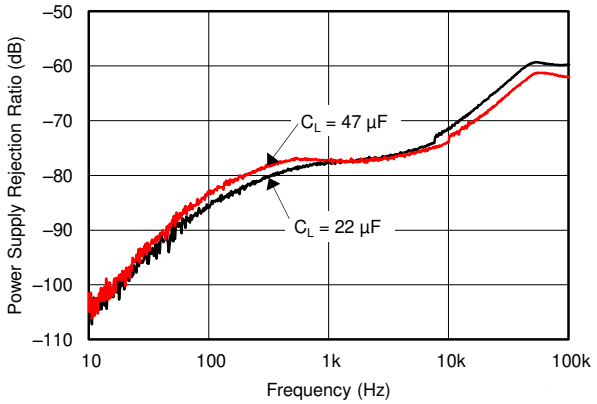
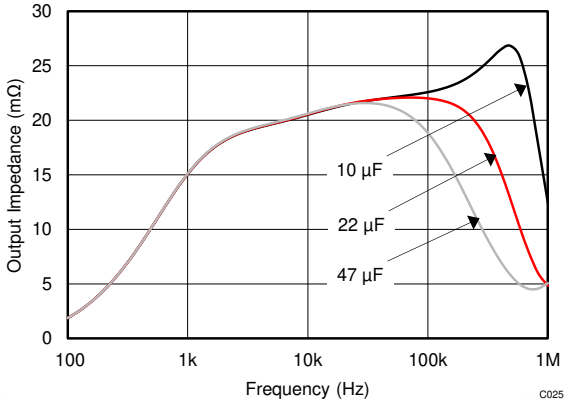
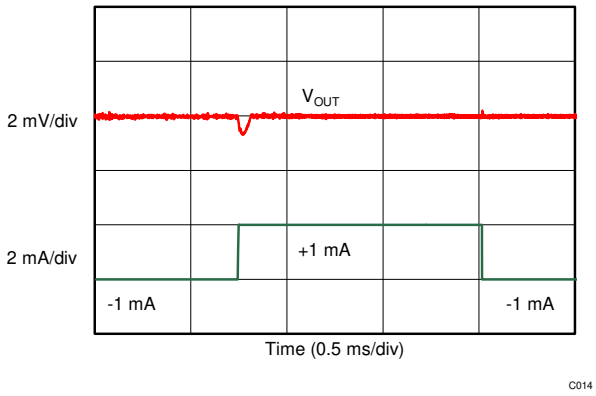


図 6-15. PSRR と周波数との関係



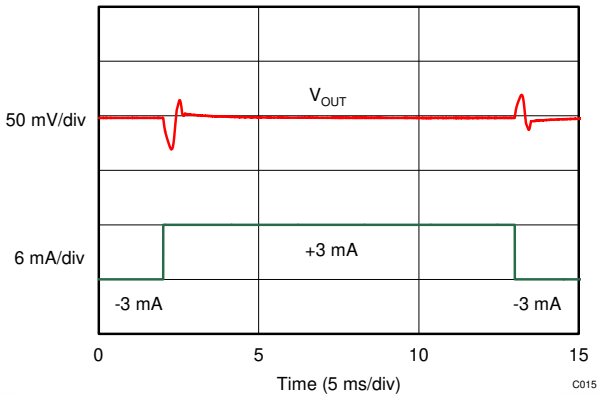
設計シミュレーションにより得られたグラフ

図 6-16. 出力インピーダンス 対 周波数



負荷電流 = ±1mA

図 6-17. 負荷過渡応答



負荷電流 = ±3mA

図 6-18. 負荷過渡応答

6.6 代表的特性 (続き)

T_A = 25℃、I_L = 0mA、V_{IN} = 5V で、REF6125 を使用 (特に記述のない限り)

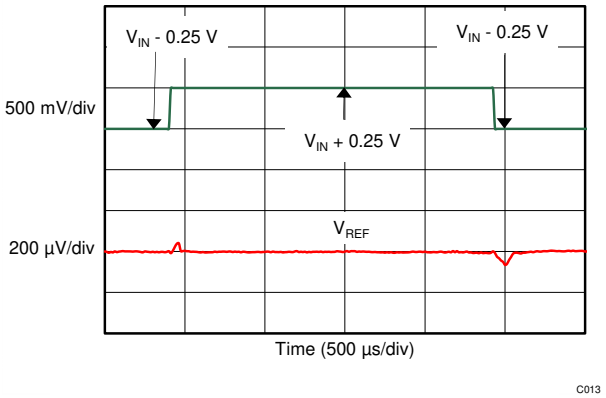


図 6-19. ライン過渡応答

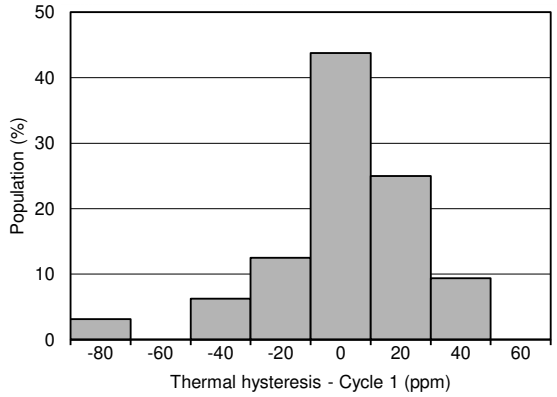


図 6-20. 熱ヒステリシスの分布 (サイクル 1)

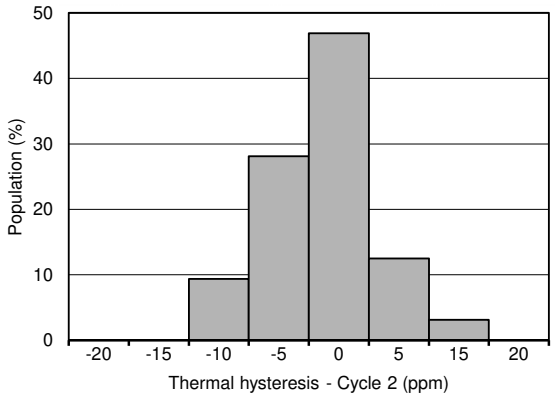


図 6-21. 熱ヒステリシスの分布 (サイクル 2)

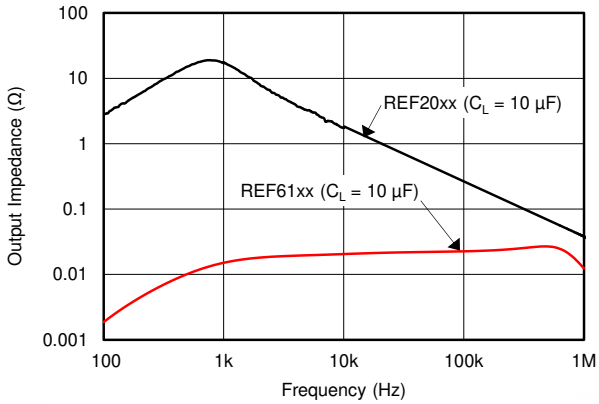
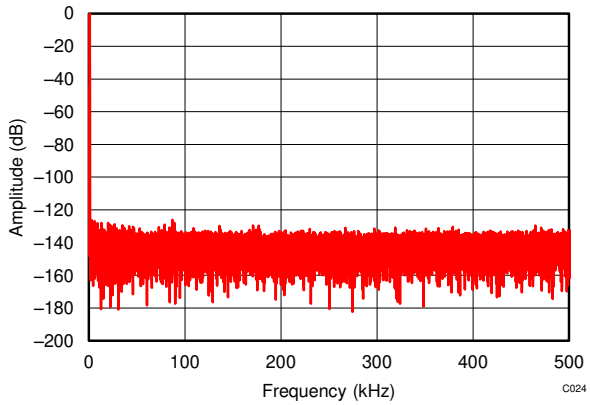
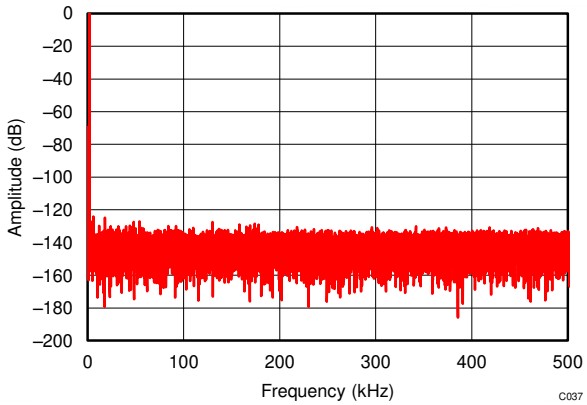


図 6-22. 出力インピーダンスの比較



REF6150 が ADS8881 の REF ピンを駆動、
f_{IN} = 1kHz、SNR = 100.5dB、THD = –125.9dB

図 6-23. 代表的な FFT プロット



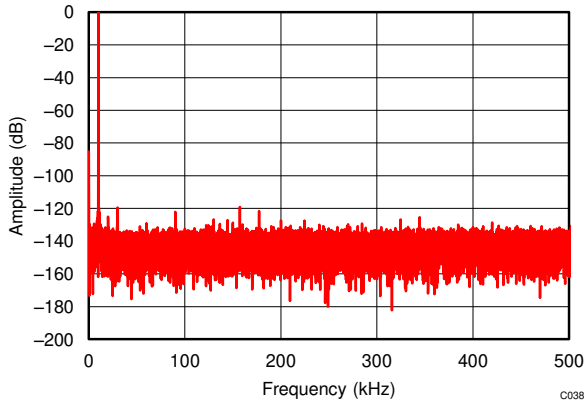
REF6150 が ADS8881 の REF ピンを駆動、
f_{IN} = 2kHz、SNR = 100.4dB、THD = –123.9dB

図 6-24. 代表的な FFT プロット

Copyright © 2026 Texas Instruments Incorporated

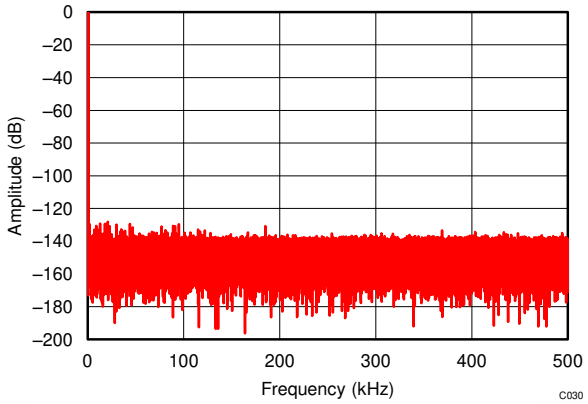
6.6 代表的特性 (続き)

T_A = 25℃、I_L = 0mA、V_{IN} = 5V で、REF6125 を使用 (特に記述のない限り)



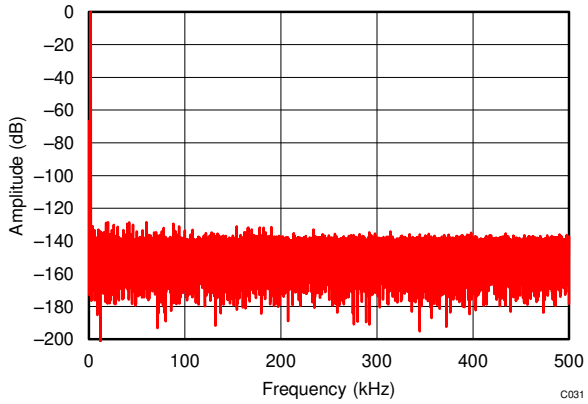
REF6150 が ADS8881 の REF ピンを駆動、
f_{IN} = 10kHz、SNR = 99.2dB、THD = –119.4dB

図 6-25. 代表的な FFT プロット



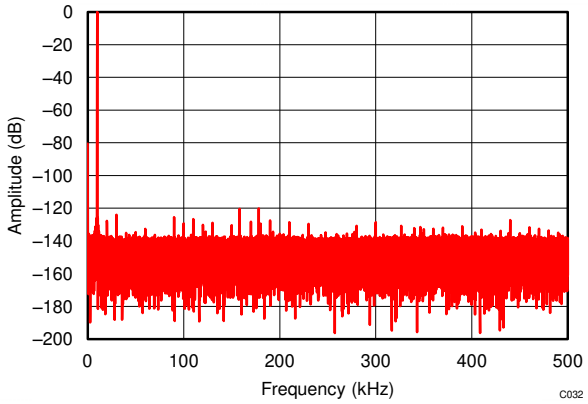
REF6141 が ADS8881 の REF ピンを駆動、
f_{IN} = 1kHz、SNR = 99dB、THD = –124.4dB

図 6-26. 代表的な FFT プロット



REF6141 が ADS8881 の REF ピンを駆動、
f_{IN} = 2kHz、SNR = 99dB、THD = –123.6dB

図 6-27. 代表的な FFT プロット



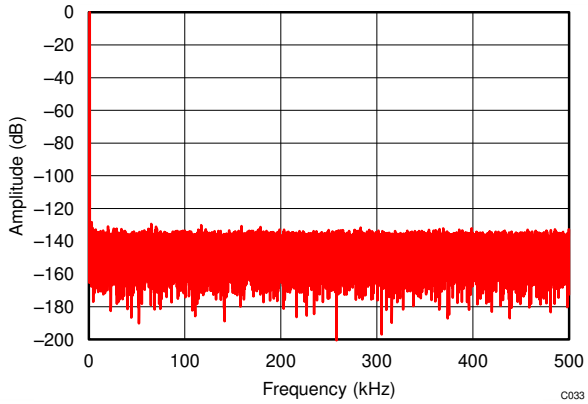
REF6141 が ADS8881 の REF ピンを駆動、
f_{IN} = 10kHz、SNR = 97.2dB、THD = –119.7dB

図 6-28. 代表的な FFT プロット

Copyright © 2026 Texas Instruments Incorporated

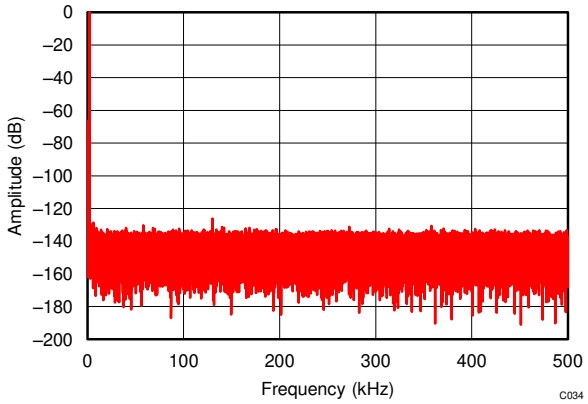
6.6 代表的特性 (続き)

T_A = 25℃、I_L = 0mA、V_{IN} = 5V で、REF6125 を使用 (特に記述のない限り)



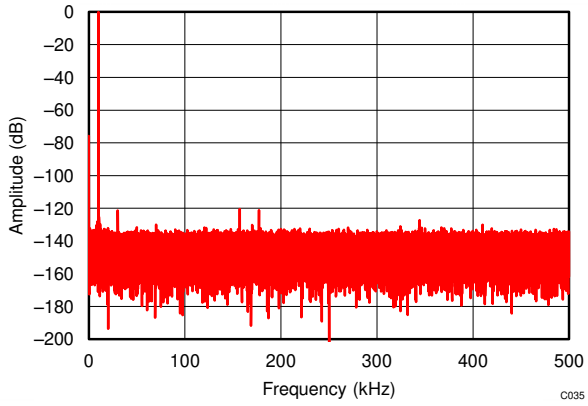
REF6125 が ADS8881 の REF ピンを駆動、
f_{IN} = 1kHz、SNR = 95.4dB、THD = –124dB

図 6-29. 代表的な FFT プロット



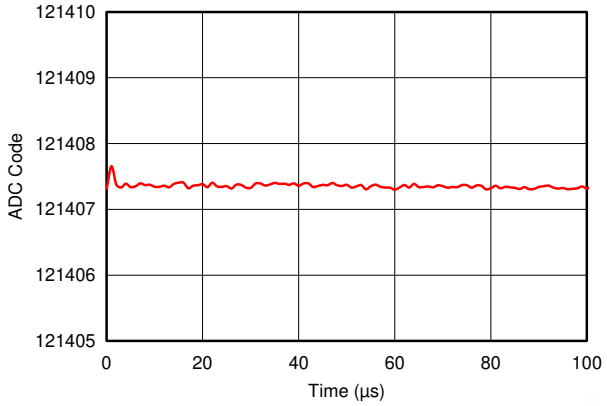
REF6125 が ADS8881 の REF ピンを駆動、
f_{IN} = 2kHz、SNR = 95.4dB、THD = –123.5dB

図 6-30. 代表的な FFT プロット



REF6125 が ADS8881 の REF ピンを駆動、
f_{IN} = 10kHz、SNR = 94.0dB、THD = –119.3dB

図 6-31. 代表的な FFT プロット



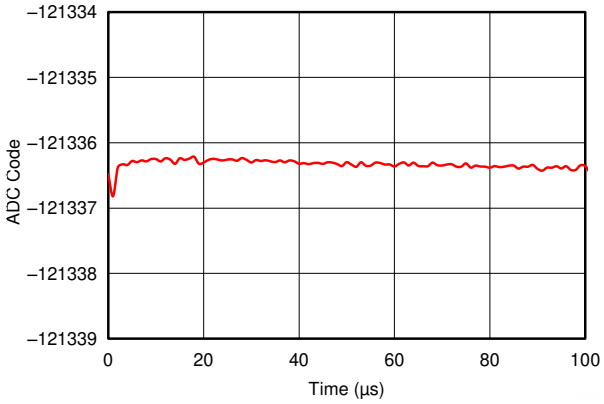
REF6150 が 1MSPS で動作する ADS8881 の REF ピンを駆動し、
ADS8881 に正のフルスケール入力を供給する様子

図 6-32. 参照ドループ

Copyright © 2026 Texas Instruments Incorporated

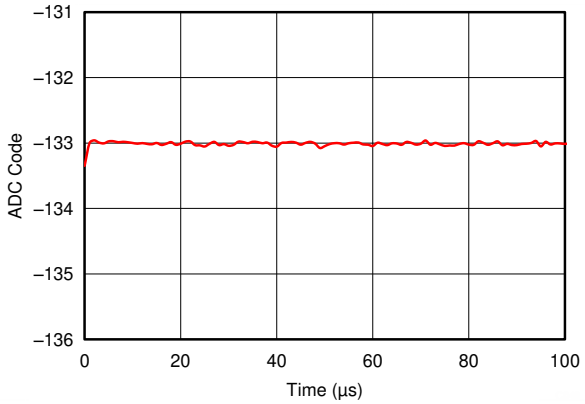
6.6 代表的特性 (続き)

T_A = 25℃、I_L = 0mA、V_{IN} = 5V で、REF6125 を使用 (特に記述のない限り)



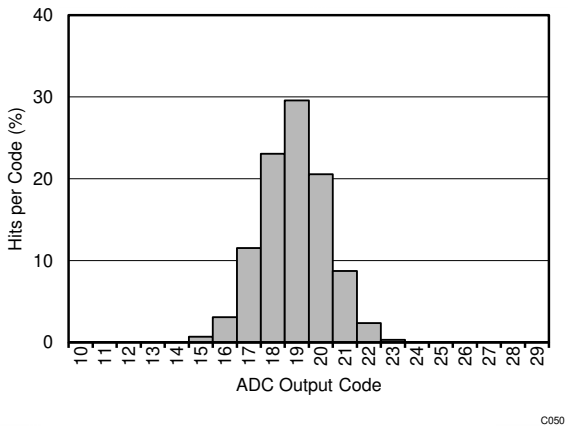
REF6150 が 1MSPS で動作する ADS8881 の REF ピンを駆動し、
ADS8881 に負のフルスケール入力を供給する様子

図 6-33. 参照ドループ



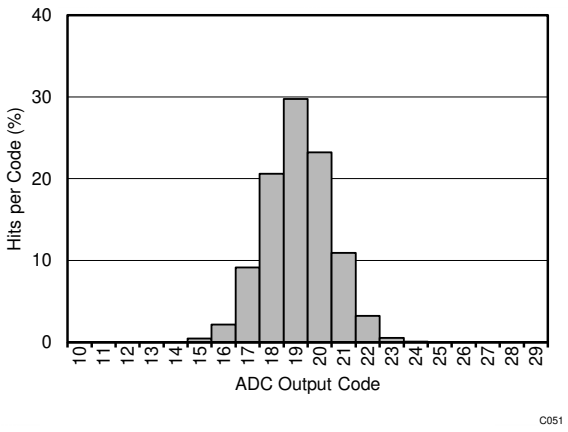
REF6150 が 1MSPS で動作する ADS8881 の REF ピンを駆動し、
ADS8881 の場合、AINP = AINN = V_{REF} / 2

図 6-34. 参照ドループ



ADS8881 の場合、AINP = AINN = V_{REF} / 2、
サンプリング レート = 1MSPS

図 6-35. DC 入力ヒストグラム



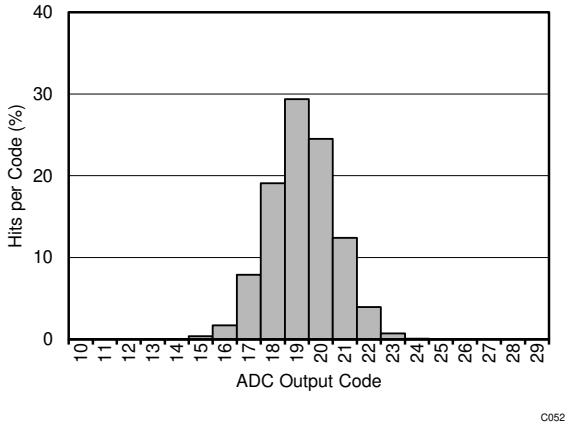
ADS8881 の場合、AINP = AINN = V_{REF} / 2、
サンプリング レート = 500kSPS

図 6-36. DC 入力ヒストグラム

Copyright © 2026 Texas Instruments Incorporated

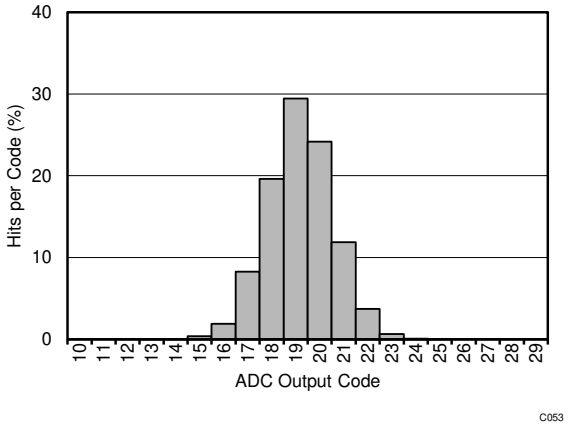
6.6 代表的特性 (続き)

T_A = 25℃、I_L = 0mA、V_{IN} = 5V で、REF6125 を使用 (特に記述のない限り)



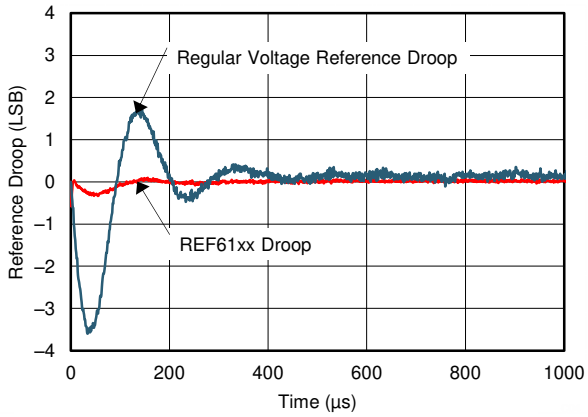
ADS8881 の場合、AINP = AINN = V_{REF} / 2、
サンプリング レート = 100kSPS

図 6-37. DC 入力ヒストグラム



ADS8881 の場合、AINP = AINN = V_{REF} / 2、
サンプリング レート = 20kSPS

図 6-38. DC 入力ヒストグラム



1LSB = 19.07µV、(ADS8881 は 1MSPS の場合)

図 6-39. 参照ドループの比較

Copyright © 2026 Texas Instruments Incorporated

7 パラメータ測定情報

7.1 半田付けの熱による変動

REF61xx の製造に使用される材料はそれぞれ熱膨張係数が異なるため、部品が加熱されるとデバイスのダイにストレスが生じます。デバイス ダイの機械的および熱的なストレスは、出力電圧のシフトを引き起こし、製品の初期精度仕様を低下させる場合があります。この誤差が発生する一般的な原因は、リフローの半田付けです。

この影響を確認するため、8 枚の各プリント基板 (PCB) に合計 128 個のデバイス (各 PCB に 16 デバイス) を半田付けし、鉛フリーの半田ペーストとペースト メーカーが推奨するリフロー プロファイルを使用しました。リフロー プロファイルは、図 7-1 に示すものです。プリント基板は FR4 素材で構成されています。基板の厚さは 1.65mm、面積は 101.6mm × 127mm です。

リファレンス出力電圧は、リフロー処理の前後で測定されます。図 7-2 に、標準的なシフトを示します。テストされるユニットすべてで、わずかなシフト (< 0.03%) が発生していますが、PCB のサイズ、厚さ、材質によってはさらに大きなシフトが起きる可能性もあります。

このヒストグラムは、単一のリフロー条件にさらされた際の典型的なシフトを示しています。PCB の両面に部品を表面実装する場合は、何回もリフローが行われるのが一般的で、このような場合は出力バイアス電圧がさらにシフトします。PCB にリフローが何回も行われる場合は、最後のパスでデバイスを半田付けすることにより、熱ストレスへの影響を最小限に抑えることができます。

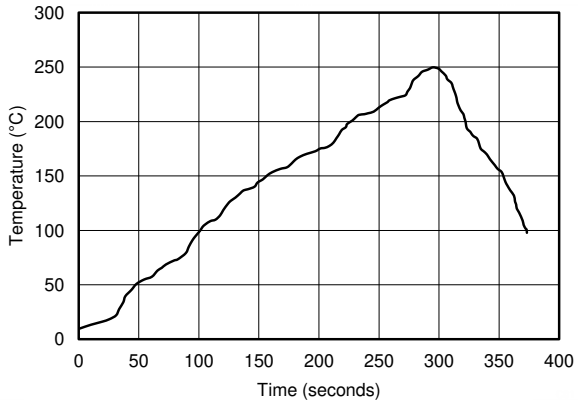


図 7-1. リフロー プロファイル

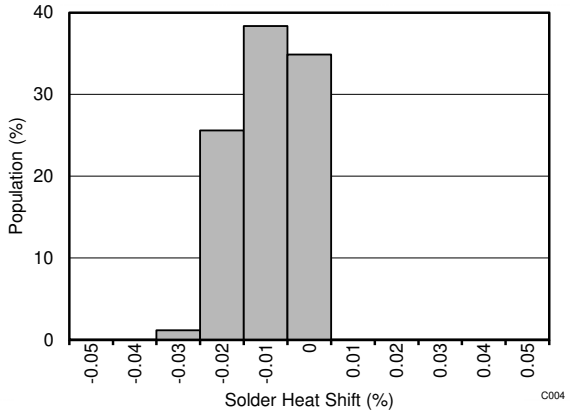


図 7-2. 半田付けの熱によるシフトの分布

7.2 熱ヒステリシス

デバイスの熱ヒステリシスは、デバイスを 25°C で動作させ、仕様温度範囲内でデバイスのサイクルを実行してから 25°C に戻るときの、出力電圧の変化として定義されます。熱ヒステリシスは、実際のアプリケーションと同様に REF61xx を PCB に半田付けして測定しました。熱ヒステリシスを測定する前に、PCB を 30 分間 150°C で焼き付けました。熱ヒステリシスは次のように表されます。

$$V_{HYST} = \left(\frac{|V_{PRE} - V_{POST}|}{V_{NOM}} \right) \bullet 10^6 \quad (ppm) \tag{1}$$

ここで、

- V_{HYST} = 熱ヒステリシス (ppm 単位)。
- V_{NOM} = 指定された出力電圧。
- V_{PRE} = 25℃ のプリ温度サイクルで測定された出力電圧。
- V_{POST} = デバイスを 25℃からスタートし、–40°C ～ 125°C の仕様温度範囲でサイクルし、25℃ に戻した後に測定された出力電圧。

図 7-3 および 図 7-4 に、代表的な熱ヒステリシスの分布を示します。

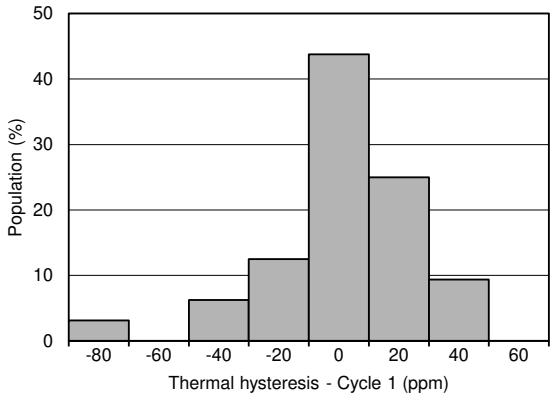


図 7-3. 熱ヒステリシスの分布 (サイクル 1)

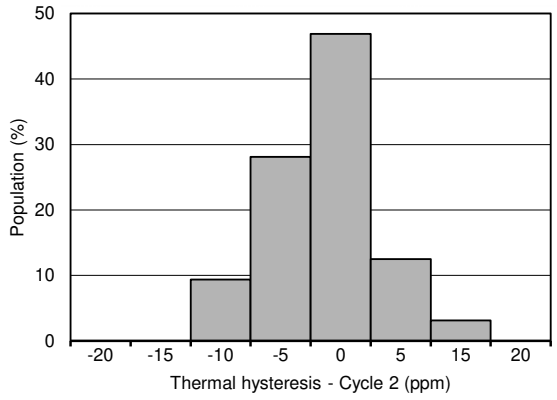
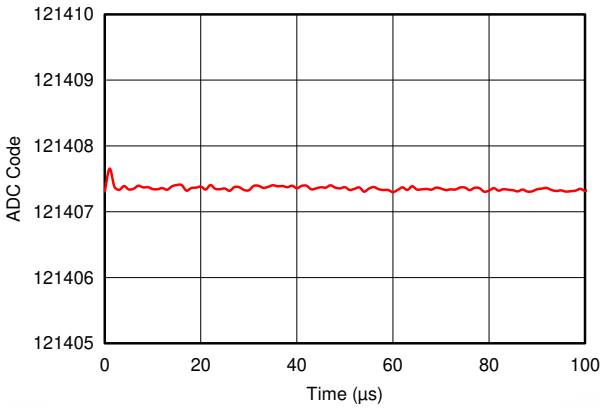


図 7-4. 熱ヒステリシスの分布 (サイクル 2)

Copyright © 2026 Texas Instruments Incorporated

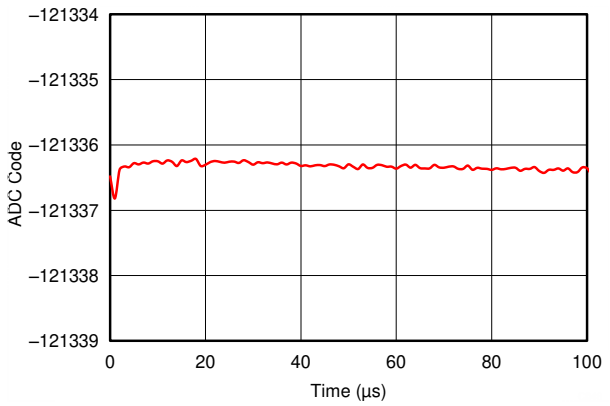
7.3 参照ドループの測定

イベント トリガのデータ アクイジション システムや多重化されたデータ アクイジション システムなどの多くのアプリケーションでは、ADC の最初の変換で 18 ビット以上の精度を達成する必要があります。この種のデータ アクイジション システムはデータをバースト形式でキャプチャするため、バースト モードのデータ アクイジション システムとも呼ばれます。電圧リファレンス ドループでは最初の数回の変換の精度が限定的なため、従来型の電圧リファレンスを使用して最初のサンプルで 18 ビットの精度を実現するのは非常に困難です。REF61xx には ADC 駆動バッファが内蔵されており、ADS8881 と組み合わせて使用する場合、フル スループットでも、リファレンス ドループが 18 ビット精度で 1LSB 未満になります。図 7-5 および図 7-6 に、正と負のフルスケール入力で ADS8881 の REF ピンを駆動する場合の REF61xx 出力電圧ドループを示します。



REF6150 が 1MSPS で動作する ADS8881 の REF ピンを駆動し、
ADS8881 に正のフルスケール入力を供給する様子

図 7-5. 出力電圧ドループ



REF6150 が 1MSPS で動作する ADS8881 の REF ピンを駆動し、
ADS8881 に負のフルスケール入力を供給する様子

図 7-6. 出力電圧ドループ

リファレンス ドループを 18 ビットの精度で直接測定するのは困難です。したがって、図 7-6 および 図 7-5 のプロットは、ADC の出力コードを処理することで取得しました。ADC の出力コードは、以下で求められます。

$$C = (\text{Input Voltage} / V_{REF}) \times 2^{N} \quad (2)$$

入力電圧が一定に保たれる場合、V_{REF} は ADC 出力コード C を監視することで算出されます。ADC 固有のノイズにより、ADC コードには通常 6 ～ 7LSB のコード拡散があります。リファレンス ドループを測定するには、このノイズを大幅に低減する必要があります。ノイズ低減は、次の段落で説明しているように、出力コードを複数回平均化することで行います。

Copyright © 2026 Texas Instruments Incorporated

図 7-7 に、リファレンス ドループの測定に使用した設定を示します。FPGA (フィールド プログラマブル ゲート アレイ) を使用して出力 ADC のコードをキャプチャし、パーソナル コンピュータで後処理を実施しました。THS4521 への入力、すなわち ADS8881 への入力は一定の DC 電圧です (この状態は REF ピンから引き出される電荷のワーストケースであるため、正または負のフルスケールに近い値です)。DC 電源のノイズは非常に小さくする必要があります。REF61xx デバイスの電源がオンになり、安定した後、FPGA は ADS8881 にコマンドを送信して、バースト形式でデータをキャプチャします。ADS8881 は最初は 100ms の間、アイドル モードになっています。次に、FPGA は ADS8881 にコマンドを送信し、1MSPS で 100 回の変換を実行します。100 回の変換 (データの 1 バースト) に対応する ADC コードは、1000 × 100 次元配列の最初の行として保存されます。この操作を 1000 回繰り返し、各バーストに対応するデータを 1000 × 100 次元配列の新しい行に格納します。最後に、この配列の各列を平均化して、100 個の要素からなる最終的なデータ セットを取得します。この最終的なデータ セットは平均化によりほとんどのノイズが除去されているため、コード拡散が 1LSB よりもはるかに小さくなります。このデータセットを、X 軸を列番号 (サンプリング レートが 1MSPS のため、各列番号は時間の 1µs に対応)、Y 軸を ADC 出力コードとしてグラフにプロットすることによって、リファレンス ドループ測定値が得られました。

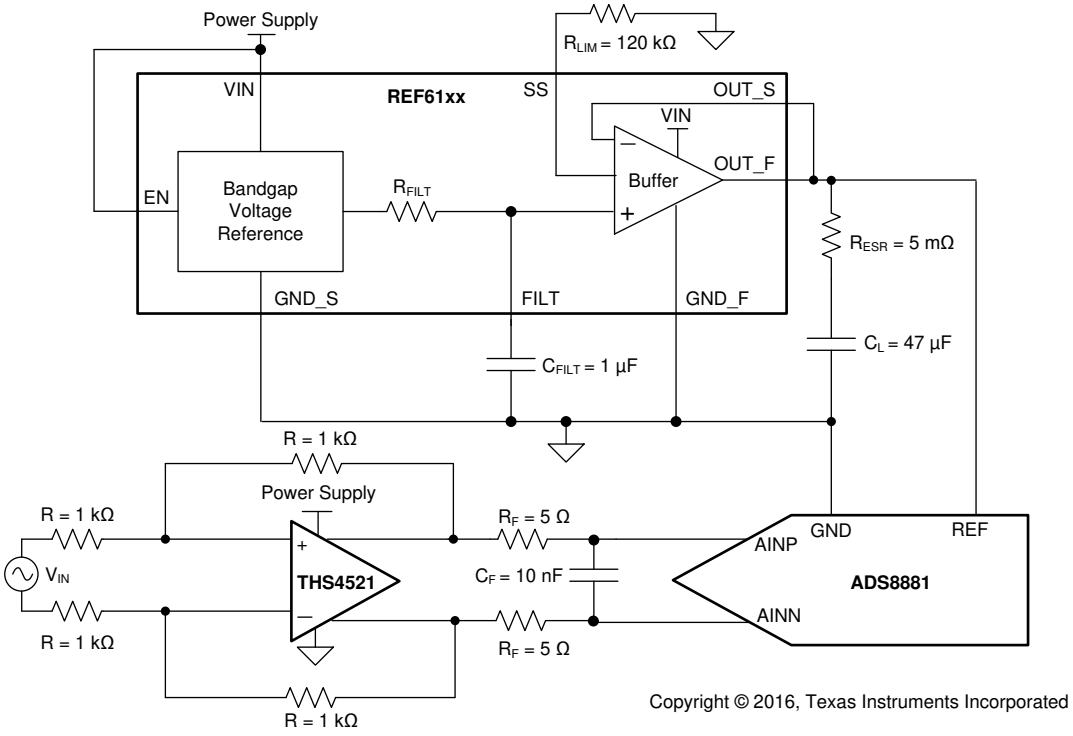


図 7-7. バースト モード測定時の設定

Copyright © 2026 Texas Instruments Incorporated

7.4 1/f ノイズ性能

REF6125 の標準的な 0.1Hz ～ 10Hz の電圧ノイズを 図 7-8 に示します。1/f ノイズは出力電圧に応じてスケーリングされますが、すべてのバリアントで 3μV_{PP}/V に維持されます。図 7-9 に、ピーク ツー ピーク ノイズ測定の構成を示します。

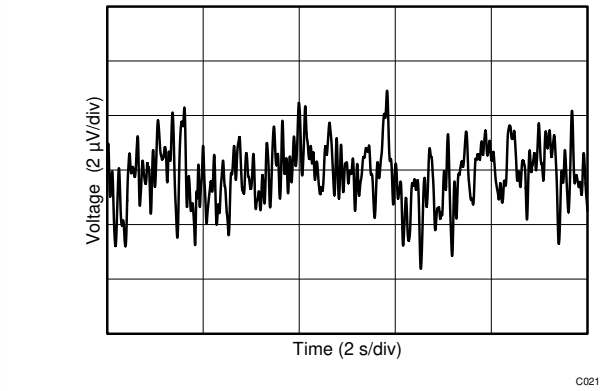


図 7-8. 0.1Hz～10Hz のノイズ

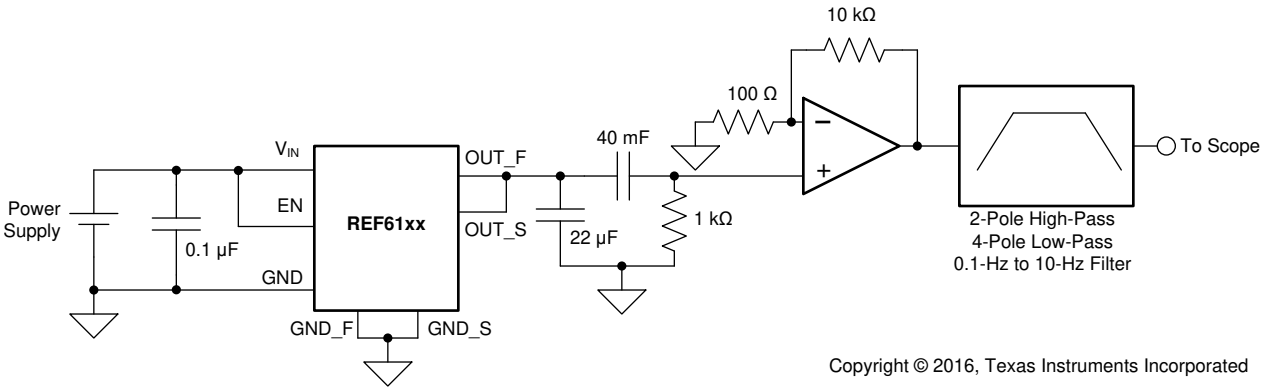


図 7-9. 0.1Hz ～ 10Hz のノイズ測定の設定

8 詳細説明

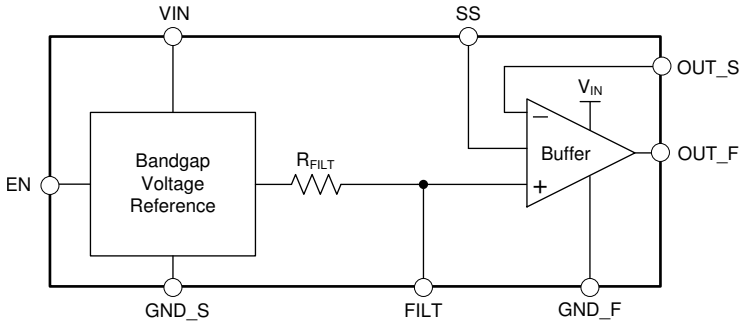
8.1 概要

大半の SAR ADC と数点のデルタ シグマ ADC は、変換プロセス中にバイナリ重み付けコンデンサを REF ピンに切り替えます。各変換時に REF ピンにスイッチングされる静電容量の大きさは、ADC への入力信号に依存します。電圧リファレンスがこれらの ADC の REF ピンに直接接続されている場合、バイナリ重み付けコンデンサの動的入力信号依存負荷により、リファレンス電圧は低下します。このとき、リファレンス電圧ドループは入力信号の依存性を持つため、システムの THD と直線性は大きく低下します。

この動的負荷をサポートし、ADC の直線性、歪み、ノイズ性能を維持するには、低出力インピーダンス (高帯域) バッファで電圧リファレンスの出力をバッファする必要があります。REF61xx ファミリの電圧リファレンスには、低出力インピーダンスのバッファが搭載されているため、ユーザーは SAR ADC の REF ピンを直接駆動しながら、ADC の直線性と歪みを維持できます。さらに、REF61xx の帯域幅全体での合計ノイズは非常に低いため、ADC のノイズ性能が維持されます。『電圧リファレンスが全高調波歪みに及ぼす影響』(SLYY097) は、リファレンス セトリングが ADC 歪みに及ぼす影響と、REF61xx が最小限の部品と最小の消費電力で歪みを最小にしている方法を解説しています。

ADS8881 の REF ピンを駆動中、最初の変換中でも、REF61xx の出力電圧は 1LSB (18 ビット) 未満に降下しません。この機能は、バースト モード、イベント トリガ、等価時間サンプリング、可変サンプリング レートのデータ アクイジション システムに非常に便利です。REF61xx の概略回路図をセクション 8.2 に示します。

8.2 機能ブロック図



Copyright © 2026 Texas Instruments Incorporated

8.3 機能説明

8.3.1 ADC ドライブ バッファ内蔵

多くの ADC データシートでは、REF ピンから消費される平均電流が数 µA と規定されています。ほぼすべての電圧リファレンスが、この数 µA の平均電流を提供していますが、高分解能かつ高スループットの SAR ADC を駆動するのに実用的でない場合もあります。これは、REF ピンのスイッチング時には、引き出すピーク電流が非常に大きくなる可能性があるためです。電圧リファレンスに対する負荷が最も大きくなるのは、バーストモード変換時です。変換が開始されるまでの間、ADC は極めて長い時間アイドル状態となり、かつ最初の変換サンプルには高い精度が求められます。通常は、電流負荷を平滑化し、電圧リファレンスの負荷を低減するために、ADC の REF ピンとグランドピン (または REFP ピンと REFM ピンの間) の間に大容量のコンデンサを接続します。その後、電圧リファレンスは、リファレンス コンデンサを完全に充電するために必要な平均電流を供給できる必要がありますが、リファレンス電圧の大幅なドループは発生しないようにします。ほとんどの電圧リファレンスには、基準コンデンサを完全に充電する能力はありません。また、出力インピーダンスが大きいため、バイナリ重み付けコンデンサが REF ピンにスイッチングされるとセトリングします。通常、電圧リファレンスは、100Hz を超える周波数では 数 10Ω の範囲の出力インピーダンスを持ちます。優れた直線性と歪み性能を達成するには、電圧リファレンスの出力電圧を、低出力インピーダンス (通常は高帯域) のアンプでバッファする必要があります。

高精度 ADC 用のリファレンス バッファを設計する際に考慮する必要のあるアンプの重要な仕様は、低オフセット、低ドリフト、広帯域幅、低出力インピーダンスです。これらすべての要件を十分に満たすアンプを選択することも可能ですが、アンプの消費電力が過剰になります。たとえば、38MHz 帯域幅アンプの OPA350 は、最大オフセットが 0.5mV、オフセットドリフトは 4µV/°C と小さいですが、静止電流は 5.2mA です。これは、(アンプ設計の観点から見ると) オフセットとドリフトが DC 仕様であるのに対して、帯域幅、低出力インピーダンス、高容量駆動能力は高周波数仕様であるためです。したがって、1 つのアンプですべての性能を実現するには電力が必要です。ただし、低消費電力バジェットに対応する、より効率的な設計は複合リファレンス バッファを使用することです。このバッファでは、DC 高精度アンプの帰還ループ内で高周波仕様が優れたアンプが使用されるため、包括的な性能をはるかに低い消費電力で実現できます。図 8-1 に、OPA333 (DC 高精度アンプ) と THS4281 (高帯域アンプ) を使用した複合アンプ設計を示します。このリファレンス バッファの設計には、3 つのデバイスと多数の外付け部品が必要です。このソリューションは、依然として 2mA に近い静止電流を消費します。

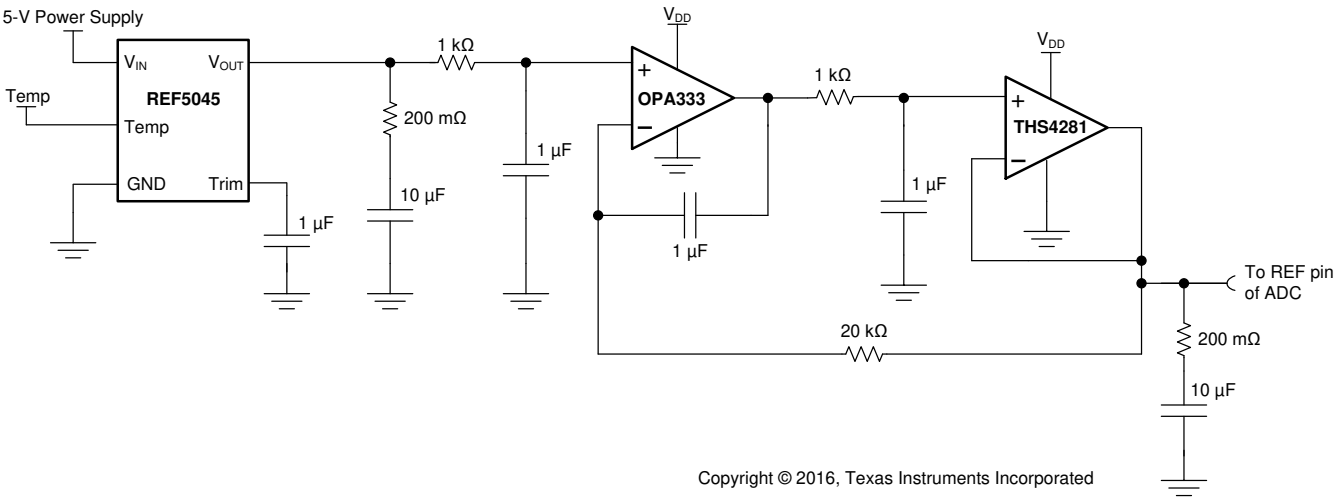


図 8-1. コンポジット アンプ リファレンス バッファ

REF61xx ファミリの電圧リファレンスには、低出力インピーダンス バッファ (ADC ドライブ バッファ) が搭載されているため、図 8-2 に示すように、高精度で高スループットの SAR ADC の REF ピンを駆動する際に外部バッファが不要です。REF61xx の ADC 駆動バッファは、1µs の 47µF コンデンサに 70pC の電荷を補充できますが、コンデンサの電圧降下が 18 ビットの精度で 1LSB を超えて低下することはありません。REF61xx は、製造時に複数の温度でトリムされており、電圧リファレンスとバッファを合わせた最大ドリフトは 0°C ～ 70°C の範囲ではわずか 8ppm/°C、を実現しており、標準静止電流は 820µA で動作します。図 8-3 では、通常の電圧リファレンス (REF20xx) と、内蔵 ADC 駆動バッファ

(REF61xxx) を内蔵した電圧リファレンスの出力インピーダンスを比較しています。図 8-4 は、通常の電圧リファレンスと REF61xx でバースト モードとリファレンス セトリング性能を比較したものです。

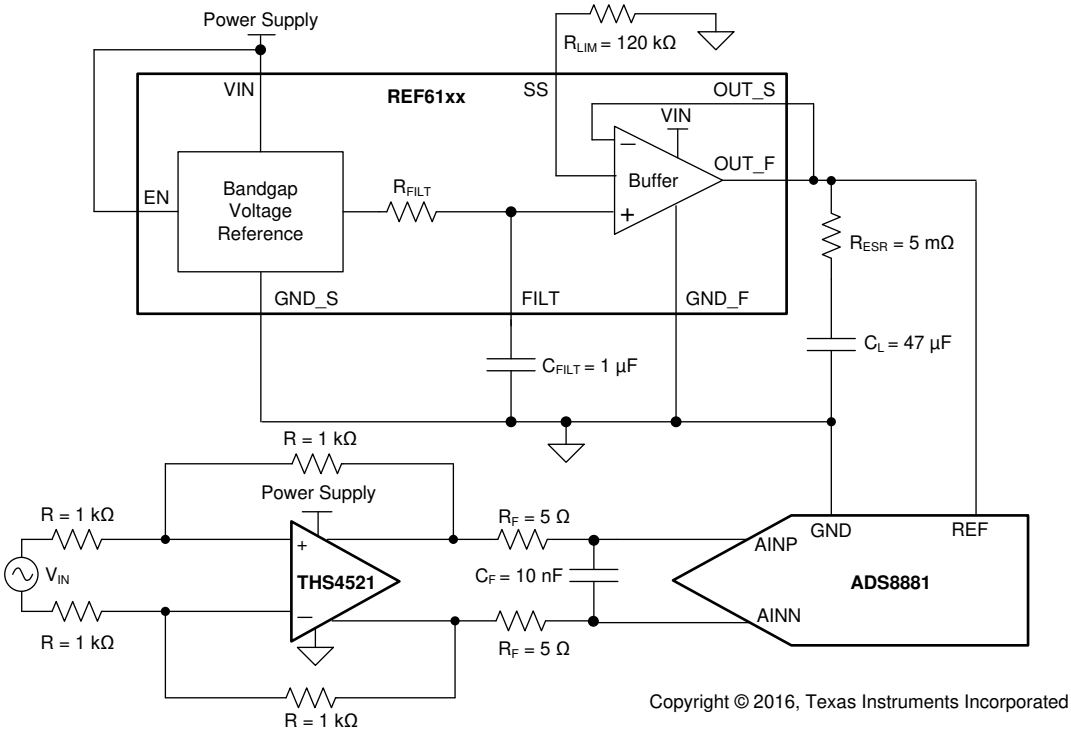


図 8-2. ADS8881 SAR ADC の REF ピンを駆動する REF61xx

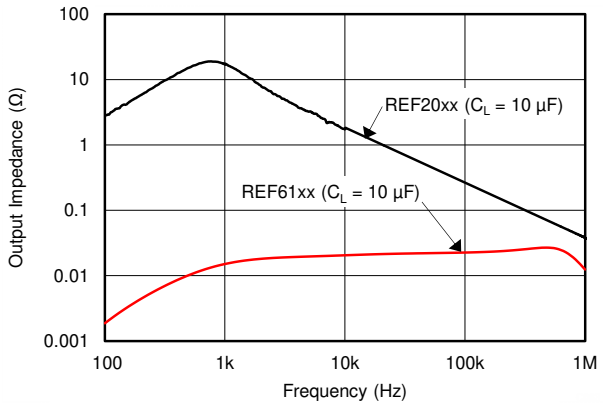
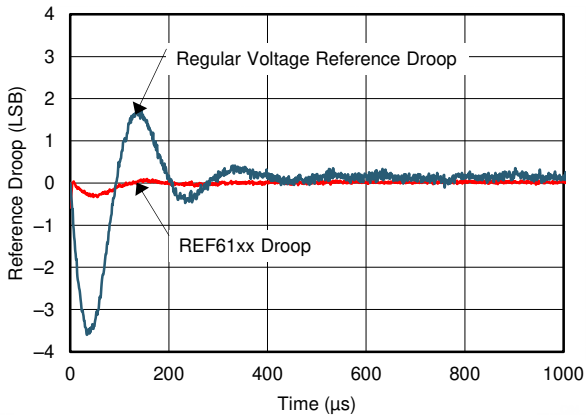


図 8-3. 出力インピーダンスの比較



1LSB = 19.07µV、(ADS8881 は 1MSPS の場合)

図 8-4. 参照ドループの比較

Copyright © 2026 Texas Instruments Incorporated

8.3.2 温度ドリフト

REF61xx ファミリはドリフト誤差が最小限になるように設計されています。ドリフト誤差は、温度に対する出力電圧の変化として定義されます。ドリフトは、次の数式によって記述されるボックス手法を使用して計算されます。

$$\text{Drift} = \left(\frac{V_{REF(MAX)} - V_{REF(MIN)}}{V_{REF} \bullet \text{Temperature Range}} \right) \bullet 10^6 \quad \text{(ppm)} \tag{3}$$

8.3.3 負荷電流

REF6125、REF6130、REF6133、REF6141 は、±4mA の電流負荷の供給が規定されています。REF6145 は ±3.5mA の供給が規定されており、REF6150 は ±3mA の供給が規定されています。REF61xx は、出力短絡電流を制限することで、出力時の短絡から保護されています。

REF61xx ファミリのデバイスの短絡電流制限 (I_{SC}) は、SS ピンに抵抗 (R_{SS}) を接続することで調整します。REF61xx デバイスが電流を供給しているときの短絡電流制限は、式 4 に示すように計算できます。

$$I_{SC} = (80 * 10^{-9}) * R_{SS} + (3 * 10^{-3}) \tag{4}$$

REF61xx デバイスのシンク中の短絡電流制限は、式 5 に示すように計算されます。

$$I_{SC} = (115 * 10^{-9}) * R_{SS} + (4.6 * 10^{-3}) \tag{5}$$

REF61xx の推奨出力電流も、SS ピンに接続されている抵抗に依存します。REF6125、REF6130、REF6133、REF6141 の推奨出力電流 (ソースとシンク) は、式 6 で算出されます。

$$I_L = (31.25 * 10^{-9}) * R_{SS} + (0.25 * 10^{-3}) \tag{6}$$

REF6145 の推奨出力電流 (ソースとシンク) は、式 7 で算出されます。

$$I_L = (27.08 * 10^{-9}) * R_{SS} + (0.25 * 10^{-3}) \tag{7}$$

REF6150 の推奨出力電流 (ソースとシンク) は、式 8 で算出されます。

$$I_L = (23.75 * 10^{-9}) * R_{SS} + (0.15 * 10^{-3}) \tag{8}$$

デバイスの温度は、式 9 に従って上昇します。

$$T_J = T_A + P_D \bullet R_{\theta JA} \tag{9}$$

ここで

- T_J = 接合部温度 (°C)。
- T_A = 周囲温度 (°C)。
- P_D = 消費電力 (W)。
- $R_{\theta JA}$ = 接合部から周囲への熱抵抗 (°C/W)。

REF61xx の最大接合部温度は、絶対最大定格の 150°C を超えないようにしてください。

Copyright © 2026 Texas Instruments Incorporated

8.3.4 安定性

REF61xx ファミリの電圧リファレンスは、10µF から 47µF までの範囲の出力コンデンサ値で安定しています。出力コンデンサ値が 10µF の小さい場合、安定性のために 20mΩ と 100mΩ の実効直列抵抗 (ESR) が必要ですが、47µF の値が大きい場合、5mΩ から 100mΩ までの ESR が必要です。図 8-5 の灰色の領域は、REF61xx デバイスの安定した動作領域を示しています。

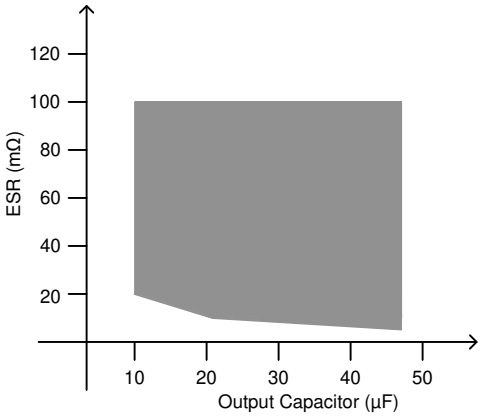


図 8-5. 安定した出力コンデンサ範囲

安定性とノイズ性能のために、FILT ピンには 1µF のコンデンサが必要です。PCB パターン長を長くすることによって低 ESR (5mΩ ～ 20mΩ) を簡単に実現できるため、ディスクリート抵抗は不要です。REF61xx の出力帯域幅を増やすため、ESR の値を大きくする (20mΩ より大きく、100mΩ より小さい) ことができます。このように ESR が大きいほど REF61xx の過渡性能は向上しますが、帯域幅が大きくなるためノイズ性能は低下します。

8.4 デバイスの機能モード

REF61xx の EN ピンが High になると、デバイスはアクティブ モードになります。通常の動作では、デバイスはアクティブ モードである必要があります。

REF61xx をシャットダウン モードにするには、ENABLE ピンを Low にします。シャットダウン モードでは、デバイスの出力が高インピーダンスになり、デバイスの静止電流が 1µA (標準値) に減少します。論理高および論理低の電圧レベルについては、セクション 6.5 の ENABLE ピン電圧パラメータを参照してください。

Copyright © 2026 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

イベント トリガのデータ アクイジション システムや多重化されたデータ アクイジション システムなどの多くのアプリケーションでは、ADC の最初の変換で 18 ビット以上の精度を達成する必要があります。この種のデータ アクイジション システムはデータをバースト形式でキャプチャするため、バーストモードのデータ アクイジション システムとも呼ばれます。電圧リファレンス ドループでは最初の数回の変換の精度が限定的なため、従来型の電圧リファレンスを使用して最初のサンプルで 18 ビットの精度を実現するのは非常に困難です。さらに、可変サンプリング レートのシステムでは、システムのゲイン誤差がサンプリング レートによって変化しないようにする必要があります。この設計例の主な目的は、1kHz フルスケールの純正弦波入力に対して、1MSPS のスループットで動作する 18 ビット SAR ADC を使用して、低消費電力の最小歪みおよびノイズのバースト モード データ アクイジション ブロックを示すことです。

9.2 代表的なアプリケーション

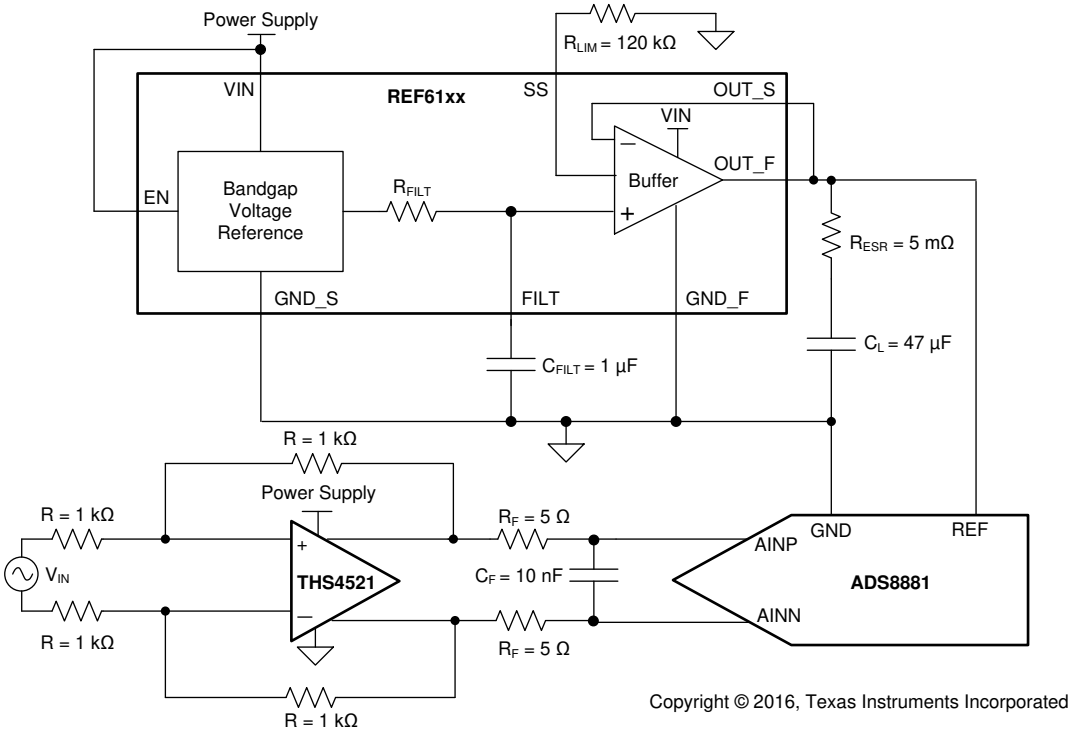


図 9-1. 18 ビット、1MSPS の バースト モード データ アクイジション システム

9.2.1 設計要件

1. バースト モードのサポート (詳細については、セクション 7.3 を参照)
2. ENOB > 16 ビット
3. THD < -120dB
4. 低消費電力 < 50mW
5. スループット = 1MSPS

9.2.2 詳細な設計手順

図 9-1 に示すデータ アクイジション システムでは、入力ドライバ、ドライバ付きリファレンス、データ コンバータという 3 つの主要な要因がシステム ノイズと精度に大きく影響します。各アナログ ブロックは、データ コンバータの仕様によってシステムの仕様が制限されるように注意深く設計されています。THS4551 は完全差動オペアンプで、18 ビット ADC (ADS8881) の駆動に使用されます。THS4551 の出力にあるチャージ キックバック RC フィルタを使用して、ADC 内のサンプリング スイッチの開閉によって発生するチャージ キックバックを低減します。ADC のアクイジション時間内にサンプリング コンデンサの電圧が 18 ビット精度に安定するよう、RC フィルタを設計します。

データ アクイジション システムには、最高精度のデータ変換を実行するために、安定した高精度の電圧リファレンスが必要です。REF61xx REF62xx REF63xx ファミリの電圧リファレンスには ADC ドライブ バッファが内蔵されているため、外部リファレンス バッファなしで ADS8881 の REF ピンを直接駆動できます。リファレンス バッファの詳細な要件については、セクション 8.3.1 を参照してください。この設計では、REF61xx の出力コンデンサの適切な選定が非常に重要です。セクション 8.3.4 に、安定性およびバーストモード要件に対する出力コンデンサの ESR 要件を示します。1µF の容量を FILT ピンに接続すると、REF61xx の広帯域ノイズを低減できます。

9.2.2.1 結果

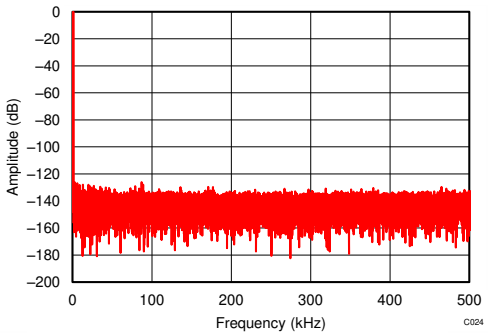
表 9-1 に測定結果をまとめます。

表 9-1. 測定結果

仕様	測定結果
SNR	100.5dB
ENOB	16.4
THD	-125.9dB
スループット	1MSPS
バースト モード	最初のサンプル > 18 ビット精度
消費電力	40mW

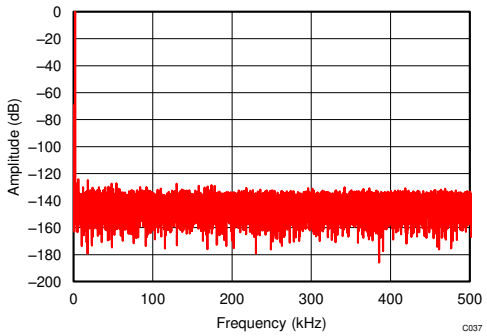
Copyright © 2026 Texas Instruments Incorporated

9.2.3 アプリケーション曲線



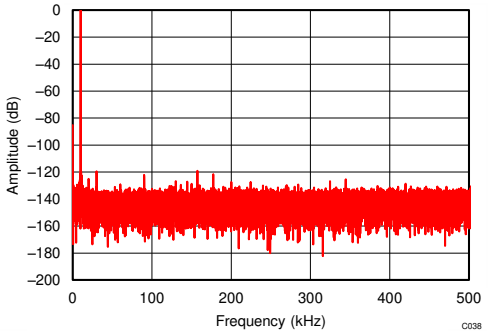
REF6150 が ADS8881 の REF ピンを駆動、
f_{IN} = 1kHz、SNR = 100.5dB、THD = –125.9dB

図 9-2. 代表的な FFT プロット



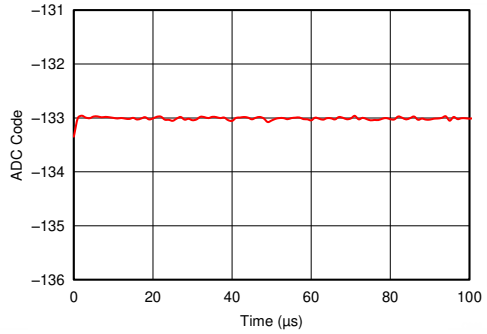
REF6150 が ADS8881 の REF ピンを駆動、
f_{IN} = 2kHz、SNR = 100.4dB、THD = –123.9dB

図 9-3. 代表的な FFT プロット



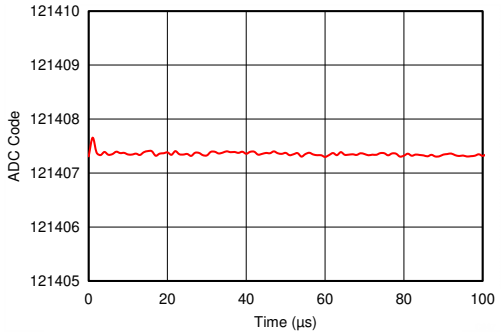
REF6150 が ADS8881 の REF ピンを駆動、
f_{IN} = 10kHz、SNR = 99.2dB、THD = –119.4dB

図 9-4. 代表的な FFT プロット



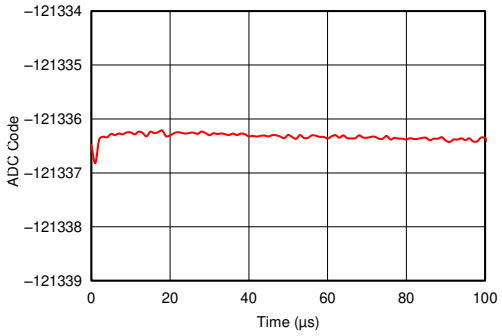
REF6150 が 1MSPS で動作する ADS8881 の REF ピンを駆動し、
ADS8881 の場合、AINP = AINN = V_{REF} / 2

図 9-5. 参照ドループ



REF6150 が 1MSPS で動作する ADS8881 の REF ピンを駆動し、
ADS8881 に正のフルスケール入力を供給する様子

図 9-6. 参照ドループ



REF6150 が 1MSPS で動作する ADS8881 の REF ピンを駆動し、
ADS8881 に負のフルスケール入力を供給する様子

図 9-7. 参照ドループ

Copyright © 2026 Texas Instruments Incorporated

9.3 電源に関する推奨事項

REF61xx ファミリのリファレンスは、非常に低いドロップアウト電圧を特長としています。ドロップアウト仕様については、セクション 6.5 をご覧ください。0.1µF の最小デカップリング コンデンサを、REF61xx の VIN ピンと GND_F ピンの間に接続する必要があります。負荷に対する標準的なドロップアウト電圧を 図 9-8 に示します。

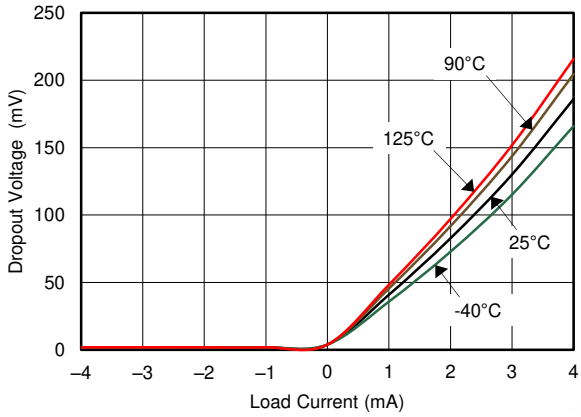


図 9-8. ドロップアウト電圧と負荷電流との関係

9.4 レイアウト

9.4.1 レイアウトのガイドライン

図 9-9 に、REF61xx を使用したデータ アクイジション システムの PCB レイアウトの例を示します。主な検討事項は次のとおりです。

- VIN ピンとグランド間に、低 ESR の 0.1µF セラミック バイパス コンデンサを接続します。
- REF61xx 出力コンデンサ (C_L) と ADC は、可能な限り互いに近づけて配置します。
- 図 9-9 に示すように、VOUT_F、VOUT_S、出力コンデンサの間に 2 つの個別のパターンを配線します。
- 図 9-9 に示すように、GND_F ピンと GND_S ピンをソリッド プレーンで短絡し、このプレーンを伸ばして出力コンデンサ C_L に接続します。
- ソリッド グランド プレーンを使用すると、熱の分散や、電磁干渉 (EMI) ノイズのピックアップの低減に役立ちます。
- 外付け部品は、可能な限りデバイスに近く配置します。この構成により、寄生誤差 (ゼーベック効果など) の発生を防止できます。
- デジタル パターンと並行して敏感なアナログ パターンを配線しないでください。デジタル パターンとアナログ パターンはできるだけ交差しないようにします。どうしても必要な場合には、直角に交差させます。

9.4.2 レイアウト例

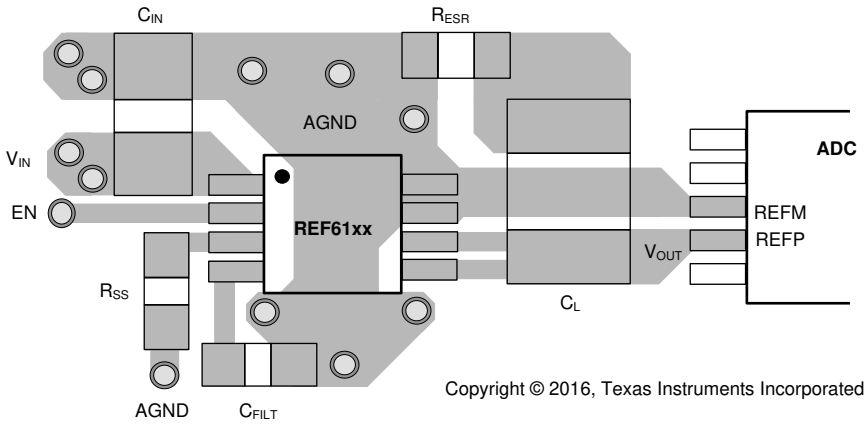


図 9-9. レイアウト例

Copyright © 2026 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『ADS8881x 18 ビット、1MSPS、シリアル インターフェイス、MicroPower、小型、真の差動入力、SAR A/D コンバータ データシート』、データシート
- テキサス インスツルメンツ、『ADS127L01 24 ビット、高速、広帯域 A/D コンバータ』、データシート
- テキサス インスツルメンツ、『REF6025EVM-PDK ユーザー ガイド』
- テキサス インスツルメンツ、『電圧リファレンスが全高調波歪みに及ぼす影響』、マーケティング ホワイトペーパー

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

Changes from Revision B (August 2016) to Revision C (June 2026) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- REF6125、REF6130、REF6133、REF6141、REF6145、REF6150 デバイスを TI.com の REF61 プロダクト フォルダに移動し、データシートのヘッダーを更新 1

Changes from Revision A (June 2016) to Revision B (August 2016) **Page**

- 「*概要*」を変更 1
- 「*概要*」を変更 1

Copyright © 2026 Texas Instruments Incorporated

- デバイス比較表を変更 2
- 「推奨動作条件」の出力電流に対応するデバイスのリストを変更 4
- T_A = -40°C から +125°C での REF6150 のロード レギュレーションの最大値を 30 から 50 に変更 5
- 図 1 を変更 7
- 図 2 を変更 7
- 図 5 を変更 7
- 「半田付けの熱シフト」セクションの最後の段落で、「2 番目のパス」を「最終パス」に変更 15
- 「概要」セクションの SLYY097 にリンクを追加 20

Changes from Revision * (May 2016) to Revision A (June 2016) **Page**

- 「製品プレビュー」から「量産データ」に変更 1

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
REF6125IDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14AV
REF6125IDGKR.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14AV
REF6125IDGKT	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14AV
REF6125IDGKT.B	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14AV
REF6125IDGKTG4	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14AV
REF6125IDGKTG4.B	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14AV
REF6130IDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14BV
REF6130IDGKR.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14BV
REF6130IDGKT	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14BV
REF6130IDGKT.B	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14BV
REF6133IDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14CV
REF6133IDGKR.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14CV
REF6133IDGKT	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14CV
REF6133IDGKT.B	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14CV
REF6141IDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14DV
REF6141IDGKR.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14DV
REF6141IDGKT	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14DV
REF6141IDGKT.B	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14DV
REF6145IDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14EV
REF6145IDGKR.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14EV
REF6145IDGKT	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14EV
REF6145IDGKT.B	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14EV
REF6150IDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14FV
REF6150IDGKR.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14FV
REF6150IDGKT	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14FV
REF6150IDGKT.B	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	14FV

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

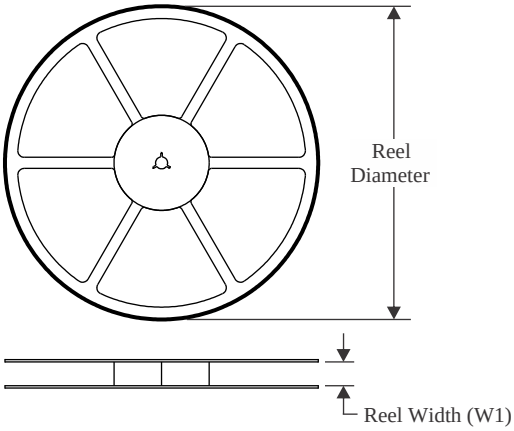
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

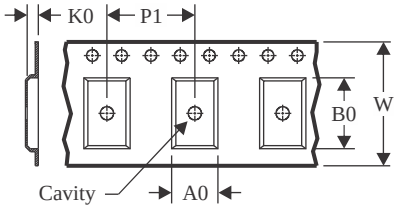
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

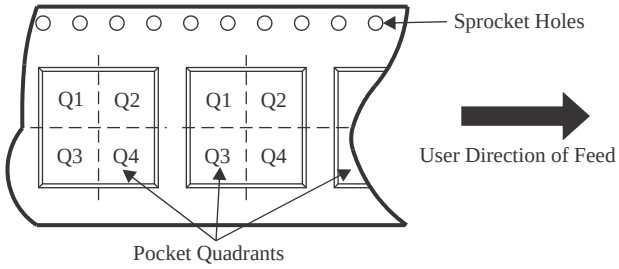


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

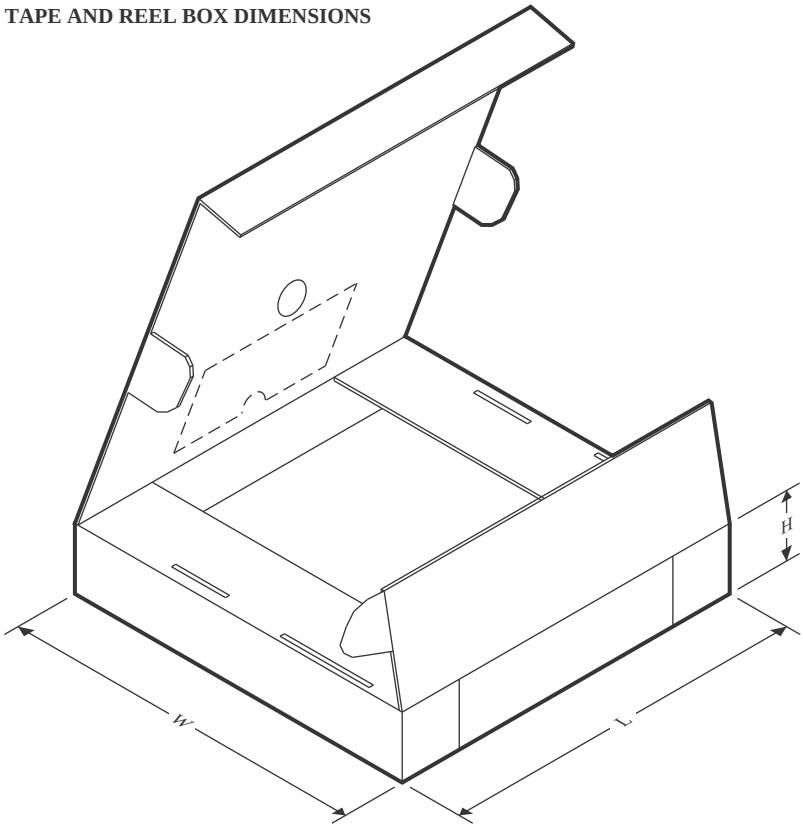
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
REF6125IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF6125IDGKT	VSSOP	DGK	8	250	177.8	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF6125IDGKTG4	VSSOP	DGK	8	250	177.8	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF6130IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF6130IDGKT	VSSOP	DGK	8	250	177.8	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF6133IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF6133IDGKT	VSSOP	DGK	8	250	177.8	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF6141IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF6141IDGKT	VSSOP	DGK	8	250	177.8	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF6145IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF6145IDGKT	VSSOP	DGK	8	250	177.8	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF6150IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
REF6150IDGKT	VSSOP	DGK	8	250	177.8	12.4	5.3	3.4	1.4	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

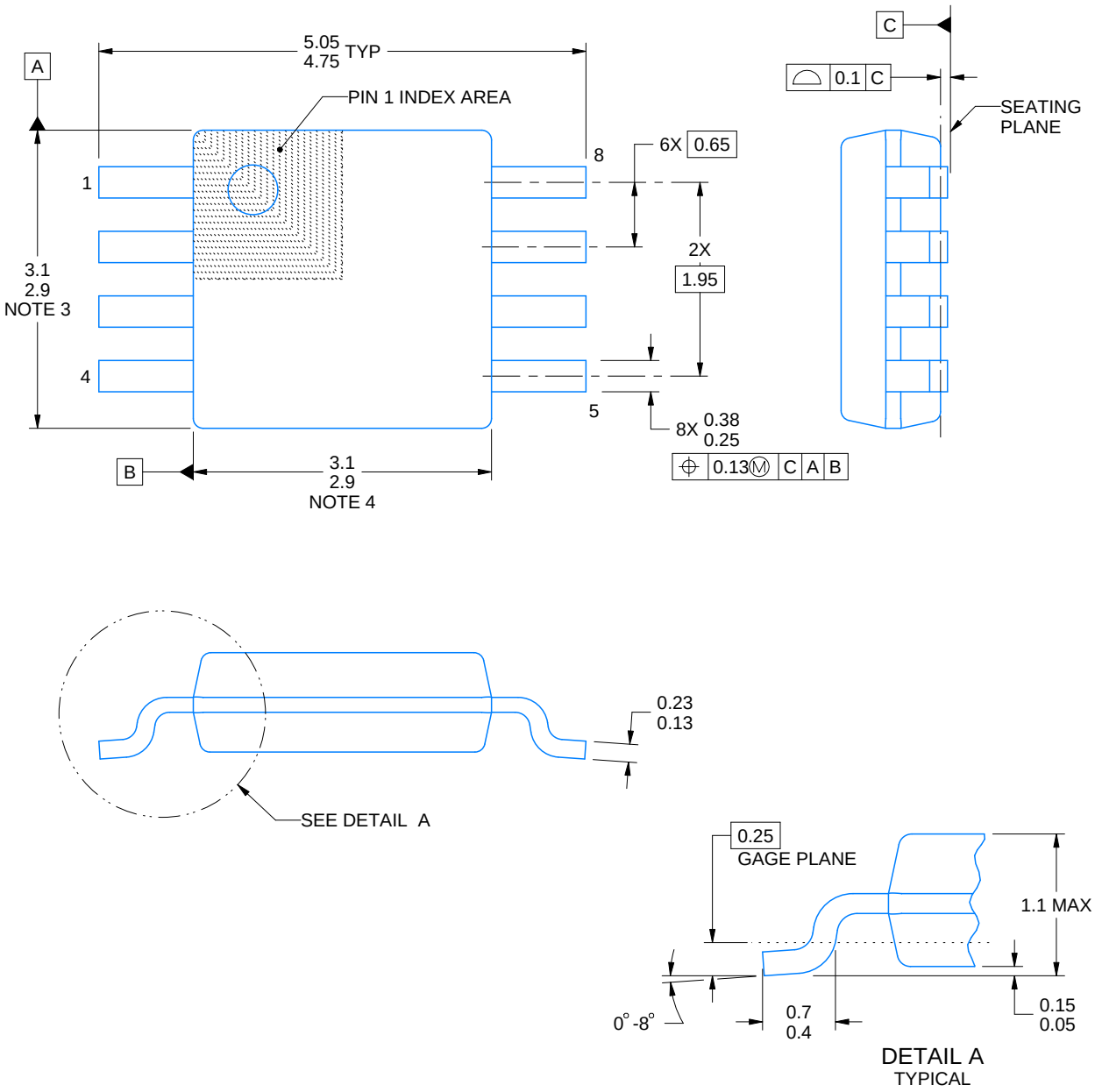
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
REF6125IDGKR	VSSOP	DGK	8	2500	346.0	346.0	29.0
REF6125IDGKT	VSSOP	DGK	8	250	223.0	270.0	35.0
REF6125IDGKTG4	VSSOP	DGK	8	250	223.0	270.0	35.0
REF6130IDGKR	VSSOP	DGK	8	2500	346.0	346.0	29.0
REF6130IDGKT	VSSOP	DGK	8	250	223.0	270.0	35.0
REF6133IDGKR	VSSOP	DGK	8	2500	346.0	346.0	29.0
REF6133IDGKT	VSSOP	DGK	8	250	223.0	270.0	35.0
REF6141IDGKR	VSSOP	DGK	8	2500	346.0	346.0	29.0
REF6141IDGKT	VSSOP	DGK	8	250	223.0	270.0	35.0
REF6145IDGKR	VSSOP	DGK	8	2500	346.0	346.0	29.0
REF6145IDGKT	VSSOP	DGK	8	250	223.0	270.0	35.0
REF6150IDGKR	VSSOP	DGK	8	2500	346.0	346.0	29.0
REF6150IDGKT	VSSOP	DGK	8	250	223.0	270.0	35.0

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

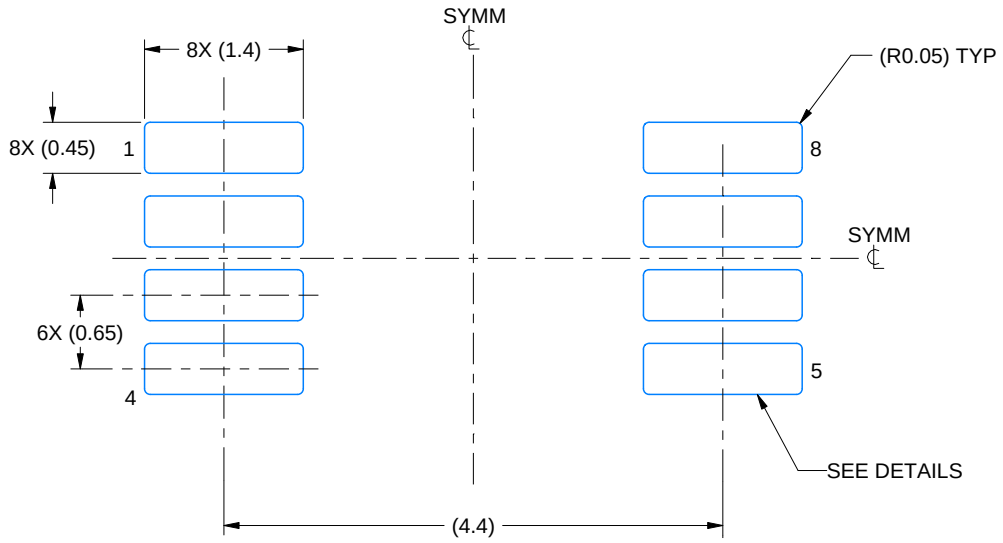
SMALL OUTLINE PACKAGE



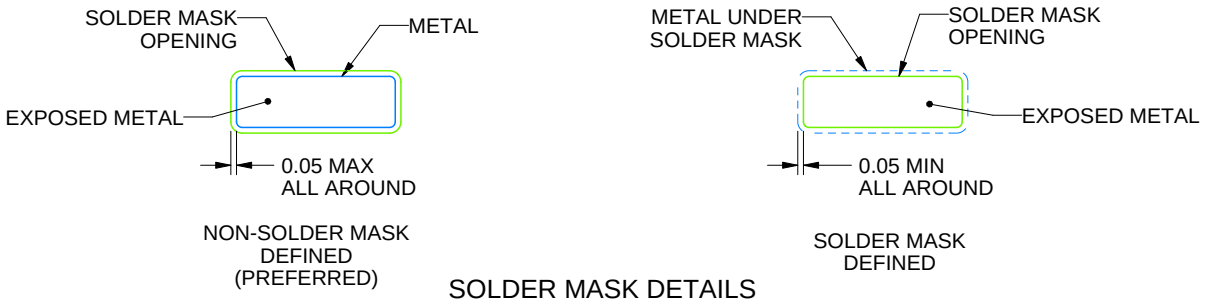
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

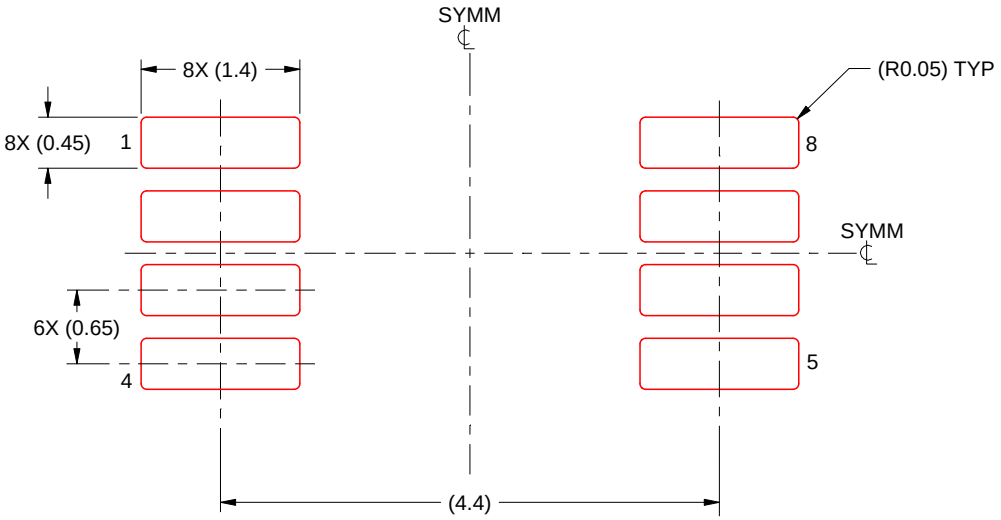


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月