

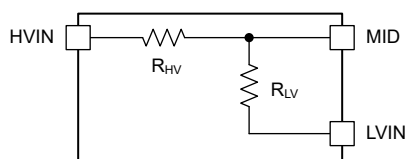
RES80A-Q1 車載対応、2000V_{DC}、高精度抵抗分割器

1 特長

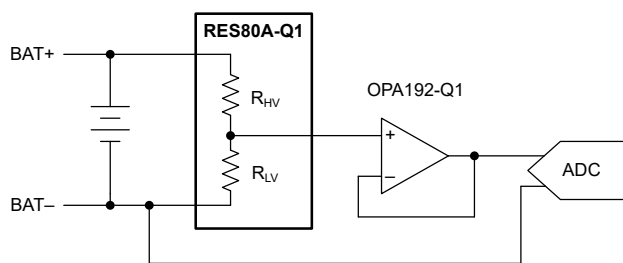
- 車載アプリケーション用に AEC-Q200 認定済み:
 - 温度グレード 1: -40°C ~ +125°C
- 高い電圧定格:
 - 4000V_{DC} (60 秒) で 3 回以上の HiPOT 試験に合格
 - HVIN と LVIN の間で 1700V_{DC} の沿面距離および空間距離をサポート (IEC-61010 PD 2)
 - 汚染度 1 における 2000V_{DC} の沿面距離および空間距離に対応
- 低いシフトおよびドリフトで高い DC 精度を実現:
 - 初期比率マッチング精度: ±0.1% (最大値)
 - 長い時間が経過しても全温度範囲にわたって ±0.2% の精度

2 アプリケーション

- 高電圧バスおよびバッテリー電圧監視
 - HEV/EV のバッテリー管理システム (BMS)
 - HEV/EV の DC/DC コンバータ
 - HEV/EV のオンボード チャージャ (OBC)
 - HEV/EV のインバータおよびモータ制御
- 非絶縁型、同一のグランド、常時オンの分割器
- 広同相範囲アンプ



機能ブロック図



代表的な回路図

3 説明

RES80A-Q1 は、マッチングされた抵抗分割器で、テキサス・インスツルメンツの最新の高性能アナログ ウェハ プロセスで薄膜 SiCr に実装されています。高品質の SiO₂ 絶縁層は抵抗器をカプセル化し、継続的動作で最大 2000V_{DC}、HiPOT テスト (60 秒) で最大 4000V_{DC} という非常に高い電圧で使用できるようにします。このデバイスは、公称入力抵抗 $R_{HV} = 50M\Omega$ であり、幅広いシステムの要求を満たすため、いくつかの公称比率で供給されます。

RES80A-Q1 シリーズは高い比率マッチング精度を特長としており、各分割器の測定比率は公称値の ±0.1% (最大) 以内です。この精度は、仕様温度範囲全体で維持され時間が経過しても、累積ドリフトはわずか ±0.2% (最大) です。したがって、キャリブレーションなしの RES80A-Q1 の生涯耐性は、±0.3% の (max) 内に収まります。

RES80A-Q1 は、AEC-Q200 温度グレード 1 で車載認定済みで、-40°C ~ 125°C の仕様温度範囲を満たしています。このデバイスは、8 ピン SOIC パッケージで供給され、公称本体サイズが 7.5mm × 5.85mm で、高電圧ピンと低電圧ピンの間の沿面距離と空間距離が 8.5mm 以上あります。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
RES80A-Q1	DWV (SOIC, 8)	5.85mm × 11.5mm

- 詳細については、[セクション 10](#) を参照してください。
- パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。

製品情報

部品番号	公称比 ($R_{HV}:R_{LV}$)
RES80A145-Q1	145:1
RES80A210-Q1 ⁽¹⁾	210:1
RES80A250-Q1 ⁽¹⁾	250:1
RES80A315-Q1 ⁽¹⁾	315:1
RES80A410-Q1 ⁽¹⁾	410:1
RES80A500-Q1 ⁽¹⁾	500:1
RES80A610-Q1 ⁽¹⁾	610:1
RES80A100-Q1	1000:1

- プレビュー情報 (事前情報ではありません)。



目次

1 特長.....	1	7 アプリケーションと実装.....	10
2 アプリケーション.....	1	7.1 使用上の注意.....	10
3 説明.....	1	7.2 代表的なアプリケーション.....	14
4 ピン構成および機能.....	2	7.3 電源に関する推奨事項.....	15
5 仕様.....	3	7.4 レイアウト.....	16
5.1 絶対最大定格.....	3	8 デバイスおよびドキュメントのサポート.....	18
5.2 ESD 定格.....	4	8.1 デバイス サポート.....	18
5.3 推奨動作条件.....	5	8.2 ドキュメントのサポート.....	19
5.4 熱に関する情報.....	5	8.3 ドキュメントの更新通知を受け取る方法.....	19
5.5 電気的特性.....	6	8.4 サポート・リソース.....	19
6 詳細説明.....	8	8.5 商標.....	19
6.1 概要.....	8	8.6 静電気放電に関する注意事項.....	19
6.2 機能ブロック図.....	8	8.7 用語集.....	19
6.3 機能説明.....	8	9 改訂履歴.....	19
6.4 デバイスの機能モード.....	9	10 メカニカル、パッケージ、および注文情報.....	19

4 ピン構成および機能

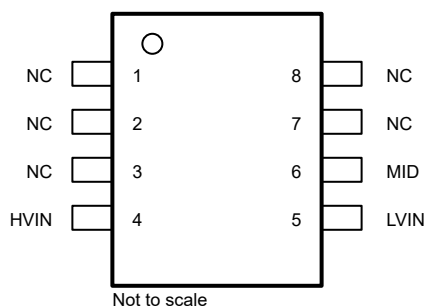


図 4-1. DWV パッケージ、8 ピン SOIC (上面図)

表 4-1. ピンの機能

ピン		タイプ	説明
名称	番号		
HVIN	4	入力	分圧器の高電圧入力
LVIN	5	入力	分圧器の低電圧入力
MID	6	出力	分圧器のセンター タップ
NC	1、2、3	—	高電圧側の内部接続されていないピン。基板レベルで最高の信頼性を得るため、PCB に半田付けします。これらのピンの露出した金属領域は、沿面距離および空間距離の計算の一部と考慮する必要があります。
NC	7、8	—	低電圧側の内部接続されていないピン。基板レベルで最高の信頼性を得るため、PCB に半田付けします。これらのピンの露出した金属領域は、沿面距離および空間距離の計算の一部と考慮する必要があります。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

			最小値	最大値	単位
	分圧器ごとの最大短期過負荷電圧、 $V_D = V_{HMIN} - V_{LVIN}$ (100ms、 $T_A = 25^\circ\text{C}$ 、DWV パッケージ) ⁽²⁾⁽³⁾	RES80A145	-2700	2700	V
		RES80A210	-2700	2700	
		RES80A250	-2700	2700	
		RES80A315	-2700	2700	
		RES80A410	-2700	2700	
		RES80A500	-2700	2700	
		RES80A610	-2700	2700	
		RES80A100	-2700	2700	
	過渡高電位電圧、ac (50Hz、 $T_A = 25^\circ\text{C}$ 、DWV パッケージ) ⁽⁴⁾⁽⁵⁾⁽⁶⁾	RES80A145	-3000	3000	V_{RMS}
		RES80A210	-3000	3000	
		RES80A250	-3000	3000	
		RES80A315	-3000	3000	
		RES80A410	-3000	3000	
		RES80A500	-3000	3000	
		RES80A610	-3000	3000	
		RES80A100	-3000	3000	
	過渡高電位電圧、dc ($T_A = 25^\circ\text{C}$ 、DWV パッケージ) ⁽⁴⁾⁽⁵⁾⁽⁶⁾	RES80A145	-4000	4000	V_{DC}
		RES80A210	-4000	4000	
		RES80A250	-4000	4000	
		RES80A315	-4000	4000	
		RES80A410	-4000	4000	
		RES80A500	-4000	4000	
		RES80A610	-4000	4000	
		RES80A100	-4000	4000	
T_A	周辺温度		-55	150	$^\circ\text{C}$
T_J	接合部温度		-55	150	$^\circ\text{C}$
T_{stg}	保存温度		-55	175	$^\circ\text{C}$

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用情况、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) 性能の低下なしに過渡条件下で許容される最大短期電圧。特に自己発熱によって T_J が 150°C を超える場合は、これらの電圧レベル以上の継続的な動作は避けてください。
- (3) 量産時にテスト済み、各デバイスの 100ms にわたって $\pm 2.7\text{kV}$ のストレス。
- (4) パッケージの高電圧ドメイン (ピン 1 ~ 4) から低電圧ドメイン (ピン 5 ~ 8) への差動電圧。
- (5) 総ストレス持続時間は 180 秒、デューティサイクルが 20% 以下で、寿命全体にわたって 60 秒以下の増分で累積されます。たとえば、連続的なストレスが 60 秒続いた後、デバイスの温度が安定するまで 240 秒待機してから、ストレスを繰り返します。過渡高電位電圧テストを繰り返すと、性能の低下やデバイスの損傷につながる可能性があります。
- (6) この評価は、先行情報および試作サンプルのみを対象としたものです。本番データ用デバイスの最終値は未確定です。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q200-002 に準拠、5 と 6 を除くすべてのピン	±4000	V
		人体モデル (HBM)、AEC Q200-002 に準拠、ピン 5 と 6	±2000	

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
	分圧器あたりの最大持続ユニポーラ電圧 (DWV パッケージ、HVIN ピンから LVIN ピン、 $T_A = 25^\circ\text{C}$ で 10 年間) ⁽¹⁾⁽²⁾	RES80A145	-2000		2000	V_{DC}
		RES80A210	-2000		2000	
		RES80A250	-2000		2000	
		RES80A315	-2000		2000	
		RES80A410	-2000		2000	
		RES80A500	-2000		2000	
		RES80A610	-2000		2000	
		RES80A100	-2000		2000	
	分圧器あたりの最大持続 50Hz バイポーラ電圧 (DWV パッケージ、HVIN ピンから LVIN ピン、 $T_A = 25^\circ\text{C}$ で 10 年間) ⁽¹⁾⁽²⁾	RES80A145	-440		440	V_{RMS}
		RES80A210	-440		440	
		RES80A250	-440		440	
		RES80A315	-440		440	
		RES80A410	-440		440	
		RES80A500	-440		440	
		RES80A610	-440		440	
		RES80A100	-440		440	
T_A	周辺温度		-40		125	$^\circ\text{C}$

(1) $R_{\theta JA} = 112.4^\circ\text{C/W}$ を想定。

(2) ユニポーラとバイポーラのバイアス条件と、それらがデバイスの信頼性に及ぼす影響の詳細については、『経時絶縁破壊』を参照してください。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		RES80A-Q1	単位
		DWV (SOIC)	
		8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	112.4	$^\circ\text{C/W}$
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	52.1	$^\circ\text{C/W}$
$R_{\theta JB}$	接合部から基板への熱抵抗	54.7	$^\circ\text{C/W}$
Ψ_{JT}	接合部から上面への特性パラメータ	40.0	$^\circ\text{C/W}$
Ψ_{JB}	接合部から基板への特性パラメータ	53.2	$^\circ\text{C/W}$
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	$^\circ\text{C/W}$

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

$V_D = 1000V$ の場合、 $T_A = 25^\circ C$ (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
初期抵抗							
R _{HV}	入力抵抗			50			MΩ
R _{LV}	比に依存する抵抗 ⁽¹⁾	RES80A145		344.8			kΩ
		RES80A210		238.1			
		RES80A250		200.0			
		RES80A315		158.7			
		RES80A410		122.0			
		RES80A500		100.0			
		RES80A610		82.0			
		RES80A100		50.0			
G _{nom}	公称比	R _{HV} /R _{LV}	RES80A145	145			
			RES80A210	210			
			RES80A250	250			
			RES80A315	315			
			RES80A410	410			
			RES80A500	500			
			RES80A610	610			
			RES80A100	1000			
t _D	初期比許容誤差 ⁽²⁾	V _D = 250V ~ V _D = 1000V、 (R _{HV} /R _{LV})/G _{nom} - 1 ⁽³⁾	RES80A145	-0.1	±0.020	0.1	%
			RES80A210	-0.1		0.1	
			RES80A250	-0.1		0.1	
			RES80A315	-0.1		0.1	
			RES80A410	-0.1		0.1	
			RES80A500	-0.1		0.1	
			RES80A610	-0.1		0.1	
			RES80A100	-0.1	±0.049	0.1	
t _{abs}	絶対許容誤差 (抵抗あたり) ⁽⁵⁾	(R _x /R _{xnom}) - 1 ⁽³⁾		-15	-2.5	15	%
	絶対許容範囲スパン	MAX(t _{absRHV} 、t _{absRLV}) - MIN(t _{absRHV} 、t _{absRLV})		未定			%
抵抗ドリフト							
	動作寿命全体にわたる比許容誤差ドリフト ⁽⁴⁾	10年間連続、T _A = -40°C ~ +85°C、ユニポーラバイアス、V _D = 1500V、(G _{INITIAL} - G _{FINAL}) / G _{INITIAL} ⁽³⁾		-0.2	±0.02	0.2	%
TCR _{abs}	抵抗の絶対温度係数 (抵抗あたり) ⁽⁵⁾⁽⁶⁾	(ΔR _x /R _{x(25°C)})/ΔT _A 、T _A = -40°C ~ +125°C		未定			ppm/°C
TCR _{ratio}	分圧器の抵抗温度係数 (分周器ごと) ⁽²⁾⁽⁶⁾	Δt _D / ΔT _A 、T _A = -40°C ~ +85°C		-5	未定	5	ppm/°C
		Δt _D / ΔT _A 、T _A = -40°C ~ +125°C		-5	未定	5	ppm/°C
VCR _{abs}	抵抗の絶対電圧係数 (抵抗あたり) ⁽⁵⁾⁽⁶⁾	ΔR _x /ΔV _{Rx} 、V _D = 100V ~ V _D = 1000V	R _{HV}	未定			Ω/V
			R _{LV}	未定			Ω/V
VCR _{ratio}	分圧抵抗の電圧係数 (分周器ごと) ⁽²⁾⁽⁶⁾	Δt _D /ΔV _D 、V _D = 100V ~ V _D = 1000V		±0.05			ppm/V
インピーダンス							
C _{IN}	ピン容量 ⁽⁶⁾⁽⁷⁾	HVIN、V _{LVIN} = V _{MID} = 0V		未定			pF
		MID、V _{LVIN} = V _{HIN} = 0V		未定			
		LVIN、V _{MID} = V _{HIN} = 0V		未定			

$V_D = 1000V$ の場合、 $T_A = 25^\circ C$ (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
	-3dB 帯域幅 ⁽⁶⁾⁽⁸⁾	$f = 100\text{Hz}$ での減衰に正規化、 C_{FILTER} なし	RES80A145		未定		kHz
			RES80A210		未定		
			RES80A250		未定		
			RES80A315		未定		
			RES80A410		未定		
			RES80A500		未定		
			RES80A610		未定		
			RES80A100		未定		
t_s	セトリング タイム ⁽⁶⁾	1% まで、10V ステップ	RES80A145		未定		μs
			RES80A210		未定		
			RES80A250		未定		
			RES80A315		未定		
			RES80A410		未定		
			RES80A500		未定		
			RES80A610		未定		
			RES80A100		未定		
		0.1% まで、10V ステップ	RES80A145		未定		μs
			RES80A210		未定		
			RES80A250		未定		
			RES80A315		未定		
			RES80A410		未定		
			RES80A500		未定		
			RES80A610		未定		
			RES80A100		未定		
e_N	熱ノイズ密度 ⁽⁷⁾	$f = 1\text{kHz}$	RES80A145		72.5		nV/ $\sqrt{\text{Hz}}$
			RES80A210		60.3		
			RES80A250		55.3		
			RES80A315		49.3		
			RES80A410		43.2		
			RES80A500		39.1		
			RES80A610		35.4		
			RES80A100		27.7		

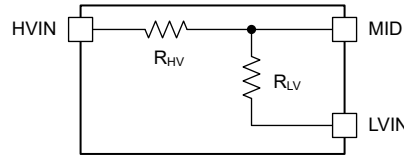
- (1) 入力抵抗 (R_{HV}) と公称比 (G_{nom}) は、 R_{LV} の値を決定する制御仕様です。 R_{LV} の公称値には、便宜上 3 つの重要な数値が報告されています。
- (2) R_{HV}/R_{LV} と公称比との関係。
- (3) この仕様値は、この式の計算結果を百分率 (100% を掛けた値) で示したものです
- (4) 設計および加速認定試験により規定されています。
- (5) R_{HV} および R_{LV} と公称値との関係。
- (6) 特性評価によって仕様規定されています。
- (7) 設計により規定されています。
- (8) 特定のデバイスおよびアプリケーションの -3dB 帯域幅は、デバイス レベルおよび基板レベルの寄生容量に大きく影響されます。フィードフォワード容量により、高い周波数で減衰が公称値より低くなり、ゲインのピークが発生します。ゲイン シェーピングのため、 R_{LV} と並列にフィルタ コンデンサを使用して、周波数全体の減衰が回路と設計目標を満たしていることを確認します。このコンデンサの値は、最適な決定を下し、実験的に検証されたものです。詳細については、「追加保護機能」および「レイアウトのガイドライン」を参照してください。

6 詳細説明

6.1 概要

RES80A-Q1 は、2 つの高精度薄膜 SiCr 抵抗で構成され、マッチングされたデバイダを形成し、絶縁 SiO₂ 層によってカプセル化されます。このデバイスには、公称 50MΩ の「入力」抵抗 R_{HV} が含まれています。このデバイスには、RES80A-Q1 の公称比 (R_{HV}/R_{LV}) に応じて値が決まる「ゲイン」抵抗 R_{LV} も組み込まれています。

6.2 機能ブロック図



6.3 機能説明

6.3.1 レシオメトリック マッチング

RES80A-Q1 の抵抗は、以下の式で表されます：

$$R_{HV} = R_{HVnom} \times (1 \pm t_{abs}) = R_{HVnom} \times (1 \pm t_{RHV}) \times (1 \pm t_{SiCr}) \quad (1)$$

$$R_{LV} = R_{LVnom} \times (1 \pm t_{RLV}) \times (1 \pm t_{SiCr}) \quad (2)$$

ここで、

- R_{HVnom} と R_{LVnom} は各抵抗の公称値です。
- t_{abs} は、対象となる RES80A-Q1 抵抗の絶対許容誤差を表す誤差項であり、|t_{abs}| ≤ 15% です。
- t_{SiCr} は、ウェハーの SiCr 抵抗率のばらつきであり、特定の抵抗の絶対許容誤差を支配する要因となります。RES80A-Q1 に含まれる 2 つの抵抗はインターデジタル構造で形成され、同一ウェハ上の同一領域から作られているため、部品間では t_{SiCr} にばらつきがあるものの、同一デバイス内の 2 つの抵抗については実質的に同じ t_{SiCr} となります。分圧器をレシオメトリックとして計算すると、これらの誤差項は相殺されます。以下の式を参照してください。
- t_{RHV} および t_{RLV} は、抵抗の変動またはオフセット誤差項ごとに局所化されます。これらの用語は、すべての t_{SiCr} を考慮した後の、特定の RES80A-Q1 デバイスのそれぞれの抵抗の残りの実効公差を説明しています。

$$\frac{R_{HV}}{R_{LV}} = \frac{R_{HVnom} \times (1 \pm t_{RHV}) \times (1 \pm t_{SiCr})}{R_{LVnom} \times (1 \pm t_{RLV}) \times (1 \pm t_{SiCr})} = \frac{R_{HVnom} \times (1 \pm t_{RHV})}{R_{LVnom} \times (1 \pm t_{RLV})} = G_{nom} \times \frac{(1 \pm t_{RHV})}{(1 \pm t_{RLV})} = G \quad (3)$$

$$\begin{aligned} \frac{R_{HV}}{R_{LV} + R_{HV}} &= \frac{R_{HVnom} \times (1 \pm t_{RHV}) \times (1 \pm t_{SiCr})}{R_{LVnom} \times (1 \pm t_{RLV}) \times (1 \pm t_{SiCr}) + R_{HVnom} \times (1 \pm t_{RHV}) \times (1 \pm t_{SiCr})} \\ &= \frac{R_{HVnom} \times (1 \pm t_{RHV})}{R_{LVnom} \times (1 \pm t_{RLV}) + R_{HVnom} \times (1 \pm t_{RHV})} \end{aligned} \quad (4)$$

RES80A-Q1 は最大分圧初期比の許容誤差が 0.1% で規定されています。これは、特定の分圧器の実際分圧器比 G と公称比 G_{nom} の関係を以下で表すことを意味します。

$$G = G_{nom} \times (1 \pm t_D) \quad (5)$$

この場合、t_D ≤ 0.1% になります。これらの基準を満たさないデバイスは最終テストで除外されるため、これらの式を前の式と併用して、t_{RHV} と t_{RLV} の実効値を証明できます。このため、デバイスのエンド ツー エンドの絶対許容誤差範囲は ±15% ですが、(レシオメトリック アプリケーションの場合) 各抵抗器の実効的な許容誤差は、t_{RHV} および t_{RLV} が最悪のケースであっても、約 ±0.115% の範囲内に収まります。

6.3.2 超低ノイズ

抵抗におけるノイズは、低周波フリッカ ノイズと広帯域熱雑音の 2 つの領域に分けて評価できます。100Hz 未満の周波数で信号ゲインを必要とするシステムでは、フリッカ (1/f ノイズ) は非常に重要です。RES80A-Q1 を含む薄膜抵抗のフリッカ ノイズは、厚膜抵抗プロセスのフリッカ ノイズより小さくなります。熱ノイズは通常 1kHz を超える領域で支配的となり、抵抗値が大きくなるにつれて増加します。ノイズは、抵抗と直列の電圧源としてモデル化されます。

RES80A-Q1 などの抵抗分圧器では、2 つの抵抗 R_{HV} および R_{LV} のセンター タップで測定された熱ノイズは、 $R_{HV} \parallel R_{LV}$ の値を持つ抵抗の熱ノイズと等価です。

$$e_N = \sqrt{(4k_B T R)} \quad (6)$$

ここで

- e_N : 熱ノイズ密度 (nV/√Hz)
- T : 絶対温度 (単位: ケルビン (K))
- k_B : ボルツマン定数、 1.381×10^{-23} J/K
- $R = R_{HV} \parallel R_{LV}$

$R_{HV} \gg R_{LV}$ であるため、 $R \approx R_{LV}$ 。たとえば、RES80A610-Q1 の場合:

$$e_N = \sqrt{(4k_B T R)} = \sqrt{4 \times 1.38E^{-23} \frac{J}{K} \times 278K \times (50M\Omega \parallel 81.97k\Omega)} = 35.4nV/\sqrt{Hz} \quad (7)$$

6.4 デバイスの機能モード

RES80A-Q1 には、HVIN ピン用の 1 つのパッドと、MID ピンおよび LVIN ピン用の 2 つのパッドが備わっており、その他のパッドとピンは電氣的にフローティング状態になっています。MID ピンと LVIN ピンの両方を、それぞれマイコン ADC 入力とシャーシ グランドなどのシステムの「低電圧ドメイン」に接続します。HVIN ピンは、測定システムの高電位 (バッテリースタックのハイサイドなど) にバイアスします。

HVIN と LVIN を使用して、バッテリーのハイサイドとローサイドの間の直接測定が可能です。しかし、過電圧状態を回避するため、MID で駆動される下流回路がローサイド (LVIN) を適切に基準としていることを確認してください。

7 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

7.1.1 バッテリ スタック測定

RES80A-Q1 は、OPA192-Q1 などの車載高精度アンプと組み合わせて使用することで、固定電位を基準として EV バッテリのハイサイド (BAT+) のシングルエンド測定を行うことができます。図 7-1 (a) に示されているように、BAT- と GND が同等であるシステムには、図 7-2 に示されている構成が適用されます。図 7-3 に示されているように、別の方法としては、BAT+ から BAT- へのバッテリー両端を直接測定するアプローチがあります。図 7-1 (b) に示されているように、この方法はバッテリーのローサイド BAT- を基準とするシステムに有用です。

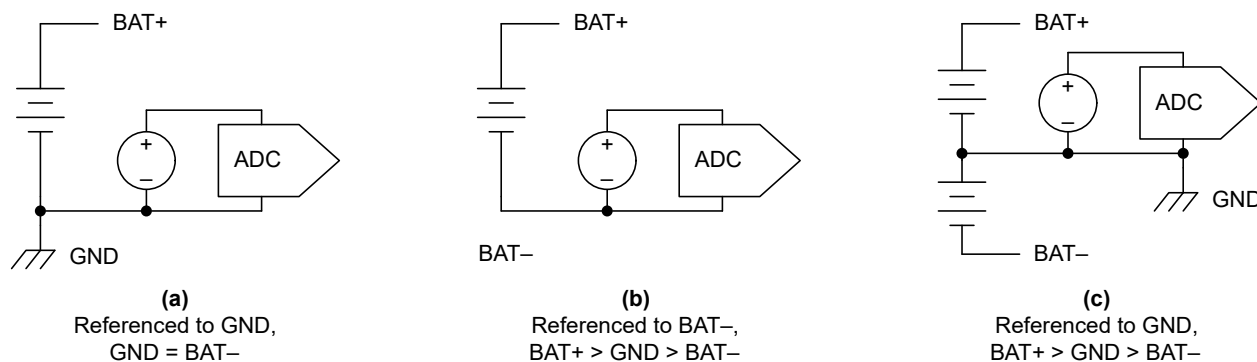


図 7-1. 一般的なバッテリーとシステムの構成

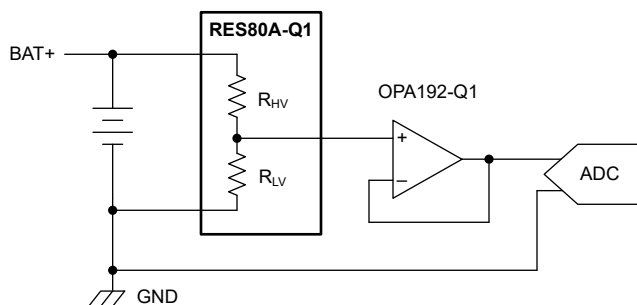


図 7-2. シングルエンド測定、BAT+ から GND

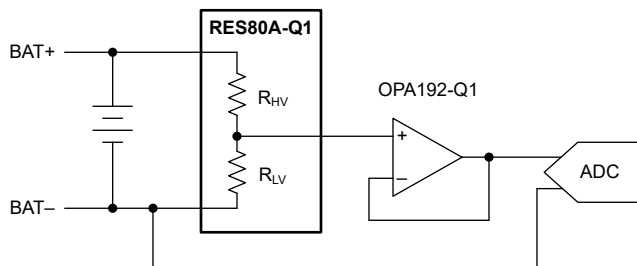


図 7-3. シングルエンド測定、BAT+ から BAT-

一部のシステムアーキテクチャでは、BAT– はシャーシ GND を基準としてフローティングします。図 7-1 (c) も参照してください。たとえば、シャーシグラウンドを基準とするマイコンでバッテリースタック全体の電圧を測定する必要がある場合、2 つの RES80A-Q1 デバイスと OPA192-Q1 デバイスを使用して差動アンプを構築できます。図 7-4 に、このアプローチを示します。2 つの ADC チャンネルが利用可能な場合は、2 つの RES80A-Q1 デバイスと 1 つの OPA2192-Q1 を使用して 2 つのシングルエンド測定を実行できます。

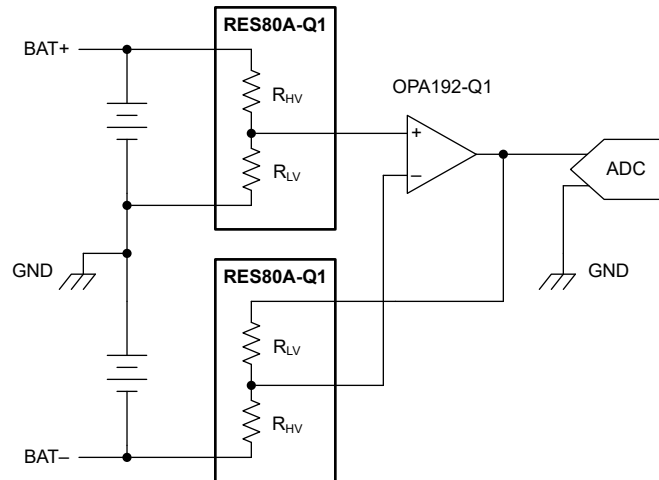


図 7-4. 差動測定、BAT+ から BAT–

システム内のリークageとアンプ入力からの静止電流により、測定の精度を低減できます。場合によっては、ガードバッファを使用してリーク電流を低減できます。基板の汚染とリークageを低減するために、ベストプラクティスに従ってください。

RES80A500-Q1 を使用した 800V のシングルエンド バッテリ測定 (図 7-2 も参照) の例において、分圧器を流れる静的電流は次のようになります。

$$I_{\text{STATIC}} = \frac{V_{\text{BATT}}}{(R_{\text{HV}} + R_{\text{LV}})} = \frac{800\text{V}}{(50\text{M}\Omega + 100\text{k}\Omega)} = 16\mu\text{A} \quad (8)$$

したがって、使用するバッファアンプは、 $I_B \ll I_{\text{STATIC}}$ になるようにバイアス電流を小さくする必要があります。OPA192-Q1 は低バイアス電流 (25°C で標準値 5pA、–40°C ~ 125°C で最大 5nA) を備えているため、この役割に最適です。

7.1.2 電圧分圧器回路

RES80A-Q1 は通常、高電位を ADC またはオペアンプの入力フルスケールレンジ内に分圧するために使用されます。この分圧器回路は、次の図に一般的に図示します。

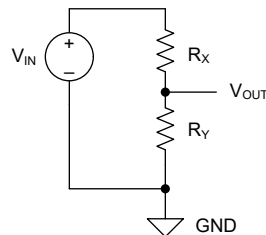


図 7-5. 汎用電圧分圧器回路

$$G_{\text{VD}} = \frac{R_Y}{R_Y + R_X} \quad (9)$$

$$V_{\text{OUT}} = V_{\text{IN}} \times G_{\text{VD}} \quad (10)$$

$$G_{VD} = G_{VDnom}(1 + t_{VD}) \quad (11)$$

RES80A-Q1 の場合、この回路では、 R_{HV} と R_{LV} はそれぞれ R_X と R_Y として機能します。これらの項を代入すると、以下の伝達関数が得られます：

$$G_{VD} = \frac{R_{LV}}{R_{LV} + R_{HV}} = \frac{1}{G + 1} \quad (12)$$

G_{VD} は G の直接関数であるため、これらの分圧回路の比許容誤差 t_{VD} は t_D の直接関数になります。この構成における t_{VD} の標準および最大パラメータ値は、指定された t_D 値から次のように計算されます：

$$t_{VD} = \frac{-G_{nom} \times t_D}{G_{nom} \times t_D + G_{nom} + 1} \quad (13)$$

たとえば、この構成で $t_D = 0.0290\%$ の RES80A210-Q1 を使用する場合、関連する t_{VD} 誤差は -0.0288% (288ppm) になります。

$$t_{VD} = \frac{-G_{nom} \times t_D}{G_{nom} \times t_D + G_{nom} + 1} = \frac{-210 \times 0.00029}{210 \times 0.00029 + 210 + 1} \quad (14)$$

符号変化は、 t_{Dx} の正の誤差と $R_{HV} > R_{HVnom}$ または $R_{LV} < R_{LVnom}$ を意味するために発生します。その結果、 G_{VD} は公称値より小さいため、誤差項は負です。各 RES80A-Q1 の高レシオメトリックゲイン G により、 t_{VD} は t_D とほぼ等しいことがわかります。具体的には、 t_{VD} の大きさは常に t_D の大きさよりわずかに小さくなります。保守的なアプローチを取り、計算を単純化するため、 t_D は基本的な回路の誤差解析に直接使用できます。より詳細な計算と誤差解析を行うには、『HV RES 誤差カリキュレータ』をご利用ください。

7.1.2.1 電圧分圧回路のドリフト

セクション 7.1.2 で説明ように、RES80A-Q1 の分圧回路の誤差 t_{VD} は、次の式によってゲイン回路の誤差 t_D と関連付けられます。

$$G_{VDx} = \frac{R_{IN}}{R_{IN} + R_G} = G_{VDnom}(1 + t_{VD}) \rightarrow t_{VD} = \frac{-G_{nom} \times t_D}{G_{nom} \times t_D + G_{nom} + 1} \quad (15)$$

したがって、温度による分圧器の伝達関数 G_{VD} の変化は、温度による t_D の変化の直接関数です。温度係数 TCR_{ratio} に周囲温度の変化を掛けると、 t_D の変化が得られます。これは、 t_{VD} の変化を計算するために、適切な式で代入されます。 t_{VD} の変化は、 G_{VD} の変化に直接対応します。

たとえば、 $G_{nom} = 210$ の RES80A210-Q1 と、図 7-5 に示す回路構成を考慮します。ここで、 $R_X = R_{HV}$ 、 $R_Y = R_{LV}$ が設定されています。 t_D は最初は 0.0290% であり、周囲温度の 30°C の上昇により 15ppm 増加すると仮定します。温度変化の前の t_{VD} の初期値は次のように計算されます：

$$t_{VD} = \frac{-G_{nom} \times t_D}{G_{nom} \times t_D + G_{nom} + 1} = \frac{-210 \times 0.00029}{210 \times 0.00029 + 210 + 1} = -0.000288 = -288\text{ppm} \quad (16)$$

温度変化後の t_{VD} の新しい値は次のように計算されます：

$$t_{VD} = \frac{-G_{nom} \times t_D}{G_{nom} \times t_D + G_{nom} + 1} = \frac{-210 \times 0.000305}{210 \times 0.000305 + 210 + 1} = -0.000303 = -303\text{ppm} \quad (17)$$

このシナリオでは、 t_D の 15ppm のシフトによって、 t_{VD} のシフトは約 15ppm になります。繰り返しになりますが、計算を簡略化するために、基本的な回路誤差解析において、 TCR_{ratio} を t_D と直接組み合わせ使用することができます。『HV RES 誤差カリキュレータ』は、温度および電圧ストレス全体にわたる複雑な誤差解析に役立ちます。

7.1.3 経時絶縁破壊

RES80A-Q1 で使用している薄膜 SiCr、SiO₂ 絶縁アナログ ウェハース プロセスは、TDDB (経時絶縁破壊) テストを通じて、高電圧下での継続的な動作に対する適格性が本質的に実証されています。TDDB は、専用のテスト構造に一定の高い交流または直流電圧を長時間印加し、デバイスが劣化して電氣的短絡により故障するまで負荷をかけることで実施されます。複数の電圧で TDDB をテストすることにより、特定の動作電圧におけるプロセス寿命が、ワイブル法を使用した外挿により決定されます。TDDB テストでは、「ユニポーラ」信号と「バイポーラ」信号という 2 種類の異なるバイアス条件において、当該プロセス、ひいては RES80A-Q1 の動作寿命が異なることが示されています。したがって、バイアスまたは入力信号の特性は、デバイスの信頼性分析の一部として考慮する必要があります。

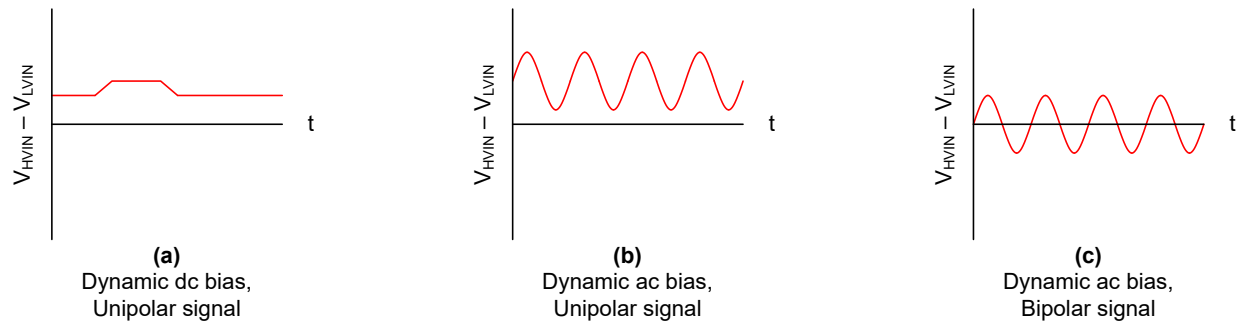


図 7-6. RES80A-Q1 のユニポーラおよびバイポーラ バイアスの例

ユニポーラの使用事例では、RES80A-Q1 の入力の電圧 (V_{HVIN}) は、常に基板電圧 V_{LVIN} を上回る電位、または下回る電位のいずれかにあります。EV バッテリ スタック測定などほとんどの DC 測定アプリケーションでは、 $V_{HVIN} > V_{LVIN}$ または $V_{HVIN} < V_{LVIN}$ のいずれかの関係を一定に維持します。時間の経過とともに変化するバッテリー電圧や、BAT⁻ を基準としたモーター位相電圧の測定値など、時間的に変動する多くの信号についても、通常の動作において V_{HVIN} が V_{LVIN} を上回ったり下回ったりしない限り、ユニポーラと見なされます。したがって、ユニポーラ動作は、磁場の強さが時間の経過とともに変化する可能性がある場合でも、デバイスの入力と基板間の磁界の方向が一樣であることに関連しています。ユニポーラ動作により、最長の動作寿命と最小のモデル化欠陥率を実現でき、RES80A-Q1 にとって最も一般的な使用事例となっています。連続ユニポーラ動作の場合、RES80A-Q1 の推奨最大動作電圧は 2000Vdc です。

バイポーラの使用事例では、RES80A-Q1 の入力電圧 (V_{HVIN}) は、基板電圧である V_{LVIN} を繰り返し交差するか、または上下スイングします。 V_{HVIN} から V_{LVIN} への極性が反転すると、電界の方向の変化によってデバイスの基板にストレスがかかり、ユニポーラ動作 (電界の方向が一定) と比較して磨耗メカニズムが異なります。バイポーラ測定の例としては、固定された中性電位を基準とした AC 商用電源の電圧ライン測定や、BAT⁻ < V_{LVIN} < BAT⁺ となるような分割パック アーキテクチャで、単一の RES80A-Q1 の HVIN ピンが BAT⁺ と BAT⁻ の間で急速に切り替わる場合などが挙げられます。連続バイポーラ動作の場合、RES80A-Q1 の推奨最大動作電圧は 440Vrms です。

7.2 代表的なアプリケーション

RES80A-Q1 は、AMC1311B-Q1 などの絶縁型アンプを使用して構成し、強化絶縁を必要とする測定を行うことができます。図 7-7 に、RES80A-Q1 が入力電圧を減衰させ、AMC1311B-Q1 が絶縁バリアと交差するというようなアプリケーションの回路構成例を示します。RES11A-Q1 と OPA388-Q1 を用いたディスクリート差動アンプを使用して、AMC1311B-Q1 の差動出力電圧をシングルエンド 5V ADC で使用します。

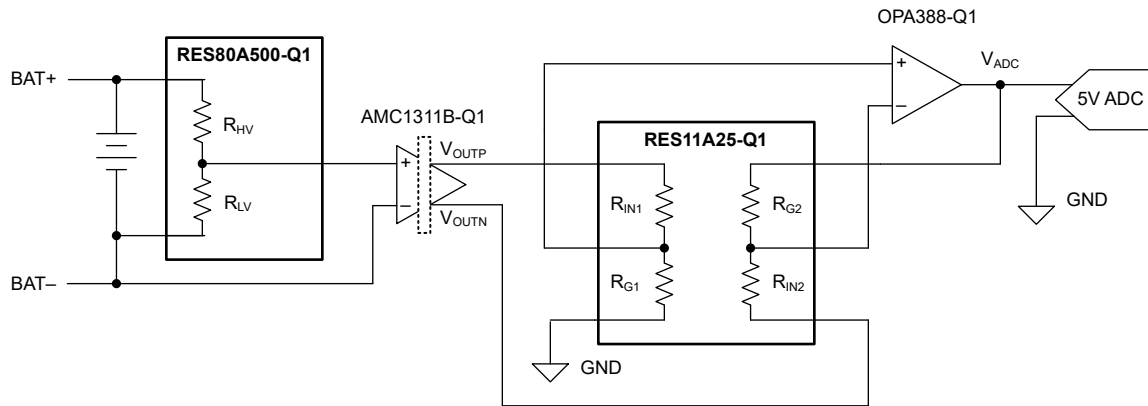


図 7-7. RES80A-Q1 と AMC1311B-Q1 を使用した DC バス測定

7.2.1 設計要件

パラメータ	設計目標
DC バス電圧入力範囲	0V ~ 1000V
出力 (V_{ADC}) のフルスケールレンジ	0V ~ 5V
減衰 (公称比)	500:1
キャリブレーションなしの初期測定誤差	$\pm 0.5\%$ FSR

7.2.2 詳細な設計手順

この設計では、AMC1311B-Q1 の線形入力範囲内になるレベルまで、バスの高い同相電圧を減衰させます。以下に、いくつかの重要な回路誤差ソースを考慮します。

- AMC1311B-Q1 の入力バイアス電流は 3.5nA (標準値) です。 $R_{LV} = 100k\Omega$ の場合、この入力バイアス電流は MID で 350 μ V のオフセット誤差として現れます。このオフセットを AMC1311B-Q1 の入力オフセット電圧 (標準値 400 μ V) を使って二乗和平方根で計算すると、532 μ V のオフセットが結果として得られます。このオフセットは 2V フルスケールレンジの 0.0266% を表しており、通常は支配的な要素になる誤差係数ではありません。
- AMC1311B-Q1 のゲイン誤差と積分非直線性誤差は、絶縁型アンプ電圧検出 Excel カリキュレータを使用して概算できます。この例では、標準 FSR 誤差は 0.07% と計算されます。
- RES80A500-Q1 の標準的な初期レシオメトリックゲインの許容誤差は約 0.02% と見込まれています。これは、前述の AMC1311B-Q1 の誤差と二乗和平方根で計算して合計することで、合計の標準 FSR 誤差は 0.078% となります。
- レベルシフト回路は、付加的な誤差を引き起こし、前述の誤差にゲイン係数を適用します。しかし、OPA388-Q1 のオフセットは小さく、RES11A-Q1 の高精度から、これらの追加誤差 (0.014% FSR) は十分小さく、最終的な標準的な誤差に大きな影響を及ぼすことはありません。この段では、誤差とフルスケールレンジはどちらも 2.5 倍にスケールされるため、フルスケールレンジに対する実効誤差の割合は変わりません。

FSR 誤差が 0.079% (標準値) の最終的な計算結果は 1σ の値を表しているため、 $\pm 6\sigma$ を使用すると、FSR 誤差は $\pm 0.473\%$ と算出されます。これらの結果は、回路がマージンを確保して $\pm 0.5\%$ の FSR アプリケーション要件を満たしていることを示しています。

7.2.3 アプリケーション曲線

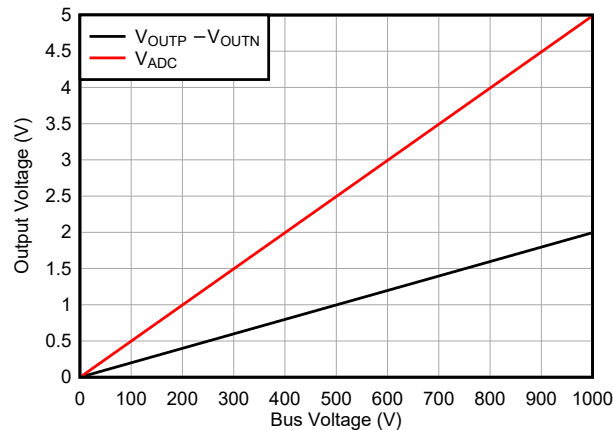


図 7-8. 伝達関数

7.3 電源に関する推奨事項

RES80A-Q1 は、アクティブ回路や保護ダイオードを備えた高電圧抵抗デバイスです。「絶対最大定格」と「推奨動作条件」に記載された制限を考慮する以外の特定の電源接続要件はありません。

7.3.1 追加の保護機能

オプションでは、外付け回路部品を使用して RES80A-Q1 の堅牢性を強化し、敏感なダウンストリーム回路を確実に保護できます。

- 高エッジレートの過渡イベントに対して追加のマージンを確保するため、極めて高い ESD 定格を必要とするアプリケーションなどでは、高電圧のバイパスコンデンサまたはコンデンサストリングをデバイスの入力に実装することを検討してください。この並列パスは高周波信号をシャントして RES80A-Q1 をバイパスするので、デバイス外部のサージエネルギーを消散しますが、デバイスの dc と低周波精度に影響を与えません。実装については、「レイアウト例」を参照してください。
 - 沿面距離と空間距離の要件が考慮されていることを確認し、追加の入力容量によりシステムステップ応答のセトリングタイム時間が長くなる可能性があることに注意してください。
 - フェライトビーズと 3 つの 2000V X7R バイパスコンデンサを直列に接続した入力保護ネットワークの試験において、ESD 耐性レベルが $\pm 12\text{kV}$ を超えるまで向上することが示されています。『RES60A-Q1 拡張信頼性試験』アプリケーションノートを参照してください。
 - Class-X や Class-Y コンデンサなどの一部のシステム上流容量、またはバッテリーパックのスタックセルなどの上流容量では、この役割を果たし、本質的にある程度の追加保護機能を提供します。アプリケーションの要件に従って、保護スキームを選択し、検証します。
- HIPOT テスト中およびピーク入力電圧では、RES80A-Q1 は高電圧ストレスが印加されている間は抵抗分割器として動作するため、それに応じて MID ピンの電圧が上昇します。MID 以降のすべてのダウンストリーム回路が、ショットキーダイオードなどの保護ダイオードで適切にクランプされるか、または関連する電圧上昇に耐えうる定格があることを確認します。
 - 必要に応じて、MID ピンと LVIN ピンの間に TSD05C などの TVS ダイオードを接続すると、下流の低電圧回路の高速過渡にクランピングに対する保護を強化できます。詳細については、『システムレベルの ESD 保護ガイド』および『ESD 保護レイアウトガイド』アプリケーションノートを参照してください。
- 意図的なフィルタリングまたは補償コンデンサ C_{FILTER} を R_{LV} と並列に接続することで、回路またはアプリケーションのニーズに応じて高周波でゲインシェーピングができ、高速過渡から下流の回路を保護できます。大きな C_{FILTER} 値を使用すると高周波ノイズが強く減衰しますが、 C_{FILTER} が大きすぎると、デバイスのステップ応答が遅くなります。
 - 寄生基板容量は C_{FILTER} を伴うため、有効な C_{LV} が意図した値よりも大きくなる可能性があります。したがって、用途要件に基づいて C_{FILTER} の値を選択し、最終的なプリント基板実装を利用して、デバイス性能が設計目標を満たしているかを検証します。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れたプリント基板 (PCB) レイアウト手法を使用してください。

- MID 接続などの感度の高いトレースを、電源ラインやノイズ源からできるだけ離して配置することで、寄生結合を低減します。これらの配線を分離して配置できない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに良い結果が得られます。
- RES80A-Q1 で消費される電力により、接合部温度が上昇します。信頼性の高い動作のために、接合部温度を 150°C 以下に制限する必要があります。接合部温度を低く保つと、信頼性が向上します。
 - パッケージの熱抵抗 $R_{\theta JA}$ は、実装手法と環境の影響を受けます。空気の循環が不十分な場合、周囲環境に対する熱抵抗が大幅に増加する可能性があります。RES80A-Q1 を広いプリント基板に半田付けすることで、特に LVIN 接続で優れた熱性能を実現し、デバイスのリード線を通してより大きな導通が可能になります。
- PCB の沿面距離を改善するには、溝切削を使用します。1mm より広い溝の場合、実効沿面距離は、既存の沿面距離に溝の幅を加えた値、溝の深さの 2 倍になります。この合計は、必要な沿面距離以上である必要があります。機械的なテスト要件を満たすために、溝が基板を弱めてはなりません。溝の下すべての層に、最大沿面距離を維持するため、トレース、ビア、パッドが存在しない必要があります。
- 最高の性能を得るために、基板組み立ての後で PCB をクリーニングします。残留フラックスは、寄生リークパスを形成し、実効沿面距離を短くする可能性があります。
- 高精度の集積回路では、プラスチック パッケージへの水分の侵入により性能が変化する場合があります。PCB を水で洗浄した後で、PCB アセンブリをベーキングして、洗浄中にデバイスのパッケージに取り込まれた水分を除去します。
 - ほとんどの場合、洗浄後に 85°C で 30 分間の低温ベーキングを行えば十分です。
- RES80A-Q1 の周囲の汚染度を改善するには、コンフォーマル コーティングまたはポッティングを使用して、組み立てられた PCB に絶縁ポリマーまたはその他の材料層を堆積させます。このプロセスにより、汚染物質の影響を除去または低減することで、沿面距離と空間距離の要件を低減できます。

7.4.2 レイアウト例

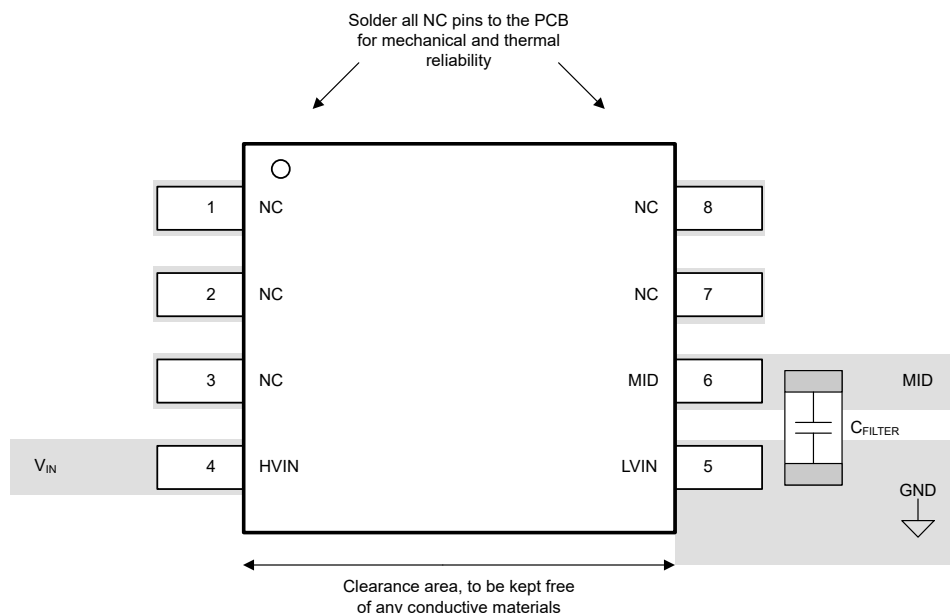


図 7-9. レイアウト例 : DWV パッケージ

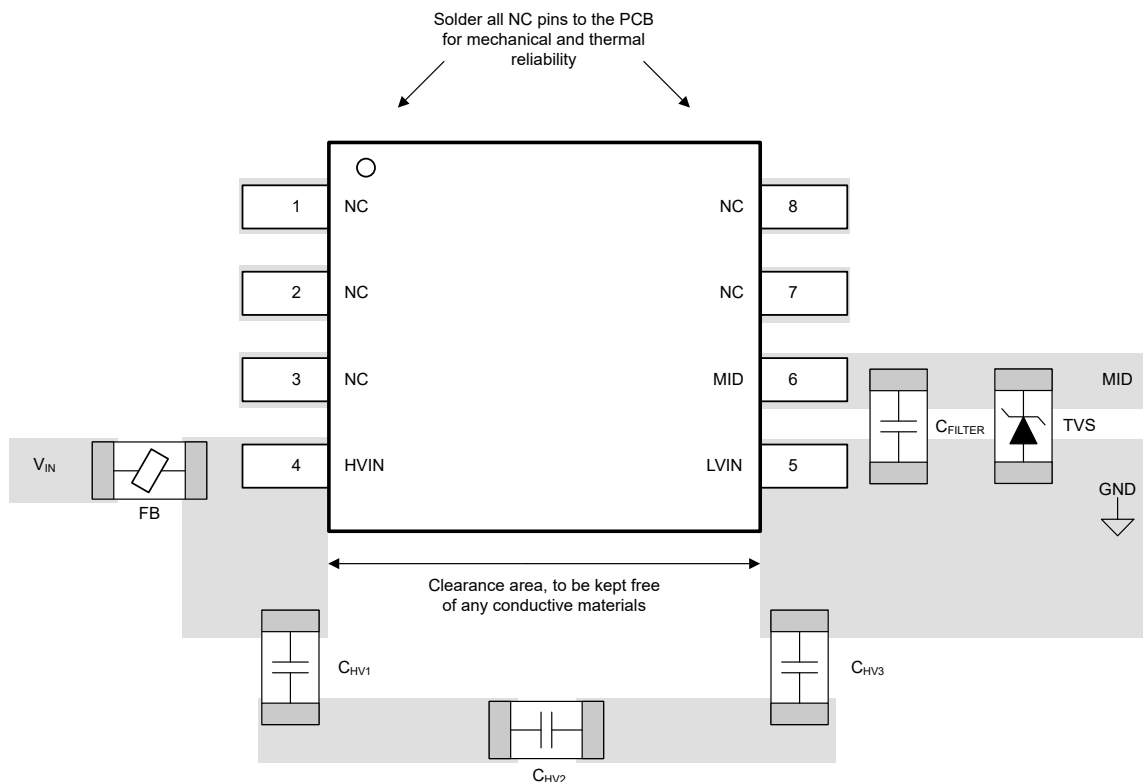


図 7-10. レイアウト例：追加保護機能付き DWV パッケージ

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

8.1.1.1 PSpice® for TI

PSpice® for TI は、アナログ回路の性能評価に役立つ設計およびシミュレーション環境です。レイアウトと製造に移る前に、サブシステムの設計とプロトタイプ ソリューションを作成することで、開発コストを削減し、市場投入までの期間を短縮できます。

8.1.1.2 TINA-TI™シミュレーション ソフトウェア (無償ダウンロード)

TINA-TI™ シミュレーション ソフトウェアは、SPICE エンジンに基づいた単純かつ強力な、使いやすい回路シミュレーション プログラムです。TINA-TI シミュレーション ソフトウェアは、TINA™ ソフトウェアのすべての機能を持つ無償バージョンで、パッシブ モデルとアクティブ モデルに加えて、マクロモデルのライブラリがプリロードされています。TINA-TI シミュレーション ソフトウェアには、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI シミュレーション ソフトウェアは設計およびシミュレーション ツール Web ページから無料でダウンロードでき、ユーザーが結果をさまざまな形式で処理できる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイック スタート ツールを作成できます。

注

これらのファイルを使用するには、TINA ソフトウェアまたは TINA-TI ソフトウェアがインストールされている必要があります。TINA-TI™ ソフトウェア フォルダから、無償の TINA-TI シミュレーション ソフトウェアをダウンロードしてください。

8.1.1.3 TI のリファレンス デザイン

TI のリファレンス デザインは、TI の高精度アナログ アプリケーション専門家により作成されたアナログ ソリューションです。TI のリファレンス デザインは、動作原理、部品の選択、シミュレーション、完全な PCB 回路図およびレイアウト、部品表、測定済みの性能を提供します。TI のリファレンス デザインは、<http://www.ti.com/ww/en/analog/precision-designs/> からオンラインで入手できます。

8.1.1.4 Analog Filter Designer

Analog Filter Designer は、設計およびシミュレーション ツール Web ページから Web ベースのツールとして利用でき、包括的な複数段アクティブ フィルタ ソリューションの設計、最適化、シミュレーションをわずか数分で行います。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[RES60A-Q1 拡張信頼性試験アプリケーション ノート](#)』
- テキサス・インスツルメンツ、『[RES60EVM 評価基板](#)』
- テキサス・インスツルメンツ、『[沿面距離および空間距離について](#)』TI プレシジョン ラボ ビデオ
- テキサス・インスツルメンツ、『[RES11A-Q1 車載用、低ノイズ、高精度、マッチング済み、薄膜抵抗ペアデータシート](#)』
- テキサス・インスツルメンツ、『[RES21A-Q1: 10kΩ 入力の車載用マッチング済み薄膜抵抗分圧器データシート](#)』
- テキサス・インスツルメンツ、『[ゲートドライブ回路におけるフェライト ビーズの使用と利点](#)』アプリケーション ブリーフ

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.5 商標

TINA-TI™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

TINA™ is a trademark of DesignSoft, Inc.

PSpice® is a registered trademark of Cadence Design Systems, Inc.

すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
September 2026	*	初版リリース

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PRES80A100QDWVRQ1	Active	Preproduction	SOIC (DWV) 8	1000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
PRES80A145QDWVRQ1	Active	Preproduction	SOIC (DWV) 8	1000 LARGE T&R	-	Call TI	Call TI	-40 to 125	

- ⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).
- ⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- ⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- ⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- ⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- ⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

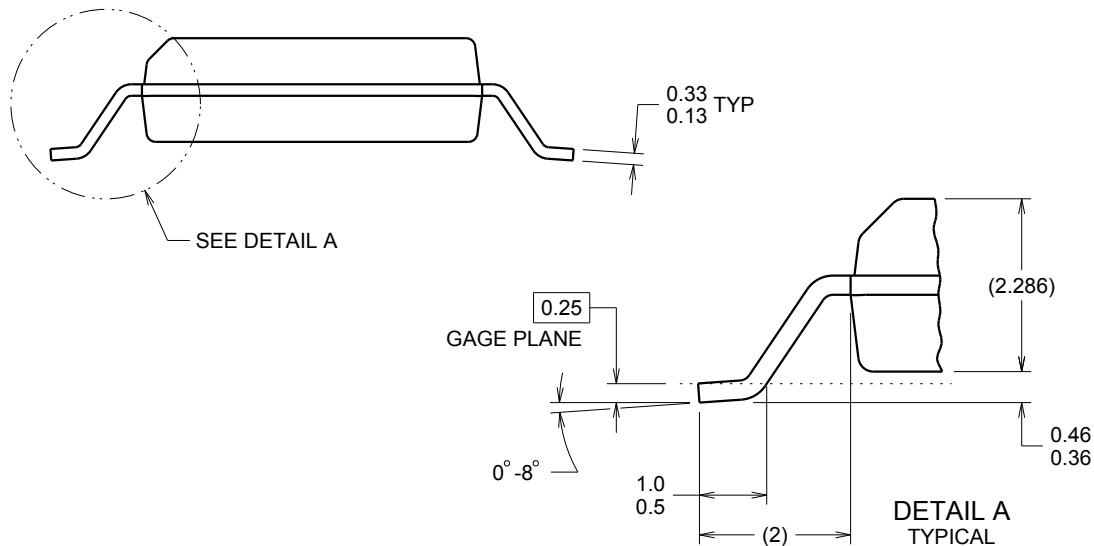
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

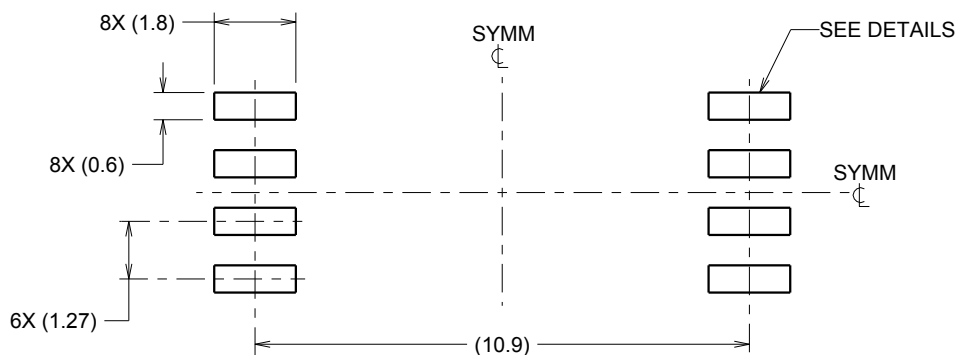
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

SOIC - 2.8 mm max height

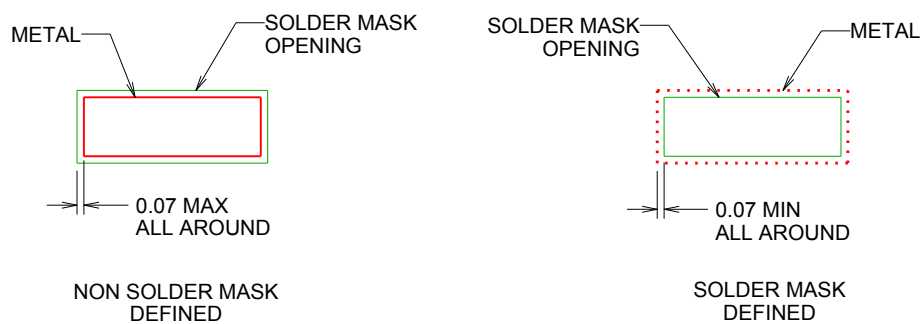
PIN 1 ID AREA
 11.5 ± 0.25 TYP
 5.95
 5.75
 NOTE 3
 1
 4
 8
 5
 6X 1.27
 2X 3.81
 8X 0.51
 0.31
 7.6
 7.4
 NOTE 4
 A
 B
 SEATING PLANE
 0.1 C
 2.8 MAX
 C
 A
 B



1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
9.1 mm NOMINAL CLEARANCE/CREEPAGE
SCALE:6X

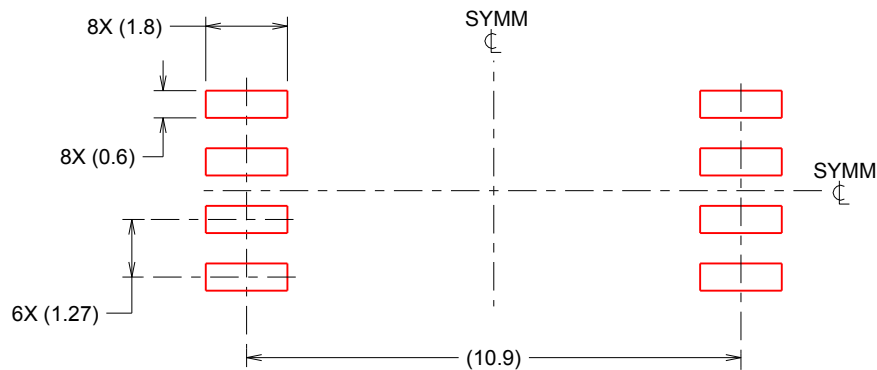


SOLDER MASK DETAILS

4218796/A 09/2013

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL
 SCALE:6X

4218796/A 09/2013

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月