

NE5532x、SA5532x デュアル 低ノイズ オペアンプ

1 特長

- 等価入力ノイズ電圧:
1kHz で $5\text{nV}/\sqrt{\text{Hz}}$ (標準値)
- ユニティ ゲイン帯域幅: 12MHz (標準値)
- 同相信号除去比: 100dB (標準値)
- 高 DC 電圧ゲイン: 100V/mV (標準値)
- 高スルーレート: 5V/ μs (代表値)

2 アプリケーション

- AV レシーバ
- 組み込み用 PC
- ネットブック
- ビデオ放送とインフラ: スケーラブルなプラットフォーム
- DVD レコーダおよびプレーヤ
- マルチチャネル ビデオ トランス コーダ
- プロ用オーディオ ミキサー

3 説明

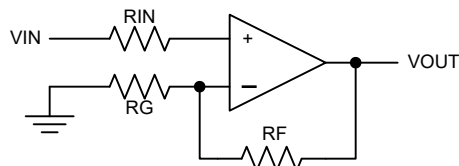
NE5532、NE5532A、SA5532、SA5532A デバイスは、優れた DC および AC 特性を備えた高性能オペアンプで

す。これらのデバイスは、非常に低いノイズ、高い出力駆動能力、高いユニティ ゲイン帯域幅と最大出力スイング帯域幅、低い歪み、高スルーレート、入力保護ダイオード、および出力短絡の保護機能を特長としています。これらのオペアンプは、ユニティ ゲイン動作に内部で補償されています。これらのデバイスは、等価入力ノイズ電圧に対して規定された最大値を備えています。

製品情報

部品番号 (1)	パッケージ (ピン)	パッケージ サイズ (公称) (2)
NE5532x、SA5532x	SOIC (8)	4.90mm × 3.91mm
NE5532x、SA5532x	PDIP (8)	9.81mm × 6.35mm
NE5532x	SO (8)	6.20mm × 5.30mm

- (1) 詳細については、[セクション 10](#) を参照してください。
 (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図



目次

1 特長.....	1	6.3 機能説明.....	6
2 アプリケーション.....	1	6.4 デバイスの機能モード.....	6
3 説明.....	1	7 アプリケーションと実装.....	7
4 ピン構成および機能.....	2	7.1 代表的なアプリケーション.....	7
5 仕様.....	3	7.2 電源に関する推奨事項.....	9
5.1 絶対最大定格.....	3	7.3 レイアウト.....	9
5.2 ESD 定格.....	3	8 デバイスおよびドキュメントのサポート.....	11
5.3 推奨動作条件.....	3	8.1 ドキュメントの更新通知を受け取る方法.....	11
5.4 熱に関する情報.....	3	8.2 サポート・リソース.....	11
5.5 電気的特性.....	4	8.3 商標.....	11
5.6 動作特性.....	4	8.4 静電気放電に関する注意事項.....	11
5.7 代表的特性.....	5	8.5 用語集.....	11
6 詳細説明.....	6	9 改訂履歴.....	11
6.1 概要.....	6	10 メカニカル、パッケージ、および注文情報.....	12
6.2 機能ブロック図.....	6		

4 ピン構成および機能

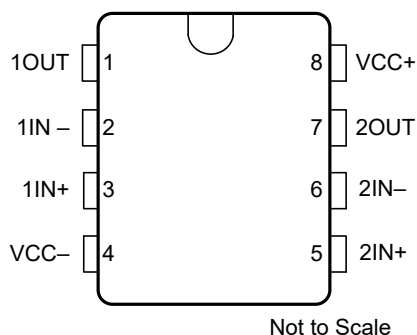


図 4-1. NE5532x、D パッケージ (8 ピン SOP)、P パッケージ (8 ピン PDIP)、PS パッケージ (8 ピン SO)
SA5532x、D パッケージ (8 ピン SOP)、P パッケージ (8 ピン PDIP)
(上面図)

ピンの機能

ピン		タイプ	説明
名称	番号		
1IN+	3	入力	非反転入力
1IN-	2	入力	反転入力
OUT1	1	出力	出力
2IN+	5	入力	非反転入力
2IN-	6	入力	反転入力
2OUT	7	出力	出力
VCC+	8	—	正電源
VCC-	4	—	負電源

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

			最小値	最大値	単位
V _{CC}	電源電圧 ⁽²⁾	V _{CC+}	0	+18	V
		V _{CC-}	-18	0	V
	入力電圧、いずれかの入力端子 ^{(2) (3)}		-15	+15	V
	入力電流 ⁽⁴⁾		-10	10	mA
	出力短絡時間 ⁽⁵⁾		制限なし		
T _J	動作時の仮想接合部温度		+150		°C
T _{stg}	保管温度範囲		-60	+125	°C

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件、または「推奨動作条件」に示された値を超える他のいかなる条件下においても、本デバイスが正しく動作することを意味するものではありません。セクション 5.3 に示す条件を外れて使用すると、たとえ「絶対最大定格」の範囲内であっても、本デバイスが正常に動作しない可能性があります。結果として本デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を短縮するおそれがあります。
- (2) 差動電圧を除くすべての電圧値は、V_{CC+} と V_{CC-} の中点を基準にしています。
- (3) 入力電圧の大きさは、電源電圧の大きさを決して超えないようにする必要があります。
- (4) 入力間に約 0.6V を超える差動入力電圧が印加されると、制限抵抗を使用しない場合には過剰な電流が流れます。
- (5) 出力は、グランドまたはいずれかの電源に短絡できます。消費電力定格を超えないように、温度および電源電圧を制限する必要があります。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	1000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン ⁽²⁾	1000	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

			最小値	最大値	単位
V _{CC+}	電源電圧		5	15	V
V _{CC-}	電源電圧		-5	-15	V
T _A	外気温度での動作時	NE5532, NE5532A	0	70	°C
		SA5532, SA5532A	-40	+85	

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		NE5532、NE5532A、SA5532、SA5532A			単位
		D	P	PS	
		8 ピン			
R _{θJA}	接合部から周囲への熱抵抗 ^{(3) (2)}	97	85	95	℃/W

- (1) 従来および最新の熱評価基準の詳細については、『IC パッケージの熱評価基準アプリケーションレポート』を参照してください。
- (2) 最大損失は T_{J(max)}、θ_{JA}、T_A の関数となります。最大許容消費電力は、許容される周囲温度に応じて P_D = (T_{J(max)} – T_A) / θ_{JA} となります。絶対最大定格 T_J = 150°Cでの動作は、信頼性に影響を与える可能性があります。
- (3) パッケージの熱インピーダンスは、JESD 51-7 に従って計算しています。

5.5 電気的特性

$V_{CC\pm} = \pm 15V$, $T_A = 25^\circ C$ (特に記述のない限り)

パラメータ		テスト条件 ⁽¹⁾		最小値	標準値	最大値	単位
V_{IO}	入力オフセット電圧	$V_O = 0$	$T_A = 25^\circ C$		0.5	4	mV
			$T_A = \text{フルレンジ}^{(2)}$			5	
I_{IO}	入力オフセット電流	$T_A = 25^\circ C$			10	150	nA
		$T_A = \text{フルレンジ}^{(2)}$				200	
I_{IB}	入力バイアス電流	$T_A = 25^\circ C$			200	800	nA
		$T_A = \text{フルレンジ}^{(2)}$				1000	
V_{ICR}	同相入力電圧範囲			± 12	± 13		V
A_{VD}	大信号の差動電圧増幅	$R_L = 600\Omega$, $V_O = \pm 10V$	$T_A = 25^\circ C$		15	50	V/mV
			$T_A = \text{フルレンジ}^{(2)}$		10		
		$R_L \geq 2k\Omega$, $V_O = \pm 10V$	$T_A = 25^\circ C$		25	100	
			$T_A = \text{フルレンジ}^{(2)}$		15		
B_1	ユニティゲイン帯域幅				12		MHz
r_i	入力抵抗			30	300		k Ω
CMRR	同相除去比	$V_{IC} = V_{ICR} \text{ min}$		70	100		dB
k_{SVR}	電源除去比 ($\Delta V_{CC\pm}/\Delta V_{IO}$)	$V_{CC\pm} = \pm 9V \sim \pm 15V$, $V_O = 0$		80	100		dB
I_{OS}	出力短絡検出電流				38		mA
I_{CC}	合計電源電流	$V_O = 0$, 無負荷			6	16	mA

(1) 特に記述のない限り、すべての特性は、同相入力電圧が 0 の開ループ条件で測定されます。

(2) 全動作温度範囲は次のとおり: SA5532 および SA5532A デバイスでは $-40^\circ C \sim 85^\circ C$ 、NE5532 および NE5532A デバイスでは $0^\circ C \sim 70^\circ C$ 。

5.6 動作特性

$V_{CC\pm} = \pm 15V$, $T_A = 25^\circ C$ (特に記述のない限り)

パラメータ		テスト条件	NE5532, SA5532			NE5532A, SA5532A			単位
			最小値	標準値	最大値	最小値	標準値	最大値	
SR	ユニティゲインでのスルーレート			5			5		V/ μs
V_n	等価入力ノイズ電圧	$f = 30\text{Hz}$		8			8		nV/ $\sqrt{Hz}$
		$f = 1\text{kHz}$		5			5		
I_n	等価入力ノイズ電流	$f = 30\text{Hz}$		2.7			2.7		pA/ $\sqrt{Hz}$
		$f = 1\text{kHz}$		0.7			0.7		

5.7 代表的特性

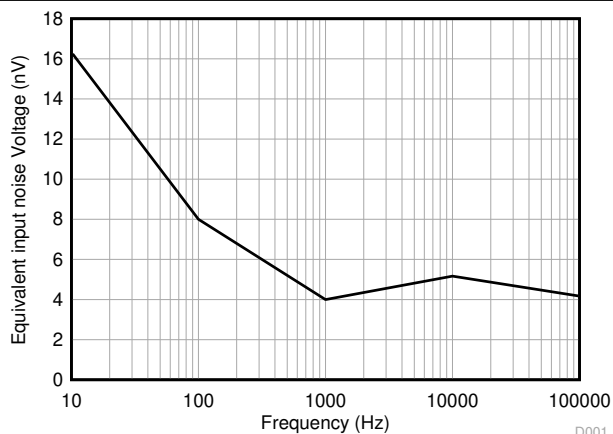


図 5-1. 等価入力ノイズ電圧と周波数との関係

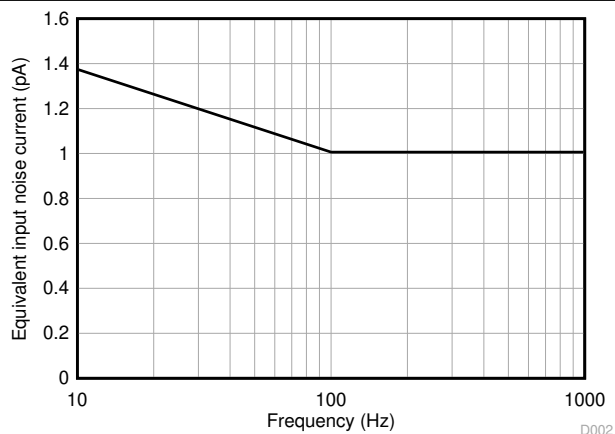


図 5-2. 等価入力ノイズ電流と周波数の関係

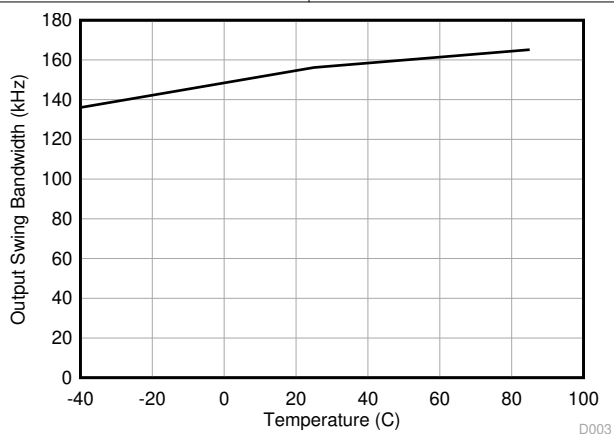


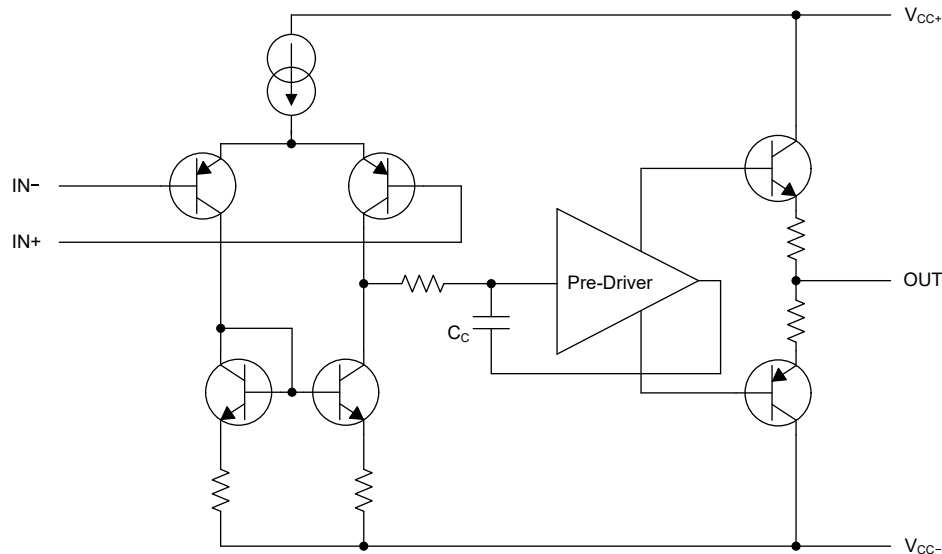
図 5-3. $V_{CC} = \pm 10V$ での出力スイング帯域幅と温度の関係

6 詳細説明

6.1 概要

NE5532、NE5532A、SA5532、SA5532A デバイスは、優れた DC および AC 特性を備えた高性能オペアンプです。これらのデバイスは、非常に低いノイズ、高い出力駆動能力、高いユニティ ゲイン帯域幅と最大出力スイング帯域幅、低い歪み、高スルーレート、入力保護ダイオード、および出力短絡の保護機能を特長としています。これらのオペアンプは、ユニティ ゲイン動作に内部で補償されています。これらのデバイスは、等価入力ノイズ電圧に対して規定された最大値を備えています。

6.2 機能ブロック図



6.3 機能説明

6.3.1 ユニティ ゲイン帯域幅

ユニティ ゲイン帯域幅とは、ユニティ ゲインを持つアンプが信号を大きく歪ませることなく動作できる最大の周波数を指します。NE5532、NE5532A、SA5532、SA5532A デバイスは、10MHz のユニティ ゲイン帯域幅を備えています。

6.3.2 同相信号除去比

アンプの同相信号除去比 (CMRR) は、両方の入力端子に共通する望ましくない入力信号を、デバイスがどの程度除去できるかを示す尺度です。同相信号除去比は、入力オフセット電圧の変化と入力電圧の変化の比を求めて dB に変換します。同相信号除去比は理論上は無限大にできますが、実際のアンプはできるだけ高い同相信号除去比を得られるように設計されています。NE5532、NE5532A、SA5532、SA5532A デバイスの同相信号除去比は 100dB です。

6.3.3 スルー レート

スルーレートは、入力に変化が生じたときにオペアンプがその出力をどれだけ速く変化させられるかを示す指標です。NE5532、NE5532A、SA5532、SA5532A デバイスのスルーレートは 9V/ms です。

6.4 デバイスの機能モード

NE5532、NE5532A、SA5532、SA5532A デバイスは、電源が接続されると電源オンになります。各デバイスは、アプリケーションに応じて、単一電源オペアンプまたはデュアル電源アンプとして動作できます。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 代表的なアプリケーション

一部のアプリケーションでは差動信号が必要です。図 7-1 は、単一の 15V 電源で、2V ~ 10V のシングルエンド入力を $\pm 8V$ の差動出力に変換するシンプルな回路を示します。出力範囲は、直線性を最大化するために意図的に制限されています。回路は 2 個のアンプで構成されています。1 つ目のアンプはバッファとして機能し、電圧 V_{OUT+} を生成します。2 つ目のアンプは入力を反転し、基準電圧を追加して V_{OUT-} を生成します。 V_{OUT+} と V_{OUT-} はどちらも 2V ~ 10V の範囲です。差電圧 V_{DIFF} は、 V_{OUT+} と V_{OUT-} の差です。

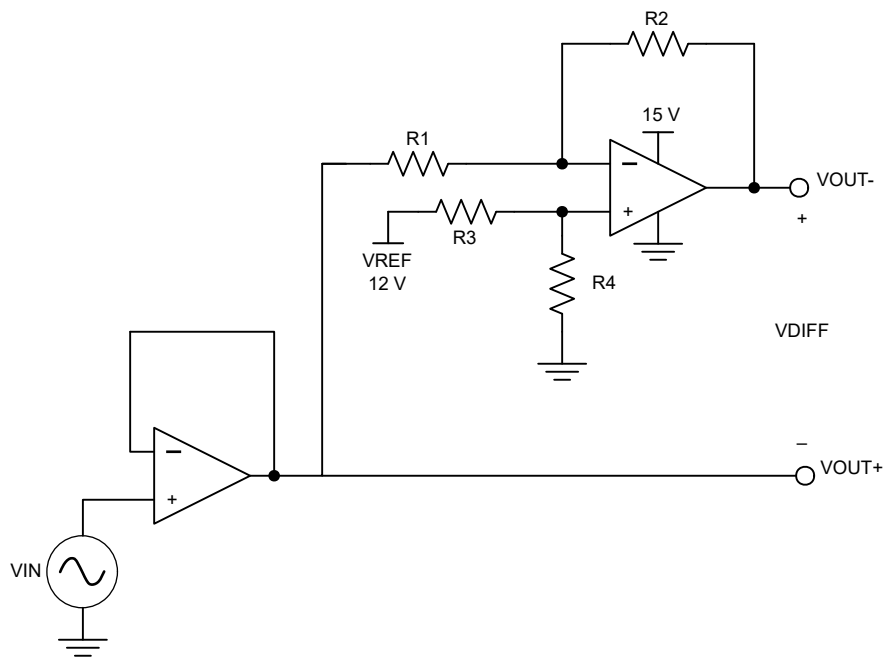


図 7-1. シングルエンド入力から差動出力への変換回路図

7.1.1 設計要件

設計要件は次のとおりです。

- 電源電圧: 15V
- 基準電圧: 12V
- 入力: 2V ~ 10V
- 出力差動: $\pm 8V$

7.1.2 詳細な設計手順

図 7-1 の回路は、シングルエンド入力信号 V_{IN} を受け取り、2 つのアンプと基準電圧 V_{REF} を使用して、2 つの出力信号 V_{OUT+} および V_{OUT-} を生成します。 V_{OUT+} は最初のアンプの出力であり、入力信号 V_{IN} のバッファ付きバージョンです。(式 1) V_{OUT-} は 2 番目のアンプの出力で、 V_{REF} を使用して V_{IN} にオフセット電圧を追加し、帰還を使用して反転ゲインを追加します。 V_{OUT-} の伝達関数は 式 2 です。

$$V_{OUT+} = V_{IN} \quad (1)$$

$$V_{OUT-} = V_{REF} \times \left(\frac{R_4}{R_3 + R_4} \right) \times \left(1 + \frac{R_2}{R_1} \right) - V_{IN} \times \frac{R_2}{R_1} \quad (2)$$

差動出力信号 V_{DIFF} は、2 つのシングルエンド出力信号 V_{OUT+} と V_{OUT-} の差です。式 3 に、 V_{DIFF} の伝達関数を示します。 $R_1 = R_2$ および $R_3 = R_4$ という条件を適用することで、伝達関数は 式 6 に単純化されます。この構成を使用すると、最大入力信号は基準電圧と等しくなり、各アンプの最大出力は V_{REF} と等しくなります。差動出力範囲は $2 \times V_{REF}$ です。さらに、同相電圧は V_{REF} の半分になります (式 7 を参照)。

$$V_{DIFF} = V_{OUT+} - V_{OUT-} = V_{IN} \times \left(1 + \frac{R_2}{R_1} \right) - V_{REF} \times \left(\frac{R_4}{R_3 + R_4} \right) \left(1 + \frac{R_2}{R_1} \right) \quad (3)$$

$$V_{OUT+} = V_{IN} \quad (4)$$

$$V_{OUT-} = V_{REF} - V_{IN} \quad (5)$$

$$V_{DIFF} = 2 \times V_{IN} - V_{REF} \quad (6)$$

$$V_{cm} = \left(\frac{V_{OUT+} + V_{OUT-}}{2} \right) = \frac{1}{2} V_{REF} \quad (7)$$

7.1.2.1 アンプの選択

良好な DC 精度を達成するには、入力範囲全体にわたる直線性が重要です。同相入力範囲と出力スイング制限によって、直線性が決まります。一般に、レール ツー レールの入出力スイングを持つアンプが必要です。この設計にとって、帯域幅は重要な懸念事項です。NE5532 の帯域幅は 10MHz であるため、この回路が扱える信号周波数は 10MHz 未満に限られます。

7.1.2.2 パッシブ部品の選択

V_{OUT-} の伝達関数は 抵抗 (R_1 , R_2 , R_3 , R_4) に大きく依存するため、性能を最大化し、誤差を最小化するため、公差の小さい抵抗を使用します。この設計では 36kΩ の抵抗器を使用しており、測定の結果、許容誤差は 2% 以内でした。ただし、システム ノイズが重要なパラメータである場合は、より小さい抵抗値 (6kΩ 以下) を選択して、システム全体のノイズを低く抑えることができます。これにより、抵抗からのノイズがアンプ ノイズよりも小さくなるようにします。

7.1.3 アプリケーション曲線

図 7-2、図 7-3、図 7-4 に示す測定された伝達関数は、入力電圧を 0V ~ 12V に掃引して生成されています。ただし、この設計では、最適な直線性を得るために 2V ~ 10V の範囲のみを使用しています。

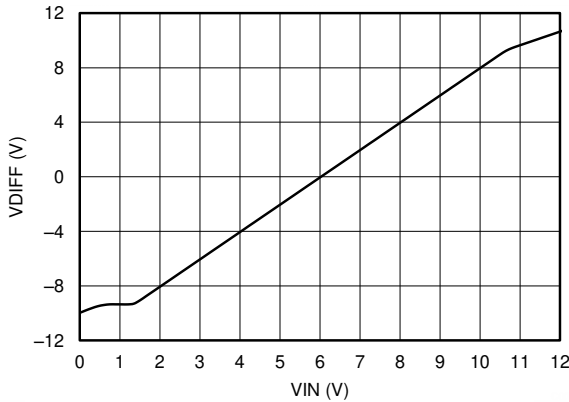


図 7-2. 差動出力電圧と入力電圧との関係

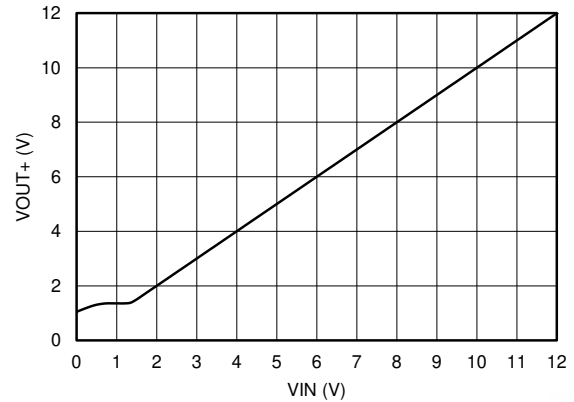


図 7-3. 正の出力電圧ノードと入力電圧との関係

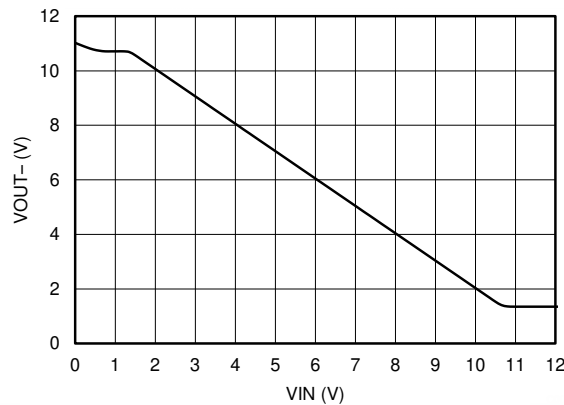


図 7-4. 正の出力電圧ノードと入力電圧との関係

7.2 電源に関する推奨事項

NE5532x および SA5532x デバイスは、 $\pm 5 \sim \pm 15\text{V}$ の範囲で動作が規定されており、多くの仕様は $0^\circ\text{C} \sim 70^\circ\text{C}$ (NE5532x) および $-40^\circ\text{C} \sim +85^\circ\text{C}$ (SA5532x) で適用されます。動作電圧または温度に対して大きく変動するパラメータを [セクション 5.7](#) に示します。

注意

$\pm 22\text{V}$ の範囲を超える電源電圧は、デバイスに永続的な損傷を与える可能性があります ([セクション 5.1](#) を参照)。

電源ピンの近くに $0.1\mu\text{F}$ のバイパス コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源からの誤差を低減できます。バイパス コンデンサの配置の詳細については、[セクション 7.3.1](#) を参照してください。

7.3 レイアウト

7.3.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するには、以下のような適切な PCB レイアウト手法を使用してください。

- ノイズが回路全体とオペアンプの電源ピンを経由して、アナログ回路に伝播することがあります。アナログ回路にローカルな、低インピーダンスの電源を供給して結合ノイズを低減するため、バイパス コンデンサが使用されます。
 - 各電源ピンとグラウンドの間には、低 ESR の $0.1\mu\text{F}$ セラミックバイパスコンデンサを、可能な限りデバイスの近くに接続します。単一電源アプリケーションの場合は、V+ からグラウンドに対して単一のバイパス コンデンサを接続します。

- 回路のアナログ部とデジタル部を別々に接地することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグラウンドプレーン専用です。グラウンドプレーンは熱の分散に役立つとともに、EMI ノイズを拾う可能性を低減します。グラウンド電流の流れに注意しながら、デジタルグラウンドとアナロググラウンドを物理的に分離してください。詳細については、『回路基板のレイアウト技法』SLOA089 を参照してください。
- 寄生カップリングを低減するため、入力トレースは電源トレースや出力トレースから可能な限り離して配線します。これらの配線を分離できない場合は、感度の高いトレースをノイズの多いトレースと平行ではなく、直交させることが望ましいです。
- 外付け部品は、可能な限りデバイスに近く配置します。セクション 7.3.2 に示すように、RF と RG を反転入力に近づけて配置すると、寄生容量が最小化されます。
- 入力トレースは、できる限り短くします。入力トレースは、回路の中でも最も影響を受けやすい部分であることに常に注意してください。
- 重要なトレースの周囲に、駆動される低インピーダンスのガードリングを配置することを検討してください。ガードリングを使用すると、付近に存在する、さまざまな電位のトレースからのリーク電流を大幅に低減できます。

7.3.2 レイアウト例

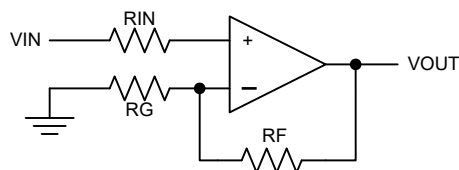


図 7-5. 非反転構成のオペアンプの回路図

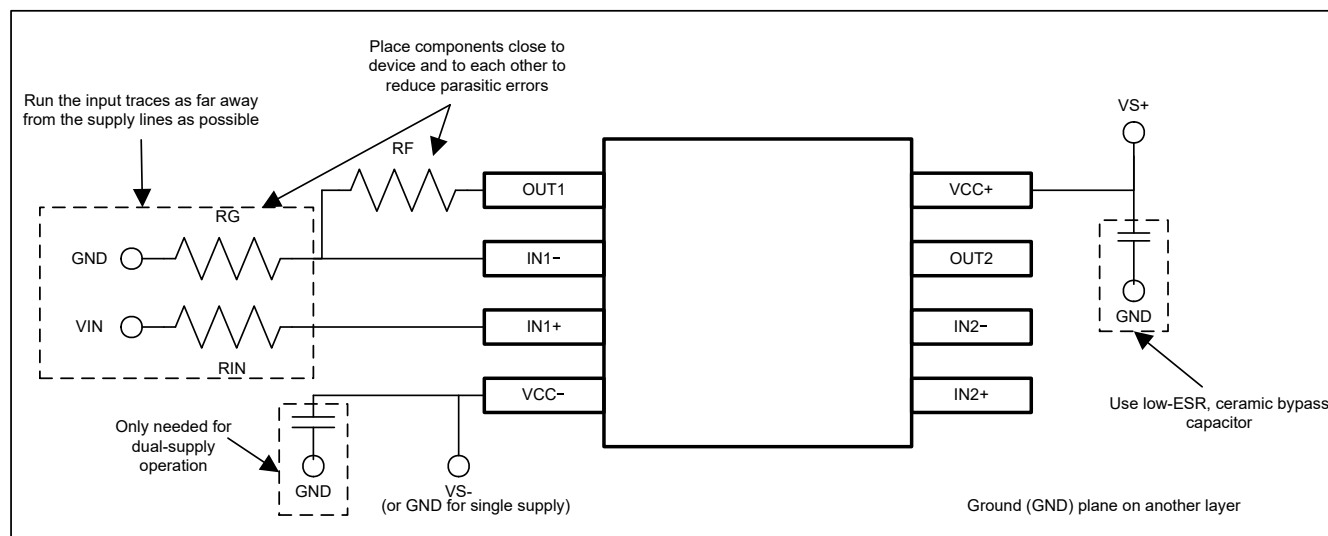


図 7-6. 非反転構成のオペアンプ基板のレイアウト

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

Changes from Revision J (January 2015) to Revision K (December 2025)	Page
• ユニティ ゲイン帯域幅を 10MHz から 12MHz (標準値) に変更.....	1
• 高スルーレートを 9V/μs から 5V/μs (標準値) に変更.....	1
• ピーク ツー ピーク電圧スイングを削除.....	1
• 電源電圧の正および負を 22V から 18V に変更.....	3
• 入力電圧の正および負を -10V / +10V から -15V / +15V に変更.....	3
• 保存温度範囲を -35°C ~ +150°C から -60°C ~ +125°C に変更.....	3
• HBM 値を 2000V から 1000V に変更.....	3
• ユニティ ゲイン帯域幅を 10MHz から 12MHz に変更.....	4
• 最大ピーク ツー ピーク出力電圧スイング、小信号差動電圧増幅、最大出力スイング帯域幅、出力インピーダンス、クロストーク減衰を削除.....	4
• 電源電流値を 8mA から 6mA に変更.....	4
• オーバーシュート係数を削除.....	4
• スルーレートの値を 9V/μs から 5V/μs に変更.....	4

Changes from Revision I (April 2009) to Revision J (January 2015)**Page**

- 「アプリケーション」、「製品情報」、「ピンの機能」、「ESD レーティング」、「熱に関する情報」各表、および「代表的特性」、「機能説明」、「デバイスの機能モード」、「アプリケーションと実装」、「電源に関する推奨事項」、「レイアウト」、「デバイスおよびドキュメントのサポート」、「メカニカル、パッケージ、注文情報」各セクションを追加。..... 1
- 「注文手続き情報」表を削除。..... 1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
NE5532ADR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N5532A
NE5532ADR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N5532A
NE5532ADR1G4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N5532A
NE5532ADR1G4.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N5532A
NE5532AP	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	NE5532AP
NE5532AP.A	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	NE5532AP
NE5532APSR	Active	Production	SO (PS) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N5532A
NE5532APSR.A	Active	Production	SO (PS) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N5532A
NE5532APSRE4	Active	Production	SO (PS) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N5532A
NE5532D	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	0 to 70	N5532
NE5532DR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N5532
NE5532DR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N5532
NE5532DRE4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N5532
NE5532DRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N5532
NE5532DRG4.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N5532
NE5532P	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	NE5532P
NE5532P.A	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	NE5532P
NE5532PE4	Active	Production	PDIP (P) 8	50 TUBE	-	Call TI	Call TI	0 to 70	
NE5532PSR	Active	Production	SO (PS) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N5532
NE5532PSR.A	Active	Production	SO (PS) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N5532
SA5532AD	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 85	SA5532A
SA5532ADR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SA5532A
SA5532ADR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SA5532A
SA5532ADRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SA5532A
SA5532ADRG4.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SA5532A
SA5532AP	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SA5532AP
SA5532AP.A	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SA5532AP
SA5532APE4	Active	Production	PDIP (P) 8	50 TUBE	-	Call TI	Call TI	-40 to 85	
SA5532D	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 85	SA5532

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SA5532DR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SA5532
SA5532DR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SA5532
SA5532P	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SA5532P
SA5532P.A	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SA5532P

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

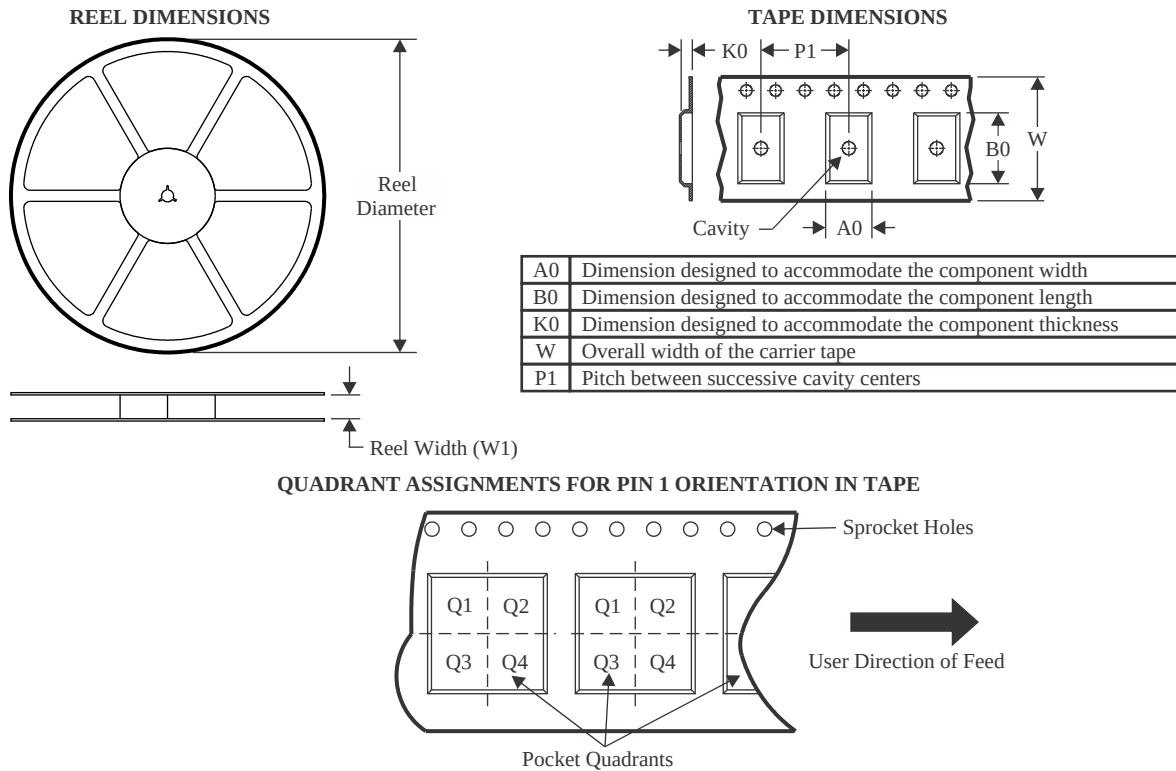
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

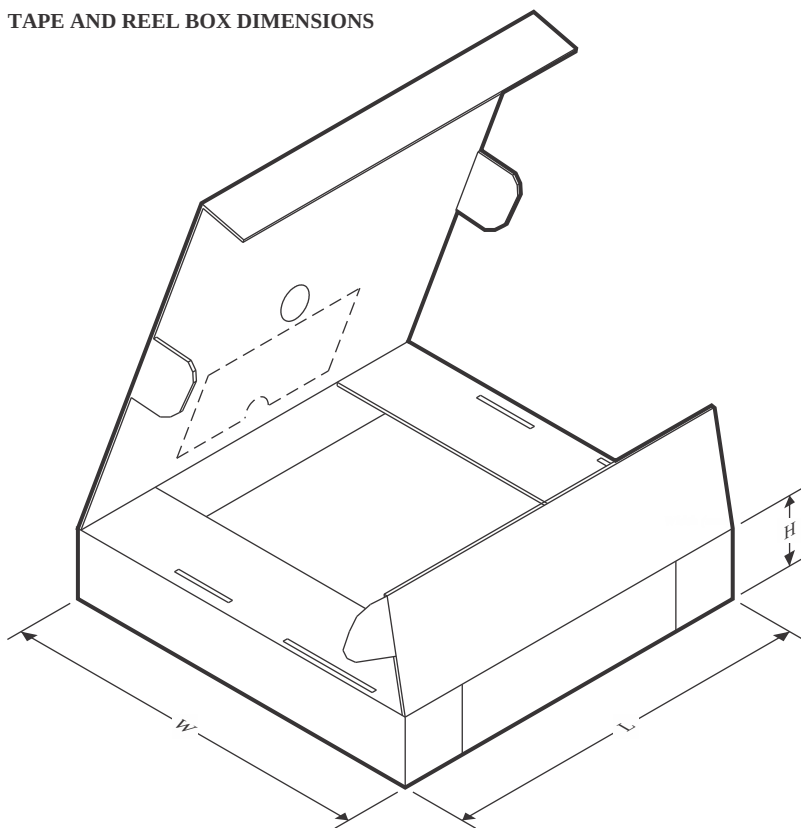
TAPE AND REEL INFORMATION



*All dimensions are nominal

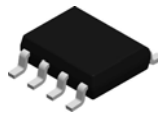
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
NE5532ADR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
NE5532ADR1G4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
NE5532APSR	SO	PS	8	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
NE5532DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
NE5532DRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
NE5532PSR	SO	PS	8	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SA5532ADR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SA5532ADRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SA5532DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
NE5532ADR	SOIC	D	8	2500	353.0	353.0	32.0
NE5532ADR1G4	SOIC	D	8	2500	353.0	353.0	32.0
NE5532APSR	SO	PS	8	2000	353.0	353.0	32.0
NE5532DR	SOIC	D	8	2500	353.0	353.0	32.0
NE5532DRG4	SOIC	D	8	2500	340.5	338.1	20.6
NE5532PSR	SO	PS	8	2000	353.0	353.0	32.0
SA5532ADR	SOIC	D	8	2500	353.0	353.0	32.0
SA5532ADRG4	SOIC	D	8	2500	353.0	353.0	32.0
SA5532DR	SOIC	D	8	2500	353.0	353.0	32.0

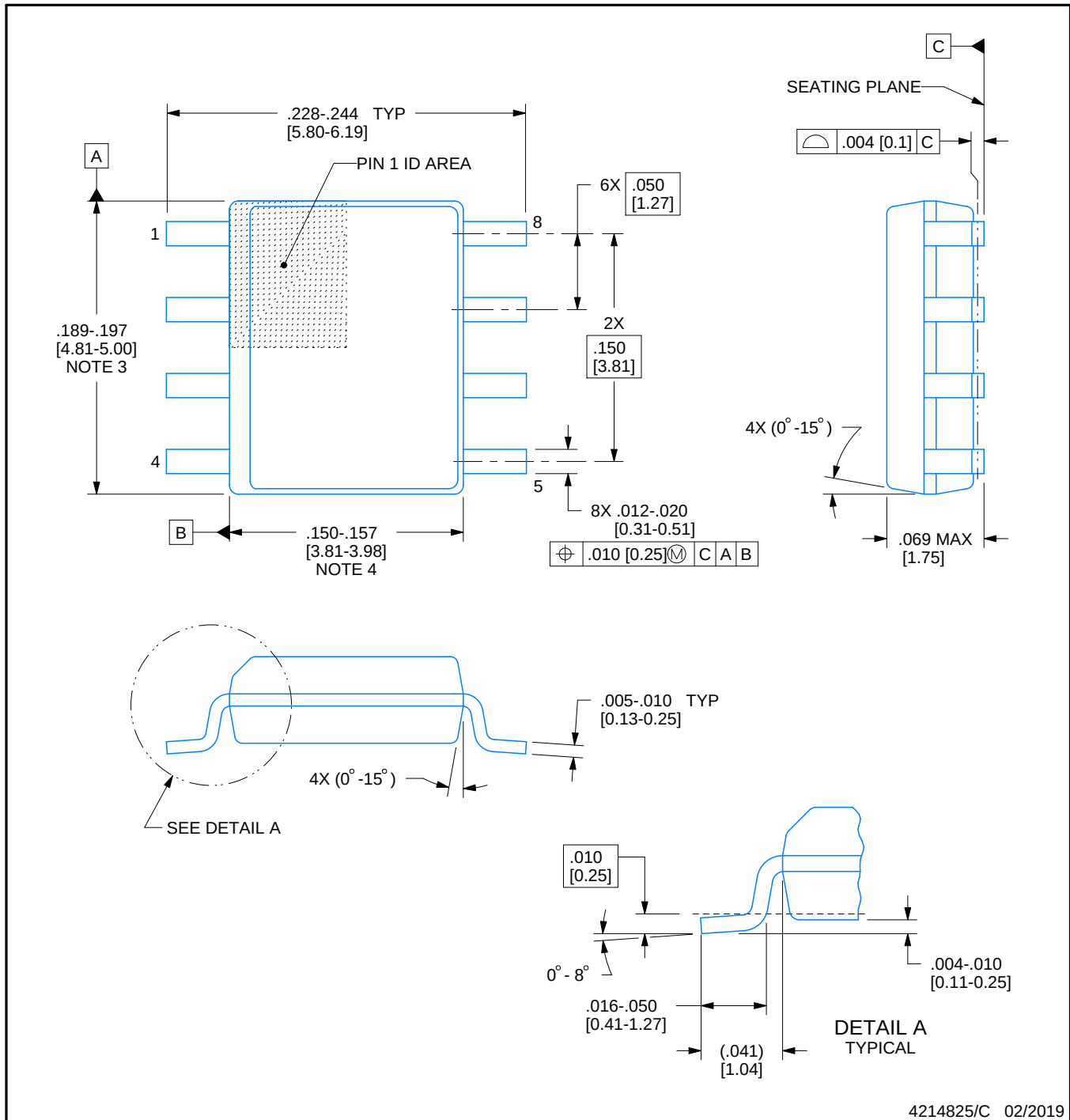


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

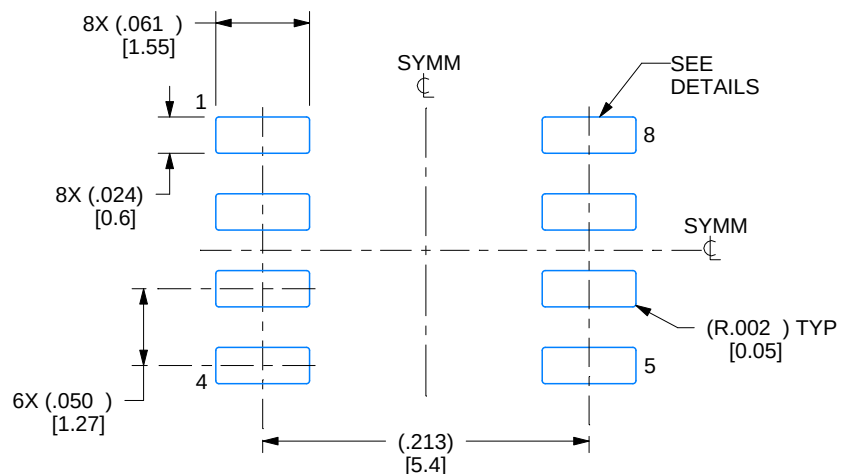
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

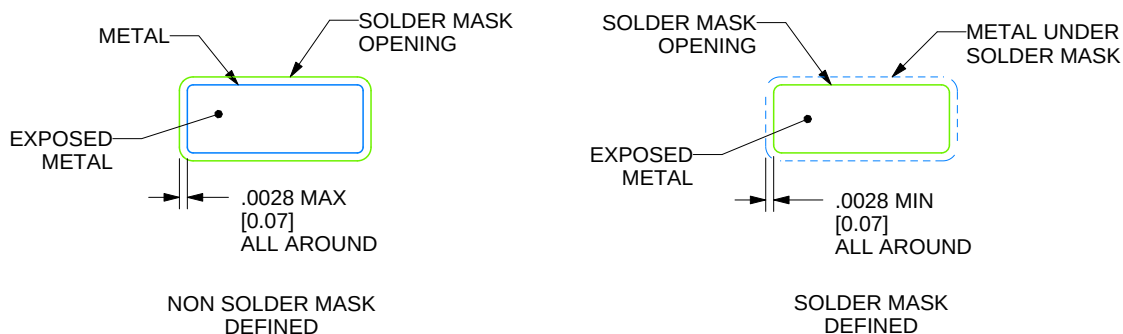
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

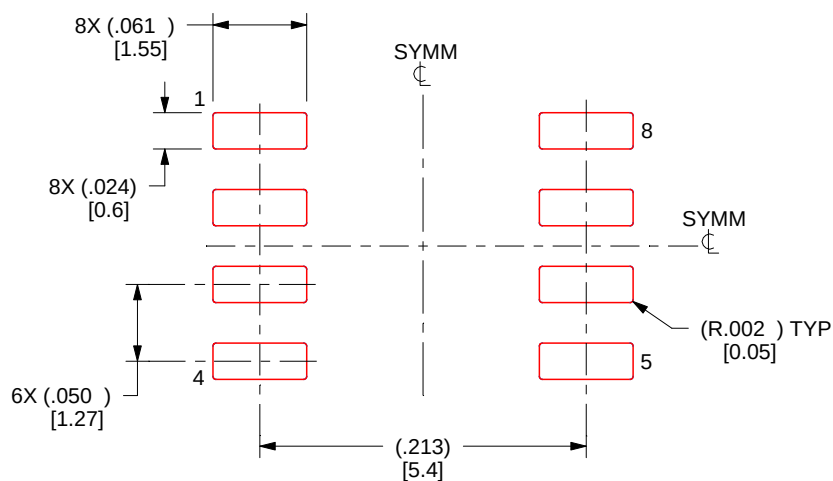
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

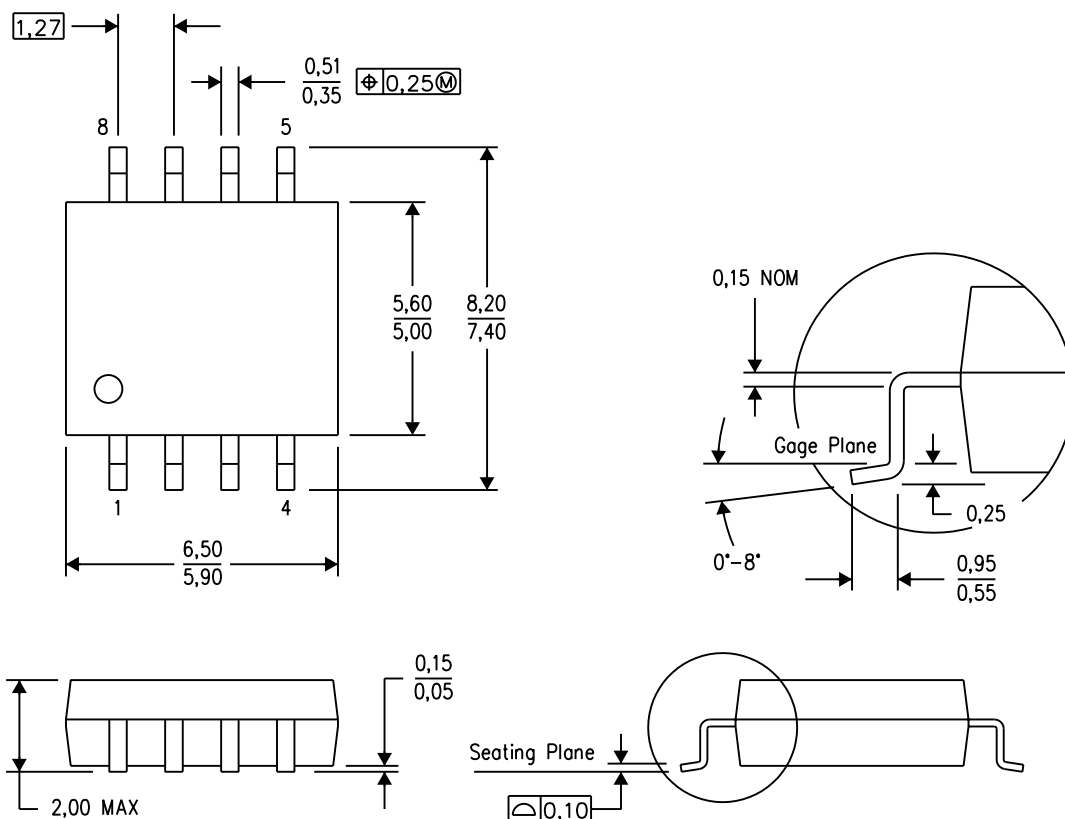
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

PS (R-PDSO-G8)

PLASTIC SMALL-OUTLINE PACKAGE

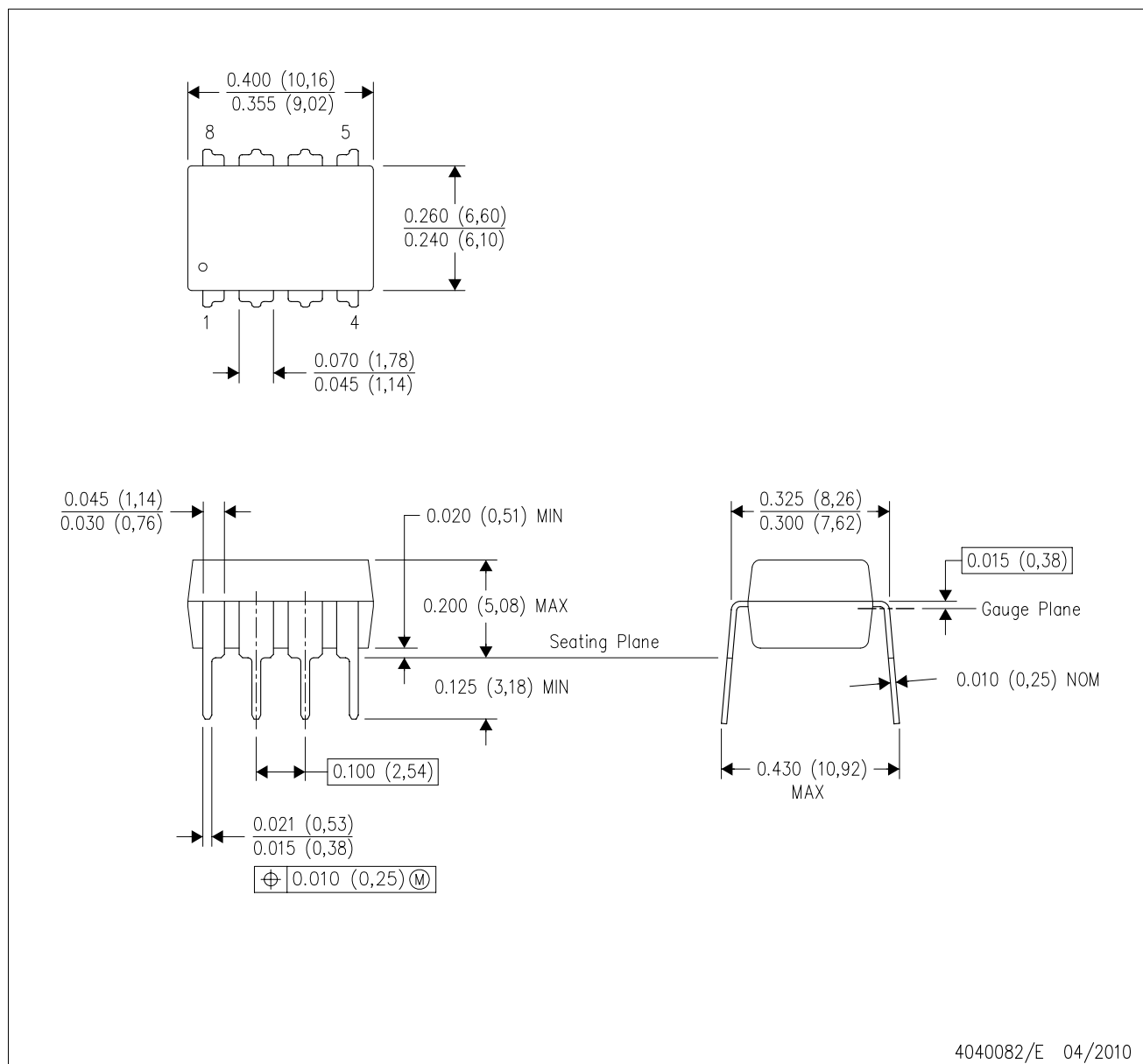


4040063/C 03/03

- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

P (R-PDIP-T8)

PLASTIC DUAL-IN-LINE PACKAGE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Falls within JEDEC MS-001 variation BA.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月