SNx4AHC126 3 ステート出力、クワッド・バス・バッファ・ゲート

1 特長

- 2V～5.5V の V_{CC} で動作
- 短い遅延、3.8ns (標準値、5V 電源使用時)
- JESD 17 準拠で
  250mA 超のラッチアップ性能

2 アプリケーション

- ドライブ・インジケータ LED
- 伝送ラインのロジックによる駆動
- デジタル信号のイネーブルまたはディセーブル

3 概要

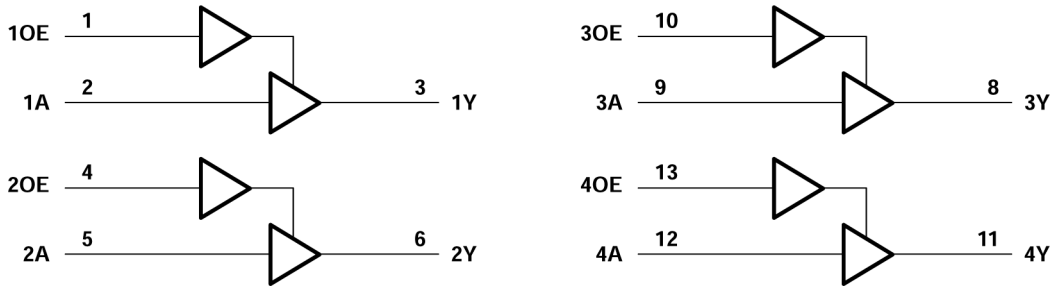
SNx4AHC126 デバイスはクワッド バス バッファ ゲートで、3 ステート出力の独立したライン ドライバを備えています。

電源オンまたは電源オフ時に高インピーダンス状態になるように、プルダウン抵抗を介して OE を GND に接続できます。この抵抗の最小値は、電流ソース駆動能力によって決まります。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)	本体サイズ(3)
SNx4AHC126	BQA (WQFN、14)	3mm × 2.5mm	3mm × 2.5mm
	PW (TSSOP、14)	5mm × 6.4mm	5mm × 4.4mm

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



論理図 (正論理)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 1
2 アプリケーション 1
3 概要 1
4 ピン構成と機能 3
5 仕様 4
5.1 絶対最大定格 4
5.2 ESD 定格 4
5.3 推奨動作条件 5
5.4 熱に関する情報 5
5.5 電気的特性 6
5.6 スイッチング特性、V_{CC} = 3.3V ± 0.3V 6
5.7 スイッチング特性、V_{CC} = 5V ± 0.5V 7
5.8 ノイズ特性 7
5.9 動作特性 7
5.10 代表的特性 8
6 パラメータ測定情報 10
7 詳細説明 11
7.1 概要 11
7.2 機能ブロック図 11
7.3 機能説明 11
7.4 デバイスの機能モード 12
8 デバイスおよびドキュメントのサポート 13
8.1 ドキュメントのサポート 13
8.2 ドキュメントの更新通知を受け取る方法 13
8.3 サポート・リソース 13
8.4 商標 13
8.5 静電気放電に関する注意事項 13
8.6 用語集 13
9 改訂履歴 13
10 メカニカル、パッケージ、および注文情報 14

Copyright © 2024 Texas Instruments Incorporated

4 ピン構成と機能

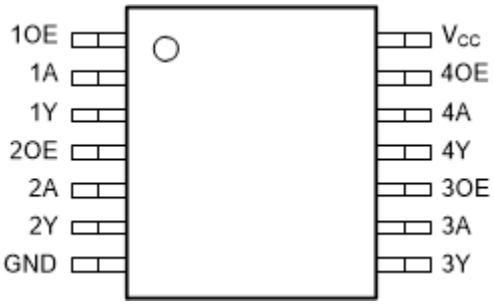


図 4-1. PW パッケージ、14 ピン (上面図)

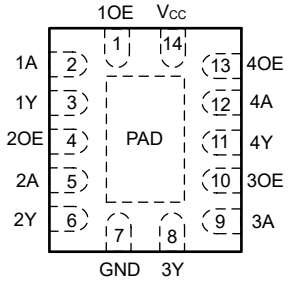


図 4-2. BQA パッケージ、WQFN 14 ピン (透過上面図)

表 4-1. ピンの機能

ピン		種類[1]	説明
名称	番号		
1OE	1	I	チャネル 1 、出力イネーブル
1A	2	I	チャネル 1 、A 入力
1Y	3	O	チャネル 1、Y 出力
2OE	4	I	チャネル 2 、出力イネーブル
2A	5	I	チャネル 2 、A 入力
2Y	6	O	チャネル 2、Y 出力
GND	7	G	グランド
3Y	8	O	チャネル 3、Y 出力
3A	9	I	チャネル 3 、A 入力
3OE	10	I	チャネル 3 、OE 入力
4Y	11	O	チャネル 4、Y 出力
4A	12	I	チャネル 4 、A 入力
4OE	13	I	チャネル 4 、OE 入力
V_{CC}	14	P	正電源
サーマル・パッド[2]		—	サーマル・パッド: GND に接続するか、フローティングのままにします

(1) I = 入力、O = 出力、P = 電源、G = グランド
(2) BQA パッケージに限定

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧範囲		–0.5	7	V
V_I (2)	入力電圧範囲		–0.5	7	V
V_O (2)	出力電圧範囲		–0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流	(V_I < 0)		–20	mA
I_{OK}	出力クランプ電流	(V_O < 0 または V_O > V_{CC}		±20	mA
I_O	連続出力電流	(V_O = 0～V_{CC})		±25	mA
	V_{CC} または GND を通過する連続電流			±50	mA
T_{stg}	保管温度範囲		–65	150	℃

(1) 「絶対最大定格」の範囲を超える動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	±1000	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。
(2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 制御プロセスにより安全な製造が可能であると記載されています。

Copyright © 2024 Texas Instruments Incorporated

5.3 推奨動作条件

			最小値	最大値	単位
V_{CC}	電源電圧		2	5.5	V
V_{IH}	High レベル入力電圧	V_{CC} = 2V	1.5		V
		V_{CC} = 3V	2.1		
		V_{CC} = 5.5V	3.85		
V_{IL}	Low レベル入力電圧	V_{CC} = 2V		0.5	V
		V_{CC} = 3V		0.9	
		V_{CC} = 5.5V		1.65	
V_I (1)	入力電圧		0	5.5	V
V_O	出力電圧		0	V_{CC}	V
I_{OH} (2)	High レベル出力電流	V_{CC} = 2V		-50	μA
		V_{CC} = 3.3V ± 0.3V		-4	mA
		V_{CC} = 5V ± 0.5V		–8	
I_{OL} (2)	Low レベル出力電流	V_{CC} = 2V		50	μA
		V_{CC} = 3.3V ± 0.3V		4	mA
		V_{CC} = 5V ± 0.5V		8	
Δt/Δv	入力遷移の立ち上がりレートまたは立ち下がりレート	V_{CC} = 3.3V ± 0.3V		100	ns/V
		V_{CC} = 5V ± 0.5V		20	
T_A	自由気流での動作温度	SN74AHC126	-40	85	℃
		SN54AHC126	–55	125	℃

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーション・レポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。

(2) 関連する出力電圧仕様に従って適切な出力状態を維持するための推奨電流値 (I_{OL} は V_{OL}、I_{OH} は V_{OH} に対応)。詳細については、「電気的特性」表を参照してください。

5.4 熱に関する情報

熱評価基準(1)		SN74AHC126						単位
		D	DB	DGV	N	NS	PW	
		14 ピン						
$R_{\theta JA}$	接合部から周囲への熱抵抗	124.6					147.7	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	79.7					77.4	
$R_{\theta JB}$	接合部から基板への熱抵抗	81.2					90.9	
Ψ_{JT}	接合部から上面への特性パラメータ	39.3					27.2	
Ψ_{JB}	接合部から基板への特性パラメータ	80.8					90.2	
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	該当なし	該当なし	該当なし	

(1) 従来および新しい熱評価基準の詳細については、『IC パッケージの熱評価基準』アプリケーション レポート、SPRA953 を参照してください。

Copyright © 2024 Texas Instruments Incorporated

5.5 電気的特性

自由気流での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	T_A = 25℃			–40～+85℃		–55～+125℃		単位
			最小値	標準値	最大値	最小値	最大値	最小値	最大値	
V_{OH}	I_{OH} = -50μA	2V	1.9	2		1.9		1.9		V
		3V	2.9	3		2.9		2.9		
		4.5V	4.4	4.5		4.4		4.4		
	I_{OH} = –4mA	3V	2.58			2.48		2.48		
	I_{OH} = –8mA	4.5V	3.94			3.8		3.8		
V_{OL}	I_{OL} = 50μA	2V			0.1		0.1		0.1	V
		3V			0.1		0.1		0.1	
		4.5V			0.1		0.1		0.1	
	I_{OL} = 4mA	3V			0.36		0.44		0.5	
	I_{OL} = 8mA	4.5V			0.36		0.44		0.5	
I_I	V_I = 5.5V または GND	0V～5.5V			±0.1		±1		±1(1)	μA
I_{OZ}	V_I = V_{CC} または GND	5.5V			±0.25				±2.5	μA
I_{CC}	V_I = V_{CC} または GND、 I_O = 0	5.5V			4				40	μA
C_i	V_I = V_{CC} または GND	5V		4	10		10			pF

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、V_{CC} = 0V で出荷時のテストは行っていません。

5.6 スイッチング特性、V_{CC} = 3.3V ± 0.3V

自由気流での推奨動作温度範囲内、V_{CC} = 3.3V ± 0.3V (特に記述のない限り) (セクション 6 を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃			-40～+85℃		-55～+125℃		単位
				最小値	標準値	最大値	最小値	最大値	最小値	最大値	
t_{PLH}	A	Y	C_L = 15pF		5.6(1)	8(1)	1	9.5	1(1)	9.5(1)	ns
t_{PHL}					5.6(1)	8(1)	1	9.5	1(1)	9.5(1)	
t_{PZH}	OE	Y	C_L = 15pF		5.4(1)	8(1)	1	9.5	1(1)	9.5(1)	ns
t_{PZL}					5.4(1)	8(1)	1	9.5	1(1)	9.5(1)	
t_{PHZ}	OE	Y	C_L = 15pF		7(1)	9.7(1)	1	11.5	1(1)	11.5(1)	ns
t_{PLZ}					7(1)	9.7(1)	1	11.5	1(1)	11.5(1)	
t_{PLH}	A	Y	C_L = 50pF		8.1	11.5	1	13	1	13	ns
t_{PHL}					8.1	11.5	1	13	1	13	
t_{PZH}	OE	Y	C_L = 50pF		7.9	11.5	1	13	1	13	ns
t_{PZL}					7.9	11.5	1	13	1	13	
t_{PHZ}	OE	Y	C_L = 50pF		9.5	13.2	1	15	1	15	ns
t_{PLZ}					9.5	13.2	1	15	1	15	
$t_{sk(o)}$			C_L = 50pF			1.5(2)		1.5			ns

(1) (2)

Copyright © 2024 Texas Instruments Incorporated

5.7 スイッチング特性、V_{CC} = 5V ± 0.5V

自由気流での推奨動作温度範囲内、V_{CC} = 5V ± 0.5V (特に記述のない限り) (セクション 6 を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃		-40～+85℃		-55～+125℃		単位
				最小値	標準値 最大値	最小値	最大値	最小値	最大値	
t_{PLH}	A	Y	C_L = 15pF		3.8(1) 5.5(1)	1	6.5	1(1)	6.5(1)	ns
t_{PHL}					3.8(1) 5.5(1)	1	6.5	1(1)	6.5(1)	
t_{PZH}	OE	Y	C_L = 15pF		3.6(1) 5.1(1)	1	6	1(1)	6(1)	ns
t_{PZL}					3.6(1) 5.1(1)	1	6	1(1)	6(1)	
t_{PHZ}	OE	Y	C_L = 15pF		4.6(1) 6.8(1)	1	8	1(1)	8(1)	ns
t_{PLZ}					4.6(1) 6.8(1)	1	8	1(1)	8(1)	
t_{PLH}	A	Y	C_L = 50pF		5.3 7.5	1	8.5	1	8.5	ns
t_{PHL}					5.3 7.5	1	8.5	1	8.5	
t_{PZH}	OE	Y	C_L = 50pF		5.1 7.1	1	8	1	8	ns
t_{PZL}					5.1 7.1	1	8	1	8	
t_{PHZ}	OE	Y	C_L = 50pF		6.1 8.8	1	10	1	10	ns
t_{PLZ}					6.1 8.8	1	10	1	10	
$t_{sk(o)}$			C_L = 50pF		1(2)		1			ns

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、出荷時のテストは行っていません。
(2) MIL-PRF-38535 に準拠した製品では、このパラメータは適用されません。

5.8 ノイズ特性

V_{CC} = 5V、C_L = 50pF、T_A = 25℃(1)

パラメータ		最小値	代表値	最大値	単位
$V_{OL(P)}$	低ノイズ出力、最大動的 V_{OL}		0.2	0.8	V
$V_{OL(V)}$	低ノイズ出力、最小動的 V_{OL}	-0.9	–0.2		V
$V_{OH(V)}$	低ノイズ出力、最小動的 V_{OH}	4.4	4.7		V
$V_{IH(D)}$	High レベル動的入力電圧	3.5			V
$V_{IL(D)}$	Low レベル動的入力電圧			1.5	V

(1) 特性は表面実装パッケージに限定です。

5.9 動作特性

V_{CC} = 5V、T_A = 25℃

パラメータ		テスト条件		代表値	単位
C_{pd}	消費電力キャパシタンス	無負荷、	f = 1MHz	14	pF

Copyright © 2024 Texas Instruments Incorporated

5.10 代表的特性

T_A = 25℃ (特に記述のない限り)

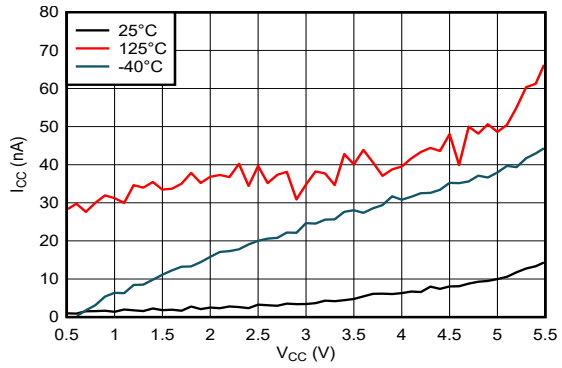


図 5-1. 電源電流と電源電圧との関係

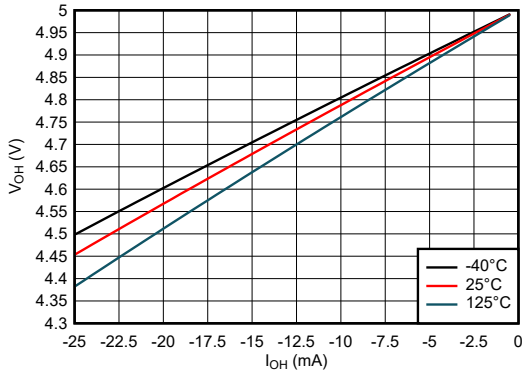


図 5-2. 出力電圧と High 状態の電流との関係 (5V 電源)

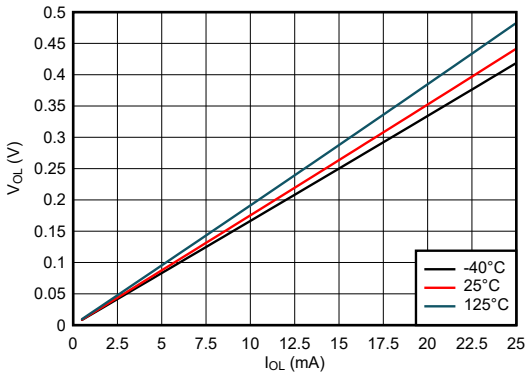


図 5-3. 出力電圧と Low 状態の電流との関係 (5V 電源)

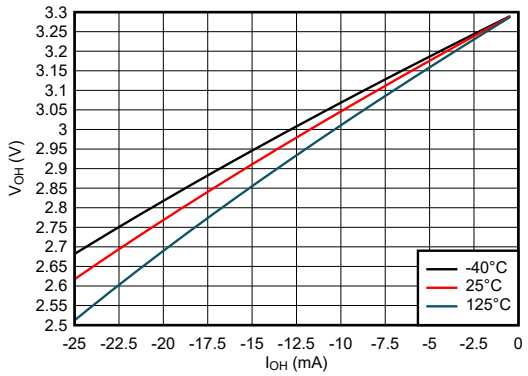


図 5-4. 出力電圧と High 状態の電流との関係 (3.3V 電源)

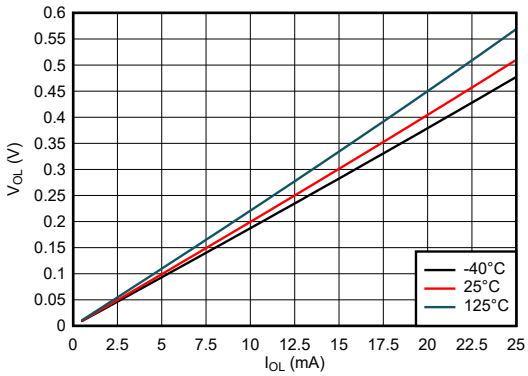


図 5-5. 出力電圧と Low 状態の電流との関係 (3.3V 電源)

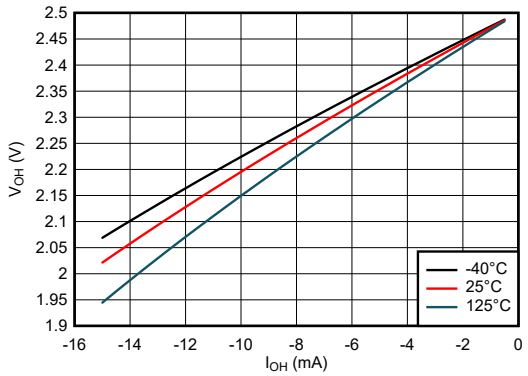


図 5-6. 出力電圧と High 状態の電流との関係 (2.5V 電源)

Copyright © 2024 Texas Instruments Incorporated

5.10 代表的特性 (続き)

T_A = 25℃ (特に記述のない限り)

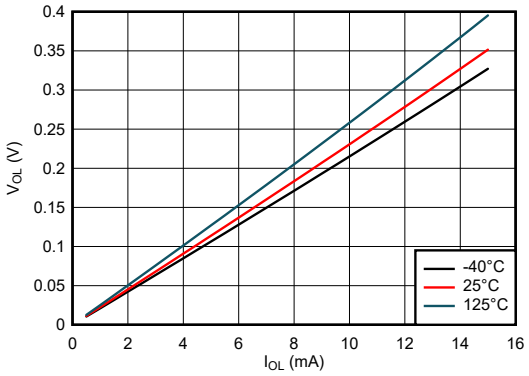


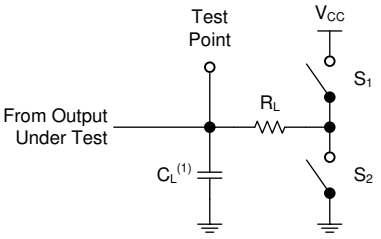
図 5-7. 出力電圧と Low 状態の電流との関係 (2.5V 電源)

6 パラメータ測定情報

以下の表に示す例では、波形間の位相関係を任意に選択しています。すべての入力パルスは、以下の特性を持つジェネレータから供給されます：PRR ≤ 1MHz、Z_O = 50Ω、t_t < 2.5ns。

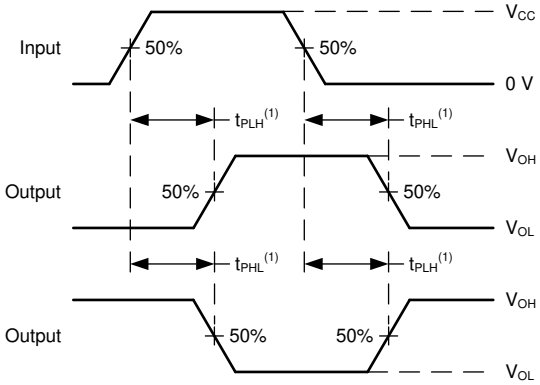
出力は個別に測定され、測定するたびに入力が 1 回遷移します。

テスト	S1	S2	R_L	C_L	ΔV	V_{CC}
t_{PLH}、t_{PHL}	オープン	オープン	—	15pF、50pF	—	すべて
t_{PLZ}、t_{PZL}	クローズ	オープン	1kΩ	15pF 、50pF	0.15V	≤ 2.5V
t_{PHZ}、t_{PZH}	オープン	クローズ	1kΩ	15pF、50pF	0.15V	≤ 2.5V
t_{PLZ}、t_{PZL}	クローズ	オープン	1kΩ	15pF、50pF	0.3V	> 2.5V
t_{PHZ}、t_{PZH}	オープン	クローズ	1kΩ	15pF、50pF	0.3V	> 2.5V



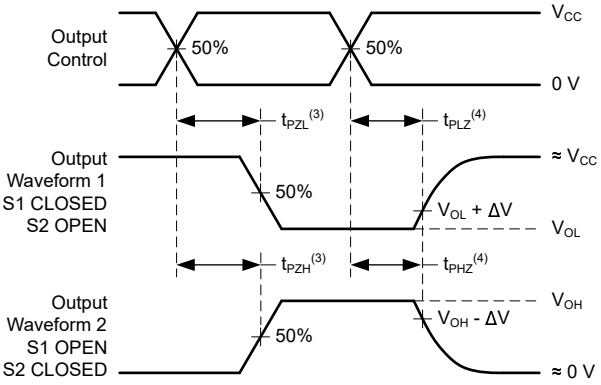
(1) C_L にはプローブとテスト装置の容量が含まれます。

図 6-1. 3 ステート出力の負荷回路



(1) t_{PLH} と t_{PHL} の大きい方が t_{pd} に相当します。

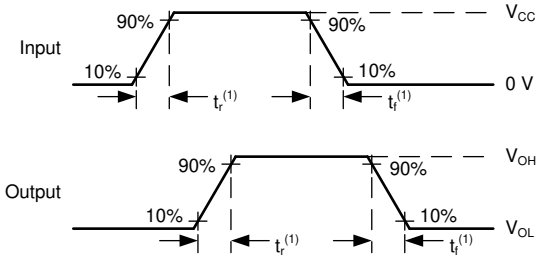
図 6-2. 電圧波形の伝搬遅延



(3) t_{PZL} と t_{PZH} の大きい方が t_{en} に相当します。

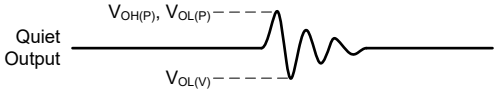
(4) t_{PLZ} と t_{PHZ} の大きい方が t_{dis} に相当します。

図 6-3. 電圧波形の伝搬遅延



(1) t_r と t_f の大きい方が t_t に相当します。

図 6-4. 電圧波形、入力および出力の遷移時間



他のすべての出力を同時にスイッチングして測定されたノイズ値。

図 6-5. 電圧波形、ノイズ

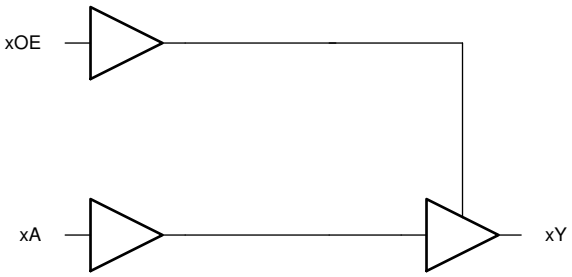
Copyright © 2024 Texas Instruments Incorporated

7 詳細説明

7.1 概要

このデバイスは、3 ステート出力を備えた 4 個の独立なバッファを搭載しています。各ゲートはブール関数 Y = A を正論理で実行します。

7.2 機能ブロック図



4 つのチャネルのいずれかひとつ

7.3 機能説明

7.3.1 平衡化された CMOS 3 ステート出力

このデバイスには、平衡化された CMOS 3 ステート出力が内蔵されています。High に駆動、Low に駆動、高インピーダンスが、これらの出力が取り得る 3 つの状態です。平衡化という用語は、このデバイスが類似の電流に対するシンクとソースを行えることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

高インピーダンス状態に移行したとき、出力は電流のソースとシンクのどちらも行いません。ただし、「電気的特性」表に定義されている小さなリーク電流は例外です。高インピーダンス状態では、出力電圧はデバイスによって制御されず、外部要因に依存します。ノードに他のドライバが接続されていない場合、これはフローティング・ノードと呼ばれ、電圧は不明です。出力にプルアップ抵抗またはプルダウン抵抗を接続することで、高インピーダンス状態の出力に既知の電圧を供給できます。抵抗の値は、寄生容量や消費電力の制限など複数の要因に依存します。通常、これらの要件を満たすために 10kΩ の抵抗を使用できます。

未使用の 3 ステート CMOS 出力は、未接続のままにする必要があります。

7.3.2 標準 CMOS 入力

このデバイスには、標準 CMOS 入力が搭載されています。標準 CMOS 入力は高インピーダンスであり、通常は「電気的特性」に示されている入力容量と並列の抵抗としてモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算されます。

標準 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、『低速またはフローティング CMOS 入力の影響』を参照してください。

動作中は、標準 CMOS 入力をフローティングのままにしないでください。未使用の入力は、V_{CC} または GND で終端する必要があります。システムが入力を常にアクティブに駆動している訳ではない場合、システムが入力をアクティブに駆動していないときに有効な入力電圧を与えるため、プルアップまたはプルダウン抵抗を追加できます。抵抗値は複数の要因に依存しますが、10kΩ の抵抗を推奨します。通常はこれですべての要件を満たします。

Copyright © 2024 Texas Instruments Incorporated

7.3.3 クランプ・ダイオード構造

図 7-1 に示すように、このデバイスへの出力には正と負の両方のクランプ・ダイオードがあり、このデバイスへの入力には負のクランプ・ダイオードのみがあります。

注意
「絶対最大定格」表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧の定格を超えることがあります。

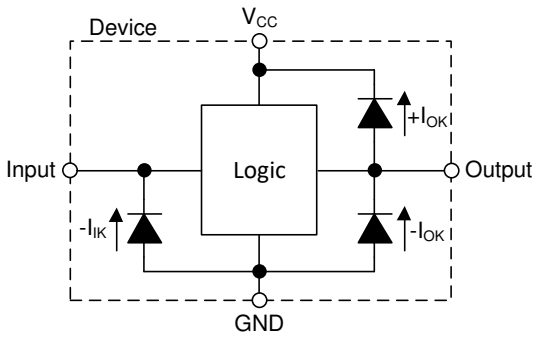


図 7-1. 各入力と出力に対するクランプ・ダイオードの電気的配置

7.4 デバイスの機能モード

表 7-1. 機能表

入力		出力
OE	**A**	**Y**
L	X	Z
H	L	L
H	H	H

Copyright © 2024 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『低速またはフローティング CMOS 入力の影響』

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision M (August 2023) to Revision N (February 2024)	Page
• D パッケージの熱特性値を追加：RθJA = 124.6、RθJC(top) = 79.7、RθJB = 81.2、ΨJT = 39.3、ΨJB = 80.8、RθJC(bot) = N/A、値はすべて℃/W	5

Changes from Revision L (July 2003) to Revision M (August 2023)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を変更	1
• データシートに BQA パッケージを追加	1
• J、W、D、DB、DGV、N、NS、および FK をデータシートから削除	1

Copyright © 2024 Texas Instruments Incorporated

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更され、本ドキュメントの改訂に従って修正される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-9686201Q2A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686201Q2A SNJ54AHC126FK
5962-9686201QDA	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686201QDA SNJ54AHC126W
SN74AHC126BQAR	Active	Production	WQFN (BQA) | 14	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AHC126
SN74AHC126BQAR.A	Active	Production	WQFN (BQA) | 14	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AHC126
SN74AHC126D	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	AHC126
SN74AHC126DBR	Active	Production	SSOP (DB) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HA126
SN74AHC126DBR.A	Active	Production	SSOP (DB) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HA126
SN74AHC126DGVR	Active	Production	TVSOP (DGV) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HA126
SN74AHC126DGVR.A	Active	Production	TVSOP (DGV) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HA126
SN74AHC126DR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHC126
SN74AHC126DR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHC126
SN74AHC126N	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74AHC126N
SN74AHC126N.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74AHC126N
SN74AHC126NSR	Last Time Buy	Production	SOP (NS) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHC126
SN74AHC126NSR.A	Last Time Buy	Production	SOP (NS) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHC126
SN74AHC126PW	Obsolete	Production	TSSOP (PW) | 14	-	-	Call TI	Call TI	-40 to 85	HA126
SN74AHC126PWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	HA126
SN74AHC126PWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HA126
SN74AHC126PWRG4	Active	Production	TSSOP (PW) | 14	2000 | null	No	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HA126
SN74AHC126PWRG4	Active	Production	TSSOP (PW) | 14	2000 | null	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HA126
SN74AHC126PWRG4.A	Active	Production	TSSOP (PW) | 14	2000 | null	No	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HA126
SN74AHC126PWRG4.A	Active	Production	TSSOP (PW) | 14	2000 | null	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HA126

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SNJ54AHC126FK	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686201Q2A SNJ54AHC 126FK
SNJ54AHC126FK.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686201Q2A SNJ54AHC 126FK
SNJ54AHC126W	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686201QDA SNJ54AHC126W
SNJ54AHC126W.A	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686201QDA SNJ54AHC126W

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN54AHC126, SN74AHC126 :

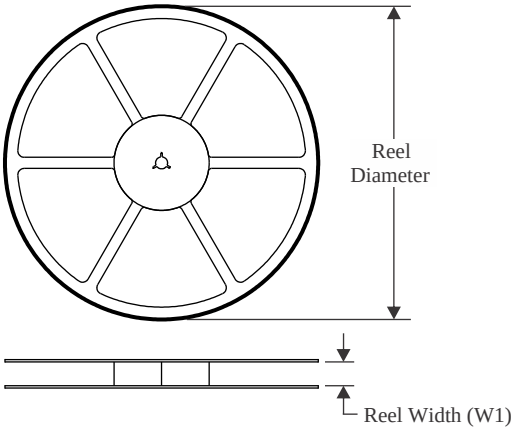
- Catalog : SN74AHC126
- Automotive : SN74AHC126-Q1, SN74AHC126-Q1
- Military : SN54AHC126

NOTE: Qualified Version Definitions:

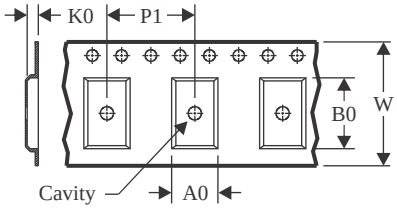
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

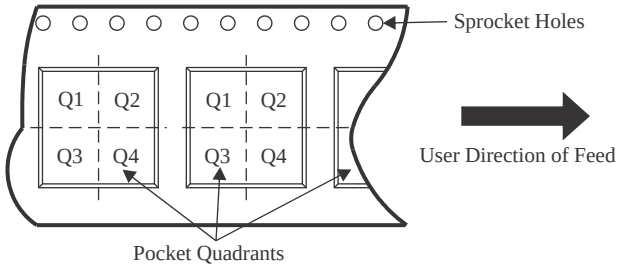


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

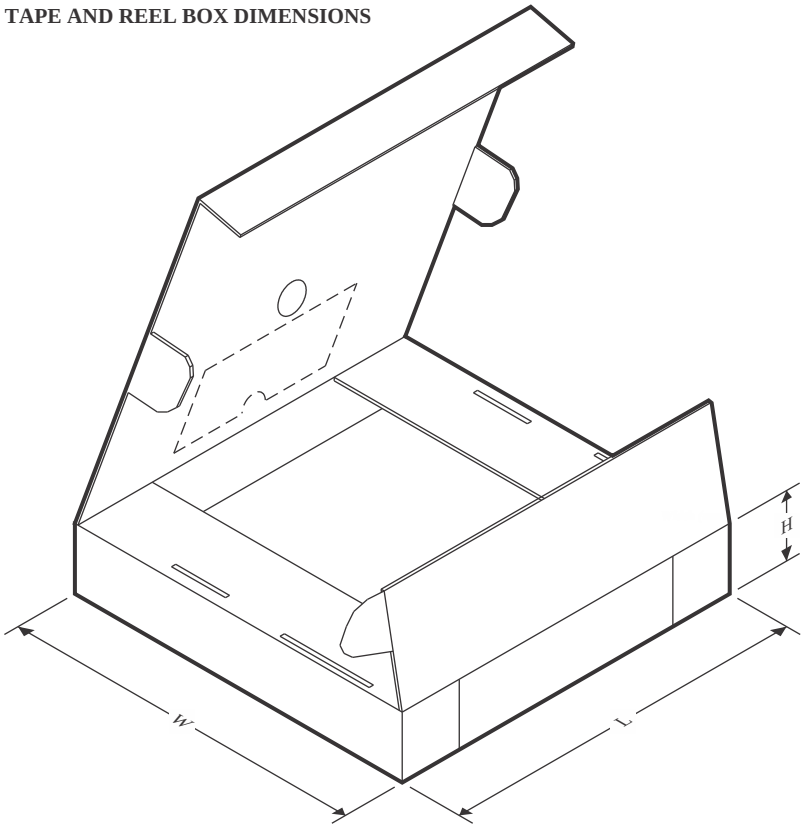
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AHC126BQAR	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1
SN74AHC126DBR	SSOP	DB	14	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74AHC126DGVR	TVSOP	DGV	14	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74AHC126NSR	SOP	NS	14	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
SN74AHC126PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

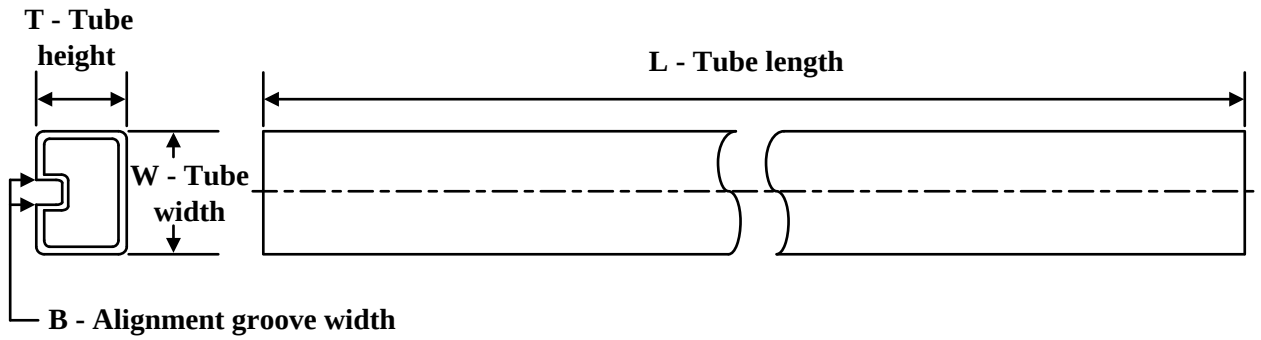
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AHC126BQAR	WQFN	BQA	14	3000	210.0	185.0	35.0
SN74AHC126DBR	SSOP	DB	14	2000	353.0	353.0	32.0
SN74AHC126DGVR	TVSOP	DGV	14	2000	353.0	353.0	32.0
SN74AHC126NSR	SOP	NS	14	2000	353.0	353.0	32.0
SN74AHC126PWR	TSSOP	PW	14	2000	353.0	353.0	32.0

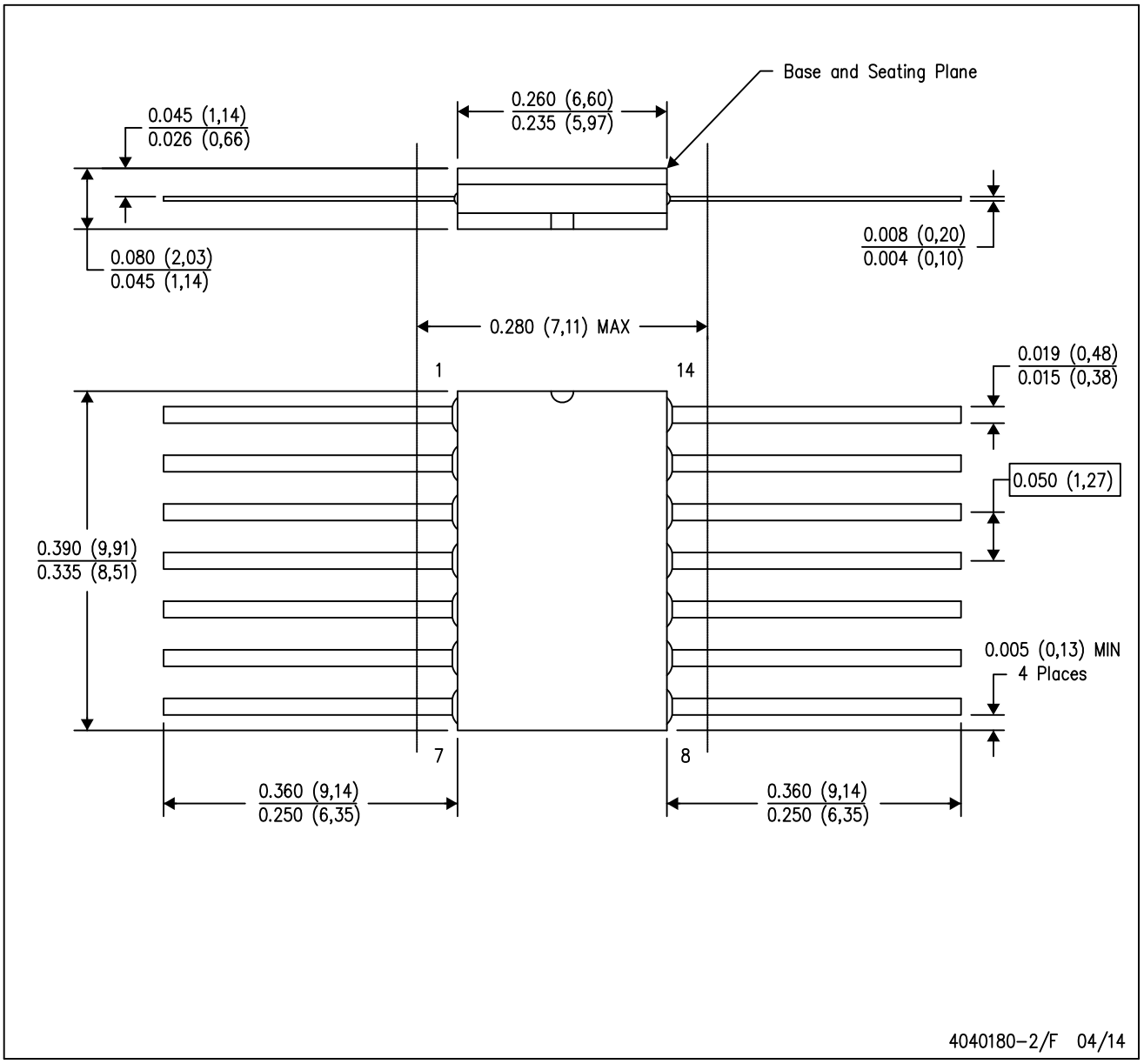
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-9686201Q2A	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-9686201QDA	W	CFP	14	25	506.98	26.16	6220	NA
SN74AHC126N	N	PDIP	14	25	506	13.97	11230	4.32
SN74AHC126N	N	PDIP	14	25	506	13.97	11230	4.32
SN74AHC126N.A	N	PDIP	14	25	506	13.97	11230	4.32
SN74AHC126N.A	N	PDIP	14	25	506	13.97	11230	4.32
SNJ54AHC126FK	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54AHC126FK.A	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54AHC126W	W	CFP	14	25	506.98	26.16	6220	NA
SNJ54AHC126W.A	W	CFP	14	25	506.98	26.16	6220	NA

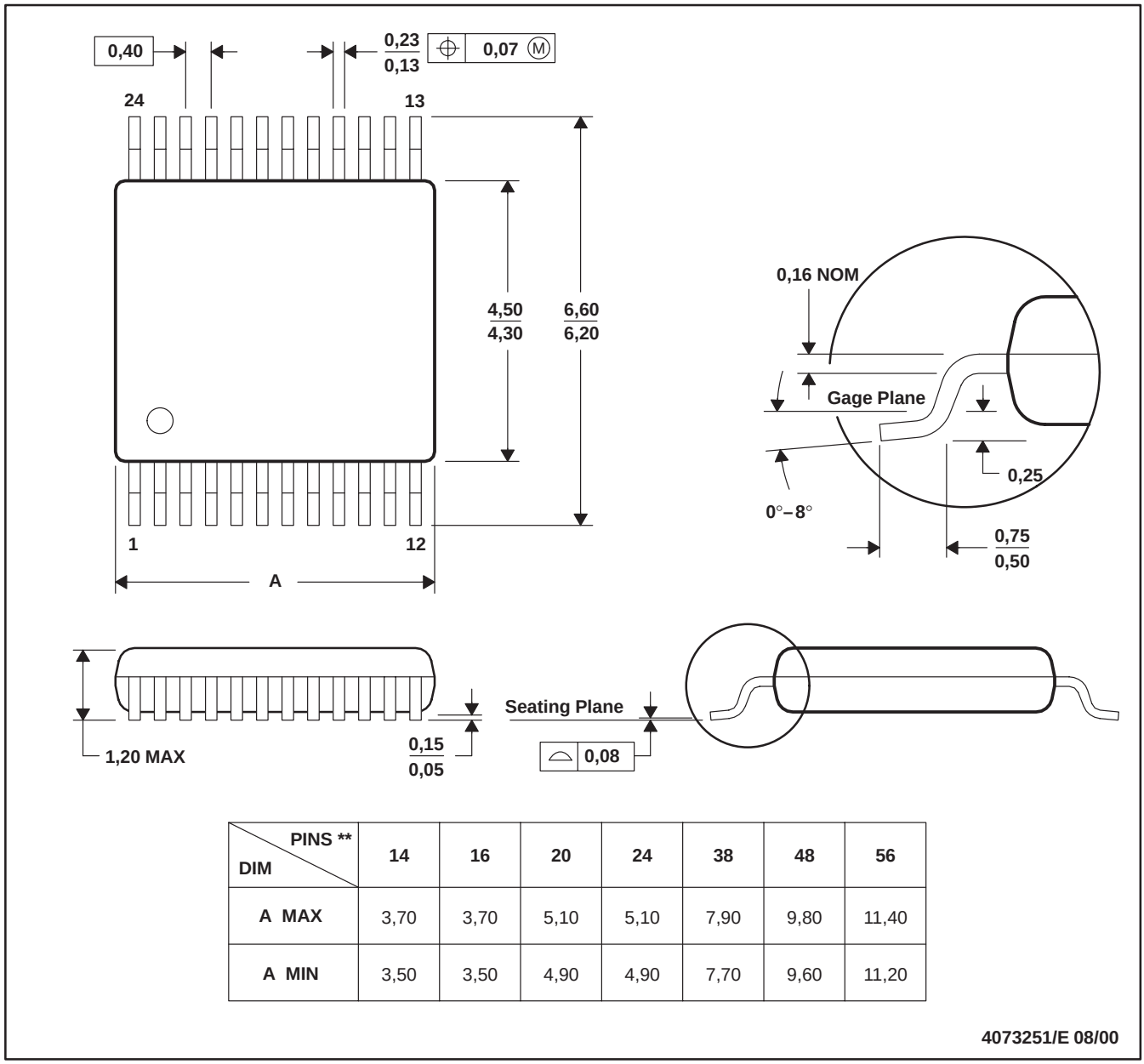
W (R–GDFP–F14) CERAMIC DUAL FLATPACK



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package can be hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only.
E. Falls within MIL STD 1835 GDFP1–F14

DGV (R-PDSO-G)** **PLASTIC SMALL-OUTLINE**

24 PINS SHOWN



DIM \ PINS **	14	16	20	24	38	48	56
A MAX	3,70	3,70	5,10	5,10	7,90	9,80	11,40
A MIN	3,50	3,50	4,90	4,90	7,70	9,60	11,20

4073251/E 08/00

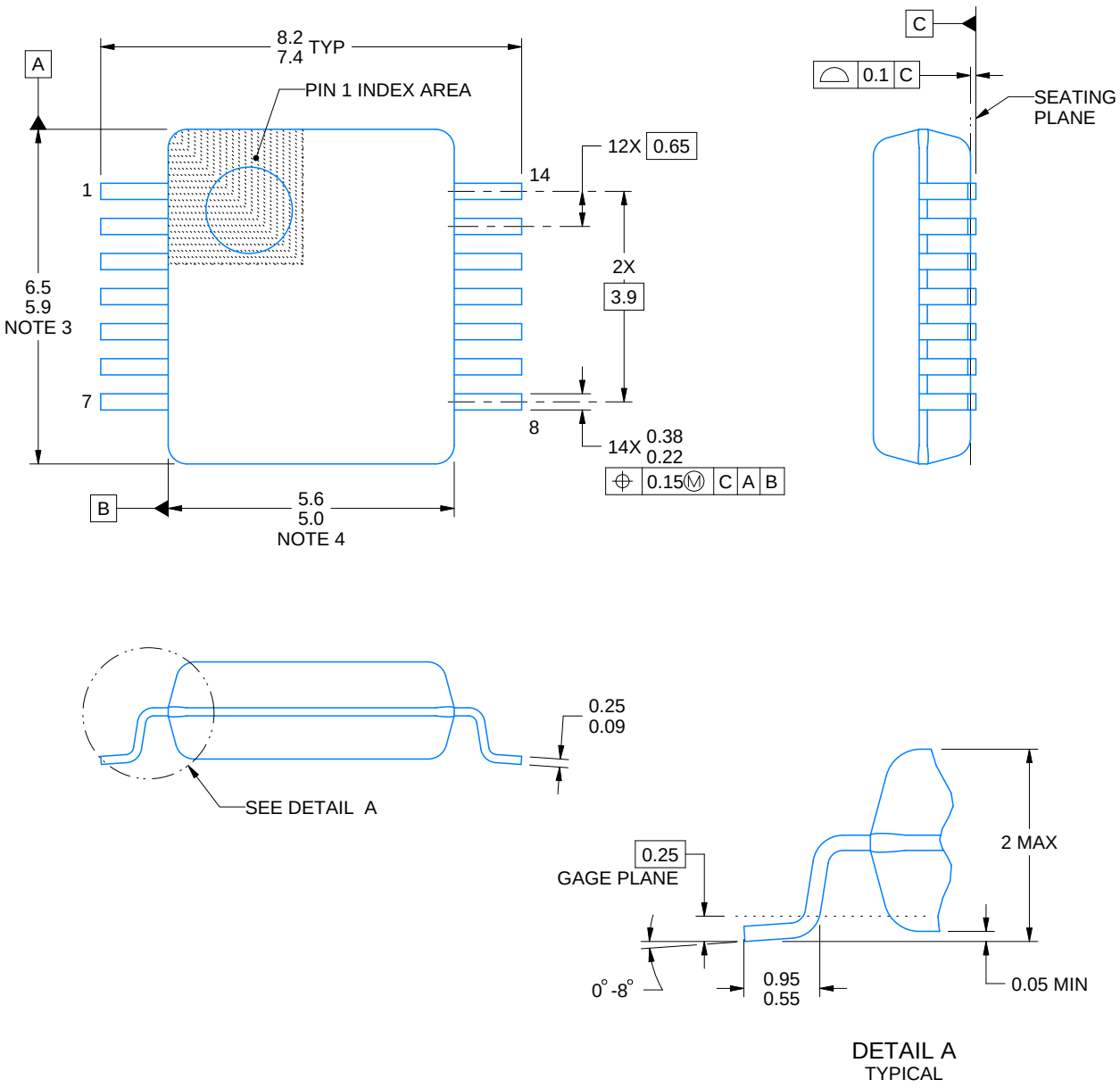
NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
D. Falls within JEDEC: 24/48 Pins – MO-153
14/16/20/56 Pins – MO-194

PACKAGE OUTLINE

DB0014A

SSOP - 2 mm max height

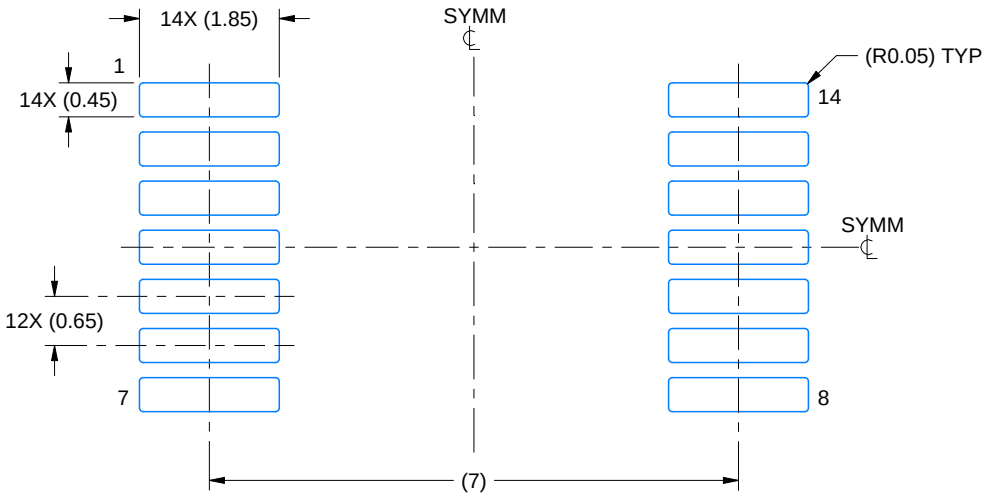
SMALL OUTLINE PACKAGE



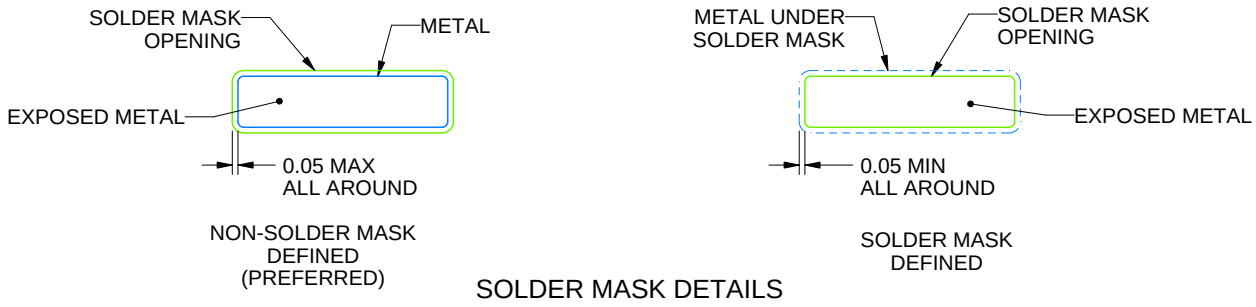
4220762/A 05/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

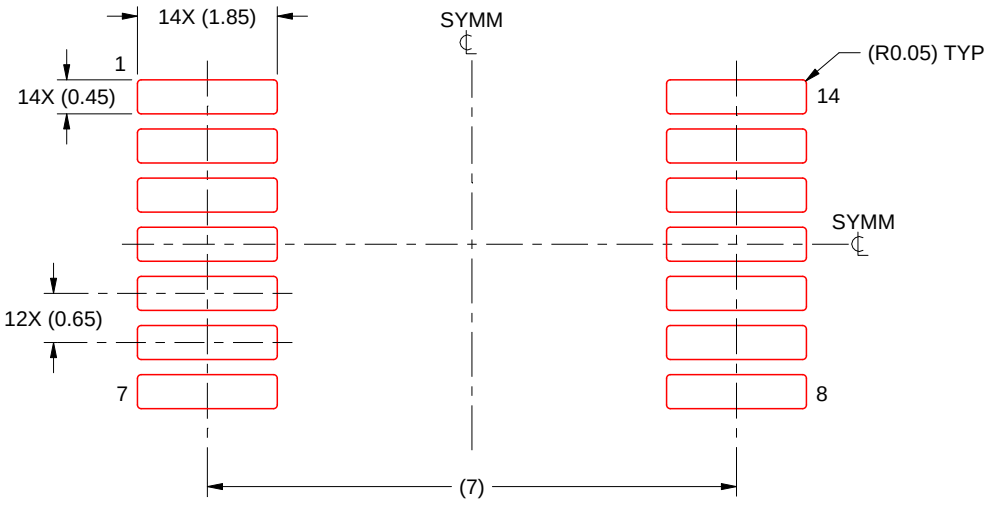


SOLDER MASK DETAILS

4220762/A 05/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220762/A 05/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

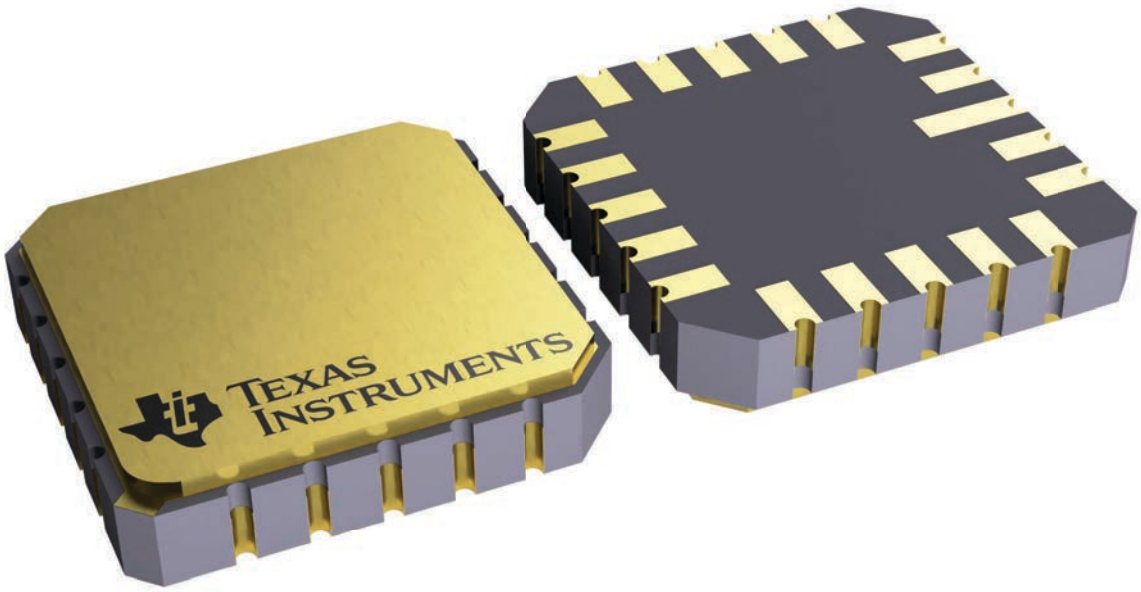
FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

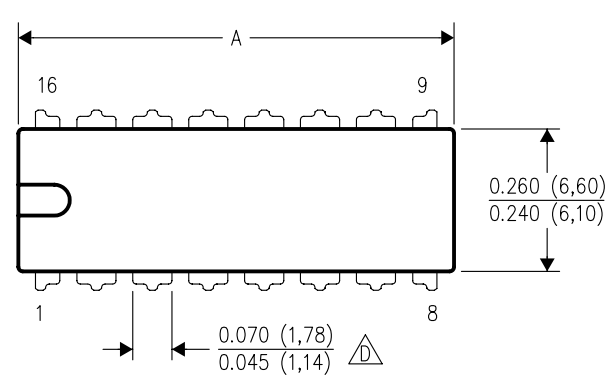


4229370VA\

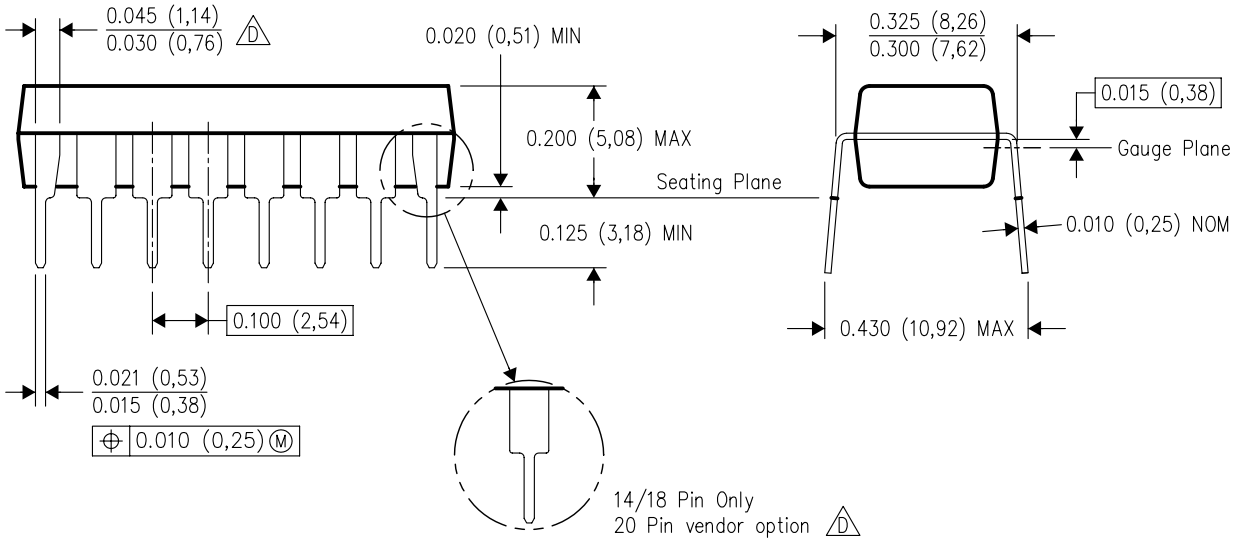
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

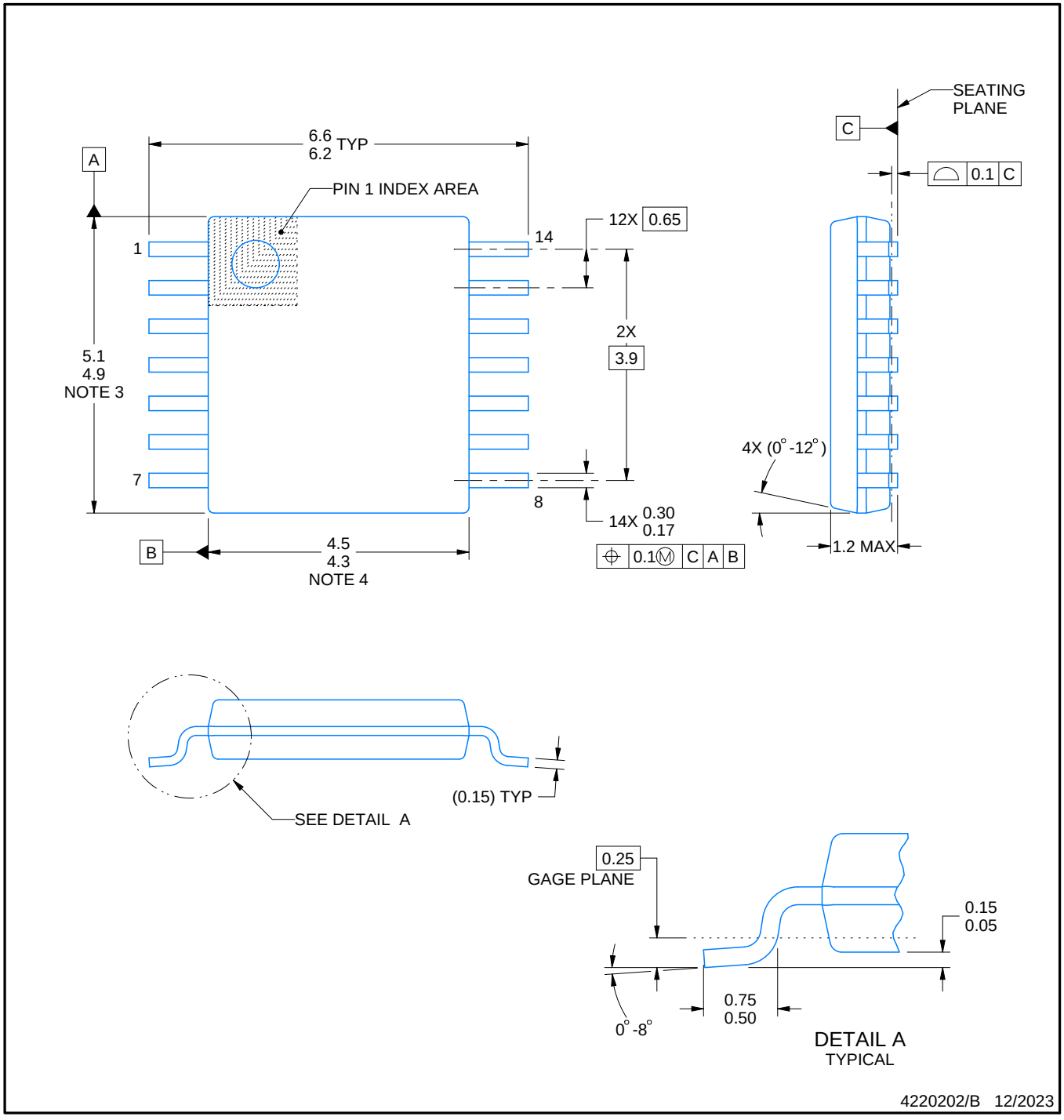
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

PACKAGE OUTLINE

PW0014A

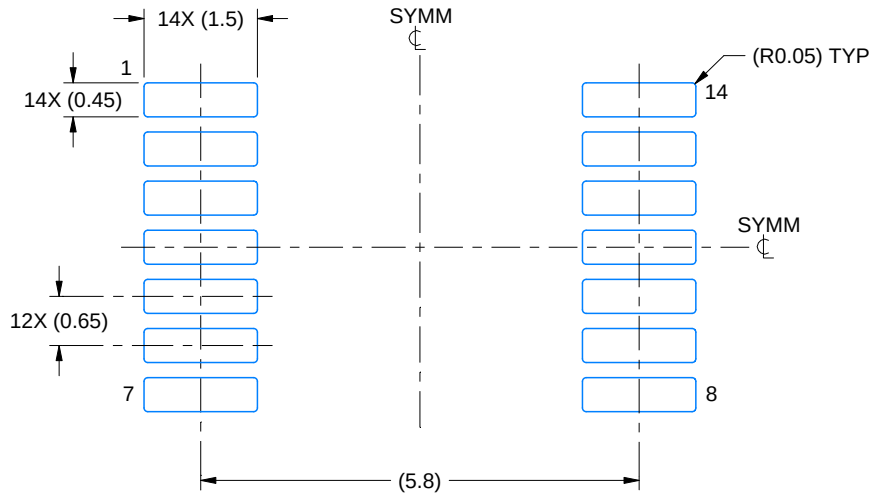
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

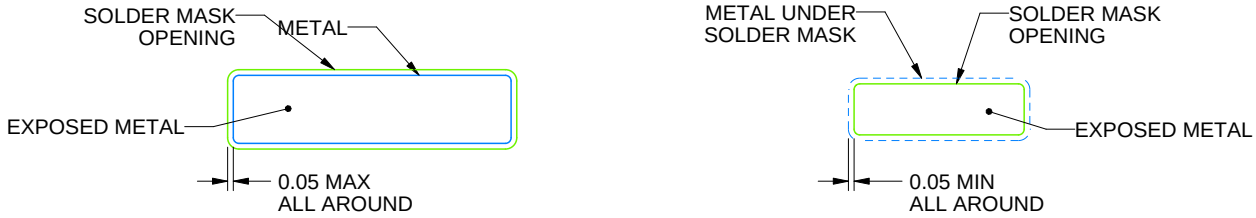


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

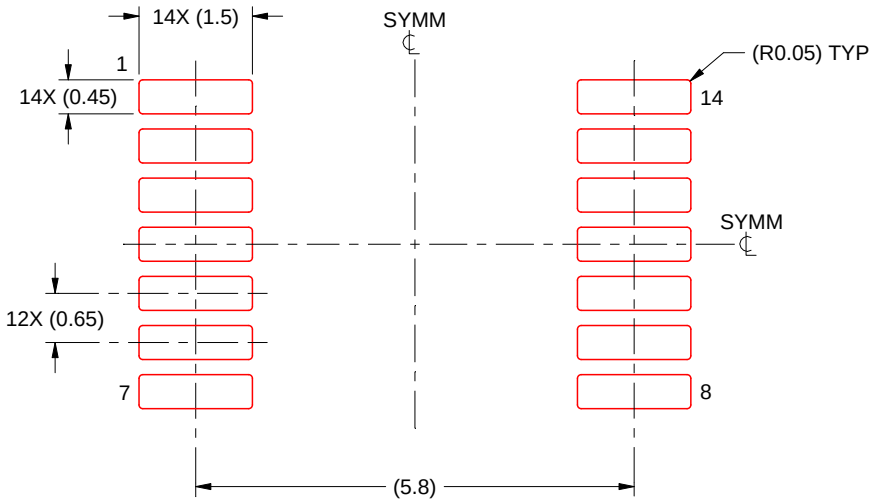


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

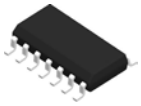


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

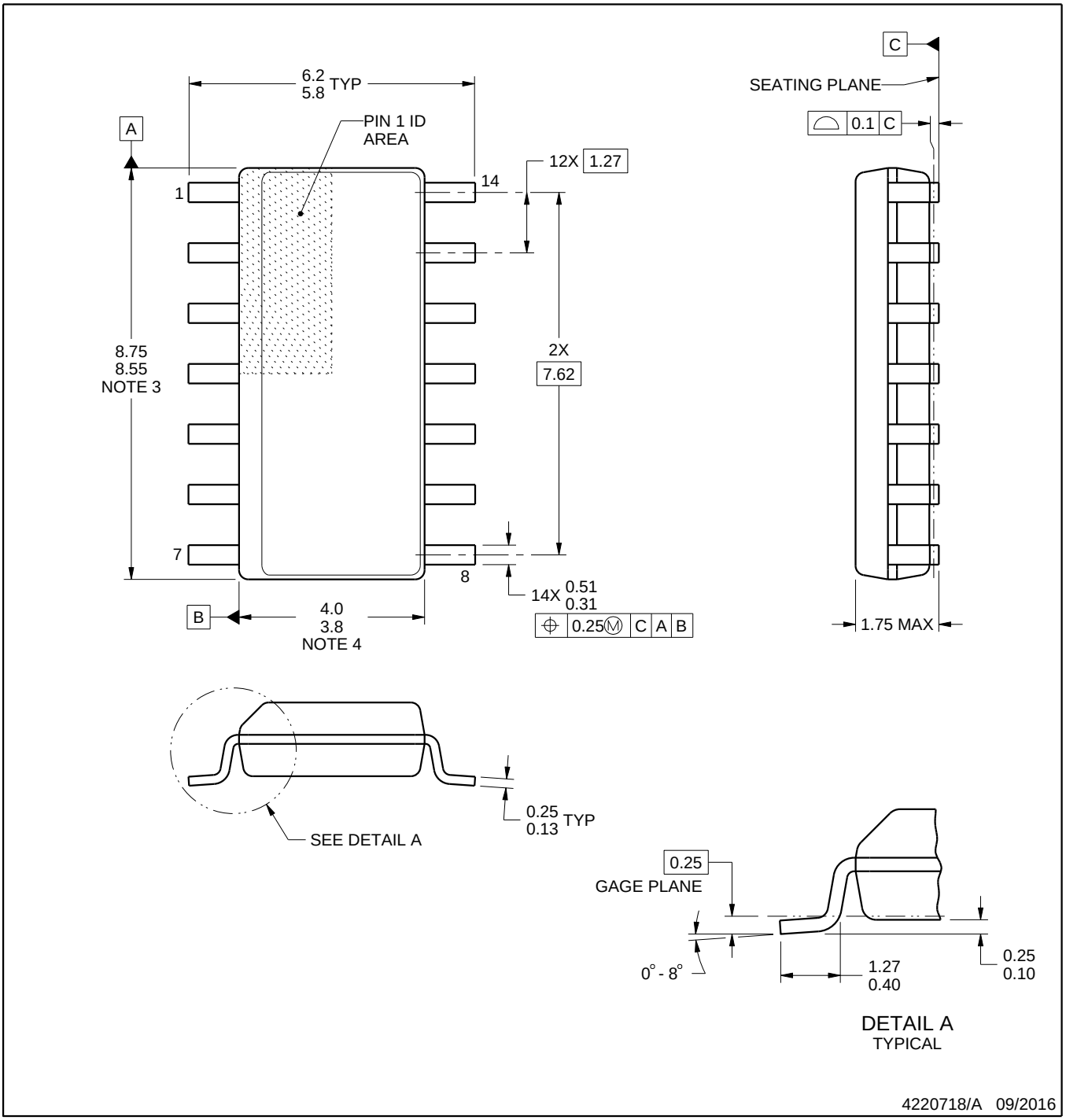


PACKAGE OUTLINE

D0014A

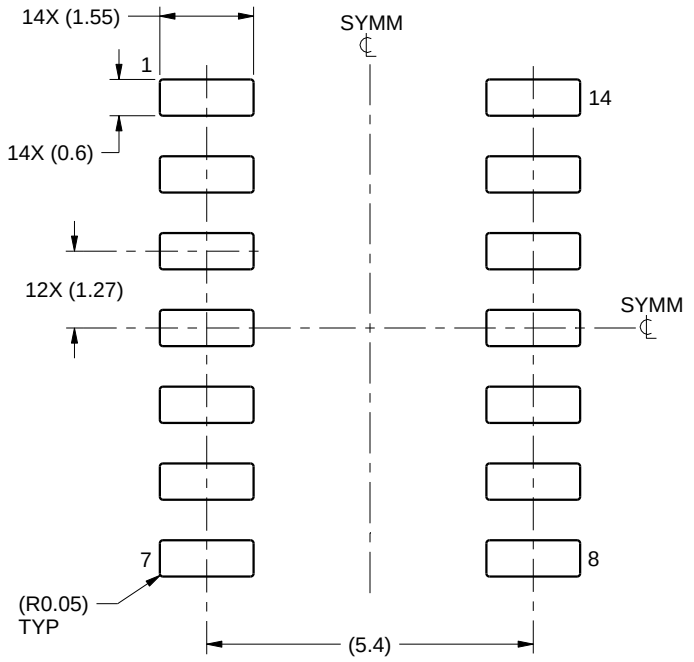
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

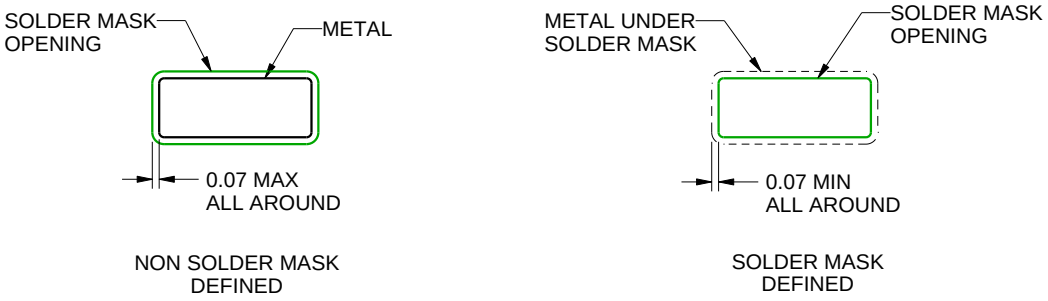


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

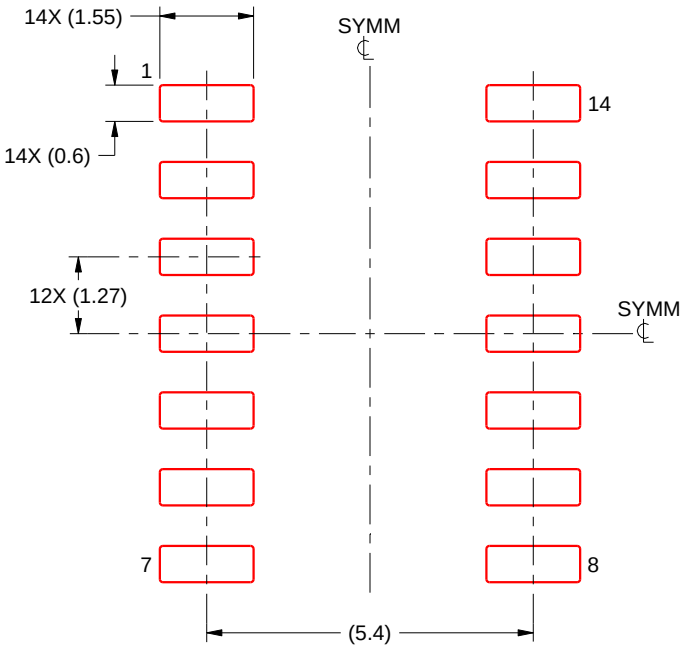
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

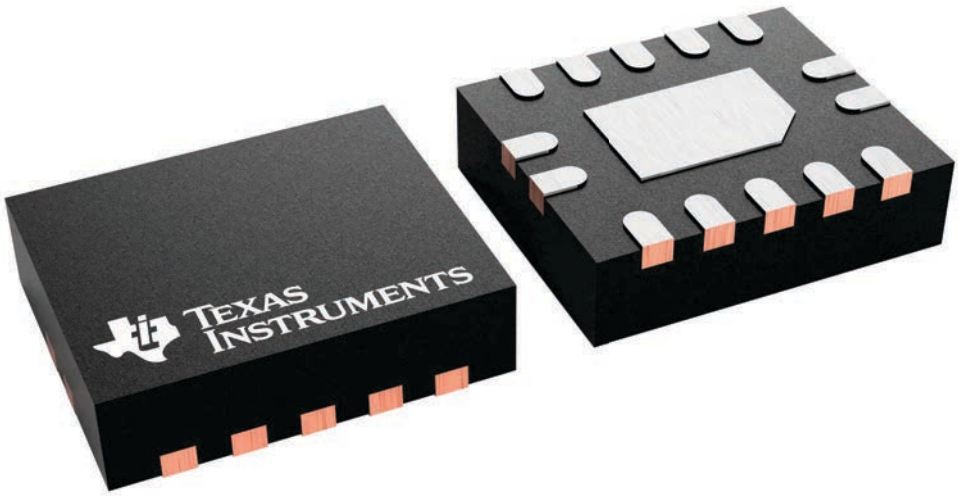
BQA 14

WQFN - 0.8 mm max height

2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

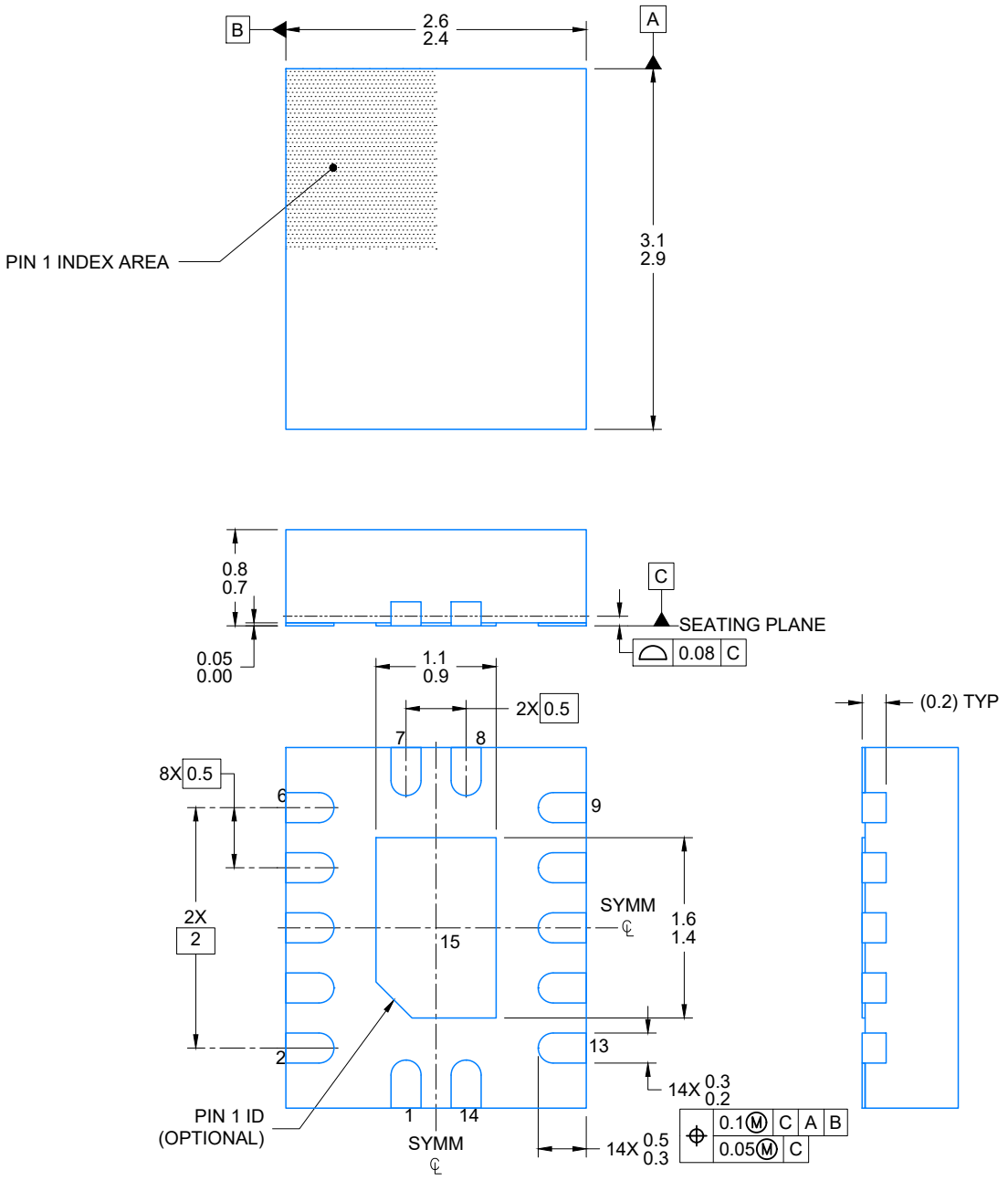


PACKAGE OUTLINE

BQA0014A

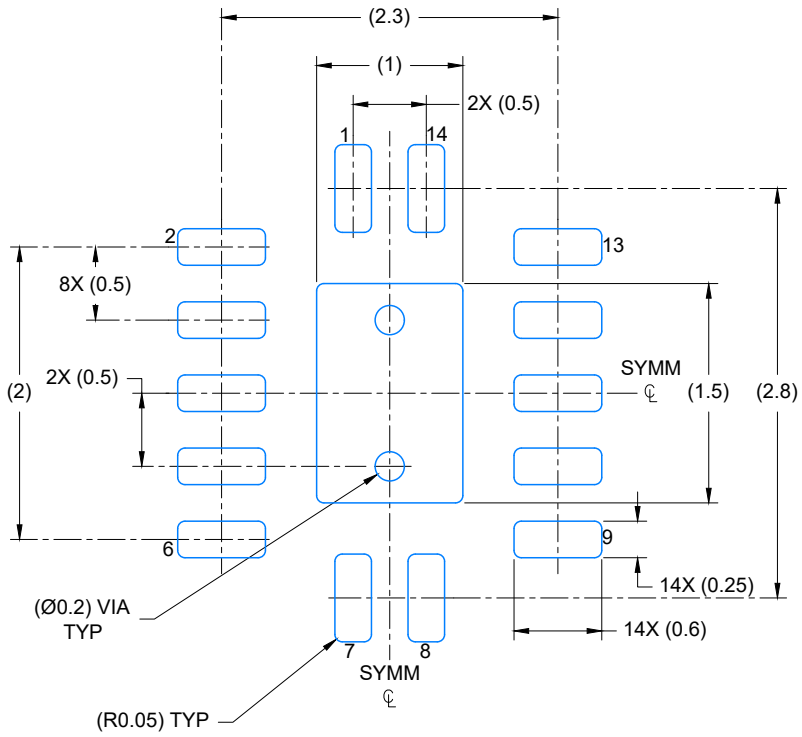
WQFN - 0.8 mm max height

PLASTIC QUAD FLAT PACK-NO LEAD

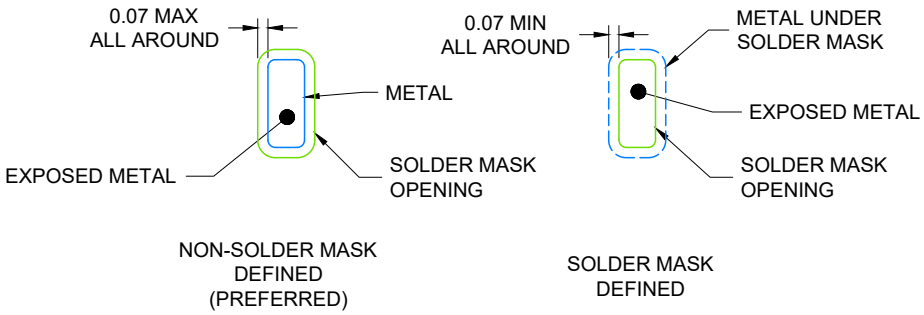


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



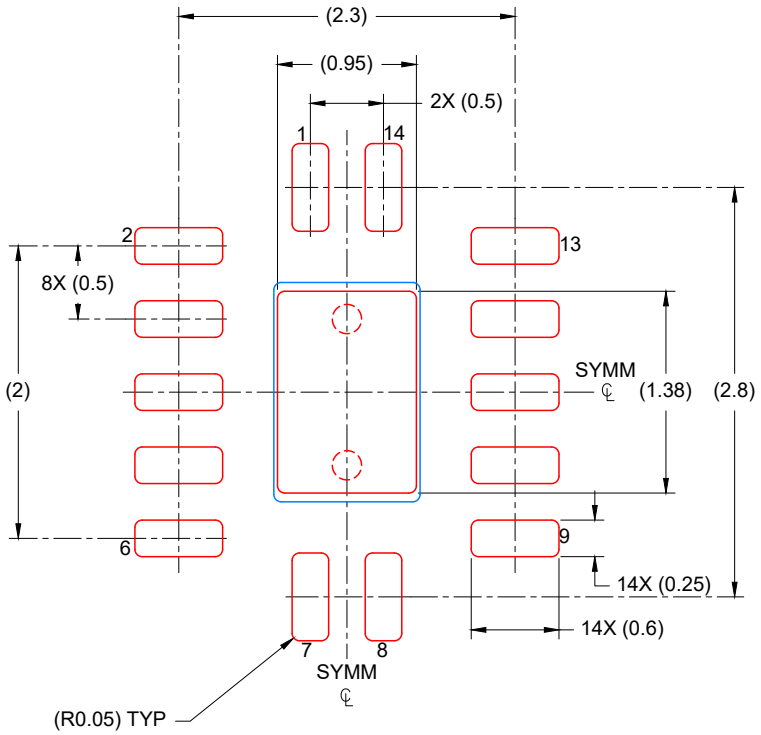
LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4224636/A 11/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
88% PRINTED COVERAGE BY AREA
SCALE: 20X

4224636/A 11/2018

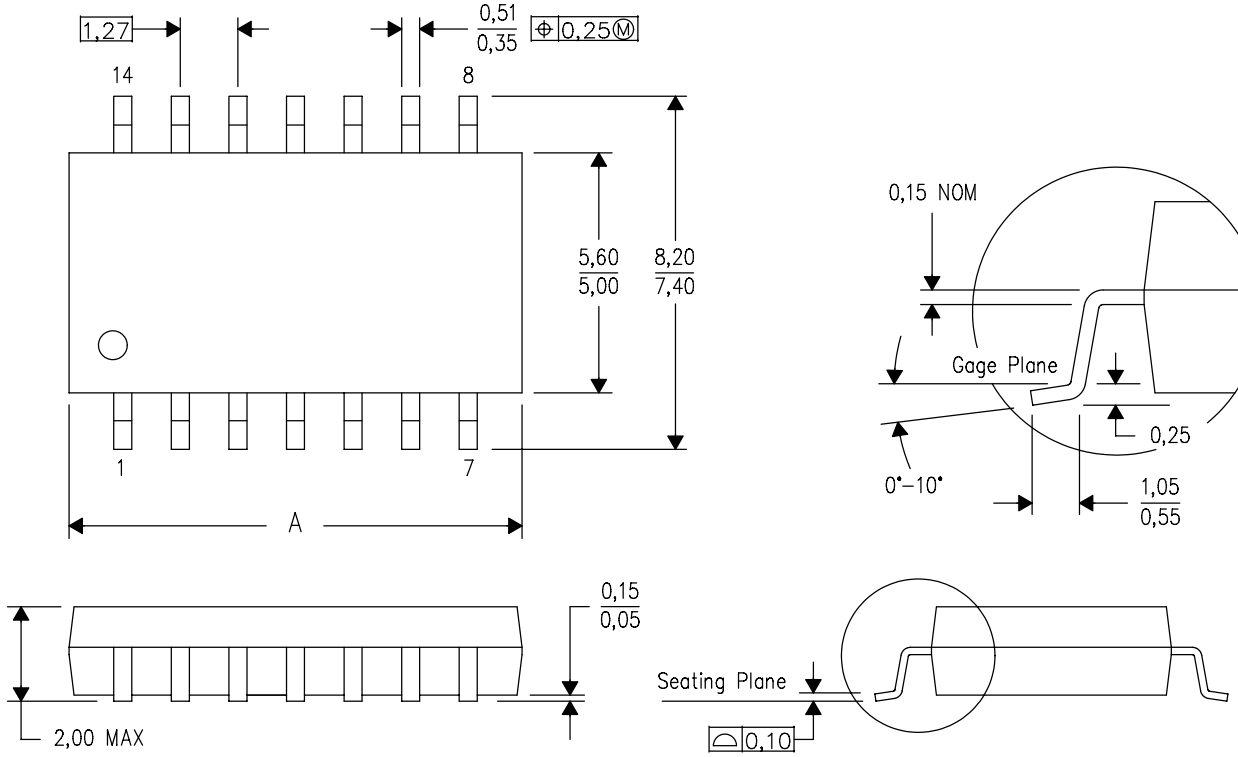
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

MECHANICAL DATA

NS (R-PDSO-G)** **PLASTIC SMALL-OUTLINE PACKAGE**

14-PINS SHOWN



DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

4040062/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月