SNx4AHC244 3 ステート出力、オクタル バッファ / ドライバ

1 特長

- 2V～5.5V の範囲の V_{CC} で動作
- JESD 17 準拠で 250mA 超のラッチアップ性能
- MIL-PRF-38535 準拠の製品については、特に記述のない限り、すべてのパラメータはテスト済みです。その他のすべての製品については、量産プロセスにすべてのパラメータのテストが含まれているとは限りません。

2 アプリケーション

- ネットワーク スイッチ
- 電源インフラストラクチャ
- PC およびノートパソコン
- ウェアラブルなヘルスケア / フィットネス機器
- 試験および測定機器

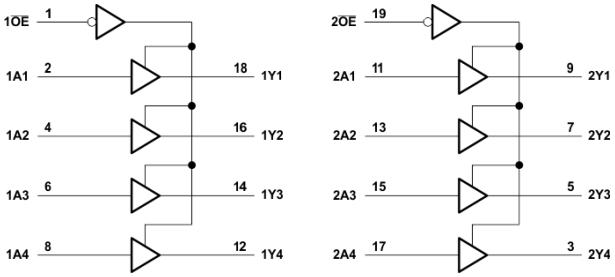
3 説明

これらのオクタル バッファ / ライン ドライバは、3 ステート メモリ アドレス ドライバ、クロック ドライバ、バス用レシーバ / トランスミッタの性能と密度を向上することに特化して設計されています。

製品情報

部品番号	パッケージ (1)	パッケージ サイズ(2)	本体サイズ (3)
SN54AHC244	J (CDIP、20)	24.2 mm × 7.62mm	24.2 mm × 6.92mm
	W (CFP、20)	13.09 mm × 8.13mm	13.09 mm × 6.92mm
	FK (LCCC、20)	8.89 mm × 8.89 mm	8.89 mm × 8.89 mm
SN74AHC244	DB (SSOP、20)	7.2mm × 7.8mm	7.50 mm × 5.30mm
	DW (SOIC、20)	12.80mm × 10.3mm	12.8 mm × 7.5mm
	N (PDIP、20)	24.33 mm × 9.4mm	25.40 mm × 6.35mm
	NS (SOP、20)	12.60 mm × 7.8mm	12.6 mm × 5.30mm
	DGV (TVSOP、20)	5.00 mm × 6.4mm	5.00 mm × 4.40mm
	PW (TSSOP、20)	6.50mm × 6.4mm	6.50 mm × 4.40mm
	DGS (VSSOP、20)	5.10mm × 4.90mm	5.10mm × 3.00mm
	RKS (VQFN、20)	4.50mm × 2.50mm	4.50mm × 2.50mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 ピン構成および機能 ... 3
5 仕様 ... 5
5.1 絶対最大定格 ... 5
5.2 ESD 定格 ... 5
5.3 推奨動作条件 ... 5
5.4 熱に関する情報 ... 6
5.5 電気的特性 ... 6
5.6 スイッチング特性、V_{CC} = 3.3 V ± 0.3 V ... 7
5.7 スイッチング特性、V_{CC} = 5 V ± 0.5 V ... 7
5.8 ノイズ特性 ... 8
5.9 動作特性 ... 8
5.10 代表的特性 ... 8
6 パラメータ測定情報 ... 9
7 詳細説明 ... 10
7.1 概要 ... 10
7.2 機能ブロック図 ... 10
7.3 機能説明 ... 10
7.4 デバイスの機能モード ... 12
8 アプリケーションと実装 ... 13
8.1 アプリケーション情報 ... 13
8.2 代表的なアプリケーション ... 13
8.3 電源に関する推奨事項 ... 14
8.4 レイアウト ... 14
9 デバイスおよびドキュメントのサポート ... 16
9.1 ドキュメントのサポート ... 16
9.2 ドキュメントの更新通知を受け取る方法 ... 16
9.3 サポート・リソース ... 16
9.4 商標 ... 16
9.5 静電気放電に関する注意事項 ... 16
9.6 用語集 ... 16
10 改訂履歴 ... 16
11 メカニカル、パッケージ、および注文情報 ... 17

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

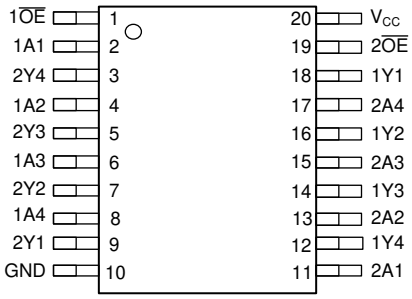


図 4-1. SN54AHC244 J または W パッケージ、20 ピン CDIP または CFP (上面図)

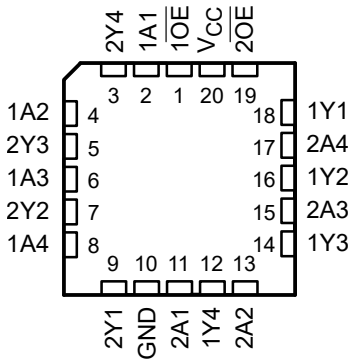


図 4-2. SN54AHC244 FK パッケージ、20 ピン LCCC (上面図)

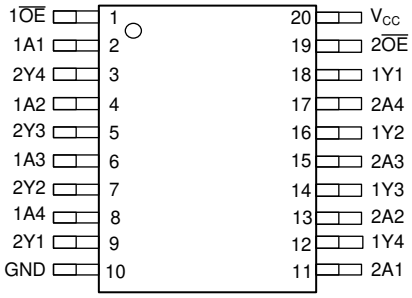


図 4-3. SN74AHC244 DB、DGV、DW、N、NS、PW または DGS パッケージ、20 ピン SSOP、TVSOP、SOIC、PDIP、SOP、TSSOP または VSSOP (上面図)

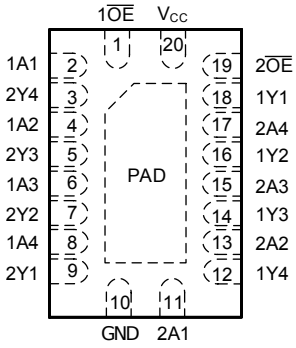


図 4-4. SN74AHC244 RKS パッケージ、20 ピン VQFN (上面図)

表 4-1. ピンの機能

ピン		種類[1]	説明
番号	名称		
1	1 $\overline{OE}$	I	出力イネーブル 1
2	1A1	I	1A1 入力
3	2Y4	O	2Y4 出力
4	1A2	I	1A2 入力
5	2Y3	O	2Y3 出力
6	1A3	I	1A3 入力
7	2Y2	O	2Y2 出力
8	1A4	I	1A4 入力
9	2Y1	O	2Y1 出力
10	GND	—	グランド ピン
11	2A1	I	2A1 入力
12	1Y4	O	1Y4 出力
13	2A2	I	2A2 入力
14	1Y3	O	1Y3 出力
15	2A3	I	2A3 入力
16	1Y2	O	1Y2 出力

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		種類[1]	説明
番号	名称		
17	2A4	I	2A4 入力
18	1Y1	O	1Y1 出力
19	2 $\overline{OE}$	I	出力イネーブル 2
20	VCC	—	パワー ピン
放熱パッド[2]			サーマル パッドは GND に接続するか、フローティングのままにすることができます。他の信号や電源には接続しないでください

(1) 信号タイプ:I = 入力、O = 出力、I/O = 入力または出力
(2) RKS パッケージに限定

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧		-0.5	7	V
V_I	入力電圧 (2)		-0.5	7	V
V_O	出力電圧範囲(3)		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流	V_I < 0		-20	mA
I_{OK}	出力クランプ電流	V_O < 0 または V_O > V_{CC}		±20	mA
I_O	連続出力電流	V_O = 0～V_{CC}		±25	mA
	各 V_{CC} または GND を通過する連続電流			±50	mA
T_{stg}	保存温度		-65	150	℃

(1) *絶対最大定格*を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらは、ストレス定格のみを示すものであり、これらの条件や*「推奨動作条件」*に示されたその他の条件と等しい、またはそれを超える条件で本デバイスが正しく動作することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。
(3) パッケージの熱インピーダンスは、JESD 51-7 に従って計算しています。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	±1500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			SN54AHC244		SN74AHC244		単位
			最小値	最大値	最小値	最大値	
V_{CC}	電源電圧		2	5.5	2	5.5	V
V_{IH}	High レベル入力電圧	V_{CC} = 2V	1.5		1.5		V
		V_{CC} = 3V	2.1		2.1		
		V_{CC} = 5.5V	3.85		3.85		
V_{IL}	Low レベル入力電圧	V_{CC} = 2V		0.5		0.5	V
		V_{CC} = 3V		0.9		0.9	
		V_{CC} = 5.5V		1.65		1.65	
V_I	入力電圧		0	5.5	0	5.5	V
V_O	出力電圧		0	V_{CC}	0	V_{CC}	V
I_{OH}	High レベル出力電流	V_{CC} = 2V		-50		-50	μA
		V_{CC} = 3.3V ± 0.3V		-4		-4	mA
		V_{CC} = 5V ± 0.5V		-8		-8	
I_{OL}	Low レベル出力電流	V_{CC} = 2V		50		50	μA
		V_{CC} = 3.3V ± 0.3V		4		4	mA
		V_{CC} = 5V ± 0.5V		8		8	

Copyright © 2025 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			SN54AHC244		SN74AHC244		単位
			最小値	最大値	最小値	最大値	
$\Delta t/\Delta v$	入力遷移の立ち上がりまたは立ち下がりレート	V_{CC} = 3.3V ± 0.3V		100		100	ns/V
		V_{CC} = 5V ± 0.5V		20		20	
T_A	自由空気での動作温度		-55	125	-40	125	℃

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。テキサス インスツルメンツのアプリケーション レポート『*低速またはフローティング CMOS 入力の影響*』(文献番号 SCBA004) を参照してください。

5.4 熱に関する情報

パッケージ	ピン	熱評価基準(1)						単位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
DB (SSOP)	20	99.9	61.7	55.2	22.6	54.8	該当なし	℃/W
DGV (TVSOP)	20	119.2	34.5	60.7	1.2	60.0	該当なし	
DW (SOIC)	20	81.1	48.9	53.8	19.5	53.1	該当なし	
N (PDIP)	20	54.9	41.7	35.8	27.9	35.7	該当なし	
NS (SOP)	20	77.6	42.7	45.7	10.2	45.2	該当なし	
PW (TSSOP)	20	116.8	58.5	78.7	12.6	77.9	該当なし	
DGS (VSSOP)	20	131.6	69.5	86.7	10.9	85.9	該当なし	
RKS (VQFN)	20	90.4	92.2	63.4	29	63.5	41.3	

(1) 従来および新しい熱評価基準の詳細については、『*IC パッケージの熱評価基準*』アプリケーション レポート、SPRA953 を参照してください。

5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	T_A = 25℃			SN54AHC244	SN74AHC244	単位
			最小値	標準値	最大値	最小値 最大値	最小値 最大値	
V_{OH}	I_{OH} = -50μA	2V	1.9	2		1.9	1.9	V
		3V	2.9	3		2.9	2.9	
		4.5V	4.4	4.5		4.4	4.4	
	I_{OH} = -4mA	3V	2.58			2.48	2.48	
	I_{OH} = -8mA	4.5V	3.94			3.8	3.8	
V_{OL}	I_{OL} = 50μA	2V			0.1	0.1	0.1	V
		3V			0.1	0.1	0.1	
		4.5V			0.1	0.1	0.1	
	I_{OL} = 4mA	3V			0.36	0.5	0.44	
	I_{OL} = 8mA	4.5V			0.36	0.5	0.44	
I_I	V_I = 5.5 V または GND	0V ～ 5.5V			±0.1	±1(1)	±1	μA
I_{OZ}	$V_O = V_{CC}$ または GND、 V_I ($\overline{OE}$) = V_{IL} または V_{IH}	5.5V			±0.25	±2.5	±2.5	μA
I_{CC}	$V_I = V_{CC}$ または GND、 I_O = 0	5.5V			4	40	40	μA
C_i	$V_I = V_{CC}$ または GND	5V		2	10		10	pF
C_O	$V_O = V_{CC}$ または GND	5V		3.5				pF

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、V_{CC} = 0V で出荷時のテストは行っていません。

Copyright © 2025 Texas Instruments Incorporated

5.6 スイッチング特性、V_{CC} = 3.3 V ± 0.3 V

自由気流での推奨動作温度範囲内、V_{CC} = 3.3V±0.3V (特に記述のない限り) (負荷回路および電圧波形 を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃			SN54AHC244		SN74AHC244		単位
				最小値	標準値	最大値	最小値	最大値	最小値	最大値	
t_{PLH}	A	Y	C_L = 15pF		5.8(1)	8.4(1)	1(1)	10(1)	1	10	ns
t_{PHL}					5.8(1)	8.4(1)	1(1)	10(1)	1	10	
t_{PZH}	$\overline{OE}$	Y	C_L = 15pF		6.6(1)	10.6(1)	1(1)	12.5(1)	1	12.5	ns
t_{PZL}					6.6(1)	10.6(1)	1(1)	12.5(1)	1	12.5	
t_{PHZ}	$\overline{OE}$	Y	C_L = 15pF		5(1)	9.7(1)	1(1)	11(1)	1	11	ns
t_{PLZ}					5(1)	9.7(1)	1(1)	11(1)	1	11	
t_{PLH}	A	Y	C_L = 50pF		8.3	11.9	1	13.5	1	13.5	ns
t_{PHL}					8.3	11.9	1	13.5	1	13.5	
t_{PZH}	$\overline{OE}$	Y	C_L = 50pF		9.1	14.1	1	16	1	16	ns
t_{PZL}					9.1	14.1	1	16	1	16	
t_{PHZ}	$\overline{OE}$	Y	C_L = 50pF		10.3	14	1	16	1	16	ns
t_{PLZ}					10.3	14	1	16	1	16	
$t_{sk(o)}$			C_L = 50pF			1.5(2)				1.5	ns

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、出荷時のテストは行っていません。
(2) MIL-PRF-38535 に準拠した製品では、このパラメータは適用されません。

5.7 スイッチング特性、V_{CC} = 5 V ± 0.5 V

自由気流での推奨動作温度範囲内、V_{CC} = 5V±0.5V (特に記述のない限り) (負荷回路および電圧波形 を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃			SN54AHC244		SN74AHC244		単位
				最小値	標準値	最大値	最小値	最大値	最小値	最大値	
t_{PLH}	A	Y	C_L = 15pF		3.9(1)	5.5(1)	1(1)	6.5(1)	1	6.5	ns
t_{PHL}					3.9(1)	5.5(1)	1(1)	6.5(1)	1	6.5	
t_{PZH}	$\overline{OE}$	Y	C_L = 15pF		4.7(1)	7.3(1)	1(1)	8.5(1)	1	8.5	ns
t_{PZL}					4.7(1)	7.3(1)	1(1)	8.5(1)	1	8.5	
t_{PHZ}	$\overline{OE}$	Y	C_L = 15pF		5(1)	7.2(1)	1(1)	8.5(1)	1	8.5	ns
t_{PLZ}					5(1)	7.2(1)	1(1)	8.5(1)	1	8.5	
t_{PLH}	A	Y	C_L = 50pF		5.4	7.5	1	8.5	1	8.5	ns
t_{PHL}					5.4	7.5	1	8.5	1	8.5	
t_{PZH}	$\overline{OE}$	Y	C_L = 50pF		6.2	9.3	1	10.5	1	10.5	ns
t_{PZL}					6.2	9.3	1	10.5	1	10.5	
t_{PHZ}	$\overline{OE}$	Y	C_L = 50pF		6.7	9.2	1	10.5	1	10.5	ns
t_{PLZ}					6.7	9.2	1	10.5	1	10.5	
$t_{sk(o)}$			C_L = 50pF			1(2)				1	ns

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、出荷時のテストは行っていません。
(2) MIL-PRF-38535 に準拠した製品では、このパラメータは適用されません。

Copyright © 2025 Texas Instruments Incorporated

5.8 ノイズ特性

V_{CC} = 5V、C_L = 50pF、T_A = 25℃(1)

パラメータ		SN74AHC244			単位
		最小値	標準値	最大値	
$V_{OL(P)}$	低ノイズ出力、最大動的電圧 V_{OL}		0.5		V
$V_{OL(V)}$	低ノイズ出力、最小動的電圧 V_{OL}		-0.2		V
$V_{OH(V)}$	低ノイズ出力、最小動的電圧 V_{OH}		4.8		V
$V_{IH(D)}$	High レベル動的入力電圧	3.5			V
$V_{IL(D)}$	Low レベル動的入力電圧			1.5	V

(1) 特性は表面実装パッケージのみが対象です。

5.9 動作特性

V_{CC} = 5V、T_A = 25℃

パラメータ		テスト条件		標準値	単位
C_{pd}	電力散逸容量	無負荷	f = 1MHz	8.6	pF

5.10 代表的特性

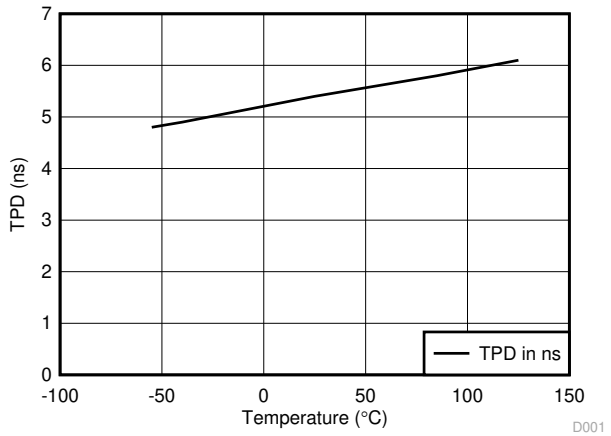


図 5-1. TPD と温度との関係

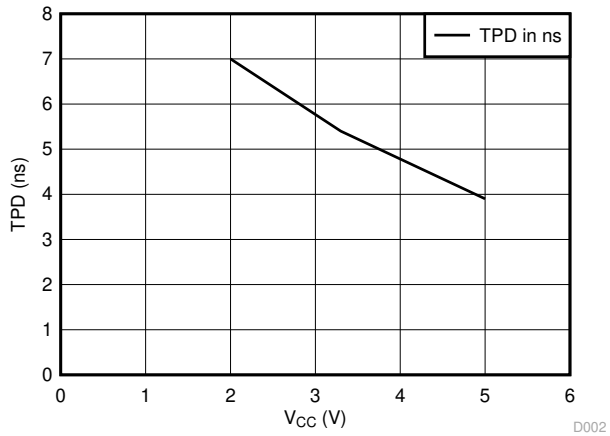
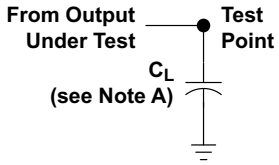


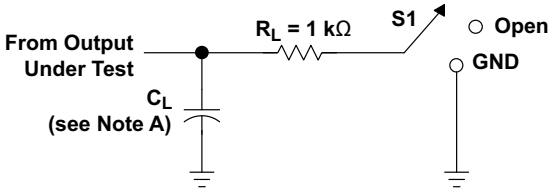
図 5-2. TPD と V_{CC} との関係

Copyright © 2025 Texas Instruments Incorporated

6 パラメータ測定情報

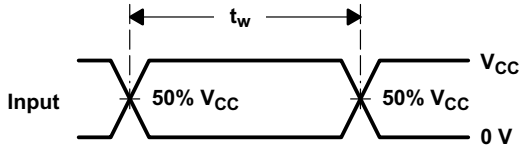


LOAD CIRCUIT FOR
TOTEM-POLE OUTPUTS

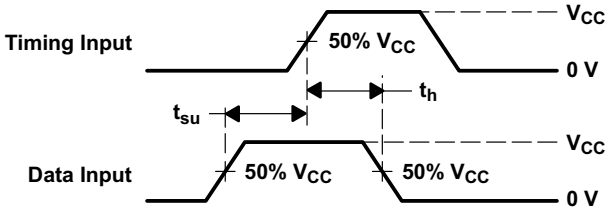


LOAD CIRCUIT FOR
3-STATE AND OPEN-DRAIN OUTPUTS

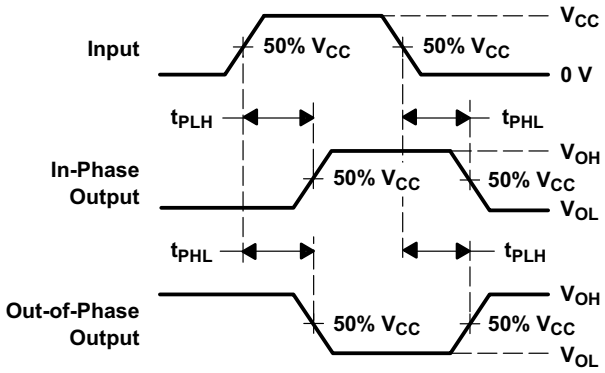
TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{CC}
t_{PHZ}/t_{PZH}	GND
Open Drain	V_{CC}



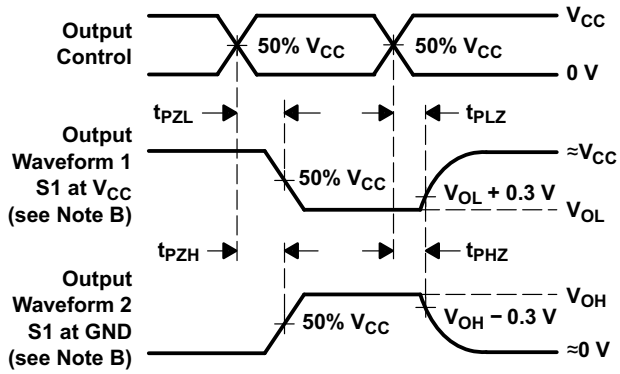
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

NOTES: A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 1 MHz, Z_O = 50 Ω, t_r ≤ 3 ns, t_f ≤ 3 ns.
D. The outputs are measured one at a time with one input transition per measurement.
E. All parameters and waveforms are not applicable to all devices.

図 6-1. 負荷回路および電圧波形

Copyright © 2025 Texas Instruments Incorporated

7 詳細説明

7.1 概要

SNx4AHC244 には、3 ステート出力を持つ 2 つの 4 ビット バッファ / ライン ドライブとして構成された 8 つの独立した高速 CMOS バッファが内蔵されています。

各バッファは、ブール論理関数 xYn = xAn を実行します。*x* はバンク番号、*n*

各出力イネーブル (x$\overline{OE}$) は 4 つのバッファを制御します。x$\overline{OE}$ ピンが Low 状態のとき、バンク x のすべてのバッファの出力がイネーブルになります。x$\overline{OE}$ ピンが High 状態のとき、バンク x のすべてのバッファの出力がディセーブルになります。ディセーブルされた出力はすべて高インピーダンス状態になります。

電源オンまたは電源オフ時にデバイスを高インピーダンス状態にするには、両方の $\overline{OE}$ ピンをプルアップ抵抗経由で V_{CC} に接続します。この抵抗の最小値は、「電気的特性」表に定義されているドライバの電流シンク能力とピンのリーク電流によって決定されます。

7.2 機能ブロック図

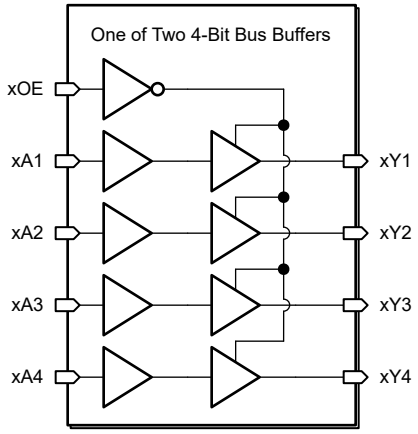


図 7-1. 論理図 (正論理)

7.3 機能説明

7.3.1 平衡化された CMOS プッシュプル出力

このデバイスには、平衡化された CMOS プッシュプル出力が内蔵されています。「平衡化」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにしておく必要があります。

7.3.2 平衡化された CMOS 3 ステート出力

このデバイスには、平衡化された CMOS 3 ステート出力が内蔵されています。High、Low、高インピーダンスが、これらの出力が取り得る 3 つの状態です。平衡化という用語は、このデバイスが類似の電流に対するシンクとソースを行えることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

高インピーダンス状態に移行したとき、出力は電流のソースとシンクのどちらも行いません。ただし、「電気的特性」表に定義されている小さなリーク電流は例外です。 高インピーダンス状態では、出力電圧はデバイスによって制御されず、外部

Copyright © 2025 Texas Instruments Incorporated

要因に依存します。ノードに他のドライバが接続されていない場合、これはフローティング ノードと呼ばれ、電圧は不明です。出力にプルアップ抵抗またはプルダウン抵抗を接続することで、高インピーダンス状態の出力に既知の電圧を供給できます。抵抗の値は、寄生容量や消費電力の制限など複数の要因に依存します。通常、これらの要件を満たすために 10kΩ の抵抗を使用できます。

未使用の 3 ステート CMOS 出力は、未接続のままにする必要があります。

7.3.3 標準 CMOS 入力

このデバイスには、標準 CMOS 入力が搭載されています。標準 CMOS 入力は高インピーダンスであり、通常は*電気的特性*に示されている入力容量と並列の抵抗としてモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算されます。

標準 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、『低速またはフローティング CMOS 入力の影響』を参照してください。

動作中は、標準 CMOS 入力をフローティングのままにしないでください。未使用の入力は、V_{CC} または GND に終端させる必要があります。システムが入力を常にアクティブに駆動している訳ではない場合、システムが入力をアクティブに駆動していないときに有効な入力電圧を与えるため、プルアップまたはプルダウン抵抗を追加できます。抵抗値は複数の要因で決まりますが、10kΩ の抵抗を推奨します。通常はこれですべての要件を満たします。

Copyright © 2025 Texas Instruments Incorporated

7.3.4 クランプ ダイオード構造

図 7-2 に示すように、このデバイスへの出力には正と負の両方のクランプ ダイオードがあり、このデバイスへの入力には負のクランプ ダイオードのみがあります。

注意

*絶対最大定格*表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。

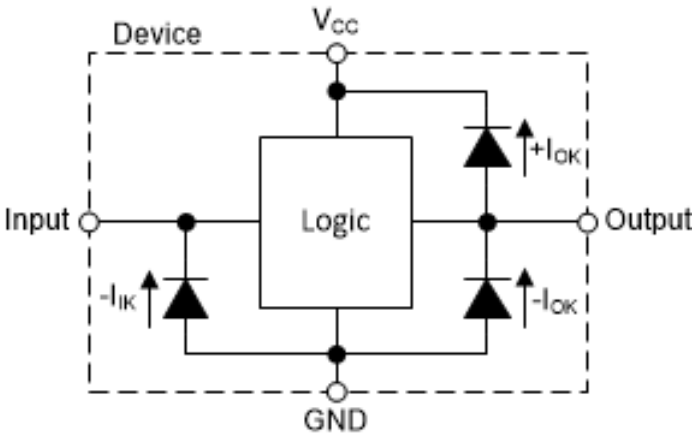


図 7-2. 各入力と出力に対するクランプ ダイオードの電気的配置

7.4 デバイスの機能モード

表 7-1 に、SNx4AHC244 の機能モードを示します。

表 7-1. 機能表

入力 (1)		出力
$\overline{OE}$	A	Y
L	L	L
L	H	H
H	X	Z

(1) H = High 電圧レベル、L = Low 電圧レベル、X = ドント ケア、Z = 高インピーダンス

Copyright © 2025 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

SNx4AHC244 は出力ドライブまたは PCB パターン長が懸念される多くのバス インターフェイス タイプのアプリケーションで使用できる高駆動能力の CMOS デバイスです。入力は、任意の有効な V_{CC} において 5.5V までの電圧に対応できるため、降圧変換に非常に適しています。

8.2 代表的なアプリケーション

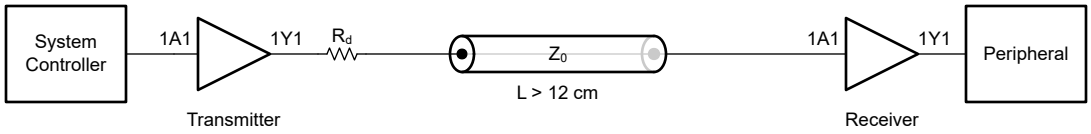


図 8-1. アプリケーション回路図

8.2.1 設計要件

このデバイスは CMOS 技術を採用しており、平衡型出力ドライバを備えています。上限値を超える電流が流れる可能性があるため、バスが競合することを避けてください。また、大きな駆動能力で軽負荷を駆動することでも高速なエッジが生じるため、配線と負荷の条件を検討してリンギングを防止してください。

8.2.2 詳細な設計手順

1. 推奨入力条件:
   - 立ち上がり時間と立ち下がり時間の仕様については、「*推奨動作条件*」表の (Δt/ΔV) を参照してください。
   - 規定された High および Low レベルについては、「*推奨動作条件*」表の (V_{IH} および V_{IL}) を参照してください。
   - 入力は過電圧許容で、「*推奨動作条件*」表で記載された任意の有効な V_{CC} において (最大 V_I) に対応できます。
2. 推奨最大出力条件:
   - 負荷電流は、出力ごとに I_O の最大値を超えないようにする必要があります。また、V_{CC} または GND を流れる連続電流は、本デバイスの最大総電流の仕様値を超えないようにする必要があります。これらの限界値は、「*絶対最大定格*」表に記載されています。
   - 出力は、V_{CC} を超えてプルされないようにしてください。

8.2.3 アプリケーション曲線

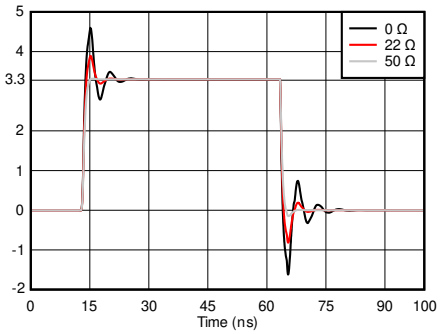


図 8-2. 異なるダンピング抵抗 (R_d) 値を使用してレシーバでのシグナル インテグリティをシミュレート

8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。このデバイスには 0.1µF のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1µF と 1µF のコンデンサは並列に使用されます。バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- バイパス コンデンサの配置
  - デバイスの正電源端子の近くに配置
  - 電気的に短いグランド帰還パスを提供
  - インピーダンスを最小化するため、広いパターンを使用
  - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
  - 8mil～12mil のトレース幅
  - 伝送ラインの影響を最小化する 12cm 未満の長さ
  - 信号トレースの 90° のコーナーは避ける
  - 信号トレースの下に、途切れのないグランド プレーンを使用
  - 信号トレース周辺の領域をグランドでフラッド フィル
  - 平行配線は、3 倍以上の誘電体厚で分離する必要があります
  - 12cm を超えるパターン用
    - インピーダンス制御トレースを使用
    - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
    - 分岐を回避。個別に分岐が必要なバッファ信号

8.4.2 レイアウト例

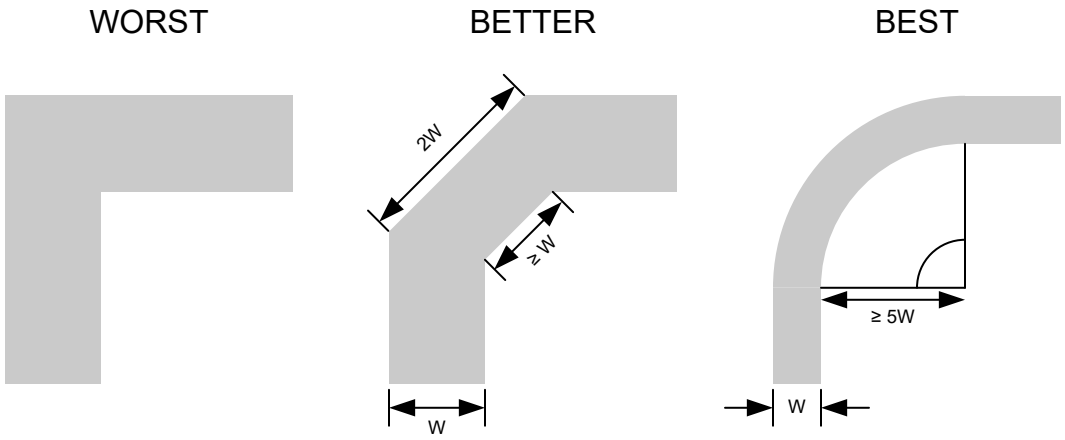


図 8-3. シグナル インテグリティ向上のためのサンプル パターンのコーナー

Copyright © 2025 Texas Instruments Incorporated

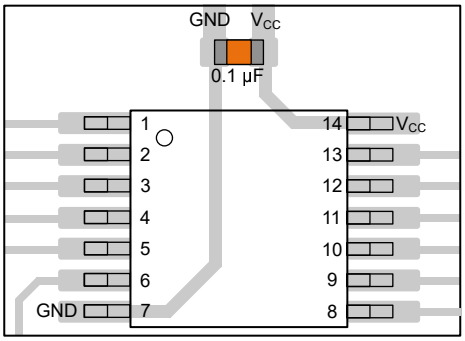


図 8-4. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

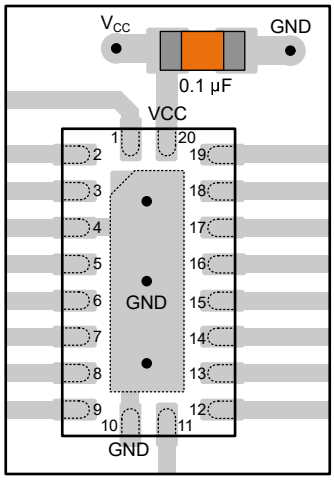


図 8-5. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

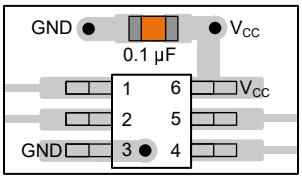


図 8-6. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

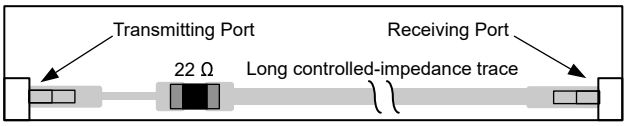


図 8-7. シグナル インテグリティ向上のためのダンピング抵抗の配置例

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『CMOS の消費電力と C_{pd} の計算』アプリケーション・レポート
- テキサス・インスツルメンツ、『ロジックを使用した設計』アプリケーション・レポート
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション・レポート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision M (January 2025) to Revision N (June 2025)	Page
• *「デバイス情報」* 表に VSSOP および VQFN を追加	1
• *「概要」*セクション、*「機能説明」*セクション、*「アプリケーション情報」*セクション、*「代表的なアプリケーション」*セクションを追加	1
• *「ピン構成および機能」*に DGS および RKS パッケージを追加	3

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision L (July 2024) to Revision M (January 2025) **Page**

- 「*ESD レーティング*」表の HBM 値および CDM 値を更新 5

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-9678201Q2A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9678201Q2A SNJ54AHC244FK
5962-9678201QRA	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9678201QRA SNJ54AHC244J
5962-9678201QSA	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9678201QSA SNJ54AHC244W
5962-9678201VRA	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9678201VRA SNV54AHC244J
5962-9678201VRA.A	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9678201VRA SNV54AHC244J
5962-9678201VSA	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9678201VSA SNV54AHC244W
5962-9678201VSA.A	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9678201VSA SNV54AHC244W
SN74AHC244DBR	Active	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA244
SN74AHC244DBR.A	Active	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA244
SN74AHC244DBRE4	Active	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA244
SN74AHC244DGSR	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC244
SN74AHC244DGVR	Active	Production	TVSOP (DGV) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA244
SN74AHC244DGVR.A	Active	Production	TVSOP (DGV) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA244
SN74AHC244DW	Obsolete	Production	SOIC (DW) | 20	-	-	Call TI	Call TI	-40 to 125	AHC244
SN74AHC244DWR	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC244
SN74AHC244DWR.A	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC244
SN74AHC244DWRG4	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC244
SN74AHC244N	Active	Production	PDIP (N) | 20	20 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	SN74AHC244N

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74AHC244N.A	Active	Production	PDIP (N) | 20	20 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	SN74AHC244N
SN74AHC244NSR	Active	Production	SOP (NS) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC244
SN74AHC244NSR.A	Active	Production	SOP (NS) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC244
SN74AHC244PW	Obsolete	Production	TSSOP (PW) | 20	-	-	Call TI	Call TI	-40 to 125	HA244
SN74AHC244PWR	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	HA244
SN74AHC244PWR.A	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HA244
SN74AHC244PWRE4	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA244
SN74AHC244PWRG4	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA244
SN74AHC244PWRG4.A	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA244
SN74AHC244RKSR	Active	Production	VQFN (RKS) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC244
SNJ54AHC244FK	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9678201Q2A SNJ54AHC 244FK
SNJ54AHC244FK.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9678201Q2A SNJ54AHC 244FK
SNJ54AHC244J	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9678201QRA SNJ54AHC244J
SNJ54AHC244J.A	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9678201QRA SNJ54AHC244J
SNJ54AHC244W	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9678201QSA SNJ54AHC244W
SNJ54AHC244W.A	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9678201QSA SNJ54AHC244W

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN54AHC244, SN54AHC244-SP, SN74AHC244 :

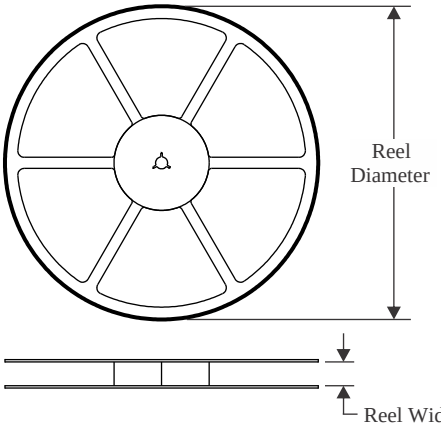
- Catalog : SN74AHC244, SN54AHC244
- Automotive : SN74AHC244-Q1, SN74AHC244-Q1
- Enhanced Product : SN74AHC244-EP, SN74AHC244-EP
- Military : SN54AHC244
- Space : SN54AHC244-SP

NOTE: Qualified Version Definitions:

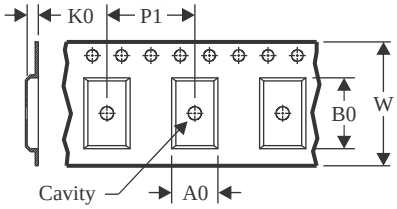
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TAPE AND REEL INFORMATION

REEL DIMENSIONS

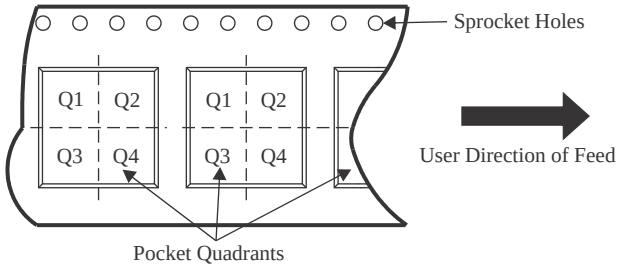


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

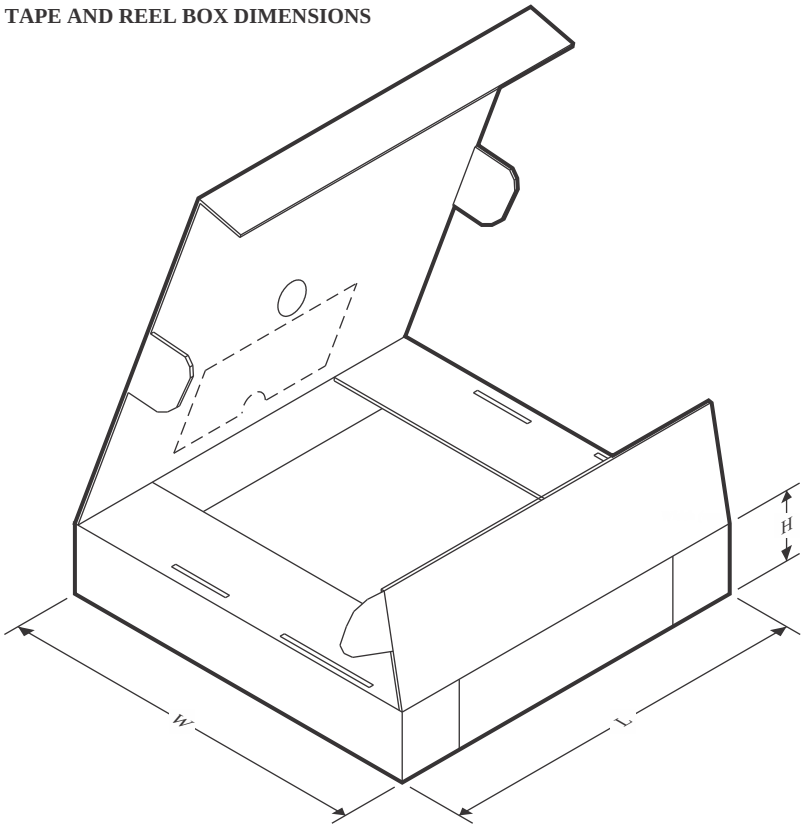
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AHC244DBR	SSOP	DB	20	2000	330.0	16.4	8.2	7.5	2.5	12.0	16.0	Q1
SN74AHC244DGSR	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74AHC244DGVR	TVSOP	DGV	20	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHC244DWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
SN74AHC244DWR	SOIC	DW	20	2000	330.0	24.4	10.9	13.3	2.7	12.0	24.0	Q1
SN74AHC244NSR	SOP	NS	20	2000	330.0	24.4	8.4	13.0	2.5	12.0	24.0	Q1
SN74AHC244PWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74AHC244PWRG4	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74AHC244PWRG4	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74AHC244RKSR	VQFN	RKS	20	3000	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1

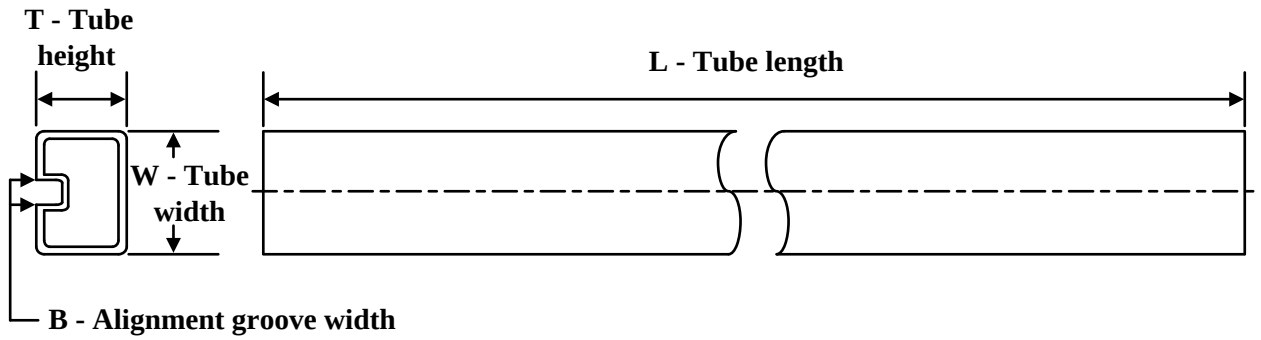
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AHC244DBR	SSOP	DB	20	2000	353.0	353.0	32.0
SN74AHC244DGSR	VSSOP	DGS	20	5000	353.0	353.0	32.0
SN74AHC244DGVR	TVSOP	DGV	20	2000	353.0	353.0	32.0
SN74AHC244DWR	SOIC	DW	20	2000	356.0	356.0	45.0
SN74AHC244DWR	SOIC	DW	20	2000	356.0	356.0	45.0
SN74AHC244NSR	SOP	NS	20	2000	356.0	356.0	45.0
SN74AHC244PWR	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74AHC244PWRG4	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74AHC244PWRG4	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74AHC244RKSR	VQFN	RKS	20	3000	210.0	185.0	35.0

TUBE



*All dimensions are nominal

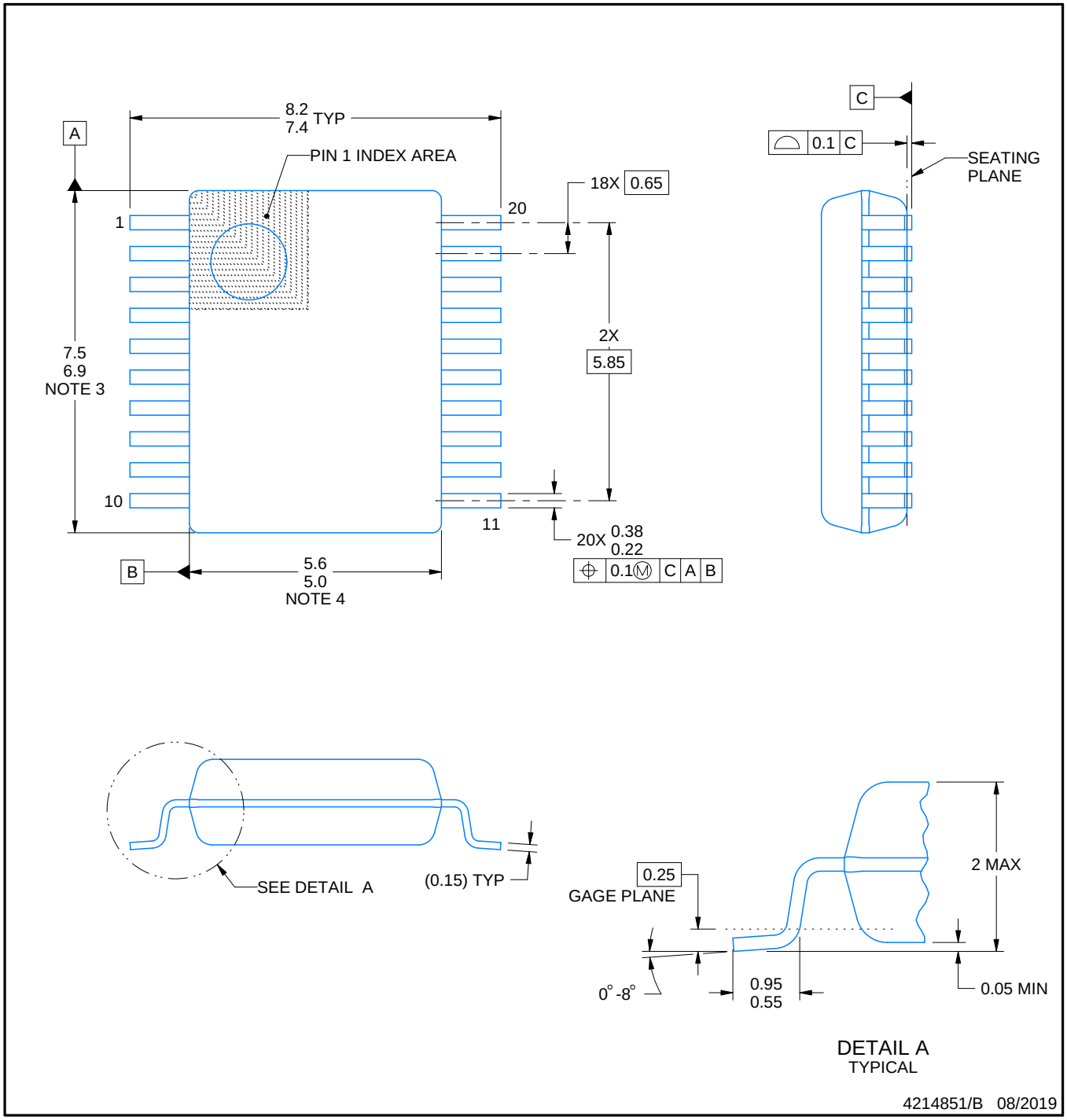
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-9678201Q2A	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-9678201QSA	W	CFP	20	25	506.98	26.16	6220	NA
5962-9678201VSA	W	CFP	20	25	506.98	26.16	6220	NA
5962-9678201VSA.A	W	CFP	20	25	506.98	26.16	6220	NA
SN74AHC244N	N	PDIP	20	20	506	13.97	11230	4.32
SN74AHC244N.A	N	PDIP	20	20	506	13.97	11230	4.32
SNJ54AHC244FK	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54AHC244FK.A	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54AHC244W	W	CFP	20	25	506.98	26.16	6220	NA
SNJ54AHC244W.A	W	CFP	20	25	506.98	26.16	6220	NA

PACKAGE OUTLINE

DB0020A

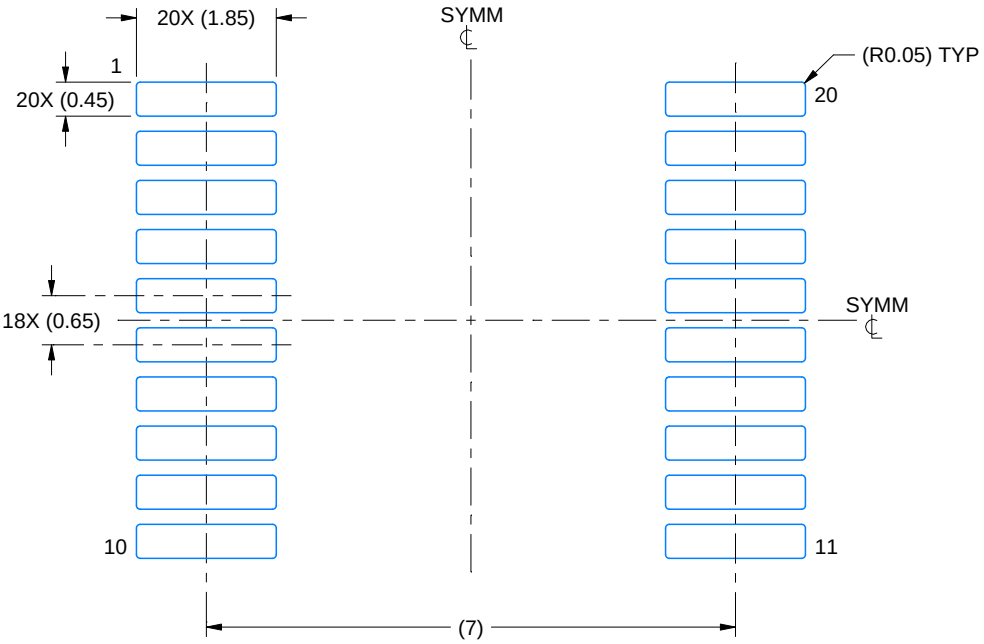
SSOP - 2 mm max height

SMALL OUTLINE PACKAGE

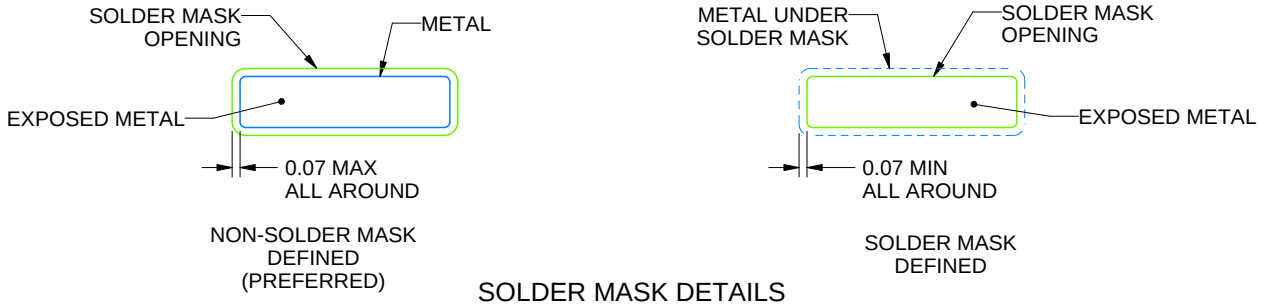


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4214851/B 08/2019

NOTES: (continued)

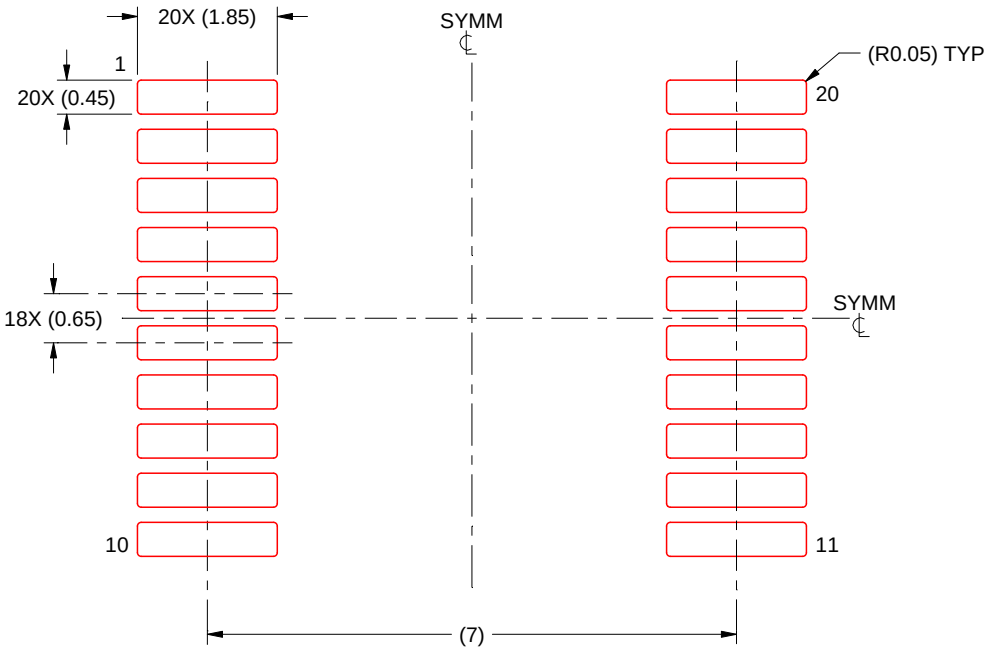
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DB0020A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4214851/B 08/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

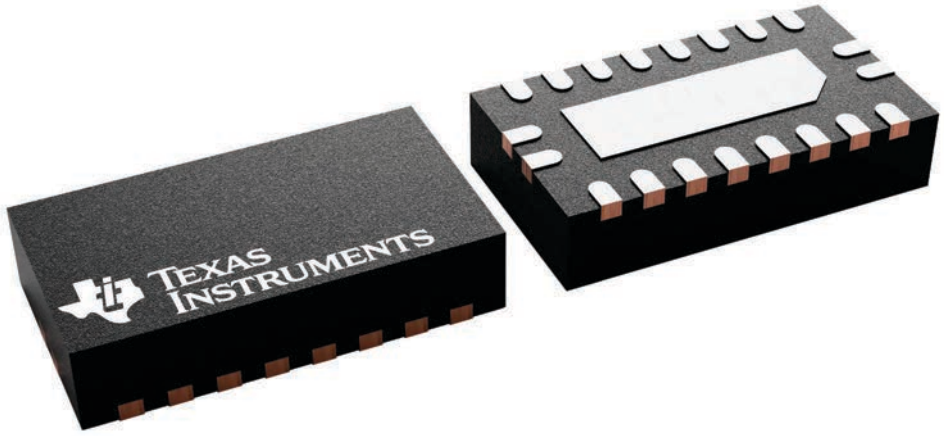
RKS 20

VQFN - 1 mm max height

2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

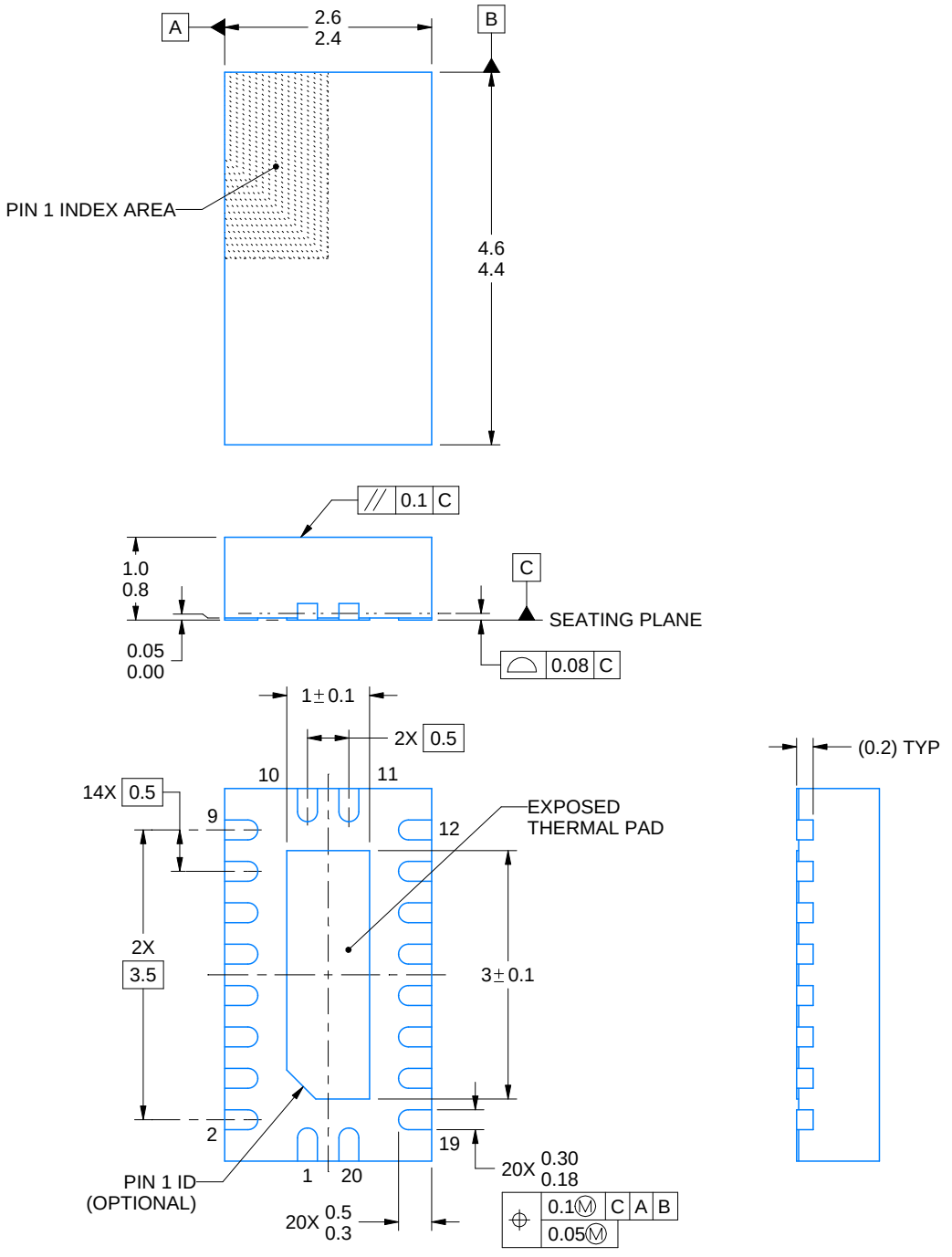


PACKAGE OUTLINE

RKS0020A

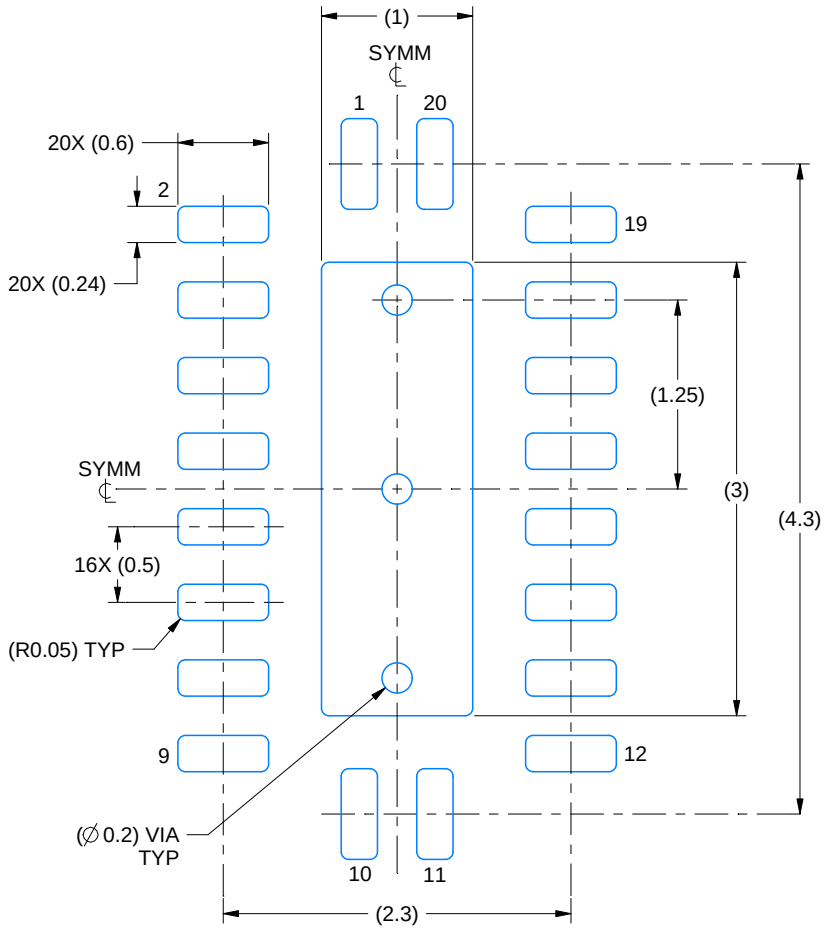
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

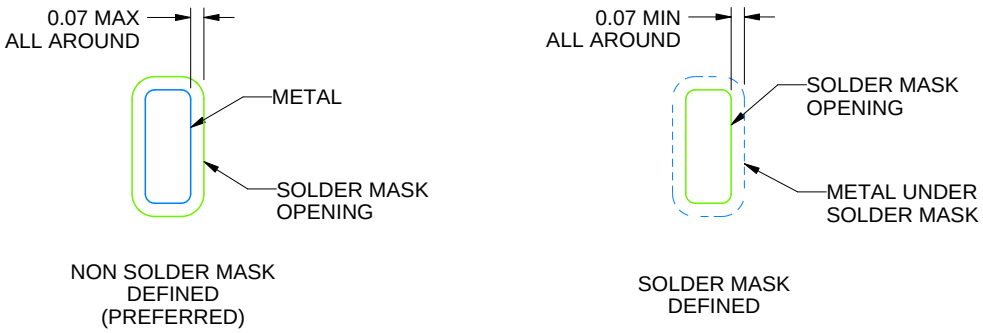


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

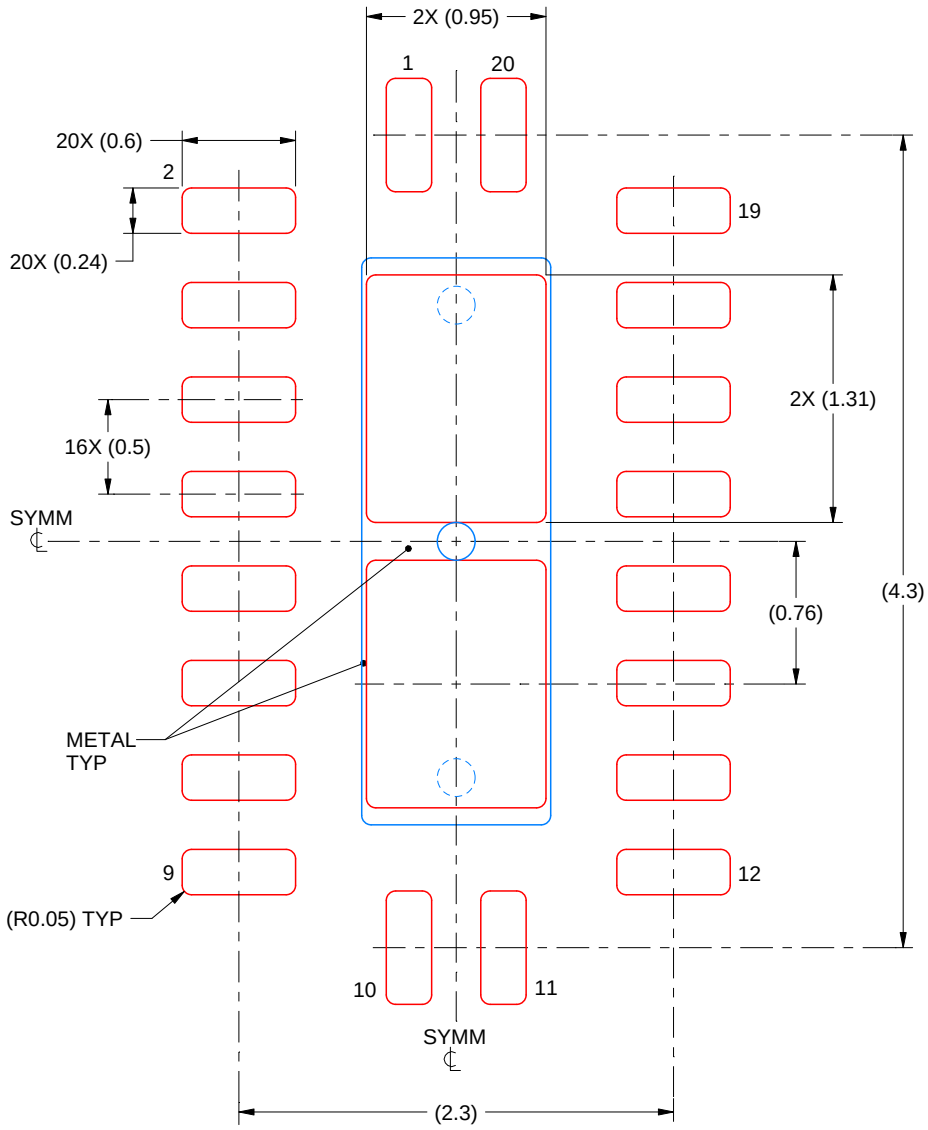


SOLDER MASK DETAILS

4222490/B 02/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
83% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4222490/B 02/2021

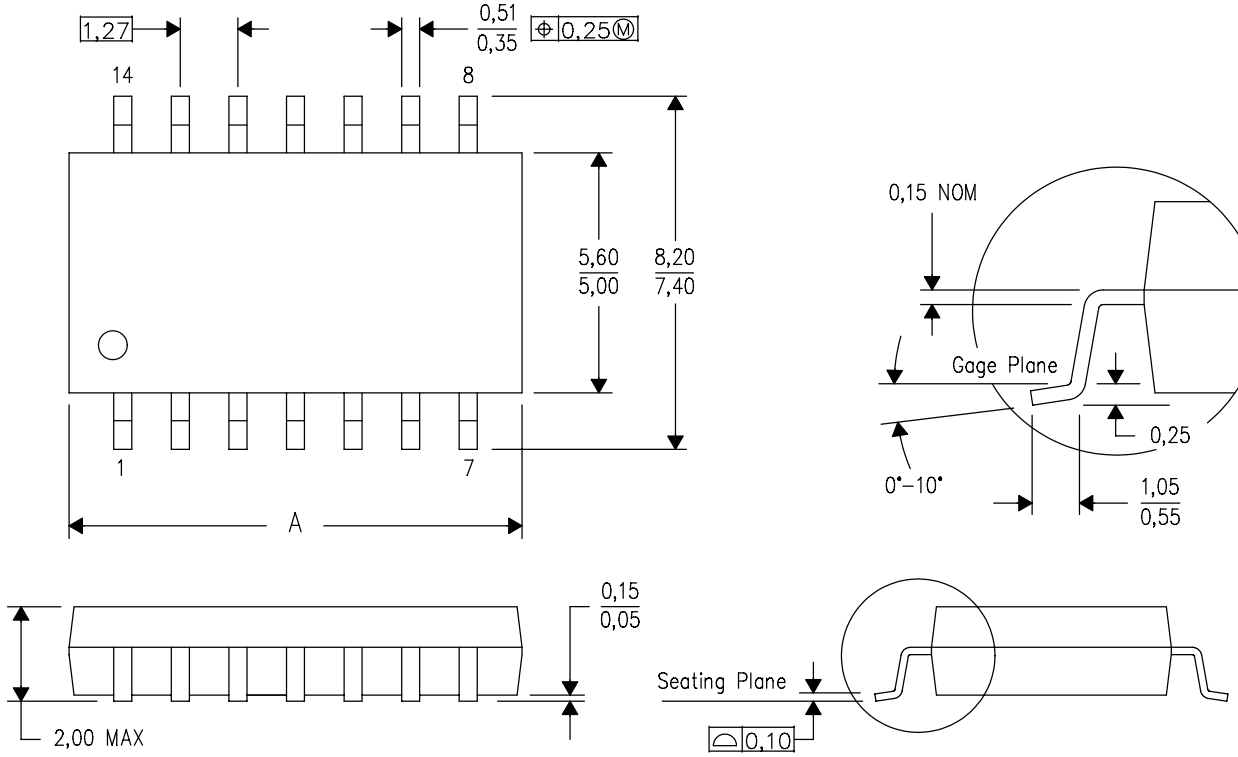
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

MECHANICAL DATA

NS (R-PDSO-G)** **PLASTIC SMALL-OUTLINE PACKAGE**

14-PINS SHOWN



DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

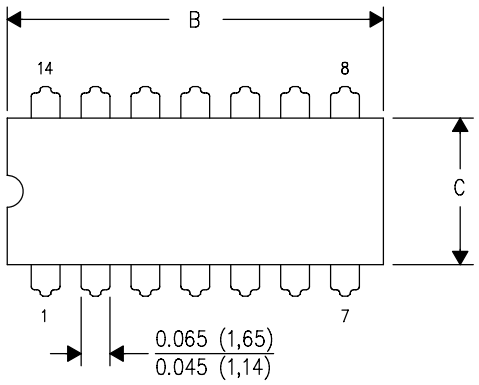
4040062/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

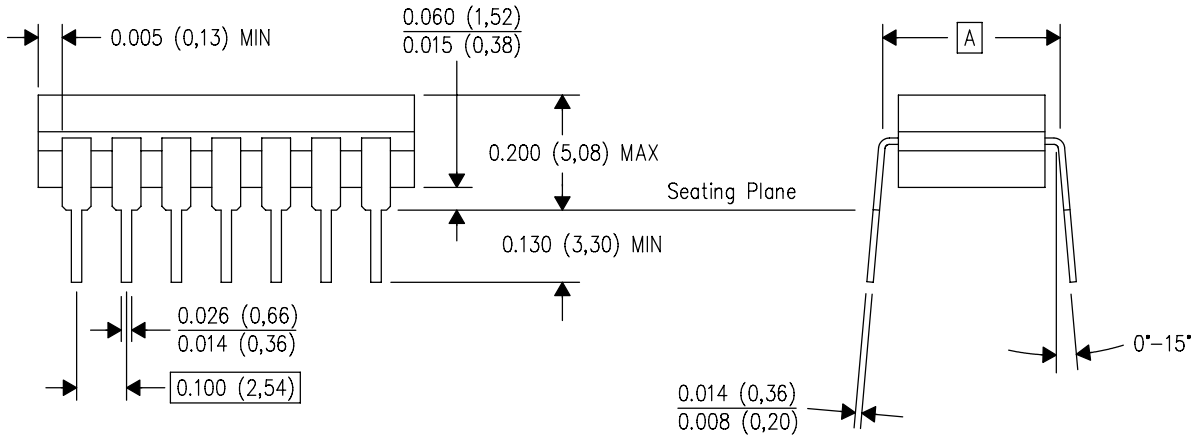
J (R–GDIP–T**)

14 LEADS SHOWN

CERAMIC DUAL IN–LINE PACKAGE



DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)

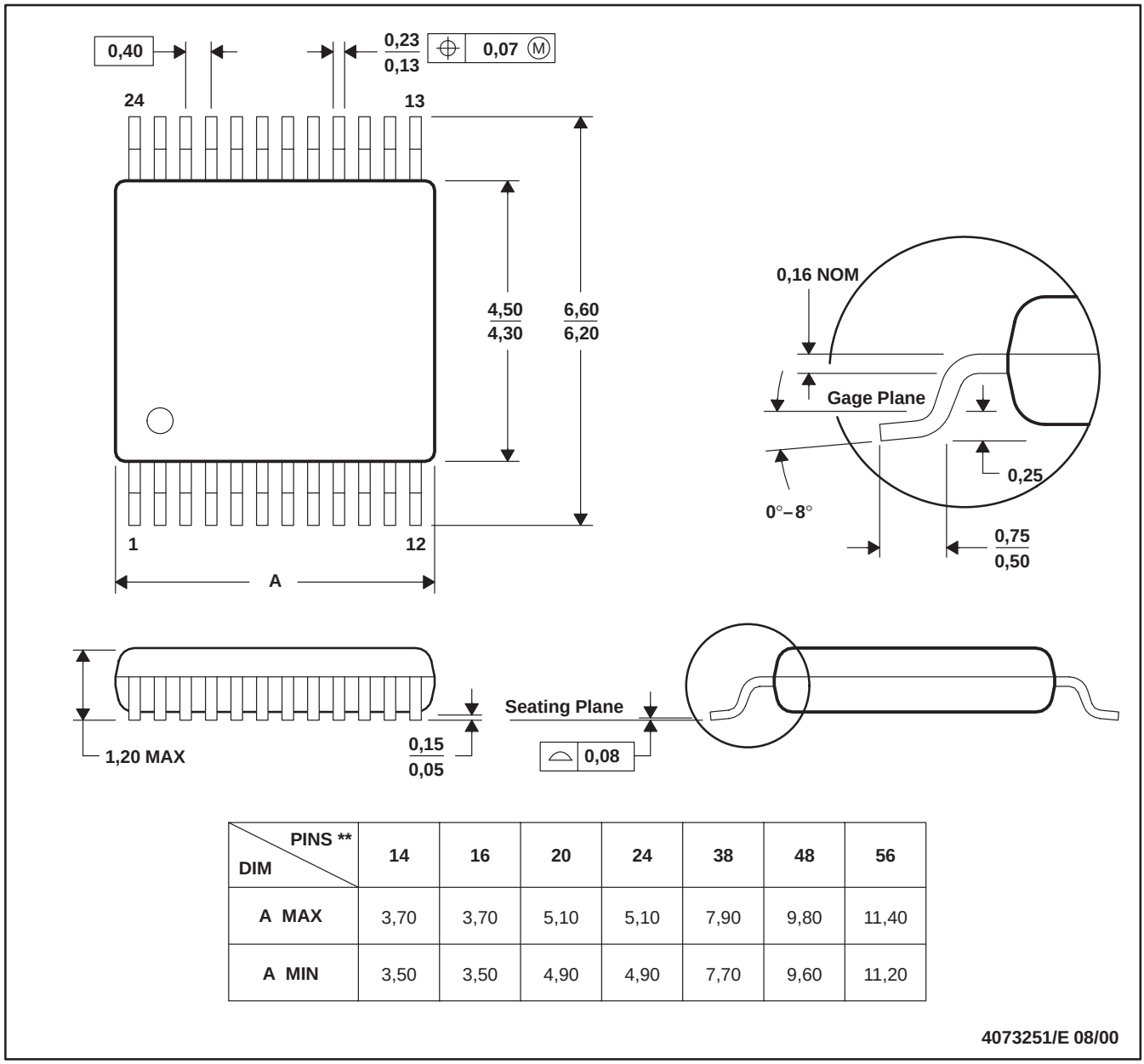


4040083/F 03/03

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package is hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
E. Falls within MIL STD 1835 GDIP1–T14, GDIP1–T16, GDIP1–T18 and GDIP1–T20.

DGV (R-PDSO-G)** **PLASTIC SMALL-OUTLINE**

24 PINS SHOWN



DIM \ PINS **	14	16	20	24	38	48	56
A MAX	3,70	3,70	5,10	5,10	7,90	9,80	11,40
A MIN	3,50	3,50	4,90	4,90	7,70	9,60	11,20

4073251/E 08/00

NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
D. Falls within JEDEC: 24/48 Pins – MO-153
14/16/20/56 Pins – MO-194

GENERIC PACKAGE VIEW

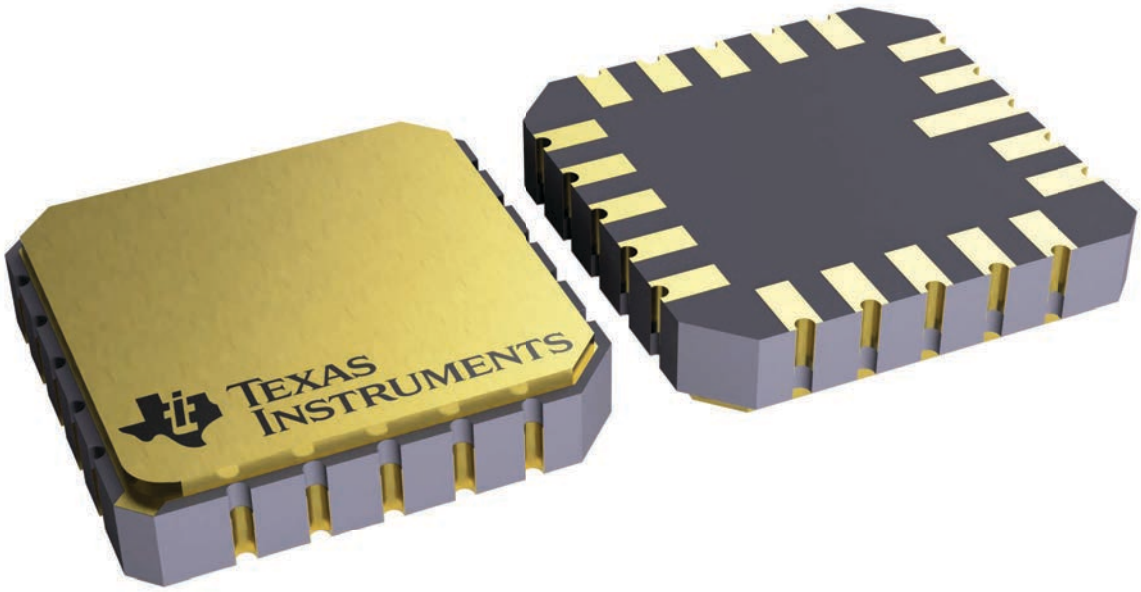
FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

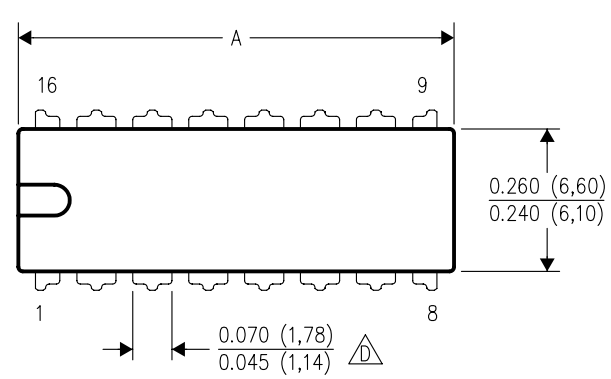


4229370VA\

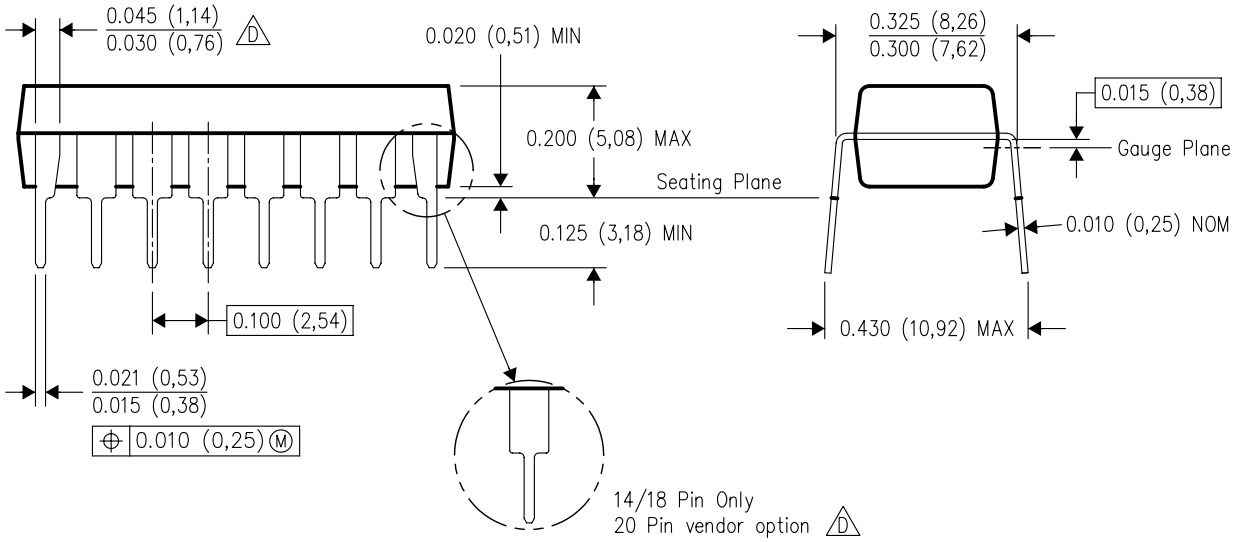
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN

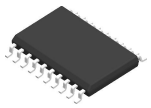


DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

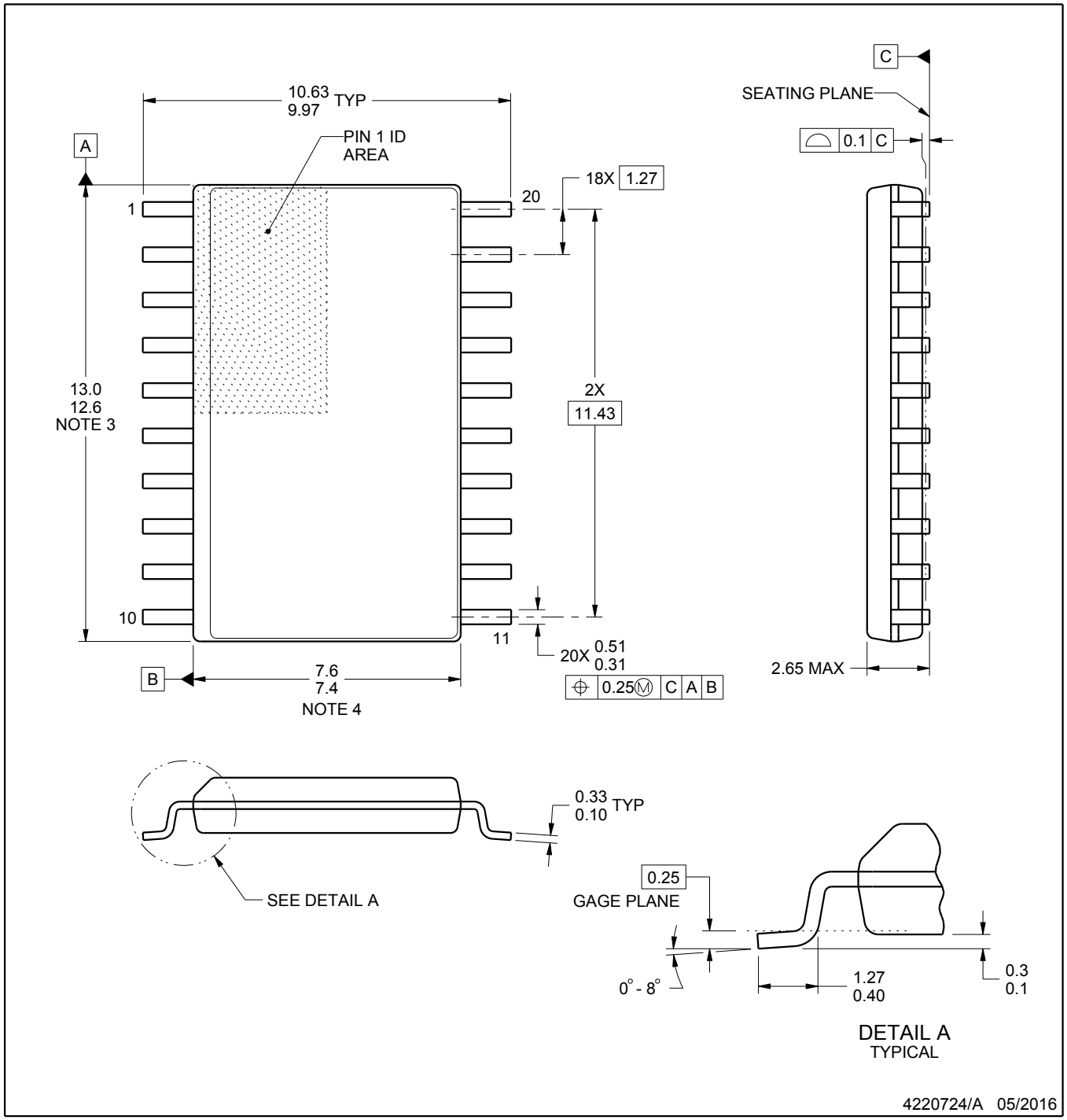


PACKAGE OUTLINE

DW0020A

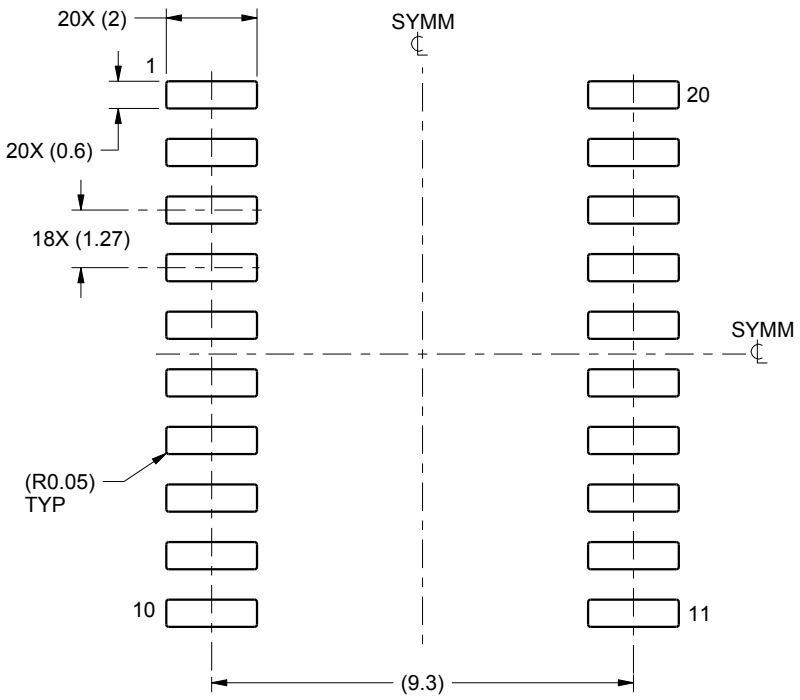
SOIC - 2.65 mm max height

SOIC

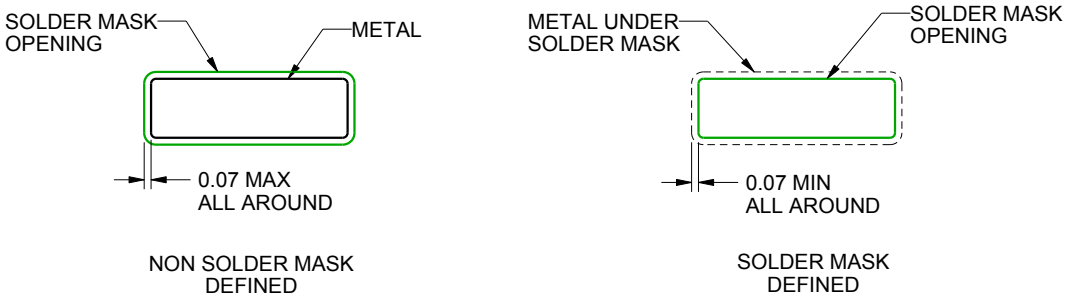


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.



LAND PATTERN EXAMPLE
SCALE:6X

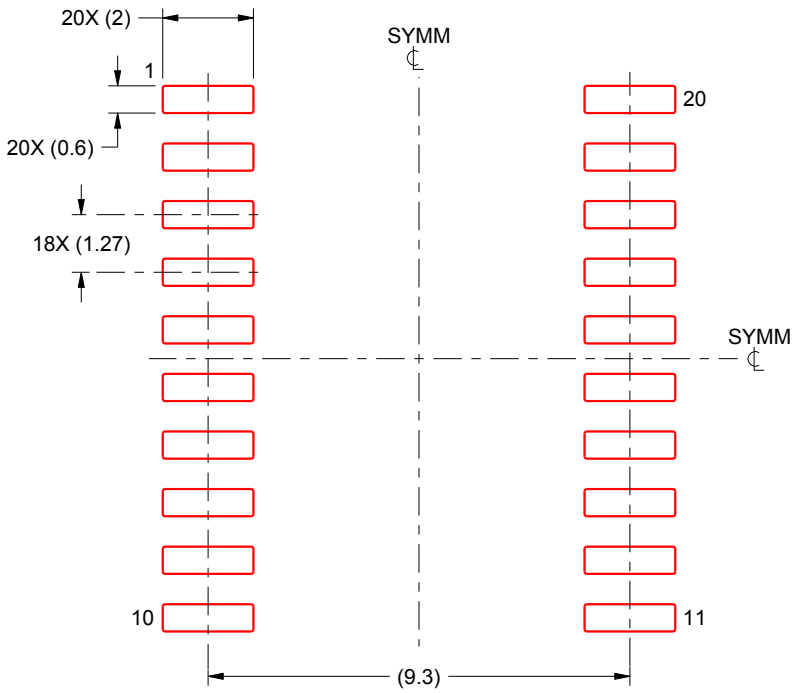


SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



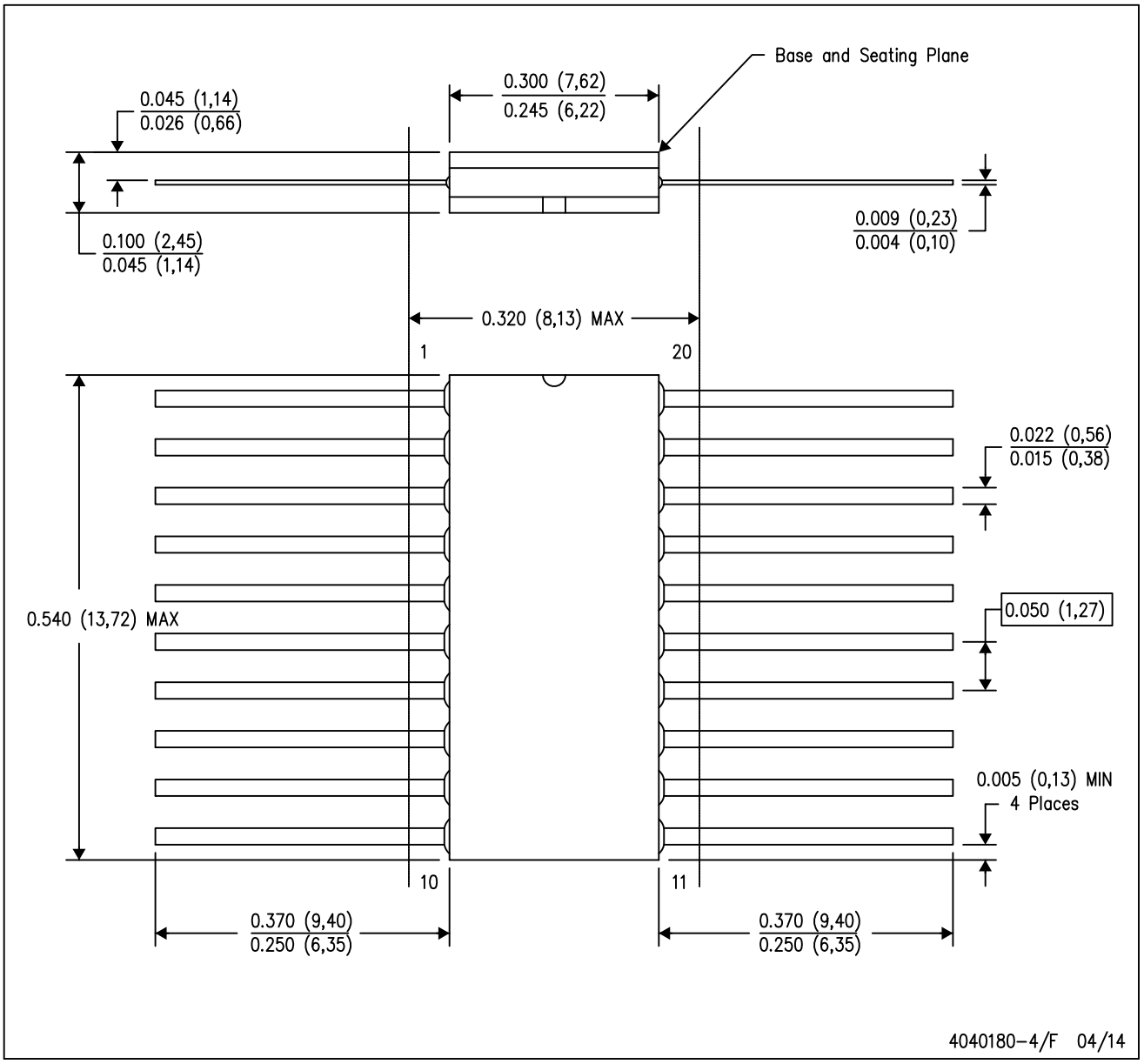
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

W (R–GDFP–F20) CERAMIC DUAL FLATPACK



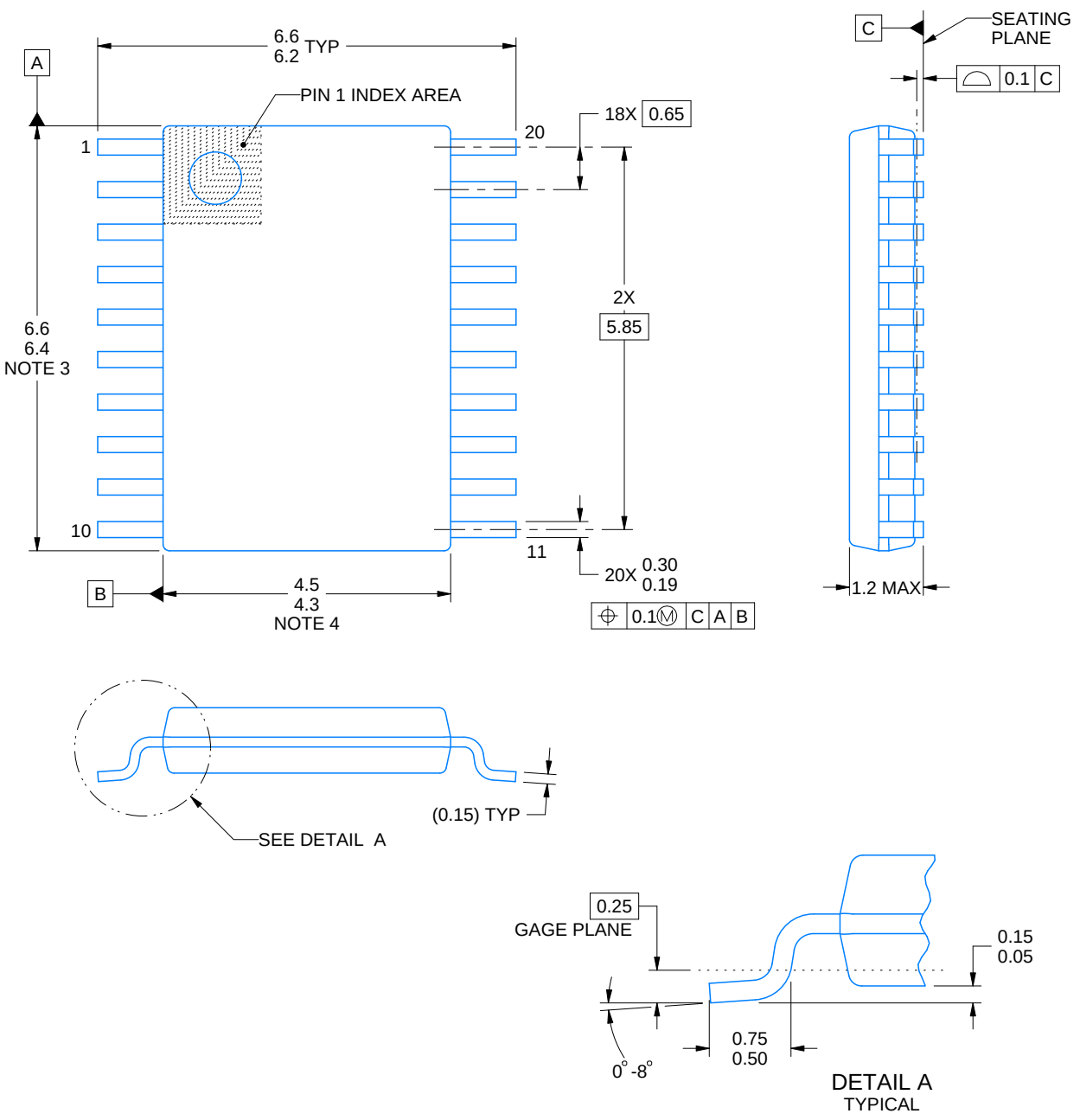
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package can be hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only.
E. Falls within Mil–Std 1835 GDFP2–F20

PACKAGE OUTLINE

PW0020A

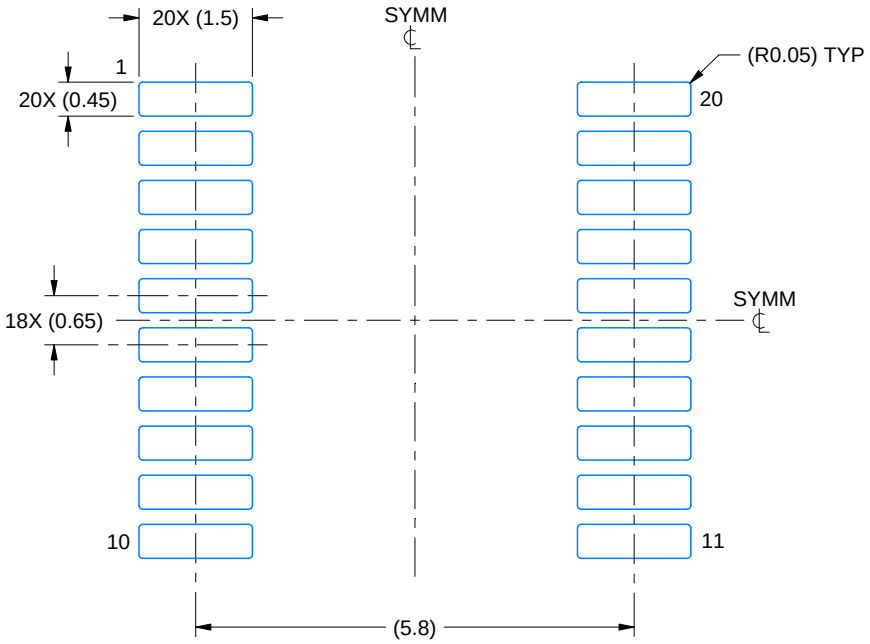
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

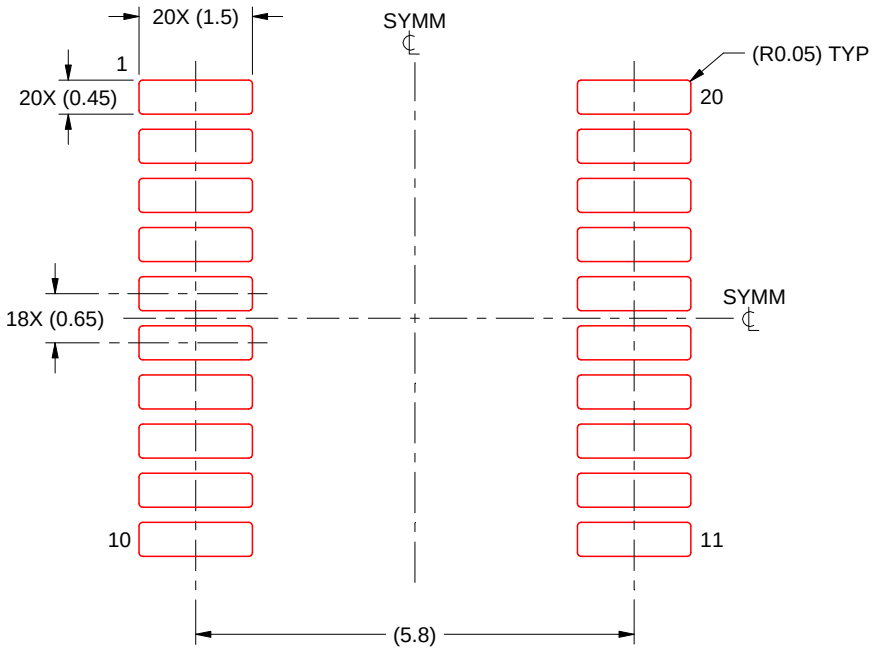


SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

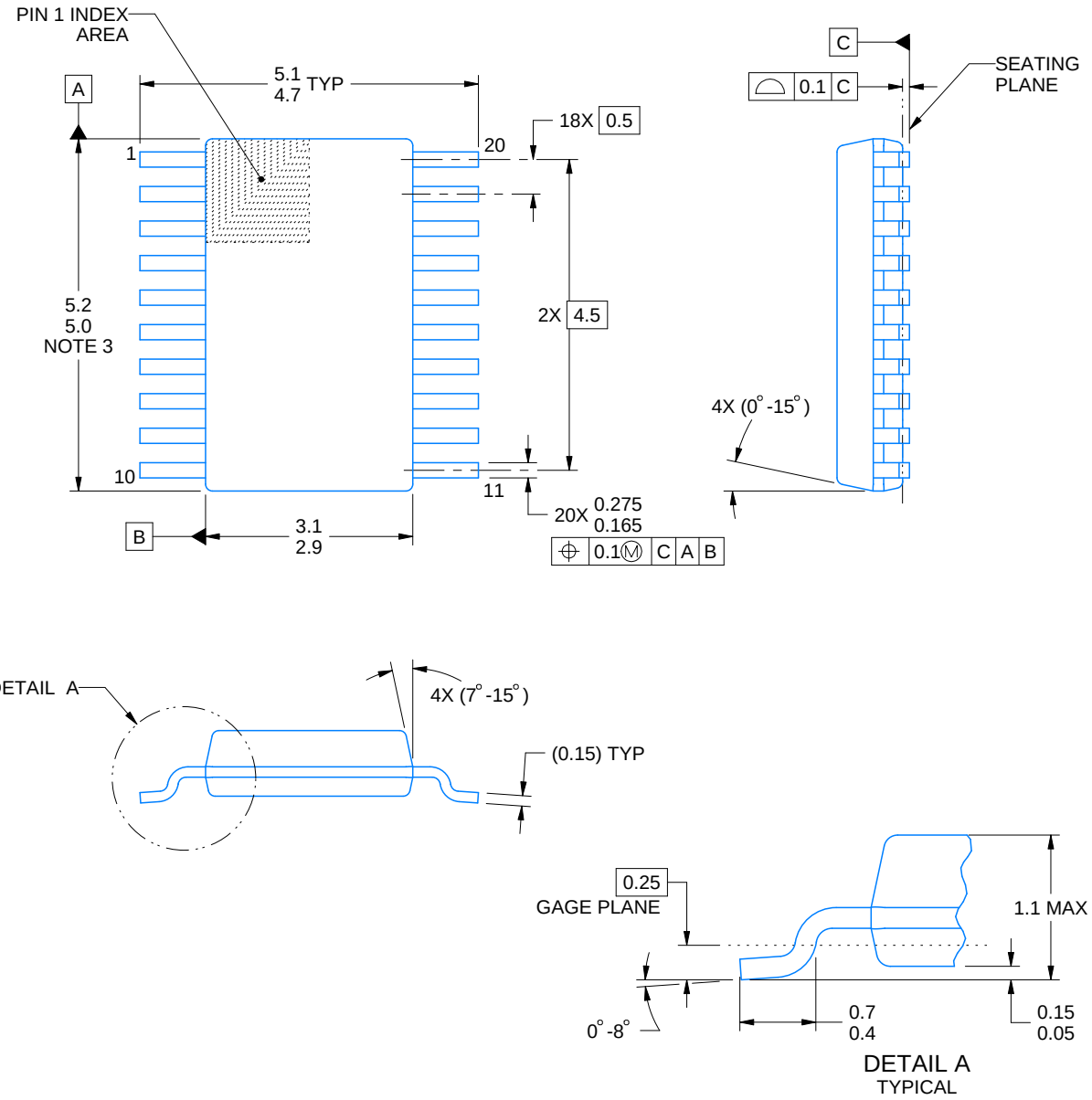
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGS0020A

VSSOP - 1.1 mm max height

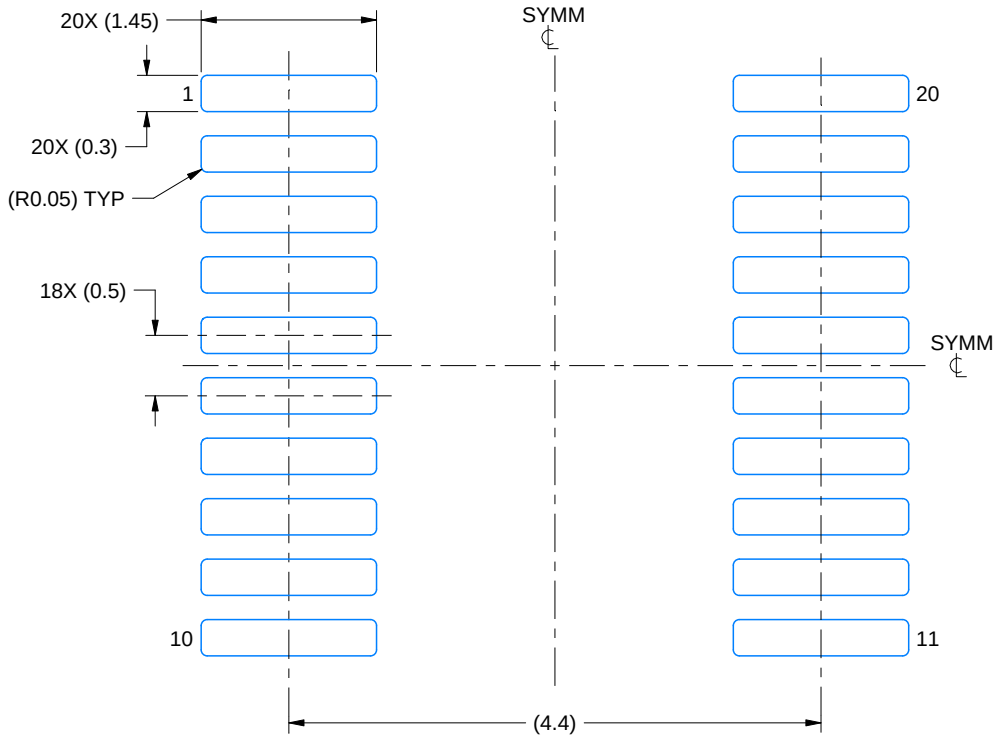
SMALL OUTLINE PACKAGE



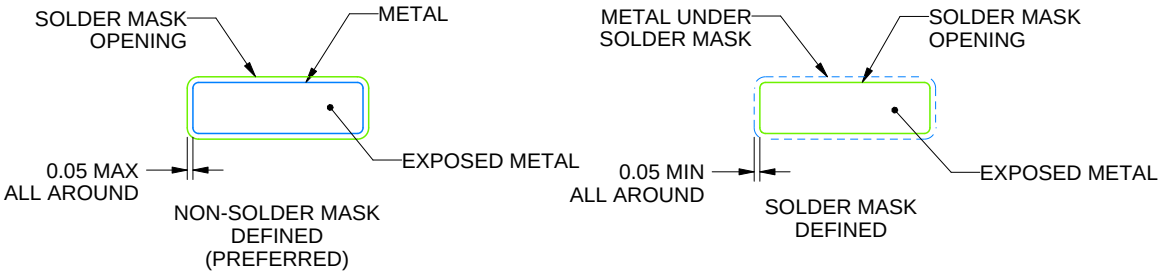
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
SCALE: 16X

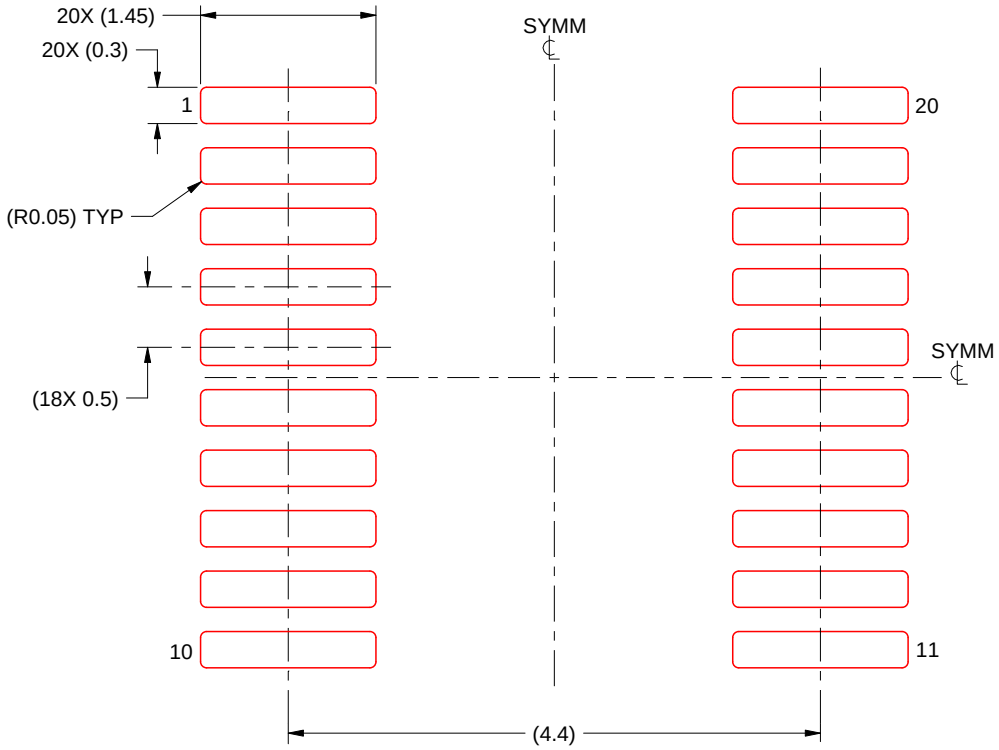


SOLDER MASK DETAILS

4226367/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月