TEXAS INSTRUMENTS
SN54AHC273, SN74AHC273
JAJSV25J – JUNE 1997 – REVISED JULY 2024

SNx4AHC273 クリア搭載、オクタル D タイプ フリップ フロップ

1 特長

- 2V～5.5V の V_{CC} で動作
- シングル レール出力を備えた 8 つのフリップ フロップ
- 直接クリア入力
- 各フリップ フロップへの個別データ入力
- JESD 17 準拠で 250mA 超のラッチアップ性能
- JESD 22 を上回る ESD 保護
  - 2000V、人体モデル (A114-A)
  - 1000V、デバイス帯電モデル (C101)
- MIL-PRF-38535 準拠の製品については、特に記述のない限り、すべてのパラメータはテスト済みです。その他のすべての製品については、量産プロセスにすべてのパラメータのテストが含まれているとは限りません。

2 アプリケーション

- バッファ / ストレージ レジスタ
- シフト レジスタ
- パターン ジェネレータ
- サーバー
- PC およびノートパソコン
- ネットワーク スイッチ
- メモリ システム
- データベース

3 概要

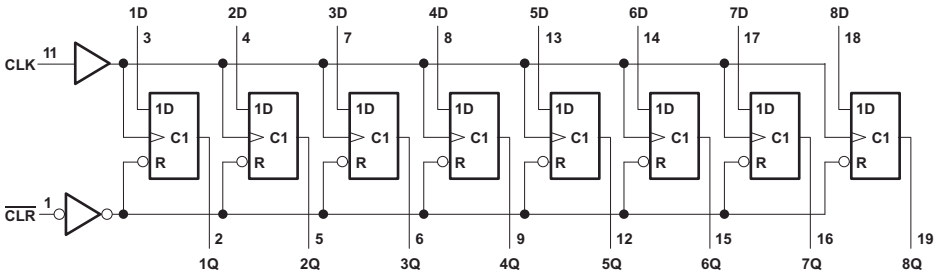
これらのデバイスはポジティブ エッジ トリガ D タイプ フリップ フロップで、ダイレクト クリア ($\overline{CLR}$) 入力を備えています。

データ (D) 入力のデータがセットアップ時間の要件と合致していれば、クロック パルス (CLK) の立ち上がりエッジでデータが Q 出力へ転送されます。クロックのトリガは、特定の電圧レベルで発生し、正方向パルスの遷移時間とは直接関係しません。CLK が HIGH レベルまたは LOW レベルのとき、D 入力は出力に影響を与えません。

製品情報

部品番号	パッケージ (1)	パッケージ サイズ(2)	本体サイズ (3)
SNx4AHC273	N (PDIP、20)	24.33mm × 9.4mm	25.40mm × 6.35mm
	DB (SSOP、20)	7.2mm × 7.8mm	7.50mm × 5.30mm
	NS (SOP、20)	12.60mm × 7.8mm	12.6mm × 5.30mm
	PW (TSSOP、20)	6.50mm × 6.4mm	6.50mm × 4.40mm
	DGV (TVSOP、20)	5.00mm × 6.4mm	5.00mm × 4.40mm
	DW (SOIC、20)	12.80mm × 10.3mm	12.8mm × 7.5mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

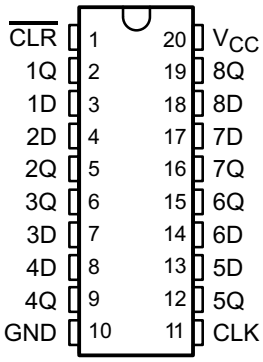
目次

1 特長 ... 1
2 アプリケーション ... 1
3 概要 ... 1
4 ピン構成および機能 ... 3
5 仕様 ... 4
5.1 絶対最大定格 ... 4
5.2 ESD 定格 ... 4
5.3 推奨動作条件 ... 4
5.4 熱に関する情報 ... 5
5.5 電気的特性 ... 5
5.6 タイミング要件、V_{CC} = 3.3V ± 0.3V ... 6
5.7 タイミング要件、V_{CC} = 5 V ± 0.5 V ... 6
5.8 スイッチング特性、V_{CC} = 3.3 V ± 0.3 V ... 6
5.9 スイッチング特性、V_{CC} = 5 V ± 0.5 V ... 6
5.10 ノイズ特性 ... 7
5.11 動作特性 ... 7
5.12 代表的特性 ... 7
6 パラメータ測定情報 ... 8
7 詳細説明 ... 9
7.1 概要 ... 9
7.2 機能ブロック図 ... 9
7.3 機能説明 ... 9
7.4 デバイスの機能モード ... 9
8 アプリケーションと実装 ... 10
8.1 アプリケーション情報 ... 10
8.2 代表的なアプリケーション ... 10
8.3 電源に関する推奨事項 ... 11
8.4 レイアウト ... 11
9 デバイスおよびドキュメントのサポート ... 13
9.1 ドキュメントのサポート ... 13
9.2 ドキュメントの更新通知を受け取る方法 ... 13
9.3 サポート・リソース ... 13
9.4 商標 ... 13
9.5 静電気放電に関する注意事項 ... 13
9.6 用語集 ... 13
10 改訂履歴 ... 13
11 メカニカル、パッケージ、および注文情報 ... 14

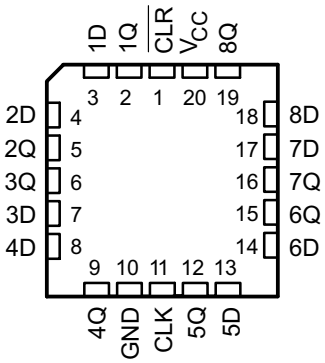
Copyright © 2024 Texas Instruments Incorporated

4 ピン構成および機能

SN54AHC273 . . . J OR W PACKAGE
SN74AHC273 . . . DB, DGV, DW, N, NS, OR PW PACKAGE
(TOP VIEW)



SN54AHC273 . . . FK PACKAGE
(TOP VIEW)



ピン		I/O	説明
番号	名称		
1	$\overline{CLR}$	I	クリア ピン
2	1Q	O	1Q 出力
3	1D	I	1D 入力
4	2D	I	2D 入力
5	2Q	O	2Q 出力
6	3Q	O	3Q 出力
7	3D	I	3D 入力
8	4D	I	4D 入力
9	4Q	O	4Q 出力
10	GND	—	グランド ピン
11	CLK	I	クロック ピン
12	5Q	O	5Q 出力
13	5D	I	5D 入力
14	6D	I	6D 入力
15	6Q	O	6Q 出力
16	7Q	O	7Q 出力
17	7D	I	7D 入力
18	8D	I	8D 入力
19	8Q	O	8Q 出力
20	VCC	—	パワー ピン

Copyright © 2024 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	7	V
V_I	入力電圧範囲(2)		-0.5	7	V
V_O	出力電圧範囲(2)		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流	V_I < 0		-20	mA
I_{OK}	出力クランプ電流	V_O < 0 または V_O > V_{CC}		±20	mA
I_O	連続出力電流	V_O = 0～V_{CC}		±25	mA
	V_{CC} または GND を通過する連続電流			±75	mA
T_{stg}	保管温度範囲		-65	150	℃

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	±1000	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			SN54AHC273		SN74AHC273		単位
			最小値	最大値	最小値	最大値	
V_{CC}	電源電圧		2	5.5	2	5.5	V
V_{IH}	High レベル入力電圧	V_{CC} = 2 V	1.5		1.5		V
		V_{CC} = 3 V	2.1		2.1		
		V_{CC} = 5.5 V	3.85		3.85		
V_{IL}	Low レベル入力電圧	V_{CC} = 2 V		0.5		0.5	V
		V_{CC} = 3 V		0.9		0.9	
		V_{CC} = 5.5 V		1.65		1.65	
V_I	入力電圧		0	5.5	0	5.5	V
V_O	出力電圧		0	V_{CC}	0	V_{CC}	V
I_{OH}	High レベル出力電流	V_{CC} = 2 V		-50		-50	μA
		V_{CC} = 3 V ± 0.3 V		-4		-4	mA
		V_{CC} = 5.5 V ± 0.5 V		-8		-8	
I_{OL}	Low レベル出力電流	V_{CC} = 2 V		50		50	μA
		V_{CC} = 3 V ± 0.3 V		4		4	mA
		V_{CC} = 5.5 V ± 0.5 V		8		8	
$\Delta t/\Delta v$	入力遷移の立ち上がり時間と立ち下がり時間	V_{CC} = 3 V ± 0.3 V		100		100	ns/V
		V_{CC} = 5.5 V ± 0.5 V		20		20	

Copyright © 2024 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		SN54AHC273		SN74AHC273		単位
		最小値	最大値	最小値	最大値	
T_A	自由空気での動作温度	-55	125	-40	125	℃

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーション レポート『低速またはフローティング CMOS 入力の影響』(SCBA004) を参照してください。

5.4 熱に関する情報

熱評価基準(1)		SN74AHC273						単位
		N	DW	NS	DB	PW	DGV	
		20 ピン						
$R_{\theta JA}$	接合部から周囲への熱抵抗	53.9	81.1	79.4	98.7	116.8	118.1	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	38.8	48.9	45.9	60.4	58.5	33.4	
$R_{\theta JB}$	接合部から基板への熱抵抗	34.7	53.8	46.9	56.9	78.7	59.6	
ψ_{JT}	接合部から上面への特性パラメータ	26.9	19.5	19.1	21.6	12.6	1.1	
ψ_{JB}	接合部から基板への特性パラメータ	34.7	53.1	46.5	53.5	77.9	58.9	
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	該当なし	該当なし	該当なし	

(1) 従来および新しい熱評価基準値の詳細については、テキサス・インスツルメンツのアプリケーション レポート『IC パッケージの熱評価基準』(SPRA953) を参照してください。

5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	T_A = 25℃			SN54AHC273		SN74AHC273		単位
			最小値	代表値	最大値	最小値	最大値	最小値	最大値	
V_{OH}	I_{OH} = -50 µA	2 V	1.9			1.9		1.9		V
		3 V	2.9			2.9		2.9		
		4.5 V	4.4			4.4		4.4		
	I_{OH} = -4 mA	3 V	2.58			2.48		2.48		
	I_{OH} = -8 mA	4.5 V	3.94			3.8		3.8		
V_{OL}	I_{OL} = 50 µA	2 V			0.1		0.1		0.1	V
		3 V			0.1		0.1		0.1	
		4.5 V			0.1		0.1		0.1	
	I_{OL} = 4 mA	3 V			0.36		0.5		0.44	
	I_{OL} = 8 mA	4.5 V			0.36		0.5		0.44	
I_I	V_I = 5.5 V または GND	0～5.5 V			±0.1		±1(1)		±1	µA
I_{CC}	V_I = V_{CC} または GND　I_O = 0	5.5 V			4		40		40	µA
C_i	V_I = V_{CC} または GND	5 V		2.5	10				10	pF

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、V_{CC} = 0V で出荷時のテストは行っていません。

Copyright © 2024 Texas Instruments Incorporated

5.6 タイミング要件、V_{CC} = 3.3V ± 0.3V

自由空気での推奨動作温度範囲内 (特に記述のない限り) (「負荷回路および電圧波形」を参照)

		SN54AHC273			SN74AHC273			単位
		T_A = 25℃		最小値 最大値	T_A = 25℃		最小値 最大値	
		最小値	最大値		最小値	最大値		
t_w パルス幅	$\overline{CLR}$ が Low	5		6	5		6	ns
	CLK が High または Low	5		6.5	5		6.5	
t_{su} セットアップ時間	CLK↑前のデータ	5.5		6.5	5.5		6.5	ns
	CLK↑ の前の CLR	2.5		2.5	2.5		2.5	
t_h ホールド時間、CLK↑後のデータ		1.5		2	1		1	ns

5.7 タイミング要件、V_{CC} = 5 V ± 0.5 V

自由空気での推奨動作温度範囲内 (特に記述のない限り) (「負荷回路および電圧波形」を参照)

		SN54AHC273			SN74AHC273			単位
		T_A = 25℃		最小値 最大値	T_A = 25℃		最小値 最大値	
		最小値	最大値		最小値	最大値		
t_w パルス幅	$\overline{CLR}$ が Low	5		5	5		5	ns
	CLK が High または Low	5		5	5		5	
t_{su} セットアップ時間	CLK↑前のデータ	4.5		4.5	4.5		4.5	ns
	CLK↑ の前の CLR	2		2	2		2	
t_h ホールド時間、CLK↑後のデータ		1.5		2	1		1	ns

5.8 スイッチング特性、V_{CC} = 3.3 V ± 0.3 V

自由空気での推奨動作温度範囲内 (特に記述のない限り) (「負荷回路および電圧波形」を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃			SN54AHC273		SN74AHC273		単位
				最小値	代表値	最大値	最小値	最大値	最小値	最大値	
f_{max}			C_L = 15pF	75[1]	120[1]		65[1]		65		MHz
			C_L = 50pF	50	75		45		45		
t_{PHL}	$\overline{CLR}$	Q	C_L = 15pF		8.9[1]	13.6[1]	1[1]	16[1]	1	16	ns
t_{PLH}	CKL	Q	C_L = 15pF		8.7[1]	13.6[1]	1[1]	16[1]	1	16	ns
t_{PHL}					8.7[1]	13.6[1]	1[1]	16[1]	1	16	
t_{PHL}	$\overline{CLR}$	Q	C_L = 50pF		11.4	17.1	1	19.5	1	19.5	ns
t_{PLH}	CLK	Q	C_L = 50pF		11.2	17.1	1	19.5	1	19.5	ns
t_{PHL}					11.2	17.1	1	19.5	1	19.5	ns
$t_{sk(o)}$			C_L = 50pF			1.5[2]				1.5	ns

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、出荷時のテストは行っていません。
(2) MIL-PRF-38535 に準拠した製品では、このパラメータは適用されません。

5.9 スイッチング特性、V_{CC} = 5 V ± 0.5 V

自由空気での推奨動作温度範囲内 (特に記述のない限り) (「負荷回路および電圧波形」を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃			SN54AHC273		SN74AHC273		単位
				最小値	代表値	最大値	最小値	最大値	最小値	最大値	
f_{max}			C_L = 15pF	120[1]	165[1]		100[1]		100		MHz
			C_L = 50pF	80	110		70		70		

Copyright © 2024 Texas Instruments Incorporated

自由空気での推奨動作温度範囲内 (特に記述のない限り) (「負荷回路および電圧波形」を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃			SN54AHC273		SN74AHC273		単位
				最小値	代表値	最大値	最小値	最大値	最小値	最大値	
t_{PHL}	$\overline{CLR}$	Q	C_L = 15pF		5.2[1]	8.5[1]	1[1]	10[1]	1	10	ns
t_{PLH}	CKL	Q	C_L = 15pF		5.8[1]	9[1]	1[1]	10.5[1]	1	10.5	ns
t_{PHL}					5.8[1]	9[1]	1[1]	10.5[1]	1	10.5	
t_{PHL}	$\overline{CLR}$	Q	C_L = 50pF		6.7	10.5	1	12	1	12	ns
t_{PLH}	CLK	Q	C_L = 50pF		7.3	11	1	12.5	1	12.5	ns
t_{PHL}					7.3	11	1	12.5	1	12.5	ns
$t_{sk(o)}$			C_L = 50pF			1[2]				1	ns

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、出荷時のテストは行っていません。
(2) MIL-PRF-38535 に準拠した製品では、このパラメータは適用されません。

5.10 ノイズ特性

V_{CC} = 5 V、C_L = 50pF、T_A = 25℃

パラメータ		SN74AHC273			単位
		最小値	代表値	最大値	
$V_{OL(P)}$	低ノイズ出力、最大動的電圧 V_{OL}		0.7		V
$V_{OL(V)}$	低ノイズ出力、最小動的電圧 V_{OL}		-0.7		V
$V_{OH(V)}$	低ノイズ出力、最小動的電圧 V_{OH}		4.7		V
$V_{IH(D)}$	High レベル動的入力電圧	3.5			V
$V_{IL(D)}$	Low レベル動的入力電圧			1.5	V

5.11 動作特性

T_A = 25℃

パラメータ		テスト条件		代表値	単位
C_{pd}	電力散逸容量	無負荷	f = 1 MHz	31	pF

5.12 代表的特性

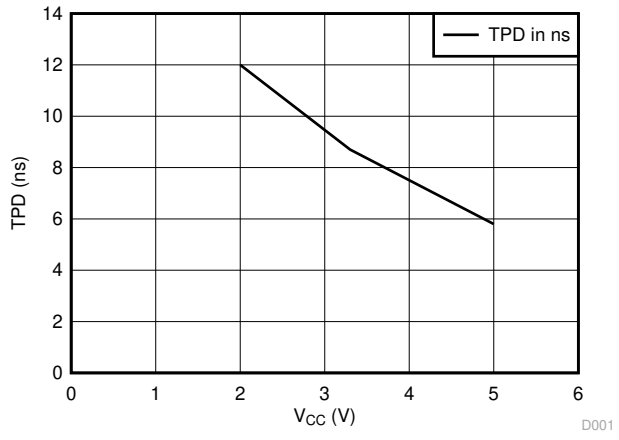


図 5-1. TPD と V_{CC} との関係

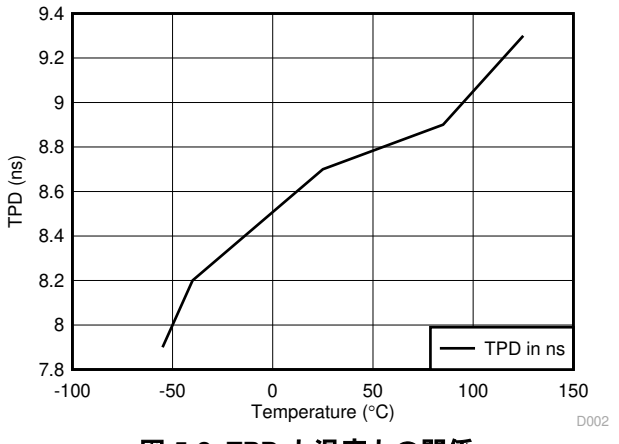
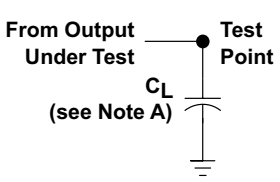
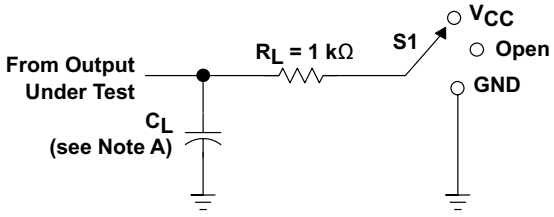


図 5-2. TPD と温度との関係

6 パラメータ測定情報

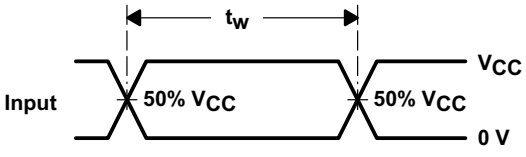


LOAD CIRCUIT FOR
TOTEM-POLE OUTPUTS

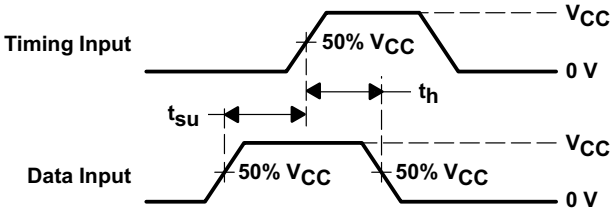


LOAD CIRCUIT FOR
3-STATE AND OPEN-DRAIN OUTPUTS

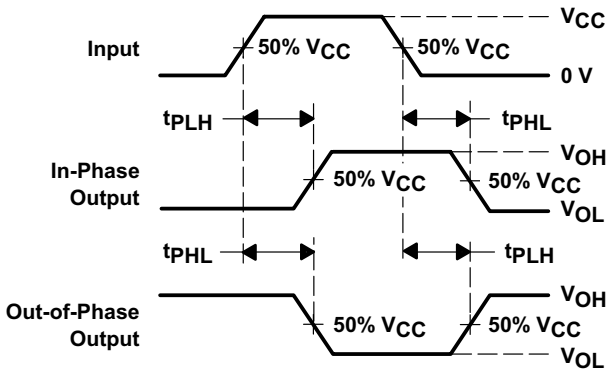
TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{CC}
t_{PHZ}/t_{PZH}	GND
Open Drain	V_{CC}



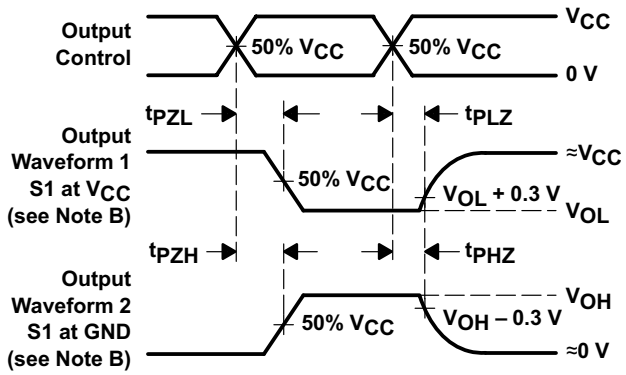
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

NOTES: A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low except when disabled by the output control.
Waveform 2 is for an output with internal conditions such that the output is high except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 1 MHz, Z_O = 50 Ω, t_r ≤ 3 ns, t_f ≤ 3 ns.
D. The outputs are measured one at a time with one input transition per measurement.
E. All parameters and waveforms are not applicable to all devices.

図 6-1. 負荷回路および電圧波形

Copyright © 2024 Texas Instruments Incorporated

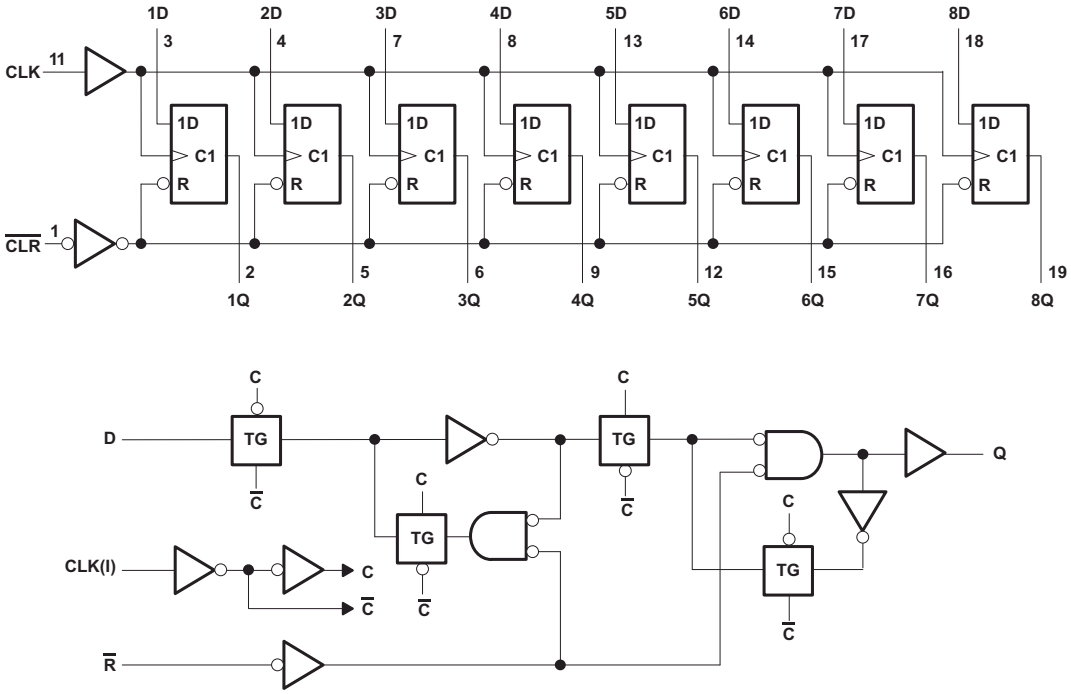
7 詳細説明

7.1 概要

これらの回路はポジティブ エッジ トリガ D タイプ フリップ フロップで、ダイレクト クリア (CLR) 入力を備えています。データ (D) 入力のデータがセットアップ時間の要件と合致していれば、クロック パルス (CLK) の立ち上がりエッジでデータが Q 出力へ転送されます。クロックのトリガは、特定の電圧レベルで発生し、正方向パルスの遷移時間とは直接関係しません。CLK が HIGH レベルまたは LOW レベルのとき、D 入力は出力に影響を与えません。

入力は 5V 許容で、5V デバイスから駆動できます。この機能により、5V と 3.3V が混在するシステム環境での変換装置としてこれらのデバイスを使用できます。

7.2 機能ブロック図



7.3 機能説明

- 広い動作電圧範囲
  - 2 V～5.5 V で動作
- 降圧変換に対応
  - 5.5V までの入力電圧に対応
- 低エッジ レートにより出力リンギングを最小化

7.4 デバイスの機能モード

表 7-1. 機能表

入力			出力
$\overline{CLR}$	CLK	D	Y
L	X	X	L
H	↑	H	H
H	↑	L	L
H	L	X	Q_0

8 アプリケーションと実装

8.1 アプリケーション情報

SNx4AHC273 は、出力リンギングが懸念される多くのアプリケーションで使用できる低駆動能力の CMOS デバイスです。低駆動および低速エッジ レートにより、出力のオーバーシュートとアンダーシュートが最小限に抑えられます。入力は、任意の有効な V_{CC} において 5.5V 耐圧です。この機能により、V_{CC} レベルへの変換に理想的なデバイスです。図 8-2 に、AC などのより高い駆動部品と比較してリンギングが減少していることを示します。

8.2 代表的なアプリケーション

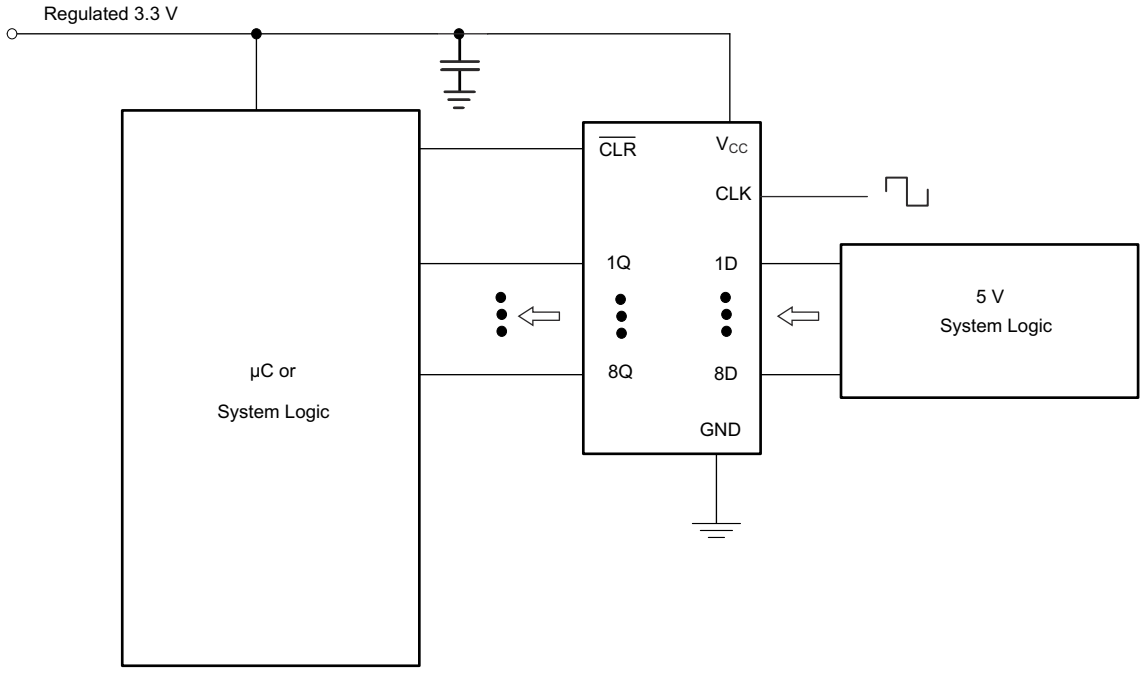


図 8-1. 具体的なアプリケーション回路図

8.2.1 設計要件

このデバイスは CMOS 技術を採用しており、平衡型出力ドライバを備えています。上限値を超える電流が流れる可能性があるため、バスが競合しないように注意が必要です。また、大きな駆動能力で軽負荷を駆動することでも高速なエッジが生じるため、配線と負荷の条件を検討してリンギングを防止してください。

8.2.2 詳細な設計手順

1. 推奨入力条件
   - 立ち上がり時間と立ち下がり時間の仕様:セクション 5.3 の表の (Δt/ΔV) を参照してください。
   - High レベルと Low レベルを規定:セクション 5.3 の表の (V_{IH} および V_{IL}) を参照してください。
   - 入力は過電圧許容で、任意の有効な V_{CC} において最大 5.5 V に対応できます。
2. 推奨出力条件
   - 負荷電流は、出力あたりの 25 mA および部品の合計 75 mA を超えないようにする必要があります。
   - 出力は、V_{CC} を超えてプルされないようにしてください。

Copyright © 2024 Texas Instruments Incorporated

8.2.3 アプリケーション曲線

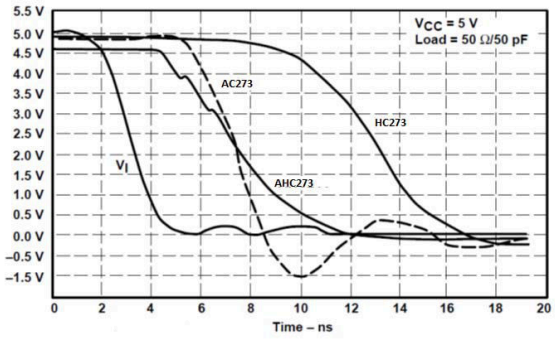


図 8-2. スイッチング特性の比較

8.3 電源に関する推奨事項

電源には、「推奨動作条件」表に記載されている最小電源電圧定格と最大電源電圧定格の間の任意の電圧を使用できます。

電源の障害を防止するため、各 VCC ピンに適切なバイパス コンデンサを配置する必要があります。単一電源のデバイスの場合は、0.1µF のコンデンサを推奨します。複数の VCC ピンがある場合は、各電源ピンに対して 0.01µF または 0.022µF のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。0.1µF と 1µF のコンデンサを並列に使用するのが一般的です。最良の結果を得るため、バイパス コンデンサは電源ピンのできるだけ近くに配置してください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

多ビット ロジック デバイスを使用する場合、入力をフローティングにしないでください。

多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、3 入力 AND ゲートの 2 つの入力のみを使用したり、4 つのバッファ ゲートのうち 3 つのみを使用したりする場合)。このような入力ピンを未接続のままにしないでください。外部接続の電圧が未確定の場合、動作状態が不定になるためです。図 8-3 に規定された規則は、あらゆる状況で遵守する必要があります。デジタル ロジック デバイスの未使用の入力はすべて、フローティングにならないように、High または Low バイアスに接続する必要があります。特定の未使用の入力に対して適用が必要となるロジック レベルは、デバイスの機能により異なります。一般に、入力は、GND または V_{CC} のうち、より適切であるかより利便性の高い方に接続されます。一般に、本部品がトランシーバでない限り、出力をフローティングにできます。

8.4.2 レイアウト例

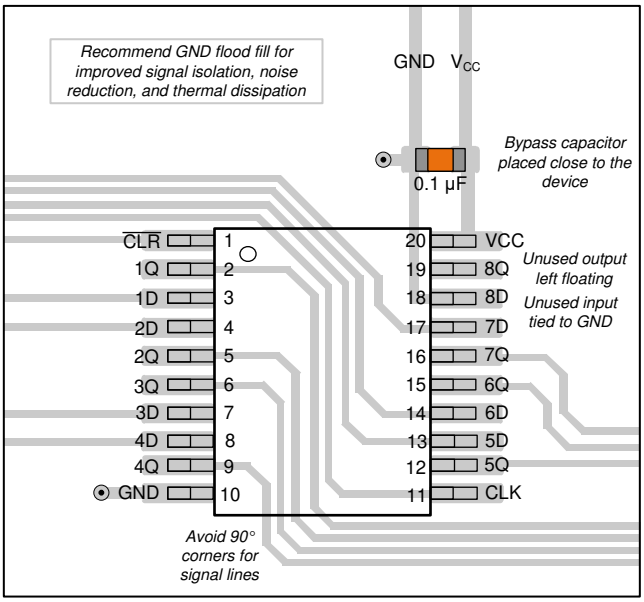


図 8-3. レイアウトの図

Copyright © 2024 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連リンク

次の表に、クイック アクセス リンクを示します。カテゴリには、技術資料、サポートおよびコミュニティ リソース、ツールとソフトウェア、およびサンプル注文またはご購入へのクイック アクセスが含まれます。

表 9-1. 関連リンク

製品	プロダクト フォルダ	サンプルとご購入	技術資料	ツールとソフトウェア	サポートとコミュニティ
SN54AHC273	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
SN74AHC273	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

Changes from Revision I (March 2015) to Revision J (July 2024) **Page**

- 「製品情報」表に NS パッケージを追加 1
- RθJA の値を更新：PW = 104.7 を 116.8、DW = 81.8 を 81.1 に変更、PW および DW パッケージの RθJC(top)、RθJB、ΨJT、ΨJB、RθJC(bot) を更新 (値はすべて℃/W) 5
- 「レイアウト例」の画像を更新 12

Changes from Revision H (July 2014) to Revision I (March 2015)	Page
• V_{OH} の I_{OH} テスト条件を mA から µA に変更して誤記を訂正。	5

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報はそのデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2024 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-9853001QRA	Last Time Buy	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9853001QR A SNJ54AHC273J
5962-9853001QSA	Last Time Buy	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9853001QS A SNJ54AHC273W
SN74AHC273DBR	Active	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA273
SN74AHC273DBR.A	Active	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA273
SN74AHC273DGSR	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC273
SN74AHC273DGVR	Active	Production	TVSOP (DGV) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA273
SN74AHC273DGVR.A	Active	Production	TVSOP (DGV) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA273
SN74AHC273DW	Obsolete	Production	SOIC (DW) | 20	-	-	Call TI	Call TI	-40 to 125	AHC273
SN74AHC273DWR	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC273
SN74AHC273DWR.A	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC273
SN74AHC273N	Active	Production	PDIP (N) | 20	20 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	SN74AHC273N
SN74AHC273N.A	Active	Production	PDIP (N) | 20	20 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	SN74AHC273N
SN74AHC273NSR	Active	Production	SOP (NS) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC273
SN74AHC273NSR.A	Active	Production	SOP (NS) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC273
SN74AHC273PW	Obsolete	Production	TSSOP (PW) | 20	-	-	Call TI	Call TI	-40 to 125	HA273
SN74AHC273PWR	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA273
SN74AHC273PWR.A	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA273
SN74AHC273RKSR	Active	Production	VQFN (RKS) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC273
SNJ54AHC273J	Last Time Buy	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9853001QR A SNJ54AHC273J
SNJ54AHC273W	Last Time Buy	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9853001QS A SNJ54AHC273W

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN54AHC273, SN74AHC273 :

- Catalog : SN74AHC273
- Automotive : SN74AHC273-Q1, SN74AHC273-Q1
- Military : SN54AHC273

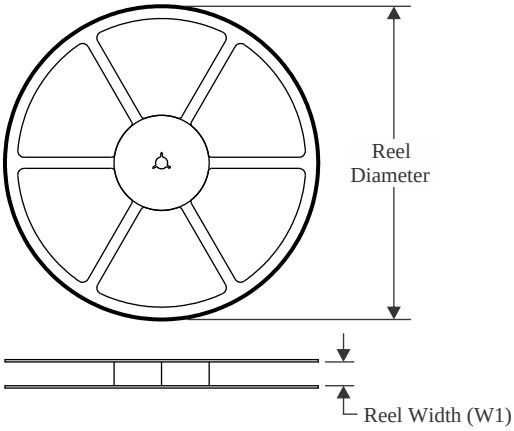
NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

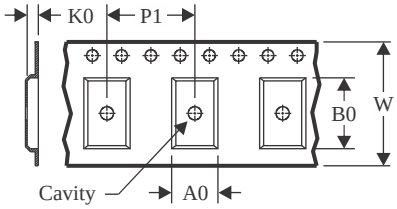
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

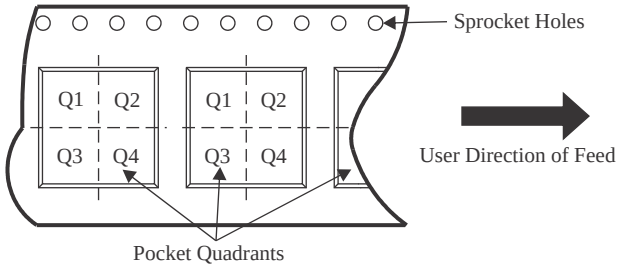


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

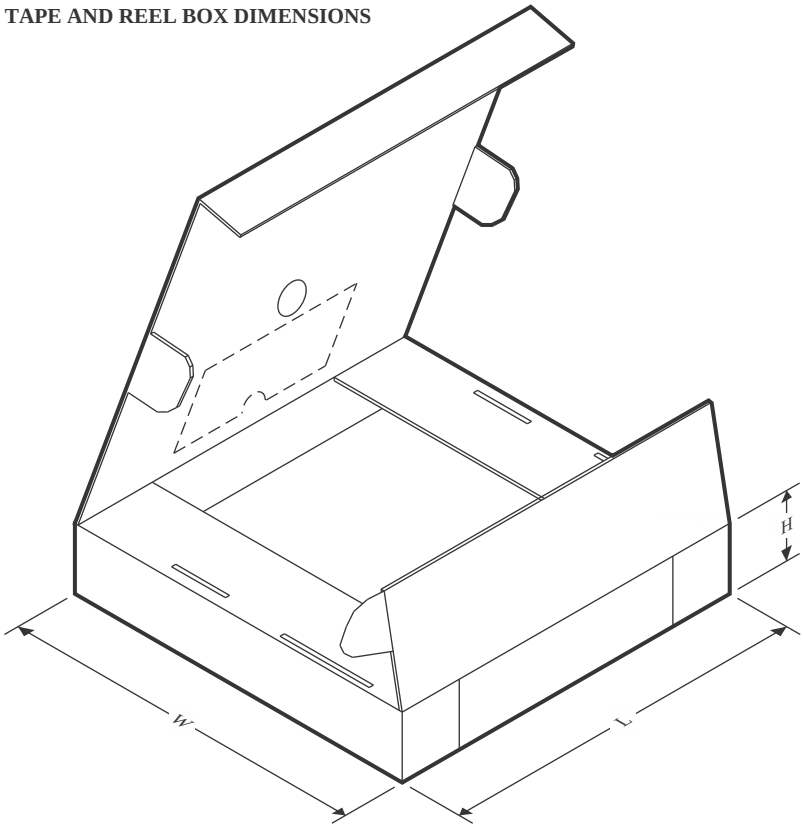
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AHC273DBR	SSOP	DB	20	2000	330.0	16.4	8.2	7.5	2.5	12.0	16.0	Q1
SN74AHC273DGSR	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74AHC273DGVR	TVSOP	DGV	20	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHC273DWR	SOIC	DW	20	2000	330.0	24.4	10.9	13.3	2.7	12.0	24.0	Q1
SN74AHC273DWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
SN74AHC273NSR	SOP	NS	20	2000	330.0	24.4	8.4	13.0	2.5	12.0	24.0	Q1
SN74AHC273PWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74AHC273RKSR	VQFN	RKS	20	3000	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1

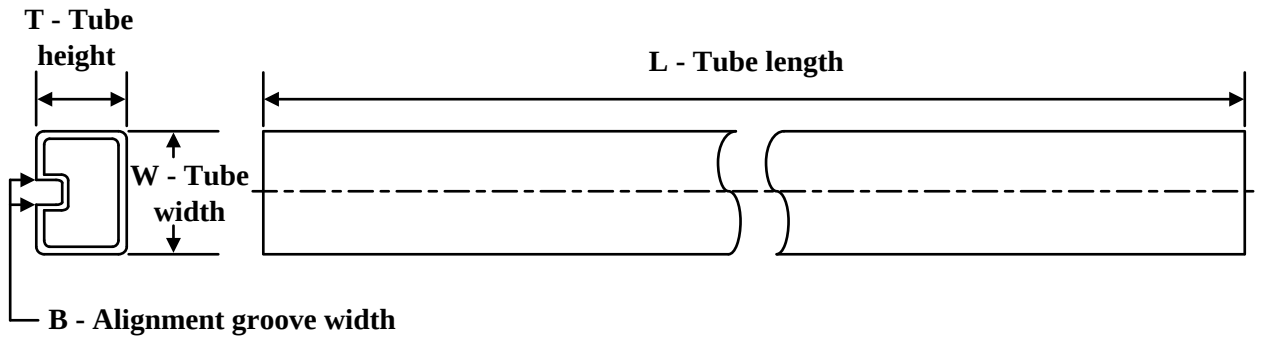
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AHC273DBR	SSOP	DB	20	2000	353.0	353.0	32.0
SN74AHC273DGSR	VSSOP	DGS	20	5000	353.0	353.0	32.0
SN74AHC273DGVR	TVSOP	DGV	20	2000	353.0	353.0	32.0
SN74AHC273DWR	SOIC	DW	20	2000	356.0	356.0	45.0
SN74AHC273DWR	SOIC	DW	20	2000	356.0	356.0	45.0
SN74AHC273NSR	SOP	NS	20	2000	356.0	356.0	45.0
SN74AHC273PWR	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74AHC273RKSR	VQFN	RKS	20	3000	210.0	185.0	35.0

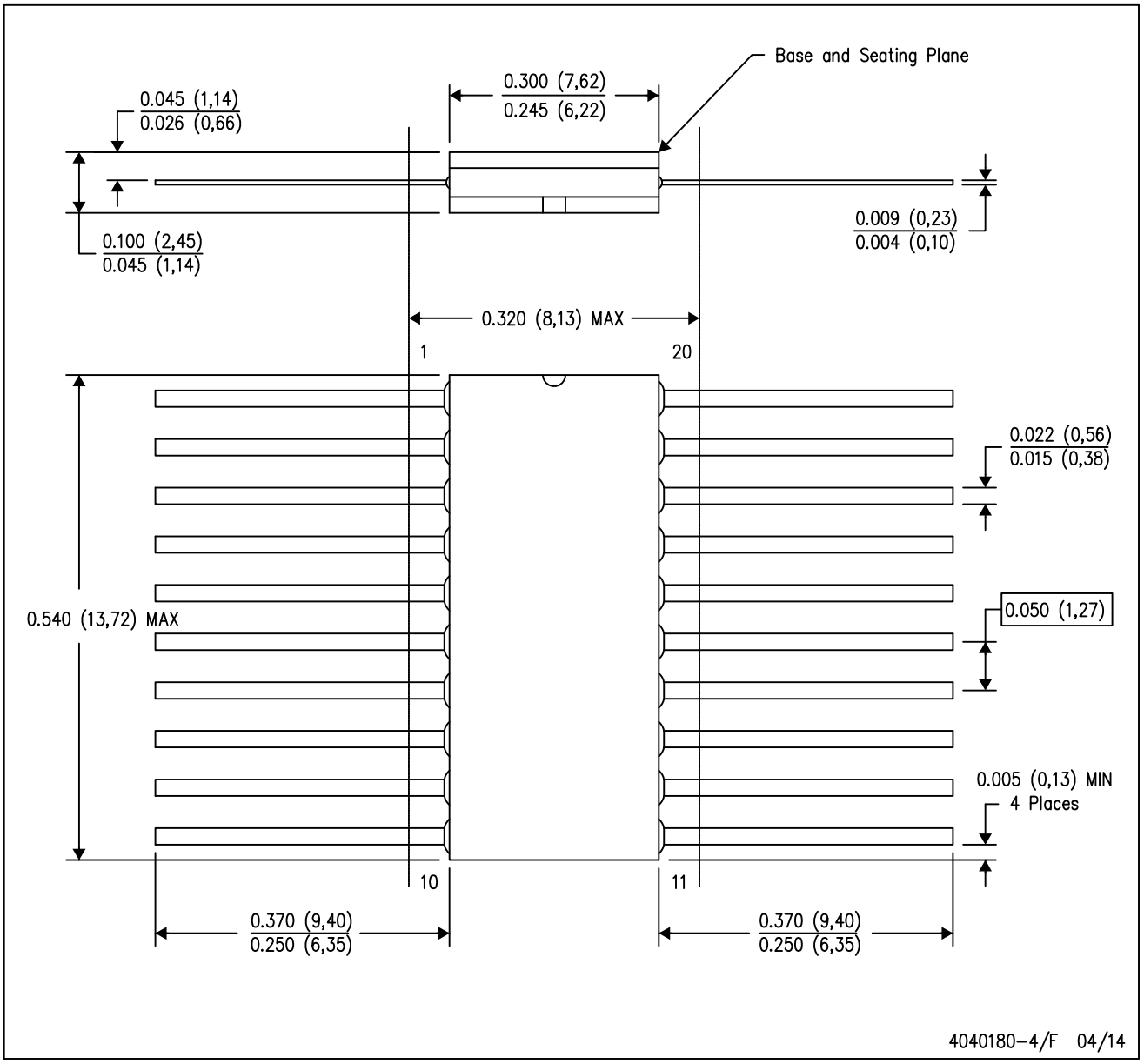
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-9853001QSA	W	CFP	20	25	506.98	26.16	6220	NA
SN74AHC273N	N	PDIP	20	20	506	13.97	11230	4.32
SN74AHC273N.A	N	PDIP	20	20	506	13.97	11230	4.32
SNJ54AHC273W	W	CFP	20	25	506.98	26.16	6220	NA

W (R–GDFP–F20) CERAMIC DUAL FLATPACK



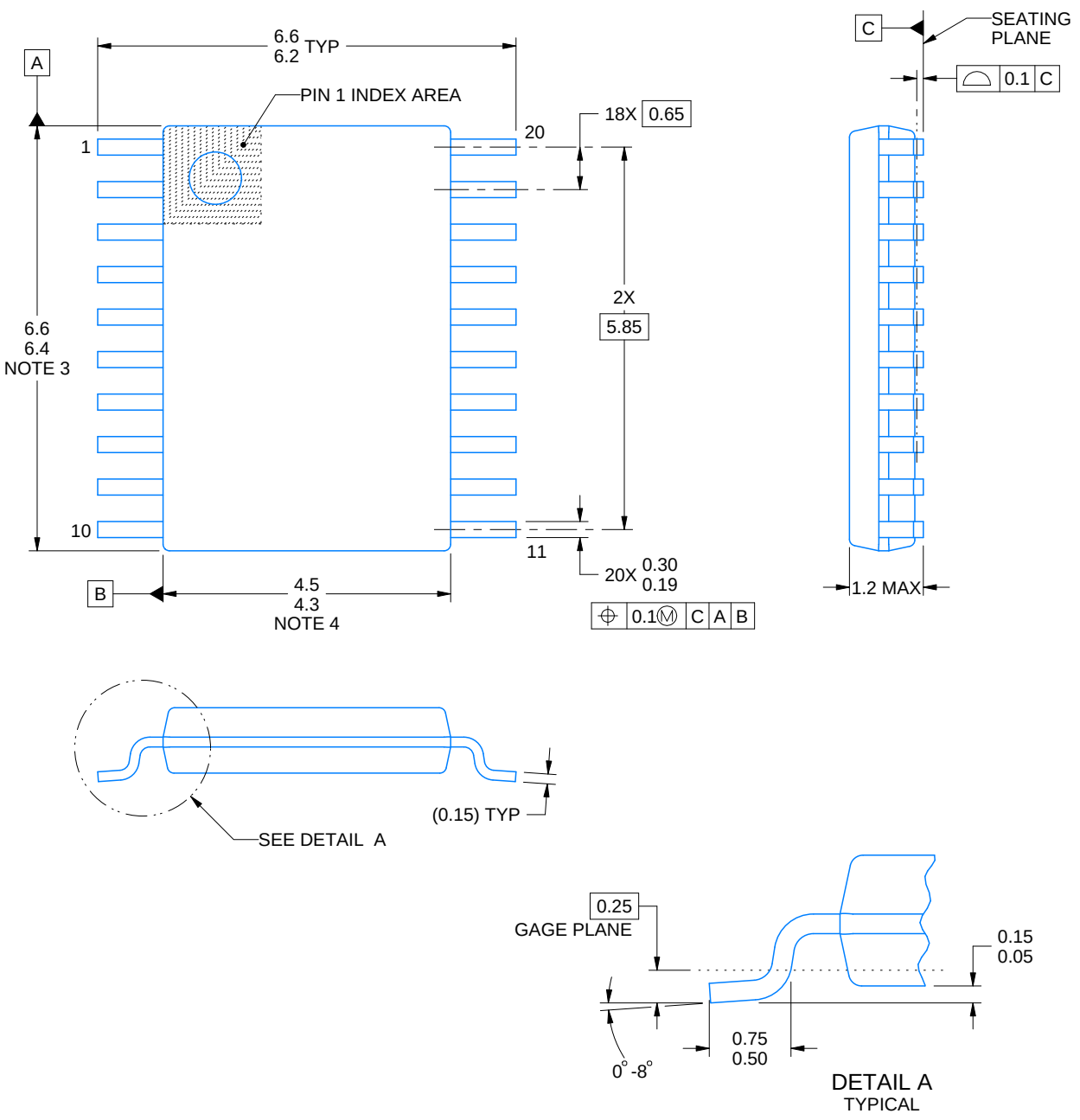
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package can be hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only.
E. Falls within Mil–Std 1835 GDFP2–F20

PACKAGE OUTLINE

PW0020A

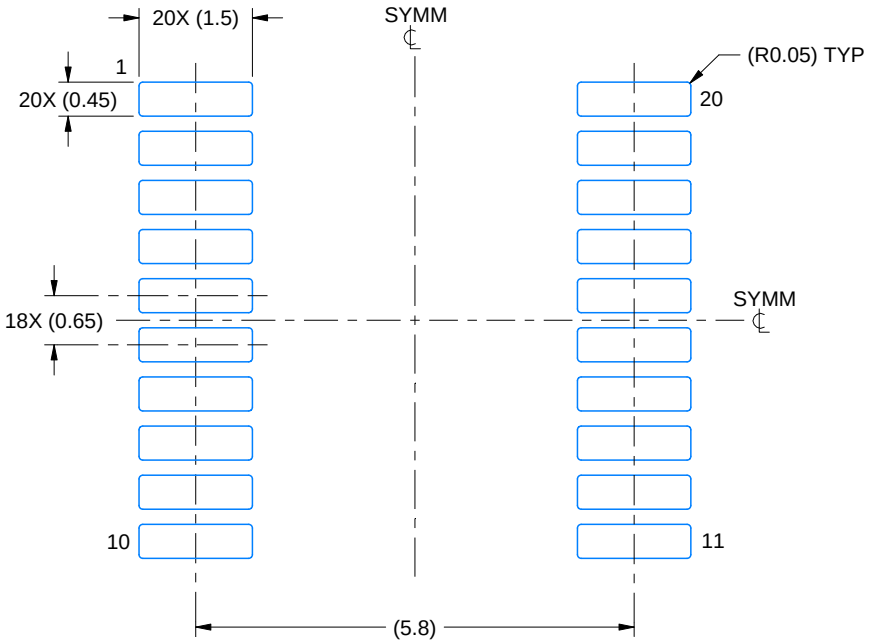
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

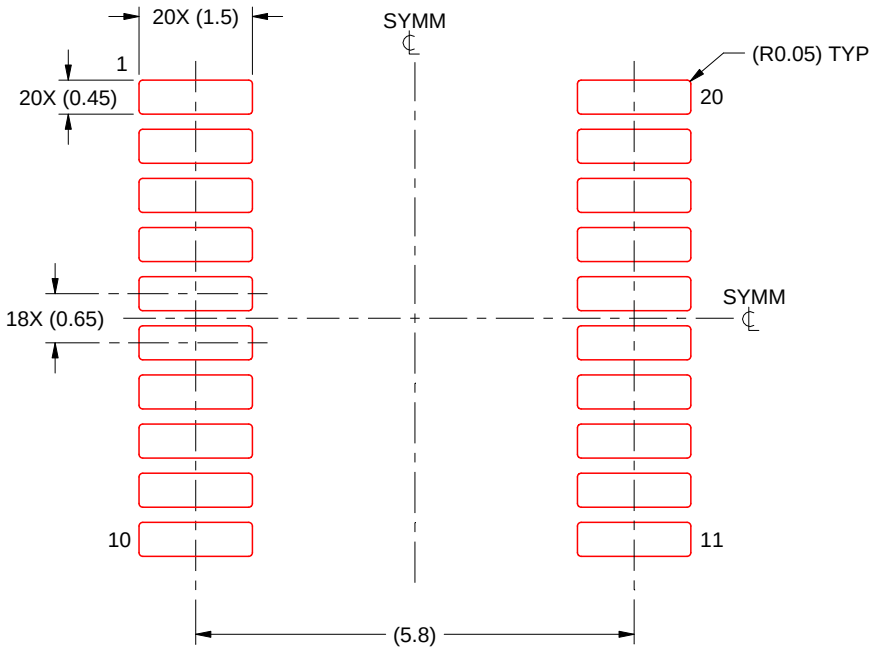


SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

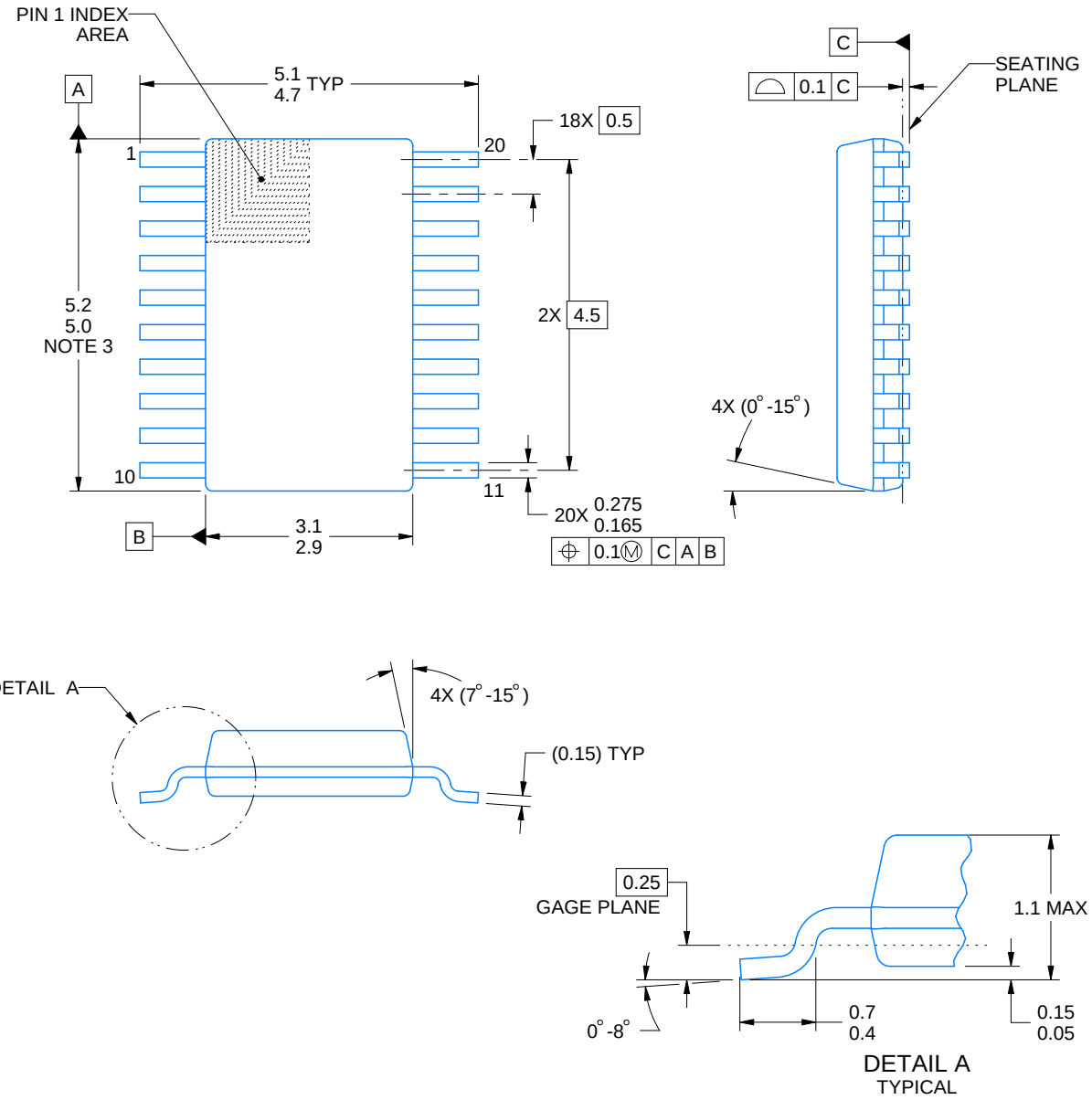
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGS0020A

VSSOP - 1.1 mm max height

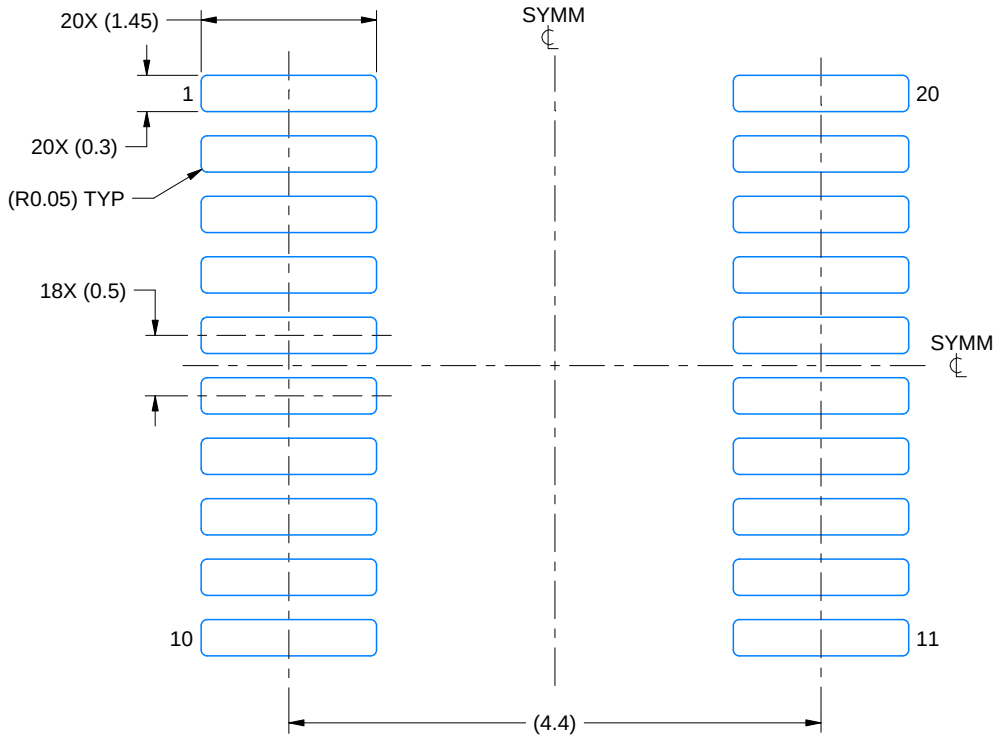
SMALL OUTLINE PACKAGE



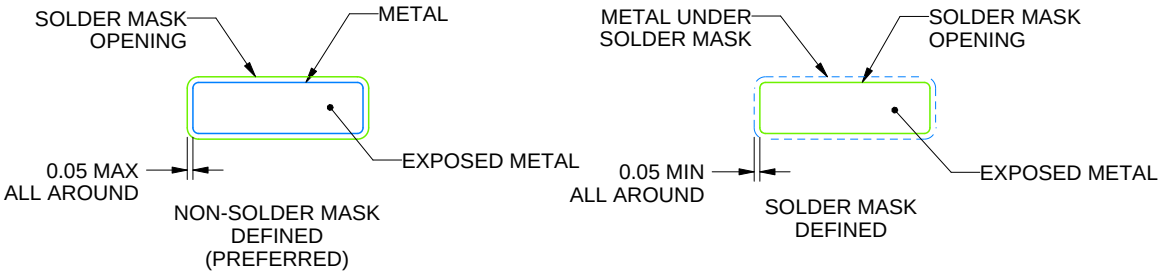
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
SCALE: 16X

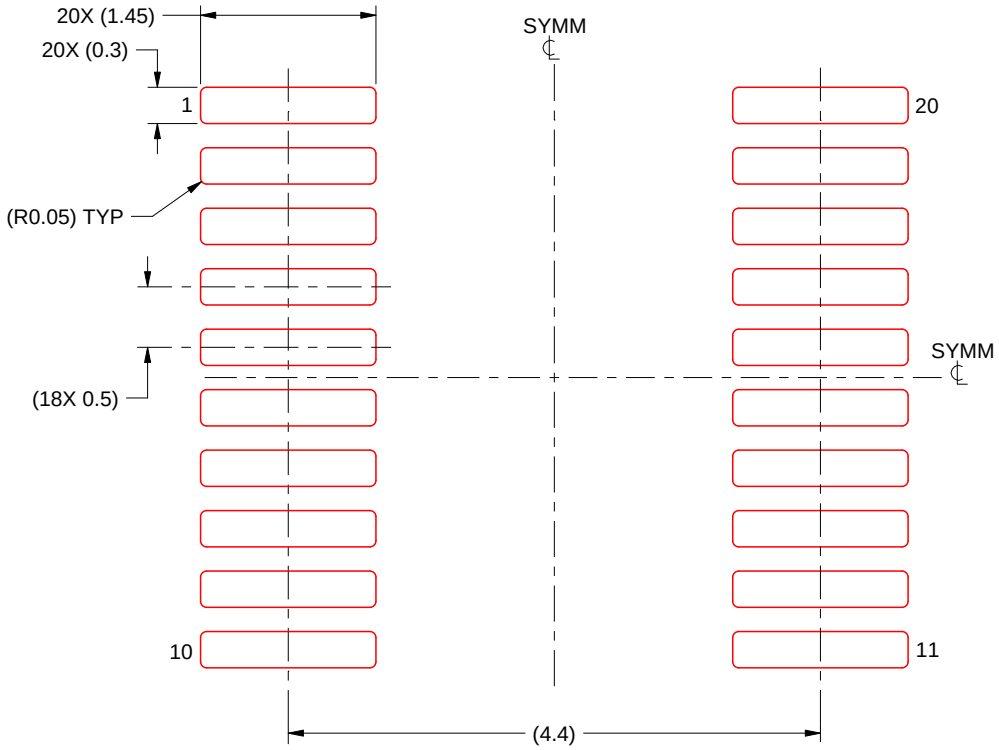


SOLDER MASK DETAILS

4226367/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

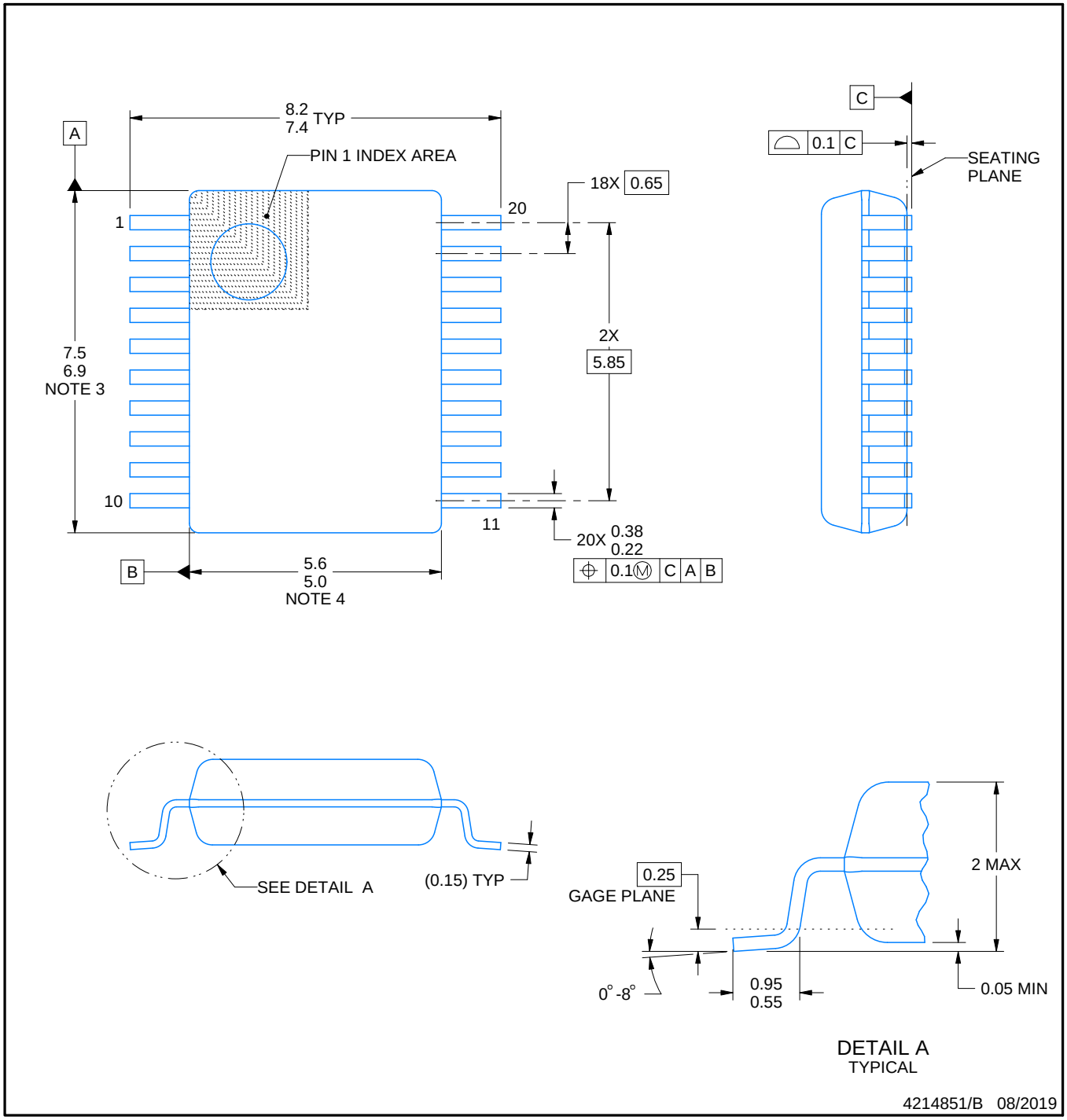
11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DB0020A

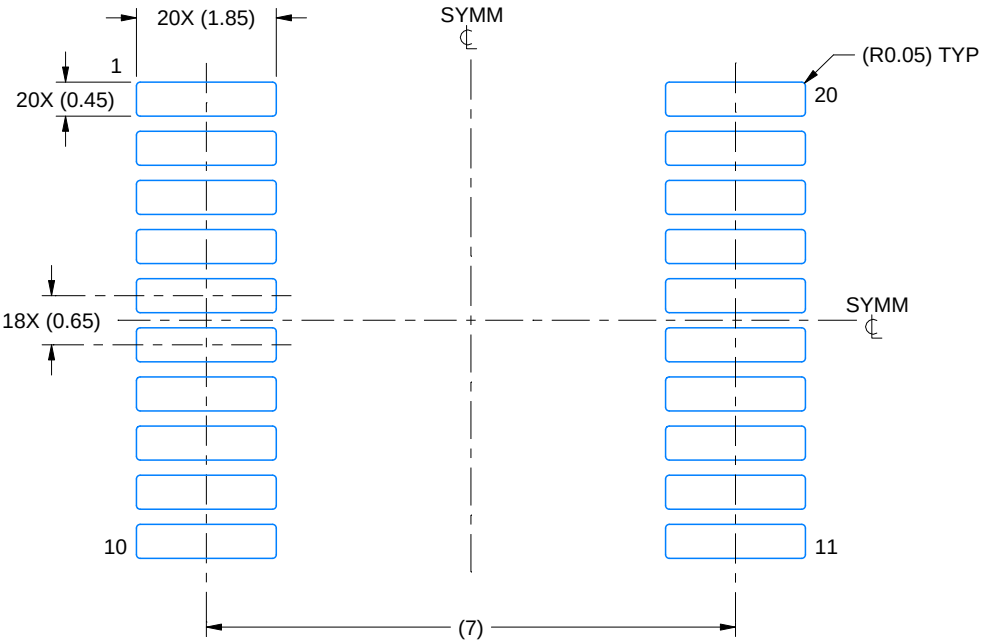
SSOP - 2 mm max height

SMALL OUTLINE PACKAGE

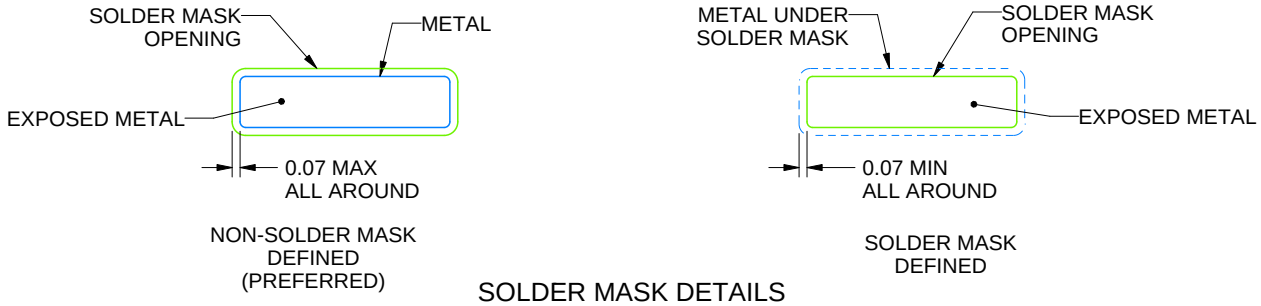


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4214851/B 08/2019

NOTES: (continued)

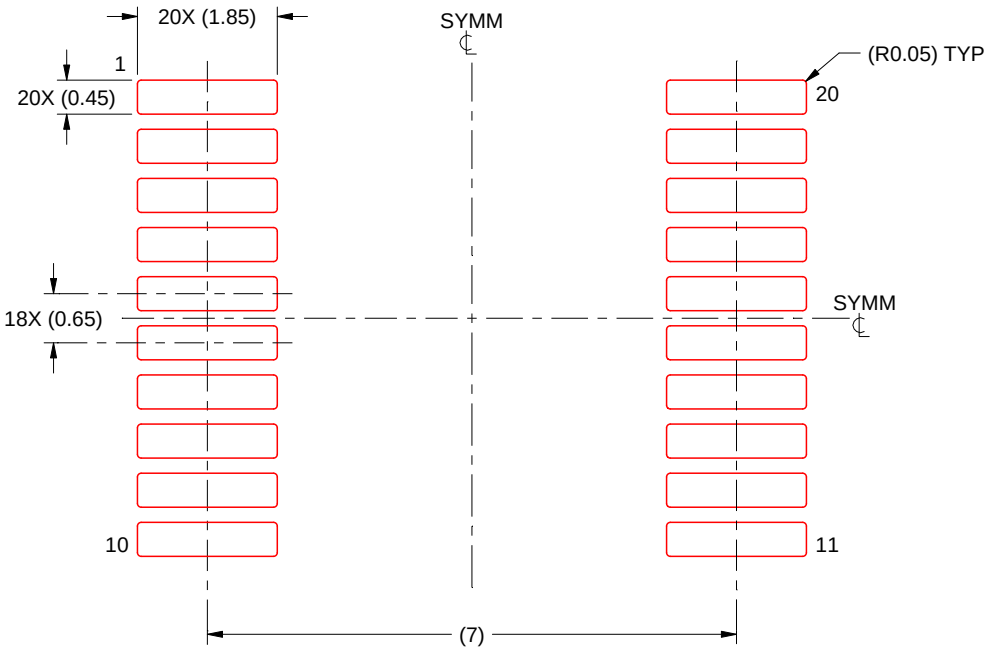
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DB0020A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4214851/B 08/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

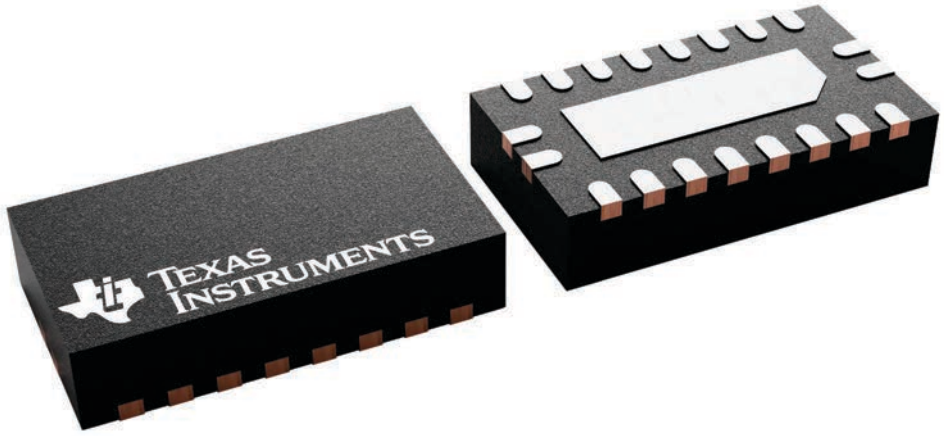
RKS 20

VQFN - 1 mm max height

2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

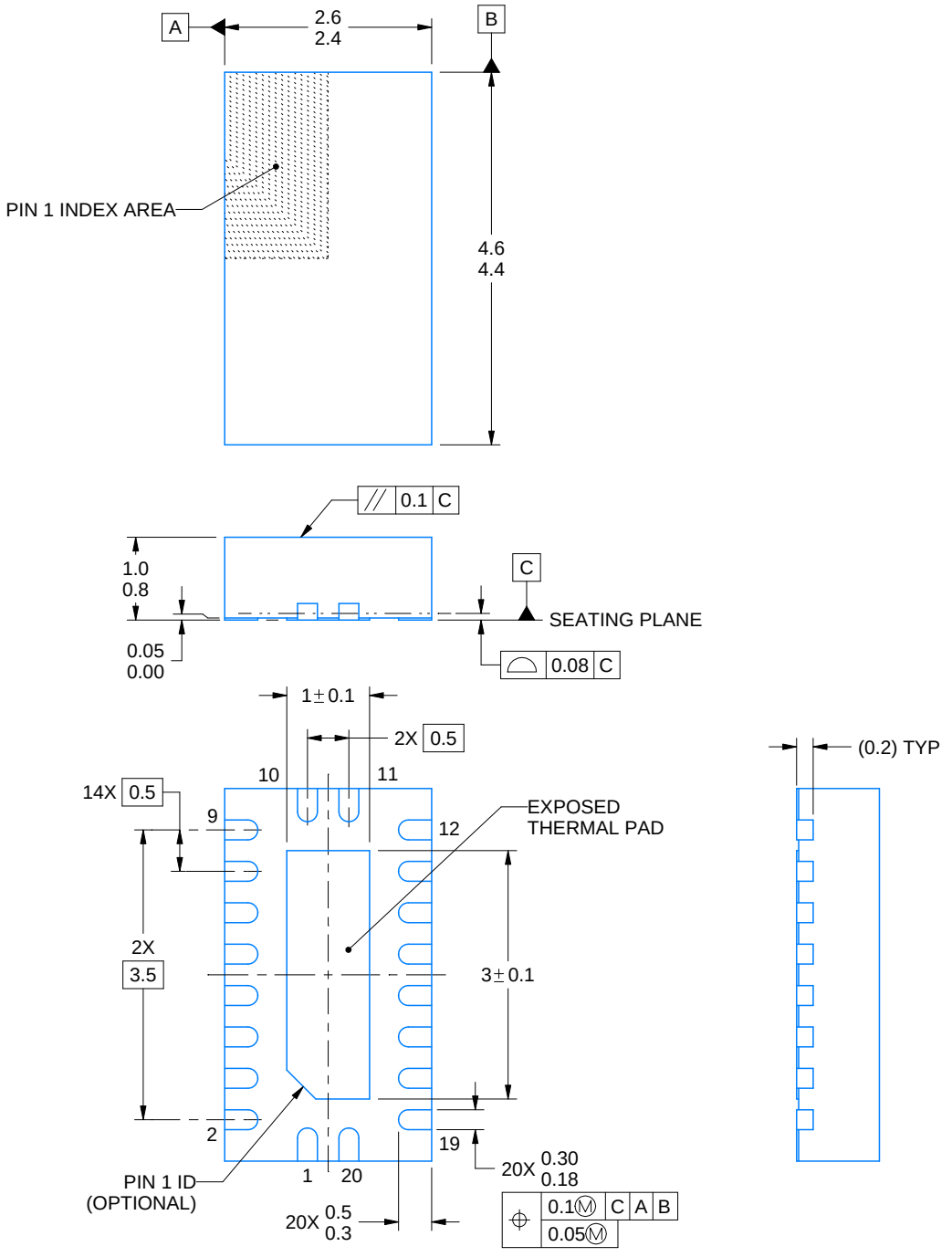


PACKAGE OUTLINE

RKS0020A

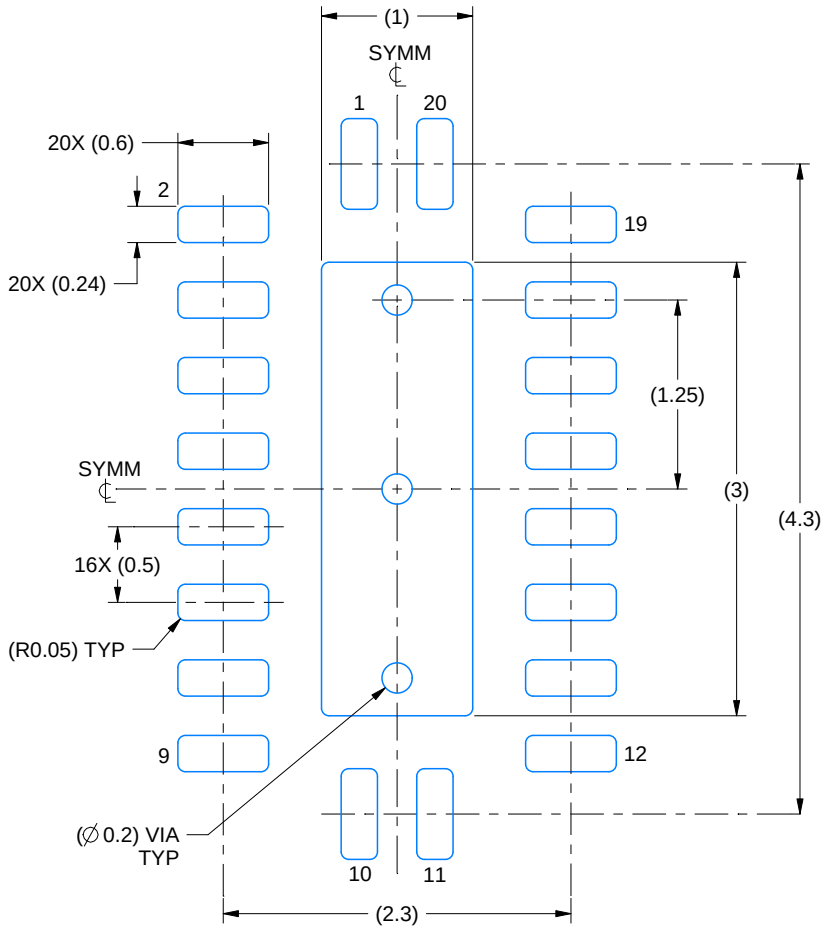
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

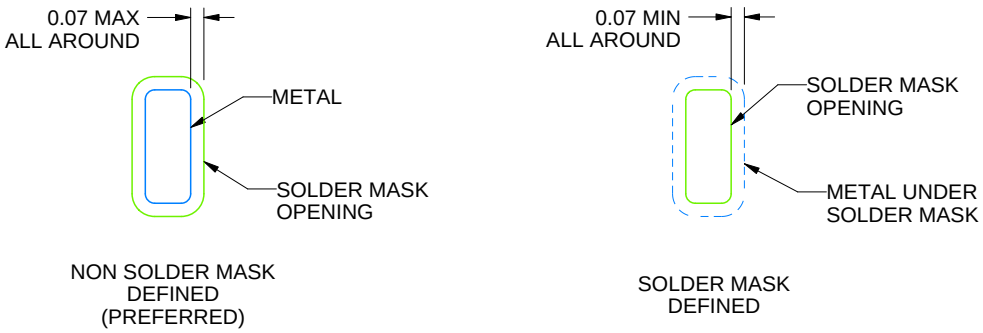


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

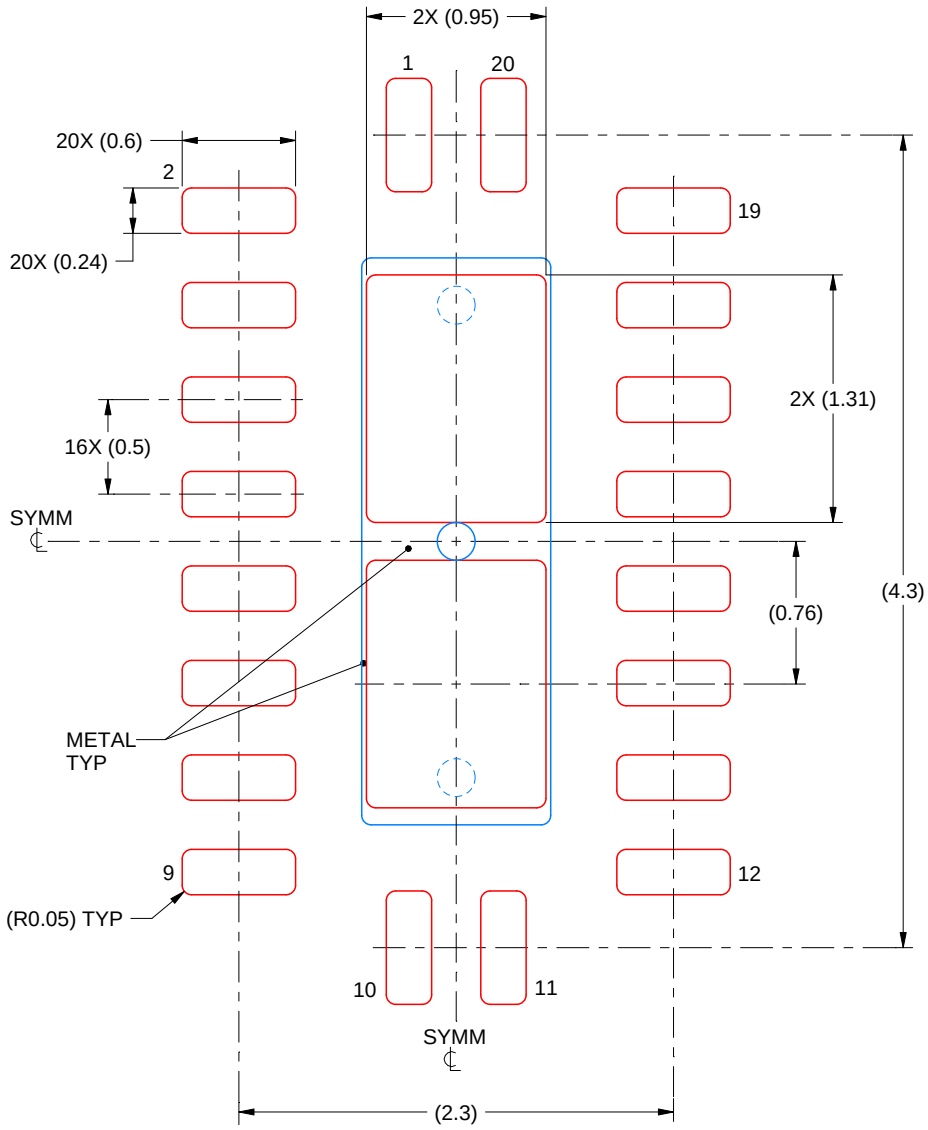


SOLDER MASK DETAILS

4222490/B 02/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
83% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4222490/B 02/2021

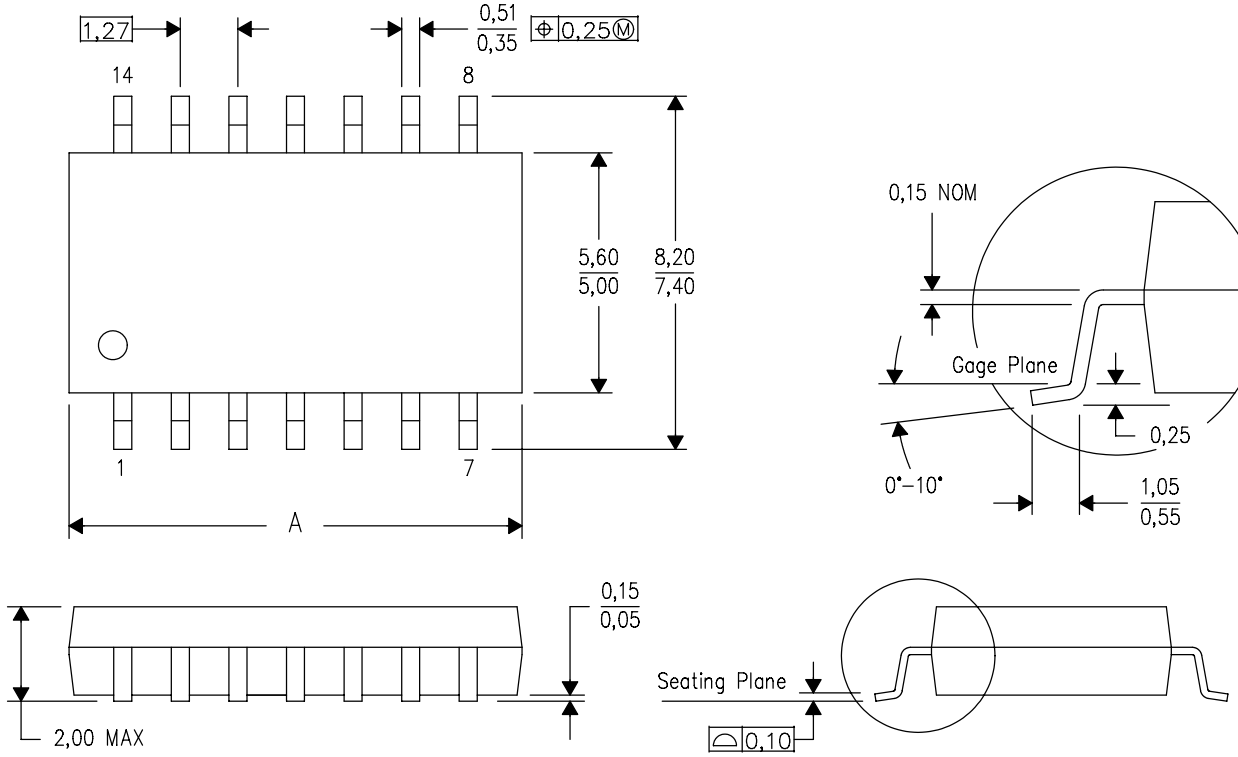
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

MECHANICAL DATA

NS (R-PDSO-G)** **PLASTIC SMALL-OUTLINE PACKAGE**

14-PINS SHOWN



DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

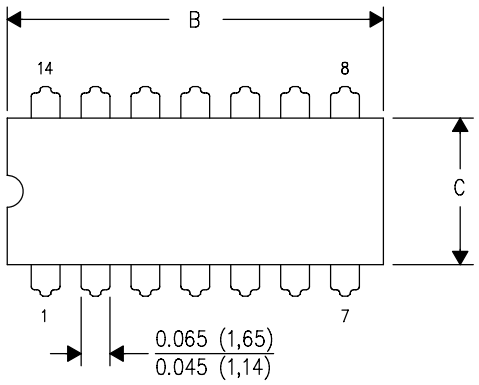
4040062/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

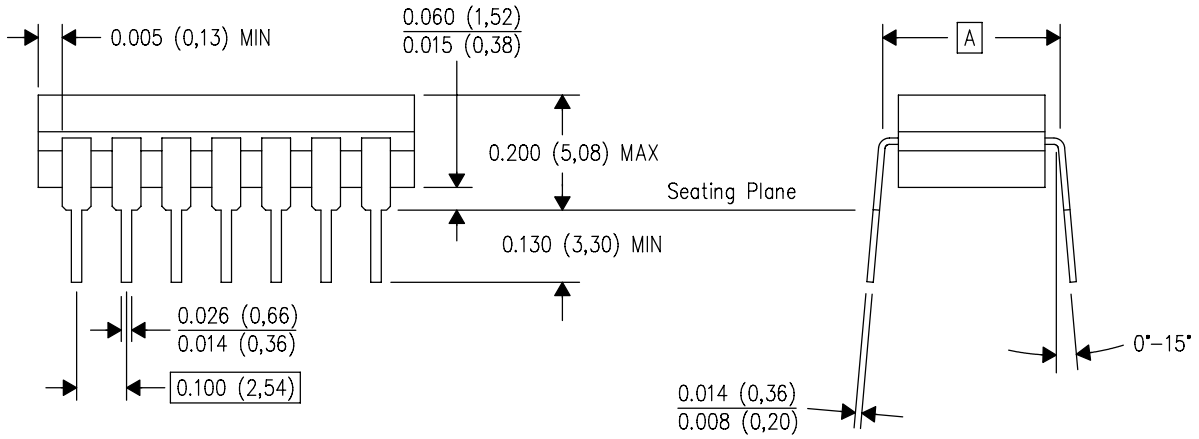
J (R–GDIP–T**)

14 LEADS SHOWN

CERAMIC DUAL IN–LINE PACKAGE



DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)

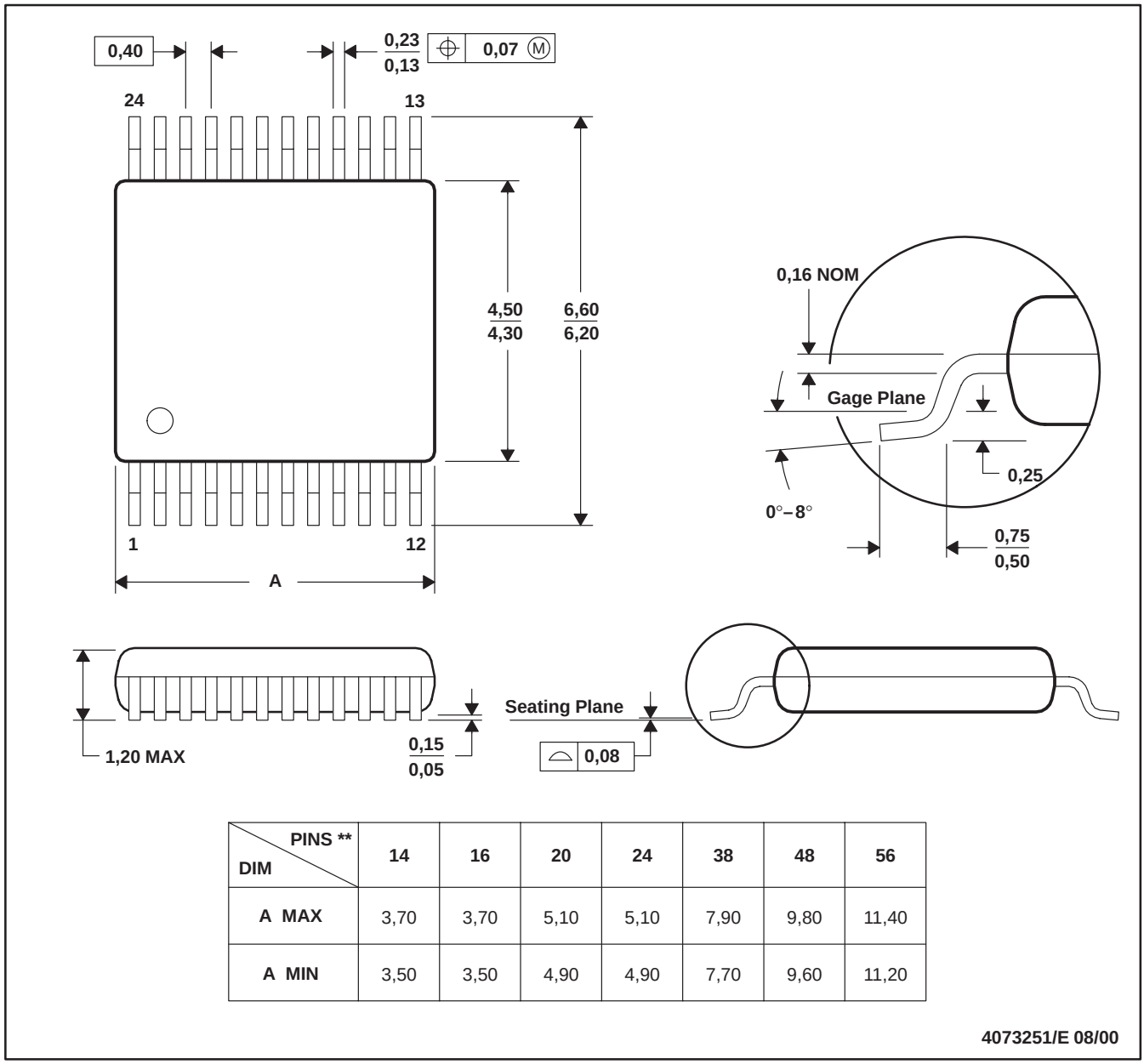


4040083/F 03/03

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package is hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
E. Falls within MIL STD 1835 GDIP1–T14, GDIP1–T16, GDIP1–T18 and GDIP1–T20.

DGV (R-PDSO-G)** **PLASTIC SMALL-OUTLINE**

24 PINS SHOWN



DIM \ PINS **	14	16	20	24	38	48	56
A MAX	3,70	3,70	5,10	5,10	7,90	9,80	11,40
A MIN	3,50	3,50	4,90	4,90	7,70	9,60	11,20

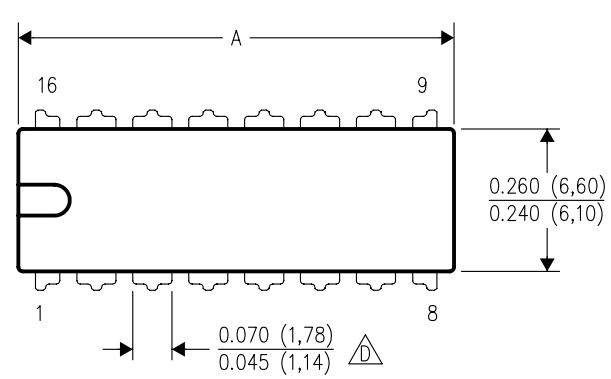
4073251/E 08/00

NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
D. Falls within JEDEC: 24/48 Pins – MO-153
14/16/20/56 Pins – MO-194

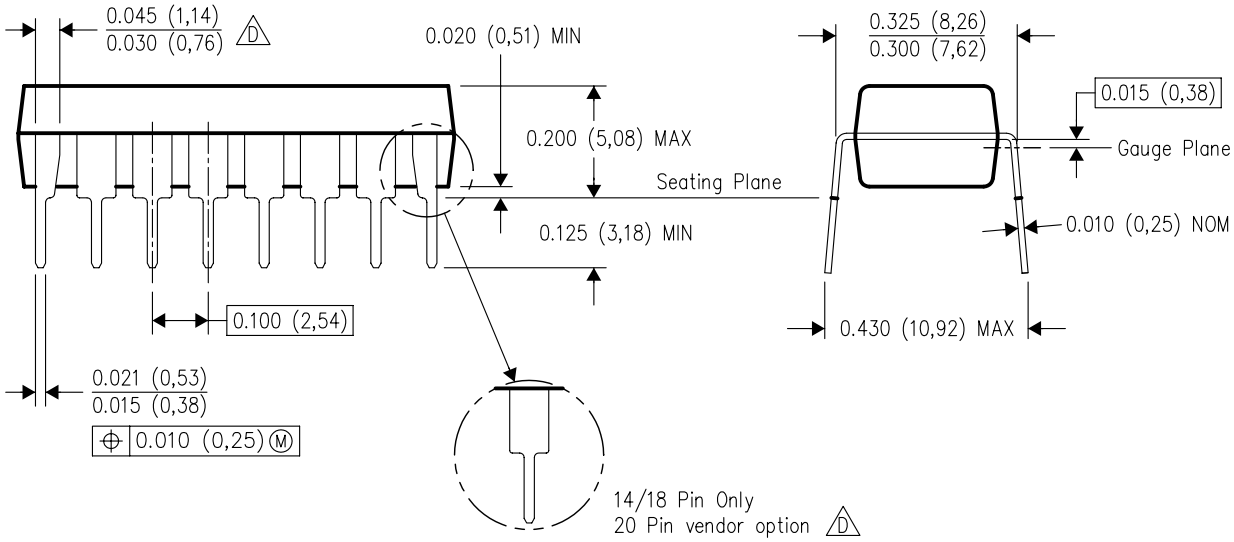
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN

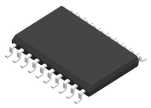


DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

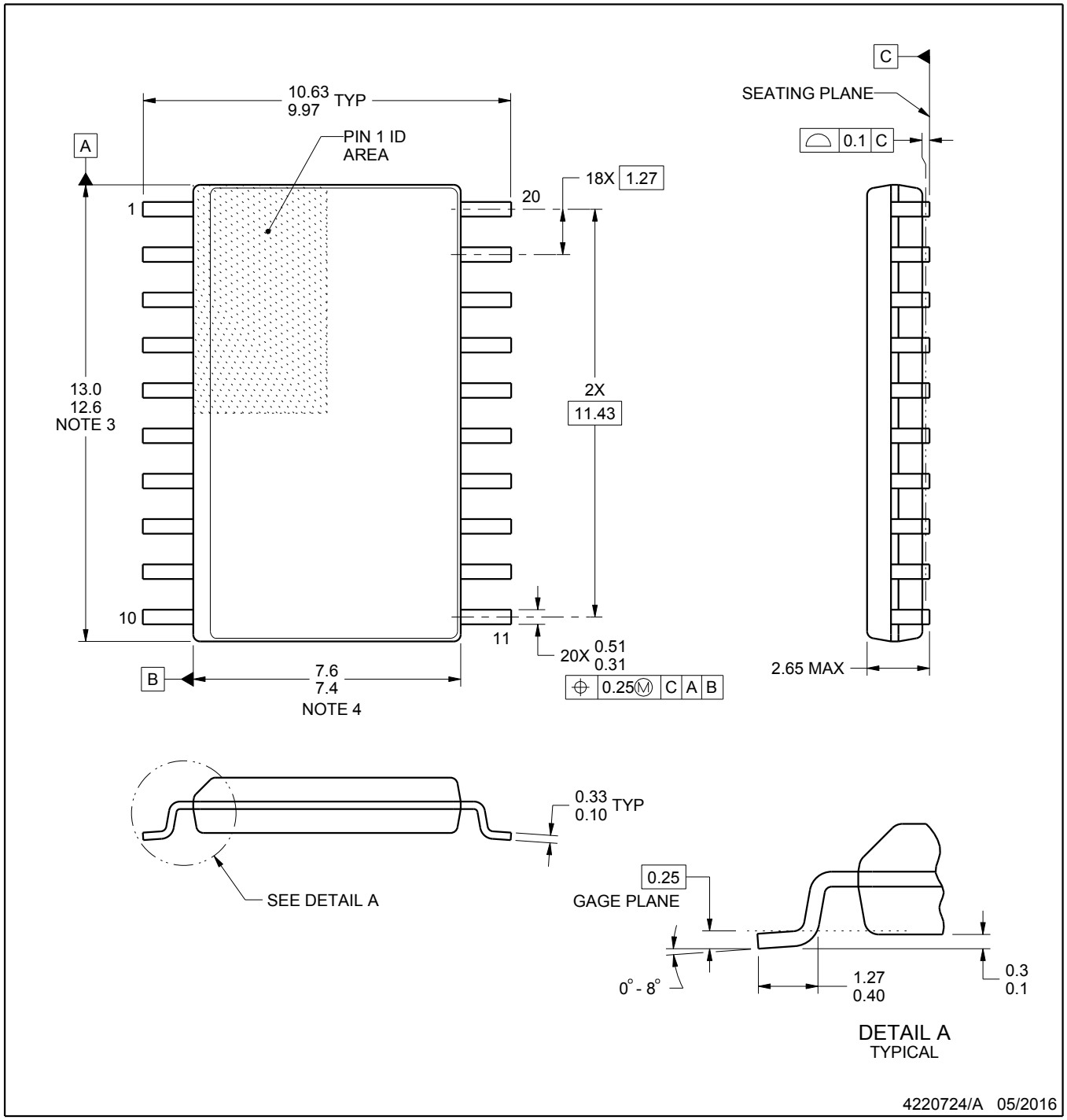


PACKAGE OUTLINE

DW0020A

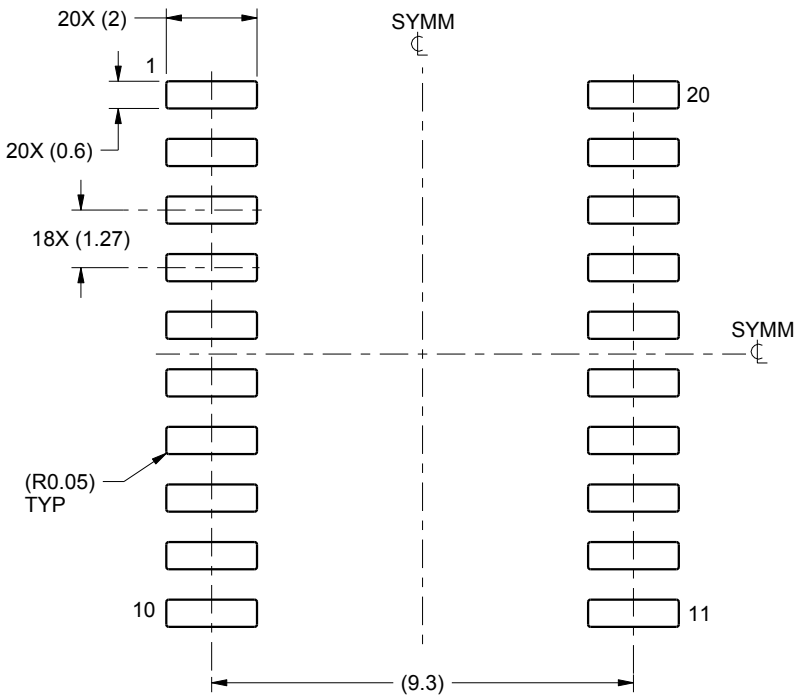
SOIC - 2.65 mm max height

SOIC

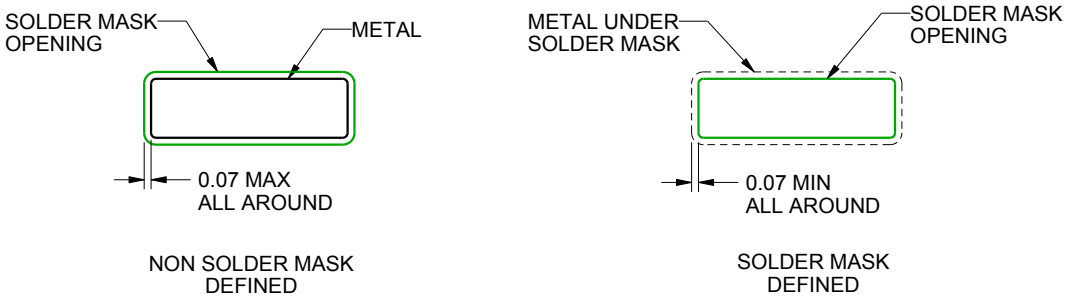


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.



LAND PATTERN EXAMPLE
SCALE:6X

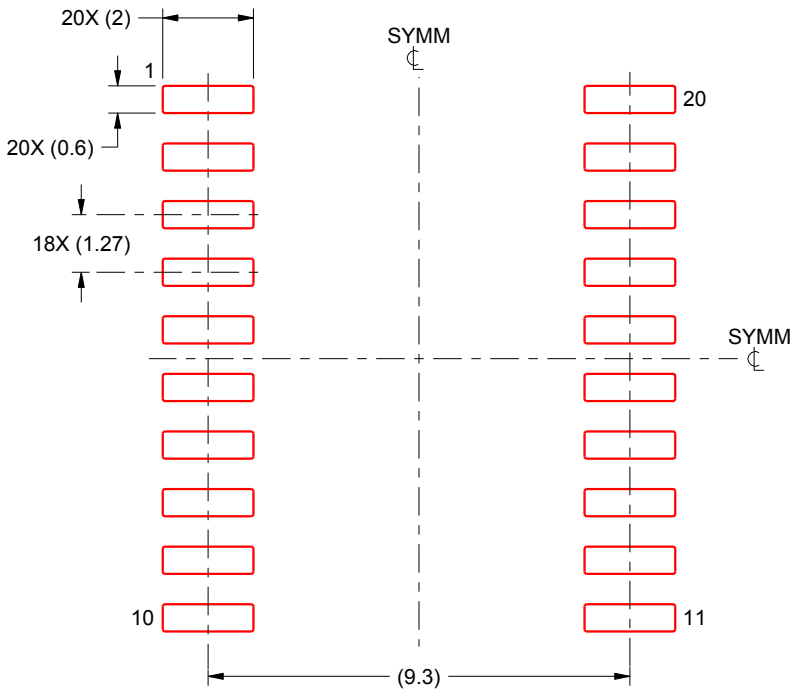


SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月