SNx4AHCT373 3 ステート出力、オクタル・トランスペアレント D タイプ・ラッチ

1 特長

- 4.5V～5.5V の V_{CC} で動作
- TTL 互換入力
- 短い遅延、9.5ns (C_L = 15pF で 5V V_{CC})
- JESD 17 準拠で
  250mA 超のラッチアップ性能
- MIL-PRF-38535 準拠の製品については、特に記述のない限り、すべてのパラメータはテスト済みです。その他のすべての製品については、量産プロセスにすべてのパラメータのテストが含まれているとは限りません。

2 アプリケーション

- パラレル データ ストレージ
- デジタル バス バッファ

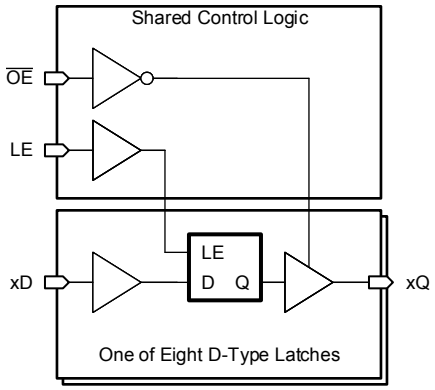
3 説明

SNx4AHCT373 には 8 つの D タイプ ラッチが搭載されています。すべてのチャネルがラッチ イネーブル (LE) 入力と出力イネーブル($\overline{OE}$) 入力を共有しています。

製品情報

部品番号	パッケージ (1)	パッケージ サイズ(2)	本体サイズ (3)
SN54AHCT373	J (CDIP、20)	24.2 mm × 7.62mm	24.2 mm × 6.92mm
	W (CFP、20)	13.09 mm × 8.13mm	13.09 mm × 6.92mm
	FK (LCCC、20)	8.89mm × 8.89mm	8.89mm × 8.89mm
SN74AHCT373	PW (TSSOP、20)	6.5mm × 6.4mm	6.5 mm × 4.4mm
	DW (SOIC、20)	12.80mm × 10.3mm	12.8 mm × 7.5mm
	DB (SSOP、20)	7.2mm × 7.8mm	7.50 mm × 5.3mm
	NS (SOP、20)	12.6 mm × 7.8mm	12.6 mm × 5.3mm
	N (PDIP、20)	24.33 mm × 9.4mm	25.4 mm × 6.35mm
	DGS (VSSOP、20)	5.1mm × 4.9mm	5.1mm × 3.0mm
	RKS (VQFN、20)	4.5mm × 2.5mm	4.5mm × 2.5mm

(1) 詳細については、メカニカル、パッケージ、および注文情報 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



機能ブロック図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 ピン構成および機能 ... 3
5 仕様 ... 5
5.1 絶対最大定格 ... 5
5.2 ESD 定格 ... 5
5.3 推奨動作条件 ... 5
5.4 熱に関する情報 ... 6
5.5 電気的特性 ... 6
5.6 タイミング要件、V_{CC} = 5V ±0.5V ... 6
5.7 スイッチング特性、V_{CC} = 5V ±0.5V ... 7
5.8 ノイズ特性 ... 7
5.9 動作特性 ... 7
5.10 代表的特性 ... 8
6 パラメータ測定情報 ... 9
7 詳細説明 ... 10
7.1 概要 ... 10
7.2 機能ブロック図 ... 10
7.3 機能説明 ... 11
7.4 デバイスの機能モード ... 13
8 アプリケーションと実装 ... 14
8.1 アプリケーション情報 ... 14
8.2 代表的なアプリケーション ... 14
8.3 電源に関する推奨事項 ... 18
8.4 レイアウト ... 18
9 デバイスおよびドキュメントのサポート ... 20
9.1 ドキュメントのサポート ... 20
9.2 ドキュメントの更新通知を受け取る方法 ... 20
9.3 サポート・リソース ... 20
9.4 商標 ... 20
9.5 静電気放電に関する注意事項 ... 20
9.6 用語集 ... 20
10 改訂履歴 ... 20
11 メカニカル、パッケージ、および注文情報 ... 22

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

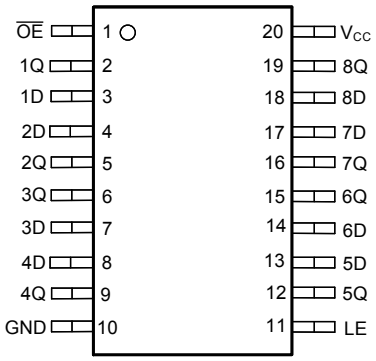


図 4-1. SN54AHCT373 J または W パッケージ (上面図)

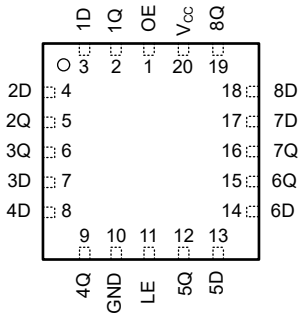


図 4-2. SN54AHCT373 FK パッケージ（上面図）

ピンの機能

ピン		種類[1]	説明
名称	番号		
$\overline{OE}$	1	I	出力イネーブル、アクティブ Low
1Q	2	O	チャネル 1 の出力
1D	3	I	チャネル 1 の入力
2D	4	I	チャネル 2 の入力
2Q	5	O	チャネル 2 の出力
3Q	6	O	チャネル 3 の出力
3D	7	I	チャネル 3 の入力
4D	8	I	チャネル 4 の入力
4Q	9	O	チャネル 4 の出力
GND	10	G	グランド
LE	11	I	ラッチ イネーブル
5Q	12	O	チャネル 5 の出力
5D	13	I	チャネル 5 の入力
6D	14	I	チャネル 6 の入力
6Q	15	O	チャネル 6 の出力
7Q	16	O	チャネル 7 の出力
7D	17	I	チャネル 7 の入力
8D	18	I	チャネル 8 の入力
8Q	19	O	チャネル 8 の出力
V_{CC}	20	P	正電源

(1) 信号タイプ:I = 入力、O = 出力、G = グランド、P = 電源。

Copyright © 2025 Texas Instruments Incorporated

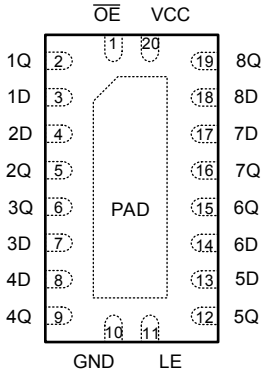


図 4-3. SN74AHCT373 RKS パッケージ（上面図）

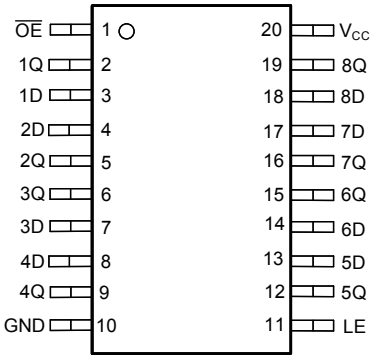


図 4-4. SN74AHCT373 PW 、DW 、NS 、N 、DB 、DGS パッケージ (上面図)

ピンの機能

ピン		種類[1]	説明
名称	番号		
$\overline{OE}$	1	I	出力イネーブル、アクティブ Low
1Q	2	O	チャネル 1 の出力
1D	3	I	チャネル 1 の入力
2D	4	I	チャネル 2 の入力
2Q	5	O	チャネル 2 の出力
3Q	6	O	チャネル 3 の出力
3D	7	I	チャネル 3 の入力
4D	8	I	チャネル 4 の入力
4Q	9	O	チャネル 4 の出力
GND	10	G	グランド
LE	11	I	ラッチ イネーブル
5Q	12	O	チャネル 5 の出力
5D	13	I	チャネル 5 の入力
6D	14	I	チャネル 6 の入力
6Q	15	O	チャネル 6 の出力
7Q	16	O	チャネル 7 の出力
7D	17	I	チャネル 7 の入力
8D	18	I	チャネル 8 の入力
8Q	19	O	チャネル 8 の出力
V_{CC}	20	P	正電源
サーマル パッド[2]		—	サーマル パッドは GND に接続するか、フローティングのままにすることができます。他の信号や電源には接続しないでください。

(1) 信号タイプ : I = 入力、O = 出力、G = グランド、P = 電源。
(2) RKS パッケージのみ。

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	7	V
V_I	入力電圧範囲(2)		-0.5	7	V
V_O	出力電圧範囲(2)		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流	V_I < 0		-20	mA
I_{OK}	出力クランプ電流	V_O < 0 または V_O > V_{CC}		±20	mA
I_O	連続出力電流	V_O = 0～V_{CC}		±25	mA
	V_{CC} または GND を通過する連続電流			±75	mA
T_{stg}	保存温度		-65	150	℃

(1) *絶対最大定格*を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらは、ストレス定格のみを示すものであり、これらの条件や*「推奨動作条件」*に示されたその他の条件と等しい、またはそれを超える条件で本デバイスが正しく動作することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 ESD 定格

		値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
	荷電デバイス モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠(2)	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		SN54AHCT373		SN74AHCT373		単位
		最小値	最大値	最小値	最大値	
V_{CC}	電源電圧	4.5	5.5	4.5	5.5	V
V_{IH}	High レベル入力電圧	2		2		V
V_{IL}	Low レベル入力電圧		0.8		0.8	V
V_I	入力電圧	0	5.5	0	5.5	V
V_O	出力電圧	0	V_{CC}	0	V_{CC}	V
I_{OH}	High レベル出力電流		-8		-8	mA
I_{OL}	Low レベル出力電流		8		8	mA
$\Delta t/\Delta v$	入力遷移の立ち上がりまたは立ち下がりレート		20		20	ns/V
T_A	自由空気での動作温度	-55	125	-40	85	℃

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーション レポート『遅延またはフローティング CMOS 入力の影響』(SCBA004) を参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.4 熱に関する情報

パッケージ	ピン	熱評価基準(1)						単位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
DGS (VSSOP)	20	131.6	69.5	86.7	10.9	85.9	該当なし	℃/W
PW (TSSOP)	20	116.8	-	-	-	-	該当なし	℃/W
RKS (VQFN)	20	90.4	92.2	63.4	29	63.5	41.3	℃/W
DW (SOIC)	20	58	-	-	-	-	該当なし	℃/W
DB (SSOP)	20	70	-	-	-	-	該当なし	℃/W
N (PDIP)	20	69	-	-	-	-	該当なし	℃/W
NS (SOP)	20	60	-	-	-	-	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	T_A = 25℃			SN54AHCT373		SN74AHCT373		単位
			最小値	標準値	最大値	最小値	最大値	最小値	最大値	
V_{OH}	I_{OH} = -50μA	4.5V	4.4	4.5		4.4		4.4		V
	I_{OH} = -8mA		3.94			3.8		3.8		
V_{OL}	I_{OL} = 50μA	4.5V			0.1		0.1		0.1	V
	I_{OL} = 8mA				0.36		0.44		0.44	
I_{OZ}	V_O = V_{CC} または GND	5.5V			±0.25		±2.5		±2.5	μA
I_I	V_I = 5.5 V または GND	0V ～ 5.5V			±0.1		±1 (1)		±1	μA
I_{CC}	V_I = V_{CC} または GND、I_O = 0	5.5V			4		40		40	μA
ΔI_{CC}†	1 つの入力は 3.4V、その他の入力は V_{CC} または GND	5.5V			1.35		1.5		1.5	mA
C_i	V_I = V_{CC} または GND	5V		4	10				10	pF
C_O	V_O = V_{CC} または GND	5V		9						pF

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、V_{CC} = 0V で出荷時のテストは行っていません。

5.6 タイミング要件、V_{CC} = 5V ±0.5V

自由空気での推奨動作温度範囲内 (特に記述のない限り) (パラメータ測定情報 を参照)

パラメータ		T_A = 25℃		SN54AHCT373		SN74AHCT373		単位
		最小値	最大値	最小値	最大値	最小値	最大値	
t_w	パルス持続時間、$\overline{LE}$ high	6.5		6.5		6.5		ns
t_{su}	セットアップ時間、$\overline{LE}$ ↓ 前のデータ	1.5		1.5		1.5		ns
t_h	ホールド時間、$\overline{LE}$ ↓ 後のデータ	3.5		3.5		3.5		ns

Copyright © 2025 Texas Instruments Incorporated

5.7 スイッチング特性、V_{CC} = 5V ±0.5V

自由空気での推奨動作温度範囲内 (特に記述のない限り) (パラメータ測定情報 を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃			SN54AHCT373		SN74AHCT373		単位
				最小値	標準値	最大値	最小値	最大値	最小値	最大値	
t_{PLH}	D	Q	C_L = 15pF		5.1(1)	8.5(1)	1(1)	9.5(1)	1	9.5	ns
t_{PHL}					5.1(1)	8.5(1)	1(1)	9.5(1)	1	9.5	
t_{PLH}	LE	Q	C_L = 15pF		7.7(1)	12.3(1)	1(1)	13.5(1)	1	13.5	ns
t_{PHL}					7.7(1)	12.3(1)	1(1)	13.5(1)	1	13.5	
t_{PZH}	$\overline{OE}$	Q	C_L = 15pF		6.3(1)	10.9(1)	1(1)	12.5(1)	1	12.5	ns
t_{PZL}					6.3(1)	10.9(1)	1(1)	12.5(1)	1	12.5	
t_{PHZ}	$\overline{OE}$	Q	C_L = 15pF		6(1)	10.2(1)	1(1)	11(1)	1	11	ns
t_{PLZ}					6(1)	10.2(1)	1(1)	11(1)	1	11	
t_{PLH}	D	Q	C_L = 50pF		5.9	9.5	1	10.5	1	10.5	ns
t_{PHL}					5.9	9.5	1	10.5	1	10.5	
t_{PLH}	LE	Q	C_L = 50pF		8.5	13.3	1	14.5	1	14.5	ns
t_{PHL}					8.5	13.3	1	14.5	1	14.5	
t_{PZH}	$\overline{OE}$	Q	C_L = 50pF		7.1	11.9	1	13.5	1	13.5	ns
t_{PZL}					7.1	11.9	1	13.5	1	13.5	
t_{PHZ}	$\overline{OE}$	Q	C_L = 50pF		6.8	11.2	1	12	1	12	ns
t_{PLZ}					6.8	11.2	1	12	1	12	
$t_{sk(o)}$			C_L = 50pF			1(2)				1	ns

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、出荷時のテストは行っていません。
(2) MIL-PRF-38535 に準拠した製品では、このパラメータは適用されません。

5.8 ノイズ特性

V_{CC} = 5V、C_L = 50pF、T_A = 25℃ (1)

パラメータ		SN74AHCT373			単位
		最小値	標準値	最大値	
$V_{OL(P)}$	低ノイズ出力、最大動的電圧 V_{OL}		0.8	1.2	V
$V_{OL(V)}$	低ノイズ出力、最小動的電圧 V_{OL}		-0.8	-1.2	V
$V_{OH(V)}$	低ノイズ出力、最小動的電圧 V_{OH}	4.1			V
$V_{IH(D)}$	High レベル動的入力電圧	2			V
$V_{IL(D)}$	Low レベル動的入力電圧			0.8	V

(1) 特性は表面実装パッケージのみが対象です。

5.9 動作特性

V_{CC} = 5V、T_A = 25℃

パラメータ		テスト条件		標準値	単位
C_{pd}	電力散逸容量	無負荷	f = 1MHz	17	pF

Copyright © 2025 Texas Instruments Incorporated

5.10 代表的特性

T_A = 25℃ (特に記述のない限り)

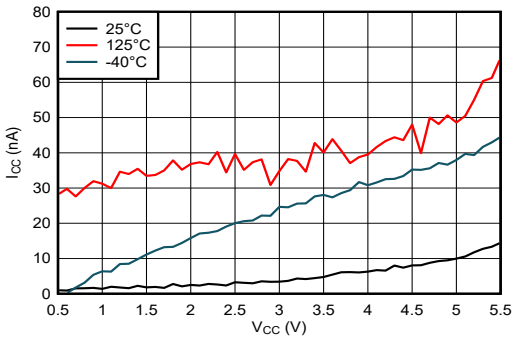


図 5-1. 電源電流と電源電圧との関係

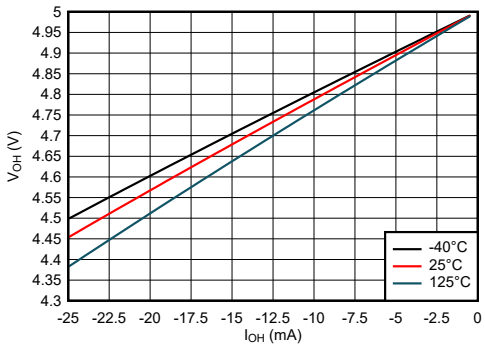


図 5-2. High 状態における出力電圧と電流との関係、5V 電源

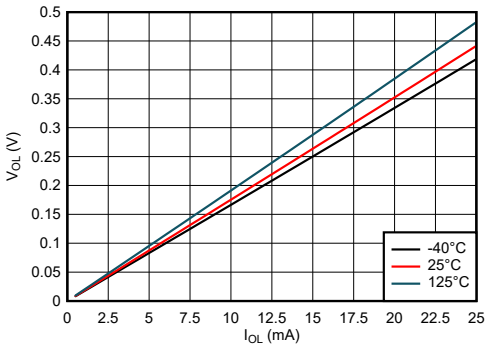


図 5-3. Low 状態における出力電圧と電流との関係、5V 電源

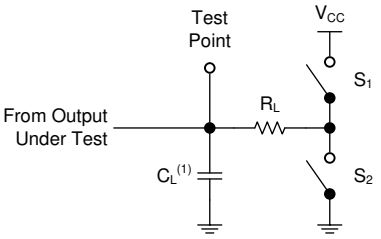
Copyright © 2025 Texas Instruments Incorporated

6 パラメータ測定情報

波形間の位相関係は、任意に選択されています。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≤ 1MHz、Z_O = 50Ω、t_t < 3ns。

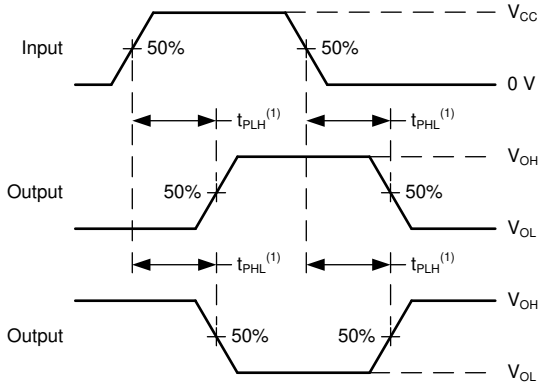
クロック入力の f_{max} は、入力デューティ サイクルが 50% のときの測定値です。

出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。



(1) C_L にはプローブとテスト装置の容量が含まれます。

図 6-1. 3 ステート出力の負荷回路



(1) t_{PLH} と t_{PHL} の大きい方が t_{pd} に相当します。

図 6-2. 電圧波形、伝搬遅延

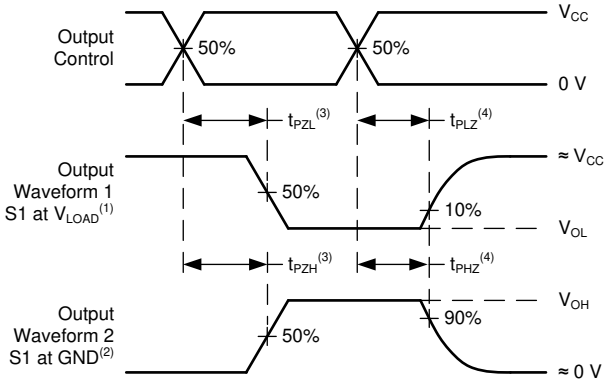
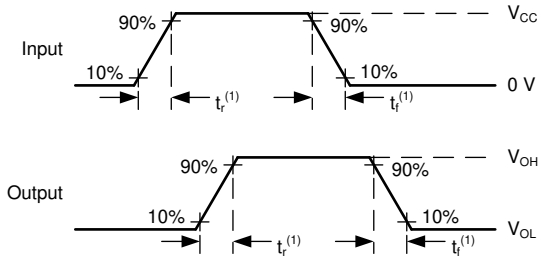


図 6-3. 電圧波形、伝搬遅延



(1) t_r と t_f の大きい方が t_t に相当します。

図 6-4. 電圧波形、入力および出力の遷移時間

7 詳細説明

7.1 概要

SNx4AHCT373 には 8 つの D タイプ ラッチが搭載されています。すべてのチャネルがラッチ イネーブル (LE) 入力と出力イネーブル ($\overline{OE}$) 入力を共有しています。

ラッチがイネーブル (LE が High) のとき、D 入力から Q 出力へのデータの通過が許可されます。

ラッチがディセーブルのとき (LE が Low のとき)、D 入力の変化に関係なく、Q 出力は直前の状態を保持します。

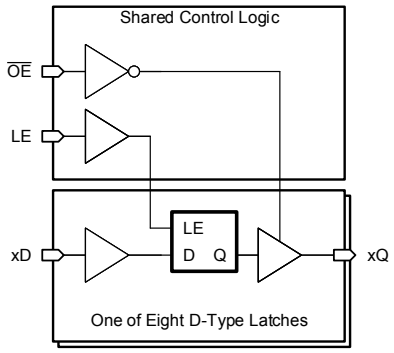
スタートアップ時にラッチ イネーブル (LE) 入力が Low に保持されている場合、すべてのデータ (D) 入力に有効な入力信号が供給されてラッチ イネーブル (LE) 入力が High に駆動されるまで、すべてのチャネルの出力状態は不定です。

出力がイネーブルのとき ($\overline{OE}$ が Low のとき)、出力はアクティブになって Low または High に駆動されます。

出力がディセーブルのとき ($\overline{OE}$ が High のとき)、出力は高インピーダンス状態に設定されます。

アクティブ Low の出力イネーブル ($\overline{OE}$) は、ラッチに保存されている状態には影響しません。

7.2 機能ブロック図



Copyright © 2025 Texas Instruments Incorporated

7.3 機能説明

7.3.1 平衡化された CMOS 3 ステート出力

このデバイスには、平衡化された CMOS 3 ステート出力が内蔵されています。High、Low、高インピーダンスが、これらの出力が取り得る 3 つの状態です。平衡化という用語は、このデバイスが類似の電流に対するシンクとソースを行えることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

高インピーダンス状態に移行したとき、出力は電流のソースとシンクのどちらも行いません。ただし、「電気的特性」表に定義されている小さなリーク電流は例外です。高インピーダンス状態では、出力電圧はデバイスによって制御されず、外部要因に依存します。ノードに他のドライバが接続されていない場合、これはフローティング ノードと呼ばれ、電圧は不明です。出力にプルアップ抵抗またはプルダウン抵抗を接続することで、高インピーダンス状態の出力に既知の電圧を供給できます。抵抗の値は、寄生容量や消費電力の制限など複数の要因に依存します。通常、これらの要件を満たすために 10kΩ の抵抗を使用できます。

未使用の 3 ステート CMOS 出力は、未接続のままにする必要があります。

7.3.2 TTL 互換 CMOS 入力

このデバイスには、TTL 互換の CMOS 入力が搭載されています。これらの入力は、入力電圧スレッショルドを下げることで TTL ロジック デバイスと接続するように特に設計されています。

TTL 互換 CMOS 入力は高インピーダンスであり、通常は「電気的特性」に示されている入力容量と並列の抵抗としてモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算されます。

TTL 互換 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、*低速またはフローティング CMOS 入力の影響* アプリケーション レポートを参照してください。

動作中は、TTL 互換 CMOS 入力をフローティングのままにしないでください。未使用の入力は、V_{CC} または GND に終端させる必要があります。システムが常に入力をアクティブに駆動していない場合は、プルアップまたはプルダウン抵抗を追加して、これらの時間中に有効な入力電圧を供給できます。抵抗値は複数の要因によって決まりますが、10kΩ の抵抗を推奨します。通常はこれですべての要件を満たします。

Copyright © 2025 Texas Instruments Incorporated

7.3.3 クランプ ダイオード構造

図 7-1 に示すように、このデバイスへの出力には正と負の両方のクランプ ダイオードがあり、このデバイスへの入力には負のクランプ ダイオードのみがあります。

注意

*絶対最大定格*表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。

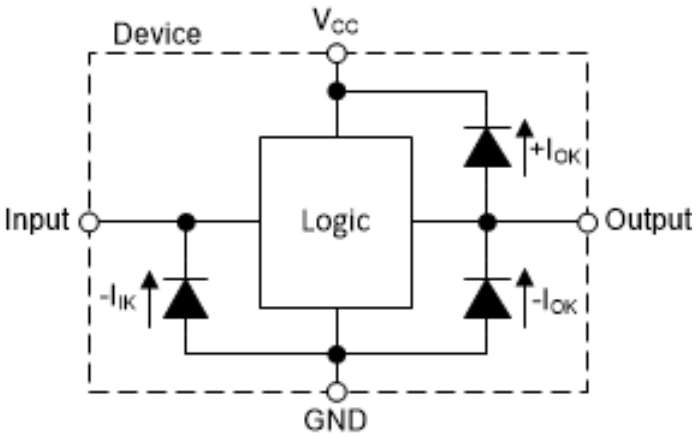


図 7-1. 各入力と出力に対するクランプ ダイオードの電気的配置

Copyright © 2025 Texas Instruments Incorporated

7.4 デバイスの機能モード

表 7-1. 機能表

入力 (1)			出力(2)
$\overline{OE}$	LE	D	Q
L	H	L	L
L	H	H	H
L	L	X	Q_0 (3)
H	X	X	Z

(1) L = 入力 Low、H = 入力 High、↑ = 入力が Low から High に遷移、↓ = 入力が High から Low に遷移、X = ドント ケア
(2) L = 出力 Low、H = 出力 High、Q_0 = 前の状態、Z = ハイ インピーダンス
(3) 起動時、Q_0 は不定です

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

このアプリケーションでは、SNx4AHCT373 を使用して 8 ビット データ バスを制御します。

バス コントローラから入力される LE および $\overline{OE}$ の制御入力に応じて、出力をハイ インピーダンス状態に保持するか、直前の既知の状態に保持するか、または、データ入力に合わせて変化させることができます。

8.2 代表的なアプリケーション

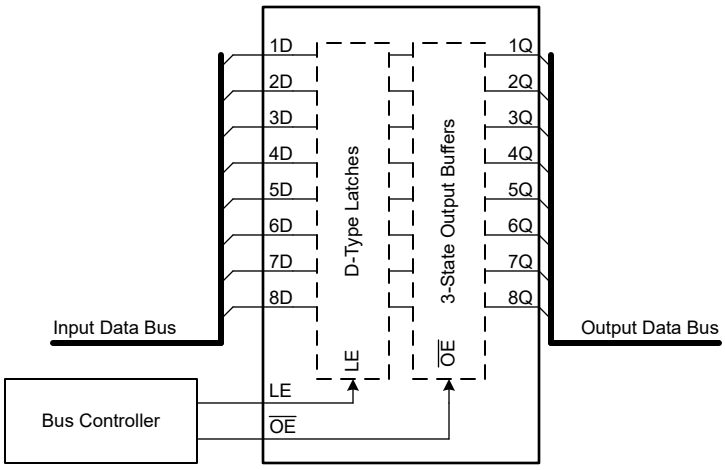


図 8-1. 代表的なアプリケーションのブロック図

Copyright © 2025 Texas Instruments Incorporated

8.2.1 設計要件

8.2.1.1 電源に関する考慮事項

求める電源電圧が「*電気的特性*」で規定されている範囲内であることを確認します。*「電気的特性」*セクションに記載されているように、電源電圧は本デバイスの電気的特性を決定づけます。

正電圧の電源は、SNx4AHCT373 のすべての出力によってソースされる総電流、*「電気的特性」*に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。ロジック デバイスは、正の電源から供給される電流のみをソースできます。*「絶対最大定格」*に記載された V_{CC} 総電流の最大値を超えないようにしてください。

グランドは、SNx4AHCT373 のすべての出力によってシンクされる総電流、*「電気的特性」*に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。ロジック デバイスは、グランド接続にシンクできる電流のみをシンクできます。*「絶対最大定格」* に記載された GND 総電流の最大値を超えないようにしてください。

SNx4AHCT373 は、データシートの仕様をすべて満たしつつ、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、50pF を超えることは推奨しません。

SNx4AHCT373 は、*「電気的特性」*表に定義されている出力電圧および電流 (V_{OH} および V_{OL}) で、$R_L \geqq V_O / I_O$ で記述される合計抵抗の負荷を駆動できます。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、*CMOS の消費電力と Cpd の計算 アプリケーション ノート* に記載された情報を使って計算できます。

温度の上昇は、*標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性 アプリケーション ノート* に記載された情報を使って計算できます。

注意

*絶対最大定格*に記載された最大接合部温度 ($T_{J(max)}$) は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

Copyright © 2025 Texas Instruments Incorporated

8.2.1.2 入力に関する考慮事項

入力信号は、$V_{IL(max)}$ を超えるとロジック Low と見なされ、$V_{IH(min)}$ を超えるとロジック High と見なされます。「*絶対最大定格*」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、V_{CC} またはグランドに終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SNx4AHCT373 へのリーク電流 (「*電気的特性*」で規定)、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により 10kΩ の抵抗値がしばしば使用されます。

SNx4AHCT373 は CMOS 入力を備えているため、正しく動作するには、「*電気的特性*」表で定義されているように、入力が素早く遷移する必要があります。入力遷移が遅いと発振が発生し、消費電力の増大やデバイスの信頼性の低下を招くことがあります。

このデバイスの入力の詳細については、*「機能説明」*セクションを参照してください。

8.2.1.3 出力に関する考慮事項

正の電源電圧を使用して、出力 High 電圧を生成します。出力から電流を引き出すと、「*電気的特性*」の V_{OH} 仕様で規定されたように出力電圧が低下します。グランド電圧を使用して、出力 Low 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力は、互いに直接接続しないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

同じ入力信号を持つ同一デバイス内の 2 つのチャネルを並列に接続することにより、出力駆動の強度を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、*「機能説明」*セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

8.2.2 詳細な設計手順

1. V_{CC} と GND の間にデカップリング コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、SNx4AHCT373 から 1 つまたは複数の受信デバイスまでのトレースを短い適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を $(V_{CC}/I_{O(max)})\Omega$ より大きくします。これを行うと、*絶対最大定格*の最大出力電流に違反するのを防ぐことができます。ほとんどの CMOS 入力は、MΩ 単位で測定される抵抗性負荷を備えています。これは、上記で計算される最小値よりはるかに大きい値です。
4. 熱の問題がロジック ゲートにとって問題となることはほとんどありません。ただし、消費電力と熱の上昇は、*CMOS 消費電力と CPD の計算アプリケーション レポート*に記載されている手順を使用して計算できます。

8.2.3 アプリケーション曲線

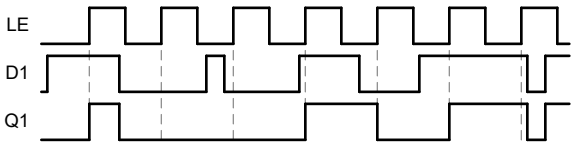


図 8-2. アプリケーション タイミング図

8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。

このデバイスには 0.1µF のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1µF と 1µF のコンデンサは並列に使用されます。バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- バイパス コンデンサの配置
  - デバイスの正電源端子の近くに配置
  - 電気的に短いグランド帰還パスを提供
  - インピーダンスを最小化するため、広いパターンを使用
  - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
  - 8mil～12mil のトレース幅
  - 伝送ラインの影響を最小化する 12cm 未満の長さ
  - 信号トレースの 90° のコーナーは避ける
  - 信号トレースの下に、途切れのないグランド プレーンを使用
  - 信号トレース周辺の領域をグランドでフラッド フィル
  - 平行配線は、3 倍以上の誘電体厚で分離する必要があります
  - 12cm を超えるパターン用
    - インピーダンス制御トレースを使用
    - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
    - 分岐を回避。個別に分岐が必要なバッファ信号

8.4.2 レイアウト例

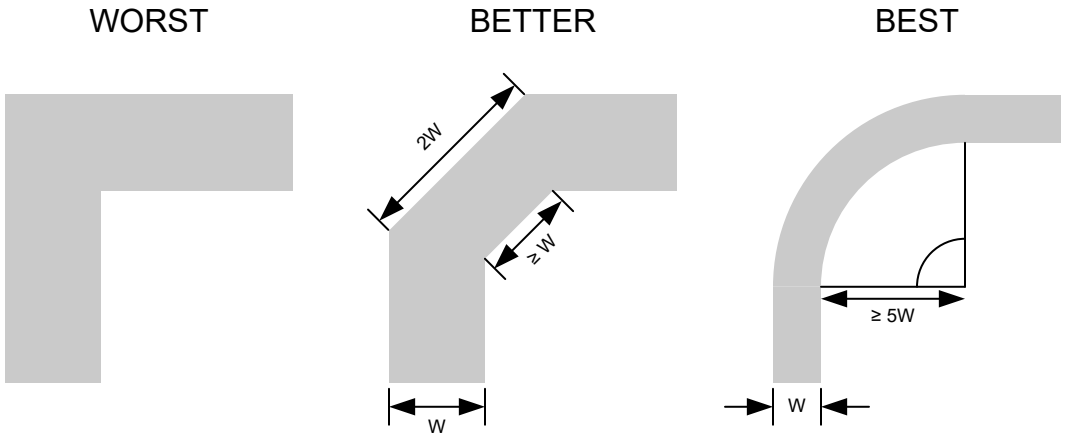


図 8-3. シグナル インテグリティ向上のためのサンプル パターンのコーナー

Copyright © 2025 Texas Instruments Incorporated

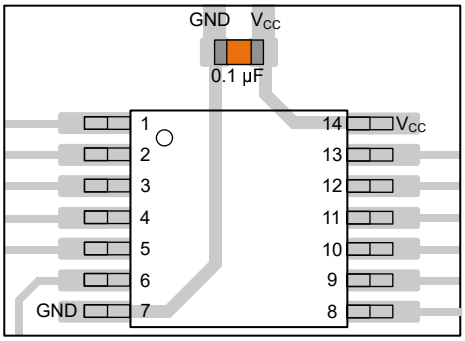


図 8-4. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

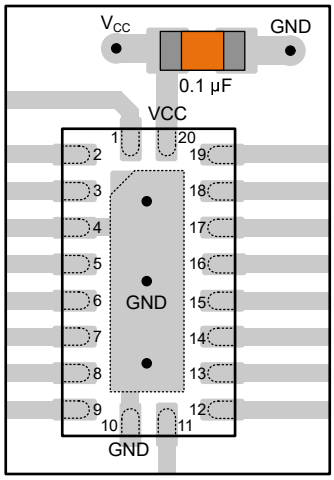


図 8-5. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

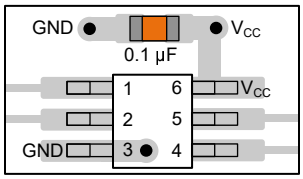


図 8-6. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

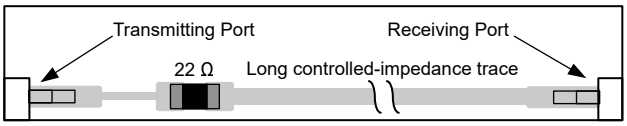


図 8-7. シグナル インテグリティ向上のためのダンピング抵抗の配置例

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、*『CMOS の消費電力と C_{pd} の計算』アプリケーション ノート*
- テキサス・インスツルメンツ、*『ロジック設計』アプリケーション ノート*
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション ノート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision O (August 2024) to Revision P (July 2025)	Page
• RKS および DGS パッケージを追加	6

Changes from Revision N (August 2023) to Revision O (August 2024)	Page
• 製品情報の表にパッケージ サイズを追加	2

Copyright © 2025 Texas Instruments Incorporated

- RθJA の値を更新：PW = 83～116.8、値はすべて℃/W 6

Changes from Revision M (July 2023) to Revision N (August 2023) **Page**

- 「製品情報」表、「ピンの機能」表、「ESD 定格」表、「熱に関する情報」表、「デバイスの機能モード」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加 2

Copyright © 2025 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-9686701Q2A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686701Q2A SNJ54AHCT373FK
5962-9686701QRA	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686701QRA SNJ54AHCT373J
5962-9686701QSA	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686701QSA SNJ54AHCT373W
SN74AHCT373DBR	NRND	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HB373
SN74AHCT373DBR.A	NRND	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HB373
SN74AHCT373DGSR	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HB273
SN74AHCT373DW	Obsolete	Production	SOIC (DW) | 20	-	-	Call TI	Call TI	-40 to 85	AHCT373
SN74AHCT373DWR	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHCT373
SN74AHCT373DWR.A	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHCT373
SN74AHCT373N	Active	Production	PDIP (N) | 20	20 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74AHCT373N
SN74AHCT373N.A	Active	Production	PDIP (N) | 20	20 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74AHCT373N
SN74AHCT373NSR	Active	Production	SOP (NS) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHCT373
SN74AHCT373NSR.A	Active	Production	SOP (NS) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHCT373
SN74AHCT373PW	Obsolete	Production	TSSOP (PW) | 20	-	-	Call TI	Call TI	-40 to 85	HB373
SN74AHCT373PWR	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HB373
SN74AHCT373PWR.A	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HB373
SN74AHCT373RKSR	Active	Production	VQFN (RKS) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHCT373
SNJ54AHCT373FK	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686701Q2A SNJ54AHCT373FK
SNJ54AHCT373FK.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686701Q2A SNJ54AHCT373FK

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SNJ54AHCT373J	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686701QR A SNJ54AHCT373J
SNJ54AHCT373J.A	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686701QR A SNJ54AHCT373J
SNJ54AHCT373W	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686701QS A SNJ54AHCT373W
SNJ54AHCT373W.A	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686701QS A SNJ54AHCT373W

(1) Status: For more details on status, see our product life cycle.

(2) Material type: When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) RoHS values: Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN54AHCT373, SN74AHCT373 :

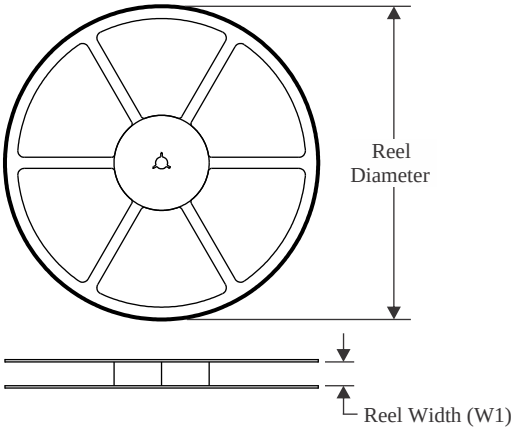
- Catalog : SN74AHCT373
- Automotive : SN74AHCT373-Q1, SN74AHCT373-Q1
- Military : SN54AHCT373

NOTE: Qualified Version Definitions:

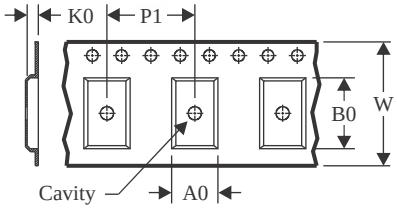
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

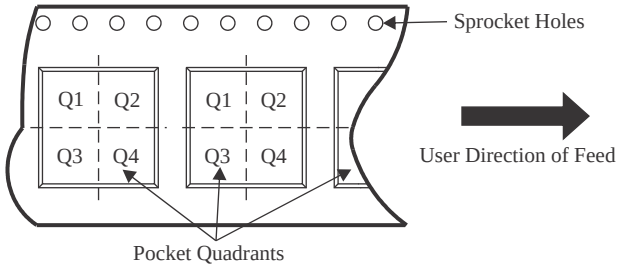


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

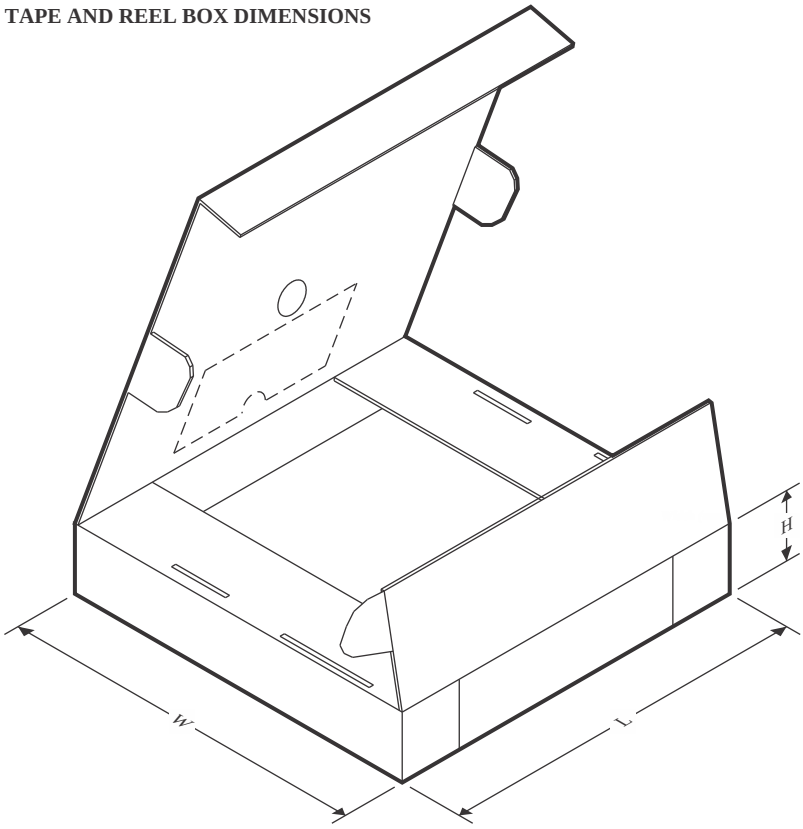
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AHCT373DBR	SSOP	DB	20	2000	330.0	16.4	8.2	7.5	2.5	12.0	16.0	Q1
SN74AHCT373DGSR	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74AHCT373DWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
SN74AHCT373NSR	SOP	NS	20	2000	330.0	24.4	8.4	13.0	2.5	12.0	24.0	Q1
SN74AHCT373PWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74AHCT373RKSR	VQFN	RKS	20	3000	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1

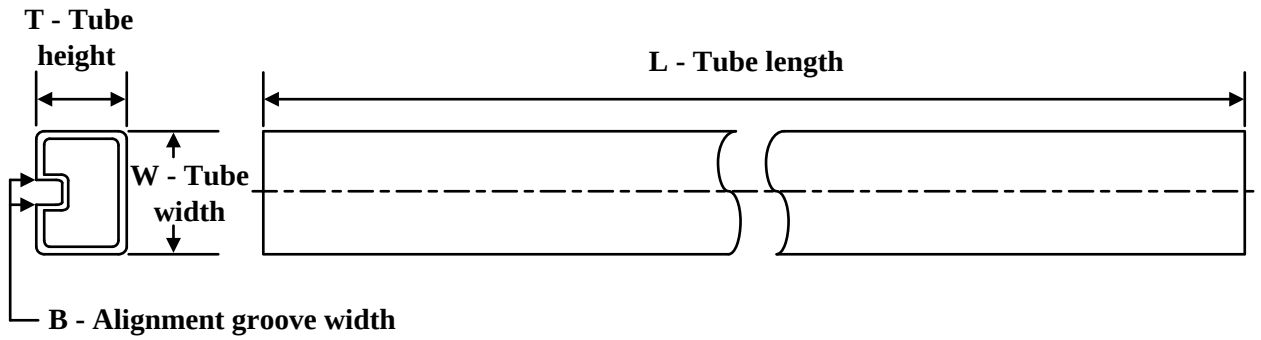
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AHCT373DBR	SSOP	DB	20	2000	353.0	353.0	32.0
SN74AHCT373DGSR	VSSOP	DGS	20	5000	353.0	353.0	32.0
SN74AHCT373DWR	SOIC	DW	20	2000	356.0	356.0	45.0
SN74AHCT373NSR	SOP	NS	20	2000	356.0	356.0	45.0
SN74AHCT373PWR	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74AHCT373RKSR	VQFN	RKS	20	3000	210.0	185.0	35.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-9686701Q2A	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-9686701QSA	W	CFP	20	25	506.98	26.16	6220	NA
SN74AHCT373N	N	PDIP	20	20	506	13.97	11230	4.32
SN74AHCT373N.A	N	PDIP	20	20	506	13.97	11230	4.32
SNJ54AHCT373FK	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54AHCT373FK.A	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54AHCT373W	W	CFP	20	25	506.98	26.16	6220	NA
SNJ54AHCT373W.A	W	CFP	20	25	506.98	26.16	6220	NA

GENERIC PACKAGE VIEW

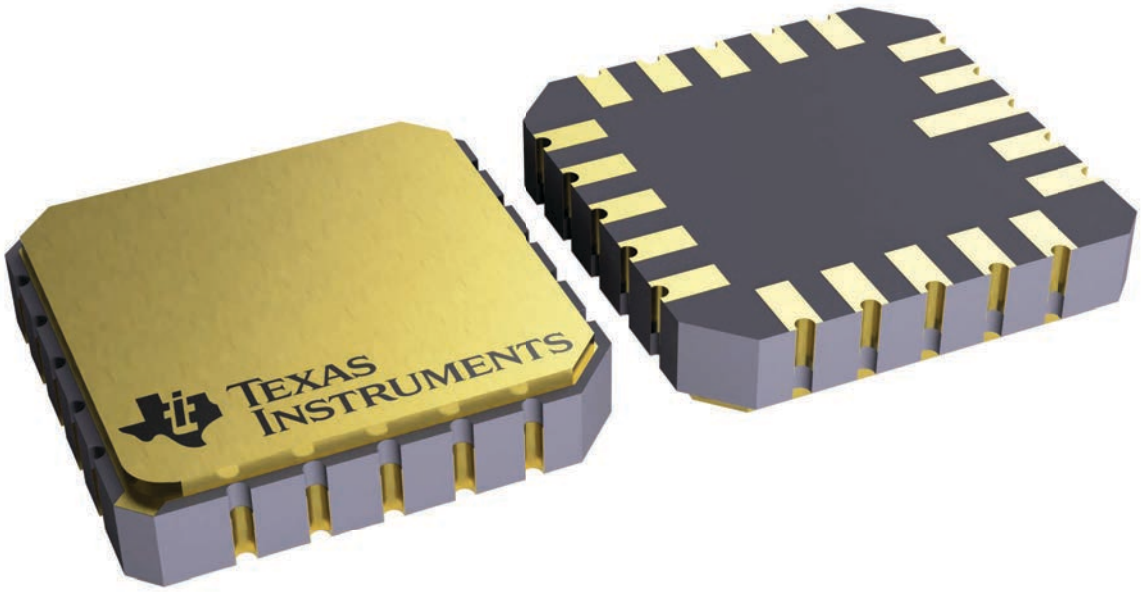
FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

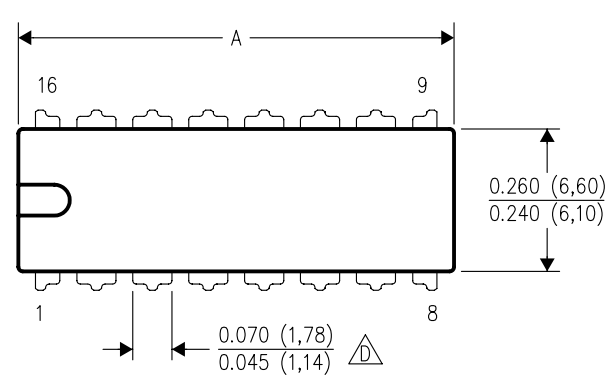


4229370VA\

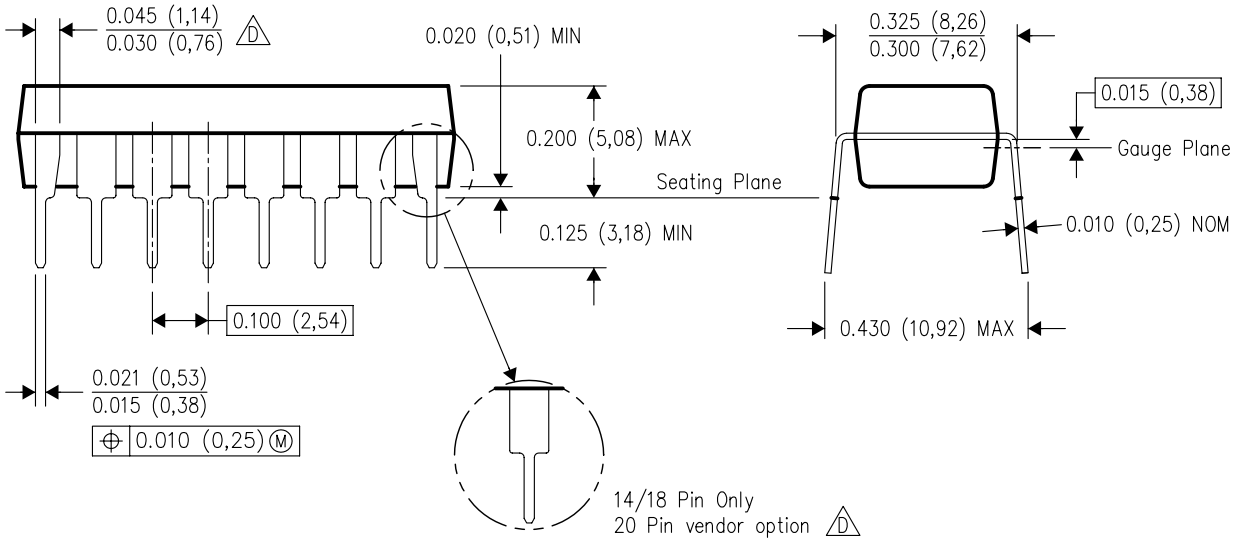
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN

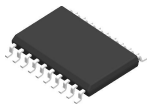


DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

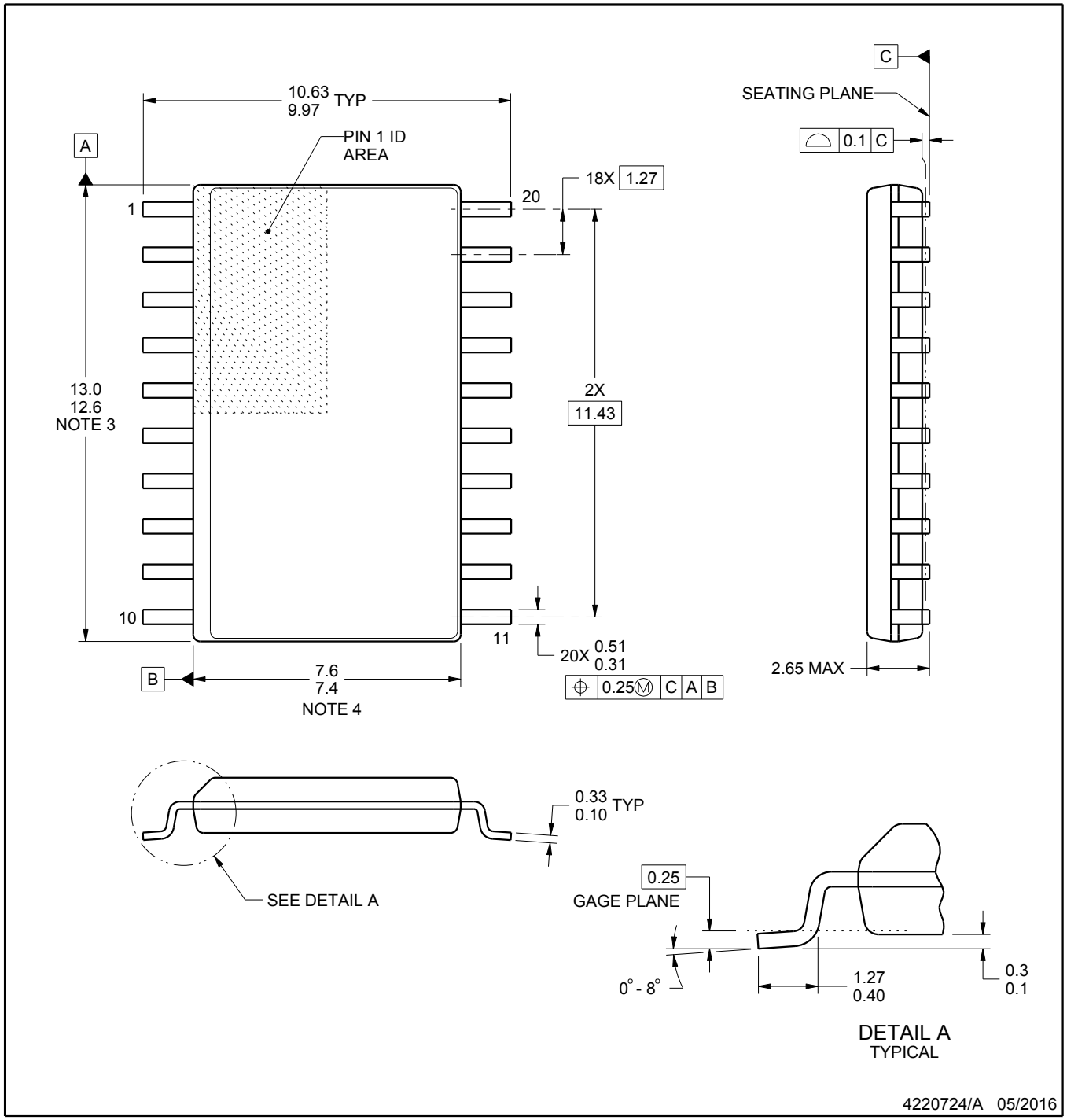


PACKAGE OUTLINE

DW0020A

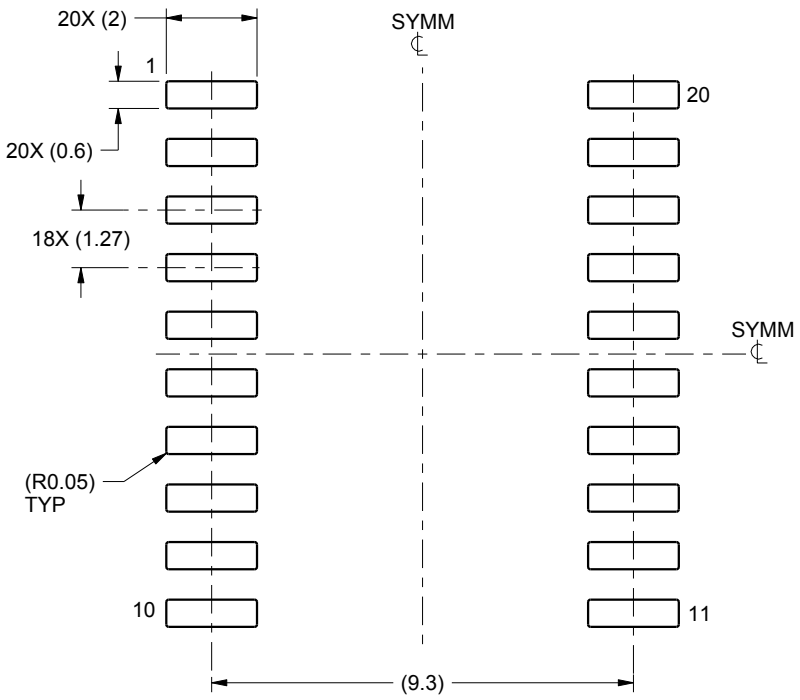
SOIC - 2.65 mm max height

SOIC

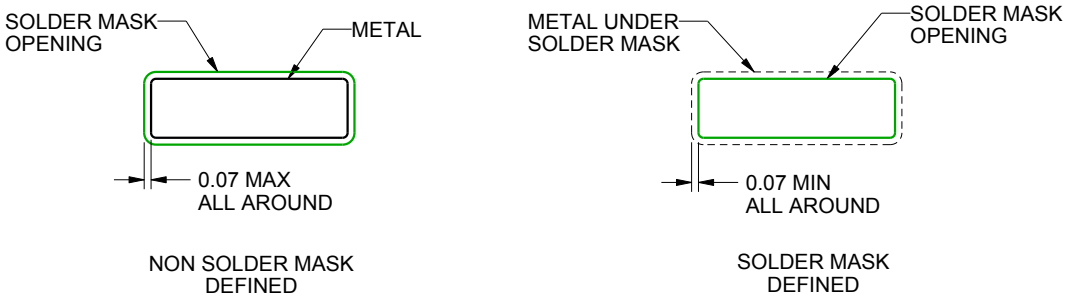


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.



LAND PATTERN EXAMPLE
SCALE:6X

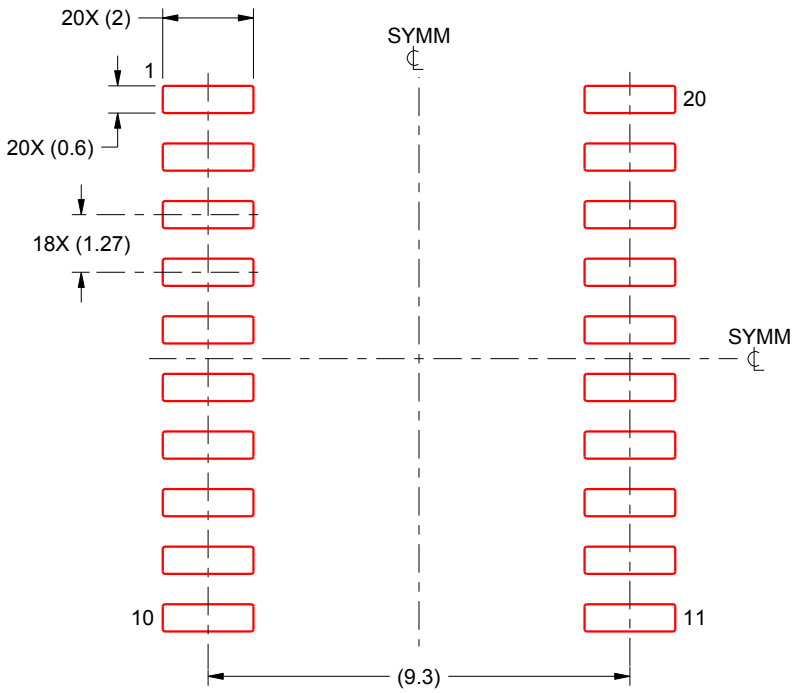


SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



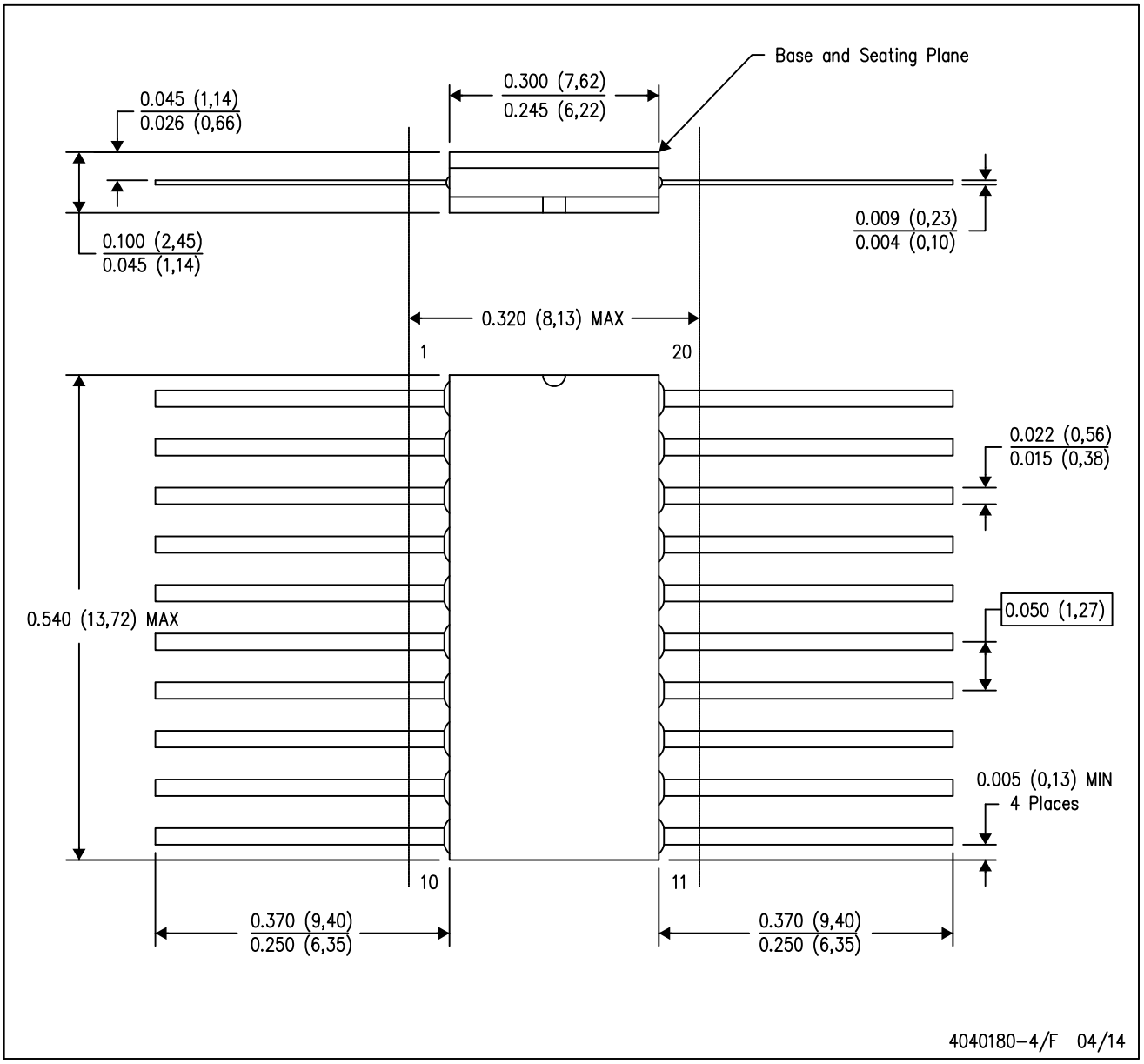
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

W (R–GDFP–F20) CERAMIC DUAL FLATPACK



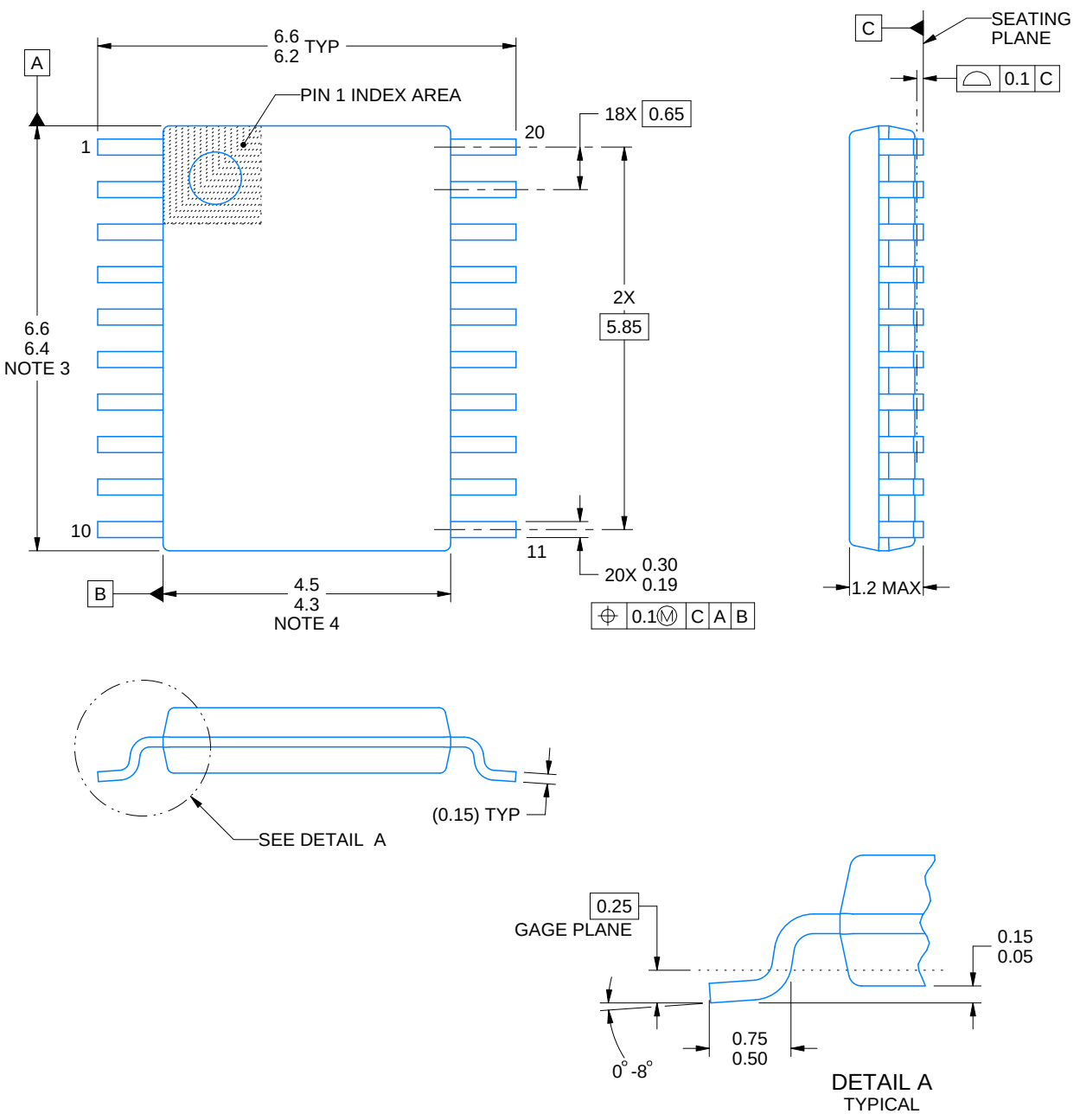
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package can be hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only.
E. Falls within Mil–Std 1835 GDFP2–F20

PACKAGE OUTLINE

PW0020A

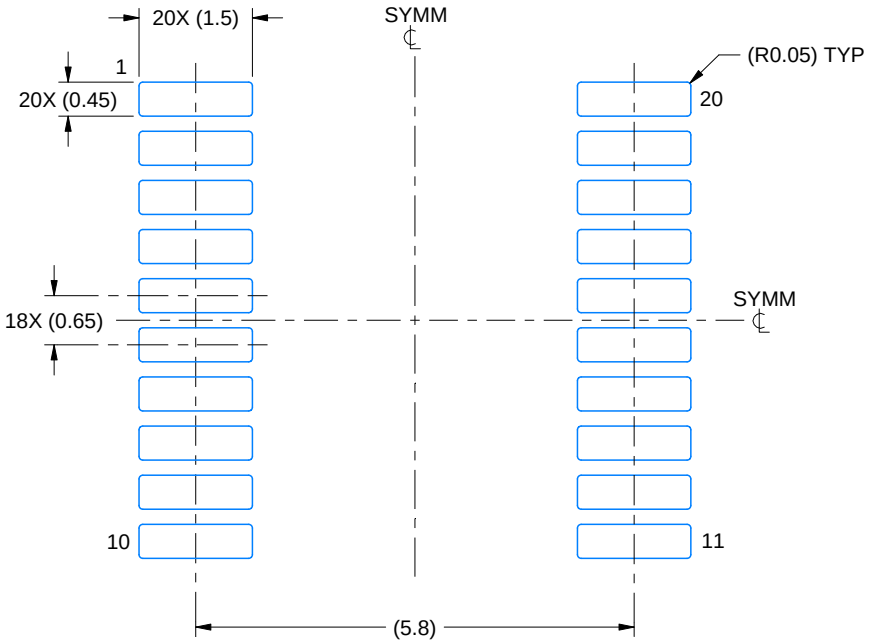
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

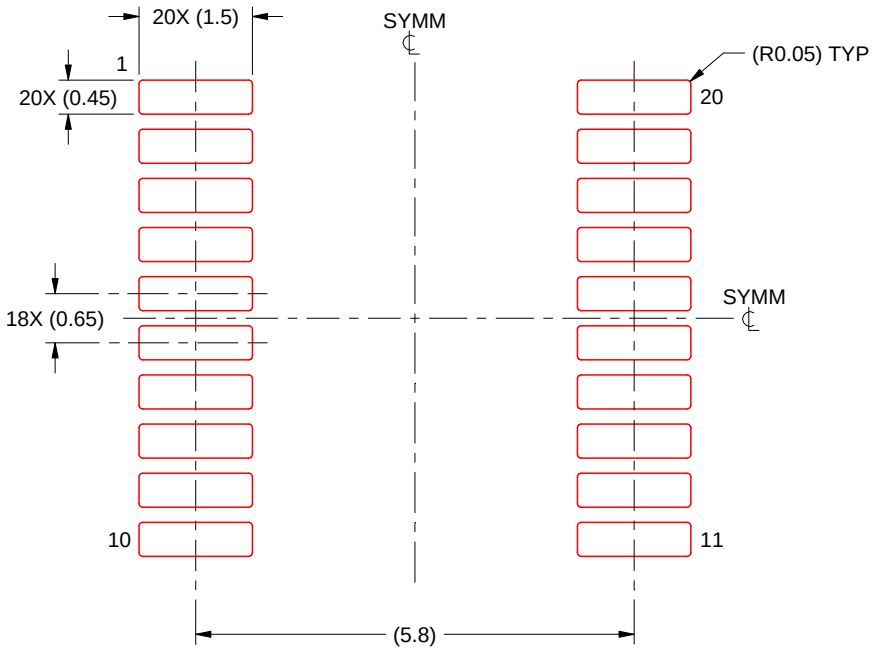


SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

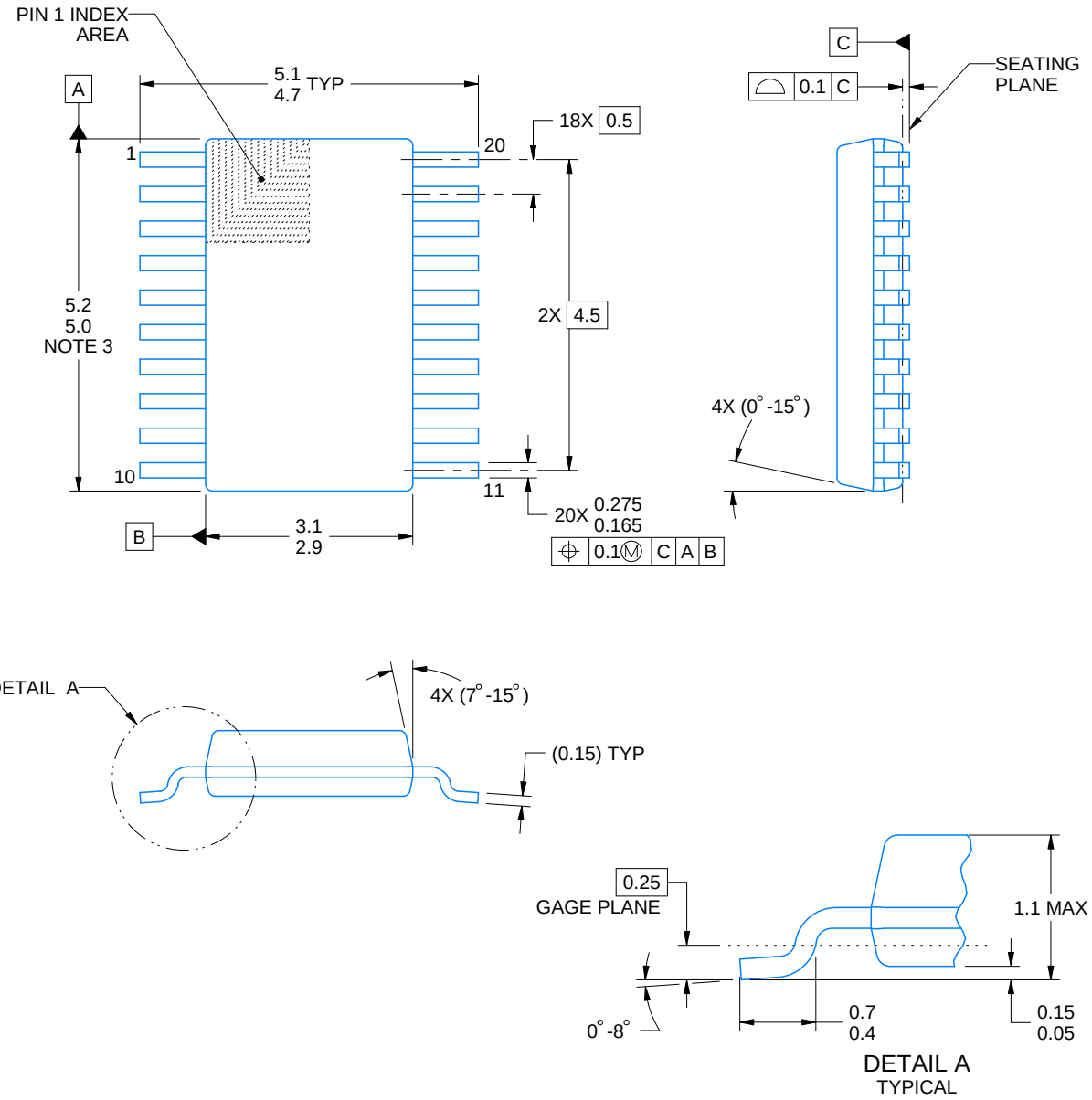
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGS0020A

VSSOP - 1.1 mm max height

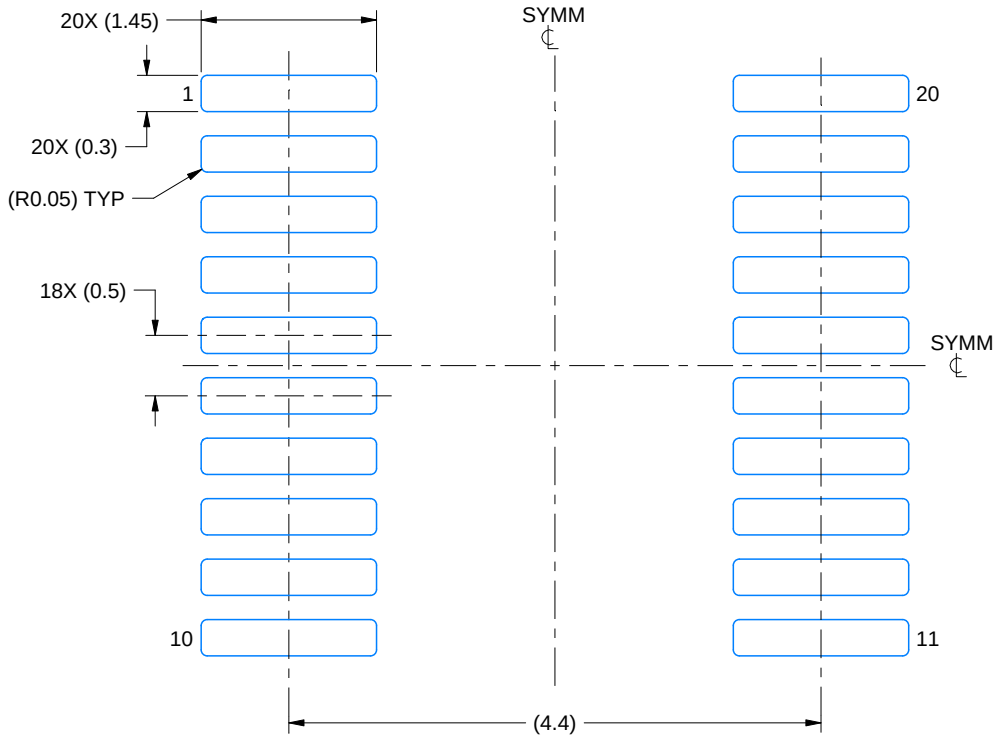
SMALL OUTLINE PACKAGE



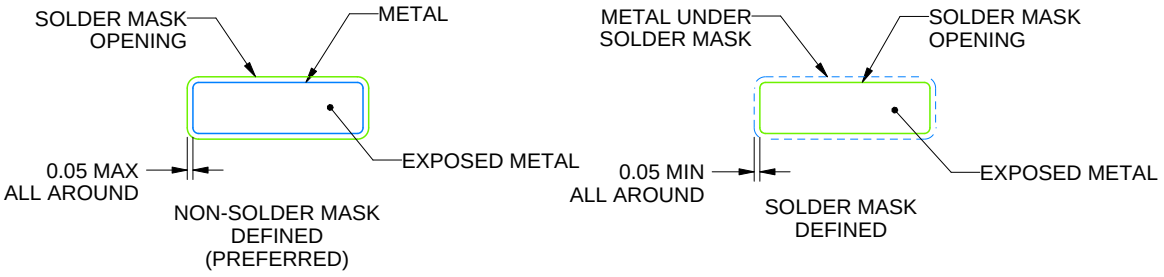
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
SCALE: 16X

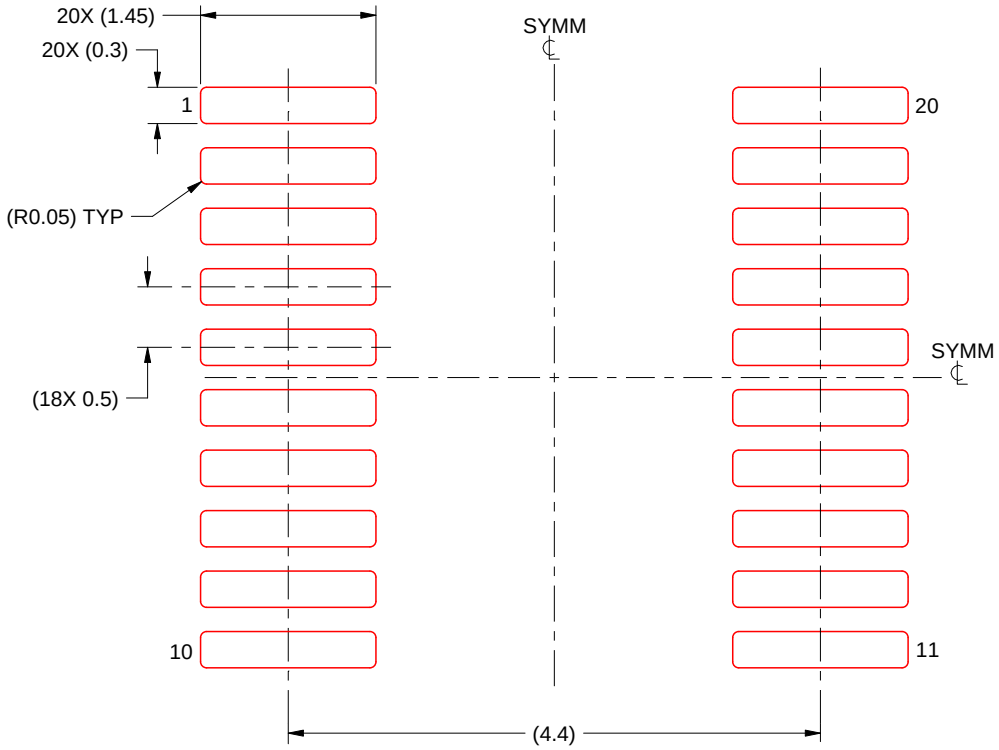


SOLDER MASK DETAILS

4226367/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

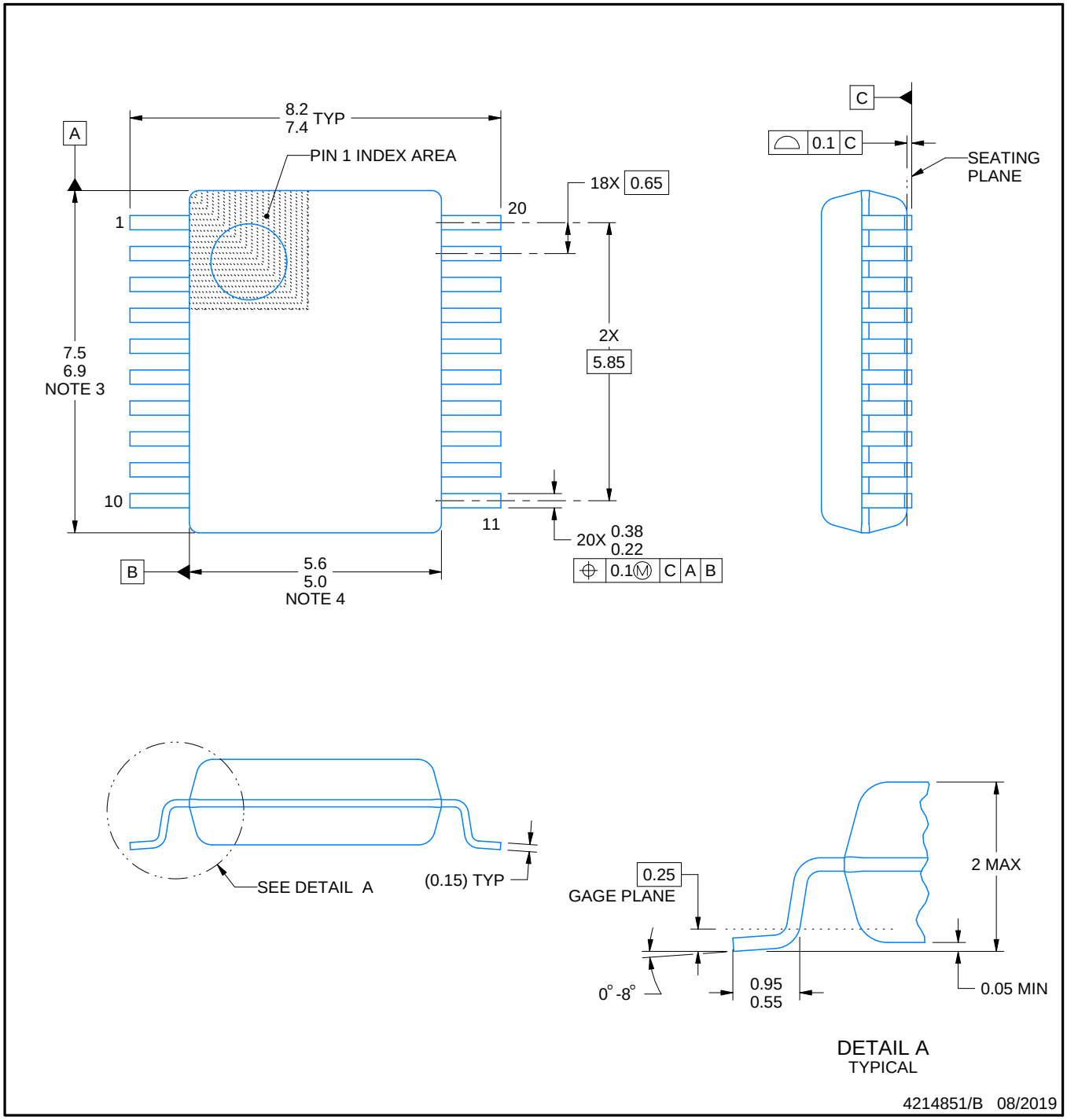
11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DB0020A

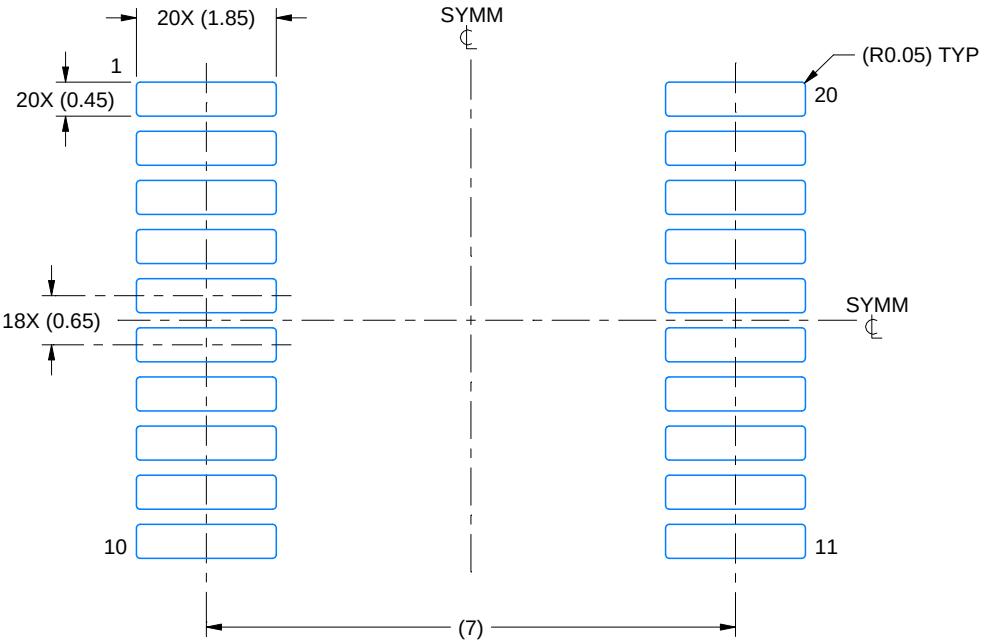
SSOP - 2 mm max height

SMALL OUTLINE PACKAGE

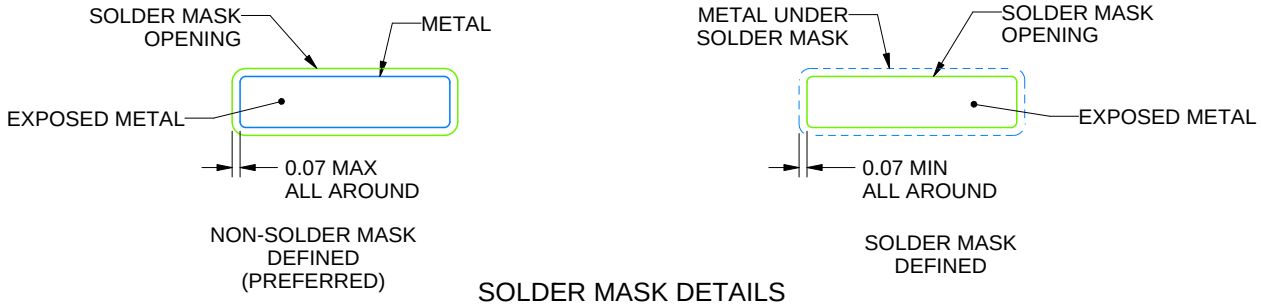


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4214851/B 08/2019

NOTES: (continued)

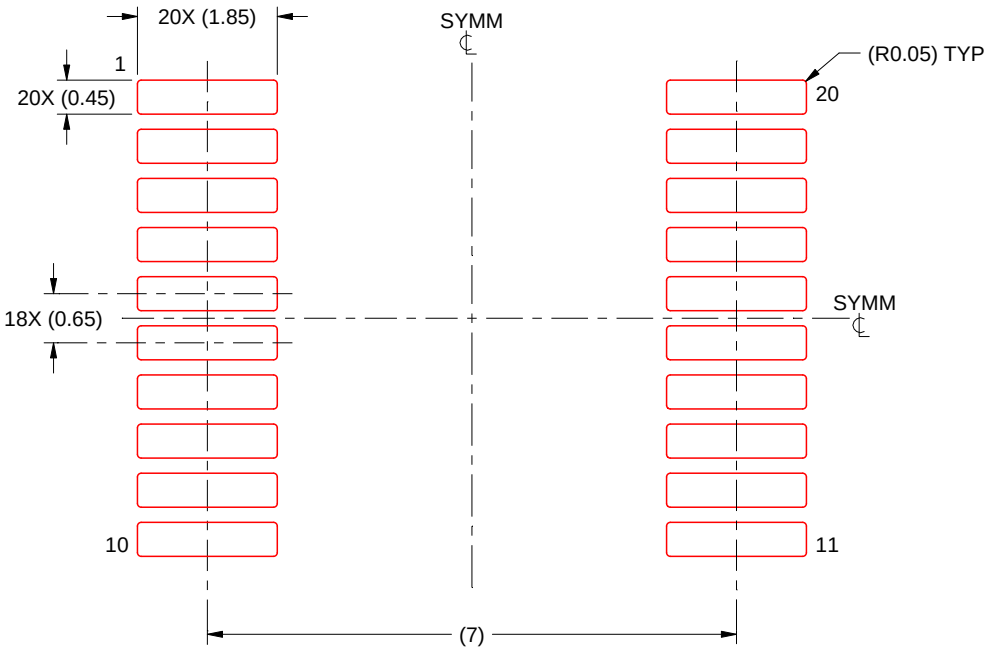
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DB0020A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4214851/B 08/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

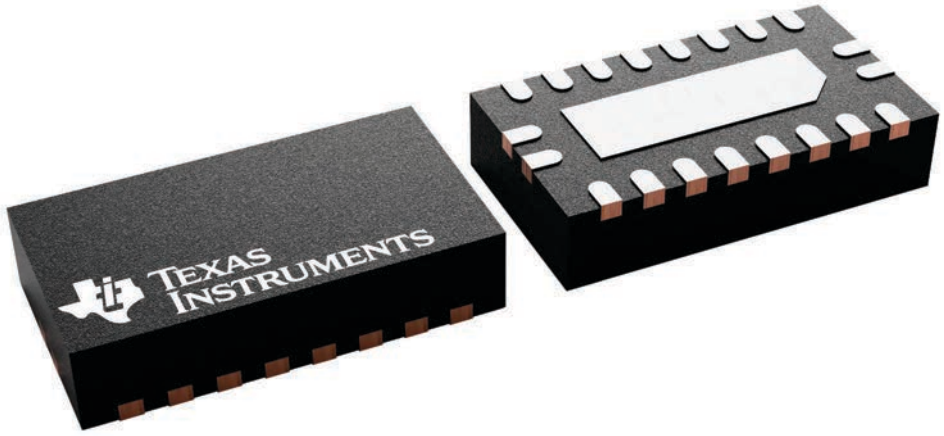
RKS 20

VQFN - 1 mm max height

2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

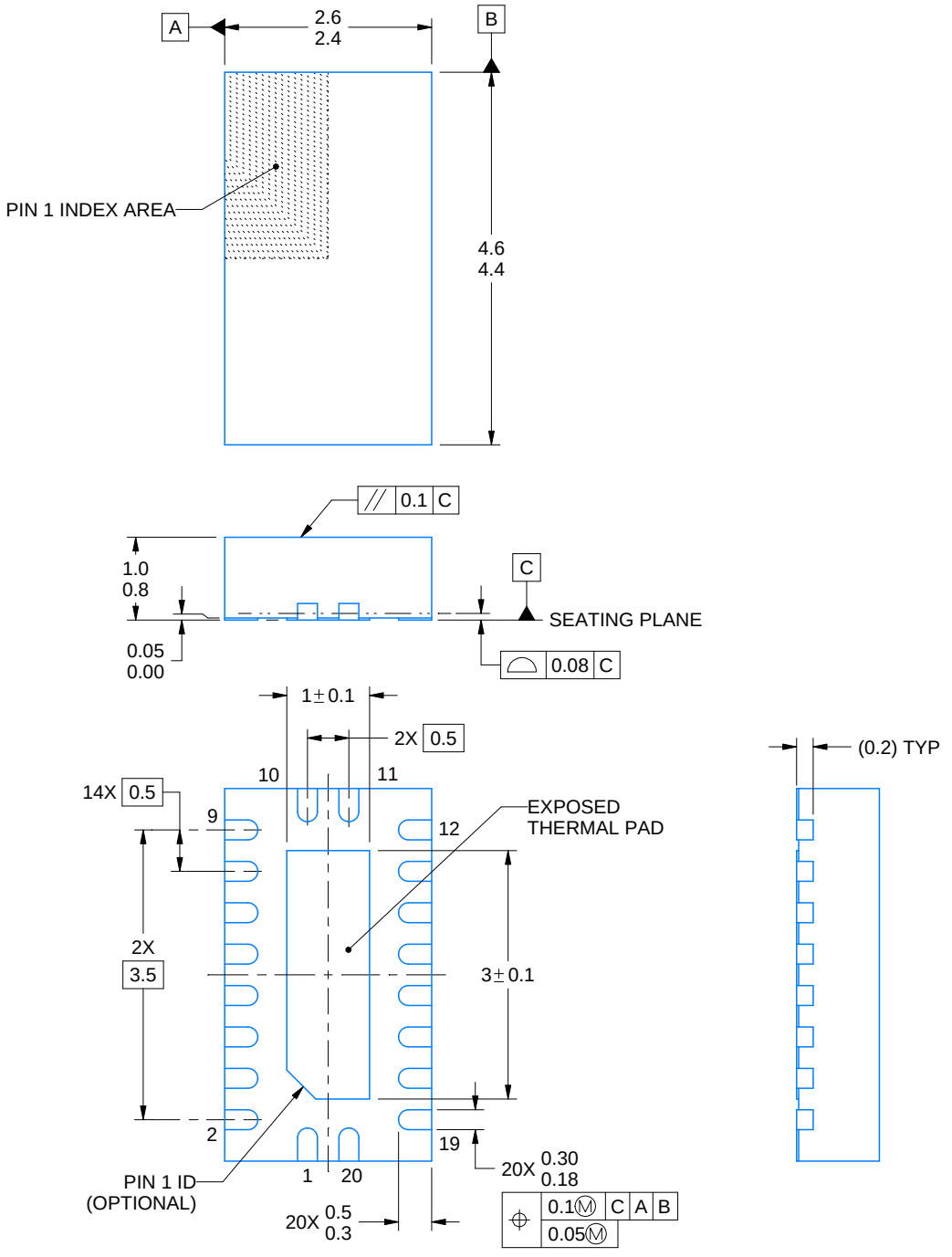


PACKAGE OUTLINE

RKS0020A

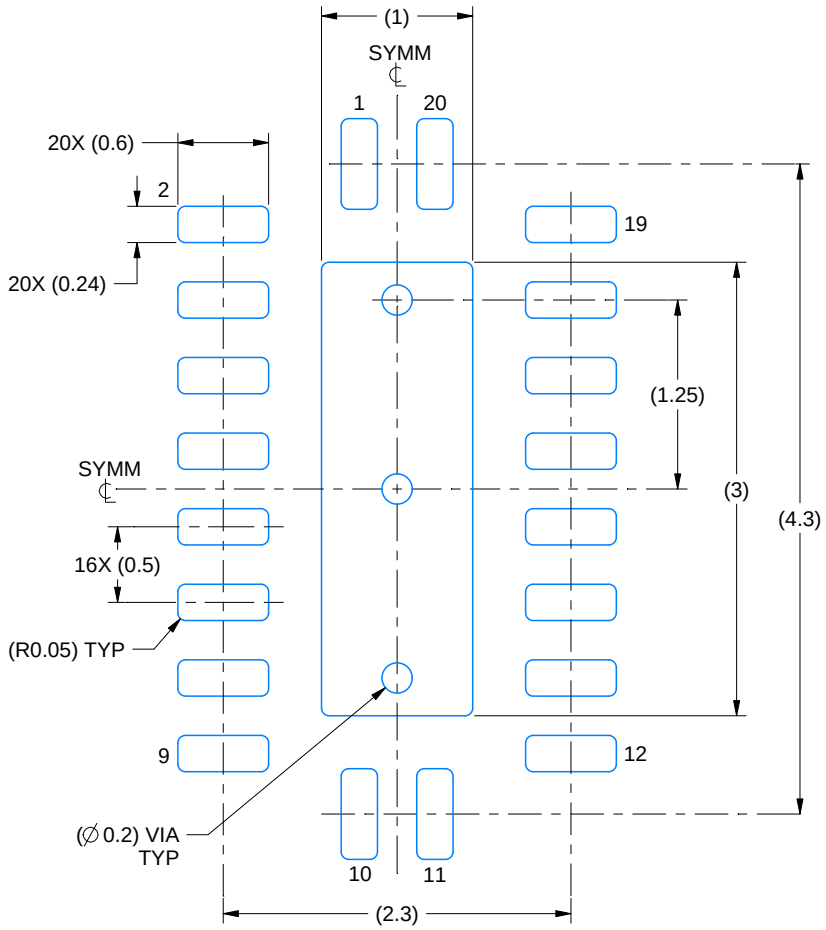
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

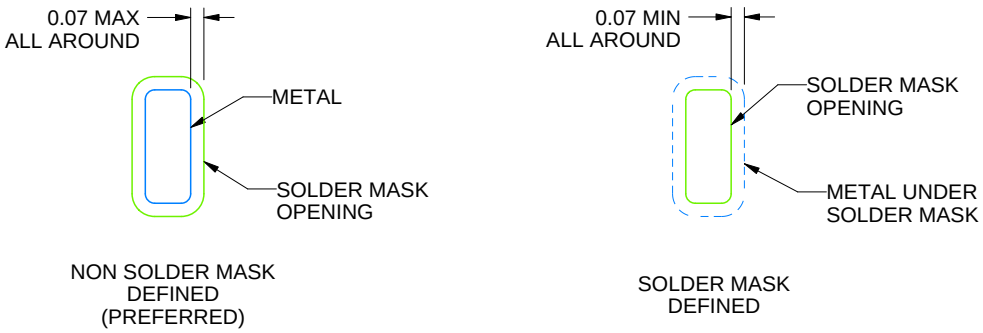


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

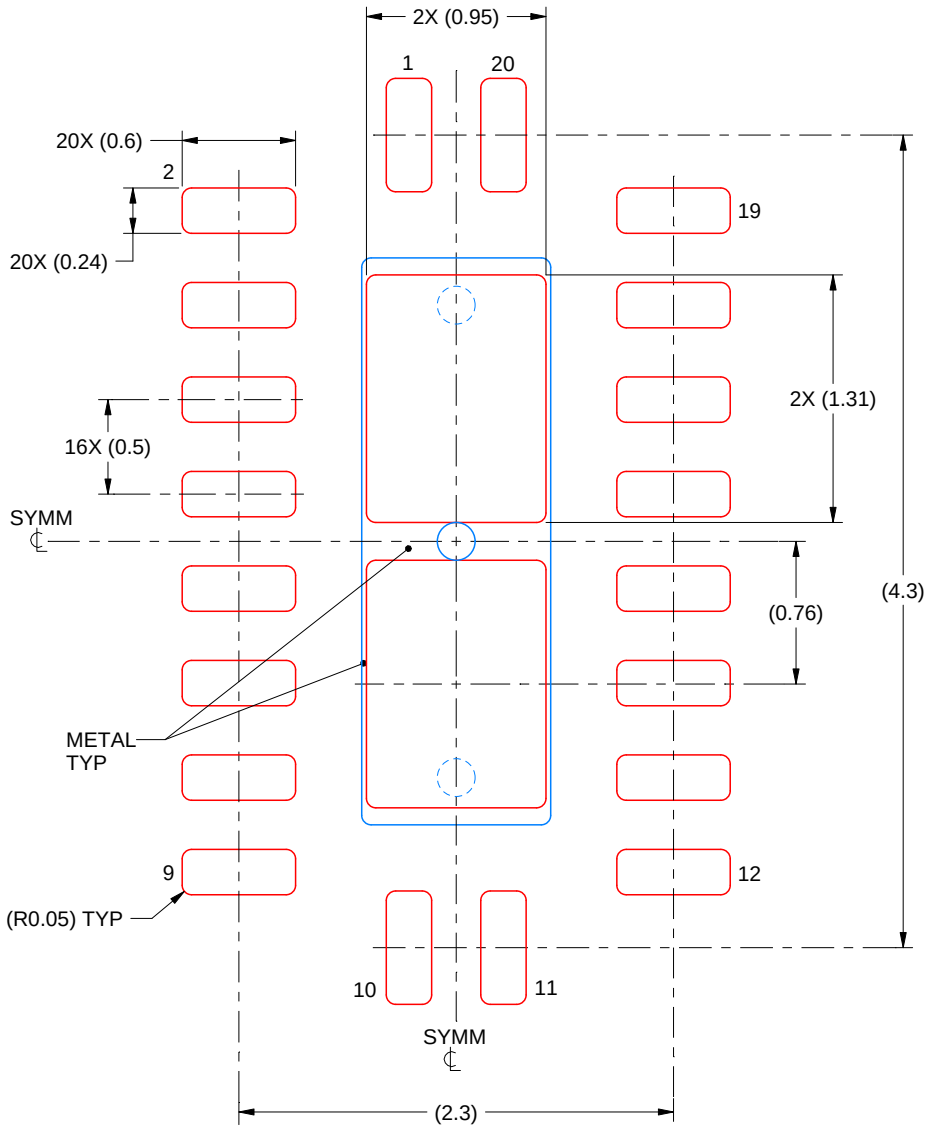


SOLDER MASK DETAILS

4222490/B 02/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
83% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4222490/B 02/2021

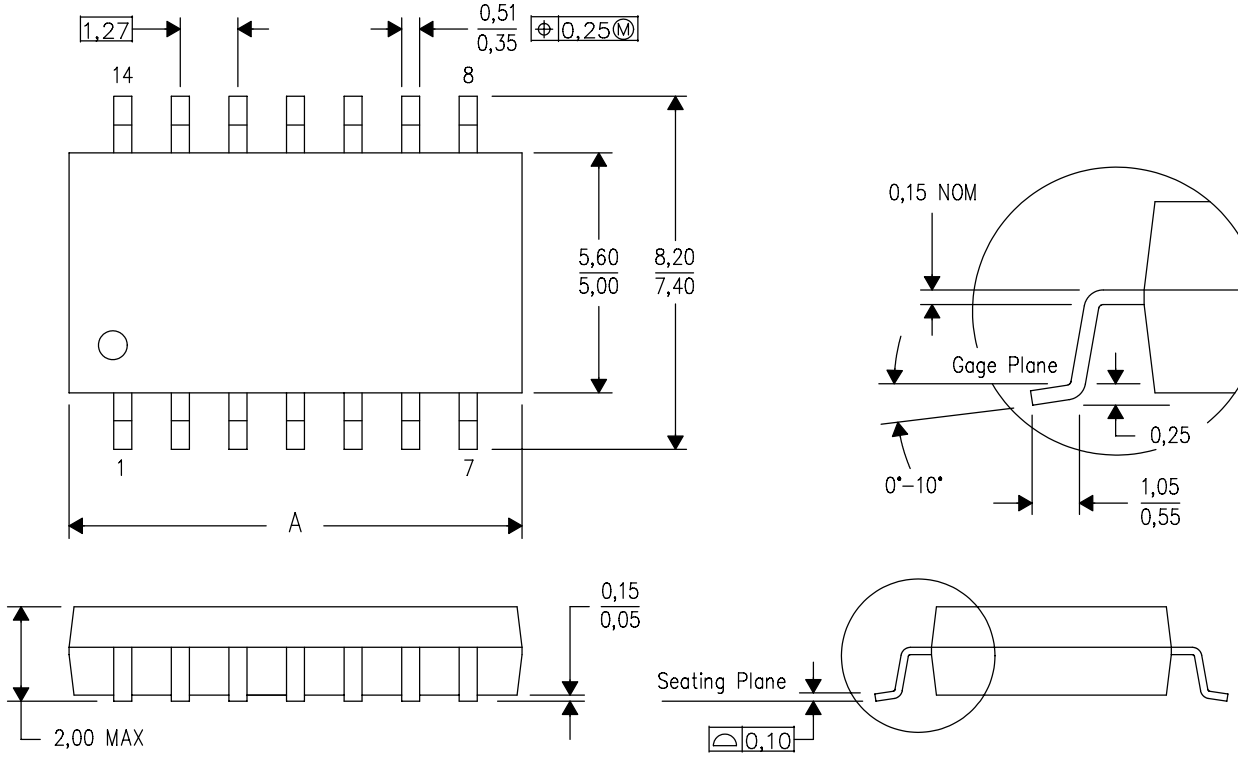
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

MECHANICAL DATA

NS (R-PDSO-G)** **PLASTIC SMALL-OUTLINE PACKAGE**

14-PINS SHOWN



DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

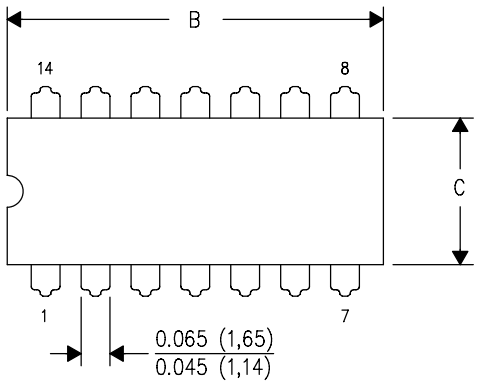
4040062/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

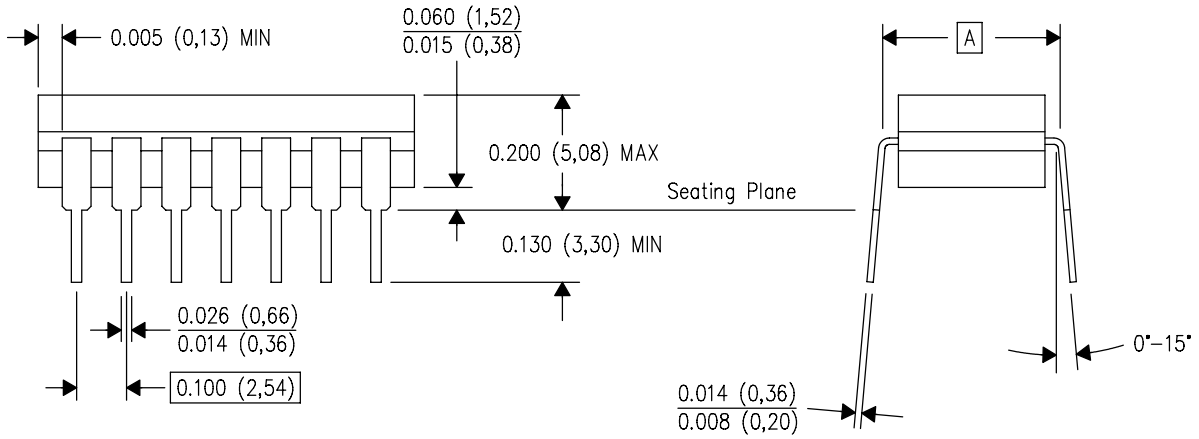
J (R–GDIP–T**)

14 LEADS SHOWN

CERAMIC DUAL IN–LINE PACKAGE



DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



4040083/F 03/03

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package is hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
E. Falls within MIL STD 1835 GDIP1–T14, GDIP1–T16, GDIP1–T18 and GDIP1–T20.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月