SNxAHCT74 デュアル・ポジティブ・エッジ・トリガ D タイプ・フリップ・フロップ、クリア / プリセット搭載

1 特長

- 動作範囲:4.5V～5.5V
- 低消費電力、I_{CC} の最大値 10µA
- 5V で ±8mA の出力駆動能力
- 入力は TTL 電圧互換
- JESD 17 準拠で 250mA 超のラッチアップ性能

2 アプリケーション

- モメンタリ・スイッチからトグル・スイッチへの変換
- コントローラ・リセット時の信号保持
- 低速エッジレート信号の入力
- ノイズの多い環境での動作
- クロック信号の 2 分割

3 概要

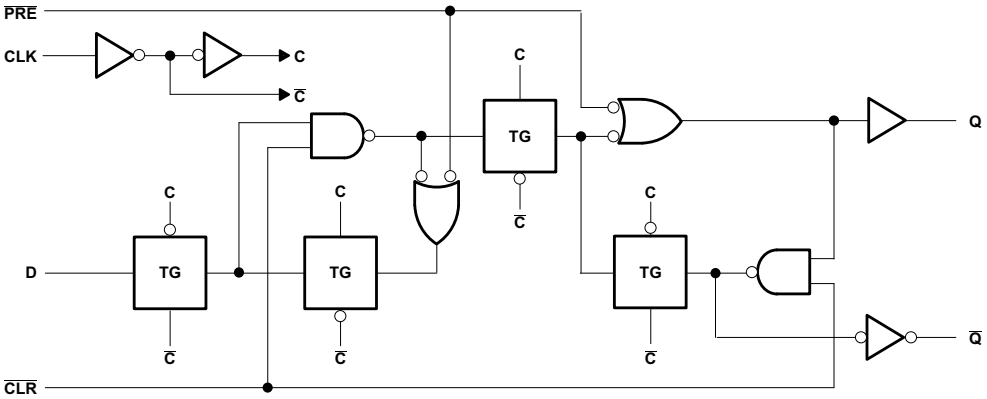
AHCT74 デュアル・ポジティブ・エッジ・トリガ・デバイスは、D タイプ・フリップ・フロップです。

その他の入力のレベルに関係なく、プリセット ($\overline{PRE}$) 入力を Low レベルにすると出力は High になり、クリア ($\overline{CLR}$) 入力を Low レベルにすると出力は Low になります。$\overline{PRE}$ と $\overline{CLR}$ が非アクティブ (High) の場合、セットアップ時間の要件を満たすデータ (D) 入力のデータは、クロック・パルスの正方向エッジで出力に転送されます。クロックのトリガは電圧レベルで発生し、クロック・パルスの立ち上がり時間とは直接関係しません。ホールド時間が経過した後、D 入力のデータは、出力のレベルに影響を及ぼさずに変更できます。

製品情報

部品番号	パッケージ (1)	パッケージ・サイズ (2)	本体サイズ (公称) (3)
SN54AHCT74	J (CDIP、14)	21.3mm × 7.6mm	19.56mm × 6.67mm
	W (CFP、14)	13.1mm × 6.92mm	13.1mm × 6.92mm
	FK (LCCC、20)	8.9mm × 8.9mm	8.9mm × 8.9mm
SN74AHCT74	N (PDIP、14)	19.3mm × 8mm	19.3mm × 6.35mm
	D (SOIC、14)	8.7mm × 6mm	8.7mm × 3.91mm
	NS (SOP、14)	10.3mm × 7.8mm	10.3mm × 5.3mm
	DB (SSOP、14)	6.2mm × 7.8mm	6.2mm × 5.3mm
	PW (TSSOP、14)	5mm × 6.4mm	5mm × 4.4mm
	DGV (TVSOP、14)	3.6mm × 6.4mm	3.6mm × 4.4mm
	RGY (VQFN、14)	3.5mm × 3.5mm	3.50mm × 3.50mm
	BQA (WQFN、14)	3mm × 2.5mm	3.00mm × 2.50mm

(1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。
(2) パッケージ・サイズ (長さ × 幅) は公称値で、該当する場合はピンも含まれます。
(3) 本体サイズ (長さ × 幅) は公称値で、ピンは含まれません。



論理図、各フリップ・フロップ (正論理)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 概要 ... 1
4 改訂履歴 ... 2
5 ピン構成および機能 ... 3
6 仕様 ... 4
6.1 絶対最大定格 ... 4
6.2 ESD 定格 ... 4
6.3 推奨動作条件 ... 4
6.4 熱に関する情報 ... 5
6.5 電気的特性 ... 5
6.6 タイミング要件 ... 5
6.7 スイッチング特性 ... 5
6.8 ノイズ特性 ... 6
6.9 動作特性 ... 6
6.10 代表的特性 ... 6
7 パラメータ測定情報 ... 7
8 詳細説明 ... 8
8.1 概要 ... 8
8.2 機能ブロック図 ... 8
8.3 機能説明 ... 8
8.4 デバイスの機能モード ... 9
9 アプリケーションと実装 ... 10
9.1 アプリケーション情報 ... 10
9.2 代表的なアプリケーション ... 10
9.3 電源に関する推奨事項 ... 12
9.4 レイアウト ... 12
10 デバイスおよびドキュメントのサポート ... 13
10.1 ドキュメントの更新通知を受け取る方法 ... 13
10.2 サポート・リソース ... 13
10.3 商標 ... 13
10.4 静電気放電に関する注意事項 ... 13
10.5 用語集 ... 13
11 メカニカル、パッケージ、および注文情報 ... 13

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

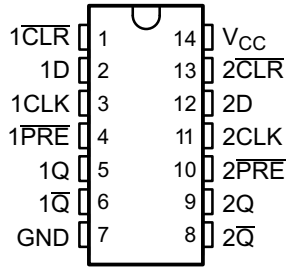
Changes from Revision Q (July 2023) to Revision R (October 2023)	Page
• 「製品情報」表のタイトルとフォーマットを更新	1
• RθJA の値を更新：D = 86～124.5、すべての値は℃/W 単位	5

Changes from Revision P (May 2023) to Revision Q (July 2023)	Page
• PW パッケージの熱の値を RθJA = 113 から 147.7 に更新、すべての値は℃/W 単位	5

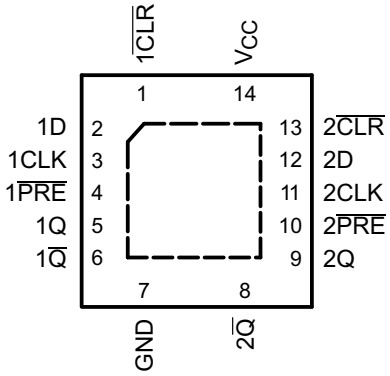
Copyright © 2023 Texas Instruments Incorporated

5 ピン構成および機能

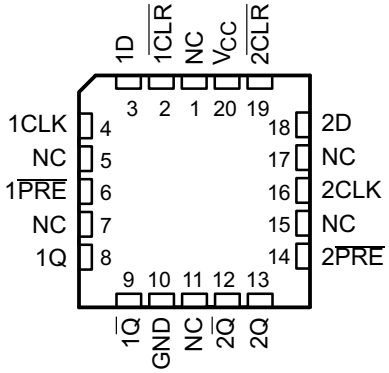
SN54AHCT74 . . . J or W PACKAGE
SN74AHCT74 . . . D, DB, DGV, N, NS, OR PW PACKAGE
(TOP VIEW)



SN74AHCT74 . . . RGY PACKAGE
(TOP VIEW)



SN54AHCT74 . . . FK PACKAGE
(TOP VIEW)



NC − No internal connection

図 5-1. タイトル

表 5-1. ピンの機能

名称	ピン				種類 (1)	説明
	SN74AHCT74		SN54AHCT74			
	D、DB、DGV、N、NS、PW	RGY、BQA	J、W	FK		
1$\overline{CLR}$	1	1	1	2	I	1A 入力
1D	2	2	2	3	I	1B 入力
1CLK	3	3	3	4	O	1Y 出力
1$\overline{PRE}$	4	4	4	6	I	2A 入力
1Q	5	5	5	8	I	2B 入力
1$\overline{Q}$	6	6	6	9	O	2Y 出力
2$\overline{Q}$	8	8	8	12	O	3Y 出力
2Q	9	9	9	13	I	3A 入力
2$\overline{PRE}$	10	10	10	14	I	3B 入力
2CLK	11	11	11	16	O	4Y 出力
2D	12	12	12	18	I	4A 入力
2$\overline{CLR}$	13	13	13	19	I	4B 入力
GND	7	7	7	10	—	グランド・ピン
NC	—	—	—	1、5、7、11、15、17	—	非接続
V_{CC}	14	14	14	20	—	パワー・ピン
サーマル・パッド	—	PAD	—	—	—	サーマル・パッド

(1) 信号タイプ：I = 入力、O = 出力、I/O = 入力または出力。

Copyright © 2023 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
V_{CC}	電源電圧範囲		-0.5	7	V
V_I (2)	入力電圧範囲		-0.5	7	V
V_O (2)	出力電圧範囲		-0.5	V_{CC} + 0.5	V
I_{IK}	入力クランプ電流	(V_I < 0)		-20	mA
I_{OK}	出力クランプ電流	(V_O < 0 または V_O > V_{CC})		±20	mA
I_O	連続出力電流	(V_O = 0～V_{CC})		±25	mA
	V_{CC} または GND を通過する連続電流			±50	mA
T_{stg}	保管温度範囲		-65	150	℃

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠(2)	±1000	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		SN54AHCT74		SN74AHCT74		単位
		最小値	最大値	最小値	最大値	
V_{CC}	電源電圧	4.5	5.5	4.5	5.5	V
V_{IH}	High レベル入力電圧	2		2		V
V_{IL}	Low レベル入力電圧		0.8		0.8	V
V_I	入力電圧	0	5.5	0	5.5	V
V_O	出力電圧	0	V_{CC}	0	V_{CC}	V
I_{OH}	High レベル出力電流		-8		-8	mA
I_{OL}	Low レベル出力電流		8		8	mA
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート		20		20	ns/V
T_A	自由気流での動作温度	-55	125	-40	125	℃

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーション・レポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。

Copyright © 2023 Texas Instruments Incorporated

6.4 熱に関する情報

熱評価基準[1]		SNx4AHCT74								単位
		D	DB	DGV	N	NS	PW	RGY	BQA	
		14 ピン								
$R_{\theta JA}$	接合部から周囲への熱抵抗	124.5	96	127	80	76	147.7	47	88.3	°C/W

(1) 従来および最新の熱評価基準の詳細については、『IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

6.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V_{CC}	T_A = 25℃			T_A = -55℃～125℃		T_A = -40℃～85℃		T_A = -40℃～125℃ 推奨		単位
			SN54AHCT74			SN54AHCT74		SN74AHCT74		SN74AHCT74		
			最小値	代表値	最大値	最小値	最大値	最小値	最大値	最小値	最大値	
V_{OH}	I_{OH} = -50μA	4.5V	4.4	4.5		4.4		4.4		4.4		V
	I_{OH} = -8mA		3.94			3.8		3.8		3.8		
V_{OL}	I_{OL} = 50μA	4.5V			0.1		0.1		0.1		0.1	V
	I_{OH} = 8mA				0.36		0.44		0.44		0.44	
I_I	V_I = 5.5V または GND	0V～5.5V			±0.1		±1[1]		±1		±1	μA
I_{CC}	V_I = V_{CC} または GND、 I_O = 0	5.5V			2		20		20		20	μA
ΔI_{CC}	1 つの入力は 3.4V、その他の入力は V_{CC} または GND	5.5V			1.35		1.5		1.5		1.5	mA
C_i	V_I = V_{CC} または GND	5V		2	10				10			pF

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、VCC = 0V で出荷時のテストは行っていません。

6.6 タイミング要件

自由気流での推奨動作温度範囲内、V_{CC} = 5V ± 0.5V (特に記述のない限り) (セクション 6.6 を参照)

パラメータ			T_A = 25℃		T_A = -55℃～125℃		T_A = -40℃～85℃		T_A = -40℃～125℃ 推奨		単位
					SN54AHCT74		SN54AHCT74		SN54AHCT74		
			代表値	最大値	最小値	最大値	最小値	最大値	最小値	最大値	
t_w	パルス幅	$\overline{PRE}$ または $\overline{CLR}$ Low	5		5		5		5		ns
		CLK	5		5		5		5		
t_{su}	CLK↑前のセットアップ時間	データ	5		5		5		5		ns
		$\overline{PRE}$ または $\overline{CLR}$ が非アクティブ	3.5		3.5		3.5		3.5		
t_h	ホールド時間、CLK↑後のデータ		0		0		0		0		ns

6.7 スイッチング特性

自由気流での推奨動作温度範囲内、V_{CC} = 5V ± 0.5V (特に記述のない限り) (図 7-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃			T_A = -55℃～125℃		T_A = -40℃～85℃		T_A = -40℃～125℃ 推奨		単位
							SN54AHCT74		SN54AHCT74		SN54AHCT74		
				最小値	代表値	最大値	最小値	最大値	最小値	最大値	最小値	最大値	
f_{max}			C_L = 15pF	100[1]	160[1]		90		80		80		ns
			C_L = 50pF	80	140		65		65		65		

Copyright © 2023 Texas Instruments Incorporated

自由気流での推奨動作温度範囲内、V_{CC} = 5V ± 0.5V (特に記述のない限り) (図 7-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T_A = 25℃		T_A = -55℃～125℃		T_A = -40℃～85℃		T_A = -40℃～125℃ 推奨		単位
				SN54AHCT74		SN54AHCT74		SN54AHCT74		SN54AHCT74		
				最小値	代表値	最小値	最大値	最小値	最大値	最小値	最大値	
t_{PLH}	$\overline{PRE}$ または $\overline{CLR}$	Q または $\overline{Q}$	C_L = 15pF		7.6(1) 10.4(1)	1(1)	12(1)	1	12	1	12	ns
t_{PHL}					7.6(1) 10.4(1)	1(1)	12(1)	1	12	1	12	
t_{PLH}	CLK	Q または $\overline{Q}$	C_L = 15pF		5.8(1) 7.8(1)	1(1)	9(1)	1	9	1	9.0	ns
t_{PHL}					5.8(1) 7.8(1)	1(1)	9(1)	1	9	1	9.0	
t_{PLH}	$\overline{PRE}$ または $\overline{CLR}$	Q または $\overline{Q}$	C_L = 50pF		8.1 11.4	1	13	1	13	1	13	ns
t_{PHL}					8.1 11.4	1	13	1	13	1	13	
t_{PLH}	CLK	Q または $\overline{Q}$	C_L = 50pF		6.3 8.8	1	10	1	10	1	10	ns
t_{PHL}					6.3 8.8	1	10	1	10	1	10	

(1) MIL-PRF-38535 に準拠した製品では、このパラメータについては、出荷時のテストは行っていません。

6.8 ノイズ特性

V_{CC} = 5V、C_L = 50pF、T_A = 25℃(1)

パラメータ		SN54AHCT74		単位
		最小値	最大値	
$V_{OL(P)}$	クワイエット出力、最大動的電圧 V_{OL}		0.8	V
$V_{OL(V)}$	クワイエット出力、最小動的電圧 V_{OL}		-0.8	V
$V_{OH(V)}$	クワイエット出力、最小動的電圧 V_{OH}	4		V
$V_{IH(D)}$	High レベル動的入力電圧	2		V
$V_{IL(D)}$	Low レベル動的入力電圧		0.8	V

(1) 特性は表面実装パッケージのみが対象です。

6.9 動作特性

V_{CC} = 5V、T_A = 25℃

パラメータ		テスト条件		代表値	単位
C_{pd}	消費電力容量	無負荷、	f = 1MHz	32	pF

6.10 代表的特性

T_A = 25℃ (特に記述のない限り)

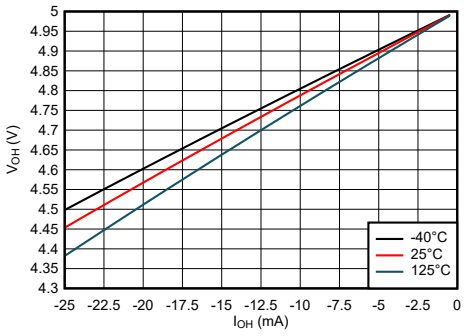


図 6-1. High 状態における出力電圧と電流との関係、5V 電源

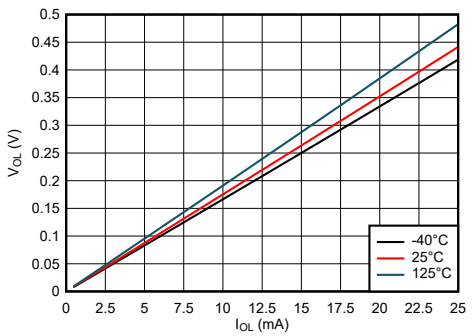
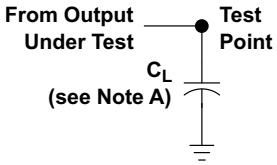


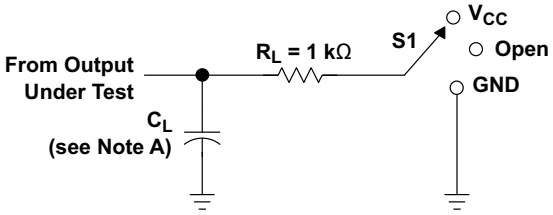
図 6-2. Low 状態における出力電圧と電流との関係、5V 電源

Copyright © 2023 Texas Instruments Incorporated

7 パラメータ測定情報

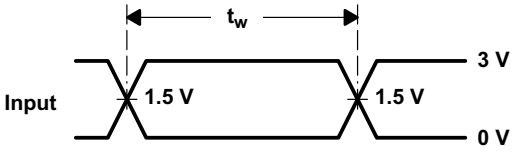


LOAD CIRCUIT FOR
TOTEM-POLE OUTPUTS

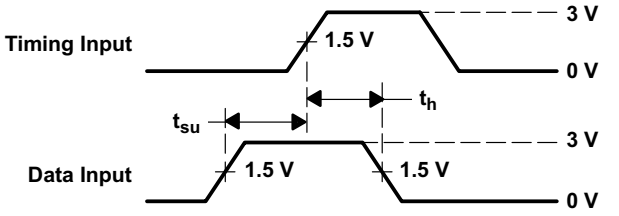


LOAD CIRCUIT FOR
3-STATE AND OPEN-DRAIN OUTPUTS

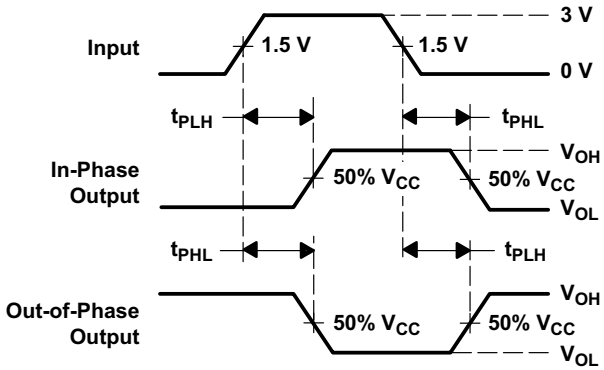
TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{CC}
t_{PHZ}/t_{PZH}	GND
Open Drain	V_{CC}



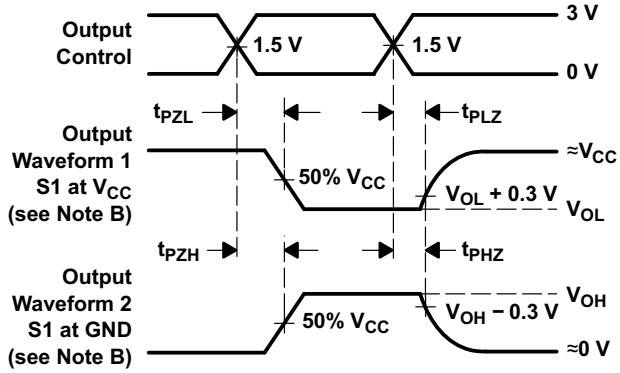
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

A. C_L にはプローブと治具の容量が含まれます。

B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルされている場合は除きます。
波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディセーブルされている場合は除きます。

C. すべての入力パルスは、以下の特性を持つジェネレータから供給されます。PRR ≦ 1MHz、Z_O = 50Ω、t_r ≦ 3ns、t_f ≦ 3ns。

D. 出力は一度に 1 回ずつ測定され、測定するたびに入力が 1 回遷移します。

E. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 7-1. 負荷回路および電圧波形

Copyright © 2023 Texas Instruments Incorporated

8 詳細説明

8.1 概要

AHCT74 デュアル・ポジティブ・エッジ・トリガ・デバイスは、D タイプ・フリップ・フロップです。

その他の入力のレベルに関係なく、プリセット ($\overline{PRE}$) 入力を Low レベルにすると出力は High になり、クリア ($\overline{CLR}$) 入力を Low レベルにすると出力は Low になります。$\overline{PRE}$ と $\overline{CLR}$ が非アクティブ (High) の場合、セットアップ時間の要件を満たすデータ (D) 入力のデータは、クロック・パルスの正方向エッジで出力に転送されます。クロックのトリガは電圧レベルで発生し、クロック・パルスの立ち上がり時間とは直接関係しません。ホールド時間が経過した後、D 入力のデータは、出力のレベルに影響を及ぼさずに変更できます。

8.2 機能ブロック図

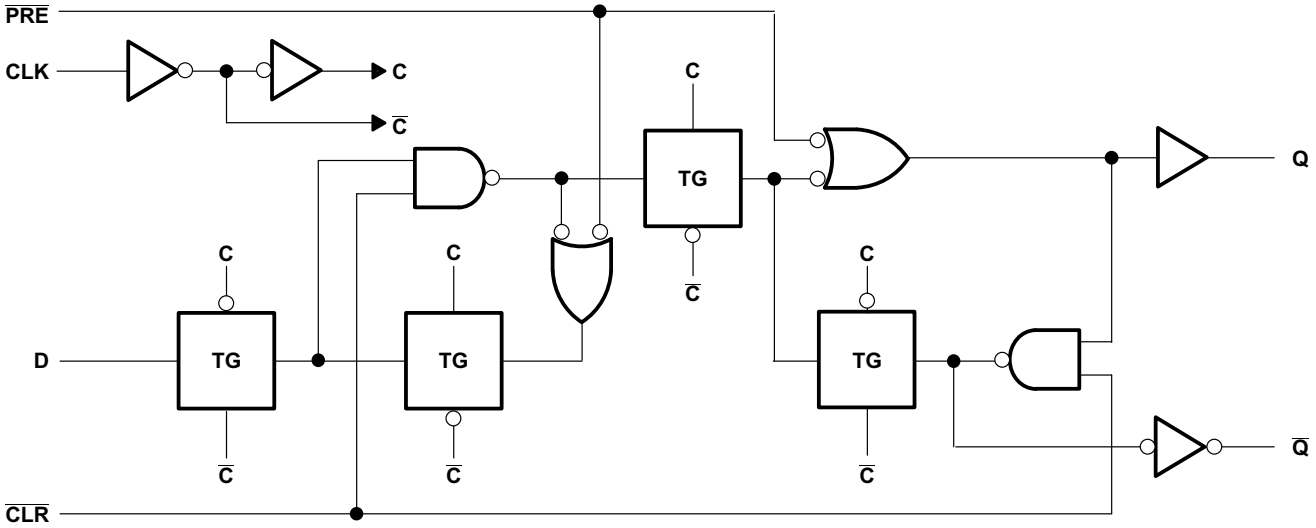


図 8-1.

8.3 機能説明

8.3.1 TTL 互換 CMOS 入力

このデバイスには、TTL 互換の CMOS 入力が搭載されています。これらの入力は、入力電圧スレッショルドを下げることで TTL ロジック・デバイスと接続するように特に設計されています。

TTL 互換 CMOS 入力は高インピーダンスであり、通常は「電気的特性」に示されている入力容量と並列の抵抗としてモデル化されます。ワーストケースの抵抗は「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーケージ電流からオームの法則 (R = V ÷ I) を使用して計算します。

TTL 互換 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、『低速またはフローティング CMOS 入力の影響』アプリケーション・レポートを参照してください。

動作中は、TTL 互換 CMOS 入力をフローティングのままにしないでください。未使用の入力は、V_{CC} または GND で終端する必要があります。システムが常に入力をアクティブに駆動していない場合は、プルアップまたはプルダウン抵抗を追加して、これらの時間中に有効な入力電圧を供給できます。抵抗値は複数の要因に依存しますが、10kΩ の抵抗を推奨し、通常はすべての要件を満たします。

Copyright © 2023 Texas Instruments Incorporated

8.3.2 平衡化された CMOS プッシュプル出力

このデバイスには、平衡化された CMOS プッシュプル出力が内蔵されています。「平衡化」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにする必要があります。

8.3.3 クランプ・ダイオード構造

図 8-2 に示すように、このデバイスへの出力には正と負の両方のクランプ・ダイオードがあり、このデバイスへの入力には負のクランプ・ダイオードのみがあります。

注意

「絶対最大定格」表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧の定格を超えることがあります。

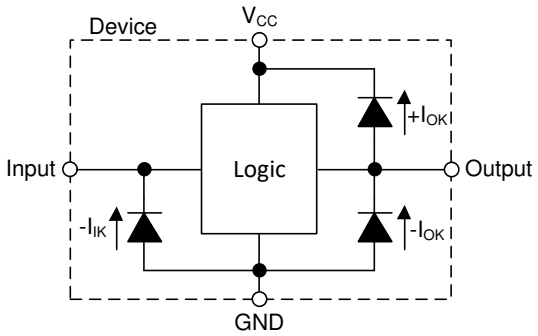


図 8-2. 各入力と出力に対するクランプ・ダイオードの電気的配置

8.4 デバイスの機能モード

表 8-1. 機能表
(各フリップ・フロップ)

入力				出力	
$\overline{PRE}$	$\overline{CLR}$	CLK	D	Q	$\overline{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H(1)	H(1)
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	$\overline{Q}_0$

(1) この構成は不安定です。つまり、PRE または CLR が非アクティブ (High) レベルに戻ったときに持続しません。

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

トグル・スイッチは通常、大きく、機械的に複雑で、比較的高価です。代わりにモメンタリ・スイッチを使用することをお勧めします。これらのスイッチは小型で、機械的に単純で、低コストのためです。一部のシステムではトグル・スイッチの機能が必要ですが、スペースまたはコストの制約があり、代わりにモメンタリ・スイッチを使用する必要があります。外部シュミット・トリガ・バッファを使用して、(CLK) および (D) 入力へのノイズの多い入力を除去します。

SNx4AHCT74 のデータ入力 (D) が反転出力 ($\overline{Q}$) に接続されている場合、各クロック・パルスにより出力 (Q) の値がトグルします。モメンタリ・スイッチをデバウンスし、クロック入力 (CLK) に直接接続して出力を切り替えることができます。

9.2 代表的なアプリケーション

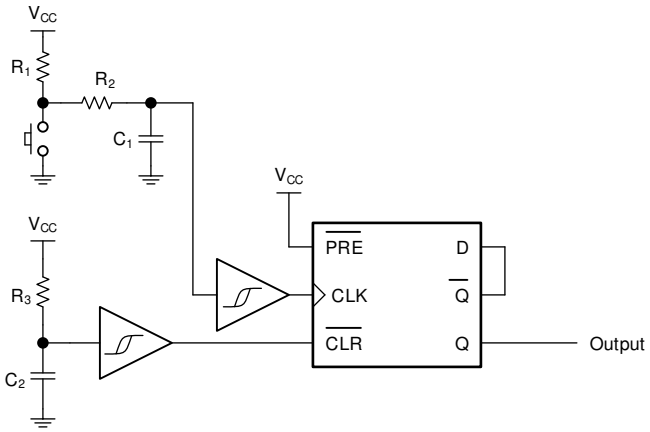


図 9-1. 代表的なアプリケーションのブロック図

9.2.1 設計要件

9.2.1.1 入力に関する考慮事項

入力信号は、ロジック Low と見なされるには を超え、ロジック High と見なされるには を超える必要があります。「絶対最大定格」に記載されている最大入力電圧範囲を超えないようにしてください。

未使用の入力は、V_{CC} またはグランドに終端する必要があります。入力が完全に使用されていない場合は、未使用の入力を直接終端できます。または、入力が常にではなく時々使用される場合、プルアップ抵抗またはプルダウン抵抗に接続できます。デフォルト状態の High にはプルアップ抵抗が、デフォルト状態の Low にはプルダウン抵抗が使用されます。コントローラの駆動電流、SNx4AHCT74 へのリーク電流 (「電気的特性」で規定)、および要求される入力遷移レートによって、抵抗のサイズが制限されます。これらの要因により、多くの場合、10kΩ の抵抗値が使用されます。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

9.2.1.2 出力に関する考慮事項

グランド電圧を使用して、出力 Low 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様の規定に従って出力電圧が上昇します。

未使用の出力はフローティングのままにできます。出力を直接 V_{CC} にもグランドにも接続しないでください。

Copyright © 2023 Texas Instruments Incorporated

このデバイスの出力の詳細については、「機能説明」セクションを参照してください。

9.2.1.3 電源に関する考慮事項

目的の電源電圧が、「推奨動作条件」に規定されている範囲内であることを確認します。 電源電圧は、「電気的特性」セクションに記載されているように、デバイスの電気的特性を設定します。

正電圧電源は、と等しい電流、「電気的特性」に記載されている最大静的電源電流 I_{CC}、およびスイッチングに必要な過渡電流をソースできる必要があります。

グランドは、SNx4AHCT74 のすべての出力でシンクされる合計電流と等しい電流、「電気的特性」に記載されている最大電源電流 I_{CC}、およびスイッチングに必要な過渡電流をシンクできる必要があります。ロジック・デバイスは、グランド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載されている GND を流れる最大合計電流を超えないようにしてください。

SNx4AHCT74 は、データシートのすべての仕様を満たしながら、合計容量が 50pF 以下の負荷を駆動できます。より大きな容量性負荷を印加することもできますが、50pF を超えることはお勧めしません。

SNx4AHCT74 は、合計抵抗が $R_L \geqq V_O / I_O$ で記述され、出力電圧および電流が「電気的特性」表に定義されている負荷を V_{OL} で駆動できます。High 状態で出力する場合、式の出力電圧は、測定された出力電圧と V_{CC} ピンの電源電圧との差として定義されます。

総消費電力は、『CMOS の消費電力と CPD の計算』アプリケーション・ノートに記載されている情報を使用して計算できます。

熱上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション・ノートに記載されている情報を使用して計算できます。

> **注意**
> 「絶対最大定格」に記載されている最大接合部温度 $T_{J(max)}$ は、デバイスの損傷を防止するための追加の制限です。「絶対最大定格」に記載されている値に違反しないでください。これらの制限値は、デバイスの損傷を防止するために規定されています。

9.2.2 詳細な設計手順

1. V_{CC} から GND の間にデカップリング・コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷が 50pF 以下であることを確認します。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、SNx4AHCT74 から 1 つ以上の受信デバイスへのトレースを短い適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を $(V_{CC} / I_{O(max)})$ Ω より大きくします。これを行うと、「絶対最大定格」の最大出力電流に違反するのを防ぐことができます。ほとんどの CMOS 入力には抵抗性負荷 (測定単位は MΩ) があります。これは、前述の計算された最小値よりもはるかに大きな値になります。
4. 熱の問題がロジック・ゲートで懸念されることはほとんどありませんが、消費電力と温度上昇は、アプリケーション・レポート『CMOS 消費電力と Cpd の計算』に記載された手順を使って計算できます。

9.2.3 アプリケーション曲線

図 9-2 に、ボタンを 1 回押すとバウンスし、出力が複数回トグルする例を示します。これにより、目的のアプリケーションで問題が発生します。図 9-3 では、デバウンス回路を追加しボタンを 4 回押しています。これにより、不要なトグルが修正され、適切なトグル・スイッチ動作が可能になります。

Copyright © 2023 Texas Instruments Incorporated

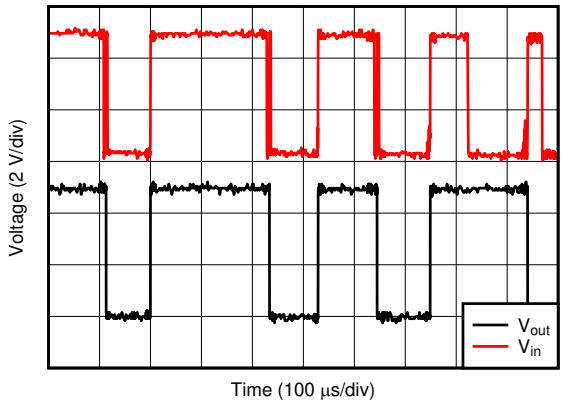


図 9-2. RC デバウンスのない回路応答 V_{in} : = CLK 入力、V_{out} := Q 出力

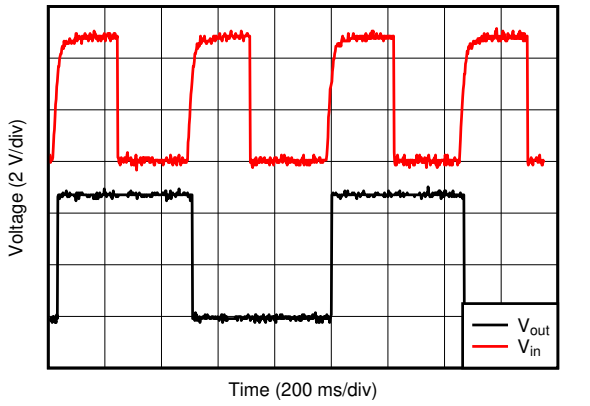


図 9-3. RC デバウンスのある回路応答 V_{in} : = CLK 入力、V_{out} := Q 出力

9.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載されている最小電源電圧定格と最大電源電圧定格の間の任意の電圧を使用できます。電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス・コンデンサを配置する必要があります。このデバイスには 0.1µF のコンデンサをお勧めします。複数のバイパス・コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。0.1µF と 1µF のコンデンサを並列に使用するのが一般的です。最良の結果を得るには、次のレイアウト例に示すように、バイパス・コンデンサを電源端子のできるだけ近くに配置する必要があります。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルのロジック・デバイスを使用する場合、入力をフローティングのままにしてはいけません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用したり、4 つのバッファ・ゲートのうち 3 つのみを使用したりする場合)。このような未使用の入力ピンを未接続のままにしてはいけません。外部接続では電圧が未定義であるため、動作状態が未定義になります。デジタル・ロジック・デバイスの未使用入力はすべて、入力電圧の仕様で定義されるロジック High またはロジック Low 電圧に接続して、それらがフローティングにならないようにする必要があります。特定の未使用入力に適用する必要があるロジック・レベルは、デバイスの機能によって異なります。一般に、入力は GND または V_{CC} に接続され、ロジック機能にとって適切な、または利便性の高い方に接続されます。

9.4.1.1 レイアウト例

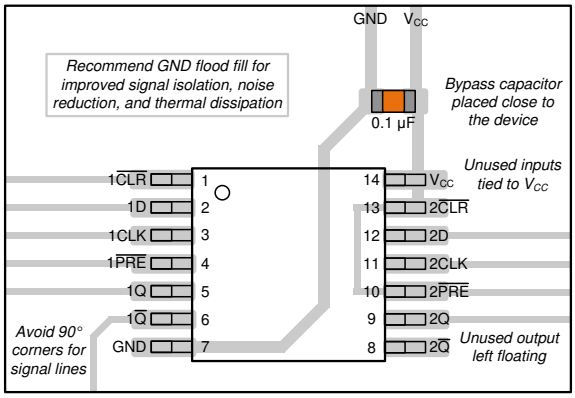


図 9-4. SNx4AHCT74 のレイアウト例

Copyright © 2023 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

10.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

10.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは、予告なしに、またドキュメントの改訂なしに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-9686101Q2A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686101Q2A SNJ54AHCT74FK
5962-9686101QCA	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686101QCA SNJ54AHCT74J
5962-9686101QDA	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686101QDA SNJ54AHCT74W
SN74AHCT74BQAR	Active	Production	WQFN (BQA) | 14	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AHCT74
SN74AHCT74BQAR.A	Active	Production	WQFN (BQA) | 14	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AHCT74
SN74AHCT74D	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 125	AHCT74
SN74AHCT74DBR	Active	Production	SSOP (DB) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB74
SN74AHCT74DBR.A	Active	Production	SSOP (DB) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB74
SN74AHCT74DGVR	Active	Production	TVSOP (DGV) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB74
SN74AHCT74DGVR.A	Active	Production	TVSOP (DGV) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB74
SN74AHCT74DR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHCT74
SN74AHCT74DR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHCT74
SN74AHCT74DRG4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHCT74
SN74AHCT74DRG4.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHCT74
SN74AHCT74N	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	SN74AHCT74N
SN74AHCT74N.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	SN74AHCT74N
SN74AHCT74NSR	Active	Production	SOP (NS) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHCT74
SN74AHCT74NSR.A	Active	Production	SOP (NS) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHCT74
SN74AHCT74PW	Obsolete	Production	TSSOP (PW) | 14	-	-	Call TI	Call TI	-40 to 125	HB74
SN74AHCT74PWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	HB74
SN74AHCT74PWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB74
SN74AHCT74PWRG4	Active	Production	TSSOP (PW) | 14	2000 | null	No	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB74
SN74AHCT74PWRG4	Active	Production	TSSOP (PW) | 14	2000 | null	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB74
SN74AHCT74PWRG4.A	Active	Production	TSSOP (PW) | 14	2000 | null	No	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB74

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74AHCT74PWRG4.A	Active	Production	TSSOP (PW) | 14	2000 | null	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB74
SN74AHCT74RGYR	Last Time Buy	Production	VQFN (RGY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	HB74
SN74AHCT74RGYR.A	Last Time Buy	Production	VQFN (RGY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	HB74
SNJ54AHCT74FK	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686101Q2A SNJ54AHCT 74FK
SNJ54AHCT74FK.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686101Q2A SNJ54AHCT 74FK
SNJ54AHCT74J	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686101QCA SNJ54AHCT74J
SNJ54AHCT74J.A	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686101QCA SNJ54AHCT74J
SNJ54AHCT74W	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686101QDA SNJ54AHCT74W
SNJ54AHCT74W.A	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9686101QDA SNJ54AHCT74W

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN54AHCT74, SN74AHCT74 :

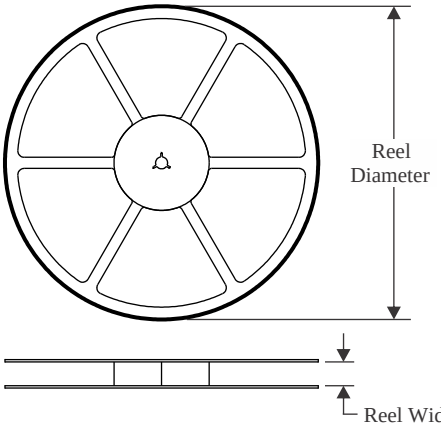
- Catalog : SN74AHCT74
- Enhanced Product : SN74AHCT74-EP, SN74AHCT74-EP
- Military : SN54AHCT74

NOTE: Qualified Version Definitions:

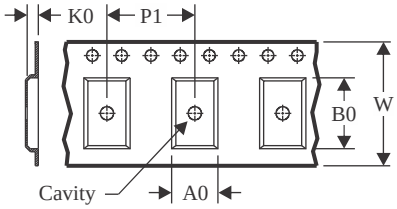
- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

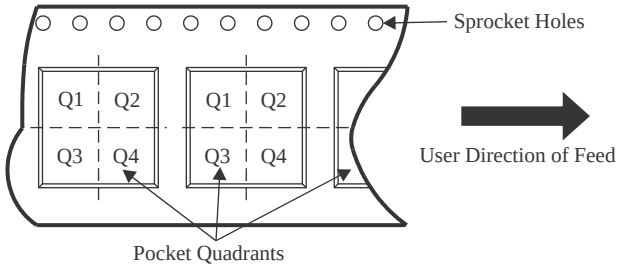


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

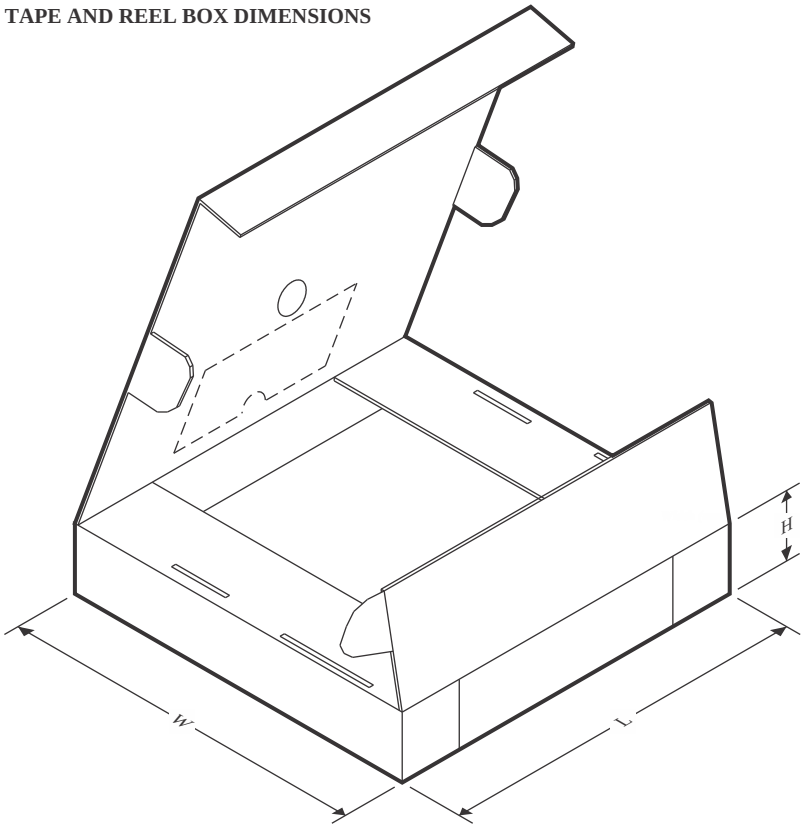
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AHCT74BQAR	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1
SN74AHCT74DBR	SSOP	DB	14	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74AHCT74DGVR	TVSOP	DGV	14	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74AHCT74DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74AHCT74DRG4	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74AHCT74NSR	SOP	NS	14	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
SN74AHCT74PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHCT74RGYR	VQFN	RGY	14	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1

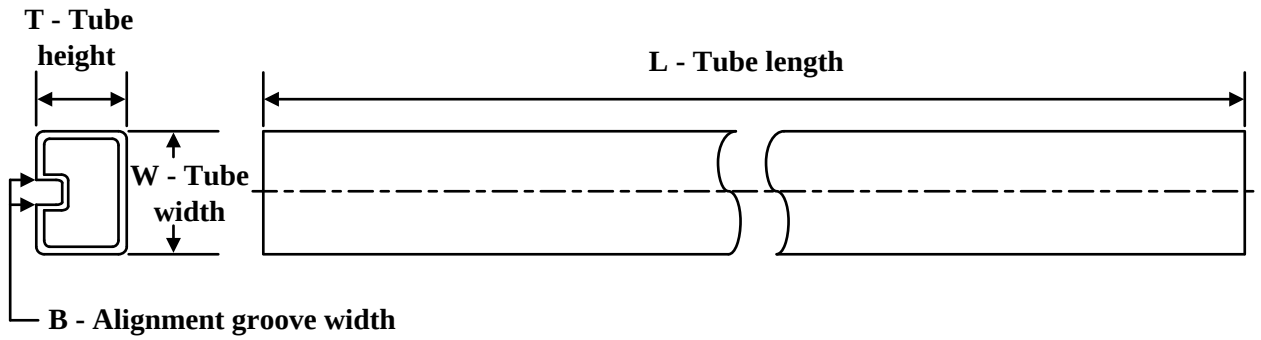
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AHCT74BQAR	WQFN	BQA	14	3000	210.0	185.0	35.0
SN74AHCT74DBR	SSOP	DB	14	2000	353.0	353.0	32.0
SN74AHCT74DGVR	TVSOP	DGV	14	2000	353.0	353.0	32.0
SN74AHCT74DR	SOIC	D	14	2500	353.0	353.0	32.0
SN74AHCT74DRG4	SOIC	D	14	2500	353.0	353.0	32.0
SN74AHCT74NSR	SOP	NS	14	2000	353.0	353.0	32.0
SN74AHCT74PWR	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74AHCT74RGYR	VQFN	RGY	14	3000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-9686101Q2A	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-9686101QDA	W	CFP	14	25	506.98	26.16	6220	NA
SN74AHCT74N	N	PDIP	14	25	506	13.97	11230	4.32
SN74AHCT74N	N	PDIP	14	25	506	13.97	11230	4.32
SN74AHCT74N.A	N	PDIP	14	25	506	13.97	11230	4.32
SN74AHCT74N.A	N	PDIP	14	25	506	13.97	11230	4.32
SNJ54AHCT74FK	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54AHCT74FK.A	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54AHCT74W	W	CFP	14	25	506.98	26.16	6220	NA
SNJ54AHCT74W.A	W	CFP	14	25	506.98	26.16	6220	NA

GENERIC PACKAGE VIEW

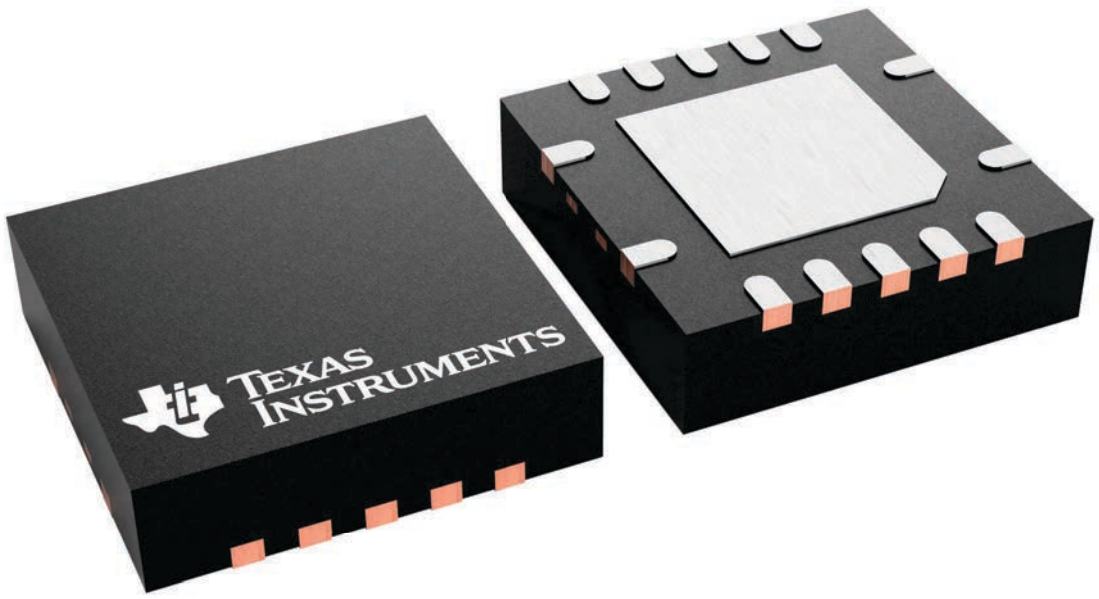
RGY 14

VQFN - 1 mm max height

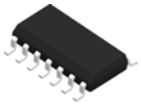
3.5 x 3.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4231541/A

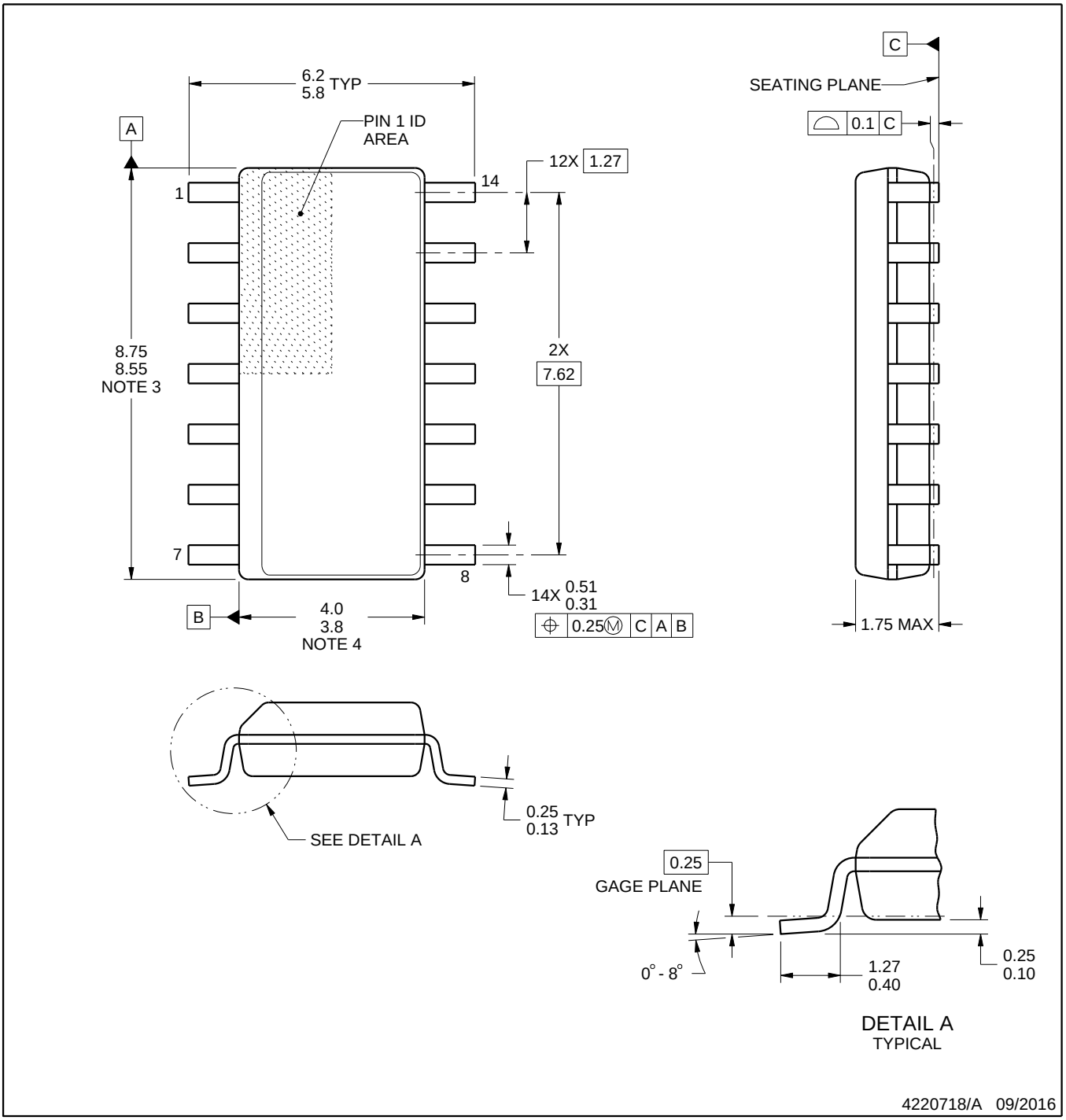


PACKAGE OUTLINE

D0014A

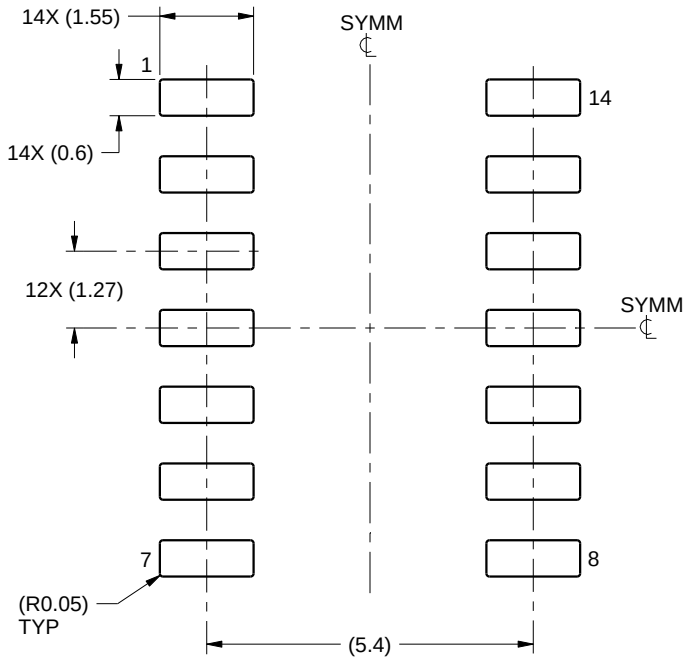
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

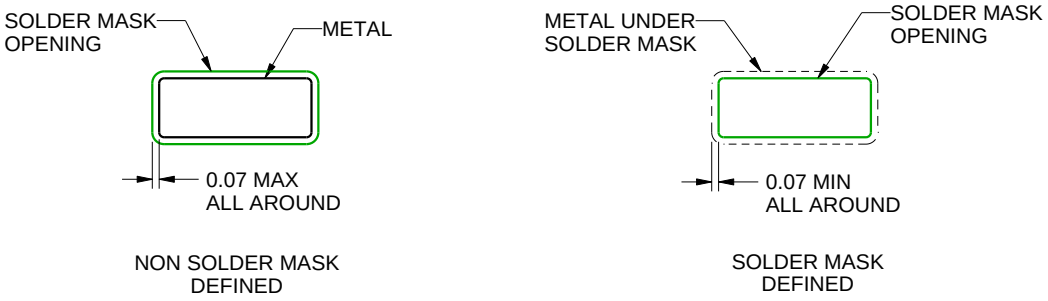


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

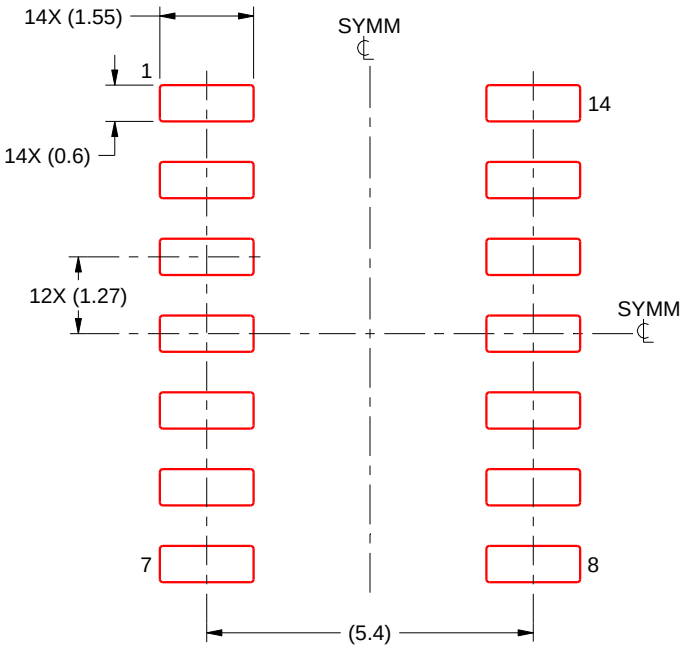
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

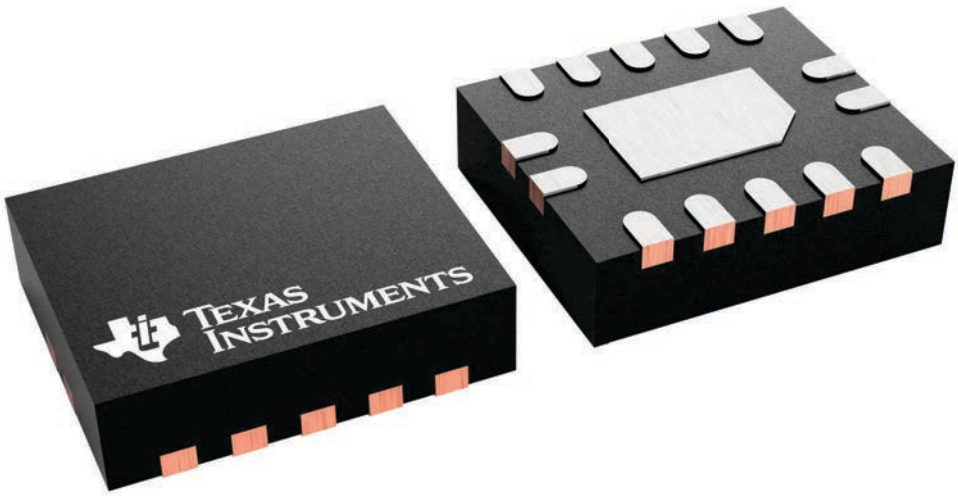
BQA 14

WQFN - 0.8 mm max height

2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

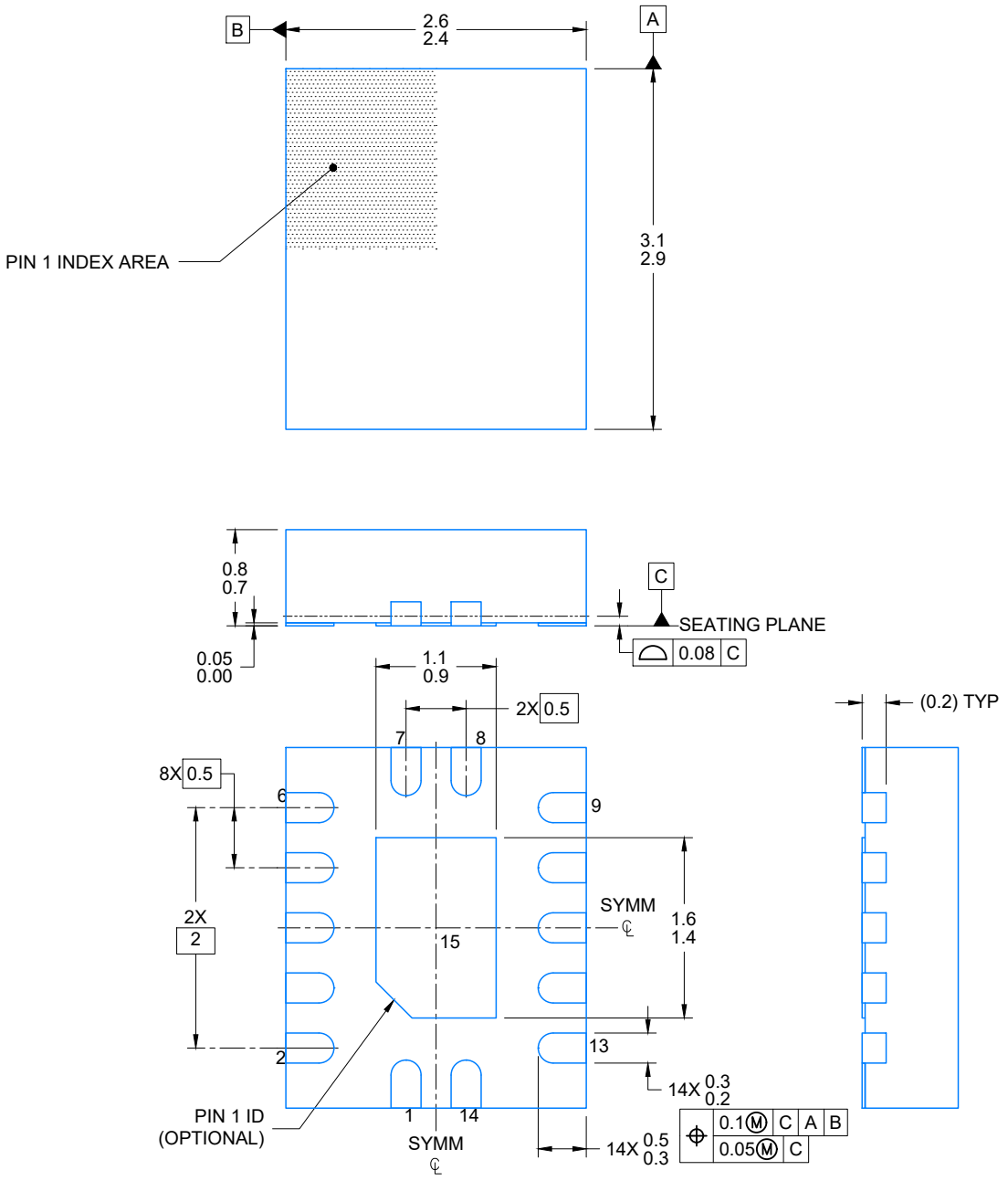


PACKAGE OUTLINE

BQA0014A

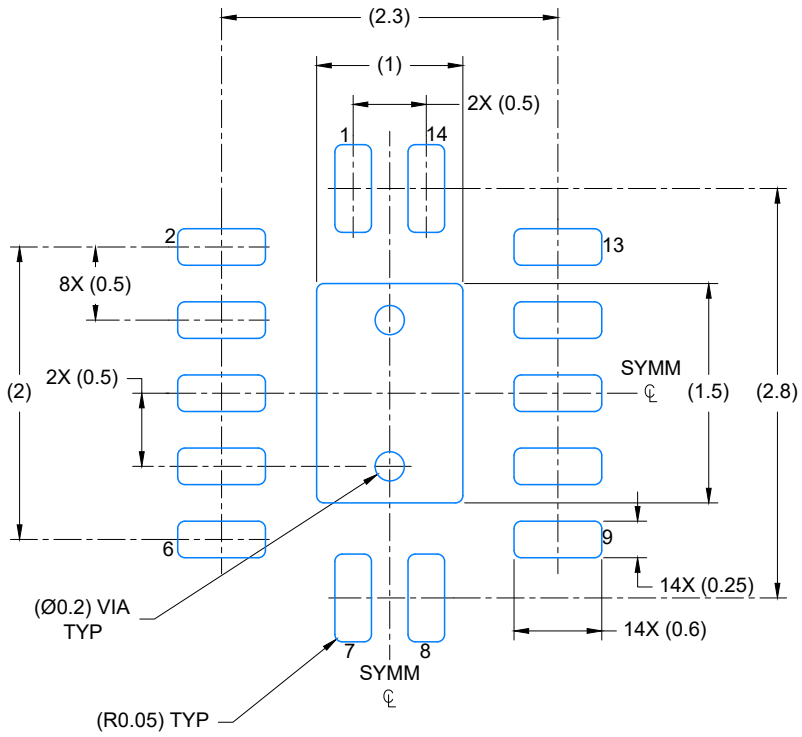
WQFN - 0.8 mm max height

PLASTIC QUAD FLAT PACK-NO LEAD

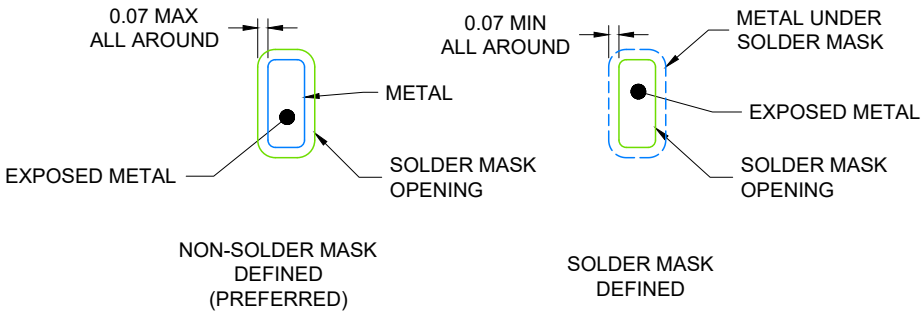


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



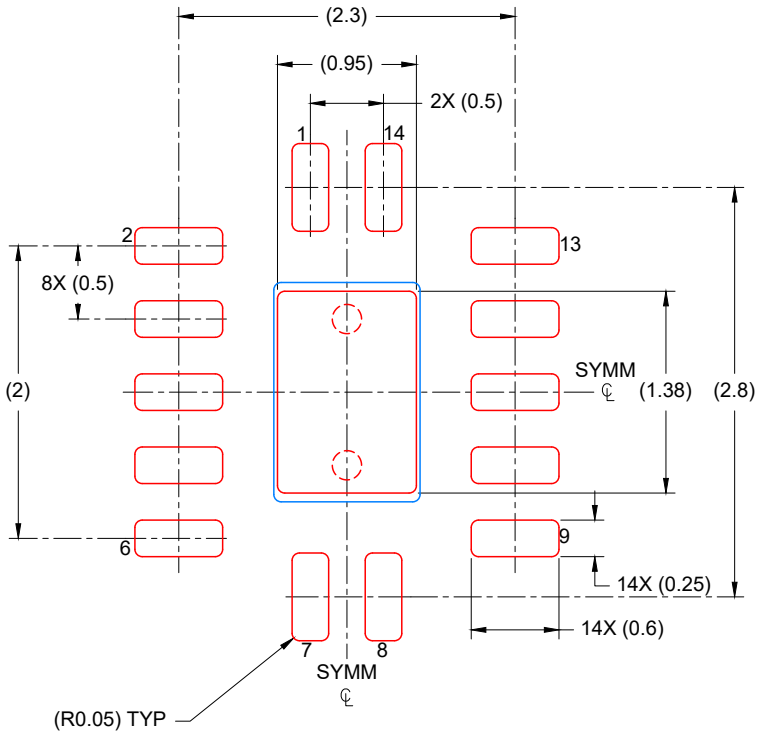
LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4224636/A 11/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
88% PRINTED COVERAGE BY AREA
SCALE: 20X

4224636/A 11/2018

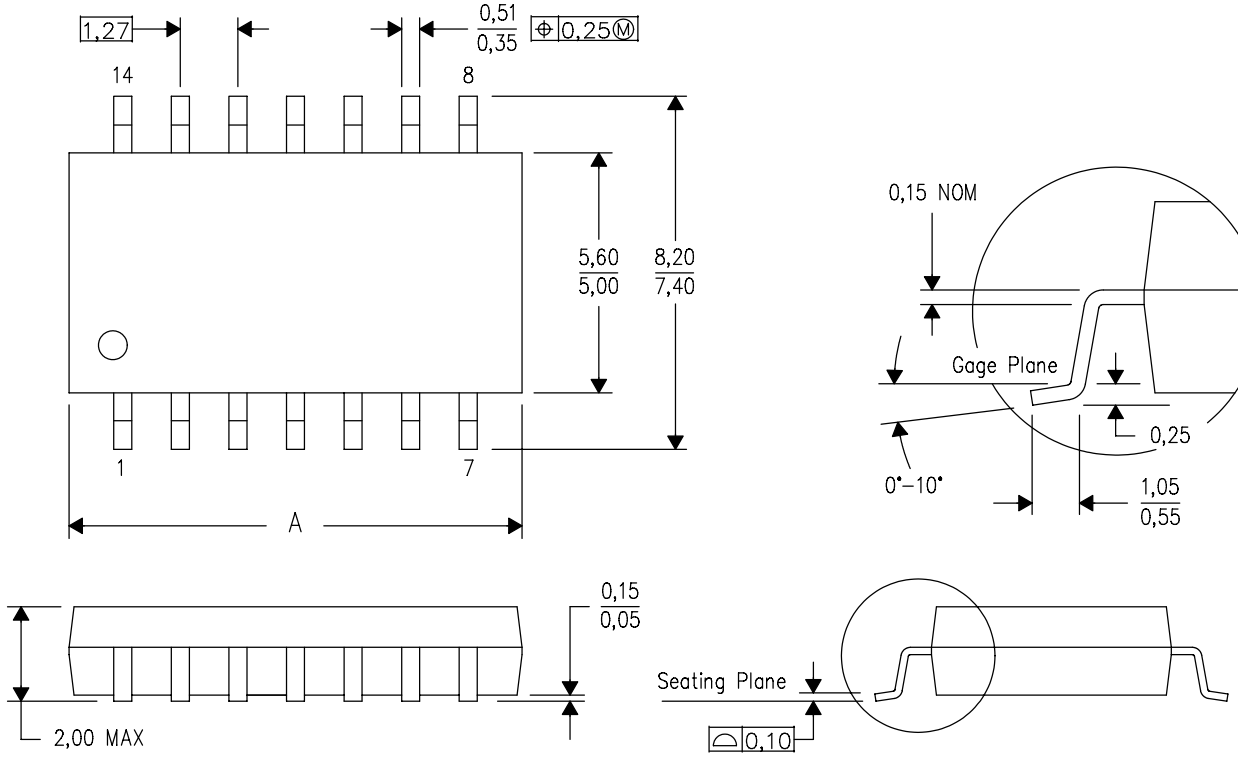
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

MECHANICAL DATA

NS (R-PDSO-G)** **PLASTIC SMALL-OUTLINE PACKAGE**

14-PINS SHOWN

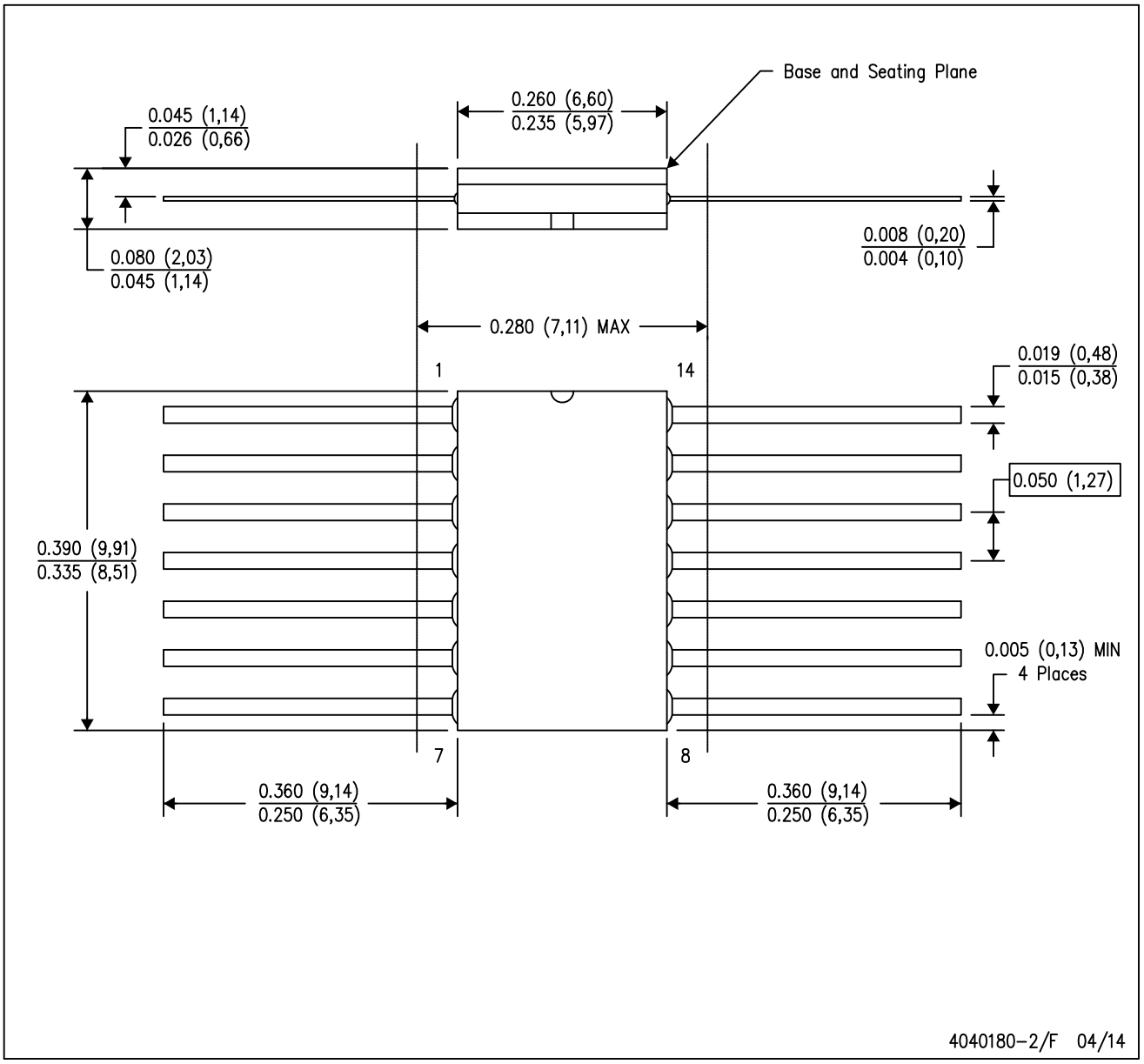


DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

4040062/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

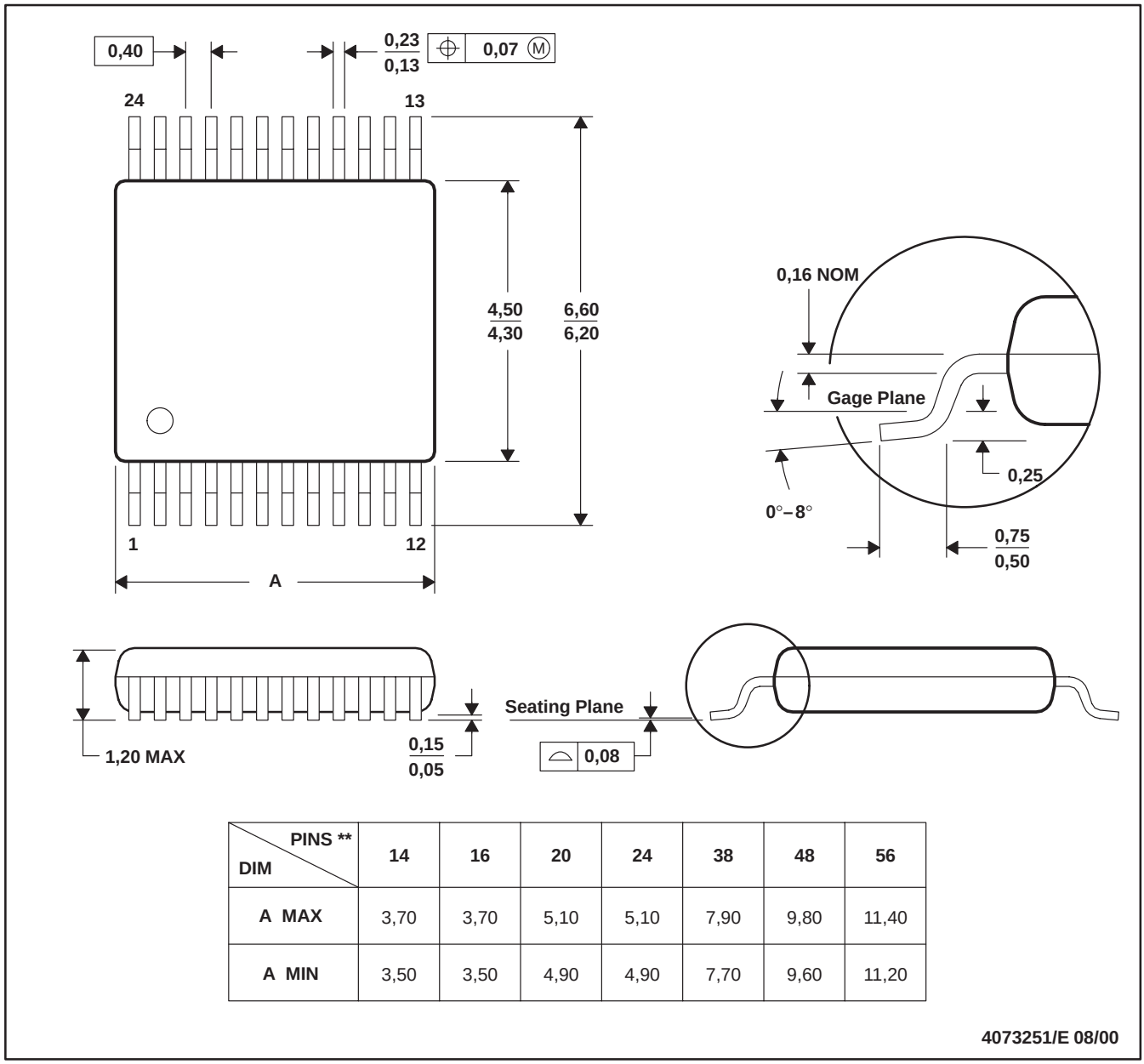
W (R–GDFP–F14) CERAMIC DUAL FLATPACK



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package can be hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only.
E. Falls within MIL STD 1835 GDFP1–F14

DGV (R-PDSO-G)** **PLASTIC SMALL-OUTLINE**

24 PINS SHOWN



DIM \ PINS **	14	16	20	24	38	48	56
A MAX	3,70	3,70	5,10	5,10	7,90	9,80	11,40
A MIN	3,50	3,50	4,90	4,90	7,70	9,60	11,20

4073251/E 08/00

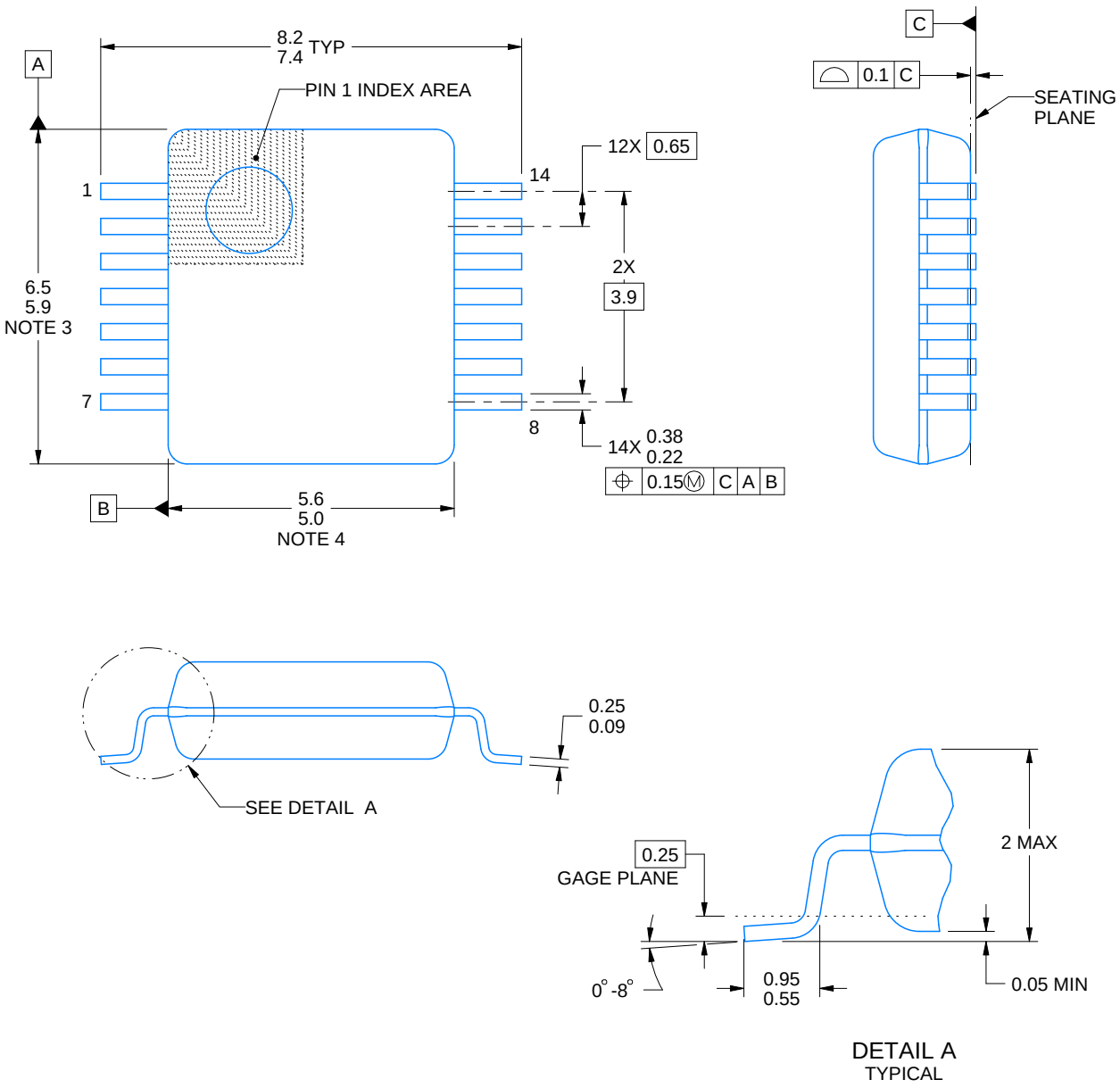
NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
D. Falls within JEDEC: 24/48 Pins – MO-153
14/16/20/56 Pins – MO-194

PACKAGE OUTLINE

DB0014A

SSOP - 2 mm max height

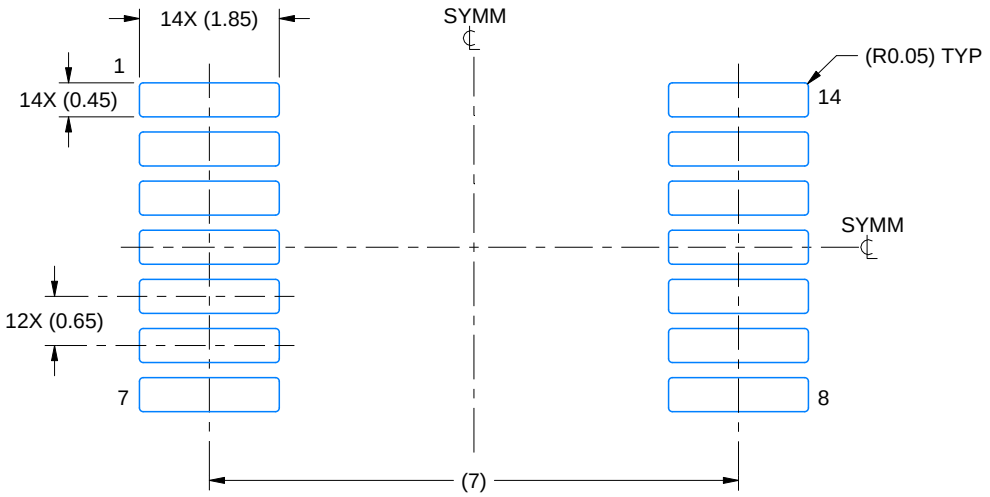
SMALL OUTLINE PACKAGE



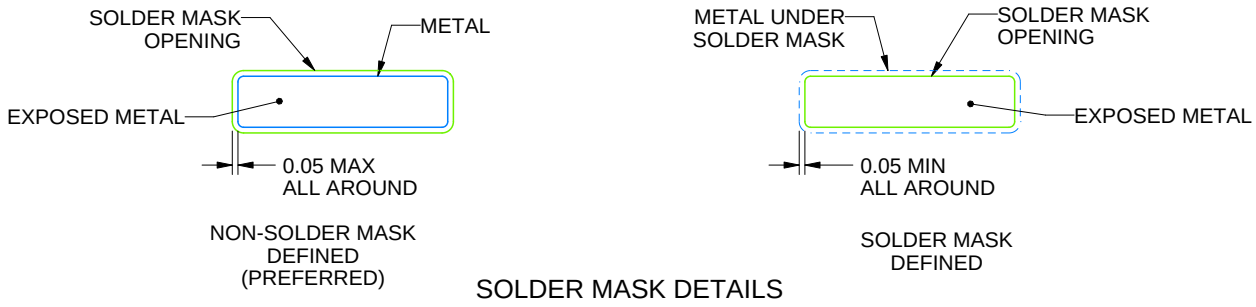
4220762/A 05/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

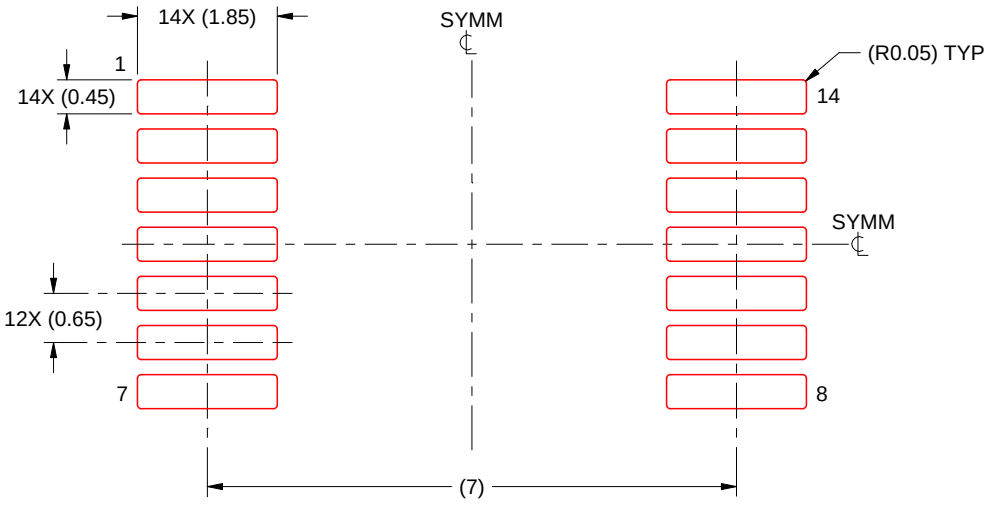


SOLDER MASK DETAILS

4220762/A 05/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220762/A 05/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

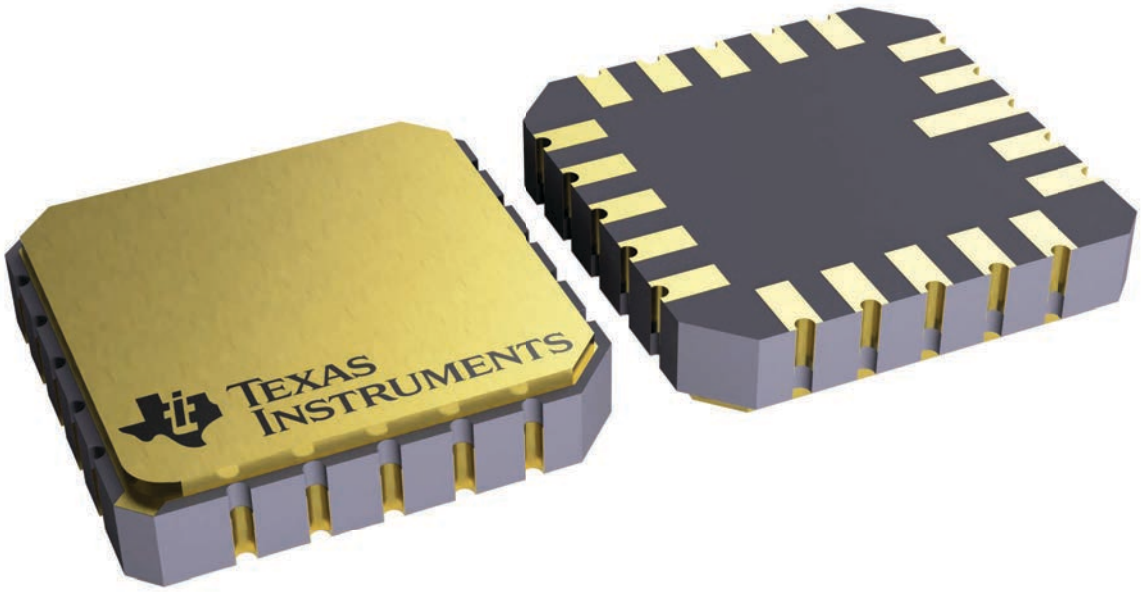
FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

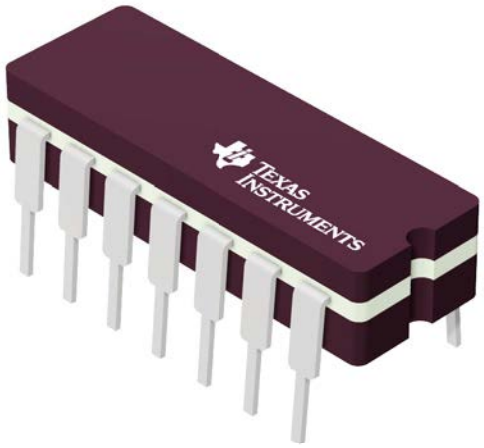


4229370VA\

GENERIC PACKAGE VIEW

J 14 CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4040083-5/G

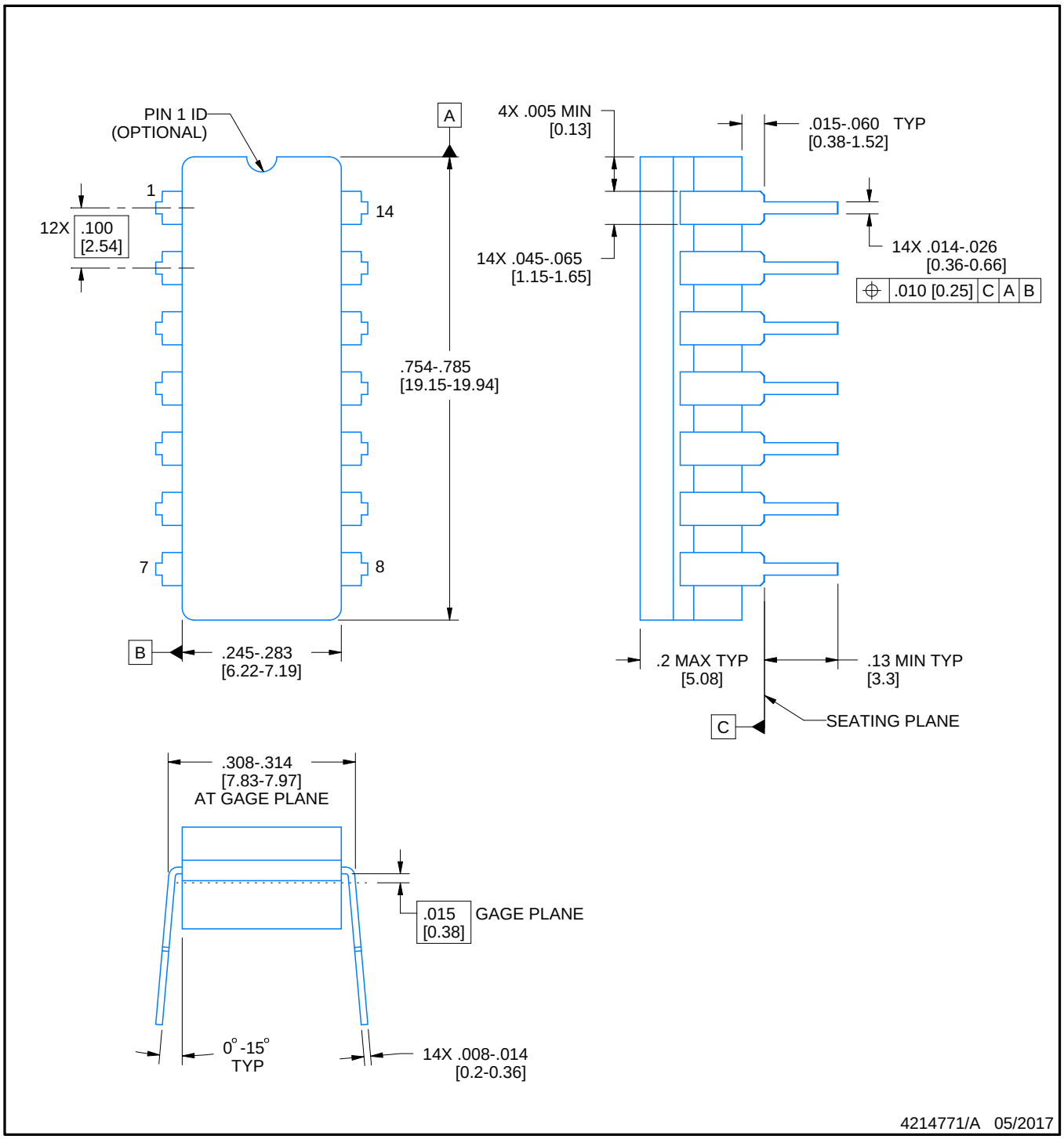


PACKAGE OUTLINE

J0014A

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



NOTES:

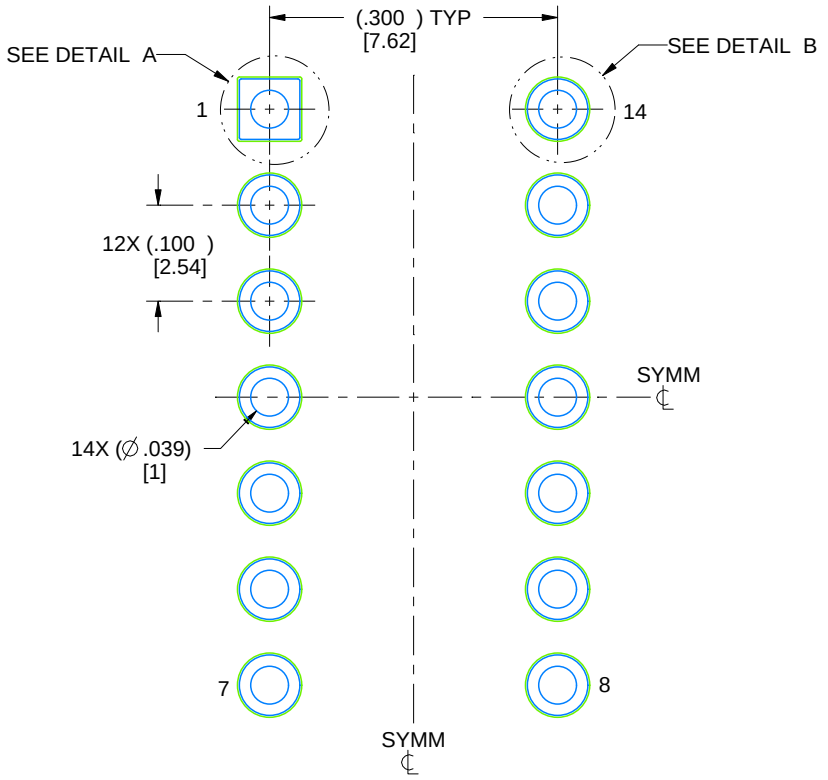
1. All controlling linear dimensions are in inches. Dimensions in brackets are in millimeters. Any dimension in brackets or parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermitically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification only and on press ceramic glass frit seal only.
5. Falls within MIL-STD-1835 and GDIP1-T14.

EXAMPLE BOARD LAYOUT

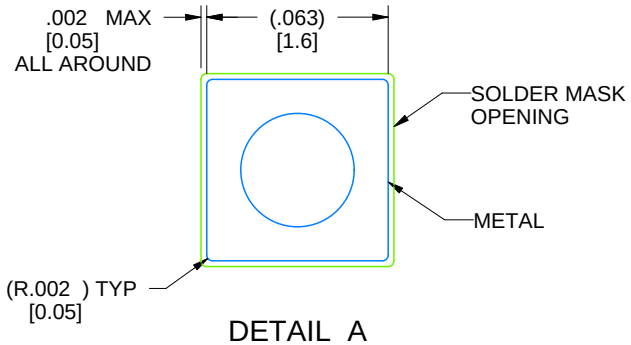
J0014A

CDIP - 5.08 mm max height

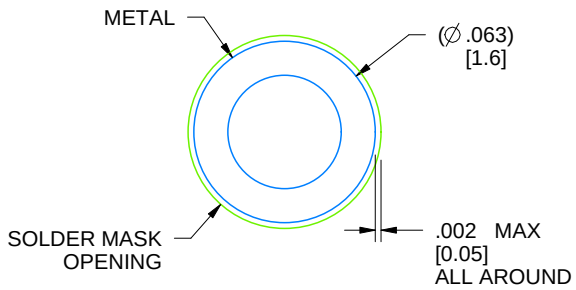
CERAMIC DUAL IN LINE PACKAGE



LAND PATTERN EXAMPLE
NON-SOLDER MASK DEFINED
SCALE: 5X



DETAIL A
SCALE: 15X



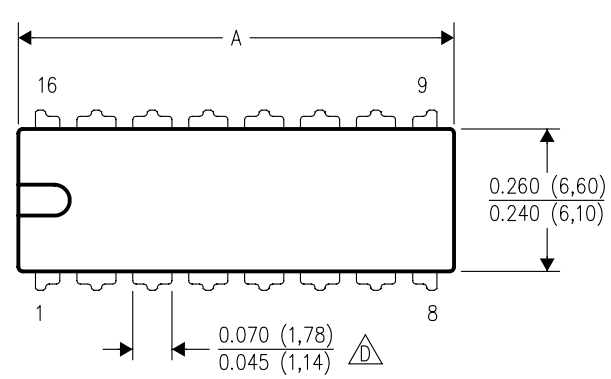
DETAIL B
13X, SCALE: 15X

4214771/A 05/2017

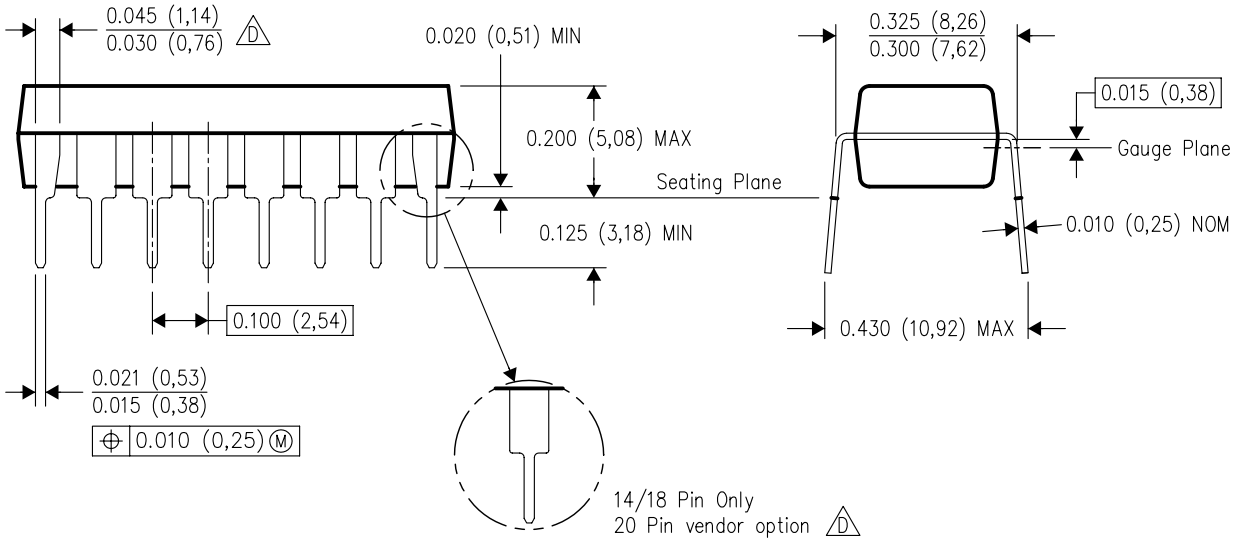
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

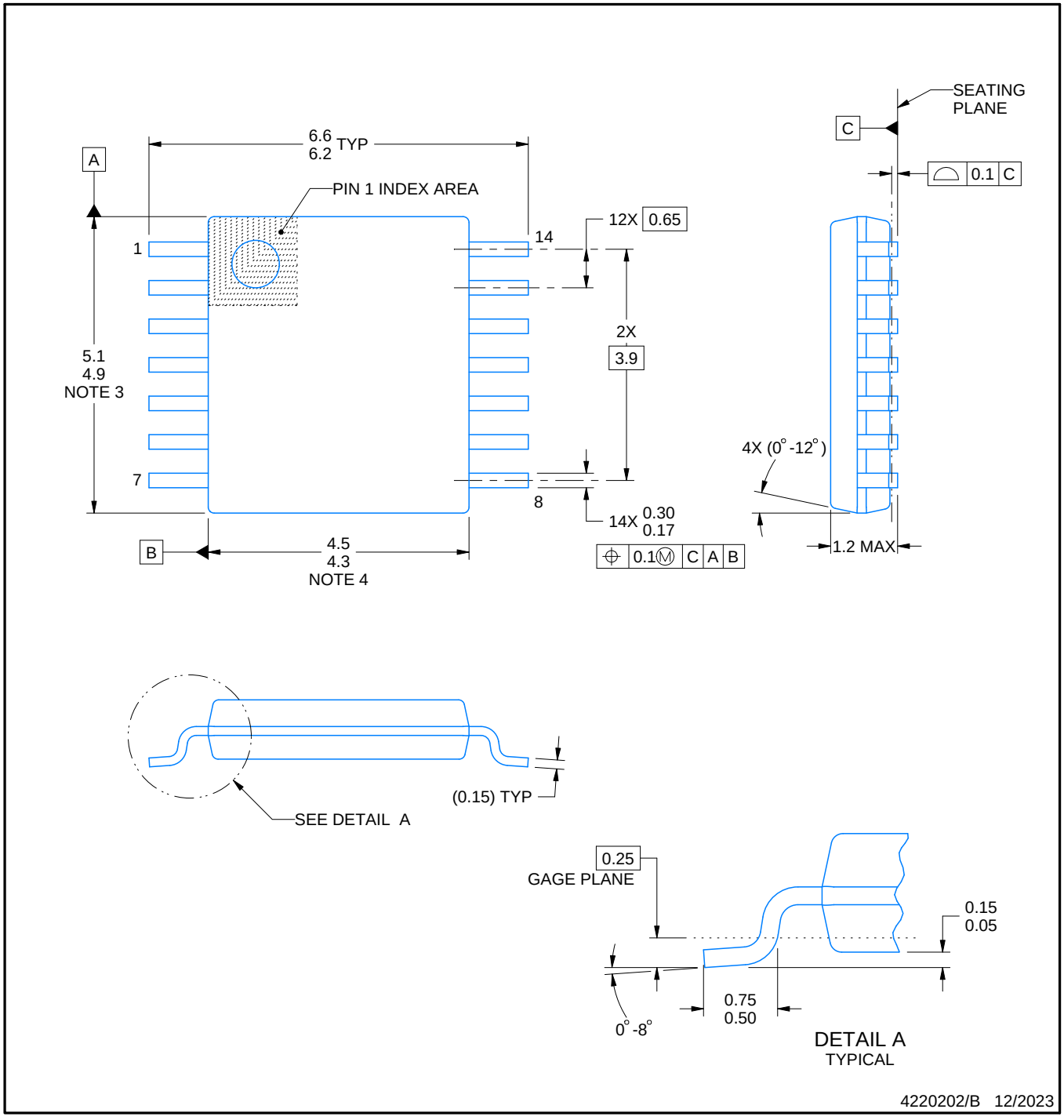
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

PACKAGE OUTLINE

PW0014A

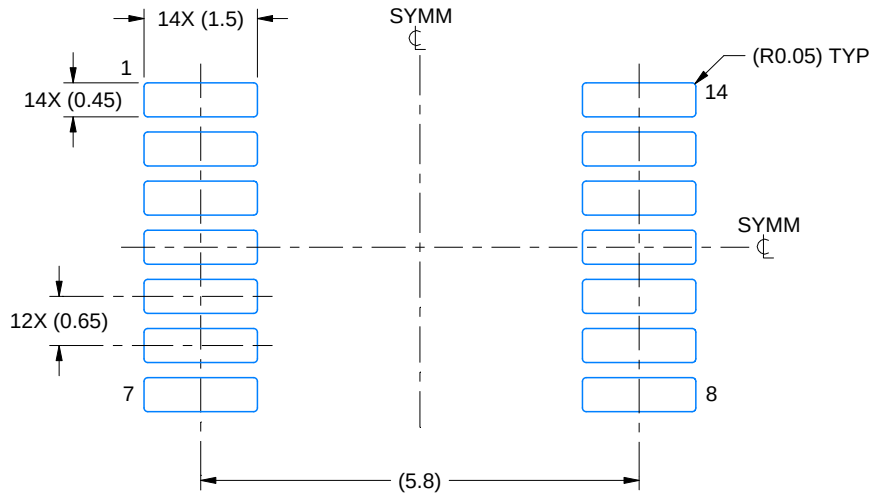
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

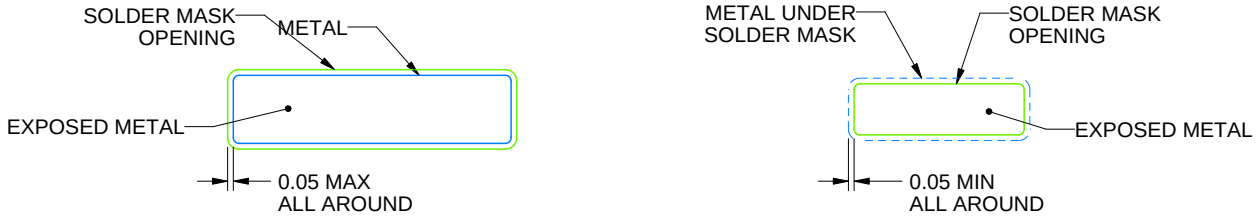


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

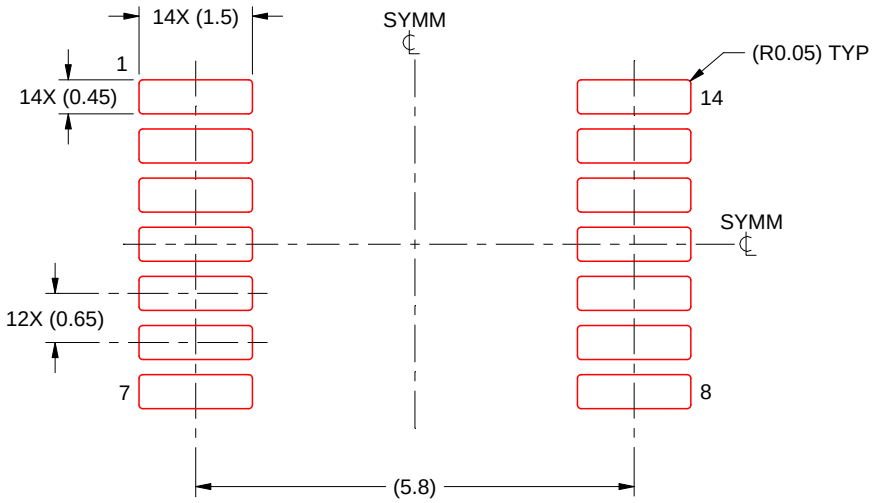


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月