SNx4HC244 3 ステート出力、オクタル・バッファ / ライン・ドライバ

1 特長

- 広い動作電圧範囲:2V～6V
- 大電流出力は最大 15 個の LSTTL 負荷を駆動可能
- バス ラインまたはバッファ メモリ アドレス レジスタを駆動できる 3 ステート出力
- 低消費電力:I_{cc}CC、80μA(最大値)
- t_{pd} = 11ns (標準値)
- 5V で ±6mA の出力駆動能力
- 最大でも 1μA の低入力電流
- MIL-PRF-38535 準拠の製品については、特に記述のない限り、すべてのパラメータはテスト済みです。その他のすべての製品については、量産プロセスにすべてのパラメータのテストが含まれているとは限りません。

2 アプリケーション

- サーバー
- LED ディスプレイ
- ネットワーク・スイッチ
- 通信インフラ
- モータ・ドライバ
- I/O エクスパンダ

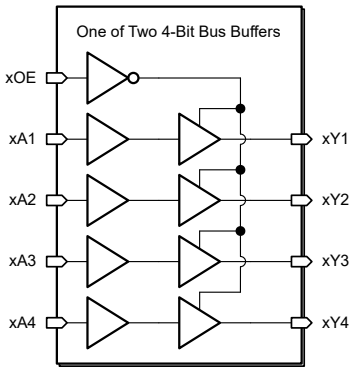
3 説明

SNx4HC244 オクタル バッファ / ライン ドライバは、3 ステート メモリ アドレス ドライバ、クロック ドライバ、バス用レシーバ / トランスミッタの性能と密度の両方を向上することに特化して設計されています。SNx4HC244 デバイスは、独立した出力イネーブル ($\overline{OE}$) 入力を備えた 2 つの 4 ビット バッファ / ドライバで構成されています。$\overline{OE}$ が Low の場合、デバイスは A 入力からの非反転型データを Y 出力に渡します。$\overline{OE}$ が High の場合、出力は高インピーダンス状態になります。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)	本体サイズ (3)
SN54HC244	J (CDIP、20)	24.38mm × 7.62mm	24.38mm × 6.92mm
	W (CFP、20)	13.72mm × 8.13mm	13.72mm × 6.92mm
	FK (LCCC、20)	8.89mm × 8.89mm	8.89mm × 8.89mm
SN74HC244	DB (SSOP、20)	7.2mm × 7.8mm	7.2mm × 5.3mm
	DW (SOIC、20)	12.80mm × 10.3mm	12.8mm × 7.5mm
	N (PDIP、20)	24.33mm x 9.4mm	24.33mm × 6.35mm
	NS (SOP、20)	12.6mm × 7.8mm	12.6mm × 5.3mm
	PW (TSSOP、20)	6.5mm × 6.4mm	6.5mm × 4.4mm

(1) 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



論理図 (正論理)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 ピン構成および機能 ... 3
5 仕様 ... 4
5.1 絶対最大定格 ... 4
5.2 ESD 定格 ... 4
5.3 推奨動作条件 ... 4
5.4 熱に関する情報 ... 5
5.5 電気的特性 ... 5
5.6 電気的特性 — 55°C ～ 125°C ... 5
5.7 電気的特性 — 40°C ～ 125°C ... 6
5.8 電気的特性 — 40°C ～ 85°C ... 6
5.9 スイッチング特性 ... 7
5.10 スイッチング特性 — C_L = 50pF ... 8
5.11 スイッチング特性 — C_L = 150pF ... 10
5.12 代表的特性 ... 11
6 パラメータ測定情報 ... 12
7 詳細説明 ... 14
7.1 概要 ... 14
7.2 機能ブロック図 ... 14
7.3 機能説明 ... 14
7.4 デバイスの機能モード ... 14
8 アプリケーションと実装 ... 16
8.1 アプリケーション情報 ... 16
8.2 代表的なアプリケーション ... 16
8.3 電源に関する推奨事項 ... 18
8.4 レイアウトのガイドライン ... 18
9 デバイスおよびドキュメントのサポート ... 20
9.1 ドキュメントのサポート ... 20
9.2 ドキュメントの更新通知を受け取る方法 ... 20
9.3 サポート・リソース ... 20
9.4 商標 ... 20
9.5 静電気放電に関する注意事項 ... 20
9.6 用語集 ... 20
10 改訂履歴 ... 20
11 メカニカル、パッケージ、および注文情報 ... 20

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

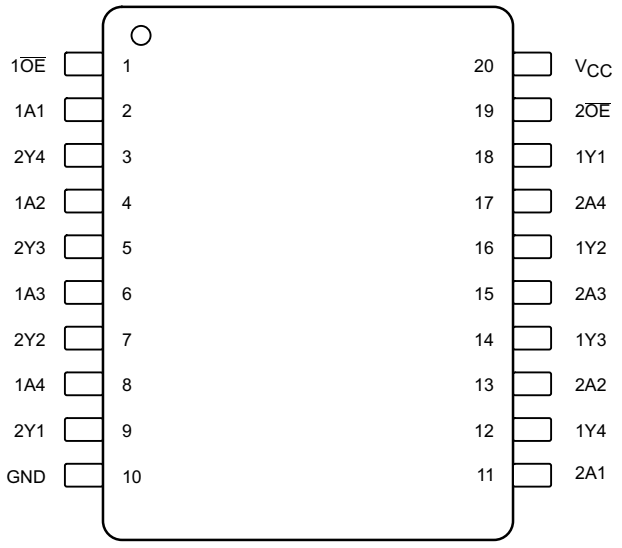


図 4-1. DB、DW、J、N、NS、PW、W パッケージ 20 ピン SSOP、SOIC、CDIP、PDIP、SOP、TSSOP または CFP (上面図)

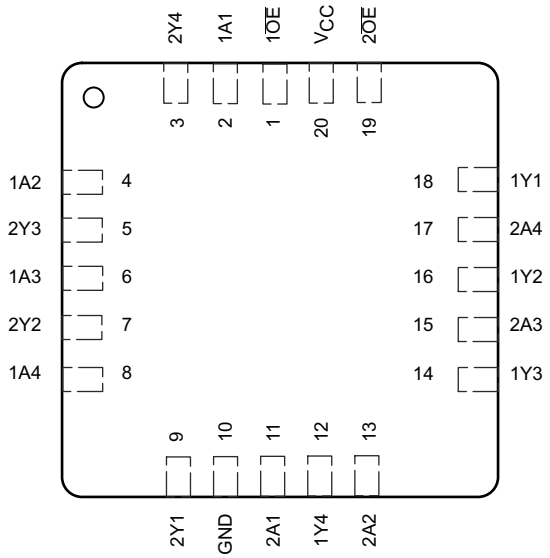


図 4-2. FK パッケージ 20 ピン LCCC 上面図

ピン		タイプ(1)	説明
名称	番号		
1A1	2	I	入力
1A2	4	I	入力
1A3	6	I	入力
1A4	8	I	入力
1 $\overline{OE}$	1	I	出力イネーブル
1Y1	18	O	出力
1Y2	16	O	出力
1Y3	14	O	出力
1Y4	12	O	出力
2A1	11	I	入力
2A2	13	I	入力
2A3	15	I	入力
2A4	17	I	入力
2 $\overline{OE}$	19	I	出力イネーブル
2Y1	9	O	出力
2Y2	7	O	出力
2Y3	5	O	出力
2Y4	3	O	出力
GND	10	—	グランド
V_{CC}	20	—	パワー ピン

(1) 信号タイプ : I = 入力、O = 出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
電源電圧範囲、V_{CC}		-0.5	7	V
入力クランプ電流、I_{IK}	$V_I < 0$ または $V_I > V_{CC}$ (2)		±20	mA
出力クランプ電流、I_{OK}	$V_O < 0$ または $V_O > V_{CC}$ (2)		±20	mA
連続出力電流、I_O	$V_O = 0$ または V_{CC}		±35	mA
V_{CC} または GND を通過する連続電流			±70	mA
接合部温度、T_J			150	°C
保管温度、T_{stg}		-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 ESD 定格

SN74HC244			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	公称値	最大値	単位
V_{CC}	電源電圧		2	5	6	V
V_{IH}	High レベル入力電圧	V_{CC} = 2V	1.5			V
		V_{CC} = 4.5V	3.15			
		V_{CC} = 6V	4.2			
V_{IL}	Low レベル入力電圧	V_{CC} = 2V			0.5	V
		V_{CC} = 4.5V			1.35	
		V_{CC} = 6V			1.8	
V_I	入力電圧		0		V_{CC}	V
V_O	出力電圧		0		V_{CC}	V
Δt/Δv	入力遷移の立ち上がり時間と立ち下がり時間	V_{CC} = 2V			1000	ns/V
		V_{CC} = 4.5V			500	
		V_{CC} = 6V			400	
C_{pd}	バッファまたはドライバごとの消費電力容量 (負荷なし)			35		pF
T_A	外気温度での動作時	SN54HC244	-55		125	°C
		SN74HC244	-40		125	

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。TI のアプリケーション ノート『*低速またはフローティング CMOS 入力の影響*』を参照してください。SCBA004

Copyright © 2026 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準		SN74HC244					単位
		DW (SOIC)	DB (SSOP)	N (PDIP)	NS (SO)	PW (TSSOP)	
		20 ピン	20 ピン	20 ピン	20 ピン	20 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗 (1)	109.1	122.7	84.6	113.4	131.8	°C/W
$R_{\theta JC\ (top)}$	接合部からケース (上面) への熱抵抗	76	81.6	72.5	78.6	72.2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	77.6	77.5	65.3	78.4	82.8	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	51.5	46.1	55.3	47.1	21.5	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	77.1	77.1	65.2	78.1	82.4	°C/W
$R_{\theta JC\ (bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

T_A = 25°C (特に記述のない限り)

パラメータ	テスト条件			最小値	標準値	最大値	単位
V_{OH}	V_I = V_{IH} または V_{IL}	I_{OH} = -20µA	V_{CC} = 2V	1.9	1.998		V
			V_{CC} = 4.5V	4.4	4.499		
			V_{CC} = 6V	5.9	5.999		
		I_{OH} = –6mA、V_{CC} = 4.5V		3.98	4.3		
		I_{OH} = –7.8mA、V_{CC} = 6V		5.48	5.8		
V_{OL}	V_I = V_{IH} または V_{IL}	I_{OL} = 20µA	V_{CC} = 2V		0.002	0.1	V
			V_{CC} = 4.5V		0.001	0.1	
			V_{CC} = 6V		0.001	0.1	
		I_{OL} = 6mA、V_{CC} = 4.5V			0.17	0.26	
		I_{OL} = 7.8mA、V_{CC} = 6V			0.15	0.26	
I_I	V_I = V_{CC} または 0、V_{CC} = 6V				±0.1	±100	nA
I_{OZ}	V_O = V_{CC} または 0、V_I = V_{IH} または V_{IL}、V_{CC} = 6V				±0.01	±0.5	µA
I_{CC}	V_I = V_{CC} または 0、I_O = 0、V_{CC} = 6V					8	µA
C_i	V_{CC} = 2V～6V				3	10	pF

5.6 電気的特性 — 55°C ～ 125°C

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件			最小値	標準値	最大値	単位
V_{OH}	V_I = V_{IH} または V_{IL}	I_{OH} = -20µA	V_{CC} = 2V	1.9			V
			V_{CC} = 4.5V	4.4			
			V_{CC} = 6V	5.9			
		I_{OH} = –6mA、V_{CC} = 4.5V		3.7			
		I_{OH} = –7.8mA、V_{CC} = 6V		5.2			

Copyright © 2026 Texas Instruments Incorporated

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件			最小値	標準値	最大値	単位
V_{OL}	$V_I = V_{IH}$ または V_{IL}	I_{OL} = 20μA	V_{CC} = 2V			0.1	V
			V_{CC} = 4.5V			0.1	
			V_{CC} = 6V			0.1	
		I_{OL} = 6mA、V_{CC} = 4.5V				0.4	
		I_{OL} = 7.8mA、V_{CC} = 6V				0.4	
I_I	$V_I = V_{CC}$ または 0、V_{CC} = 6V					±1000	nA
I_{OZ}	$V_O = V_{CC}$ または 0、$V_I = V_{IH}$ または V_{IL}、V_{CC} = 6V					±10	μA
I_{CC}	$V_I = V_{CC}$ または 0、I_O = 0、V_{CC} = 6V					160	μA
C_i	V_{CC} = 2V～6V					10	pF

5.7 電気的特性 — 40°C ～ 125°C

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件			最小値	標準値	最大値	単位
V_{OH}	$V_I = V_{IH}$ または V_{IL}	I_{OH} = -20μA	V_{CC} = 2V	1.9			V
			V_{CC} = 4.5V	4.4			
			V_{CC} = 6V	5.9			
		I_{OH} = –6mA、V_{CC} = 4.5V		3.7			
		I_{OH} = –7.8mA、V_{CC} = 6V		5.2			
V_{OL}	$V_I = V_{IH}$ または V_{IL}	I_{OL} = 20μA	V_{CC} = 2V			0.1	V
			V_{CC} = 4.5V			0.1	
			V_{CC} = 6V			0.1	
		I_{OL} = 6mA、V_{CC} = 4.5V				0.4	
		I_{OL} = 7.8mA、V_{CC} = 6V				0.4	
I_I	$V_I = V_{CC}$ または 0、V_{CC} = 6V					±1000	nA
I_{OZ}	$V_O = V_{CC}$ または 0、$V_I = V_{IH}$ または V_{IL}、V_{CC} = 6V					±10	μA
I_{CC}	$V_I = V_{CC}$ または 0、I_O = 0、V_{CC} = 6V					160	μA
C_i	V_{CC} = 2V～6V					10	pF

5.8 電気的特性 — 40°C ～ 85°C

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件			最小値	標準値	最大値	単位
V_{OH}	$V_I = V_{IH}$ または V_{IL}	I_{OH} = -20μA	V_{CC} = 2V	1.9			V
			V_{CC} = 4.5V	4.4			
			V_{CC} = 6V	5.9			
		I_{OH} = –6mA、V_{CC} = 4.5V		3.84			
		I_{OH} = –7.8mA、V_{CC} = 6V		5.34			
V_{OL}	$V_I = V_{IH}$ または V_{IL}	I_{OL} = 20μA	V_{CC} = 2V			0.1	V
			V_{CC} = 4.5V			0.1	
			V_{CC} = 6V			0.1	
		I_{OL} = 6mA、V_{CC} = 4.5V				0.33	
		I_{OL} = 7.8mA、V_{CC} = 6V				0.33	
I_I	$V_I = V_{CC}$ または 0、V_{CC} = 6V					±1000	nA
I_{OZ}	$V_O = V_{CC}$ または 0、$V_I = V_{IH}$ または V_{IL}、V_{CC} = 6V					±5	μA

Copyright © 2026 Texas Instruments Incorporated

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
I_{CC}	$V_I = V_{CC}$ または 0、$I_O = 0$、$V_{CC} = 6V$			80	μA
C_i	$V_{CC} = 2V～6V$			10	pF

5.9 スイッチング特性

$T_A = 25℃$ (特に記述のない限り)

パラメータ	テスト条件			最小値	標準値	最大値	単位
t_{pd}	A (入力) から Y (出力) まで	$V_{CC} = 2V$	$C_L = 50pF$		40	115	ns
			$C_L = 150pF$		56	165	
		$V_{CC} = 4.5V$	$C_L = 50pF$		13	23	
			$C_L = 150pF$		18	33	
		$V_{CC} = 6V$	$C_L = 50pF$		11	20	
			$C_L = 150pF$		15	28	
t_{en}	$\overline{OE}$ (入力) から Y (出力) まで	$V_{CC} = 2V$	$C_L = 50pF$		75	150	ns
			$C_L = 150pF$		100	200	
		$V_{CC} = 4.5V$	$C_L = 50pF$		15	30	
			$C_L = 150pF$		20	40	
		$V_{CC} = 6V$	$C_L = 50pF$		13	26	
			$C_L = 150pF$		17	34	
t_{dis}	$\overline{OE}$ (入力) から Y (出力) まで	$V_{CC} = 2V$	$C_L = 50pF$		75	150	ns
		$V_{CC} = 4.5V$	$C_L = 50pF$		15	30	
		$V_{CC} = 6V$	$C_L = 50pF$		13	26	
t_t	Y まで (出力)	$V_{CC} = 2V$	$C_L = 50pF$		28	60	ns
			$C_L = 150pF$		45	210	
		$V_{CC} = 4.5V$	$C_L = 50pF$		8	12	
			$C_L = 150pF$		17	42	
		$V_{CC} = 6V$	$C_L = 50pF$		6	10	
			$C_L = 150pF$		13	36	

Copyright © 2026 Texas Instruments Incorporated

5.10 スイッチング特性 — C_L = 50pF

自由空気での推奨動作温度範囲内 (特に記述のない限り、図 6-1 を参照してください)

パラメータ	テスト条件			最小値	標準値	最大値	単位
t_{pd}	A (入力) から Y (出力) まで	V_{CC} = 2V	T_A = –55°C ～ 125°C			170	ns
			T_A = –40°C ～ 125°C			170	
			T_A = –40°C ～ 85°C			145	
		V_{CC} = 4.5V	T_A = –55°C ～ 125°C			34	
			T_A = –40°C ～ 125°C			34	
			T_A = –40°C ～ 85°C			29	
		V_{CC} = 6V	T_A = –55°C ～ 125°C			29	
			T_A = –40°C ～ 125°C			29	
			T_A = –40°C ～ 85°C			25	
t_{en}	$\overline{OE}$ (入力) から Y (出力) まで	V_{CC} = 2V	T_A = –55°C ～ 125°C			225	ns
			T_A = –40°C ～ 125°C			225	
			T_A = –40°C ～ 85°C			190	
		V_{CC} = 4.5V	T_A = –55°C ～ 125°C			45	
			T_A = –40°C ～ 125°C			45	
			T_A = –40°C ～ 85°C			38	
		V_{CC} = 6V	T_A = –55°C ～ 125°C			38	
			T_A = –40°C ～ 125°C			38	
			T_A = –40°C ～ 85°C			32	

Copyright © 2026 Texas Instruments Incorporated

自由空気での推奨動作温度範囲内 (特に記述のない限り、図 6-1 を参照してください)

パラメータ	テスト条件			最小値	標準値	最大値	単位
t_{dis}	$\overline{OE}$ (入力) から Y (出力) まで	V_{CC} = 2V	T_A = –55°C ～ 125°C			225	ns
			T_A = –40°C ～ 125°C			225	
			T_A = –40°C ～ 85°C			190	
		V_{CC} = 4.5V	T_A = –55°C ～ 125°C			45	
			T_A = –40°C ～ 125°C			45	
			T_A = –40°C ～ 85°C			38	
		V_{CC} = 6V	T_A = –55°C ～ 125°C			38	
			T_A = –40°C ～ 125°C			38	
			T_A = –40°C ～ 85°C			32	
t_t	Y まで (出力)	V_{CC} = 2V	T_A = –55°C ～ 125°C			90	ns
			T_A = –40°C ～ 125°C			90	
			T_A = –40°C ～ 85°C			75	
		V_{CC} = 4.5V	T_A = –55°C ～ 125°C			18	
			T_A = –40°C ～ 125°C			18	
			T_A = –40°C ～ 85°C			15	
		V_{CC} = 6V	T_A = –55°C ～ 125°C			15	
			T_A = –40°C ～ 125°C			15	
			T_A = –40°C ～ 85°C			13	

Copyright © 2026 Texas Instruments Incorporated

5.11 スイッチング特性 — C_L = 150pF

自由空気での推奨動作温度範囲内 (特に記述のない限り、図 6-1 を参照してください)

パラメータ	テスト条件			最小値	標準値	最大値	単位
t_{pd}	A (入力) から Y (出力) まで	V_{CC} = 2V	T_A = –55°C ～ 125°C			245	ns
			T_A = –40°C ～ 125°C			245	
			T_A = –40°C ～ 85°C			210	
		V_{CC} = 4.5V	T_A = –55°C ～ 125°C			49	
			T_A = –40°C ～ 125°C			49	
			T_A = –40°C ～ 85°C			42	
		V_{CC} = 6V	T_A = –55°C ～ 125°C			42	
			T_A = –40°C ～ 125°C			42	
			T_A = –40°C ～ 85°C			35	
t_{en}	$\overline{OE}$ (入力) から Y (出力) まで	V_{CC} = 2V	T_A = –55°C ～ 125°C			300	ns
			T_A = –40°C ～ 125°C			300	
			T_A = –40°C ～ 85°C			250	
		V_{CC} = 4.5V	T_A = –55°C ～ 125°C			60	
			T_A = –40°C ～ 125°C			60	
			T_A = –40°C ～ 85°C			50	
		V_{CC} = 6V	T_A = –55°C ～ 125°C			51	
			T_A = –40°C ～ 125°C			51	
			T_A = –40°C ～ 85°C			43	

Copyright © 2026 Texas Instruments Incorporated

自由空気での推奨動作温度範囲内 (特に記述のない限り、図 6-1 を参照してください)

パラメータ	テスト条件			最小値	標準値	最大値	単位
t_t	Y まで (出力)	V_{CC} = 2V	T_A = –55°C ～ 125°C			315	ns
			T_A = –40°C ～ 125°C			315	
			T_A = –40°C ～ 85°C			265	
		V_{CC} = 4.5V	T_A = –55°C ～ 125°C			63	
			T_A = –40°C ～ 125°C			63	
			T_A = –40°C ～ 85°C			53	
		V_{CC} = 6V	T_A = –55°C ～ 125°C			53	
			T_A = –40°C ～ 125°C			53	
			T_A = –40°C ～ 85°C			45	

5.12 代表的特性

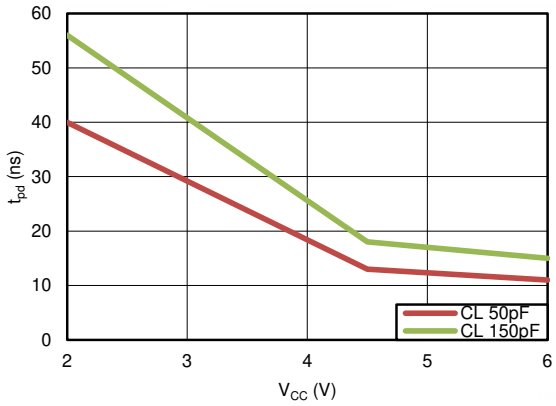


図 5-1. 伝搬遅延

6 パラメータ測定情報

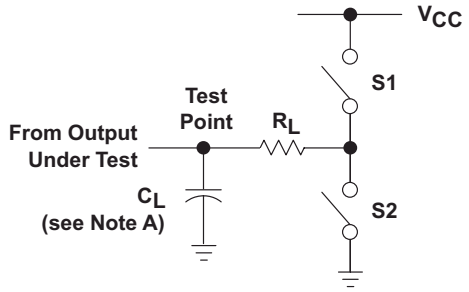


図 6-1. 負荷回路

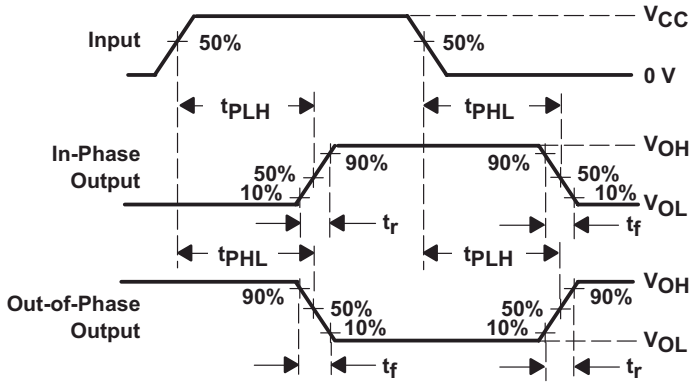


図 6-2. 伝搬遅延と
出力遷移時間

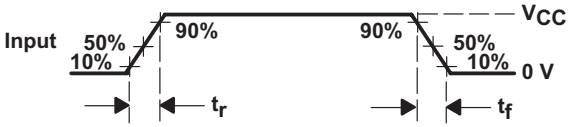


図 6-3. 入力の立ち上がり/立ち下がり時間

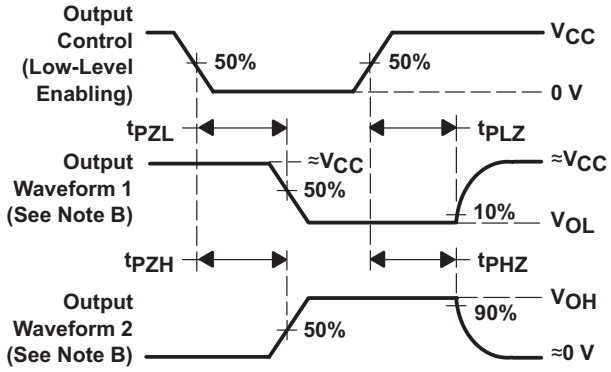


図 6-4. 3 ステート出力の有効化
および無効化時間

Copyright © 2026 Texas Instruments Incorporated

注

注:

C_L にはプローブとテスト装置の静電容量が含まれます。

B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディスエーブルされている場合は除きます。波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディスエーブルされている場合は除きます。

C. 波形間の位相関係は、任意に選択されました。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≦ 1MHz、Z_O = 50Ω、t_r = 6ns、t_f = 6ns。

D. 出力は一度に 1 つずつ測定され、測定ごとに 1 つの入力が遷移します。

E. t_{PLZ} と t_{PHZ} は t_{dis} と同じです。

F. t_{PZL} と t_{PZH} は t_{en} と同じです。

G. t_{PLH} と t_{PHL} は t_{pd} と同じです。

表 6-1. スイッチング情報表

パラメータ		RL	CL	S1	S2
t_{en}	t_{PZH}	1kΩ	50pF または 150pF	オープン	クローズド
	t_{PZL}	1kΩ	50pF または 150pF	クローズド	オープン
t_{dis}	t_{PHZ}	1kΩ	50pF	オープン	クローズド
	t_{PLZ}	1kΩ	50pF	クローズド	オープン
t_{pd} または t_t		—	50pF または 150pF	オープン	オープン

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

SNx4HC244 には、3 ステート出力を持つ 2 つの 4 ビット バッファ / ライン ドライブとして構成された 8 つの独立した高速 CMOS バッファが内蔵されています。

各バッファは、ブール論理関数 xYn = xAn を実行します。*x* はバンク番号、*n*

各出力イネーブル (x$\overline{OE}$) は 4 つのバッファを制御します。x$\overline{OE}$ ピンが Low 状態のとき、バンク x のすべてのバッファの出力がイネーブルになります。x$\overline{OE}$ ピンが High 状態のとき、バンク x のすべてのバッファの出力がディセーブルになります。ディセーブルされた出力はすべて高インピーダンス状態になります。

電源オンまたは電源オフ時にデバイスを高インピーダンス状態にするには、両方の $\overline{OE}$ ピンをプルアップ抵抗経由で V_{CC} に接続します。この抵抗の最小値は、「電気的特性」表に定義されているドライバの電流シンク能力とピンのリーク電流によって決定されます。

7.2 機能ブロック図

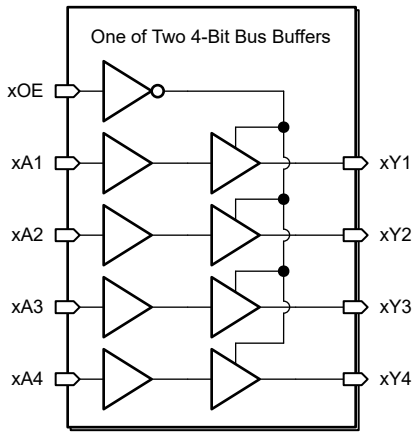


図 7-1. 論理図 (正論理)

7.3 機能説明

7.3.1 標準 CMOS 入力

このデバイスには、標準 CMOS 入力が搭載されています。標準 CMOS 入力は高インピーダンスであり、通常は*電気的特性*に示されている入力容量と並列の抵抗としてモデル化されます。ワースト ケースの抵抗は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 (R = V ÷ I) を使用して計算されます。

標準 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、『*低速またはフローティング CMOS 入力の影響*』を参照してください。

動作中は、標準 CMOS 入力をフローティングのままにしないでください。未使用の入力は、V_{CC} または GND に終端させる必要があります。システムが入力を常にアクティブに駆動している訳ではない場合、システムが入力をアクティブに駆動していないときに有効な入力電圧を与えるため、プルアップまたはプルダウン抵抗を追加できます。抵抗値は複数の要因で決まりますが、10kΩ の抵抗を推奨します。通常はこれですべての要件を満たします。

7.4 デバイスの機能モード

表 7-1 に、SNx4HC244 の機能モードを示します。

Copyright © 2026 Texas Instruments Incorporated

表 7-1. 機能表

入力 (1)		出力
$\overline{OE}$	A	Y
L	L	L
L	H	H
H	X	Z

(1) H = High 電圧レベル、L = Low 電圧レベル、X = ドント ケア、Z = 高インピーダンス

8 アプリケーションと実装

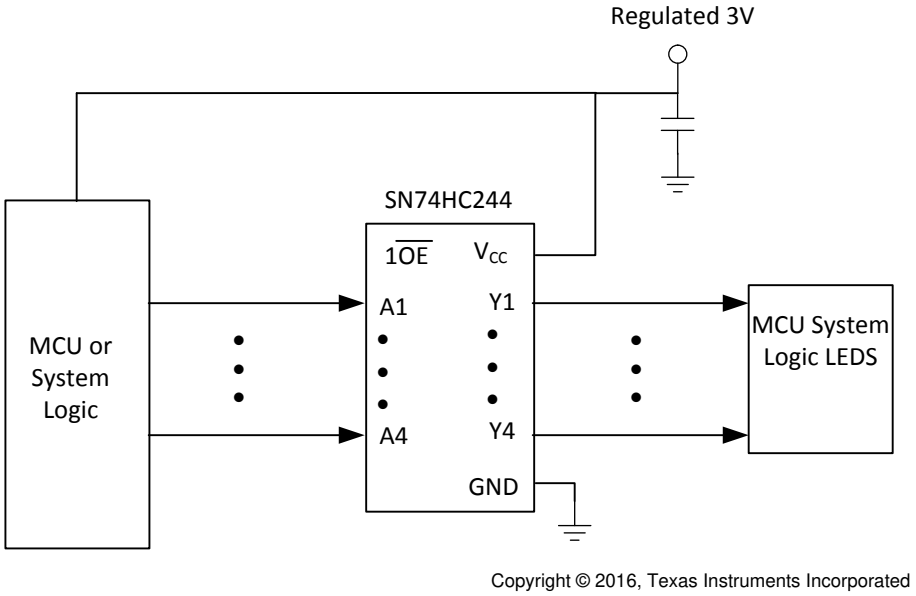
注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

SN74HC244 は出力ドライブまたは PCB パターン長が懸念される多くのバス インターフェイス タイプのアプリケーションで使用できる高駆動能力の CMOS デバイスです。

8.2 代表的なアプリケーション



Copyright © 2016, Texas Instruments Incorporated

図 8-1. SN74HC244 アプリケーションの回路図

8.2.1 設計要件

このデバイスは CMOS 技術を採用しており、平衡型出力ドライバを備えています。上限値を超える電流が流れる可能性があるため、バスが競合しないように注意します。また、大きな駆動能力で軽負荷を駆動することでも高速なエッジが生じるため、配線と負荷の条件を検討してリンギングを防止してください。

8.2.2 詳細な設計手順

1. 推奨入力条件:
   - 立ち上がり時間と立ち下がり時間の仕様については、*セクション 5.3* 表の Δt/ΔV を参照してください。
   - 規定された High および Low レベルについては、「セクション 5.3」の V_{IH} および V_{IL} を参照してください。
2. 推奨出力条件:
   - 負荷電流は、出力ごとに I_O の最大値を超えないようにする必要があります。また、V_{CC} または GND を流れる連続電流は、本デバイスの最大総電流の仕様値を超えないようにする必要があります。これらの制限値については、*セクション 5.1* で参照するのは可能です。
   - 出力は、V_{CC} を超えてプルされないようにしてください。

Copyright © 2026 Texas Instruments Incorporated

8.2.3 アプリケーション曲線

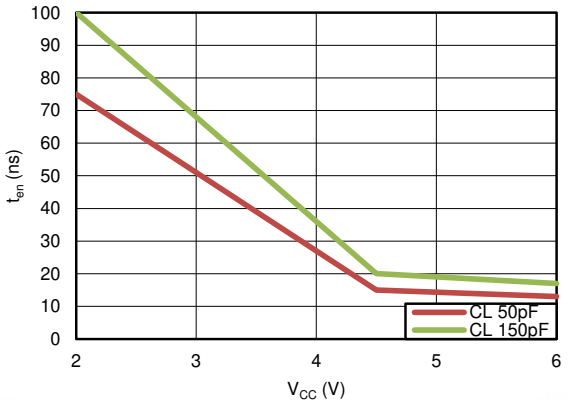


図 8-2. 有効化時間

8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。

このデバイスには 0.1µF のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1µF と 1µF のコンデンサは並列に使用されます。バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

8.4 レイアウトのガイドライン

- バイパス コンデンサの配置
  - デバイスの正電源端子の近くに配置
  - 電気的に短いグランド帰還パスを提供
  - インピーダンスを最小化するため、広いパターンを使用
  - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
  - 8mil～12mil のトレース幅
  - 伝送ラインの影響を最小化する 12cm 未満の長さ
  - 信号トレースの 90° のコーナーは避ける
  - 信号トレースの下に、途切れのないグランド プレーンを使用
  - 信号トレース周辺の領域をグランドでフラッド フィル
  - 平行配線は、3 倍以上の誘電体厚で分離する必要があります
  - 12cm を超えるパターン用
    - インピーダンス制御トレースを使用
    - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
    - 分岐を回避。個別に分岐が必要なバッファ信号

8.4.1 レイアウト例

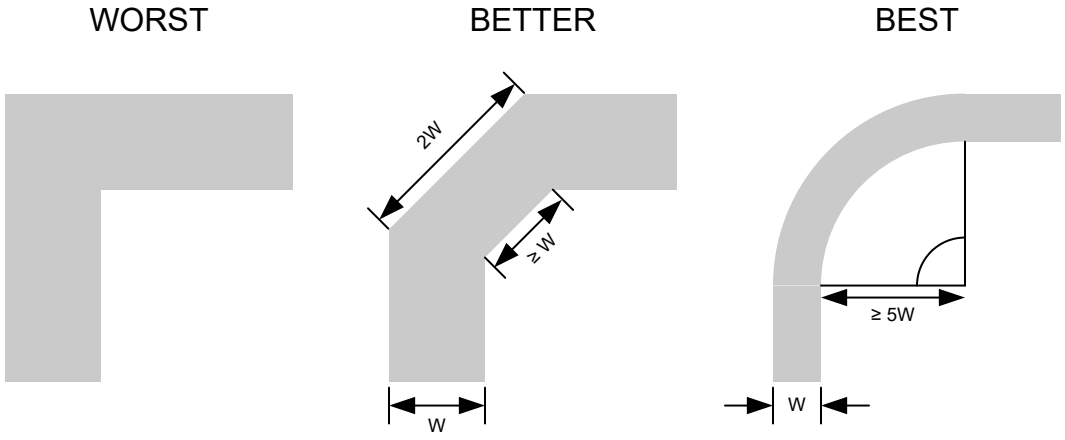


図 8-3. シグナル インテグリティ向上のためのサンプル パターンのコーナー

Copyright © 2026 Texas Instruments Incorporated

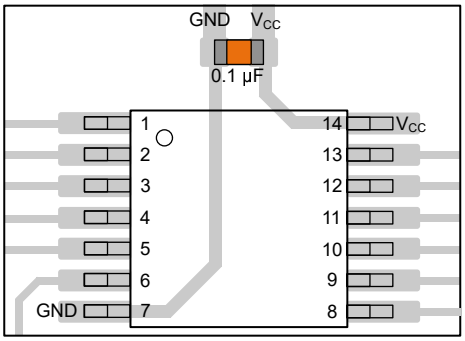


図 8-4. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

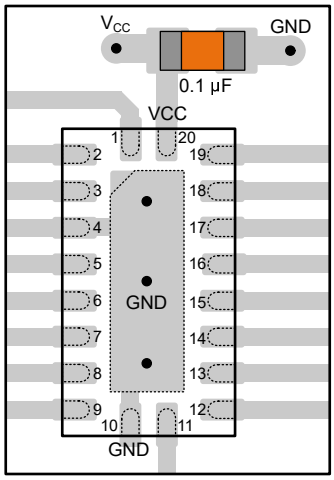


図 8-5. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

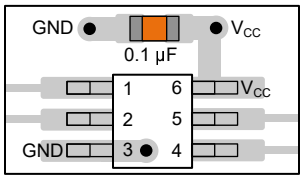


図 8-6. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

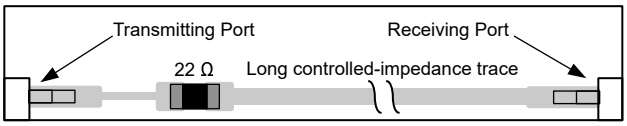


図 8-7. シグナル インテグリティ向上のためのダンピング抵抗の配置例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 ドキュメントのサポート

- テキサス・インスツルメンツ、『低速またはフローティング CMOS 入力の影響』アプリケーション ノート
- テキサス インスツルメンツ、『半導体および IC パッケージの熱評価基準』アプリケーション ノート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision H (February 2025) to Revision I (January 2026)	Page
• SN74HC244 の動作温度を以下の通りに変更します。85°C から 125°C	4

Changes from Revision G (January 2025) to Revision H (February 2025)	Page
• 電気的特性の表、推奨動作条件の表、スイッチング特性の表の SN74HC244 の値を更新	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-8409601VRA	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8409601VR A SNV54HC244J
5962-8409601VRA.A	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8409601VR A SNV54HC244J
5962-8409601VSA	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8409601VS A SNV54HC244W
5962-8409601VSA.A	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8409601VS A SNV54HC244W
84096012A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	84096012A SNJ54HC 244FK
8409601RA	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8409601RA SNJ54HC244J
8409601SA	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8409601SA SNJ54HC244W
JM38510/65705B2A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65705B2A
JM38510/65705B2A.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65705B2A
JM38510/65705BRA	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65705BRA
JM38510/65705BRA.A	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65705BRA
JM38510/65705BSA	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65705BSA
JM38510/65705BSA.A	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65705BSA
M38510/65705B2A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65705B2A

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
M38510/65705BRA	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65705BRA
M38510/65705BSA	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65705BSA
SN54HC244J	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SN54HC244J
SN54HC244J.A	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SN54HC244J
SN74HC244APWR	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC244A
SN74HC244APWR.A	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC244A
SN74HC244DBR	Active	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC244
SN74HC244DBR.A	Active	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC244
SN74HC244DWR	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC244
SN74HC244DWR.A	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC244
SN74HC244DWRE4	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC244
SN74HC244DWRG4	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC244
SN74HC244DWRG4.A	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC244
SN74HC244N	Active	Production	PDIP (N) | 20	20 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	SN74HC244N
SN74HC244N.A	Active	Production	PDIP (N) | 20	20 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	SN74HC244N
SN74HC244NE4	Active	Production	PDIP (N) | 20	20 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74HC244N
SN74HC244NSR	Active	Production	SOP (NS) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC244
SN74HC244NSR.A	Active	Production	SOP (NS) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC244
SN74HC244NSRG4	Active	Production	SOP (NS) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC244
SN74HC244PW	Obsolete	Production	TSSOP (PW) | 20	-	-	Call TI	Call TI	-40 to 85	HC244
SN74HC244PWR	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC244
SN74HC244PWR.A	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC244
SN74HC244PWRE4	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC244
SN74HC244PWRG4	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC244
SN74HC244PWT	Obsolete	Production	TSSOP (PW) | 20	-	-	Call TI	Call TI	-40 to 85	HC244
SN74HC244QDWRG4Q1	NRND	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC244Q
SN74HC244QDWRG4Q1.A	NRND	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC244Q
SNJ54HC244FK	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	84096012A SNJ54HC 244FK

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SNJ54HC244FK.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	84096012A SNJ54HC 244FK
SNJ54HC244J	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8409601RA SNJ54HC244J
SNJ54HC244J.A	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8409601RA SNJ54HC244J
SNJ54HC244W	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8409601SA SNJ54HC244W
SNJ54HC244W.A	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8409601SA SNJ54HC244W

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN54HC244, SN54HC244-SP, SN74HC244 :

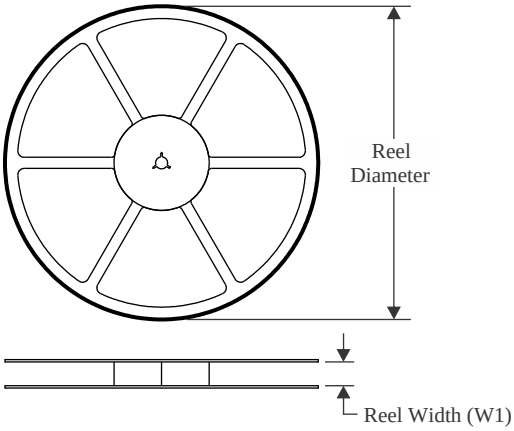
- Catalog : SN74HC244, SN54HC244
- Automotive : SN74HC244-Q1, SN74HC244-Q1
- Enhanced Product : SN74HC244-EP, SN74HC244-EP
- Military : SN54HC244
- Space : SN54HC244-SP

NOTE: Qualified Version Definitions:

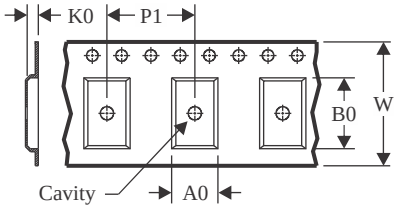
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TAPE AND REEL INFORMATION

REEL DIMENSIONS

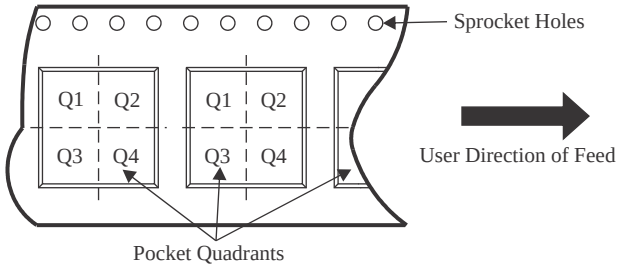


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

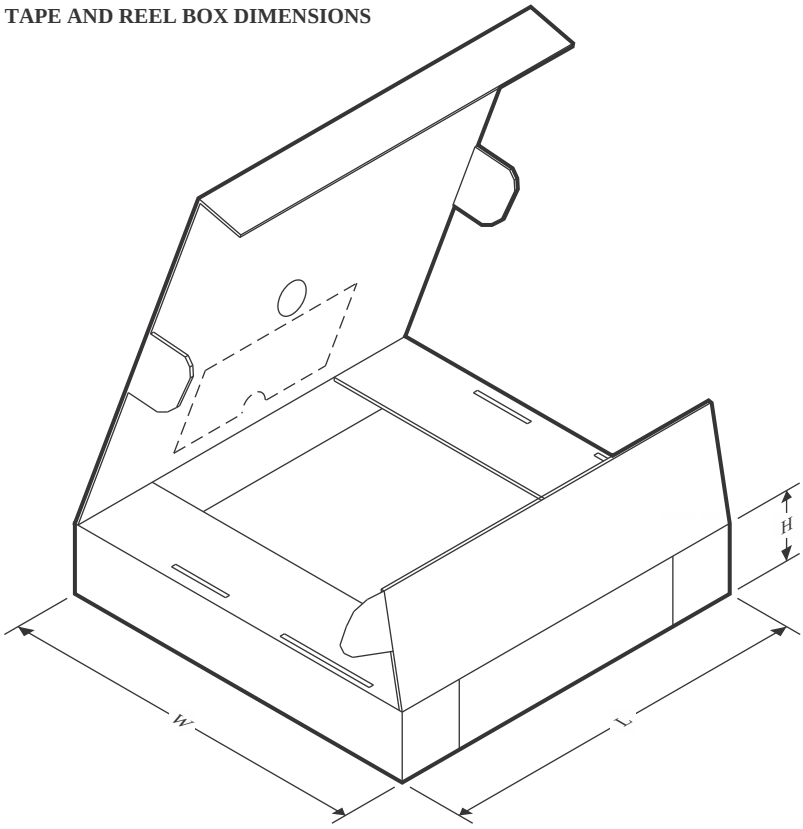
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74HC244APWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74HC244DBR	SSOP	DB	20	2000	330.0	16.4	8.2	7.5	2.5	12.0	16.0	Q1
SN74HC244DWR	SOIC	DW	20	2000	330.0	24.4	10.9	13.3	2.7	12.0	24.0	Q1
SN74HC244DWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
SN74HC244DWRG4	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
SN74HC244NSR	SOP	NS	20	2000	330.0	24.4	8.4	13.0	2.5	12.0	24.0	Q1
SN74HC244PWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74HC244QDWRG4Q1	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1

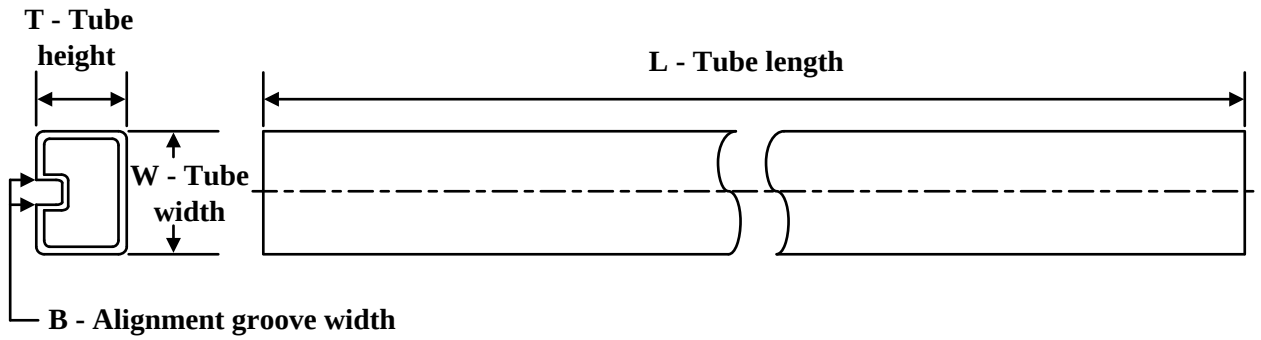
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74HC244APWR	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74HC244DBR	SSOP	DB	20	2000	353.0	353.0	32.0
SN74HC244DWR	SOIC	DW	20	2000	356.0	356.0	45.0
SN74HC244DWR	SOIC	DW	20	2000	356.0	356.0	45.0
SN74HC244DWRG4	SOIC	DW	20	2000	356.0	356.0	45.0
SN74HC244NSR	SOP	NS	20	2000	356.0	356.0	45.0
SN74HC244PWR	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74HC244QDWRG4Q1	SOIC	DW	20	2000	356.0	356.0	45.0

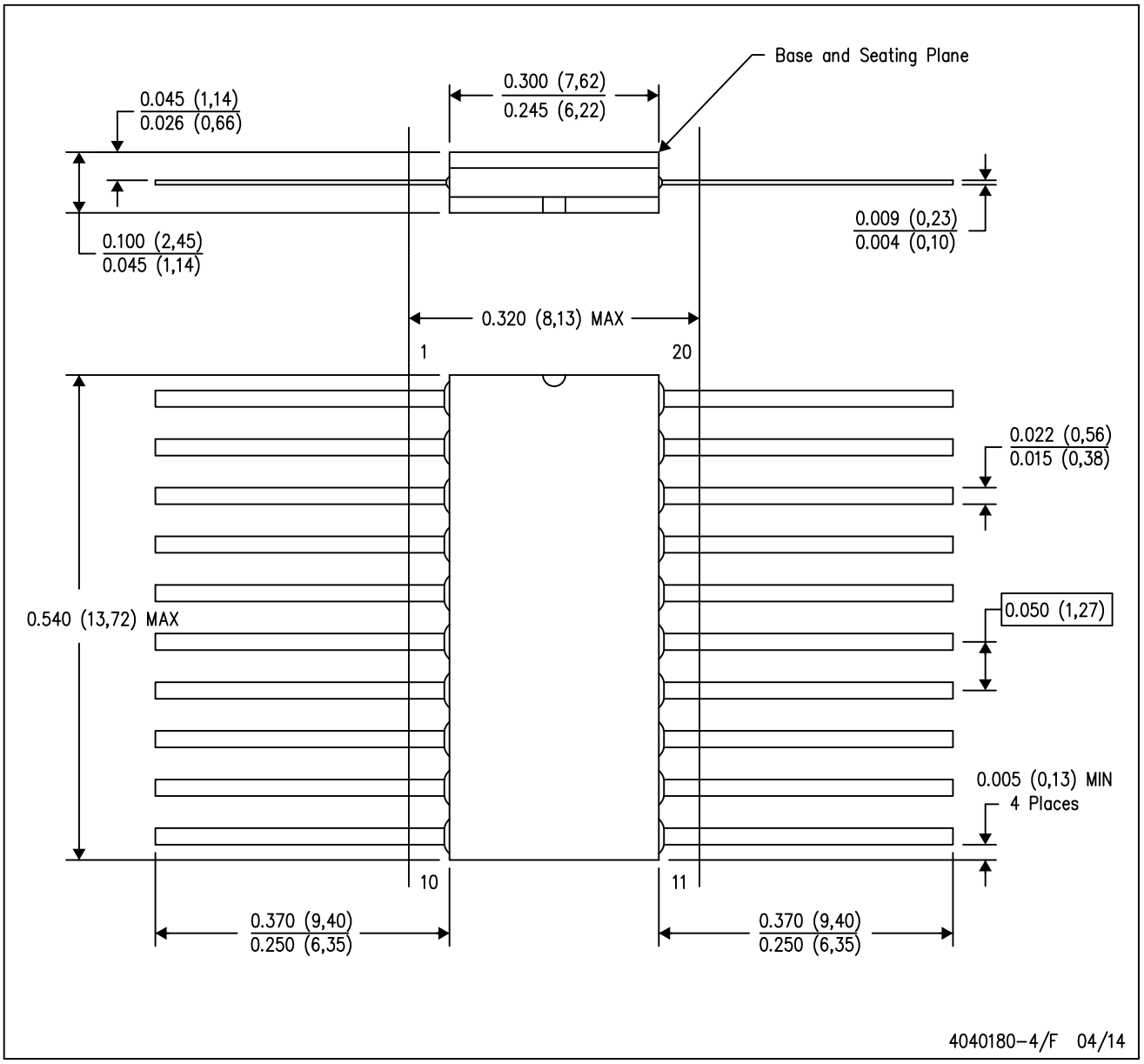
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-8409601VSA	W	CFP	20	25	506.98	26.16	6220	NA
5962-8409601VSA.A	W	CFP	20	25	506.98	26.16	6220	NA
84096012A	FK	LCCC	20	55	506.98	12.06	2030	NA
8409601SA	W	CFP	20	25	506.98	26.16	6220	NA
JM38510/65705B2A	FK	LCCC	20	55	506.98	12.06	2030	NA
JM38510/65705B2A.A	FK	LCCC	20	55	506.98	12.06	2030	NA
JM38510/65705BSA	W	CFP	20	25	506.98	26.16	6220	NA
JM38510/65705BSA.A	W	CFP	20	25	506.98	26.16	6220	NA
M38510/65705B2A	FK	LCCC	20	55	506.98	12.06	2030	NA
M38510/65705BSA	W	CFP	20	25	506.98	26.16	6220	NA
SN74HC244N	N	PDIP	20	20	506	13.97	11230	4.32
SN74HC244N.A	N	PDIP	20	20	506	13.97	11230	4.32
SN74HC244NE4	N	PDIP	20	20	506	13.97	11230	4.32
SNJ54HC244FK	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54HC244FK.A	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54HC244W	W	CFP	20	25	506.98	26.16	6220	NA
SNJ54HC244W.A	W	CFP	20	25	506.98	26.16	6220	NA

W (R–GDFP–F20) CERAMIC DUAL FLATPACK



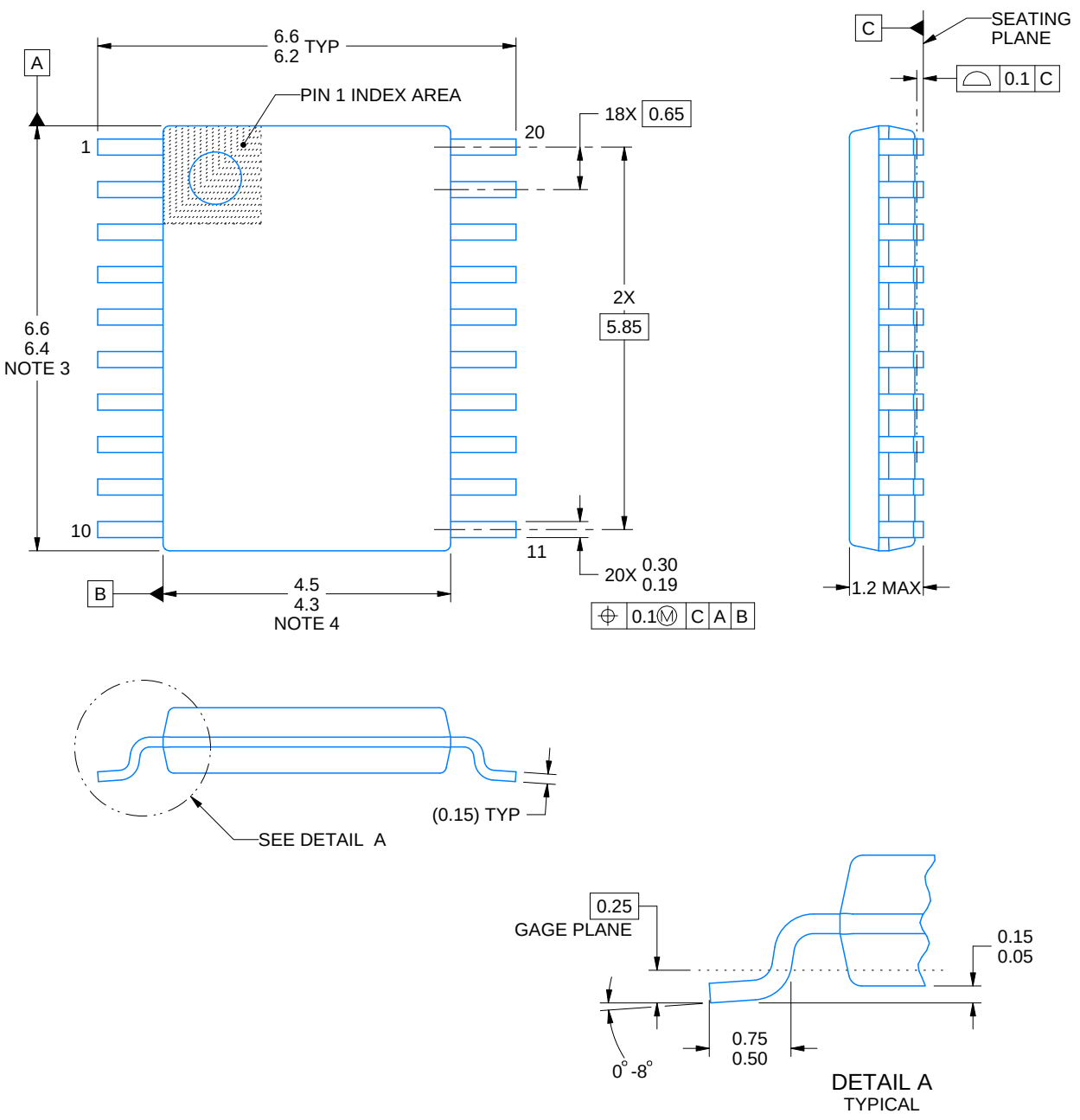
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package can be hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only.
E. Falls within Mil–Std 1835 GDFP2–F20

PACKAGE OUTLINE

PW0020A

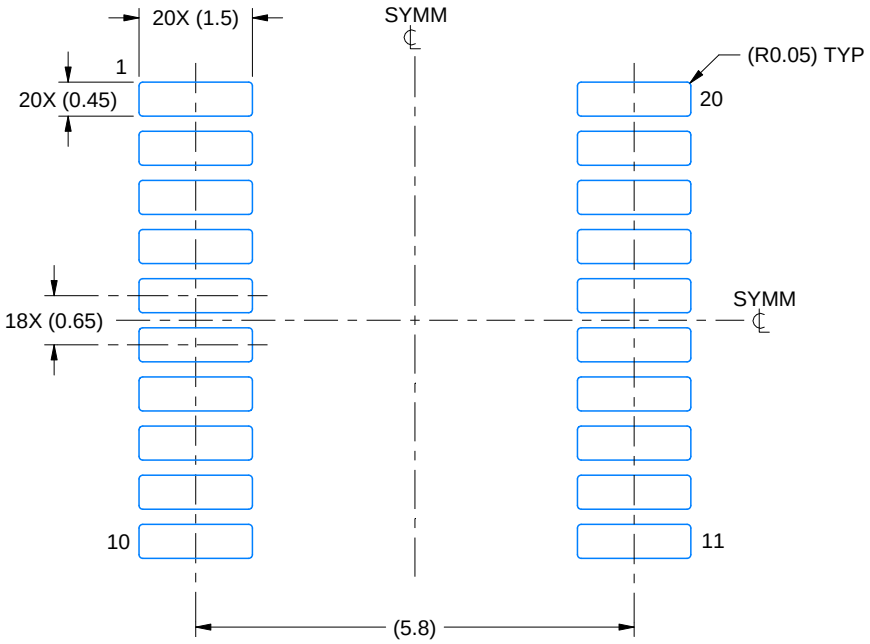
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

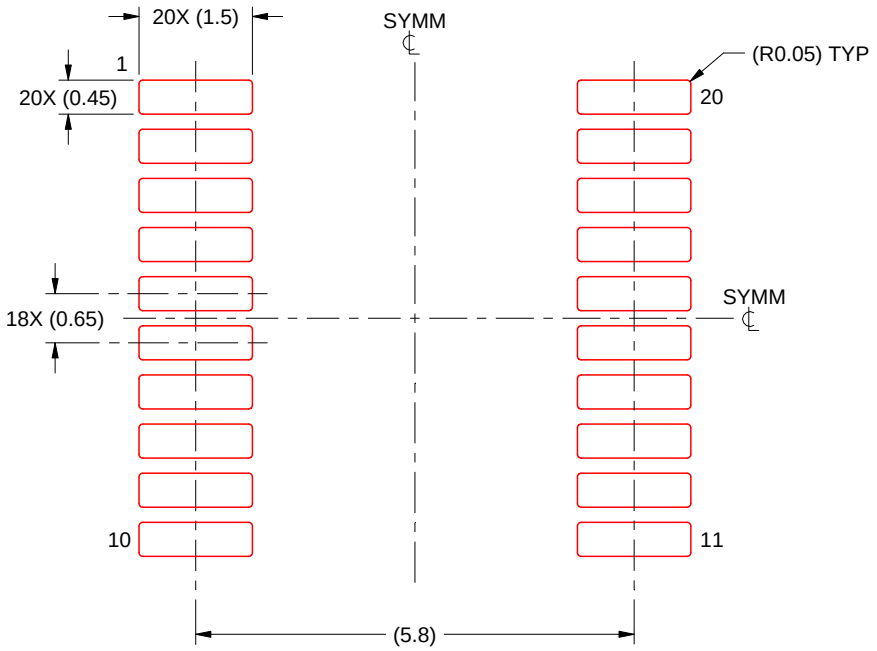


SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

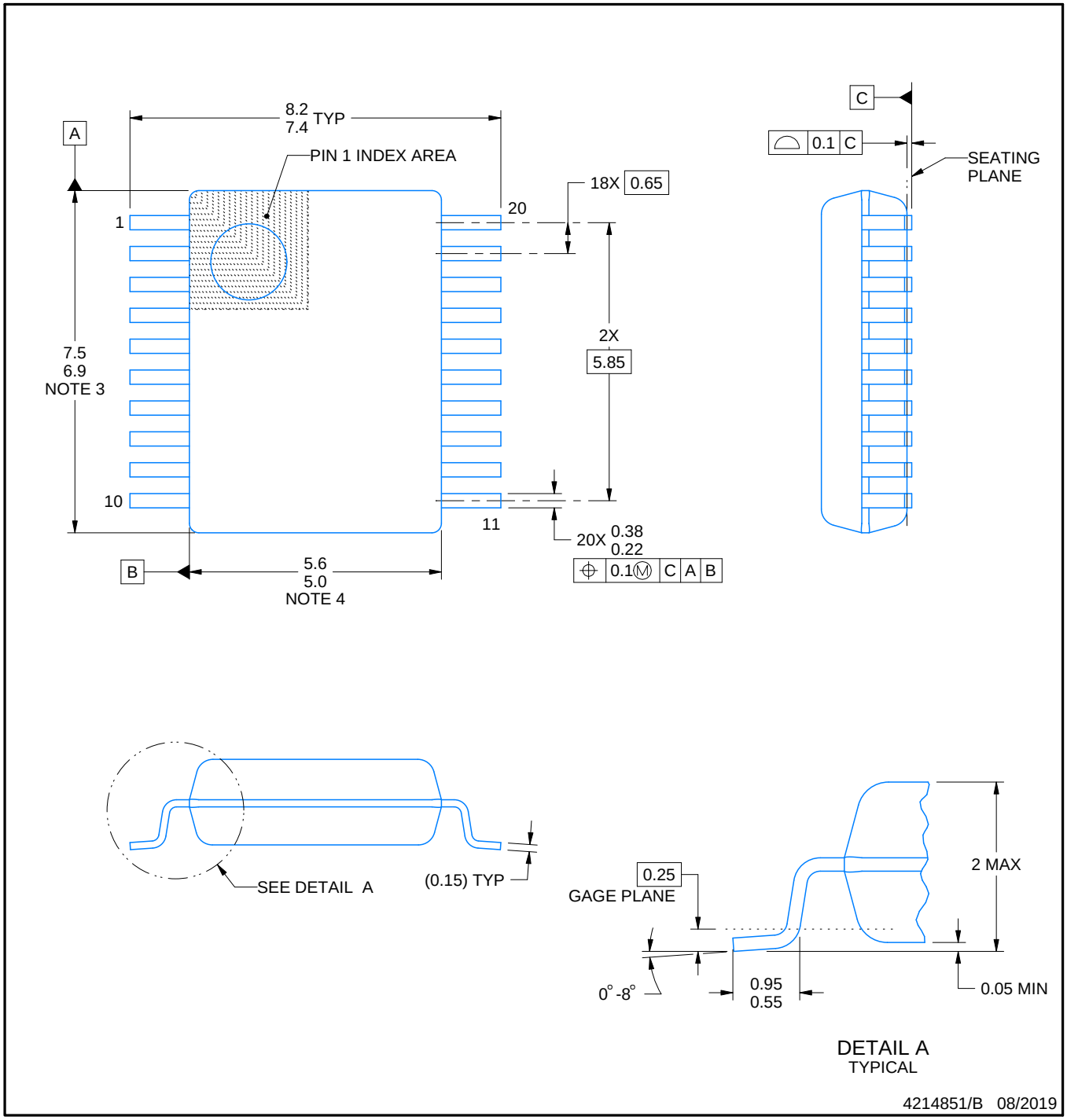
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DB0020A

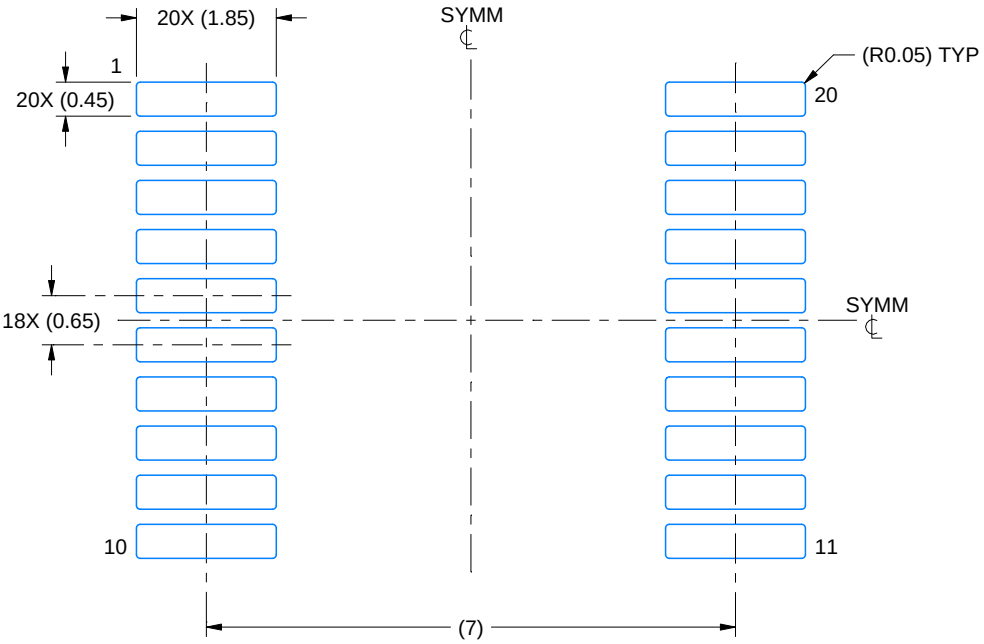
SSOP - 2 mm max height

SMALL OUTLINE PACKAGE

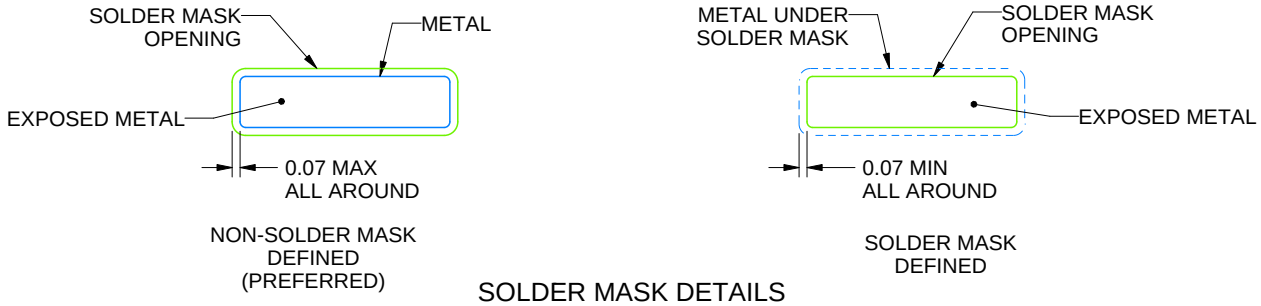


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4214851/B 08/2019

NOTES: (continued)

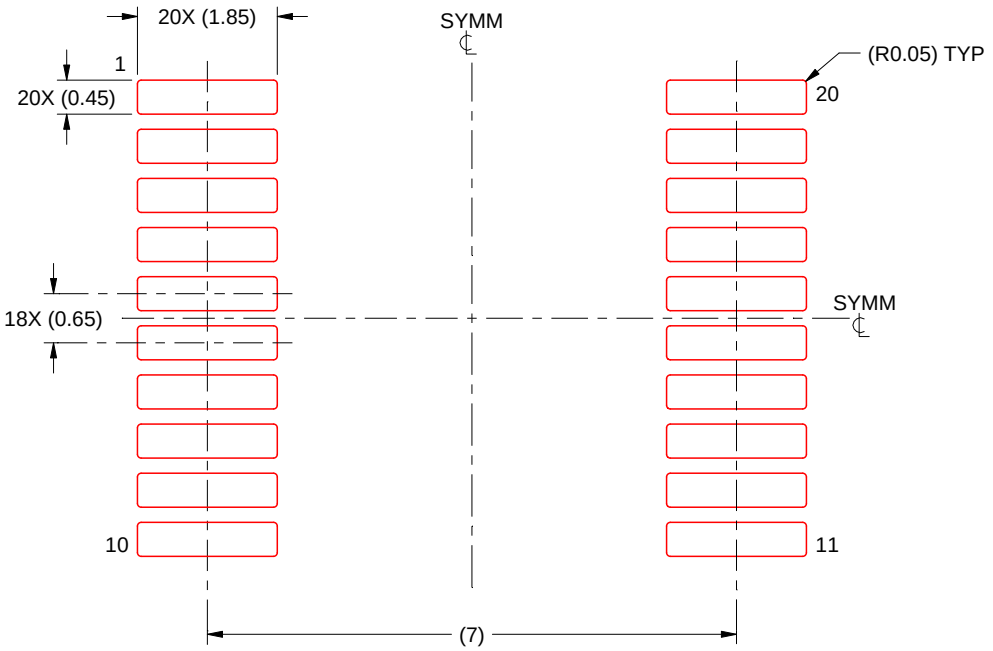
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DB0020A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4214851/B 08/2019

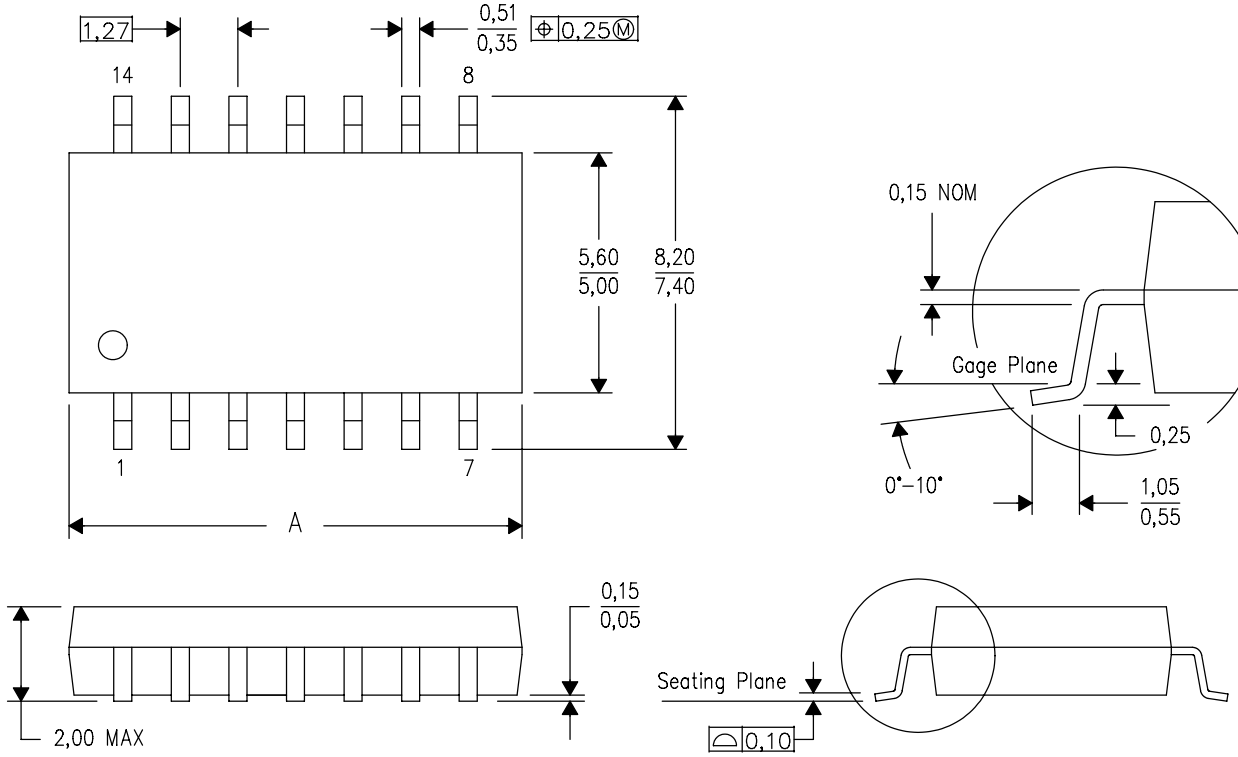
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

NS (R-PDSO-G)** **PLASTIC SMALL-OUTLINE PACKAGE**

14-PINS SHOWN



DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

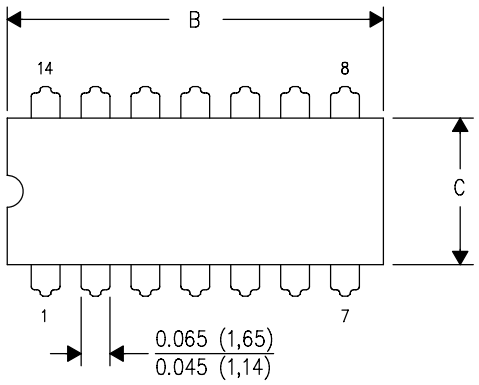
4040062/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

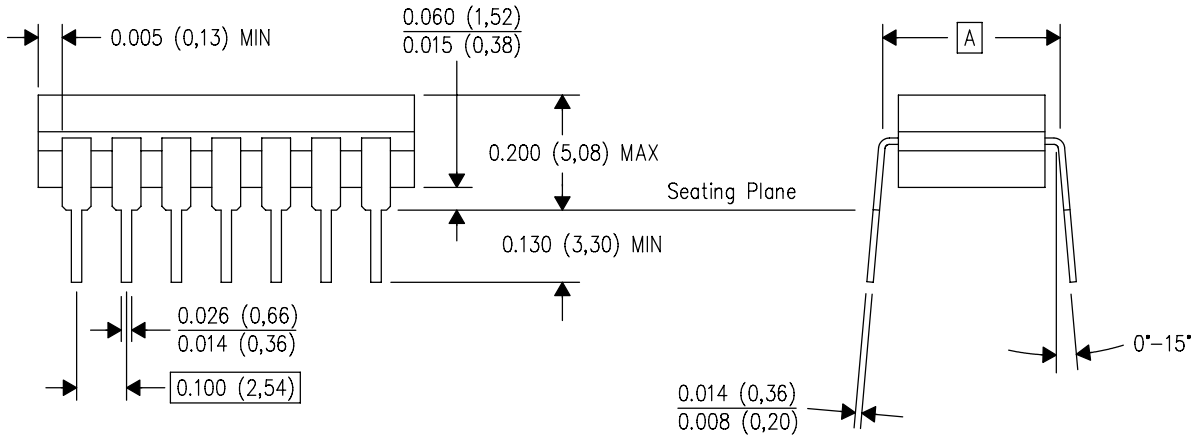
J (R–GDIP–T**)

14 LEADS SHOWN

CERAMIC DUAL IN–LINE PACKAGE



DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



4040083/F 03/03

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package is hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
E. Falls within MIL STD 1835 GDIP1–T14, GDIP1–T16, GDIP1–T18 and GDIP1–T20.

GENERIC PACKAGE VIEW

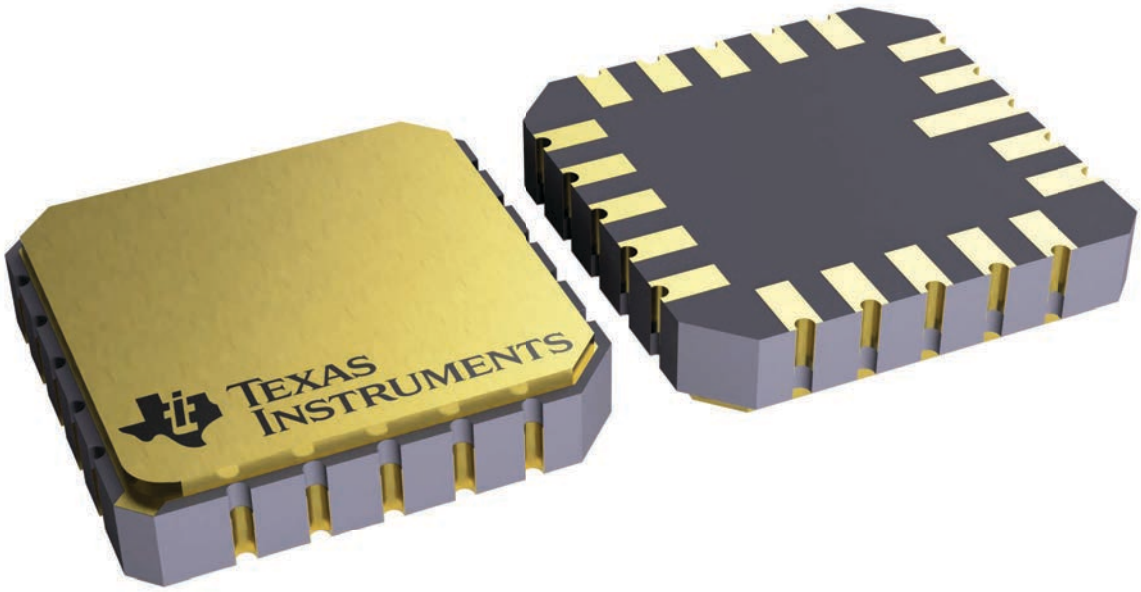
FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

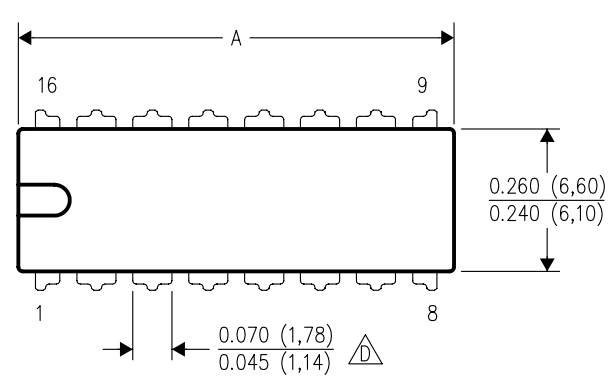


4229370VA\

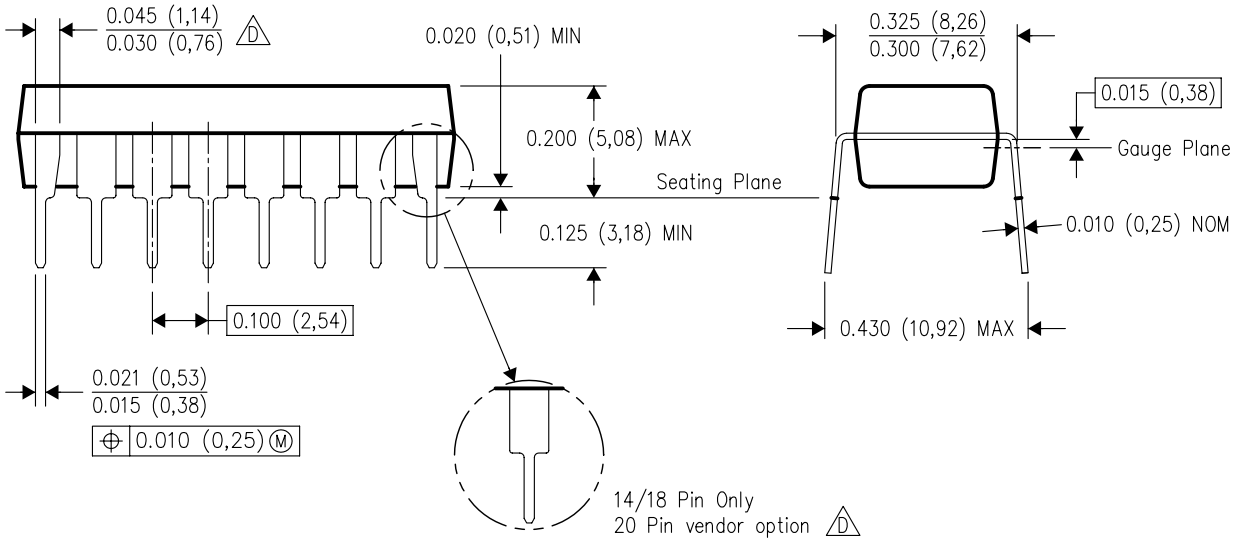
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN

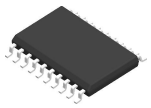


DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

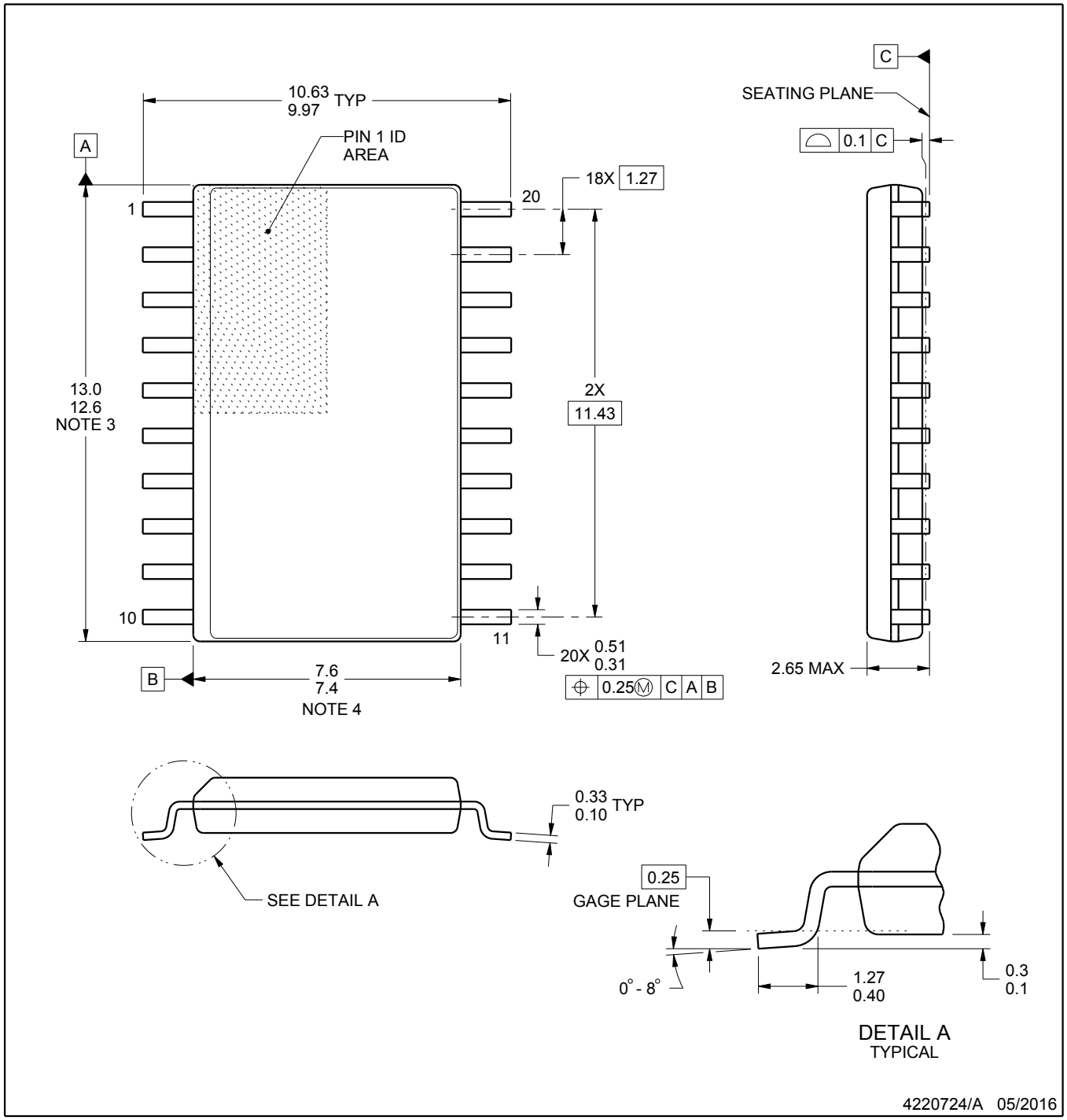


PACKAGE OUTLINE

DW0020A

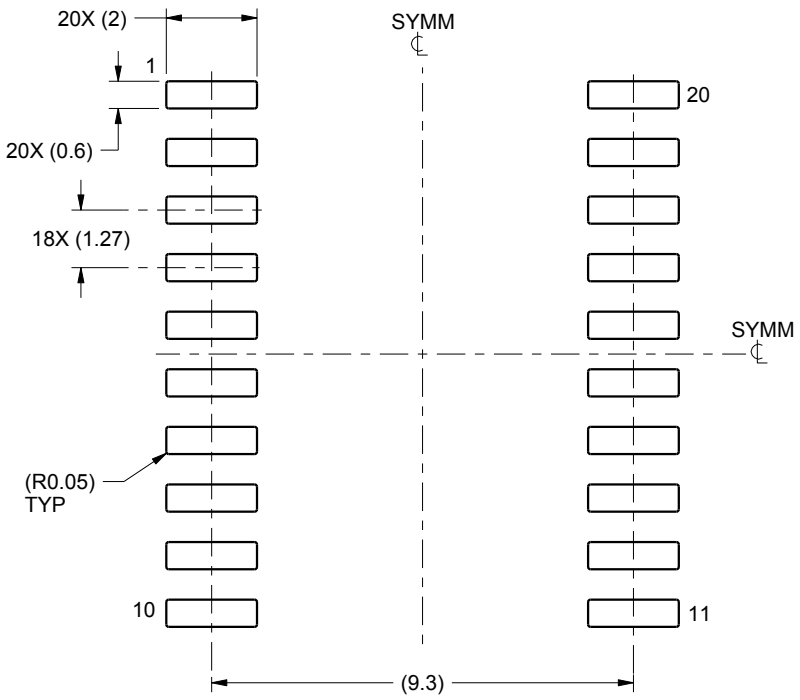
SOIC - 2.65 mm max height

SOIC

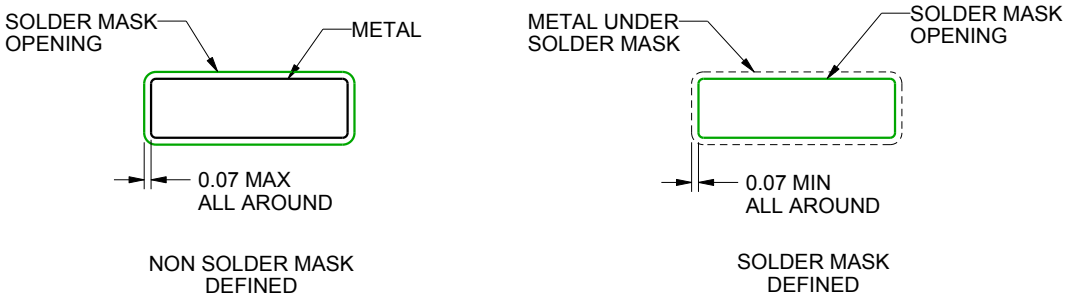


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.



LAND PATTERN EXAMPLE
SCALE:6X

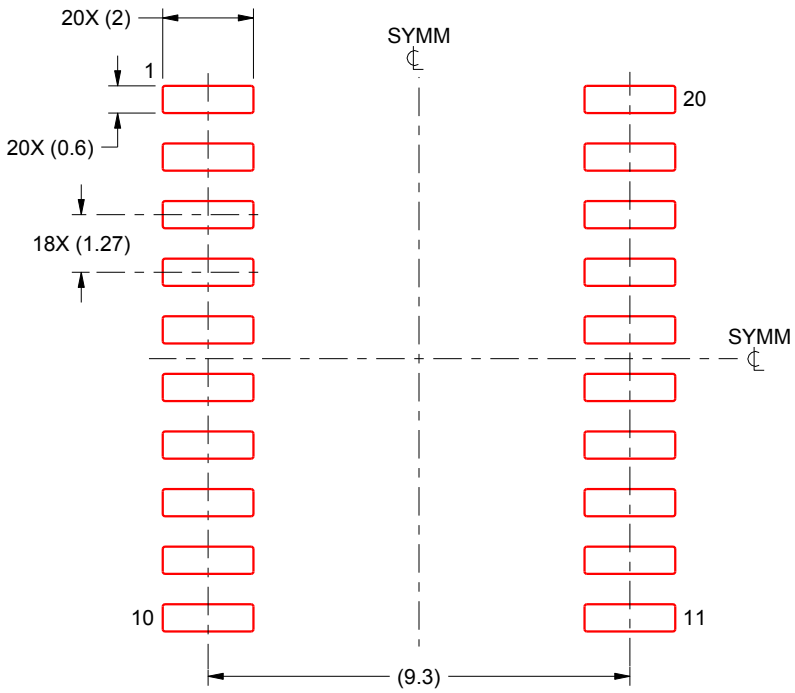


SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月