

SN75LBC172A, SN75LBC172A クワッド RS-485 差動ライン ドライバ

1 特長

- TIA/EIA-485、TIA/EIA-422、ISO 8482 アプリケーション用に設計
- 信号レート† 最大 30 Mbps
- 伝搬遅延時間: <11ns
- 低スタンバイ消費電力: 1.5mA 未満
- 出力 ESD 保護: 12kV
- ドライバの正および負の電流制限
- 活線挿抜アプリケーションでパワーアップ/パワーダウン時のグリッチなし
- サーマル シャットダウン保護機能
- SN75172、AM26LS31、DS96172、LTC486、MAX3045 と互換の業界標準ピン配置

2 アプリケーション

- モーター ドライブ
- ファクトリ オートメーション / 制御

3 概要

SN65LBC172A および SN75LBC172A は、3 ステート出力のクワッド差動ライン ドライバで、TIA/EIA-485 (RS-485)、TIA/EIA-422 (RS-422)、ISO 8482 アプリケーション用に設計されています。

このデバイスは、最大 30Mbps の信号レートでの平衡マルチポイント バス伝送用に最適化されています。伝送媒

体にはプリント基板のトレース、バックプレーン、ケーブルを使用できます。データ転送の最高速度および最大距離は、メディアの減衰特性と周囲からのノイズに依存します。

各ドライバは電流制限およびサーマル シャットダウン回路を備えているため、ノイズの多い環境の高速マルチポイントデータ転送アプリケーションに適しています。これらのデバイスは LinBiCMOS を使用して設計されており、低消費電力と堅牢性を実現しています。

G および $\bar{G}$ 入力により、正論理または負論理を使用したドライバ イネーブル制御が可能です。ディセーブルまたは電源オフ時には、ドライバの出力はバスに対して高インピーダンスになるため、システムの負荷を低減できます。

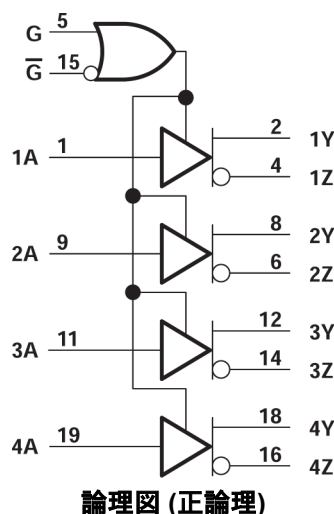
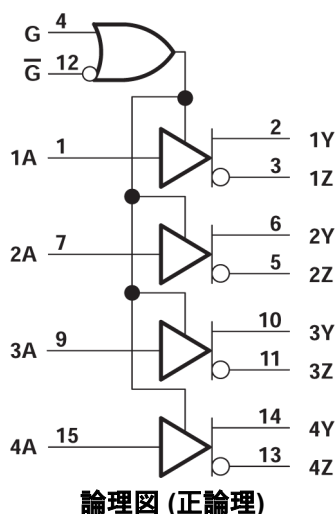
SN75LBC172A は 0°C ~ 70°C の温度範囲で動作が規定されています。SN65LBC172A は -40°C ~ 85°C の温度範囲で動作が規定されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
SN65LBC172A SN75LBC172A	SOIC (DW, 16)	10.3mm × 10.3mm
	SOIC (DW, 20)	12.8mm × 10.3mm
	PDIP (N, 16)	19.3mm × 9.4mm

(1) 詳細については、[セクション 11](#) を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



† ラインの信号レートとは、1 秒あたりの電圧遷移回数を bps (ビット/秒) 単位で表したものです。



Table of Contents

1 特長	1	7 Detailed Description	13
2 アプリケーション	1	7.1 Device Functional Modes.....	13
3 概要	1	8 Application and Implementation	14
4 Pin Configuration and Functions	3	8.1 Application Information.....	14
5 Specifications	4	9 Device and Documentation Support	15
5.1 Absolute Maximum Ratings	4	9.1 Documentation Support.....	15
5.2 ESD Ratings.....	4	9.2 ドキュメントの更新通知を受け取る方法.....	15
5.3 Dissipation Rating Table.....	4	9.3 サポート・リソース.....	15
5.4 Recommended Operating Conditions.....	4	9.4 Trademarks.....	15
5.5 Thermal Information.....	5	9.5 静電気放電に関する注意事項.....	15
5.6 Electrical Characteristics.....	5	9.6 用語集.....	15
5.7 Switching Characteristics.....	6	10 Revision History	15
5.8 Typical Characteristics.....	7	11 Mechanical, Packaging, and Orderable Information	15
6 Parameter Measurement Information	8		

4 Pin Configuration and Functions

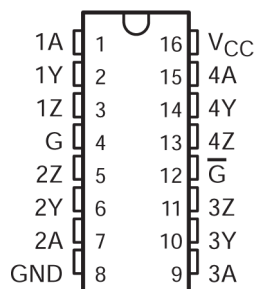


図 4-1. N Package (Top View)

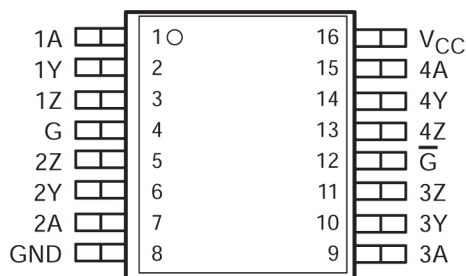


図 4-2. 16-DW Package (Top View)

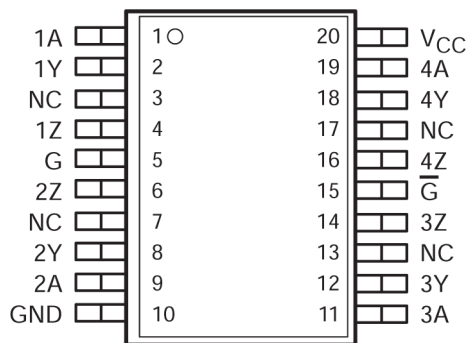


図 4-3. 20-DW Package (Top View)

5 Specifications

5.1 Absolute Maximum Ratings

See Note (1)

			MIN	MAX	UNIT
V_{CC}	Supply voltage range		-0.3	6	V
V_O	Output voltage range	at any bus (steady state)	-10	15	V
V_O	Output voltage range	at any bus (transient pulse through 100Ω, see Figure 6-8)	-30	30	V
V_I	Input voltage range	at any A, G, or $\bar{G}$ terminal	-0.5	$V_{CC} + 0.5$	V
T_{stg}	Storage temperature range		-65	150	°C
P_D	Continuous power dissipation	See Dissipation Rating Table			
T_{LEAD}	Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds			260	°C

- (1) Stresses beyond those listed under “absolute maximum ratings” may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under “recommended operating conditions” is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

5.2 ESD Ratings

			VALUE	UNIT
$V_{(ESD)}$ Electrostatic discharge	Human body model (HBM), per AEC Q100-002 ⁽¹⁾	Y, Z, and GND	±12000	V
		All pins	±5000	
		Charged device model (CDM), per AEC Q100-011 ⁽²⁾	±1000	

- (1) Tested in accordance with JEDEC standard 22, Test Method A114-A.
(2) Tested in accordance with JEDEC standard 22, Test Method C101.

5.3 Dissipation Rating Table

PACKAGE	JEDEC BOARD MODEL	$T_A \leq 25^\circ\text{C}$ POWER RATING	DERATING FACTOR ⁽¹⁾ ABOVE $T_A = 25^\circ\text{C}$	$T_A = 70^\circ\text{C}$ POWER RATING	$T_A = 85^\circ\text{C}$ POWER RATING
16-PIN DW	Low K	1200mW	9.6mW/°C	769mW	625mW
	High K	2240mW	17.9mW/°C	1434mW	1165mW
20-PIN DW	Low K	1483mW	11.86mW/°C	949mW	771mW
	High K	2753mW	22mW/°C	1762mW	1432mW
16-PIN N	Low K	1150mW	9.2mW/°C	736mW	598mW

- (1) This is the inverse of the junction-to-ambient thermal resistance when board-mounted with no air flow.

5.4 Recommended Operating Conditions

		MIN	NOM	MAX	UNIT
Supply voltage, V _{CC}		4.75	5	5.25	V
Voltage at any bus terminal	Y, Z	−7		12	V
High-level input voltage, V _{IH}	A, G, $\overline{G}$	2		V _{CC}	V
Low-level input voltage, V _{IL}		0		0.8	
Output current		−60		60	mA
Operating free-air temperature, T _A	SN75LBC172A	0		70	°C
	SN65LBC172A	−40		85	

5.5 Thermal Information

THERMAL METRIC ⁽¹⁾		N (PDIP)	DW (SOIC)	DW (SOIC)	UNIT
		16 PINS	16 PINS	20 PINS	
$R_{\theta JA}$	Junction-to-ambient thermal resistance	60.6	71.1	66.8	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	48.1	37.4	34.4	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	40.6	36.8	39.7	°C/W
Ψ_{JT}	Junction-to-top characterization parameter	27.5	13.3	8.9	°C/W
Ψ_{JB}	Junction-to-board characterization parameter	40.3	36.4	39	°C/W
$R_{\theta JC(bot)}$	Junction-to-case (bottom) thermal resistance	n/a	n/a	n/a	°C/W

- (1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

5.6 Electrical Characteristics

over recommended operating conditions

PARAMETER	TEST CONDITIONS		MIN	TYP ⁽¹⁾	MAX	UNIT
V_{IK}	Input clamp voltage	$I_I = -18\text{mA}$	-1.5	-0.77		V
V_O	Open-circuit output voltage	Y or Z, No load	0		V_{CC}	V
$ V_{OD(SS)} $	Steady-state differential output voltage magnitude ⁽²⁾	No load (open circuit)	3		V_{CC}	V
		$R_L = 54\Omega$, see Figure 6-1	1	1.6	2.5	
		With common-mode loading, see Figure 6-2	1	1.6	2.5	
$\Delta V_{OD(SS)}$	Change in steady-state differential output voltage between logic states	See Figure 6-1	-0.1		0.1	V
$V_{OC(SS)}$	Steady-state common-mode output voltage	See Figure 6-3	2	2.4	2.8	V
$\Delta V_{OC(SS)}$	Change in steady-state common-mode output voltage between logic states	See Figure 6-3	-0.02		0.02	V
I_I	Input current	A, G, $\bar{G}$	-50		50	μA
I_{OS}	Short-circuit output current	$V_{TEST} = -7\text{V to } 12\text{V}$, See Figure 6-7	$V_I = 0\text{V}$	-200	200	mA
			$V_I = V_{CC}$			
I_{OZ}	High-impedance-state output current		G at 0V, $\bar{G}$ at V_{CC}	-50	50	μA
$I_{O(OFF)}$	Output current with power off		$V_{CC} = 0\text{V}$	-10	10	
I_{CC}	Supply current	$V_I = 0\text{V or } V_{CC}$, No load	All drivers enabled		23	mA
			All drivers disabled		1.5	

- (1) All typical values are at $V_{CC} = 5\text{V}$ and 25°C .
(2) The minimum V_{OD} may not fully comply with TIA/EIA-485-A at operating temperatures below 0°C . System designers should take the possibly of lower output signal into account in determining the maximum signal transmission distance.

5.7 Switching Characteristics

over recommended operating conditions

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	Propagation delay time, low-to-high level output	$R_L = 54\Omega$, $C_L = 50\text{pF}$, see Figure 6-4	5.5	8	11	ns
t_{PHL}	Propagation delay time, high-to-low level output		5.5	8	11	ns
t_r	Differential output voltage rise time		2	7.5	11	ns
t_f	Differential output voltage fall time		2	7.5	11	ns
$t_{sk(p)}$	Pulse skew $ t_{PLH} - t_{PHL} $			0.6	2	ns
$t_{sk(o)}$	Output skew ⁽¹⁾				2	ns
$t_{sk(pp)}$	Part-to-part skew ⁽²⁾				3	ns
t_{PZH}	Propagation delay time, high-impedance-to-high-level output	See Figure 6-5			25	ns
t_{PHZ}	Propagation delay time, high-level-output-to-high impedance				25	ns
t_{PZL}	Propagation delay time, high-impedance-to-low-level output	See Figure 6-6			30	ns
t_{PLZ}	Propagation delay time, low-level-output-to-high impedance				20	ns

- (1) Output skew ($t_{sk(o)}$) is the magnitude of the time delay difference between the outputs of a single device with all of the inputs connected together.
- (2) Part-to-part skew ($t_{sk(pp)}$) is the magnitude of the difference in propagation delay times between any specified terminals of two devices when both devices operate with the same input signals, the same supply voltages, at the same temperature, and have identical packages and test circuits.

5.8 Typical Characteristics

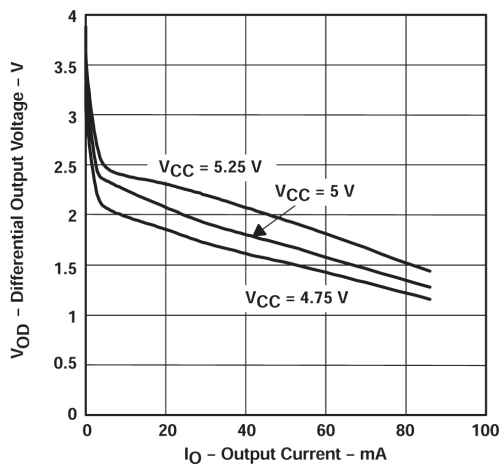


図 5-1. Differential Output Voltage vs Output Current

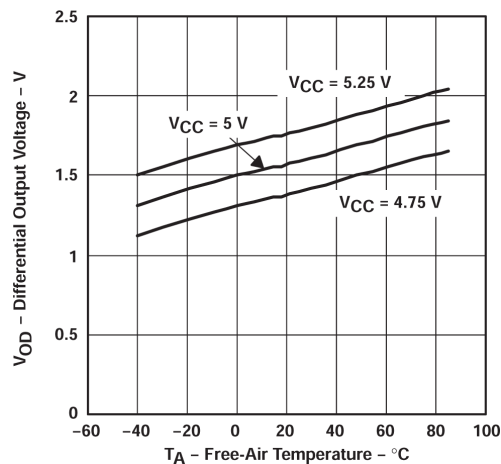


図 5-2. Differential Output Voltage vs Free-air Temperature

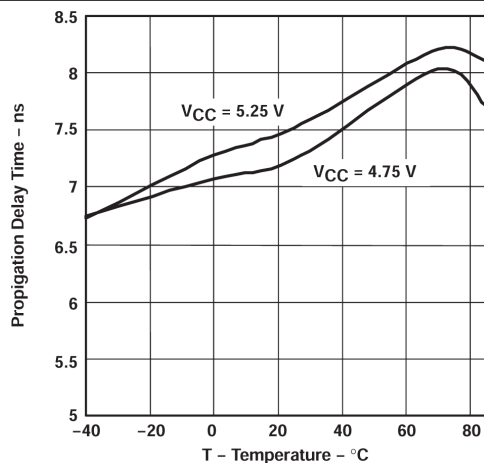


図 5-3. Propagation Delay Time vs Temperature

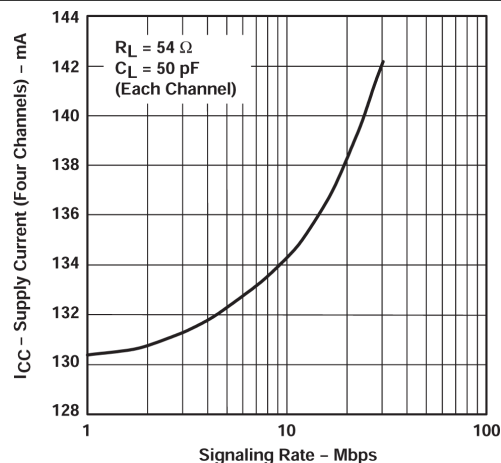


図 5-4. Supply Current (Four Channels) vs Signaling Rate

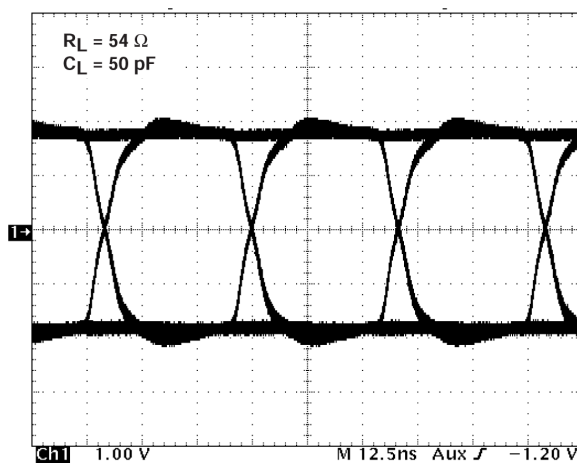


図 5-5. Eye Pattern, Pseudorandom Data at 30Mbps

6 Parameter Measurement Information

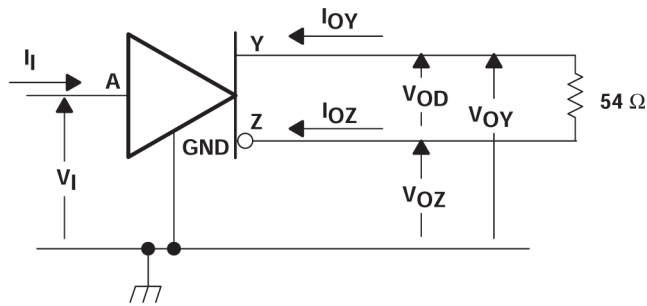


图 6-1. Test Circuit, V_{OD} Without Common-Mode Loading

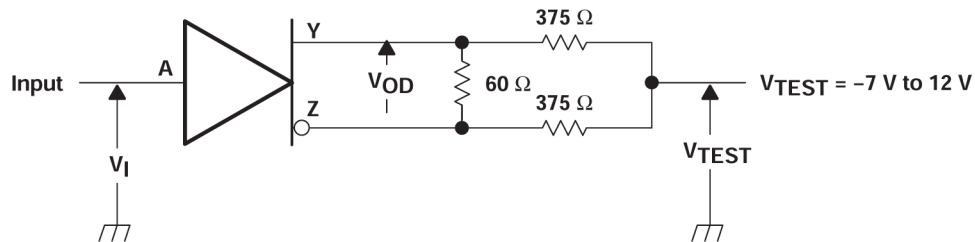


图 6-2. Test Circuit, V_{OD} With Common-Mode Loading

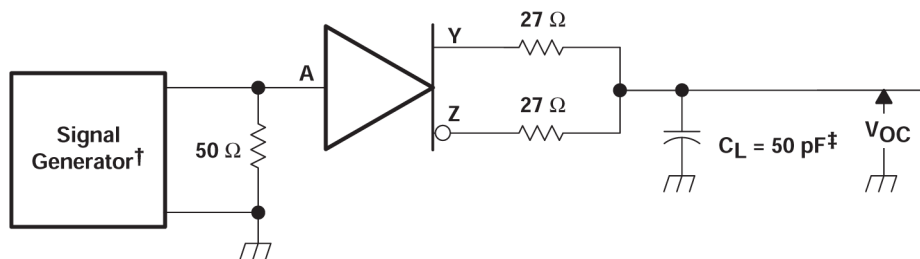
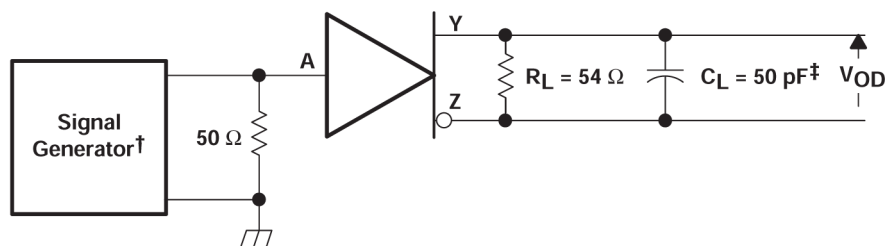


图 6-3. V_{OC} Test Circuit



† PRR = 1 MHz, 50% duty cycle, $t_r < 6\ \text{ns}$, $t_f < 6\ \text{ns}$, $Z_O = 50\ \Omega$

‡ Includes probe and jig capacitance

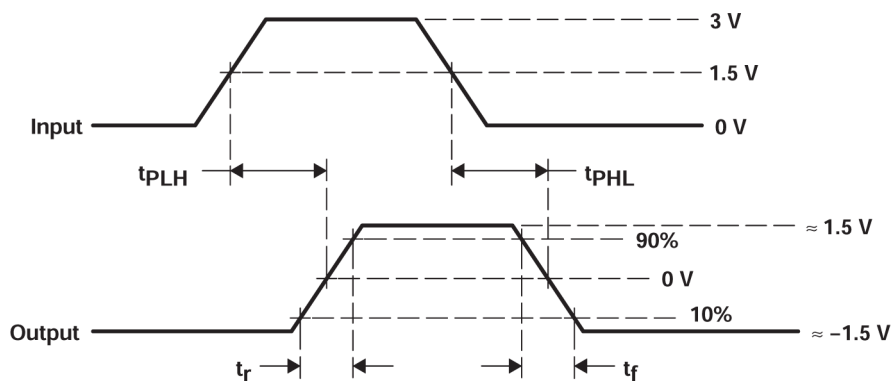
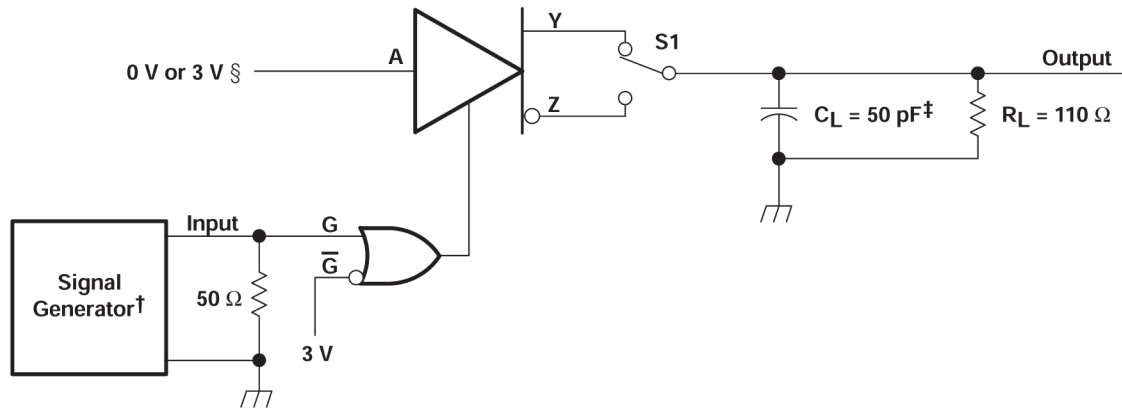


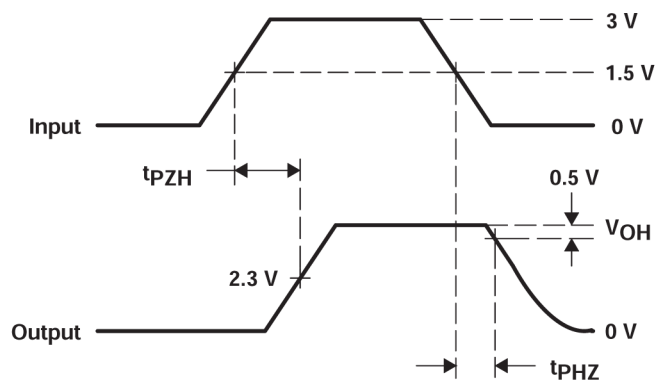
图 6-4. Output Switching Test Circuit and Waveforms



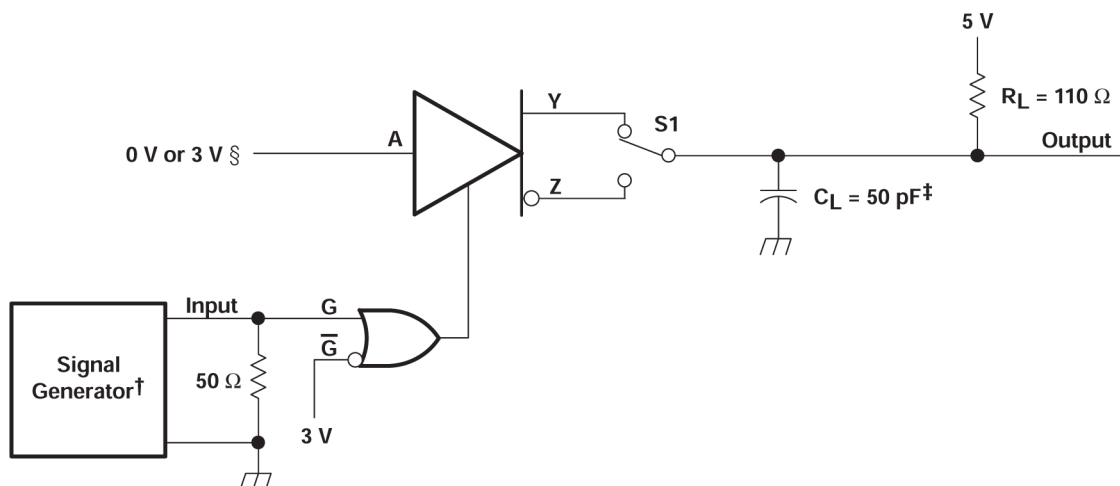
[†] PRR = 1 MHz, 50% duty cycle, $t_r < 6$ ns, $t_f < 6$ ns, $Z_O = 50 \Omega$

‡ Includes probe and jig capacitance

§ 3-V if testing Y output, 0 V if testing Z output



■ 6-5. Enable Timing Test Circuit and Waveforms, t_{PZH} and t_{PHZ}



† PRR = 1 MHz, 50% duty cycle, $t_r < 6$ ns, $t_f < 6$ ns, $Z_O = 50$ Ω

‡ Includes probe and jig capacitance

§ 3-V if testing Y output, 0 V if testing Z output

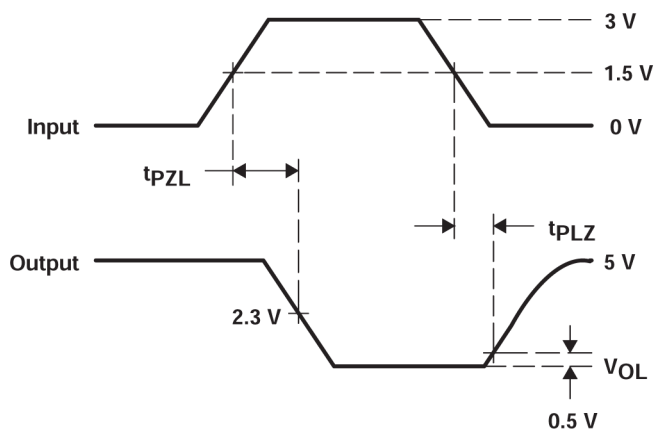


图 6-6. Enable Timing Test Circuit and Waveforms, t_{PZL} and t_{PLZ}

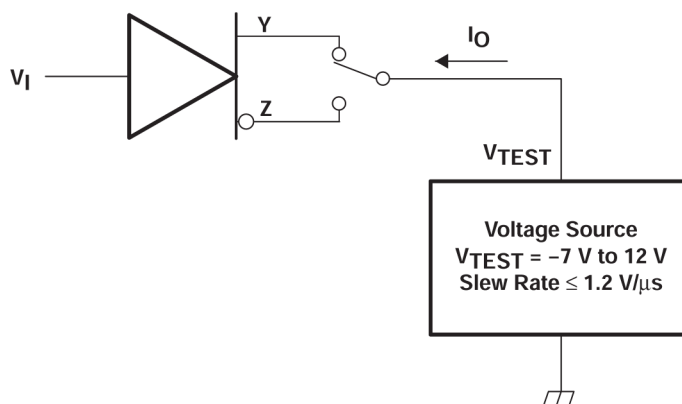


图 6-7. Test Circuit, Short-Circuit Output Current

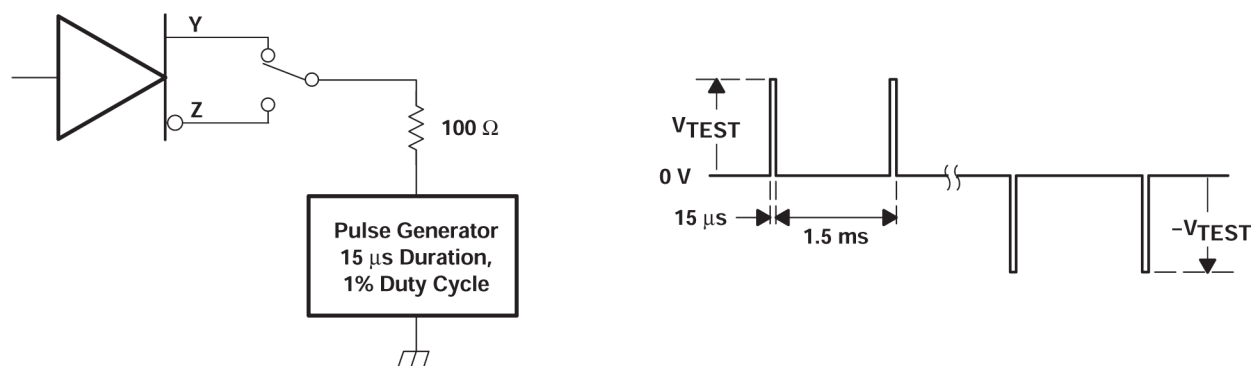


图 6-8. Test Circuit and Waveform, Transient Over-Voltage

7 Detailed Description

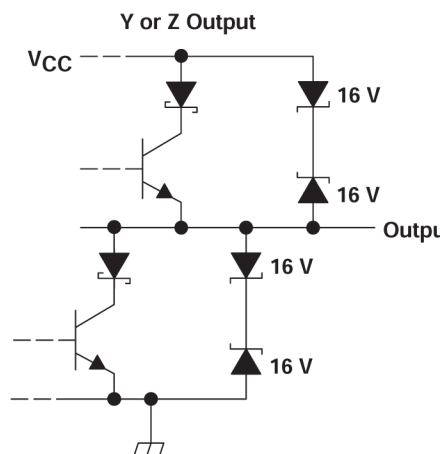
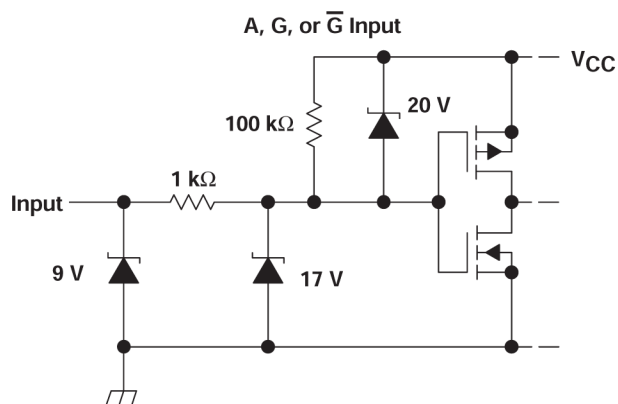
7.1 Device Functional Modes

7.1.1 Function Table

表 7-1. (Each Driver)

INPUT	ENABLES		OUTPUTS	
A	G	$\bar{G}$	Y	Z
L	H	X	L	H
L	X	L	L	H
H	H	X	H	L
H	X	L	H	L
OPEN	H	X	H	L
OPEN	X	L	H	L
H	OPEN	X	H	L
L	OPEN	X	L	H
X	L	H	Z	Z
X	L	OPEN	Z	Z

7.1.2 Equivalent Input and Output Schematic Diagrams



8 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 Application Information

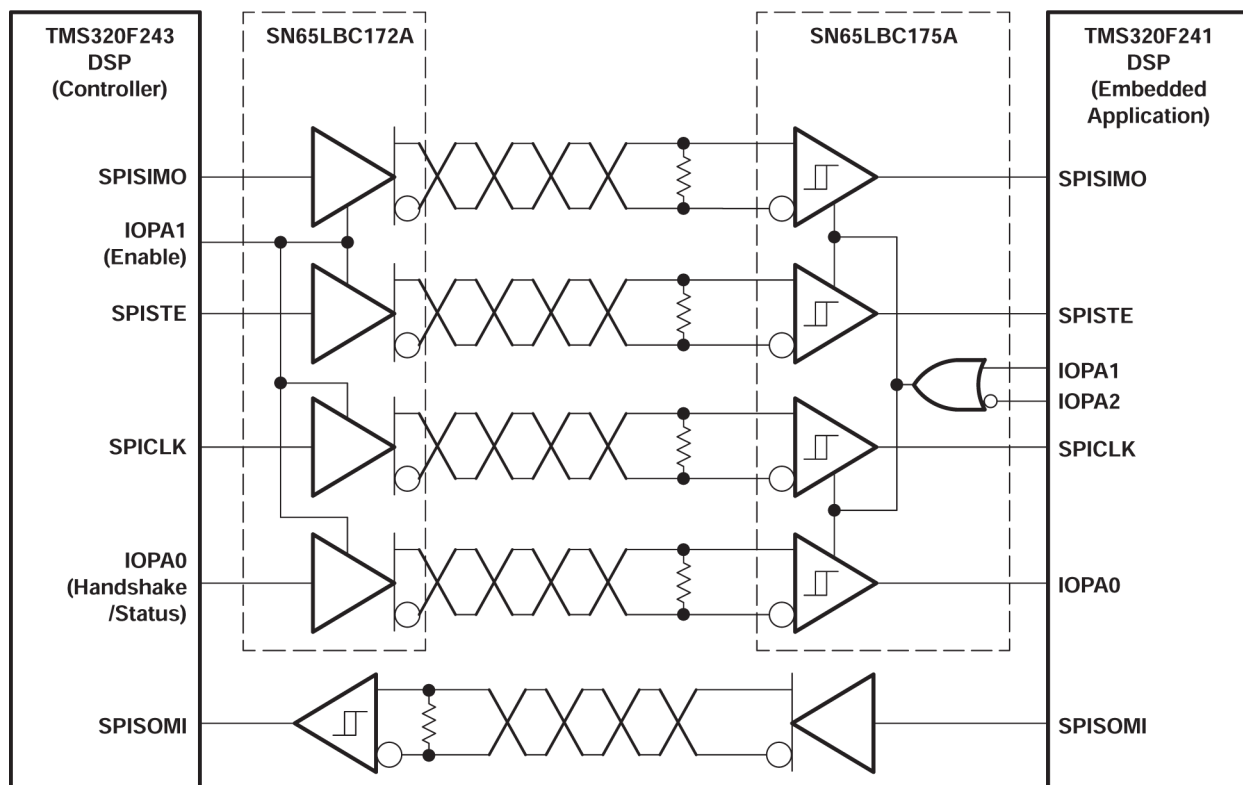


図 8-1. Typical Application Circuit, DSP-to-DSP Link via Serial Peripheral Interface

9 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

9.1 Documentation Support

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

9.4 Trademarks

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

10 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (August 2008) to Revision D (April 2024)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を変更.....	1
• Added the <i>Thermal Information</i> table	5

11 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN65LBC172A16DW	Obsolete	Production	SOIC (DW) 16	-	-	Call TI	Call TI	-40 to 85	65LBC172A
SN65LBC172A16DWR	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	65LBC172A
SN65LBC172A16DWR.A	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	65LBC172A
SN65LBC172ADW	Obsolete	Production	SOIC (DW) 20	-	-	Call TI	Call TI	-40 to 85	65LBC172A
SN65LBC172ADWR	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	65LBC172A
SN65LBC172ADWR.A	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	65LBC172A
SN65LBC172AN	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	65LBC172A
SN65LBC172AN.A	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	65LBC172A
SN65LBC172ANE4	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	65LBC172A
SN75LBC172A16DW	Obsolete	Production	SOIC (DW) 16	-	-	Call TI	Call TI	0 to 70	75LBC172A
SN75LBC172A16DWR	Obsolete	Production	SOIC (DW) 16	-	-	Call TI	Call TI	0 to 70	75LBC172A
SN75LBC172ADW	Obsolete	Production	SOIC (DW) 20	-	-	Call TI	Call TI	0 to 70	75LBC172A
SN75LBC172ADWR	Obsolete	Production	SOIC (DW) 20	-	-	Call TI	Call TI	0 to 70	75LBC172A
SN75LBC172AN	Obsolete	Production	PDIP (N) 16	-	-	Call TI	Call TI	0 to 70	75LBC172A

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

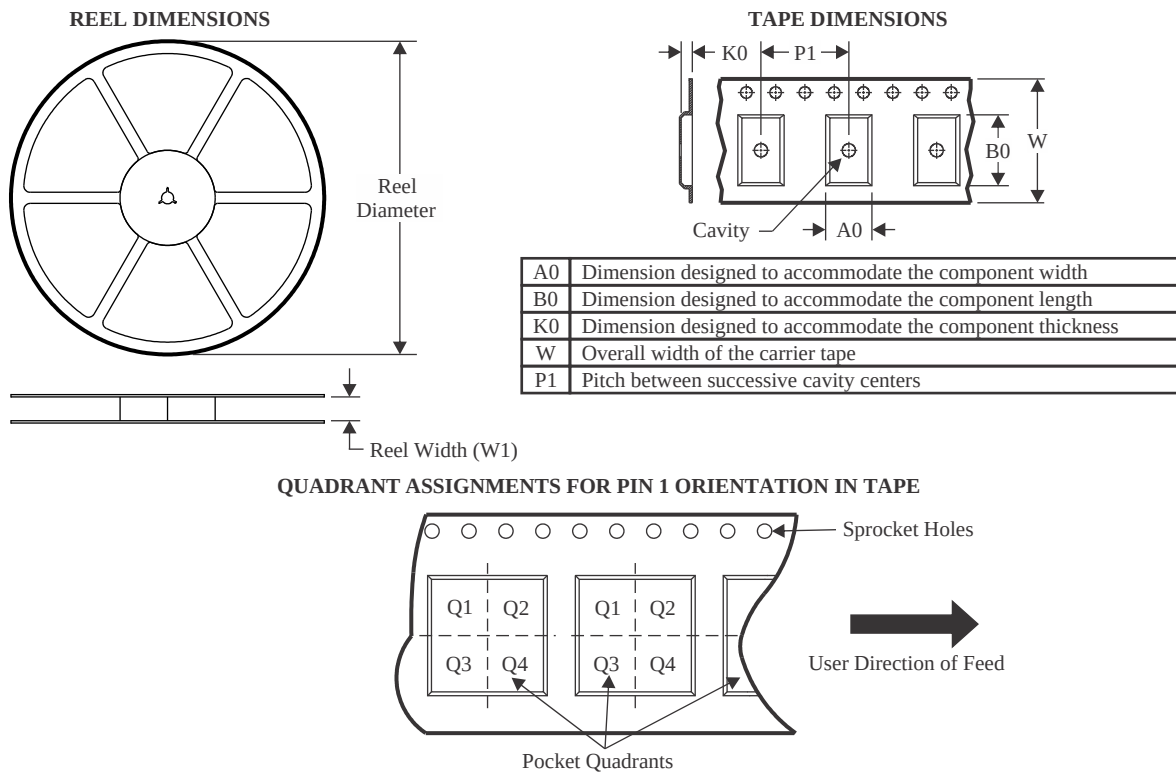
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

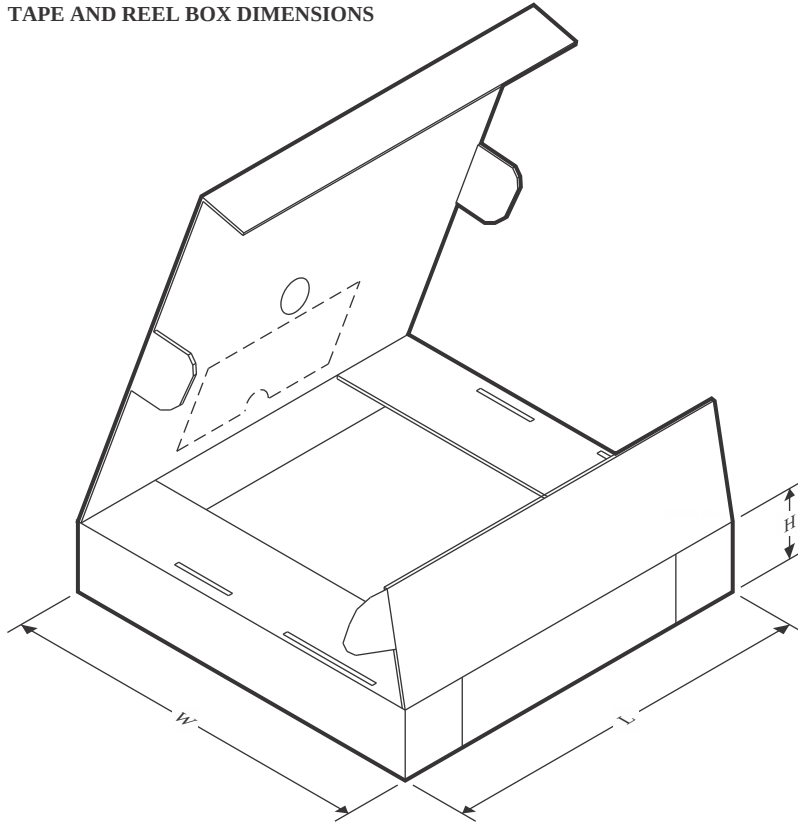
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN65LBC172A16DWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
SN65LBC172ADWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN65LBC172A16DWR	SOIC	DW	16	2000	350.0	350.0	43.0
SN65LBC172ADWR	SOIC	DW	20	2000	356.0	356.0	45.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN65LBC172AN	N	PDIP	16	25	506	13.97	11230	4.32
SN65LBC172AN.A	N	PDIP	16	25	506	13.97	11230	4.32
SN65LBC172ANE4	N	PDIP	16	25	506	13.97	11230	4.32

GENERIC PACKAGE VIEW

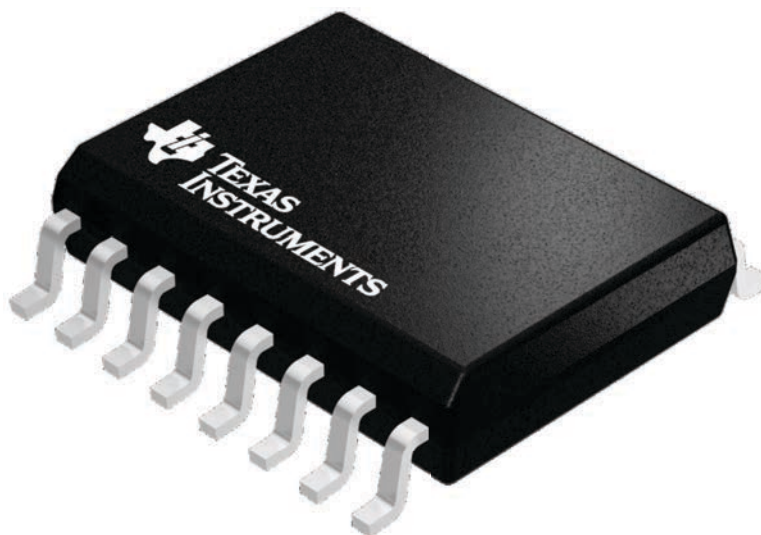
DW 16

SOIC - 2.65 mm max height

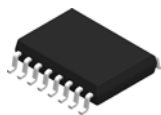
7.5 x 10.3, 1.27 mm pitch

SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224780/A

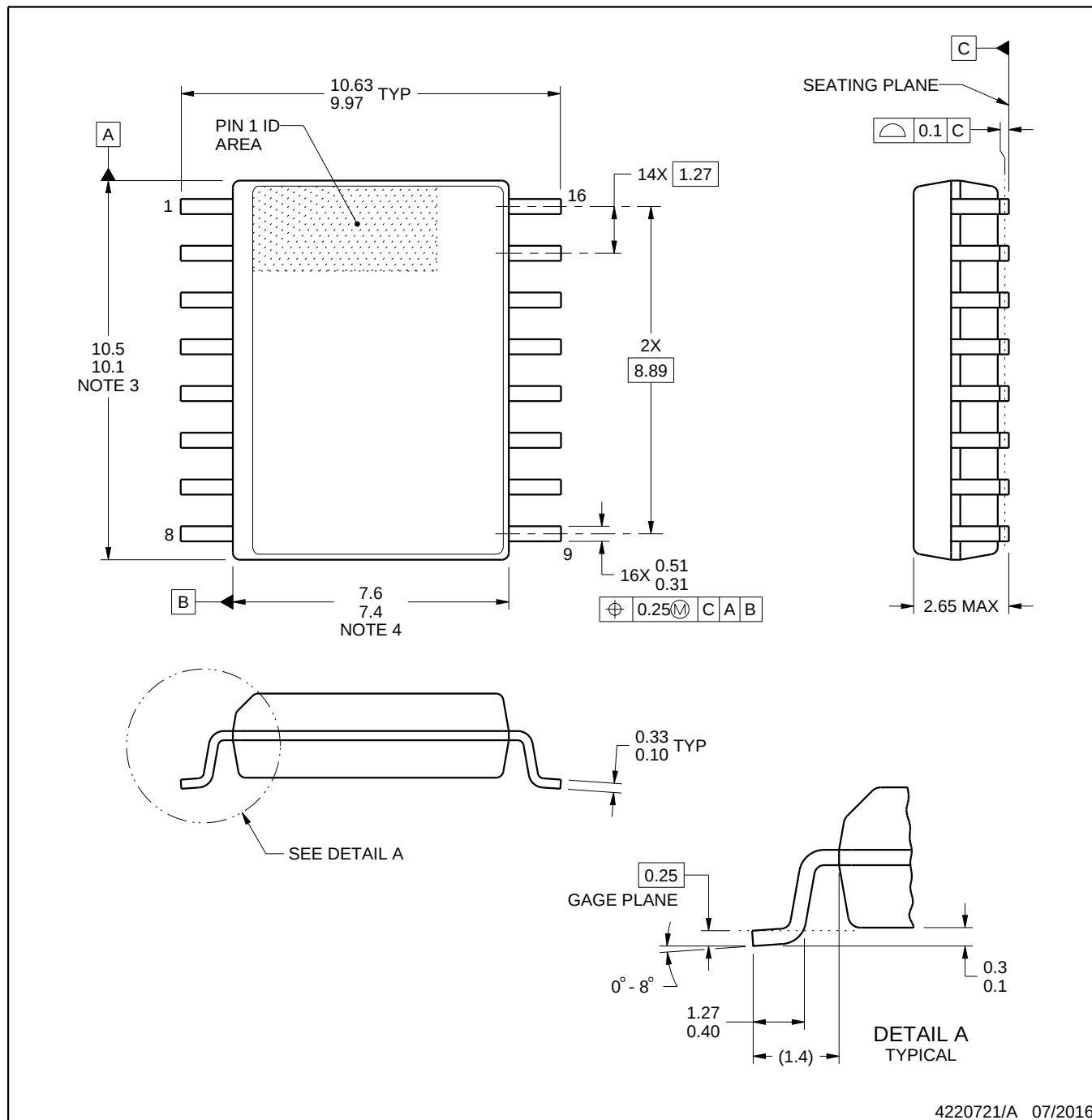


DW0016A

PACKAGE OUTLINE

SOIC - 2.65 mm max height

SOIC



4220721/A 07/2016

NOTES:

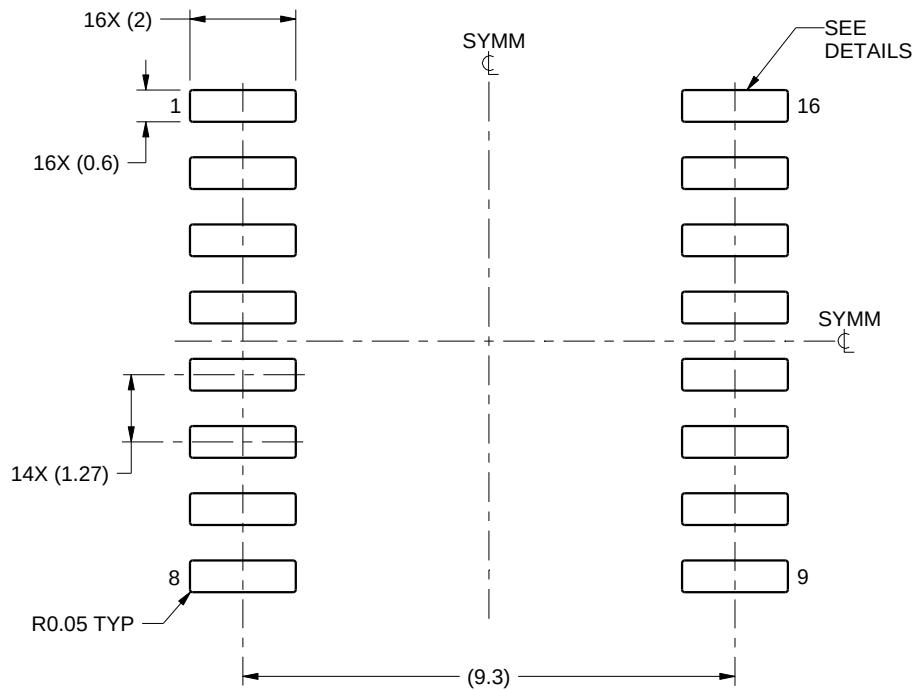
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

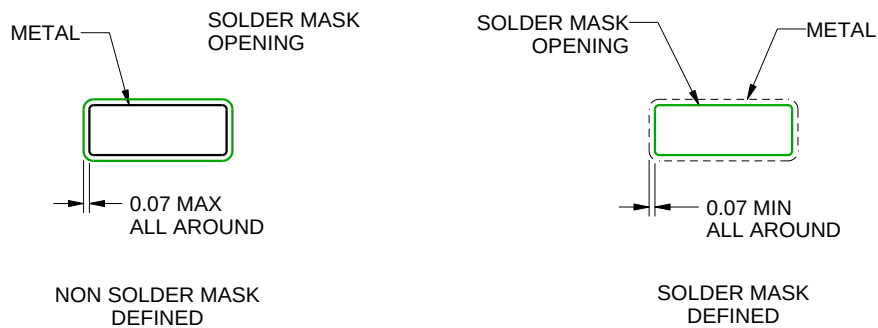
DW0016A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:7X



SOLDER MASK DETAILS

4220721/A 07/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

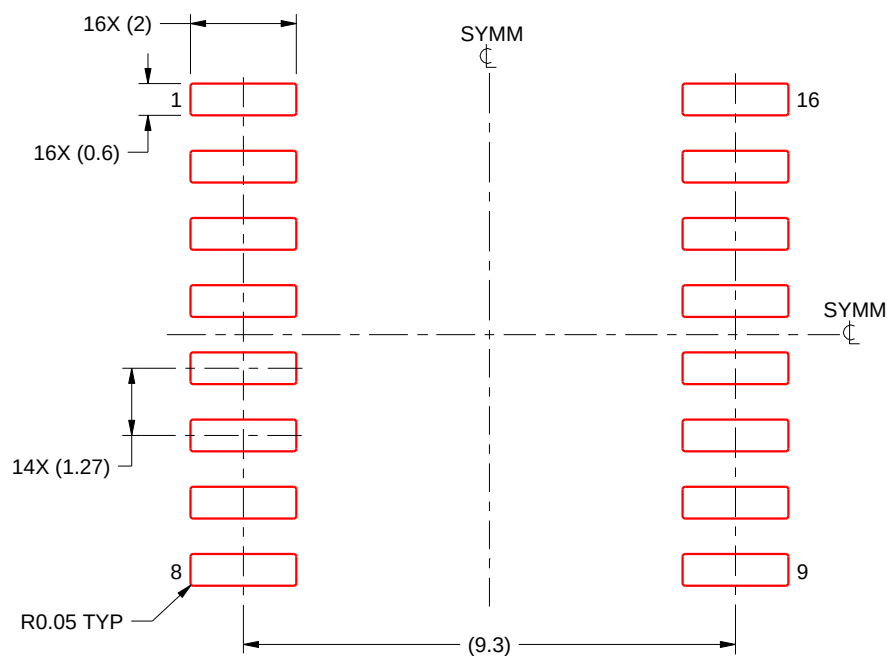
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0016A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220721/A 07/2016

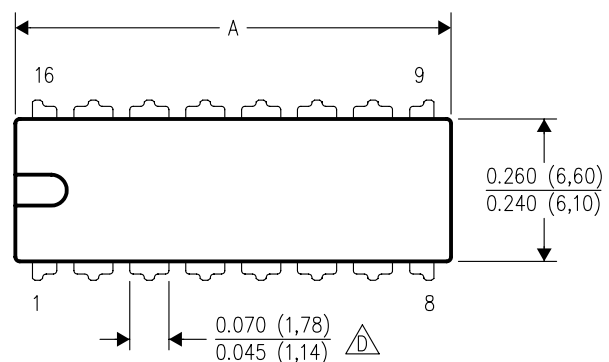
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

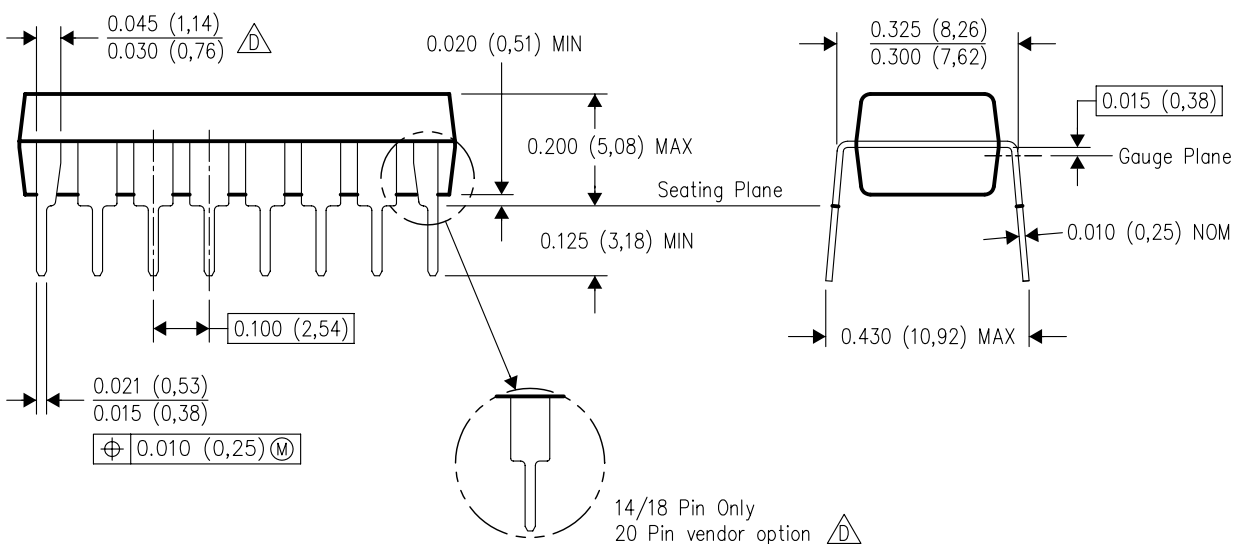
N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



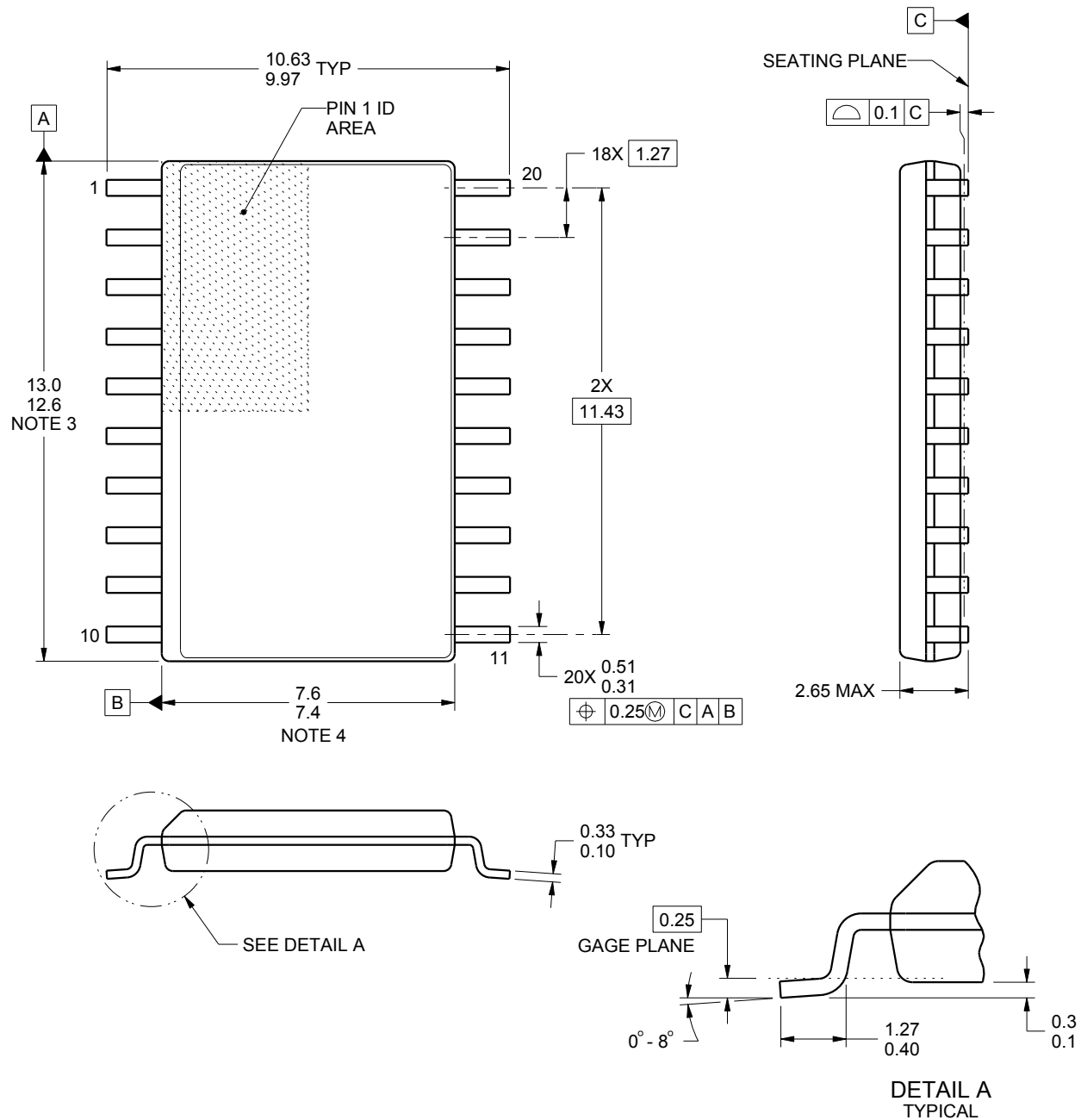
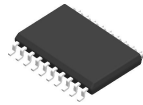
PINS ** DIM	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS-001 VARIATION	AA	BB	AC	AD



4040049/E 12/2002

NOTES:

- A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
-  Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 The 20 pin end lead shoulder width is a vendor option, either half or full width.



4220724/A 05/2016

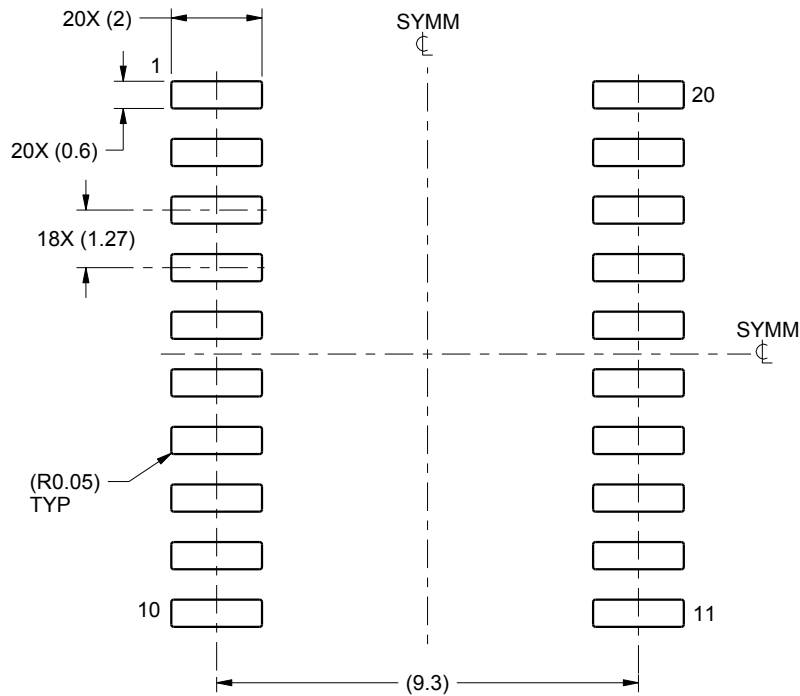
NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.

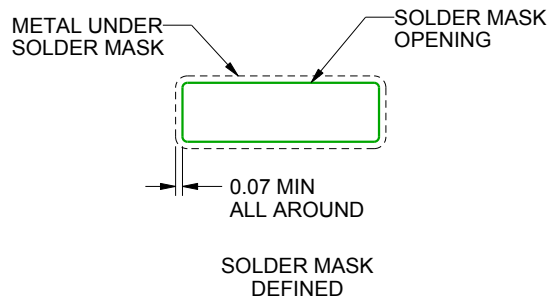
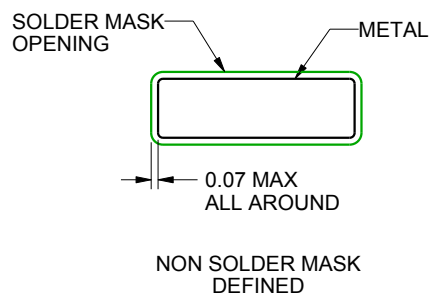
DW0020A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:6X



SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

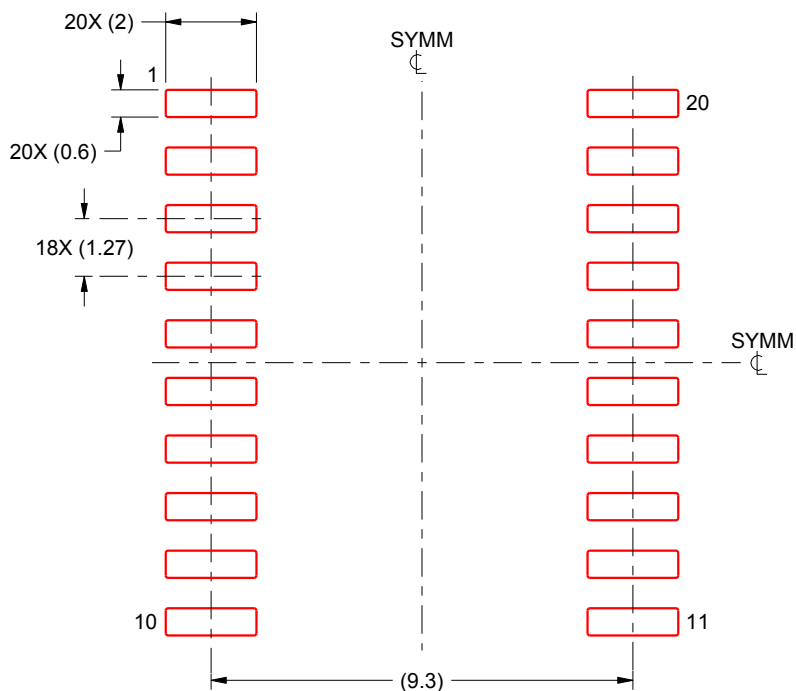
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0020A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月