

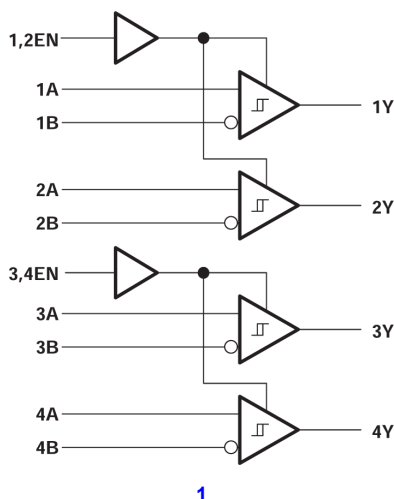
SN65LBC175A、SN75LBC175A、4 回路 RS-485 差動ラインレシーバ

1 特長

- TIA/EIA-485、TIA/EIA-422、ISO 8482 アプリケーション用に設計
- 50Mbps を超える信号速度
- バスの短絡、開路、アイドルバス状況に対するフェイルセーフ
- バス入力 6kV に対する ESD 保護
- バス同相モード入力範囲: -7V ~ 12V
- 伝搬遅延時間: 16ns 未満
- 低スタンバイ消費電力: 20μA 未満
- MC3486、DS96F175、LTC489、SN75175 用のピン互換アップグレード

2 アプリケーション

- ファクトリ・オートメーション
- ATM / キャッシュ・カウンタ
- スマートグリッド
- AC / サーボ モータドライブ



3 概要

SN65LBC175A および SN75LBC175A はクワッド差動ラインレシーバで、3-state 出力を持ち、TIA/EIA-485 (RS-485)、TIA/EIA-422 (RS-422)、ISO 8482 (Euro RS-485) アプリケーション用に設計されています。

これらのデバイスは、負荷バランスされたマルチポイントバス通信で、毎秒 50 メガビットまで、さらにそれ以上のデータ転送速度で使用するよう最適化されています。転送媒体には、より線ペア・ケーブル、プリント基板の導線、バックプレーンを使用できます。データ転送の最高速度および最大距離は、メディアの減衰特性と周囲からのノイズに依存します。

各レシーバは、広い範囲の正および負の同相入力電圧で動作し、6kV の ESD 保護を特徴としていて、過酷な環境における高速のマルチポイントデータ転送アプリケーションに適しています。これらのデバイスは LinBiCMOS™ を使用して設計されており、低消費電力と本質的な堅牢性を実現しています。

2 つの EN 入力によりペア単位のイネーブル制御をするか、または、これらを外部で接続して 4 つのドライバすべてを同じ信号でイネーブルにすることもできます。

SN75LBC175A は 0°C ~ 70°C の温度範囲で動作が規定されています。SN65LBC175A は -40°C ~ 85°C の温度範囲で動作が規定されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ・サイズ (2)
SN65LBC175A	SOIC (D, 16)	9.9mm × 6mm
SN75LBC175A	PDIP (N, 16)	19.3mm × 9.4mm

- (1) 詳細については、[セクション 11](#) を参照してください。
- (2) パッケージ・サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

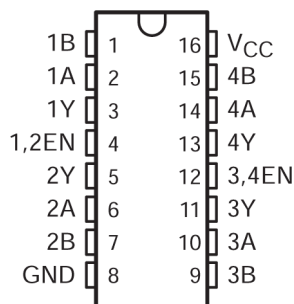
¹ ラインの信号レートとは、1 秒あたりの電圧遷移回数を bps (ビット / 秒) 単位で表したものです。



Table of Contents

1 特長	1	7 Detailed Description	11
2 アプリケーション	1	7.1 Device Functional Modes.....	11
3 概要	1	8 Application and Implementation	12
4 Pin Configuration and Functions	3	8.1 Typical Application.....	12
5 Specifications	4	9 Device and Documentation Support	14
5.1 Absolute Maximum Ratings.....	4	9.1 ドキュメントの更新通知を受け取る方法.....	14
5.2 ESD Ratings.....	4	9.2 サポート・リソース.....	14
5.3 Dissipation Rating Table.....	4	9.3 Trademarks.....	14
5.4 Thermal Information.....	4	9.4 静電気放電に関する注意事項.....	14
5.5 Recommended Operating Conditions.....	5	9.5 用語集.....	14
5.6 Electrical Characteristics.....	5	10 Revision History	14
5.7 Switching Characteristics.....	6	11 Mechanical, Packaging, and Orderable Information	14
5.8 Typical Characteristics.....	7		
6 Parameter Measurement Information	9		

4 Pin Configuration and Functions



**図 4-1. SN65LBC175A (Marked as 65LBC175A)
SN75LBC175A (Marked as 75LBC175A)
D or N Package (Top View)**

表 4-1. Pin Functions

PIN		TYPE ⁽¹⁾	DESCRIPTION
NAME	NO.		
1B	1	I	Channel 1 Inverting Differential Input
1A	2	I	Channel 1 Non-Inverting Differential Input
1Y	3	O	Channel 1 Output
1,2 EN	4	I	Channel 1 and 2 Active High Enable
2Y	5	O	Channel 2 Output
2A	6	I	Channel 2 Non-Inverting Differential Input
2B	7	I	Channel 2 Inverting Differential Input
GND	8	GND	Device Ground
3B	9	I	Channel 3 Inverting Differential Input
3A	10	I	Channel 3 Non-Inverting Differential Input
3Y	11	O	Channel 3 Output
3,4 EN	12	I	Channel 3 and 4 Active High Enable
4Y	13	O	Channel 4 Output
4A	14	I	Channel 4 Non-Inverting Differential Input
4B	15	I	Channel 4 Inverting Differential Input
V _{CC}	16	POW	Device Supply

(1) Signal Types: I = Input, O = Output, I/O = Input or Output.

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

			MIN	MAX	UNIT
V _{CC} (see ⁽²⁾)	Supply voltage range		−0.3	6	V
	Voltage range at any bus input (steady state)	A and B	−10	15	V
	Voltage range at any bus input	transient pulse through 100 Ω, see Figure 6-5	−30	30	V
V _I	Voltage input range at 1,2EN and 3,4EN		−0.5	V _{CC} + 0.5	V
I _O	Receiver output current		±10	mA	
	Electrostatic discharge:				
	Continuous power dissipation		See Power Dissipation Rating Table		

- (1) Stresses beyond those listed under “absolute maximum ratings” may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under “recommended operating conditions” is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) All voltage values, except differential I/O bus voltages, are with respect to GND, and are steady-state (unless otherwise specified).

5.2 ESD Ratings

			VALUE	UNIT
V _(ESD) Electrostatic discharge	Human-body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	A and B to GND	±6000	V
		All pins	±5000	
	Charged device model (CDM), per ANSI/ESDA/JEDEC JS-002 ⁽²⁾	All pins	±2000	

- (1) Tested in accordance with JEDEC Standard 22, Test Method A114-A.
- (2) Tested in accordance with JEDEC Standard 22, Test Method C101.

5.3 Dissipation Rating Table

PACKAGE	T _A ≤ 25°C POWER RATING	DERATING FACTOR ⁽¹⁾ ABOVE T _A = 25°C	T _A = 70°C POWER RATING	T _A = 85°C POWER RATING
D	1080 mW	8.7 mW/°C	690 mW	560 mW
N	1150 mW	9.2 mW/°C	736 mW	598 mW

- (1) This is the inverse of the junction-to-ambient thermal resistance when board-mounted and with no air flow.

5.4 Thermal Information

THERMAL METRIC ⁽¹⁾		SOIC (D)	PDIP (N)	UNIT
		16 Pins	16 Pins	
R _{θJA}	Junction-to-ambient thermal resistance	84.6	60.6	°C/W
R _{θJC(top)}	Junction-to-case (top) thermal resistance	43.5	48.1	°C/W
R _{θJB}	Junction-to-board thermal resistance	43.1	40.6	°C/W
ψ _{JT}	Junction-to-top characterization parameter	10.4	27.5	°C/W
ψ _{JB}	Junction-to-board characterization parameter	42.8	40.3	°C/W
R _{θJC(bot)}	Junction-to-case (bottom) thermal resistance	N/A	N/A	°C/W

- (1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC package thermal metrics](#) application report.

5.5 Recommended Operating Conditions

		MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}		4.75	5	5.25	V
Voltage at any bus terminal	A, B	-7		12	V
High-level input voltage, V_{IH}	EN	2		V_{CC}	V
Low-level input voltage, V_{IL}		0		0.8	mA
Output current	Y	-8		8	
Operating free-air temperature, T_A	SN75LBC175A	0		70	°C
	SN65LBC175A	-40		85	

5.6 Electrical Characteristics

over recommended operating conditions

PARAMETER			TEST CONDITIONS		MIN	TYP ⁽¹⁾	MAX	UNIT
V _{IT+}	Positive-going differential input voltage threshold		-7 V ≤ V _{CM} ≤ 12 V (V _{CM} = (V _A + V _B) / 2)		-80		-10	mV
V _{IT-}	Negative-going differential input voltage threshold				-200 -120			
V _{HYS}	Hysteresis voltage (V _{IT+} - V _{IT-})				-40			mV
V _{IK}	Input clamp voltage		I _I = -18 mA		-1.5 -0.8			V
V _{OH}	High-level output voltage		V _{ID} = 200 mV, I _{OH} = -8 mA	See Figure 6-1	2.7 4.8			V
V _{OL}	Low-level output voltage		V _{ID} = -200 mV, I _{OL} = 8 mA		0.2		0.4	
I _{OZ}	High-impedance-state output current		V _O = 0 V to V _{CC}		-1		1	μA
I _I	Line input current		Other input at 0 V, V _{CC} = 0 V or 5 V	V _I = 12 V			0.9	mA
				V _I = -7 V	-0.7			
I _{IH}	High-level input current	Enable inputs					100	μA
I _{IL}	Low-level input current				-100			μA
R _I	Input resistance		A, B		12			kΩ
I _{CC}	Supply current		V _{ID} = 5 V	1,2EN, 3,4EN at 0 V		20		mA
			No load	1,2EN, 3,4EN at V _{CC}		11 16		mA

(1) All typical values are at $V_{CC} = 5\text{ V}$ and 25°C .

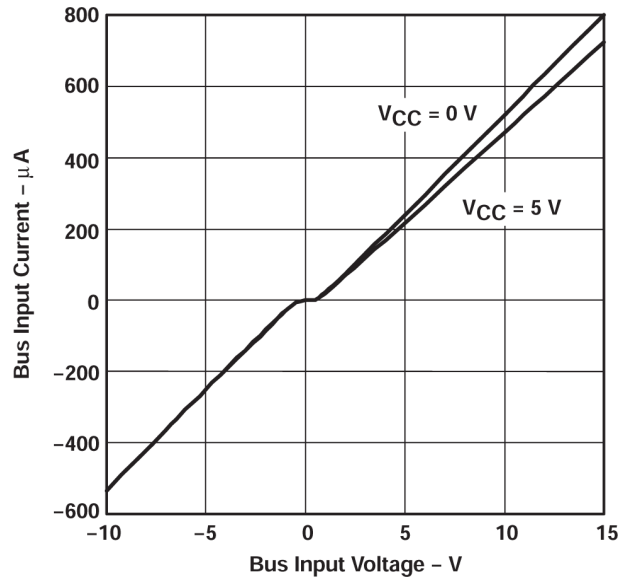
5.7 Switching Characteristics

over recommended operating conditions

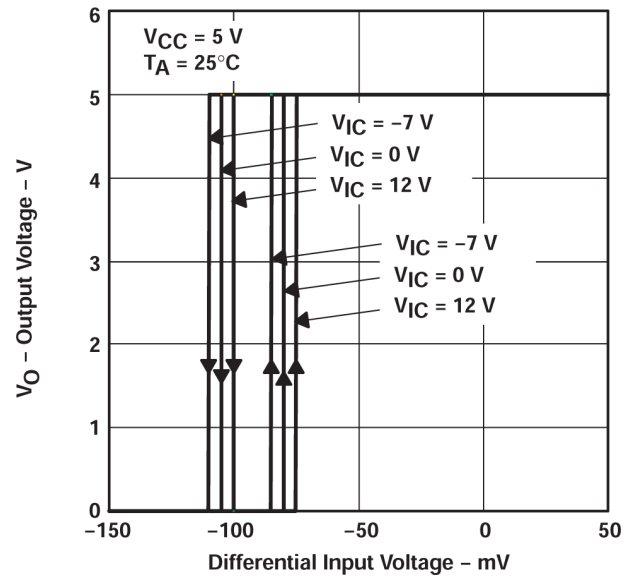
PARAMETER		TEST CONDITIONS	MIN	TYP ⁽¹⁾	MAX	UNIT
t_r	output rise time			2	4	ns
t_f	output fall time	$V_{ID} = -3\text{ V to }3\text{ V}$, See Figure 6-2		2	4	ns
t_{PLH}	Propagation delay time, low-to-high level output			9 12	16	ns
t_{PHL}	Propagation delay time, high-to-low level output			9 12	16	ns
t_{PZH}	Propagation delay time, high-impedance to high-level output	See Figure 6-3		27	38	ns
t_{PHZ}	Propagation delay time, high-level to high-impedance output			7	16	ns
t_{PZL}	Propagation delay time, high-impedance to low level output	See Figure 6-4		29	38	ns
t_{PLZ}	Propagation delay time, low-level to high-impedance output			12	16	ns
$t_{sk(P)}$	Pulse skew ($ (t_{PLH} - t_{PHL}) $)			0.2	1	ns
$t_{sk(o)}$	output skew (see Note 4)				2	ns
$t_{sk(PP)}$	Part-to-part skew (see Note 5)				2	ns

- (1) All typical values are at $V_{CC} = 5\text{ V}$ and 25°C .
- (2) Outputs skew ($t_{sk(o)}$) is the magnitude of the time delay difference between the outputs of a single device with all of the inputs connected together.
- (3) Part-to-part skew ($t_{sk(pp)}$) is the magnitude of the difference in propagation delay times between any specified terminals of two devices when both devices operate with the same input signals, the same supply voltages, at the same temperature, and have identical packages and test circuits.

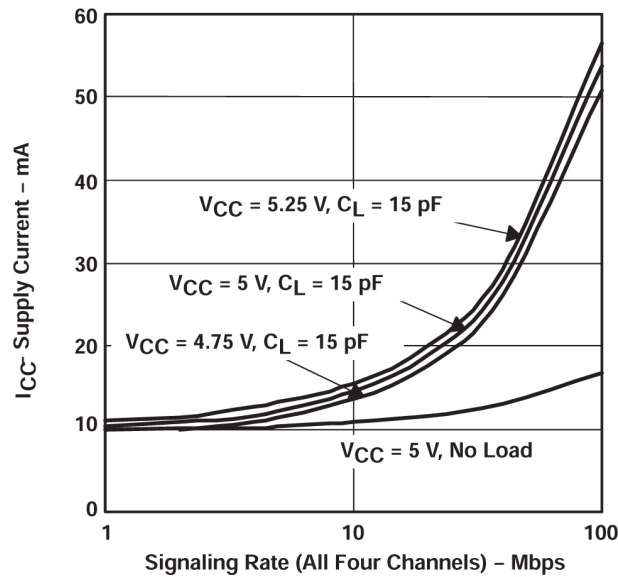
5.8 Typical Characteristics



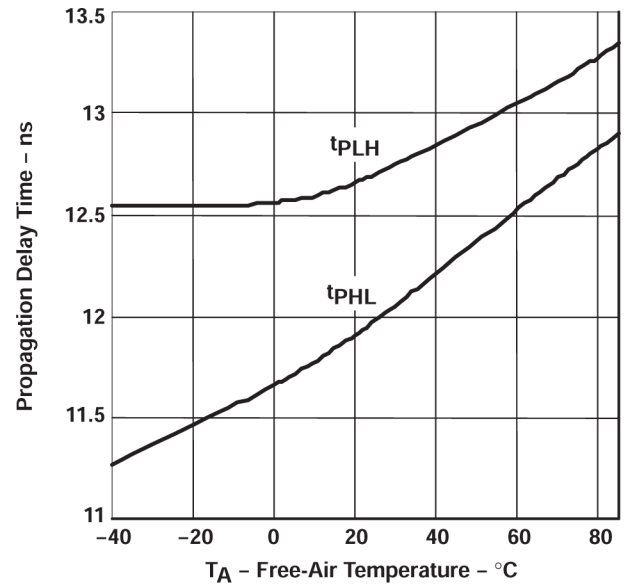
5-1. Bus Input Current vs Bus Input Voltage



5-2. Output Voltage vs Differential Input Voltage



5-3. Supply Current vs Signaling Rate (All Four Channels)



5-4. Propagation Delay Time vs Free-air Temperature

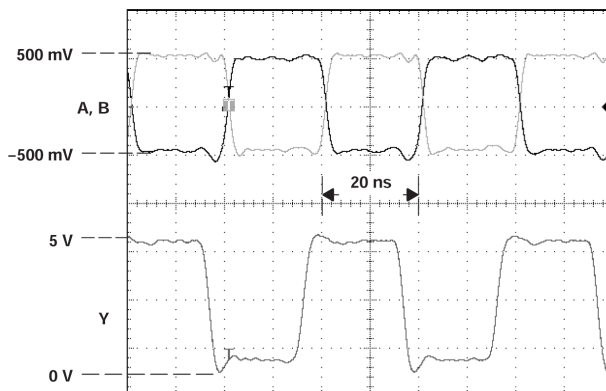


図 5-5. Receiver Inputs and Outputs, 50 Mbps Signaling Rate

6 Parameter Measurement Information

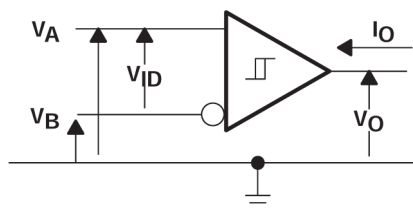
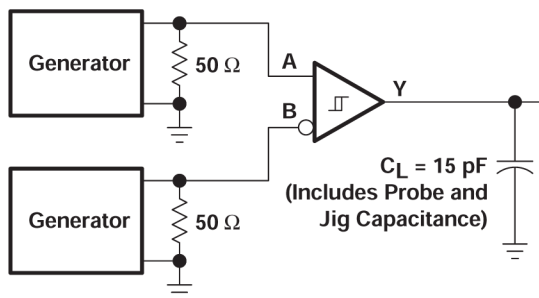
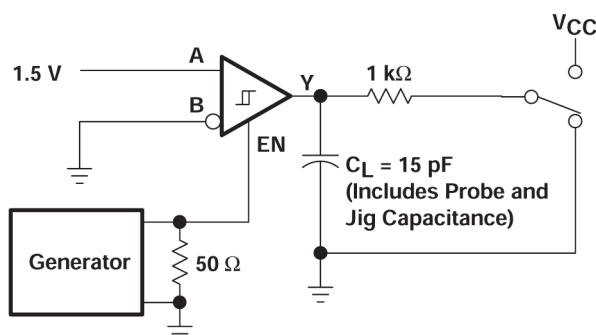


Figure 6-1. Voltage and Current Definitions



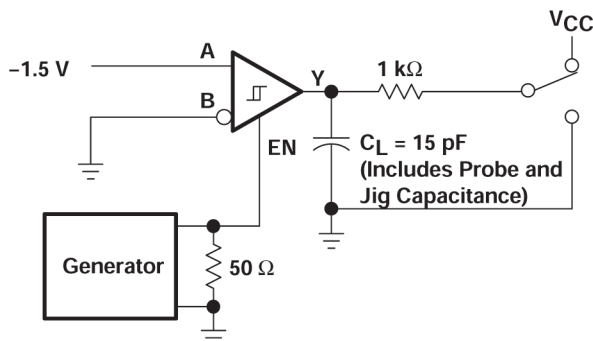
Generators: PRR = 1 MHz, 50% Duty Cycle,
 $t_r < 6$ ns, $Z_0 = 50 \Omega$

Figure 6-2. Switching Test Circuit and Waveforms



Generators: PRR = 1 MHz, 50% Duty Cycle,
 $t_r < 6$ ns, $Z_0 = 50 \Omega$

Figure 6-3. Test Circuit Waveforms, t_{PZH} and t_{PHZ}



Generators: PRR = 1 MHz, 50% Duty Cycle,
 $t_r < 6$ ns, $Z_0 = 50 \Omega$

Figure 6-4. Test Circuit Waveforms, t_{PZL} and t_{PLZ}

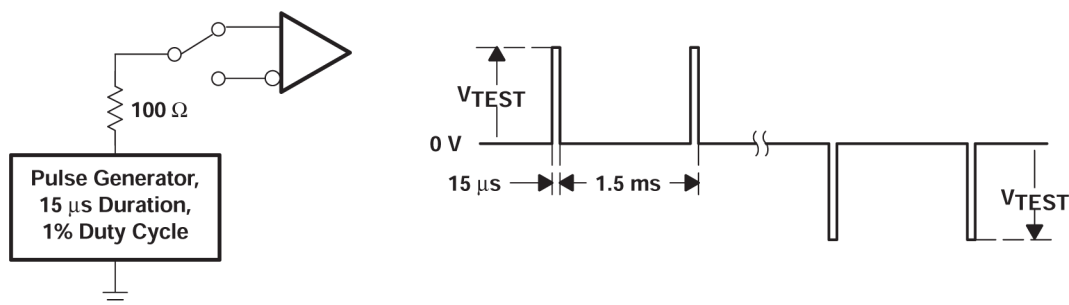


图 6-5. Test Circuit and Waveform, Transient Over-Voltage Test

7 Detailed Description

7.1 Device Functional Modes

表 7-1. Functional Table (Each Receiver)

DIFFERENTIAL INPUTS A – B (V_{ID})	ENABLE EN ⁽¹⁾	OUTPUT Y
$V_{ID} \leq -0.2 \text{ V}$	H	L
$-0.2 \text{ V} < V_{ID} < -0.01 \text{ V}$	H	?
$-0.01 \text{ V} \leq V_{ID}$	H	H
X	L	Z
X	OPEN	Z
Short circuit	H	H
Open circuit	H	H

(1) H = high level, L = low level, X = irrelevant, Z = high impedance (off), ? = indeterminate

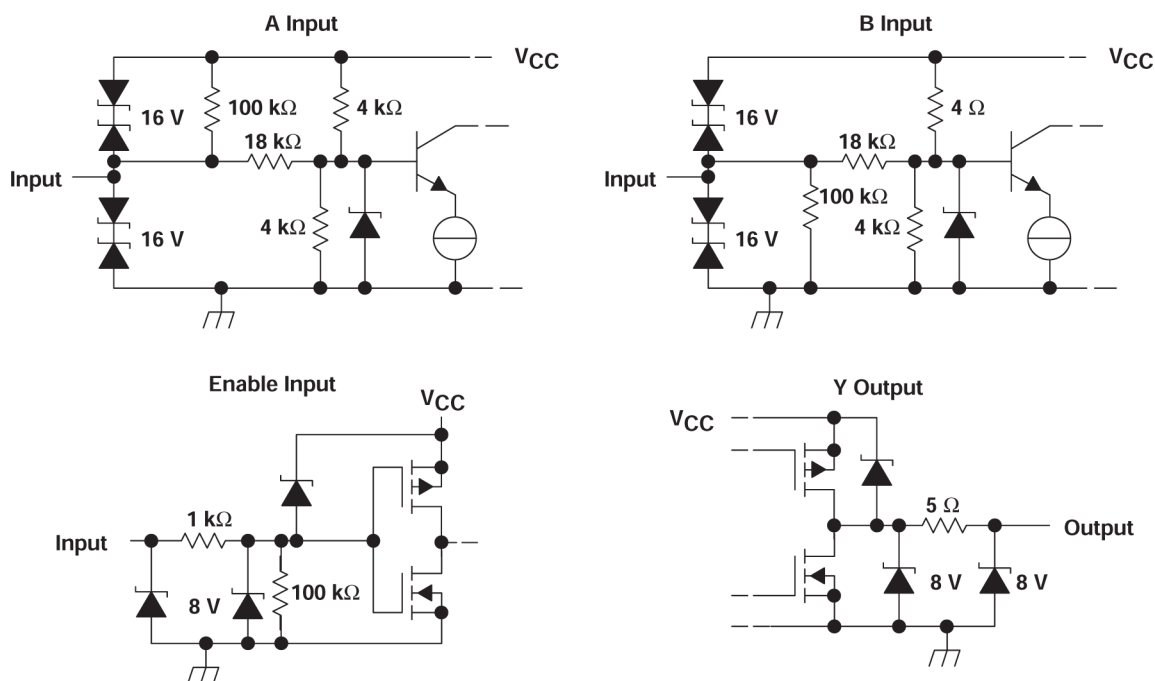


図 7-1. Equivalent Input and Output Schematic Diagrams

8 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 Typical Application

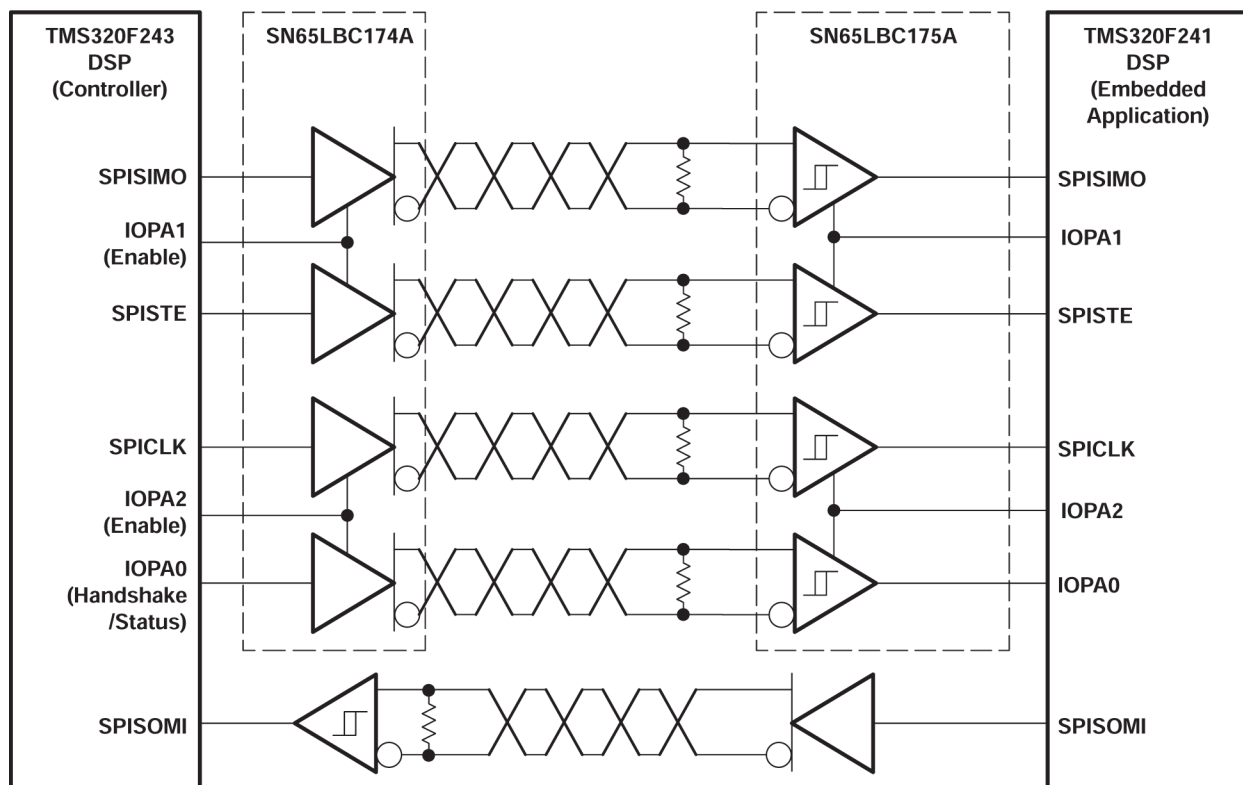


図 8-1. Typical Application Circuit, DSP-to-DSP Link via Serial Peripheral Interface

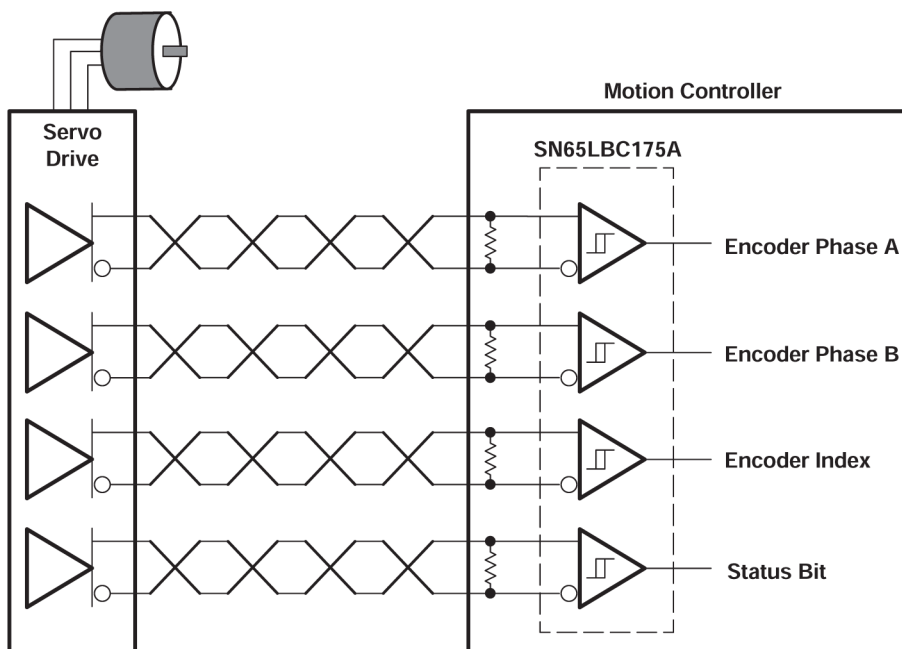


図 8-2. Typical Application Circuit, High-Speed Servomotor Encoder Interface

9 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

9.3 Trademarks

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

10 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (March 2009) to Revision D (November 2023)

Page

- ドキュメント全体にわたって表、図、相互参照の採番方法を変更..... 1

11 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN65LBC175AD	Obsolete	Production	SOIC (D) 16	-	-	Call TI	Call TI	-40 to 85	65LBC175A
SN65LBC175ADR	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	65LBC175A
SN65LBC175ADR.A	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	65LBC175A
SN65LBC175ADRG4	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	65LBC175A
SN65LBC175ADRG4.A	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	65LBC175A
SN65LBC175AN	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	65LBC175A
SN65LBC175AN.A	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	65LBC175A
SN75LBC175AD	Obsolete	Production	SOIC (D) 16	-	-	Call TI	Call TI	0 to 70	75LBC175A
SN75LBC175ADR	Obsolete	Production	SOIC (D) 16	-	-	Call TI	Call TI	0 to 70	75LBC175A
SN75LBC175AN	Obsolete	Production	PDIP (N) 16	-	-	Call TI	Call TI	0 to 70	75LBC175A

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN65LBC175A :

- Enhanced Product : [SN65LBC175A-EP](#)

NOTE: Qualified Version Definitions:

- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN65LBC175ADR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN65LBC175ADRG4	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN65LBC175ADR	SOIC	D	16	2500	340.5	336.1	32.0
SN65LBC175ADRG4	SOIC	D	16	2500	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN65LBC175AN	N	PDIP	16	25	506	13.97	11230	4.32
SN65LBC175AN.A	N	PDIP	16	25	506	13.97	11230	4.32

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - $\triangle C$ Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
 - $\triangle D$ Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
 - E. Reference JEDEC MS-012 variation AC.

N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



PINS **	14	16	18	20
DIM				
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS-001 VARIATION	AA	BB	AC	AD



14/18 Pin Only
20 Pin vendor option

4040049/E 12/2002

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - The 20 pin end lead shoulder width is a vendor option, either half or full width.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月